

Itautec

CT-072

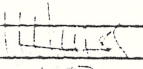
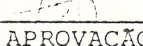
SISTEMA I-7000 PCxt II STANDARD NÍVEL 2

ROTEIRO DE AULA PRÁTICA

(CÓD. CT072.02.227)

## ITAUTEC INFORMÁTICA S.A.

Este documento é de propriedade de Itautec Informática S.A. Tem caráter técnico/informativo. Todos os direitos são reservados. Não pode, no todo ou em parte, ser copiado, fotocopiado, reproduzido, traduzido ou reduzido a qualquer meio eletrônico ou forma legível por máquina, sem a autorização escrita de Itautec Informática S.A. Esta se reserva por outro lado, o direito de alterar seu conteúdo e forma, sem qualquer aviso prévio.

	/ /		
	/ /		
	/ /		
	/ /		
	/ /		
	/ /		
R.D.C	20/03/07	PRIMEIRA VERSÃO	
	/ /		
REV.	DATA	MOTIVO	APROVAÇÃO

# Itautec

CENTRO DE TREINAMENTO DE ASSISTÊNCIA TÉCNICA  
CT-072 - ROTEIRO DE AULA PRÁTICA

## ÍNDICE

1. INTRODUÇÃO, 1
2. PLACA DE CPU, 1
  - 2.1 VERIFICAÇÃO DO GERADOR DE CLOCK 8284 A (CI17), 2
  - 2.2 VERIFICAÇÃO DO GERADOR DE CLOCK 8284 A (CI 8), 4
  - 2.3 VERIFICAÇÃO DO MUX 74LS157 (CI 52), 7
  - 2.4 VERIFICAÇÃO DOS LATCHES DE ENDEREÇO DO 8088 (CI47, 48 E 49), 9
  - 2.5 VERIFICAÇÃO DA HABILITAÇÃO DO CONTROLADOR DO BUS (8288), 9
  - 2.6 VERIFICAÇÃO DO RESET DO Z80B, 9
  - 2.7 VERIFICAÇÃO DOS LATCHES DE ENDEREÇO DO Z80B, 9
  - 2.8 VERIFICAÇÃO DOS MAPEADORES DO DMA (CI 24, 32, 33) E BUFFER DOS SINAIS DE CONTROLE (CI 25), 10
  - 2.9 VERIFICAÇÃO DO CONTADOR PROGRAMÁVEL (8235-5), 11
  - 2.10 VERIFICAÇÃO DO CONTROLADOR DE DMA 8237-5 (CI 14), 14
  - 2.11 VERIFICAÇÃO DO CONTROLADOR DE INTERRUPTÃO 8259A (CI 43), 16
  - 2.12 VERIFICAÇÃO DO CIRCUITO DE INTERFACE COM O TECLADO, 16
  - 2.13 VERIFICAÇÃO DO CIRCUITO DO Z80B, 18
  - 2.14 VERIFICAÇÃO DO CIRCUITO DE CHAVEAMENTO DE FREQUÊNCIA, 21
3. PLACA DE MEMÓRIA/INTERFACE SERIAL, 24
  - 3.1 VERIFICAÇÃO DO PINO 22 DO CI 61, 24
  - 3.2 VERIFICAÇÃO DAS MEMÓRIAS ESTÁTICAS, 24
  - 3.3 VERIFICAÇÃO DAS MEMÓRIAS DINÂMICAS, 25
  - 3.4 VERIFICAÇÃO DO CIRCUITO DE COMUNICAÇÃO SERIAL, 26
4. PLACA CONTROLADORA DE FLOPPY/WINCHESTER, 32
  - 4.1 CIRCUITO CONTROLADOR DE FLOPPY, 32
  - 4.2 CIRCUITO DE INTERFACE SASI, 42
5. FONTE, 56
  - 5.1 CIRCUITO CONTROLADOR DE VÍDEO, 45
  - 5.2 CIRCUITO DE INTERFACE COM A IMPRESSORA, 55
6. FONTE, 56
  - 6.1 VERIFICAÇÃO DO TRAFÓ TF02, 56
  - 6.2 VERIFICAÇÃO DA ALIMENTAÇÃO DO 3524, 56
  - 6.3 VERIFICAÇÃO DO 3524 (CI 01), 56
  - 6.4 VERIFICAÇÃO DOS TRANSISTORES T03 E T04, 57
  - 6.5 VERIFICAÇÃO DOS TRANSISTORES DE CHAVEAMENTO T01 E T02, 58

# Itautec

CENTRO DE TREINAMENTO DE ASSISTÊNCIA TÉCNICA  
CT-072 - ROTEIRO DE AULA PRÁTICA

- 6.6 VERIFICAÇÃO DA SAÍDA DE +5V, 58
- 6.7 VERIFICAÇÃO DA SAÍDA DE +12V, 58
- 6.8 VERIFICAÇÃO DA SAÍDA DE -12V, 58
- 6.9 VERIFICAÇÃO DA SAÍDA DE -5V, 58

## 7. TECLADO, 59

- 7.1 VERIFICAÇÃO DA FREQUÊNCIA DO CRISTAL (XT01), 59
- 7.2 VERIFICAÇÃO DO PULSO DE ALE, 59
- 7.3 VERIFICAÇÃO DO SINAL PSEN, 59
- 7.4 VARREDURA DAS 13 LINHAS, 60
- 7.5 VARREDURA DAS 8 COLUNAS, 61
- 7.6 VERIFICAÇÃO DA ENTRADA T1, 62
- 7.7 VERIFICAÇÃO DOS PULSOS DE DADOS, 62
- 7.8 VERIFICAÇÃO DOS PULSOS DE CLOCK, 62
- 7.9 VERIFICAÇÃO DO RESET POR HARDWARE, 63
- 7.10 VERIFICAÇÃO DO LED (NUM LOCK), 63
- 7.11 VERIFICAÇÃO DO LED (CAPS LOCK), 63

## 8. MONITOR DE VÍDEO DE ALTA DEFINIÇÃO, 64

- 8.1 PLACA DE DEFLEXÃO, 64
- 8.2 AMPLIFICADOR DIGITAL DE VÍDEO, 68
- 8.3 POTENCIÔMETROS DE AJUSTE E PONTOS DE TESTE, 68

## 1. INTRODUÇÃO.

O Roteiro de Aula Prática deve ser utilizado como uma referência, durante a realização das partes práticas do curso CT072 SISTEMA I-7000 PCxt II NÍVEL 2.

Fica a critério do instrutor, obedecer ou não, a sequência proposta neste roteiro.

Salientamos que este Roteiro de Aula Prática não se trata de um roteiro de manutenção, mas tem por finalidade reforçar os conceitos teóricos dos assuntos abordados em relação ao I-7000 PCxt II.

### . Materiais Necessários:

- .. 1 I7000 PCxt II com 1 winchester e 640 Kbytes de memória.
- .. 1 Monitor de Vídeo Alta Definição.
- .. 1 Teclado.
- .. 1 Osciloscópio.
- .. 1 Ponta Lógica.
- .. 2 Conectores de Teste RS232C.
- .. 2 Conectores de Teste Loop IBM.
- .. 2 Conectores de Teste Loop Itautec.
- .. 1 Disco 5 1/4" FD (Rascunho).
- .. 1 Disco 5 1/4" com programas.

## 2. PLACA DE CPU.

- . Configure os jumpers J01 e J02 da Placa de CPU para 4.77 MHz.

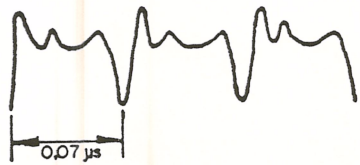
J01 = 1-2

J02 = 1-2

- . Ligue o I7000 PCxt II e carregue o Sistema Operacional SIMDOS do Floppy ou do Winchester.

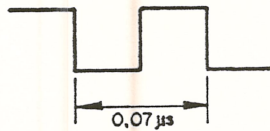
2.1. VERIFICAÇÃO DO GERADOR DE CLOCK 8284 A (CI7)

2.1.1. PINO 16 OU 17 DO CI7 (XTAL1 = 14.318 MHz)



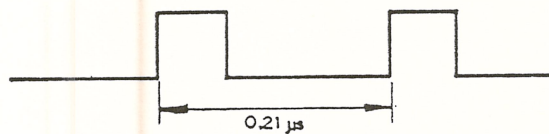
5V/div  
0,05 μs/div

2.1.2. PINO 12 DO CI7 (SINAL OSC)



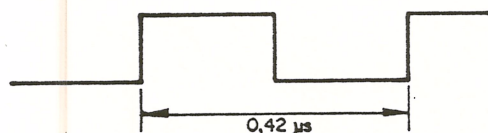
5V/div  
0,05 μs/div

2.1.3. PINO 8 DO CI7 (SINAL CLK 4.77)



5V/div  
0,05 μs/div

#### 2.1.4. PINO 2 DO CI7 (SINAL FCK)



5V/div  
0,1 μs/div

#### 2.1.5. PINO 11 DO CI7 (ENTRADA DE RESET)

Deve ficar em nível lógico alto (+5V)

#### 2.1.6. PINO 10 DO CI7 (SINAL RESET 1)

Deve ficar em nível lógico baixo (0V).

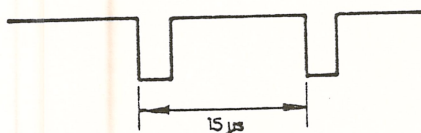
OBS.: A entrada de Reset do 8088-2 é ativo em nível lógico alto.

Force um reset por software, pressionando rapidamente as teclas ALT + CTRL + DEL e observe que a saída de reset (pino 10 do CI7) permanece em nível lógico baixo.

Force um reset por hardware, pressionando mais demoradamente as teclas ALT + CTRL + DEL, de modo a perceber um pequeno sinal audível e observe que o pino 10 do CI7 pulsa, resetando por hardware o I7000 PCxt II.

O reset por hardware pode ser gerado pelo Teclado ou pela chave liga/desliga.

#### 2.1.7. PINO 4 DO CI7 (RDY1A)



5V/div  
5 μs/div

### 2.1.8. PINO 5 DO CI7 (R4M)

Idem ao anterior.

OBS.: De 15 us em 15 us o 8088-2 rodando a 4.7 MHz entra em estado de wait para que seja feito o refresh das memórias dinâmicas.

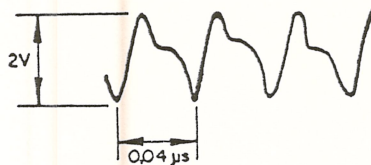
### 2.1.9. PINO 3 DO CI7 ( $\overline{\text{AEN1A}}$ )

Deve estar em nível lógico baixo (0V).

OBS.: Posicione a escala de tempo em 10ms/div e tecle ENTER repetidamente. Observe que o sinal  $\overline{\text{AEN1A}}$  pulsa a cada ENTER, devido ao sinal IOCHRDY que é ativado durante o acesso na memória de vídeo.

## 2.2. VERIFICAÇÃO DO GERADOR DE CLOCK 8284A (CI8)

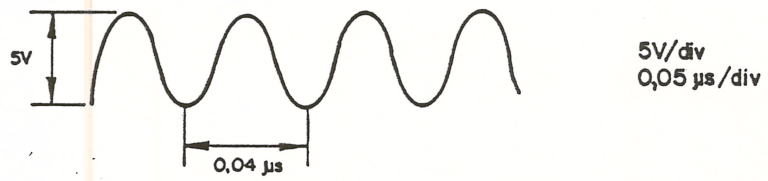
### 2.2.1. PINO 16 OU 17 DO CI8 (XTAL2 = 24 MHz)



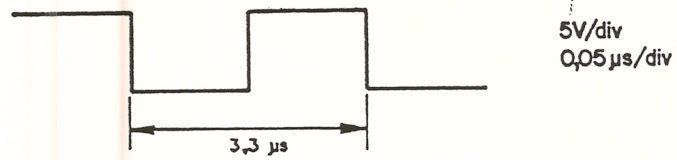
2V/div  
0,05 μs/div



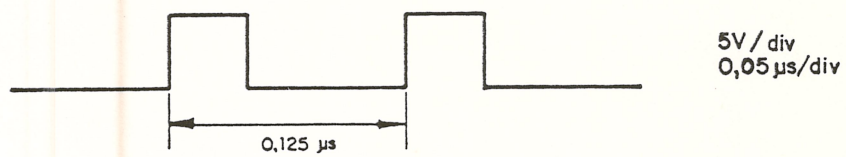
2.2.2. PINO 12 DO CI8 (OSC = 24 MHz)



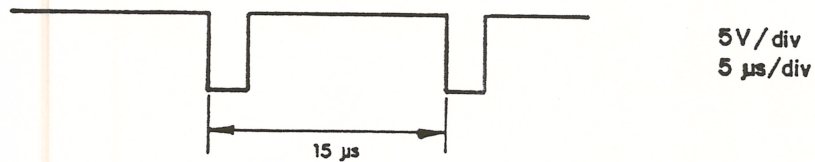
2.2.3. PINO 9 DO CI9 (  $\phi$  Z80 = 6 MHz)



2.2.4. PINO 8 DO CI8 (C8M = 8 MHz)



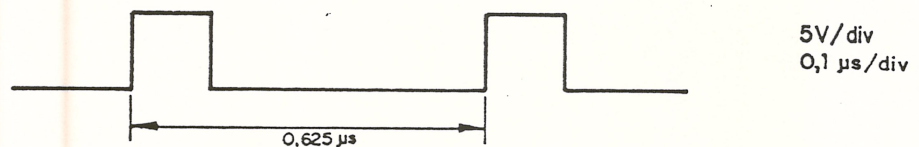
## 2.2.5. PINO 4 DO CI8 (RDY1B)



OBS.: De 15 μs em 15 μs o 8088-2 rodando a 8 MHz entra em estado de wait para que seja feito o refresh das memórias dinâmicas.

2.2.6. PINO 3 DO CI8 ( $\overline{\text{AEN1B}}$ )

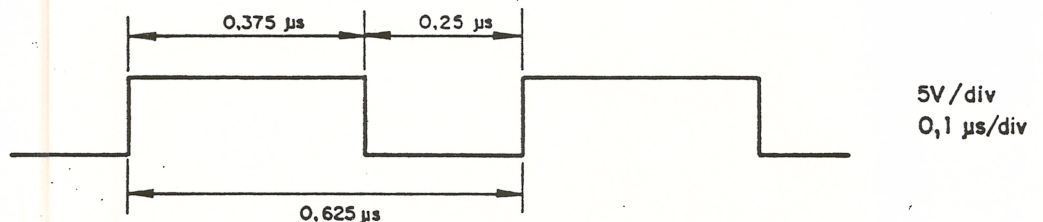
- Desligue o I7000 PCxt II.
- Configure os jumpers J01 e J02 para 8 MHz  
J01 = 2-3; J02 = 2-3
- Ligue o I7000 PCxt II.



OBS.: Quando o 8088-2 estiver rodando a 8.0 MHz é inserido um estado de Wait em todos os ciclos de máquina do 8088-2.

Veja a Figura 2.42 na página 99 do Manual de Manutenção em Laboratório I7000 PCxt Vol. 1.

## 2.2.7. PINO 5 DO CI8 (READY DO 8088-2 A 8.0 MHz)



## 2.3. VERIFICAÇÃO DO MUX 74LS157 (CI-52)

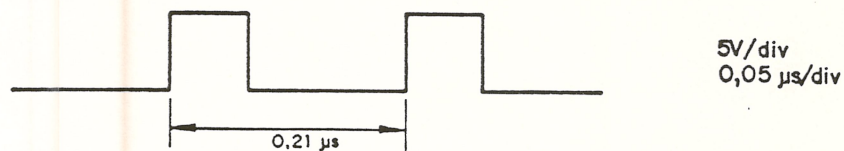
- Desligue o I7000 PCxt II.
- Configure os jumpers J01 e J02 para 4.7 MHz  
J01 = 1-2 e J02 = 1-2
- Ligue o I7000 PCxt II.

### 2.3.1. PINO 1 DO CI052 ( $F/\bar{C}$ )

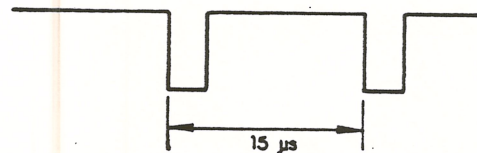
Deve estar em nível lógico alto.

OBS.:  $F/\bar{C} = 0$  : 8088-2 rodando a 8.0 MHz  
 $F/\bar{C} = 1$  : 8088-2 rodando a 4.7 MHz

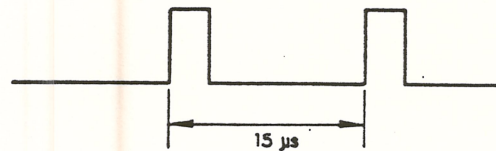
### 2.3.2. PINO 7 DO CI52 (CLK88 = 4.77 MHz)



## 2.3.3. PINO 4 DO CI52 (READY88)

5V/div  
5 µs/div

## 2.3.4. PINO 9 DO CI52

5V/div  
5 µs/div

OBS.: Verifique que o pino 5 do CI28 (HOLDA) possui a mesma forma de onda.

## 2.3.5. PINO 12 DO CI52

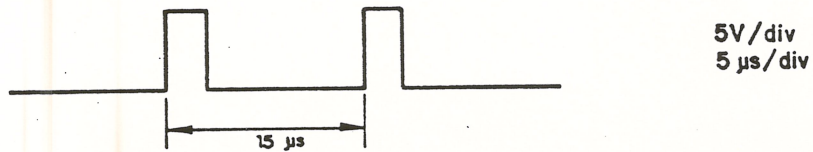
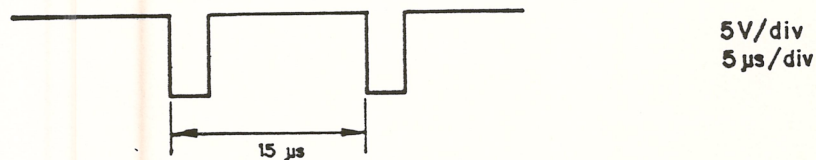
Deve estar em nível lógico baixo, pois o 8088-2 está rodando (NI = 0).

Analise a saída 04 (pino 14 do CI-16) da Figura 2.40 do Manual de Manutenção em Laboratório I7000 PCxt II Vol. 1.

Verifique que o pino 9 do CI4 ( $\overline{NI}$ ) está em nível lógico baixo:

$\overline{NI} = 0$  : 8088-2 rodando

$\overline{NI} = 1$  : Z80B rodando

**2.4. VERIFICAÇÃO DOS LATCHES DE ENDEREÇO DO 8088 (CI47, 48 e 49)****2.4.1. PINO 1 DO CI47 ( $\overline{\text{ENDRV88C}}$ )****2.5. VERIFICAÇÃO DA HABILITAÇÃO DO CONTROLADOR DE BUS (8288)****2.5.1. PINO 15 DO CI38****2.6. VERIFICAÇÃO DO RESET DO Z80B****2.6.1. PINO 26 DO CI11**

Deve estar em nível lógico baixo (Z80B resetado)

**2.7. VERIFICAÇÃO DOS LATCHES DE ENDEREÇO DO Z80B****2.7.1. PINO 1 DO CI39 (IB)**

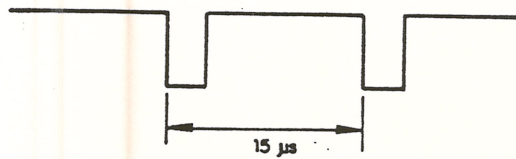
Deve estar em nível lógico alto (CI39 desabilitado).

## 2.7.2. PINO 1 DO CI40 ( $\overline{\text{ENDRV80}}$ )

Deve estar em nível lógico alto (CI40 e 41 desabilitado).

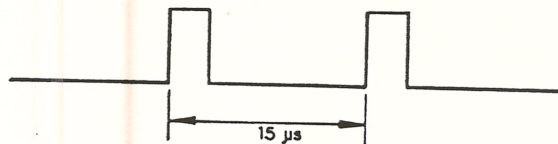
## 2.8. VERIFICAÇÃO DOS MAPEADORES DE ENDEREÇO DO DMA (CI24, 32 e 33) E BUFFER DOS SINAIS DE CONTROLE (CI25)

### 2.8.1. PINO 14 DO CI17 ( $\overline{\text{DMAAEN}}$ )

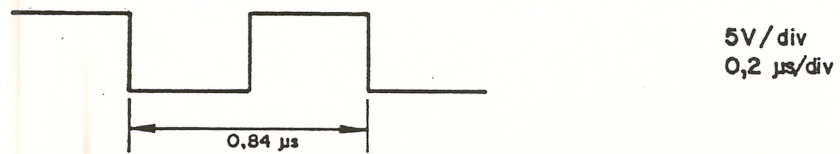
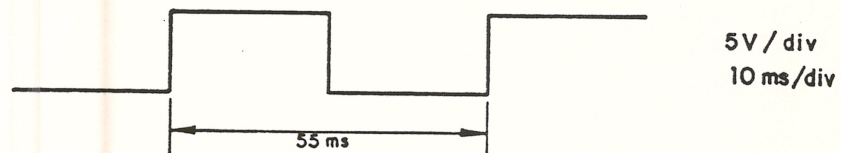


5V/div  
5  $\mu\text{s}/\text{div}$

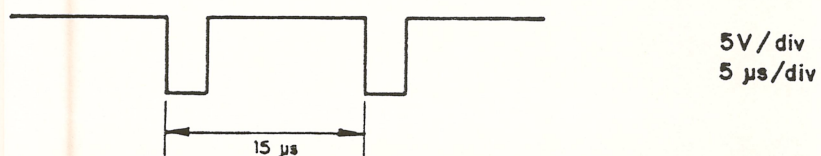
### 2.8.2. PINO 1 DO CI34 (Q1)



5V/div  
5  $\mu\text{s}/\text{div}$

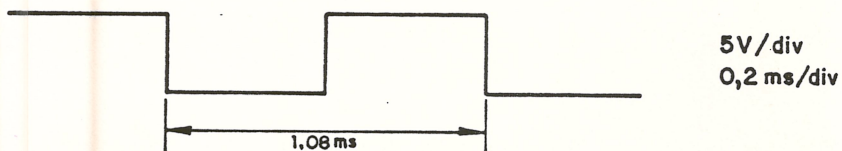
**2.9. VERIFICAÇÃO DO CONTADOR PROGRAMÁVEL (8235-5)****2.9.1. VERIFICAÇÃO DO CLOCK DO 8253-5 (CLK0, CLK1 e CLK2 = 1,19 MHz) PINOS 9, 15 E 16 DO CI42****2.9.2. VERIFICAÇÃO DA SAÍDA OUT0 (18,2 Hz) PINO 10 DO CI42**

A saída OUT0 é utilizada pelo relógio.

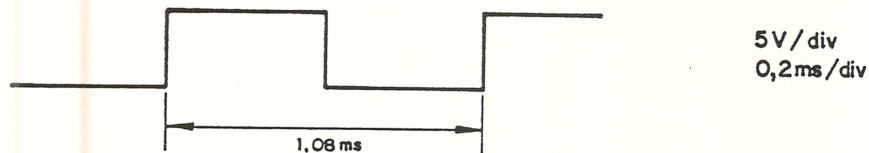
**2.9.3. VERIFICAÇÃO DA SAÍDA OUT1 (REFRESH DA MEMÓRIA DINÂMICA) PINO 13 DO CI42.**

## 2.9.4. VERIFICAÇÃO DA SAÍDA OUT2 (BEEP)

- Pino 17 do CI42 (OUT2)  
Deve estar em nível lógico alto
- Pino 16 do CI42 (GATE2)  
Deve estar em nível lógico baixo. Saída OUT2 desabilitada.
- Carregue o programa BEEP
- O BEEP deverá ser acionado.
- Verifique o pino 17 do CI42 (OUT2)

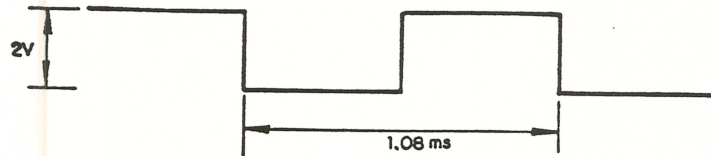


- Verifique o pino 16 do CI42 (GATE2)  
Deve estar em nível lógico alto. Saída OUT2 habilitada.
- Verifique o pino 19 do CI12 (saída PB1 do 8255-5)  
Deve estar em nível lógico alto. Porta NAND do CI31 habilitada.
- Verifique o pino 11 do CI31



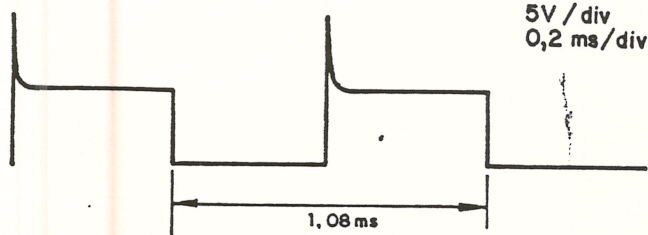


- Verifique o sinal no cátodo de D01

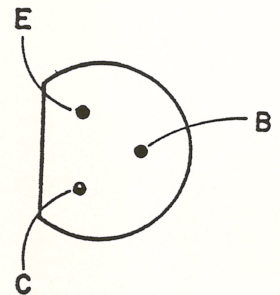


2V/div  
0,2 ms/div

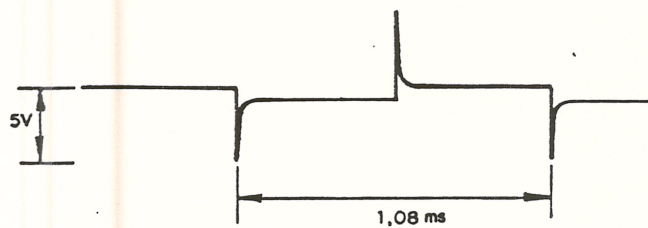
- Verifique o sinal no coletor de T02 (BC547)



5V/div  
0,2 ms/div

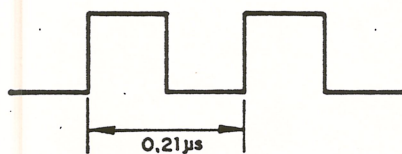


- Verifique o sinal no pino 1 do conector CN1

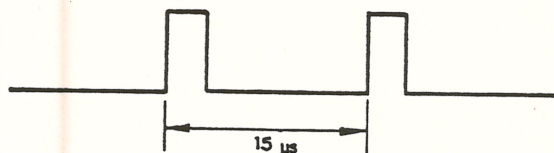


5V/div  
0,2 ms/div

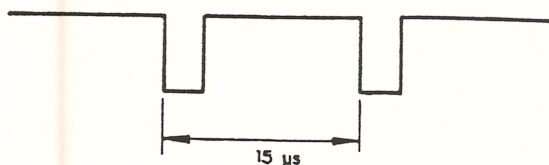
- Carregue o programa INIBE para desabilitar o BEEP

**2.10. VERIFICAÇÃO DO CONTROLADOR DE DMA 8237-5 (CI14)****2.10.1. VERIFICAÇÃO DA ENTRADA CLK (4.77 MHz)  
PINO 12 DO CI14**5V/div  
0,05 μs/div

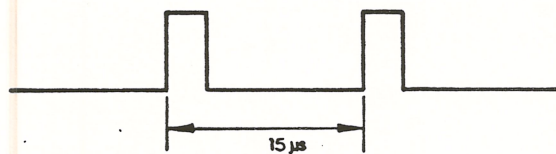
OBS.: Este sinal apresenta um duty cycle de 50%, veja a Figura 2.28 do Manual de Manutenção em Laboratório I7000 PCxt II Vol.1.

**2.10.2. VERIFICAÇÃO DA ENTRADA DREQ0  
PINO 19 DO CI14**5V/div  
5 μs/div

OBS.: Este sinal é gerado pela saída OUT1 do 8253-5

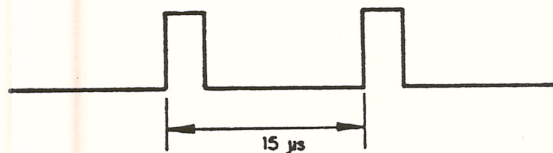
**2.10.3. VERIFICAÇÃO DA SAÍDA DACK0  
PINO 25 DO CI14**5V/div  
5 μs/div

2.10.4. VERIFICAÇÃO DA SAÍDA HRQ  
PINO 10 DO CI14



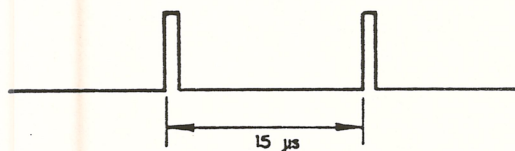
5V/div  
5 μs/div

2.10.5. VERIFICAÇÃO DA ENTRADA HOLDA  
PINO 7 DO CI14

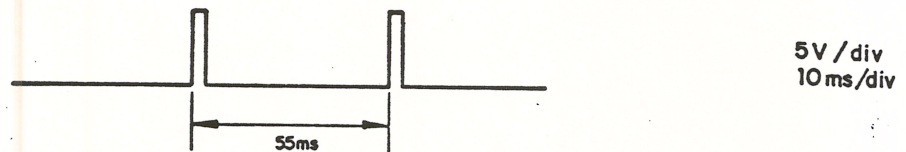


5V/div  
5 μs/div

2.10.6. VERIFICAÇÃO DA SAÍDA ADSTB  
PINO 8 DO CI14



5V/div  
5 μs/div

**2.11. VERIFICAÇÃO DO CONTROLADOR DE INTERRUPÇÃO 8259A (CI43)****2.11.1. VERIFICAÇÃO DA SAÍDA INT  
PINO 17 DO CI43****2.11.2. VERIFICAÇÃO DOS DOIS PULSOS DE  $\overline{INTA}$   
PINO 26 DO CI43**

Coloque a escala de tempo em 1  $\mu$ s/div, slope negativo, aumente a intensidade e ajuste o nível de trigger. Dará para perceber os dois pulsos de  $\overline{INTA}$ .

**2.12. VERIFICAÇÃO DO CIRCUITO DE INTERFACE COM O TECLADO**

- Carregue o programa TECLADO.COM
- Mantenha a tecla F1 (por exemplo) pressionada com uma fita adesiva.

**2.12.1. VERIFICAÇÃO DO SINAL DE CLOCK (DO CONECTOR)  
PINO 2 DO CONECTOR CN02 (FIO MARROM)**