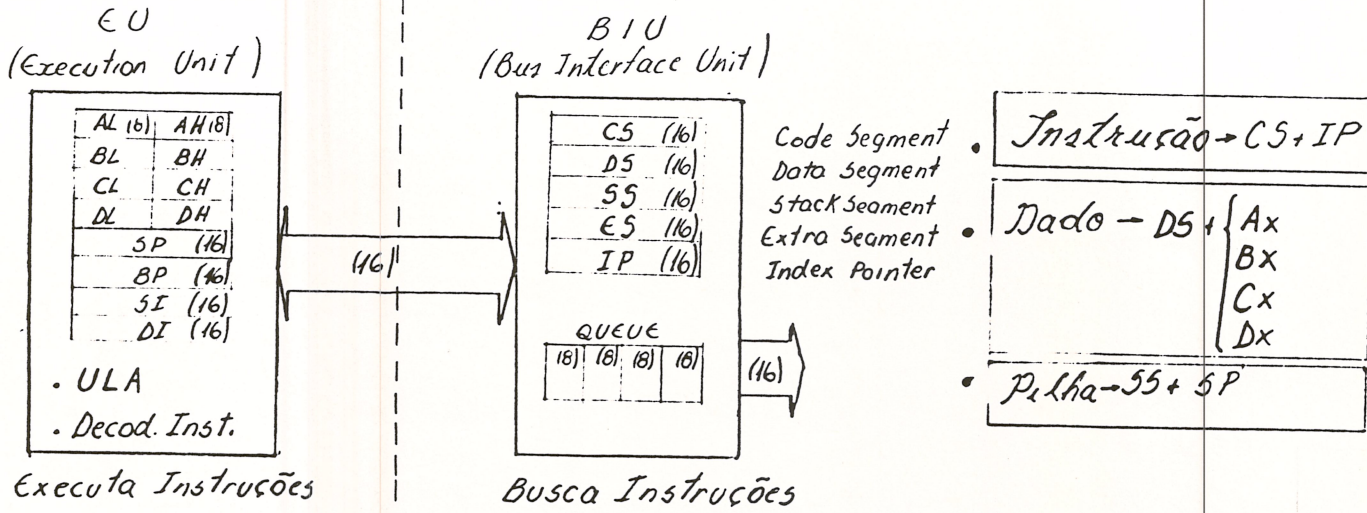


Micro 15-30 PLUS - Treinamento -

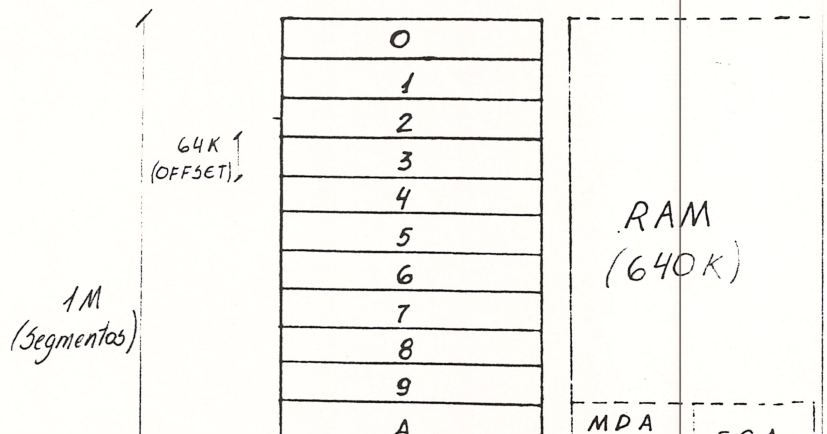
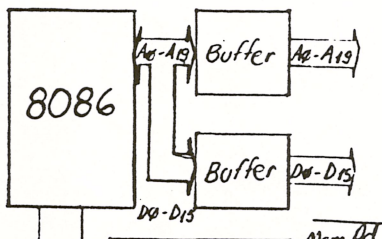
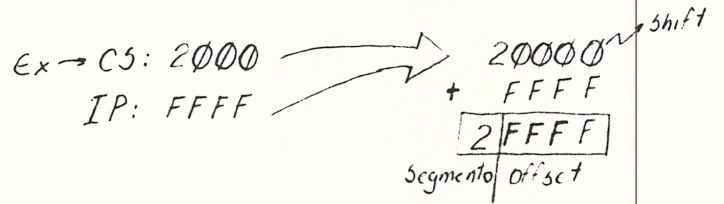
Microprocessador 8086

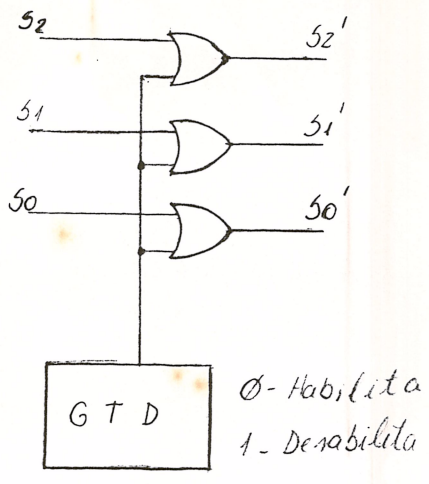
- Address Bus (20 bits) - capacid. end. 1 MByte
- Data Bus (16 bits) - externo/interno
- Modos
 - Modo Mínimo - gera sinais de controle do Bus
 - Modo Máximo - Utiliza pinos que anteriormente controlava Bus, para funções extras, passando o controle do Bus p/ 8288

- Estrutura Interna



BHE	A0	Situação
0	0	D0-D7 } Word D8-D15 }
0	1	D8-D15 - Parte Alta
1	0	D0-D7 - Parte Baixa
1	1	---

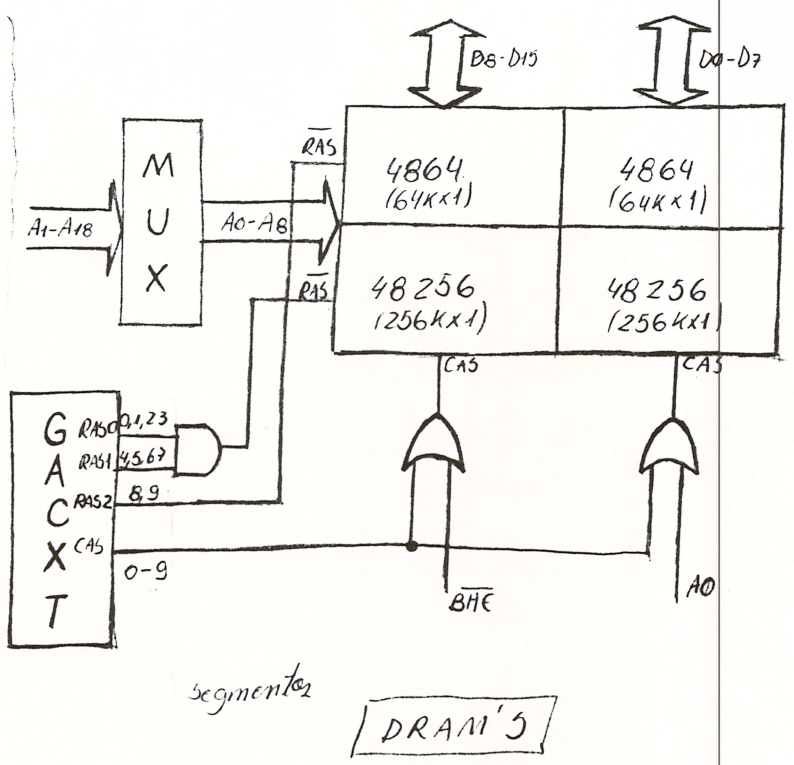
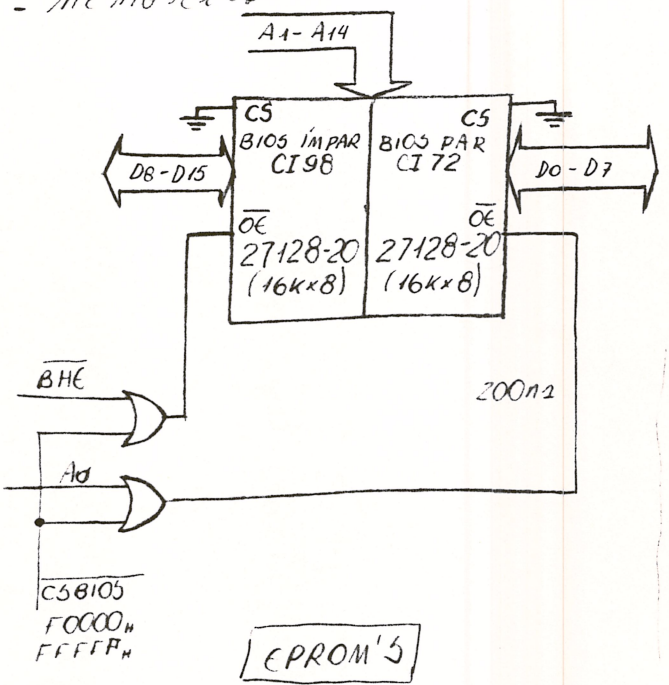




S ₂	S ₁	S ₀	
0	0	0	INTA
0	0	1	IOR
0	1	0	IOW
0	1	1	HALT
1	0	0	OP CODE FETCH
1	0	1	MEM R
1	1	0	MEM W
1	1	1	FINAL

- Banco de Memórias

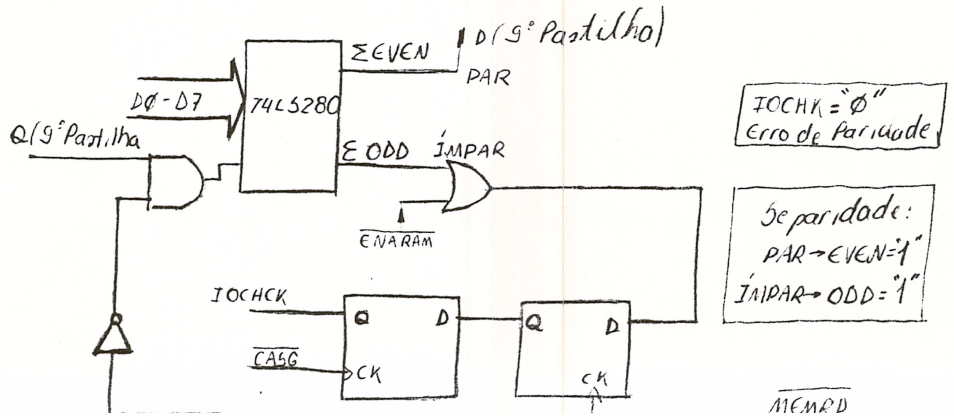
- Memória



- * Refresh - 4164 - 2ms → 128 linhas 2m 128 ⇒ 15,6μs
- 41256 - 4ms → 256 linhas 4m 256 ⇒ 15,6μs

* Paridade

0 1 1 1 0 1 0 1 0 - N° de bits "1" deve ser ímpar

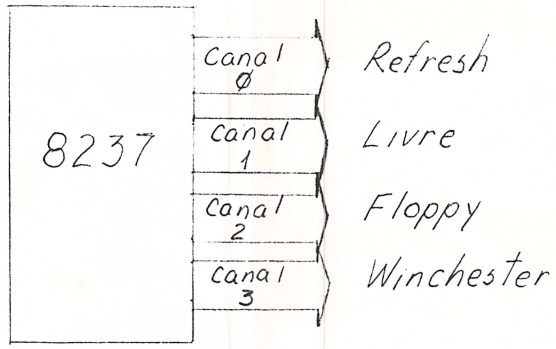


IOCHK = "0" Erro de Paridade

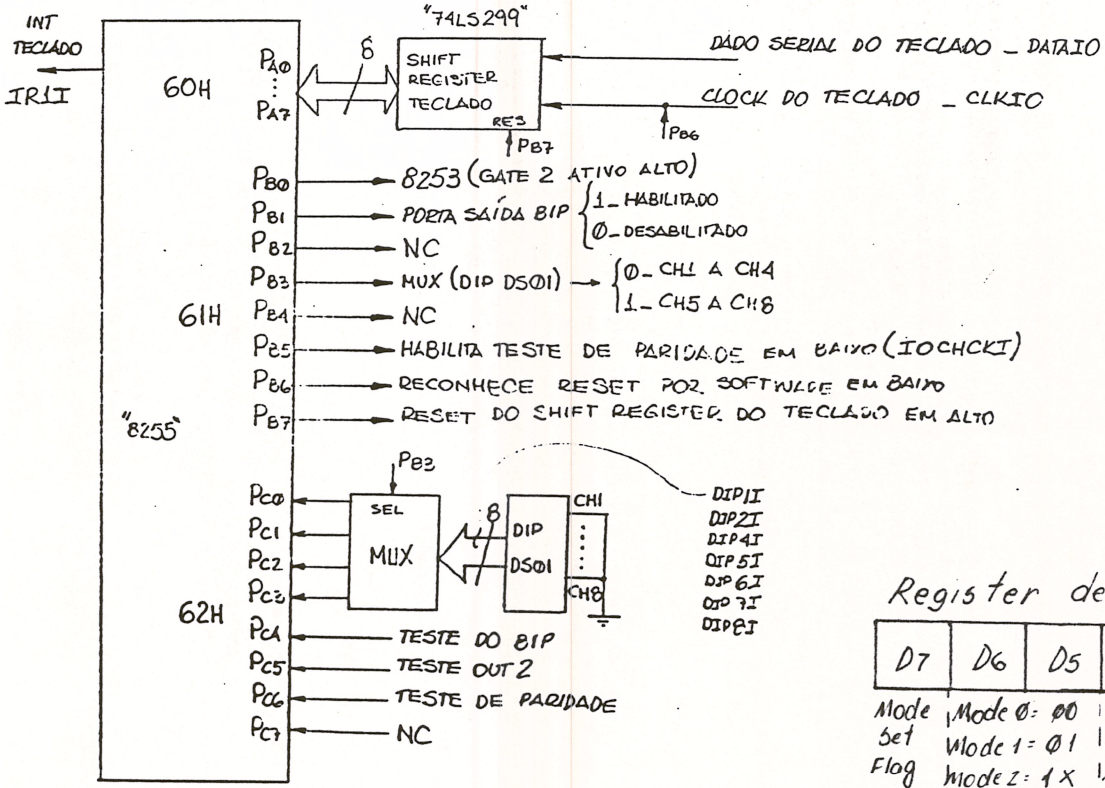
Se paridade:
PAR → EVEN = "1"
ÍMPAR → ODD = "1"

* Na gravação, recebemos os 8 bits de dados e o 9º em "0". Como não é gerado um bit na saída E PAR, que é gravado na 9ª pastilha. Na leitura recebemos os 9 bits. Analisando os 8 bits de dados e a saída E IMPAR deverá estar em "1", se não houve erro.

Circuito de DMA - 8237



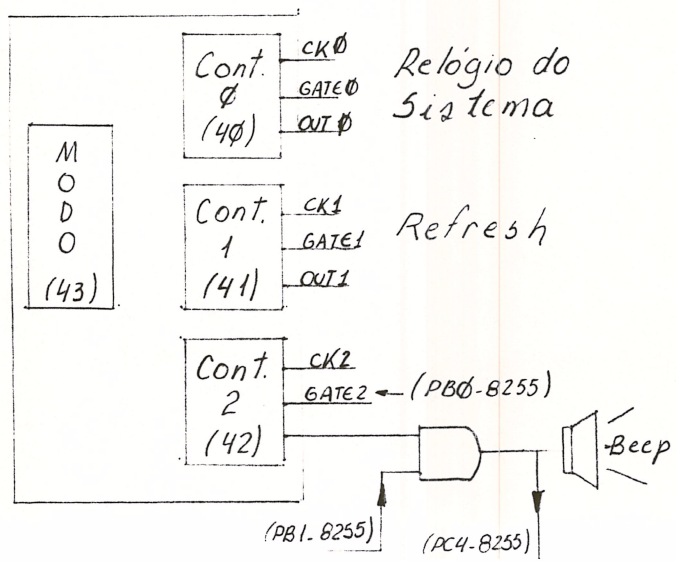
Circuito de Interface Paralela (GACXT) - 8255



Register de Modo (63H)

D7	D6	D5	D4	D3	D2	D1	D0
Mode	Mode 0 = 00	Port A Port C (MSB)	Mode 1	Port B	Mode 0	Port B	Port C (LSB)
Set	Mode 1 = 01	0-out 0-out	Mode 1	0-out	0-out	0-out	0-out
Flag	Mode 2 = 1X	1-in 1-in	1-in	1-in	1-in	1-in	1-in

Circuito de Timer (GACXT) - 8253



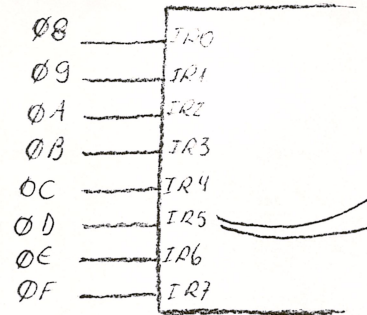
Prog. Exemplo

- 0 42, FF
- 0 42, 00
- 0 61, 43 (Habilita)
- 0 61, 40 (Desabilita)

Register de Modo (43H)

SC1	SC0	RL1	RL0	M2	M1	M0	BCD
Select Counter	R/W (MSB) - 01	Mode 0 - 000	" 1 - 001	" 2 - 010	" 3 - 011	" 4 - 100	Bin - 0
00 → 0	R/W (LSB) - 10	" 0 - 000	" 1 - 001	" 2 - 010	" 3 - 011	" 4 - 100	BCD - 1
01 → 1	R/W (LSB) - 11	" 0 - 000	" 1 - 001	" 2 - 010	" 3 - 011	" 4 - 100	BCD - 1

- Circuito de Interrupção (GACXT) - 8259



$0D \times 4 = 34H$
 $13.4 = 52 \frac{16}{4 \cdot 3}$

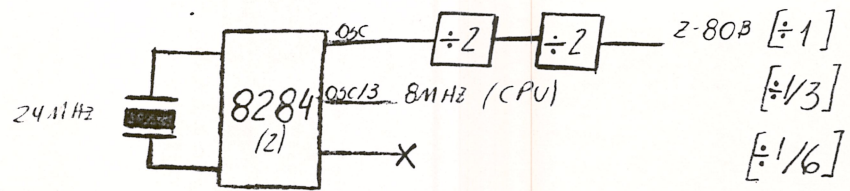
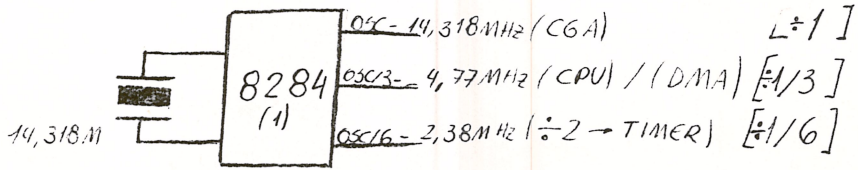
- 0000:0034
- 0000:0035
- 0000:0036
- 0000:0037

-IP(L)
IP(H)
CS(L)
CS(H)

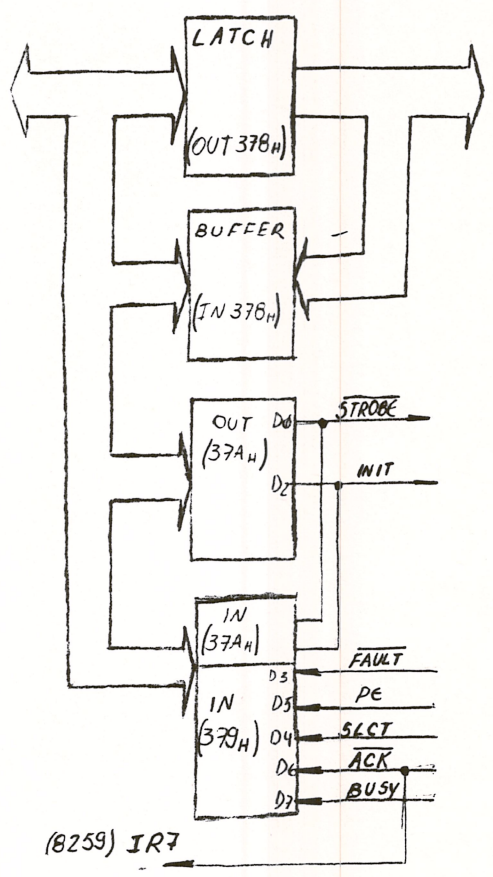
ex 0 21,01

Há a capacidade de 256 INT's (sw)
 mas no Hardware apenas 8 de cada int's

- Gerador de Clock (GACXT) - 8284



- Circuito de Interface c/ Impressora

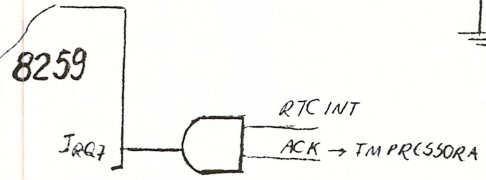
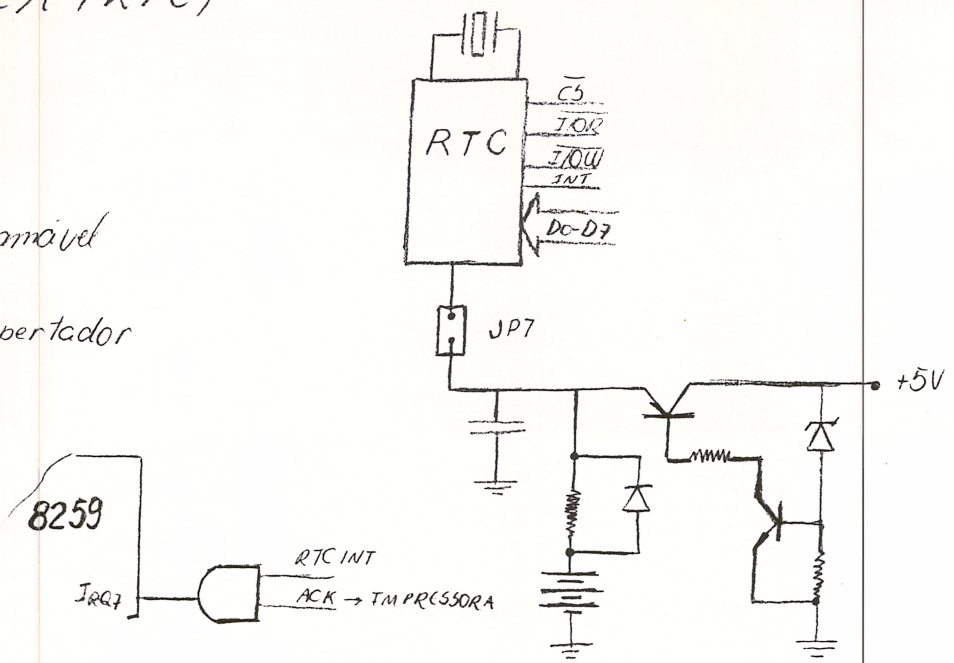


Real Time Clock (RTC)

- CI 58167 - Motorola
- Relógio de Tempo Real
- RAM interna (56 bits)
- Possui interrupção programável

1 intr / s
1 intr / m
1 intr / d
ou
Despertador

```
COPY CON CONFIG.SYS
DEVICE = RTC.SYS
```

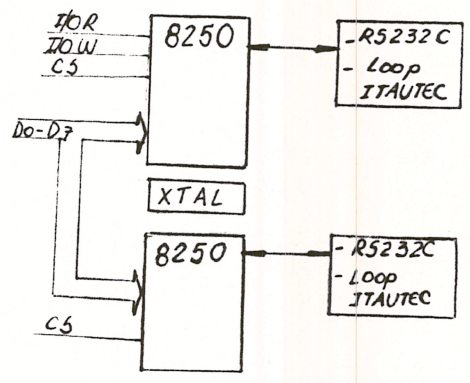


Circuito de Interface Serial

- 8250 (Comunic Assíncrona)
- Tamanho do pacote de Dados 5, 6, 7 ou 9
- Paridade / TER
 N

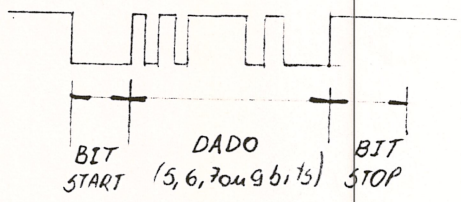
Síncrona - Quando Transmissor e Receptor, permanecem em constante sincronização entre si (clock)

Assíncrono - Quando a troca de informações por eventual, ou seja, não se transfere todo um bloco de informações.
Ex: Teclado



TTL	R5232C
0V	+12V
5V	-12V

TTL → R5232C [1488]
R5232C → TTL [1489]

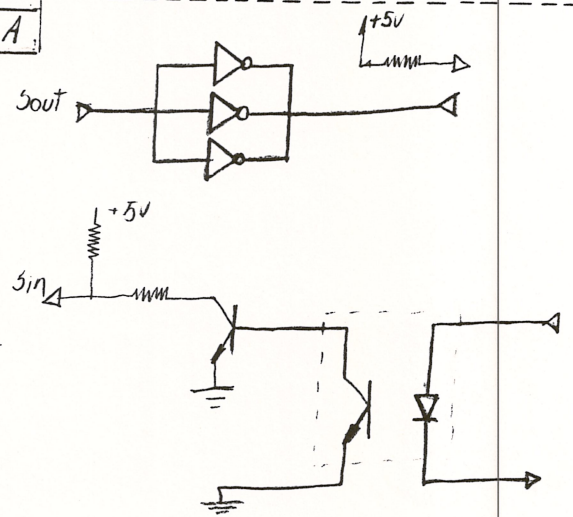
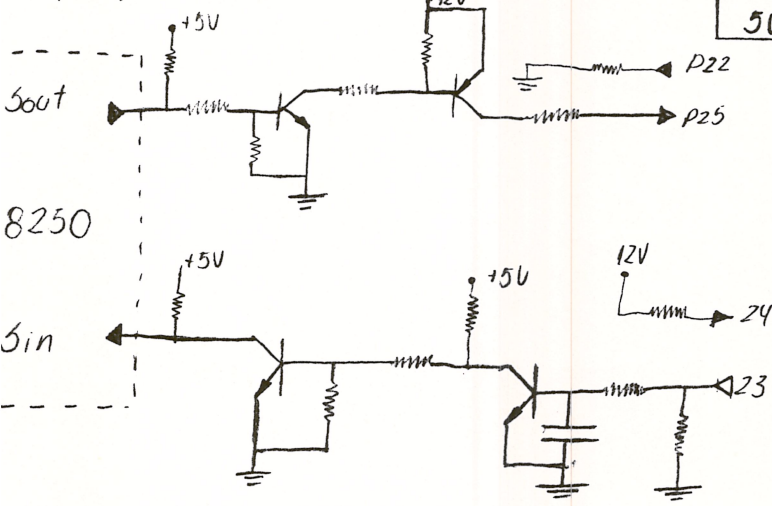


Interface Elétrica

(Loop de Corrente - ITAUTEK)

TTL	LOOP
0V	0mA
5V	20mA

O micro I5-30 não prevê este tipo de interface (Loop de Corrente - TBM)



Circuito de Controle de EGA

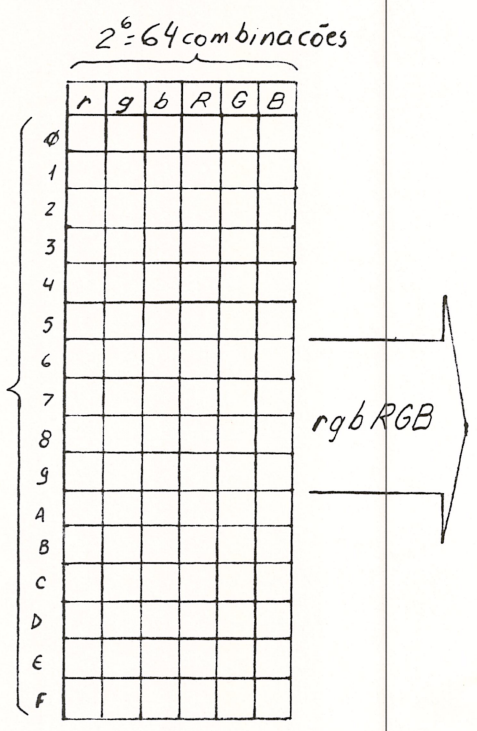
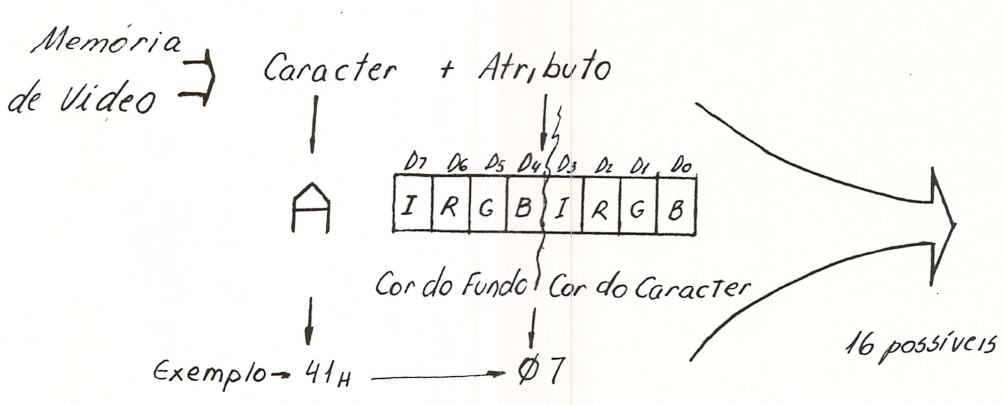
. PEGA2 (Paradise Enhanced Graphics Adapter) - Circuito altamente integrado, possuindo blocos internos que o permitem todo controle de um vídeo EGA. Para tanto possui blocos de controle de TRC e vídeo (tela gráfico-alfa-numérica)

. PBI (Paradise Bus Interface) - Este CI foi desenvolvido com o objetivo de minimizar o circuito de interface entre o PEGA2 e a CPU, para isso conta com circuitos de codificadores, chip-selects e Buffers, gerenciando portanto os sinais vindos do bus e gerando os sinais de endereço para o PEGA2.

Este conjunto pode emular além de EGA e CGA, os modos: Hercules monocromático, Plantronics Colorplus, AT&T e Multisync

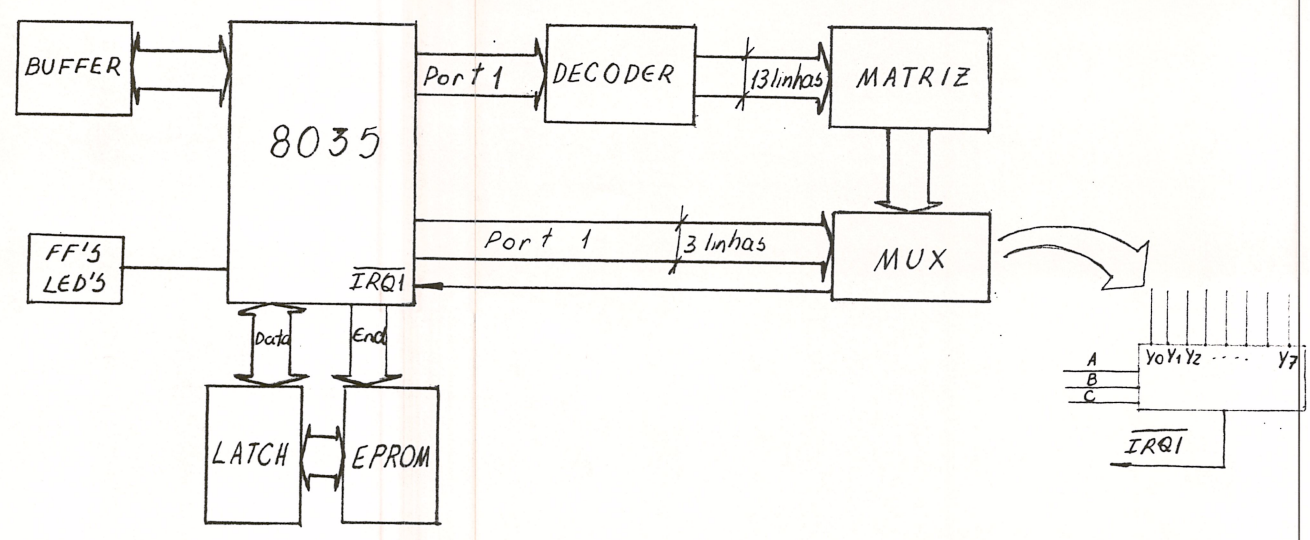
Comparativo EGA x CGA

MODO / CARACTERÍSTICA	CGA	EGA
Box Character	8x8	8x14
Tamanho Character	5x7	7x9
Cores	4 simultâneas 16 possíveis	16 simultâneas 64 possíveis
Modo Gráfico	640x200 320x200	640x350 320x350
Memória de Vídeo	64K	256K

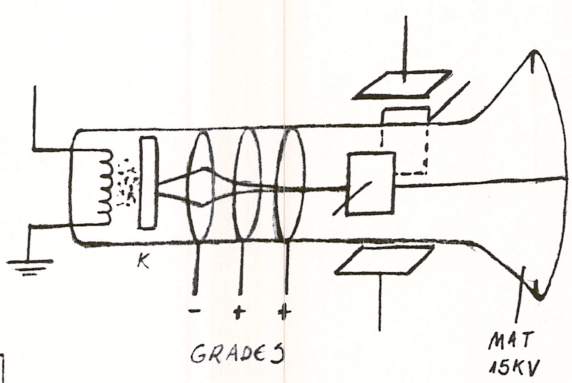


* - No modo EGA, com o vídeo recebendo rgbRGB, este poderia gerar até 64 combinações de cores, mas através da memória de vídeo temos apenas 4 sinais (IRGB), obtendo-se uma tabela com 16 combinações dentre 64 possíveis

Teclado



Monitor de Video



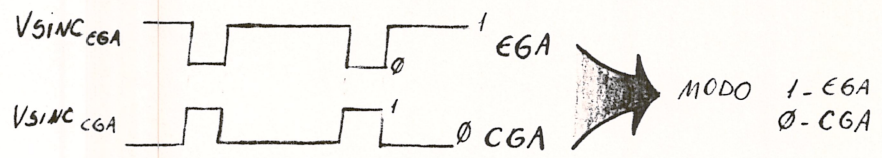
Necessidades

- Filamento
- Tensão Controlada (V_{GK})
- Grades Controle, Aceleração e Focalização
- Placas De fletoras (Yoke)
- MAT

Material

- RGBrgb, Hsync, Vsync
- Vcc (40, 80V), GND

CGA	EGA
15750	21810 f _H (Hz)
60	60 f _V (Hz)
262,5	363,5 Linhas



TDA1170

Vertical

Amplificador - Ajustado p/ R externo de forma a compatibilizar com vários tipos de Tela (12" 16" 24"), para variar-se a amplitude do sinal de rampa, aumenta-se a tela

Oscilador - Gera uma frequência livre, de forma a continuar gerando rampa, mesmo p/ Hsync, só que sem sincronismo

Deflexão - Gera a rampa de corrente que será levada ao Yoke

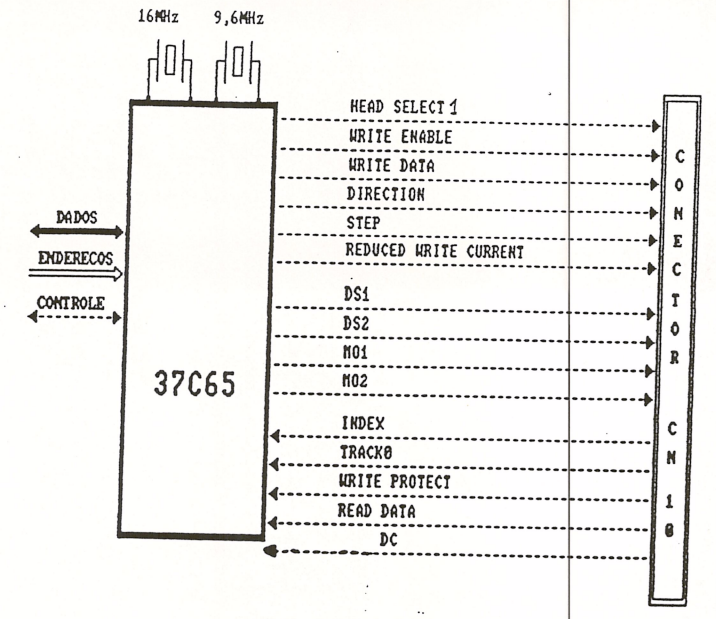
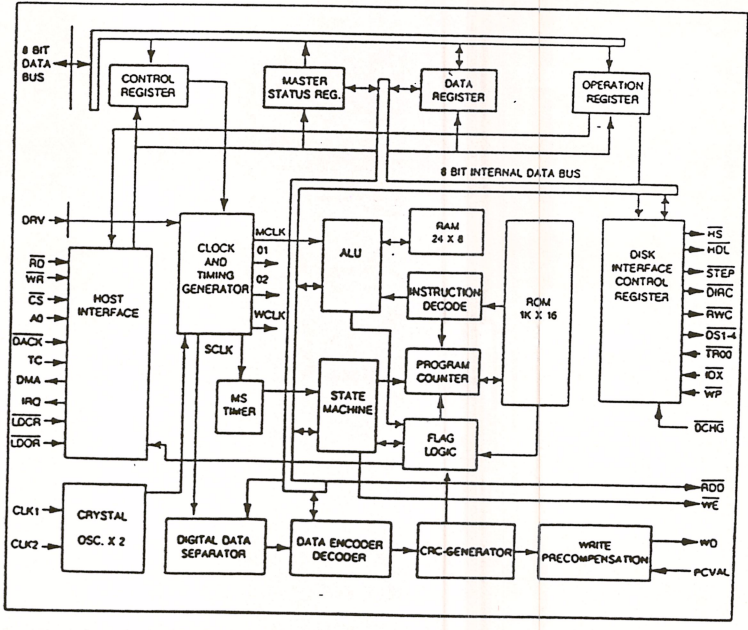
TDA2593

HORIZONTAL

* Mesma constituição e princípios do TDA1170

* 1. Quem você ajusta I_i, EGA ou CGA?
EGA, pois este ã depende do CGA, mas este ultimo depende do I_i

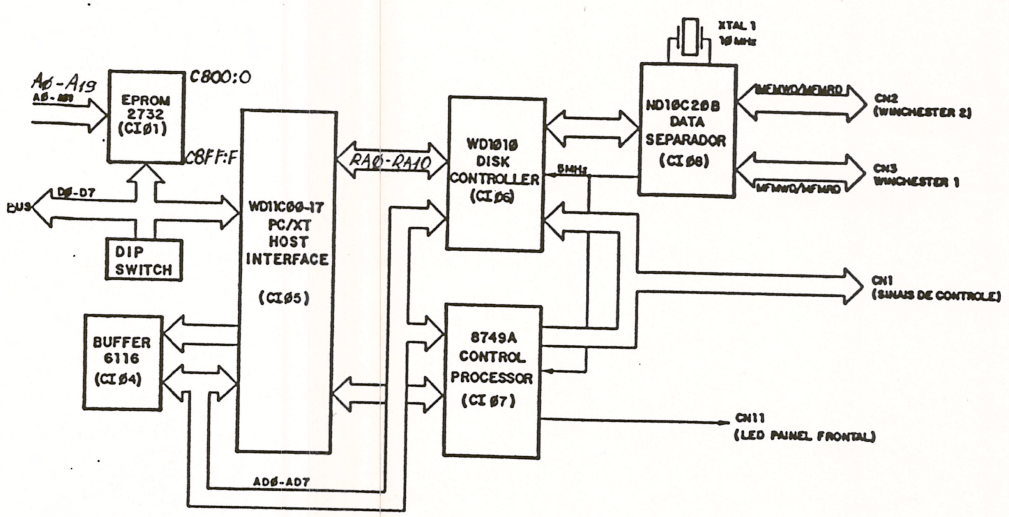
Circuito controlador de Floppy - 37C65 (FDC)



- Formataador / controlador
- Pré-compensação de Escrita
- Separador de Dados
- Seleção de taxa de transferência (360K/1.2M) →
- Gerador de Clock
- Interface of Drive

Driver	Rotacão Spindle	Disco	Taxa Transm.
360K	300rpm	360K	250K/b
1.2M	360rpm	1.2M/360K	500K/300K/b

Controladora de Disco Rígido



• WD HC00-17 - Tem a função de operar o interfacamento entre a CPU e a controladora, de modo a transferir os comandos e dados, pro as partes da placa que exatamente executam as operações. Tem em poder as linhas de seleção, end e dado do Buffer (6116), que armazena comandos e dados, além de armazenar temporariamente um setor de disco. Gerencia a transferência de DMA e controle de interrupção. Gera e verifica integridade de ECC

• WD 1010 - Possui 4 registradores internos, que são escritos pelo 8749, onde existem informações como: Drive, cabeça, setor, cilindro etc, faz exatamente o controle de escrita e leitura nos discos, detectando inclusive marcações físicas como bytes de ECC, Mark Address e gaps

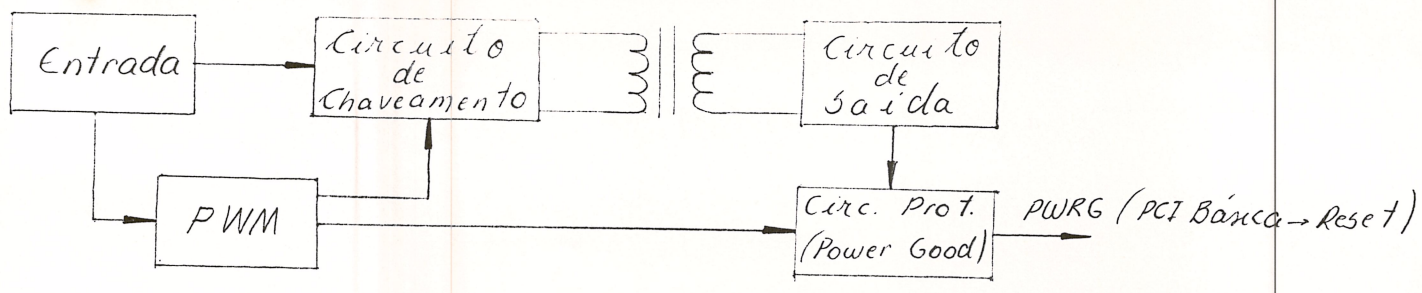
• WD 1020 - O padrão de gravação é o MFM (pulso de clock + pulso de dado), portanto para fornecer somente o sinal de dado para o WD 1010 é preciso de um bloco reparador de dados. Além disso as trilhas mais internas possuem menor região física de gravação, para isso cada célula deve ser suprimida; prevendo estas influências neste bloco existe um circ. de pré-compensação de escrita.

• WD 1520 ou 8749 - (Controlador de Processo). A partir dos comandos e dados enviados pela CPU, sendo armazenados na memória Buffer (6116) pela WD HC00, este bloco assume o controle gerando os sinais de comando mecânico para o Winchester (Mov. Cabeça e etc) e também de gerenciar os registradores internos do WD 1010, posicionando este último quanto a situação atual

- Programa exemplo em Assembler p/ leitura e escrita em Floppy/Winchester

Onde, AH: Comando (02-leitura, 03-escrita)	MOV AX, D5
AL: nº de setores a serem lidos	MOV CS, D5
BX = End do Buffer	MOV AX, 0201
CH = nº do cilindro	MOV BX, 1000
CL = nº do setor	MOV CX, 0004
DH = nº da cabeça	MOV DX, 0000
DL = nº do drive/Wincheter	INT 13
00 Drive A	INT 3
01 Drive B	
80 Winch C	
81 Winch D	

Fonte de Alimentação



- **Entrada - Slow Start.** Circuito que inibe o chaveamento nos primeiros instantes de funcionamento do equipamento, evitando assim a ação dos transitórios iniciais (spikes)

- **PWM.** A partir de amostras das tensões fornecidas, modula um sinal que será aplicado nos transistores de chaveamento, portanto conforme aumento ou diminuição da tensão, teremos o tempo de chaveamento alterado

Circuito de Chaveamento - Através do sinal modulado pelo PWM, teremos a excitação de dois transistores neste bloco, que com isso transferem energia ao secundário do traf^o representado na figura

Circuito de Saída - Recebendo energia do traf^o, tal bloco, terá o função de fornecer as tensões requisitadas por todo equipamento:

- +5V (12A)
 - -5V (200mA)
 - +12V (3,5A)
 - -12V (500mA)
 - +40V (850mA)
 - +90V (50mA)
- } PCI Banca, Floppies e Winchester
- } Monitor de Video

Este bloco possui proteção contra sobretensão (Crow-bar) e contra curto circuito

POWER GOOD - Chamado também de Circuito de Proteção e formado por comparadores que atuam no sinal Reset por hardware da CPU. A tensão de comparação é tomada da tensão de +5V de referência do PWM. Os pontos monitorados são a entrada e a saída das tensões (positivas e negativas). Se a tensão da Rede cair abaixo de 94V, ou as tensões positivas caírem abaixo de +4,5V ou 10,8V, ou as tensões negativas elevarem-se acima de -3,5V ou -10,2V o circuito atua resultando a CPU, obtendo-se então um reset por Hardware