

Itautec

Documentação de Produto

CÓDIGO DO DOCUMENTO	REVISÃO
19530-01-006	01
DATA	FL
	01/14

OBJETO

PCI CONTROLADORA DE WINCHESTER - PC 86 - MANA

PROJETO

APROVAÇÃO

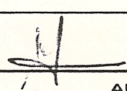
DATA

OBSERVAÇÕES

Reprodução Proibida

80-151

CENTRO DE TREINAMENTO
DEPTO. DE ASSISTÊNCIA TÉCNICA ITAUTEC

			/ /
			/ /
			/ /
01	Primeira versão - pré-série		16 / 03 / 88
Nº	REVISÃO	APROVAÇÃO	

Placa Controladora de Disco Rígido (Winchester)**Introdução**

A placa controladora de Winchester é uma placa que faz a interface entre o Mainé 86 (ou qualquer microcomputador padrão XT) e até dois disk drives Winchester padrão "Seagate Technology ST506". Todos os drivers e receivers estão presentes na placa, possibilitando uma conexão direta aos disk drives.

Um port de comunicação habilita a comunicação entre o Host e o controlador de disco. Este port de comunicação controla um barramento bidirecional de 8 bits interno e os sinais de controle que controlam esse barramento. Todas as transferências de escrita e leitura no disco são feitas através deste port, bem como os comandos e informações de status do controlador. Um buffer de dados interno permite que qualquer transferência seja executada independente das transferências de dados provenientes do disco rígido.

Principais Características

- interface de bus de 8 bits;
- emulação da placa de controle de Winchester do XT IBM;
- WD10C20B - circuito que integra as funções de separador de dados e circuito de pré-compensação de escrita;
- WD11C00-17 - circuito que integra o gerenciamento do buffer de setor, os ports de controle, o circuito de reset e o circuito de ECC;
- suporta qualquer configuração até 1024 cilindros e 8 cabeças (versão atual do WD 1015-1104 ou 8749);
- os drives controlados pela interface não precisam ter necessariamente a mesma capacidade ou configuração;
- correção de erros no campo de dados e verificação de CRC no campo de ID;
- ECC (Error Checking and Correction) Polinomial de 32 bits para detecção e correção de erros;
- leitura e escrita longa para verificação do circuito de ECC;
- seleção automática de novas tentativas em todos os erros;
- "restore" automático e "re-seek" em todos os erros de "seek";
- formatação automática;
- 512 bytes por setor;
- capacidade de "interleave" de setores;
- leitura e escrita de múltiplos setores;
- suporta "seeks" implícitos em todos os comandos;
- diagnóstico interno;
- capacidade de transferência de dados via DMA.

Teoria de Funcionamento

A placa controladora de Winchester do Maná 86 está baseada no "chip set" da Western Digital para controle de Winchester, que contém em sua arquitetura os seguintes CI's:

- WD1010 - controlador de discos Winchester;
- WD1015-PL14 ou 8749 - microprocessador que controla o gerenciamento do buffer de setor;
- WD11000-17 - gate-array lógico;
- WD10020B - separador de dados e circuito de pré-compensação de escrita.

. Descrição dos barramentos

Esta seção descreve os cinco barramentos usados na placa de controle de Winchester do Maná 86. Dois desses barramentos são extensões do "data bus" (barramento de dados) e do "address bus" (barramento de endereços) do microcomputador. Os outros três são barramentos internos à placa. Todos os barramentos transmitem endereços, comandos, dados ou informações de status.

.. Barramento de Endereços (A0 a A19)

O microcomputador usa este barramento durante a programação dos 16 ports de I/O (0320H a 032FH). O microcomputador também endereça a EPROM de BIOS (0C8000H a 0C8FFFFH) por intermédio deste barramento.

.. Barramento de Dados (D0 a D7)

Este é um barramento bidirecional que faz a ligação entre os dados do microcomputador e os dados da placa de controle de Winchester. Por meio deste barramento passam todos os dados de comando/status que controlam a placa de Winchester do Maná 86, além dos dados da EPROM de BIOS.

.. Barramento de Dados Interno (BDO a ED7)

Este é um barramento bidirecional interno e é uma extensão do barramento de dados (D0 a D7). Por meio deste barramento, o microcomputador acessa a EPROM de BIOS, o buffer de setor, o Bloco de Controle de Comandos (CCB), o port de configuração de drive e o port de status da placa.

.. Barramento Interno de Comando/Status (ADO a AD7)

Este é um barramento bidirecional que interliga o WD 1015, o WD 1010, o WD 11000 e o buffer de setor. Dados, comandos, informações de controle e status passam através deste barramento, que é ligado ao barramento de dados interno (BDO a ED7) através do WD 11000.

OBJETO

PCI CONTROL. WINCHESTER - PC 86

Itautec

.. Barramento de Endereços Interno (RA0 a RA10)

Este barramento endereça o buffer de setor e o registro de tarefas (task file) do controlador de disco WD1010, bem como sinaliza ao WD1010 que o fim do campo de dados foi encontrado e o circuito de ECC foi inicializado. O endereço do registro de tarefas (task file) é setado no contador de endereços de setor no WD11000-17, o qual coloca os dados presentes neste contador no barramento de RAO a RA10. O comprimento do endereço do registro de tarefas é de 8 bits.

. Protocolo do Barramento

O protocolo entre a placa controladora de Winchester e o Host consiste das seguintes fases:

- seleção;
- comando;
- dados e
- término do comando.

Numa execução normal, as fases ocorrem na ordem listada acima. Dependendo do tipo de comando, a fase de dados não ocorrerá. Uma fuga imediata para a fase de término de comando poderá ocorrer dependendo dos tipos de erros detectados pelo WD1015 ou pelo WD1010. A fase de término de comando sempre será executada, independente do comando ou do erro.

.. Fase de Seleção

O Host seleciona esta fase para começar a execução de um comando pela placa controladora de Winchester. O WD11000-17 acerta o bit de status BUSY para o reconhecimento da seleção da placa controladora de Winchester. O Host sensa o bit de status BUSY lendo o port 321H.

.. Fase de Comando

Após a fase de seleção, o Host manda um Bloco de Controle de Comandos (CCB) de seis bytes. Esta transferência requer um correto acerto dos bits de status BUSY, C/D, I/O e REQ. O WD11000-17 manda um CCB para a página 0 do buffer de setor. O WD1015 recupera o CCB do buffer de setor para executar o comando. Depois de entrada esta fase, a única maneira de abortá-la é pelo reset geral do microcomputador. O Host só pode mandar novos comandos após o sinal de status BUSY ser desativado.

.. Fase de Dados

Depois de decodificar um comando e checar se veio algum parâmetro ilegal, o WD1015 avisa ao Host que está na fase de dados, dependendo do WD1015 necessitar ou não de dados para a execução do comando. Este aviso se dá por intermédio do bit de status C/D. Se este bit for igual a 1, indicará ao Host que a placa controladora está na fase de dados. O estado do bit de status I/O indica a direção de transferência de dados entre o Host e a placa controladora de Winchester: se for igual a 1, indicará ao Host que é uma transferência de escrita de dados, caso contrário, indicará ao Host que é uma transferência de leitura de dados.

... Transferência de Dados no Modo I/O Programado

O host geralmente transfere comandos e dados no modo I/O programado, exceto as transferências de dados do disco rígido, que também podem ser feitas via DMA. Para a placa controladora de Winchester, ambos os métodos de transferência de dados são idênticos, exceto pela geração dos sinais de "handshake" pelo WD11C00-17. O WD11C00-17 não gera o sinal DRQ3 no modo I/O programado. As transferências de leitura ou de escrita de I/O são acertadas pelos bits de status, isto é, o Host após ler os bits de status BUSY, C/D e I/O decide se a transferência de dados é leitura ou escrita.

Os ports de I/O da placa controladora de Winchester estão localizados entre os endereços 320 a 323H. Todo port de I/O da placa controle de Winchester é acessado através do modo I/O programado.

... Transferência de Dados via DMA

Para o modo de transferência de dados via DMA, o Host deverá configurar a placa de controle de Winchester antes de iniciar a transferência de dados entre o buffer de setor e o Host. O Host deverá escrever no port 323H para habilitar o modo DMA antes de mandar um comando. Com o DMA habilitado, nenhum acesso ao port 320H é requerido para transferência de dados. O microcomputador sensa o sinal DRQ3 no início de uma transferência de dados. O sinal DRQ3 indica à placa de controle de Winchester que o Host aceitou o pedido de transferência via DMA, o que faz com que a placa retire o pedido de requisição de DMA (DRQ3), e também indica que o microcomputador irá acessar o buffer de setor usando a linha de IOR e IOW como no modo de I/O programado. O bit de status RDQ, quando em nível 0, indica o fim da transferência de DMA.

.. Fase de Término do Comando

O Host reconhece a fase de término do comando por uma interrupção de hardware (IRQ5), ou pelo polling do bit de status BUSY. Uma imagem do sinal IRQ5 aparece também em um bit de status no port 321H. O Host controla a habilitação ou não do sinal IRQ5 através do port 323H. O Host deve desabilitar as interrupções antes de ler o código de término de comando da placa de controle de Winchester, caso contrário a placa mandará interrupções continuamente.

O código de término de comando indica a ocorrência ou não de erro na implementação de um comando ou na transferência de dados feita pela placa de controle de Winchester. Um código de término de comando igual a 0 indica que não ocorreu nenhum erro. Qualquer código diferente de 0 indica a ocorrência de um erro durante a execução de um comando. O Host pode obter informações adicionais sobre o erro ocorrido executando um comando de leitura de status. Neste caso, a fase de dados é implementada na fase de término de comando pela placa de controle de Winchester.

O WD1015 coloca o byte de término de comando no port 320H depois de completada a execução de um comando. Este byte contém o número do drive cujos bytes de status do término do comando estão disponíveis e um flag de erro.

. Decodificação de Endereços

Uma PAL14L4 (CI-15) decodifica os endereços de I/O e de memória que vão endereçar a placa de controle de Winchester. Esta PAL gera os "chip selects" para a EPROM de BIOS e para o WD11C00-17. Além disso, ela também controla a habilitação e a direção do CI 74LS245 (CI-02), que bufferiza a via de dados da placa de controle de Winchester. A seguir, é feita uma descrição detalhada dos ports de I/O da placa de Winchester.

.. Port 320H (I/O)

Este port bidirecional é acessado pelo Host com qualquer instrução de I/O. Através dele todos os dados, comandos, parâmetros e status são escritos ou lidos na placa de controle de Winchester.

.. Port 321H (I/O)

O Host lê este port com qualquer instrução de I/O para saber o status do hardware da placa de controle de Winchester. Este byte de status pode ser lido a qualquer hora pelo Host, inclusive durante a execução de um comando por parte da controladora de Winchester. Os bits de status são identificados de acordo com a tabela 1.

Tabela 1 - Status de hardware

bit							
7	6	5	4	3	2	1	0
d	d	IRQ	DRQ	BSY	C/D	I/O	REQ

d - não usado

IRQ - Requisição de interrupção. Quando este bit está ativo (nível 1), significa que uma interrupção está pendente.

DRQ - Requisição de DMA. Quando este bit está ativo (nível 1), significa que a placa de controle de Winchester está pronta.

BSY - Busy. Quando este bit está ativo (nível 1), indica que a placa de controle de Winchester está executando um comando e não está habilitada a receber um outro comando.

C/D - Controle/dado. Este bit informa ao Host qual o tipo de transferência entre o Host e a placa controladora de Winchester. Este bit igual a 0 indica um comando ou byte de status, igual a 1 indica um dado.

I/O - Entrada/saída. Este bit identifica a direção das transferências entre o Host e a placa controladora. Os termos entrada e saída são relativos ao Host. Quando igual a 1 indica entrada. Igual a 0 indica saída.

REQ - Requisição. Este é um sinal de "handshake" para as transferências de dados entre o Host e a placa de controle. A placa de controle de Winchester seta este bit quando está pronta para transferir um dado para o Host. O bit REQ deverá estar válido para cada byte transferido para o Host.

O Host escreve neste port para gerar um "master reset" na placa de controle de Winchester. O byte escrito neste port é ignorado.

O ato de resettar a placa de controle de Winchester causa a execução automática do auto-teste.

.. Port 322H (I/O)

Executando-se uma leitura do port 322H temos como retorno um byte que indica a configuração dos drives Winchester instalados. Os 4 bits menos significativos correspondem ao drive 1 e os 4 bits mais significativos, ao drive 2. A configuração destes bits é estabelecida de acordo com a dip switch DS01 da placa de controle de Winchester.

As tabelas 2 e 3 descrevem as posições da dip switch DS01 em relação às configurações de discos Winchester existentes no mercado.

Tabela 2 - Configurações da dip switch DS01

TIPO				Capacidade		Chl.	ca- be- ças	WFO	RWC	SRT
D8	D7	D6	D5	não	formatado					
D4	D3	D2	D1	form.						
ON	ON	ON	ON	25,4 M	21,3 M	615	04	300	616	5
ON	ON	ON	OFF	28,5 M	23,9 M	917	03	256	920	6
ON	ON	OFF	ON	47,7 M	39,9 M	917	05	256	920	6
ON	ON	OFF	OFF	66,8 M	55,9 M	917	07	256	920	6
ON	OFF	ON	ON	85,9 M	71,8 M	917	09	256	920	6
ON	OFF	ON	OFF	12,7 M	10,6 M	306	04	64	128	5
ON	OFF	OFF	ON	51,2 M	42,9 M	704	07	256	708	6
ON	OFF	OFF	OFF	30,8 M	25,8 M	987	03	256	988	6
OFF	ON	ON	ON	51,4 M	43,0 M	987	05	256	988	6
OFF	ON	ON	OFF	72,0 M	60,1 M	987	07	256	988	6
OFF	ON	OFF	ON	25,4 M	21,3 M	306	08	64	128	6
OFF	ON	OFF	OFF	85,2 M	71,2 M	1024	08	256	1020	6
OFF	OFF	ON	ON	140,2 M	98,0 M	1024	11	256	1020	6
OFF	OFF	ON	OFF	191,2 M	133,7 M	1024	15	256	1020	6
OFF	OFF	OFF	ON	---	---	---	---	---	---	---
OFF	OFF	OFF	OFF	---	---	---	---	---	---	---

OBJETO

PCI CONTROL. WINCHESTER - PC 86

Itautec

Tabela 3 - Configuração da dip switch DSO1 por modelo de drive Winchester

TIPO				Capacidade Formata	Fabricante	Modelo
D8 D4	D7 D3	D6 D2	D5 D1			
ON	ON	ON	ON	21,3 M	QUALITRON BASF/ITAUTEC	QW520 6188 R3
ON	ON	ON	OFF	23,9 M	ELEBRA	W520-S
ON	ON	OFF	ON	39,9 M	ELEBRA	W540-S
ON	ON	OFF	OFF	55,9 M	ELEBRA	W560-S
ON	OFF	ON	ON	71,8 M	ELEBRA	W580-S
ON	OFF	ON	OFF	100,6 M	MULTIDIGIT FLEXIDISK	DW1011 DR-412
ON	OFF	OFF	ON	42,9 M	MICROLAB	DW5050
ON	OFF	OFF	OFF	25,8 M	FLEXIDISK	FR130
OFF	ON	ON	ON	43,0 M	FLEXIDISK	FR150
OFF	ON	ON	OFF	60,1 M	FLEXIDISK	FR170
OFF	ON	OFF	ON	21,3 M	FLEXIDISK	BR-425
OFF	ON	OFF	OFF	71,2 M	DIGIREDE	DGR-W525/85
OFF	OFF	ON	ON	98,0 M	DIGIREDE	DGR-W525/140
OFF	OFF	ON	OFF	133,7 M	DIGIREDE	DGR-W525/190
OFF	OFF	OFF	ON	---	---	---
OFF	OFF	OFF	OFF	---	---	---

.. Port 325H (0)

Este port somente de escrita controla a habilitação dos sinais de requisição de DMA e de interrupção. A tabela 4 mostra como são definidos os bits neste port.

Tabela 4

bit							
7	6	5	4	3	2	1	0
d	d	d	d	d	d	IRQEN	DRQEN

d - não usado

IRQEN - Habilitação de Requisição de Interrupção. Quando este bit é igual a 1, habilita a interrupção gerada pela placa de controle de Winchester.

DRQEN - Habilitação de Requisição de DMA. Quando este bit é igual a 1, habilita a requisição de DMA gerada pela placa de controle de Winchester.

. EPROM da BIOS

A EPROM da BIOS contém o firmware da placa de controle de Winchester. Esta EPROM ocupa o espaço de memória de C8000H a C8FFFFH. As rotinas da BIOS são acessíveis apenas por interrupções de software.

. Jumpers de Configuração (JP01 e JP02)

Existem na placa de controle de Winchester dois jumpers. O primeiro, JP01, controla a habilitação da placa. Ele deverá estar curto-circuitado para a operação da placa, caso contrário a placa não será reconhecida pelo sistema operacional. O segundo jumper, JP02, controla os sinais HS3 (Head Select 3) e RWC (Reduced Write Current). Um curto entre os pinos 1 e 2 levará o sinal HS3 ao pino número 2 do conector CNO1. Um curto entre os pinos 2 e 3 levará o sinal RWC ao pino número 3 do conector CNO1. Este jumper serve para selecionar entre a utilização do sinal RWC ou HS3, de acordo com o driver de Winchester utilizado.

. WD11C00-17 - Gate-array Lógico

O CI WD11C00-17 incorpora muitas funções em um único circuito integrado. A implementação destas funções se faz por meio de lógica combinatória e circuitos especializados. O WD11C00-17 contém os seguintes circuitos:

- ports de status;
- ports de leitura e escrita;
- circuito de controle e endereçamento da RAM de buffer de setor;
- circuito de ECC;
- circuito de timing de reset.

O WD11C00-17 está conectado diretamente ao barramento multiplexado de endereços/dados (ADO a AD7).

.. Ports de Status e Ports de Escrita e Leitura

As funções destes ports e suas operações estão descritas em outras seções.

.. Circuito de Controle e Endereçamento da RAM de Buffer de Setor

Um contador no WD11000-17 gera os bits de endereços de RA0 a RA4. Os três bits mais altos de endereçamento (RA7, RA8 e RA9) são resetáveis pelo WD1015. Isto permite ao WD1015 endereçar 8 páginas de 256 bytes. O endereço de qualquer byte dentro da página pode ser setado pelo WD1015 pela geração de acessos à RAM, que incrementam os contadores de endereço até o endereço desejado.

Complementando o endereçamento do buffer de setor, os 3 bits mais significativos de endereço (RA8, RA9 e RA10) são usados para endereçar o registro de tarefas (task file) do WD1010 quando o buffer de setor não estiver sendo usado. Um acesso ao buffer de setor termina quando o buffer de setor está vazio ou cheio. O WD11000 seta o bit RA10 para indicar ao Host que o buffer de setor está cheio ou vazio (o que causa também a finalização de uma operação de DMA), e que terminou um campo de dados na leitura do disco rígido. Isto significa que começou o campo de ECC, o que iniciará a lógica de ECC do WD11000.

Quando o bit de endereço RA3 for igual a 1 durante a fase de término de comando, indica ao WD1015 que o Bloco de Controle de Comando (CCB) já está no buffer de setor.

.. Circuito de ECC

Durante uma operação de escrita, o WD1010 recebe um dado do buffer de setor. O WD11000 gera e soma os 4 bytes de ECC ao final do campo de dados. Uma correta colocação dos bytes do ECC requer a determinação do fim do campo de dados, que é indicado quando o endereço RA10 é setado pelo contador de endereços do WD11000. Depois de escrever o ECC no disco, o circuito de ECC do WD11000 fornece zeros ao barramento ADO a AD7 enquanto a função de ECC estiver selecionada.

Durante uma operação de leitura o circuito de ECC recalcula o ECC. A comparação do ECC previamente escrito ocorre no fim do campo de dados.

O circuito de ECC grava o resultado desta comparação. Qualquer escrita adicional ao buffer de setor é ignorada se o resultado desta comparação não for igual a 0 e então o WD11000 seta o sinal "ECC not 0". A ocorrência do sinal "ECC not 0" habilita o WD1015 a executar a correção do erro.

Para fins de diagnóstico, durante um comando de escrita longa ou leitura longa a geração e verificação de ECC é desabilitada. Um comando de escrita longa faz com que o WD11000 aceite quaisquer 4 bytes do Host e os grave internamente para utilização posterior. Estes bytes são escritos no disco no lugar do ECC. Um comando de leitura longa faz com que o WD11000 aceite quaisquer bytes de ECC escritos no disco, sem fazer nenhuma verificação. Estes bytes são passados ao Host durante este comando. Isto permite ao Host induzir erros em qualquer lugar do campo de dados e checar os resultados.