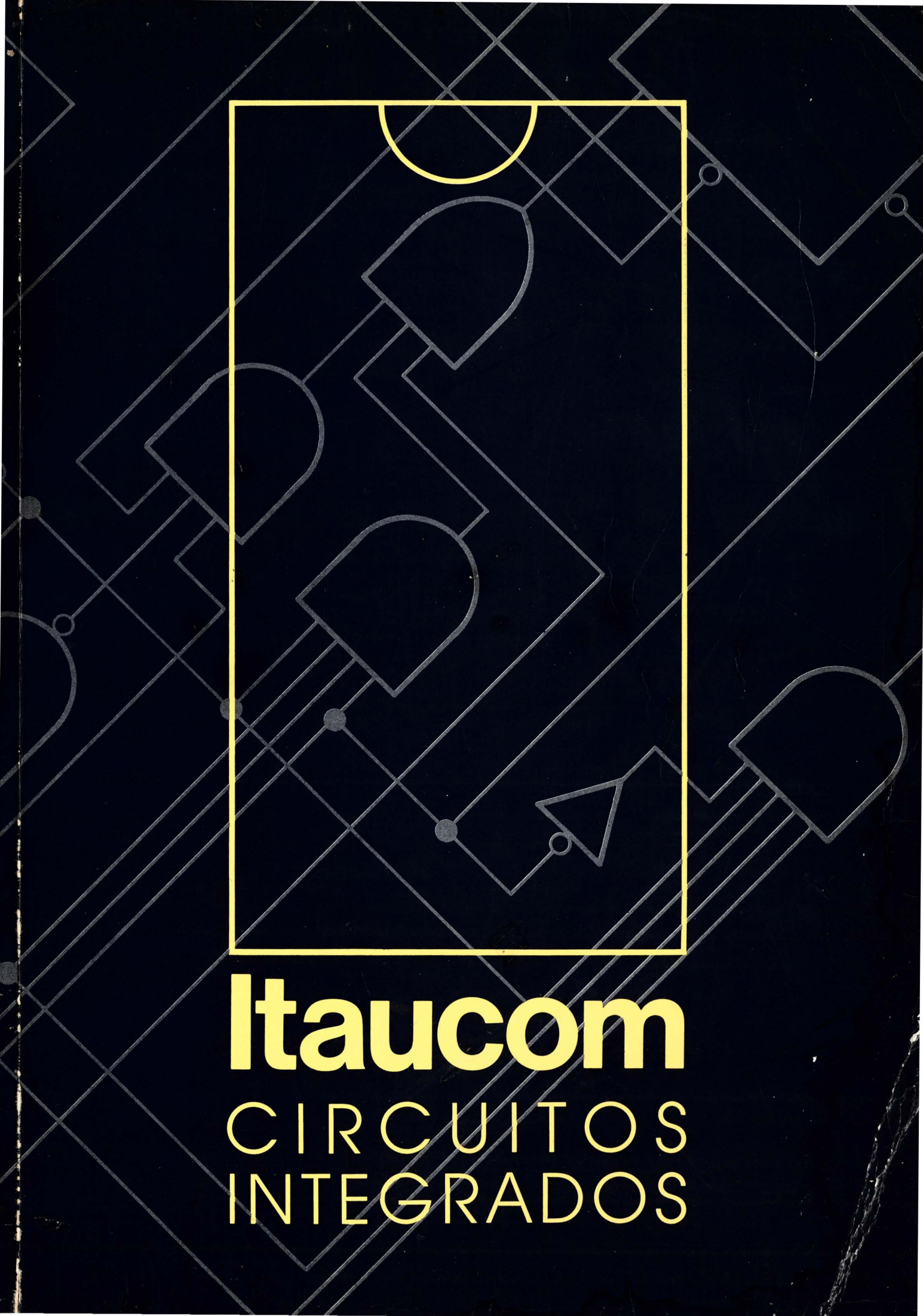
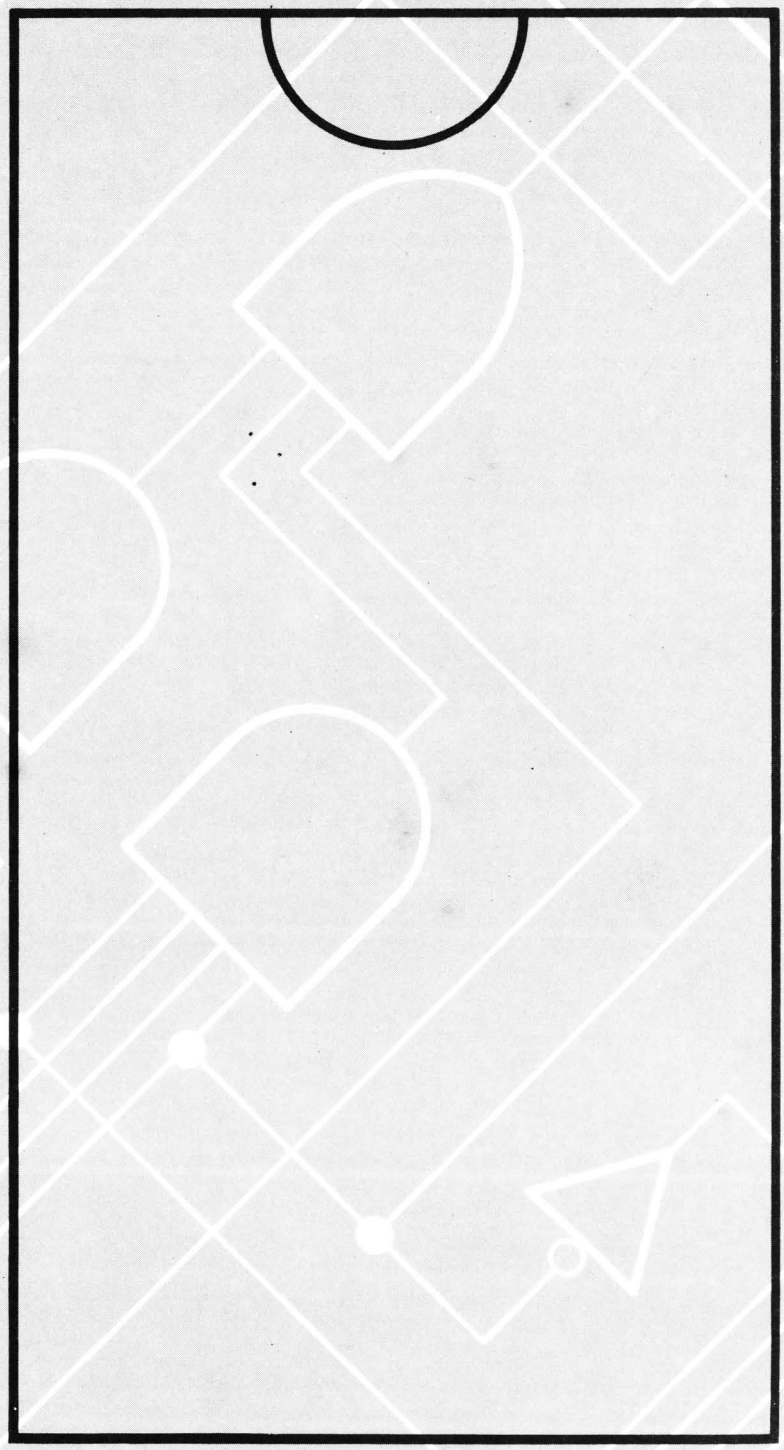


Itaucom

CIRCUITOS INTEGRADOS



Itaucom

CIRCUITOS INTEGRADOS

INTRODUÇÃO

A ITAUCOM apresenta a nova versão de seu manual de circuitos integrados nacionais, reunindo as especificações técnicas básicas de toda a sua linha de produtos. Este manual está dividido em capítulos e, eventualmente, em sub-capítulos, cada um deles contendo uma família específica de CIs. Além das informações aqui existentes, a ITAUCOM irá publicar cadernos avulsos ao longo do ano, permitindo que os usuários fiquem sempre atualizados sobre a permanente evolução de seus componentes.*

Informações adicionais poderão ser obtidas através de nosso centro de atendimento, que coloca à sua disposição a Engenharia de Aplicações e Suporte e o Departamento Comercial.

ITAUTEC COMPONENTES S.A. - ITAUCOM
Largo do Arouche, nº 24
CEP 01219 — São Paulo — SP
Centro de Atendimento
Telex (011) 13114 — fone (011) 223-2799

* A ITAUCOM se reserva o direito de fazer alterações sem prévio aviso

ÍNDICE

INFORMAÇÕES GERAIS 1

LÓGICA 2

LINEARES 3

MEMÓRIAS 4

MICROPROCESSADORES E PERIFÉRICOS 5

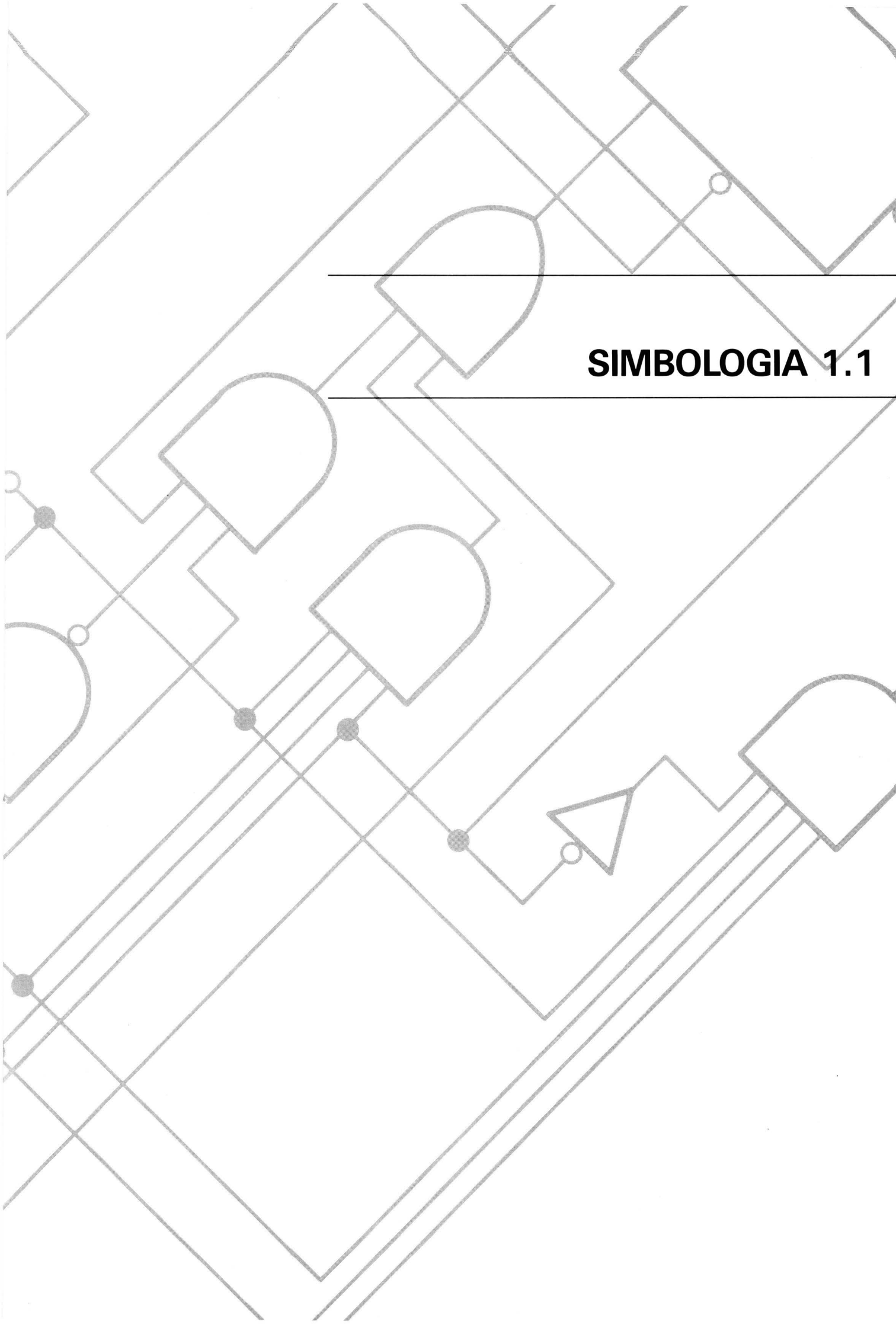
MICROCONTROLADORES 6

TELECOMUNICAÇÕES 7

APLICAÇÕES ESPECÍFICAS 8

1 INFORMAÇÕES GERAIS

SIMBOLOGIA 1.1
DADOS MECÂNICOS 1.2
CONFIABILIDADE 1.3



SIMBOLOGIA 1.1

SIMBOLOGIA

Este capítulo contém explicações acerca da nova simbologia, que vem sendo mundialmente adotada, para a representação de circuitos lógicos, pelos principais fabricantes de componentes eletrônicos de lógica binária. Coordenada a nível internacional pela I.E.C. (International Electrotechnical Commission) e a nível nacional pela ABNT (Associação Brasileira de Normas Técnicas), através da norma NBR 8767, esta representação dos circuitos lógicos tem por objetivo representar as relações entre entradas e saídas de um circuito lógico digital, sem que para isto seja necessário apresentar explicitamente sua lógica interna.

SIMBOLOGIA

A simbologia tradicional utilizada na representação dos dispositivos eletrônicos de lógica binária tem encontrado alguns obstáculos para sua manutenção, devido ao alto e rápido desenvolvimento tecnológico.
O aumento da complexidade e do número de funções lógicas implementadas nos dispositivos eletrônicos tornam a representação dos dispositivos mais complexos extremamente difícil, se baseada no processo tradicional.

A IEC (International Electrotechnical Commission) a nível internacional e a ABNT (Associação Brasileira de Normas Técnicas), a nível nacional, têm coordenado o desenvolvimento de uma linguagem única para estabelecer uma nova simbologia gráfica para os elementos lógicos binários. Esta nova simbologia já está passando a ser utilizada mundialmente pelos principais fabricantes de dispositivos eletrônicos de lógica binária e, particularmente, pela ITAUCOM, nas especificações de seus produtos.
Ainda que esta nova simbologia possa sofrer futuros aprimoramentos, ela já está disponível. Futuras alterações, se existirem, serão adotadas nas especificações dos produtos ITAUCOM, para total acordo com esta nova simbologia.
O objetivo desta nova simbologia é representar as relações de cada entrada com cada saída de um circuito lógico digital, sem que seja necessário apresentar explicitamente a lógica interna. O coração deste sistema é a chamada Notação de Dependência, que será analisada adiante.
A explicação desta nova linguagem simbólica aqui contida é breve e resumida e, a princípio, pretende apenas tornar possível o entendimento de alguns símbolos usados neste manual, comparando os símbolos com tabelas de função ou diagramas de blocos funcionais para facilitar a compreensão.

Composição dos Símbolos

Um símbolo é composto por uma envoltória, ou uma combinação de envoltórias, complementada com um ou mais símbolos qualificadores (Figura 1).

Os símbolos qualificadores são usados para exprimir exatamente o tipo de operação lógica a ser efetuada pelo elemento.

As dimensões da envoltória são arbitrárias.

As linhas de entrada são colocadas à esquerda, exceto quando indicadas por meio de setas nas linhas de acesso.

Todas as saídas de um elemento simples sem subdivisões apresentam o mesmo estado lógico interno, exceto quando indicado o contrário, por meio de combinações de símbolos de qualificação ou por marcas dentro do elemento.

A fim de reduzir o esforço necessário para a representação de uma associação de elementos, as envoltórias desses elementos podem aparecer embutidas ou unidas entre si. Em ambos os casos devem ser observadas as seguintes convenções:

- ☐ Não há conexão lógica entre os elementos quando a linha comum às suas envoltórias é paralela à direção do fluxo do sinal. Entende-se por conexão lógica qualquer relação entre os elementos, na qual o estado interno de um afeta o estado interno do outro. E, por elementos, os vários dispositivos com função definida que constituem o símbolo, p. ex.: uma porta lógica, um flip flop, etc.;
- ☐ Há pelo menos uma conexão lógica entre os elementos quando a linha comum às envoltórias é perpendicular à direção do fluxo de sinal;
- ☐ Cada conexão lógica pode ser indicada através de símbolos de identificação e um ou ambos os lados da linha. Não havendo símbolos de identificação ao longo da linha comum, entende-se que há somente uma conexão;
- ☐ Quando o circuito possuir uma ou mais entradas comuns a mais de um elemento do circuito, então poderá ser usado o elemento de comando comum. A Figura 2 ilustra esta situação.

Composição do Símbolo

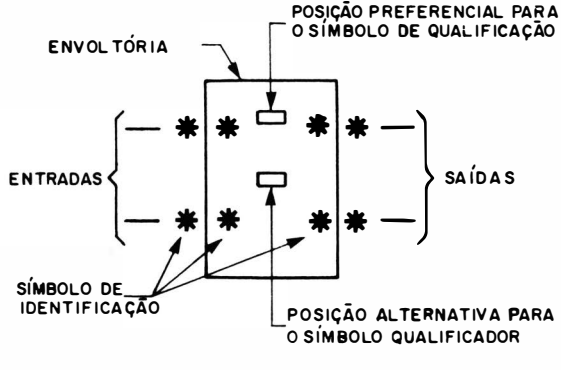


FIGURA 1

Elemento de Comandos Comuns

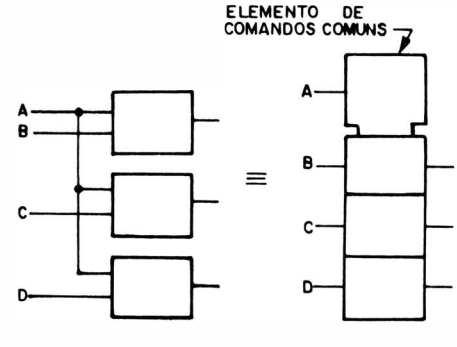


FIGURA 2

Cada elemento colocado abaixo do elemento de comandos comuns é afetado pelas suas entradas.

Elemento Comum de Saída

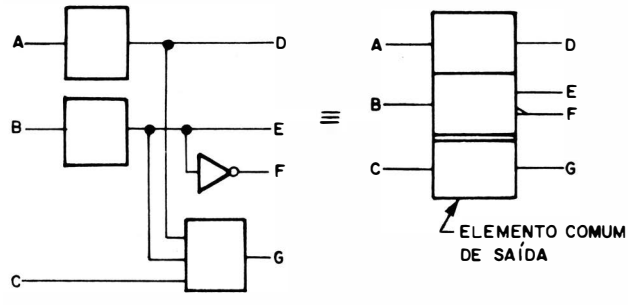


FIGURA 3

☐ Da mesma maneira, uma ou mais saídas comuns a vários elementos podem ser representadas pelo elemento comum de saída (Figura 3).

O símbolo do elemento comum de saída é diferenciado dos demais por meio de um traço duplo colocado na sua parte superior. A função do elemento comum de saída deve ser indicada através de símbolos de qualificação geral.

Símbolos de Qualificação

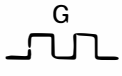
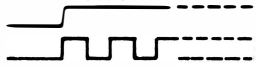
Símbolos de Qualificação Geral

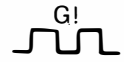
Os símbolos de qualificação geral, que estão localizados na parte superior ou no centro geométrico do símbolo, têm a finalidade de definir a função básica do dispositivo representado.

Na Tabela 1 estão relacionados alguns dos símbolos de qualificação geral e o seu respectivo significado.

TABELA 1

&	FUNÇÃO E (AND) A saída assume o estado interno 1 se e somente se todas as entradas do elemento assumem o estado interno 1.
≥1	FUNÇÃO OU (OR) A saída assume o estado interno 1 se uma ou mais entradas assumem o estado interno 1.
=1	FUNÇÃO OU EXCLUSIVO (XOR) A saída assume o estado interno 1 se apenas uma das entradas possuir o estado interno 1.
=	IDENTIDADE A saída assume o estado interno 1 apenas quando todas as entradas possuirem o mesmo estado interno.
2k	PARIDADE PAR A saída assume o estado interno 1 se o número de entradas que apresentam o estado interno 1 for par.
2k + 1	PARIDADE ÍMPAR A saída assume o estado interno 1 se o número de entradas que apresentam o estado interno 1 for ímpar.
1	BUFFER A saída assume nível lógico idêntico ao da entrada.
▷ ou ◁	SAÍDA REFORÇADA Indica um buffer ou um elemento com a capacidade de saída acima da usual. O símbolo é orientado na direção do fluxo do sinal.
⊓	ELEMENTO COM HISTERESE (SCHMITT TRIGGER) A saída assume o estado interno 1, quando o nível do sinal de entrada superar o limiar superior e permanece neste estado até que o nível do sinal de entrada vá abaixo do limiar inferior.
X/Y	CODIFICADOR (CONVERSOR DE CÓDIGO) X e Y podem ser substituídos pelas indicações que representam o código de entrada e o código de saída.
MUX	MULTIPLEXADOR A saída assume o estado interno da entrada selecionada.
DMUX ou DX	DEMULTIPLEXADOR
Σ	SOMADOR
P−Q	SUBTRATOR
π	MULTIPLICADOR

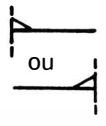
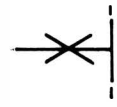
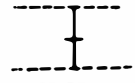
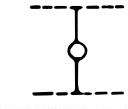
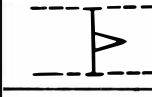
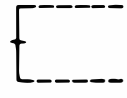
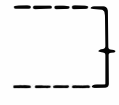
CPG	TRANSPORTE ANTECIPADO (LOOK-AHEAD CARRY GENERATOR)
COMP	COMPARADOR NUMÉRICO
ALU	UNIDADE LÓGICA ARITMÉTICA
	MONOESTÁVEL REDISPARÁVEL (DURANTE O PULSO DE SAÍDA) Cada vez que a entrada assume ou permanece no estado interno 1 a saída assume ou mantém-se no estado interno 1, só retornando ao estado interno 0 após decorrido certo tempo, contado a partir da transição do estado interno da entrada de 1 para 0.
1	MONOESTÁVEL NÃO REDISPARÁVEL (DURANTE O PULSO DE SAÍDA) Quando a entrada assume o estado interno 1 a saída assume estado interno 1 e retorna a 0 decorrido certo período ignorando qualquer alteração na entrada durante este período.
G 	ELEMENTO ASTÁVEL G é o elemento qualificador de gerador. Se a forma de onda for evidente não há necessidade do símbolo adicional.
!G	ELEMENTO ASTÁVEL COM PARTIDA SINCRONIZADA A saída inicia as oscilações quando a entrada assumir o estado interno 1. ENTRADA  SAÍDA

G! 	ELEMENTO ASTÁVEL COM SINCRONIZAÇÃO DE PARADA Quando a entrada retorna ao estado interno 0, a saída completa o pulso final e permanece no estado interno 0. ENTRADA SAÍDA
!G!	ELEMENTO ASTÁVEL COM SINCRONIZAÇÃO DE PARTIDA E PARADA ENTRADA SAÍDA
SRGm	REGISTRADOR DE DESLOCAMENTO (SHIFT REGISTER) m indica o número de bits.
CTRm	CONTADOR m indica o número de bits, comprimento do ciclo = 2^m
CTR DIVm	CONTADOR Largura de ciclo = m
RCTRm	CONTADOR ASSÍNCRONO Largura de ciclo = 2^m
ROM	MEMÓRIA DE APENAS LEITURA
RAM	MEMÓRIA DE ACESSO RANDÔMICO
FIFO	MEMÓRIA PRIMEIRO A ENTRAR PRIMEIRO A SAIR (FIRST-IN FIRST-OUT)
Φ	FUNÇÃO ALTAMENTE COMPLEXA (CAIXA PRETA)

Símbolos de Qualificação para Entradas e Saídas

Estes símbolos relacionam o estado interno com o nível lógico (externo). Alguns destes símbolos estão representados na Tabela 2.

TABELA 2

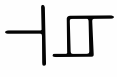
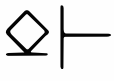
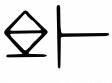
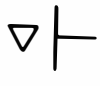
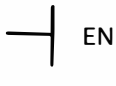
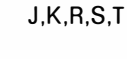
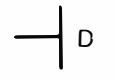
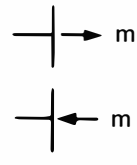
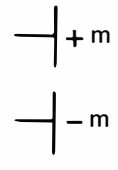
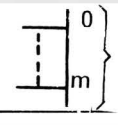
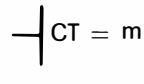
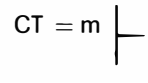
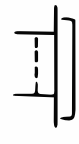
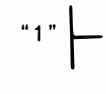
	INVERSÃO NA ENTRADA O estado interno 1 (0) corresponde ao nível lógico L (H). O símbolo é orientado na direção do fluxo do sinal.
	INVERSÃO NA SAÍDA O nível lógico H (L) na linha de conexão corresponde ao estado interno 0 (1). O símbolo é orientado na direção do fluxo do sinal.
	FLUXO DE SINAL, DA DIREITA PARA A ESQUERDA (Quando não houver indicação contrária, o fluxo do sinal é considerado da esquerda para a direita).
	FLUXO DE SINAL BIDIRECIONAL
	ENTRADA DINÂMICA ATIVADA NA BORDA DE SUBIDA
	ENTRADA DINÂMICA ATIVADA NA BORDA DE DESCIDA
	CONEXÃO NÃO LÓGICA (p. ex. tensão de alimentação) Geralmente um símbolo interno definirá a natureza deste pino.
	ENTRADA PARA SINAIS ANALÓGICOS
	CONEXÃO INTERNA Estado 1 na esquerda provoca estado 1 na direita.
	CONEXÃO INTERNA COM NEGAÇÃO Estado 1 na esquerda provoca estado 0 na direita.
	CONEXÃO INTERNA DINÂMICA Ativada na borda de subida.
	ENTRADA INTERNA (ENTRADA VIRTUAL) Esta entrada permanece no estado interno 1 a menos que seja afetada por uma relação de dependência.
	SAÍDA INTERNA (SAÍDA VIRTUAL) O efeito desta saída sobre uma entrada interna à qual esteja conectada deve ser indicada por uma notação de dependência.

Se os mesmos símbolos de qualificação geral e símbolos de qualificação de entradas e saídas aparecerem em todos os elementos do arranjo, estes símbolos serão colocados apenas no primeiro elemento.
Isto permite um reconhecimento mais rápido e evita confusões.

Símbolos Internos à Envoltória Relacionados com as Entradas e Saídas

Apresentamos na Tabela 3 alguns símbolos internos à envoltória, que dão informações sobre as entradas ou saídas.

TABELA 3

	SAÍDA PROTELADA A mudança do estado interno desta saída é retardada até que o sinal que deu origem à mudança volte a seu estado inicial.
	ENTRADA COM HISTERESE (OU DE DOIS LIMIARES) O estado interno 1 é atingido pela entrada, quando o sinal externo supera o limiar superior e permanece neste estado até o sinal externo atingir um nível menor que o limiar inferior.
	SAÍDA COM COLETOR EM ABERTO OPEN-COLLECTOR NPN OU SEMELHANTE Requer um resistor externo de pull-up.
	SAÍDA COM COLETOR EM ABERTO, COM PULL-UP INTERNO
	SAÍDA COM EMISSOR EM ABERTO OPEN-EMITTER NPN OU SIMILAR Requer um pull-down externo.
	SAÍDA COM EMISSOR EM ABERTO NPN OU SIMILAR Possui um pull-down interno.
	SAÍDA TRI-STATE
	SAÍDA REFORÇADA Tem a capacidade de saída acima do normal. O símbolo é orientado na direção do fluxo do sinal.
	ENTRADA HABILITADORA (ENABLE) No estado interno 1 todas as saídas estão habilitadas. No estado interno 0: saídas com coletor em aberto e com emissor em aberto estão desligadas, saídas tri-state estão em estado de alta impedância. As demais saídas (ex. totem-pole) apresentam estado interno 0.
	ENTRADAS ASSOCIADAS A ELEMENTOS BIESTÁVEIS
	ENTRADA DE DADOS PARA ELEMENTOS DE ARMAZENAGEM
	ENTRADA DE DESLOCAMENTO DE UM REGISTRADOR Quando esta entrada assume o estado interno 1 as informações contidas no elemento são deslocadas de m posições para a direita ou para a esquerda, de acordo com o sentido indicado pela seta.
	ENTRADA DE CONTAGEM CRESCENTE (+) OU DECRESCENTE (–) Quando assumir o estado interno 1, esta entrada permite que a contagem contida no elemento seja incrementada ou decrementada (dependendo do sinal) de m unidades.
	GRUPAMENTO BINÁRIO m é a mais alta potência de 2.
	ENTRADA DE IMPOSIÇÃO DE CONTEÚDO Quando esta entrada assumir o estado interno 1 o conteúdo do elemento (por ex. um contador) será substituído por m.
	SAÍDA DE CONTEÚDO Quando o conteúdo do elemento for m, esta saída assumirá o estado interno 1.
	GRUPAMENTO DE LINHAS DO LADO DAS ENTRADAS Este símbolo indica que dois ou mais terminais são usados para implementar uma única entrada lógica.
	ESTADO FIXO A saída sempre permanece no estado interno 1.

Obs.: Quando uma informação não padronizada é representada no interior da envoltoria, ela geralmente é colocada entre colchetes.

Notação de Dependência

Generalidades

A notação de dependência torna os novos símbolos mais compactos e compreensíveis, apresentando as relações entre entradas, saídas ou entradas e saídas, sem necessidade de mostrar explicitamente todos os elementos e conexões envolvidas.
A notação de dependência completa a informação fornecida por um símbolo de qualificação de um elemento lógico.
Na Notação de Dependência serão usados os termos "influente" e "influenciado". Nos casos onde não é evidente que tipo de entrada é considerada influente ou influenciada (como por exemplo entradas relacionadas a um elemento AND), a escolha pode ser feita do modo mais conveniente.

As entradas influentes são representadas por uma letra símbolo, seguida por um número. Cada entrada (ou saída) influenciada por esta entrada é marcada com o mesmo número. Há, porém, exceções por exemplo, quando os símbolos EN, R e S, aparecem sem serem seguidos por números. Neste caso, a ação destas entradas é descrita em "Símbolos Internos à Envoltória Relacionados com as Entradas e as Saídas".

A Tabela 4 resume os dez tipos de dependência.

TABELA 4

TIPO DE DEPENDÊNCIA	LETRA SÍMBOLO	ESTADO INTERNO 1 NA ENTRADA INFLUENTE	ESTADO INTERNO 0 NA ENTRADA INFLUENTE
Endereço	A	Ação permitida (modo selecionado)	Ação impedida (endereço não selecionado)
Comando	C	Ação permitida	Ação impedida
Habilitação	EN	Ação permitida	Ação de entradas influenciadas impedidas. Saídas com coletor em aberto e com emissor em aberto desligadas. Saídas em tri-state apresentam alta impedância externa.
E (AND)	G	Ação permitida	Impõe o estado 0
Modo	M	Ação permitida (endereço selecionado)	Ação impedida (modo não selecionado)
Negação	N	O estado interno é complementado	O estado interno permanece inalterado
Reset	R	A saída influenciada reage como se S=0 e R=1	O estado interno permanece inalterado
Set	S	A saída influenciada reage como se S=1 e R=0	O estado interno não é modificado
OU (OR)	V	Impõe o estado 1	Ação permitida
Interconexão	Z	Impõe o estado 1	Impõe o estado 0

As regras para a aplicação das relações de dependência seguem em geral o mesmo padrão usado para a dependência E, que será analisada mais adiante.
A aplicação da notação de dependência é feita por:

- ☐ Marcação da entrada (ou saída) influente com a letra símbolo que indica a relação envolvida (ex.: G para E) seguida por um número de identificação escolhido apropriadamente;
- ☐ Marcação de cada entrada ou saída influenciada com o mesmo número da entrada (ou saída) influente.

Se o complemento do estado lógico interno de uma entrada ou saída influente for usado, então, uma barra é colocada sobre o número da entrada ou saída influenciada correspondente.
Se duas entradas ou saídas influentes tiverem o mesmo número identificador estas estarão relacionadas entre si através de uma operação OU.
Se uma entrada ou saída influenciada necessitar de uma marca que denote sua função (p. ex. D), então essa marca virá precedida do número identificador referente à entrada influente correspondente.

Dependência E (And)
A dependência E é caracterizada pela letra G.
As figuras a seguir explicam melhor esta dependência.

Dependência E Entre Entradas

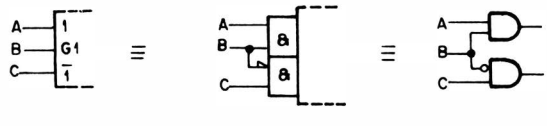


FIGURA 4

Na Figura 4, a Letra G colocada na entrada b indica que será realizada uma operação E. Um número conveniente (no caso, 1) é colocado logo após a letra G e também em cada entrada influenciada. A figura indica que a entrada b faz uma operação E com a entrada a e o complemento de b faz o mesmo com a entrada c (note a barra sobre o 1 na entrada c).

Dependência E Entre Entradas e Saídas

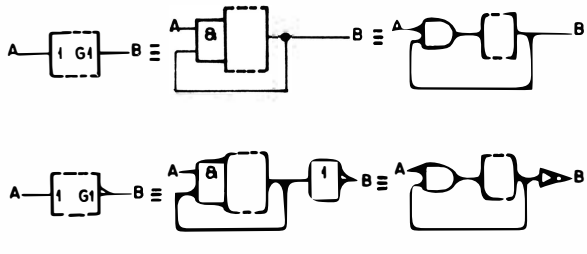


FIGURA 5

A Figura 5 mostra que a saída b realiza uma operação E com a entrada a e o exemplo inferior indica que o estado lógico interno da saída não é afetado pelo inversor.

Dependência E com uma Entrada Dinâmica

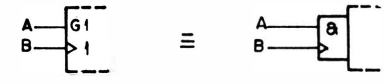


FIGURA 6

Dependência OU (OR)
A dependência OU é caracterizada pela letra V.
A Figura 7 dá alguns exemplos da sua utilização.

Dependência OU

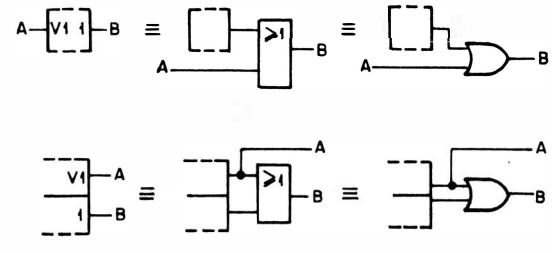
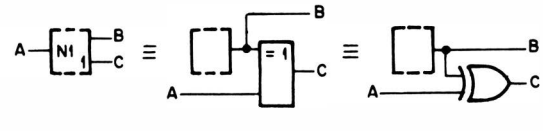


FIGURA 7

Dependência de Negação
O símbolo que denota dependência de negação é a letra N.
Cada acesso influenciado por um acesso N_m está relacionado a ele por uma função OU exclusivo (Figura 8).

Dependência de Negação



SE A=0, ENTÃO C=B
SE A=1, ENTÃO C=$\overline{B}$

FIGURA 8

Dependência de Interconexão

A dependência de interconexão é simbolizada pela letra Z.

A dependência de interconexão é usada para indicar que há conexões internas entre os acessos e as entradas e saídas internas do elemento (Figura 9).

Dependência de Interconexão

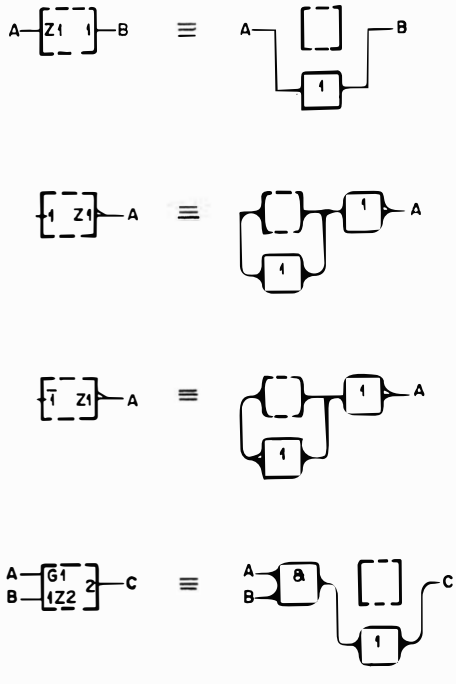


FIGURA 9

Dependência de Comando

A Dependência de Comando é caracterizada pela letra C.

As entradas de comando são geralmente usadas para habilitar ou desabilitar a entrada de dados em elementos armazenadores.

A Figura 10 dá alguns exemplos de Dependência de Comando.

Dependências Reset e Set

O símbolo que representa a dependência Reset é a letra R.

O símbolo que representa a dependência Set é a letra S. As dependências Reset e Set são usadas quando for necessário especificar o efeito da combinação R = S = 1 em um elemento biestável.

No caso 1 da Figura 11 não há dependência R ou S.

Dependência de Comando

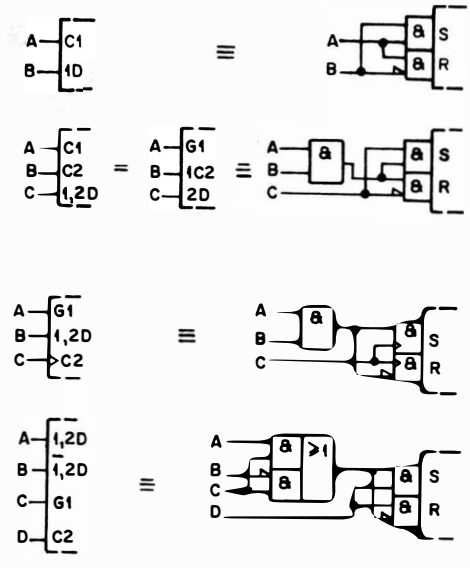


FIGURA 10

Dependências R e S

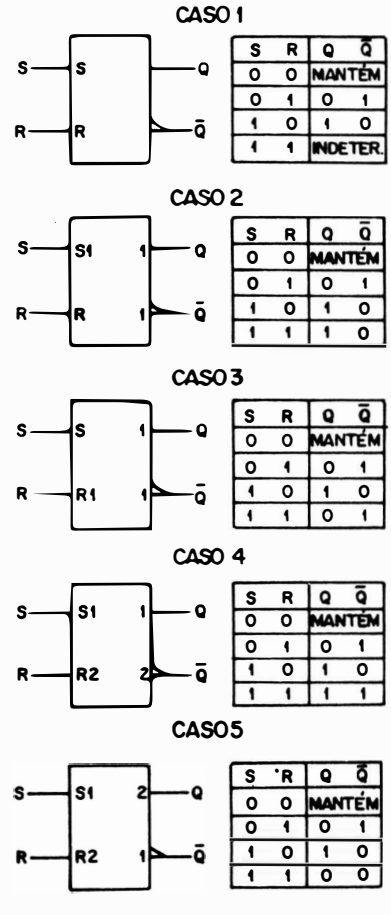


FIGURA 11

Dependência de Habilitação (Enable)

A dependência de habilitação é representada pelo par de letras EN.

A dependência de habilitação é utilizada para representar uma entrada de habilitação que não influencia necessariamente todas as saídas. A entrada EN também pode ser utilizada quando uma ou mais entradas de um elemento são influenciadas; o efeito, neste caso, é semelhante ao de uma entrada M (ver adiante).

Dependência de Habilitação

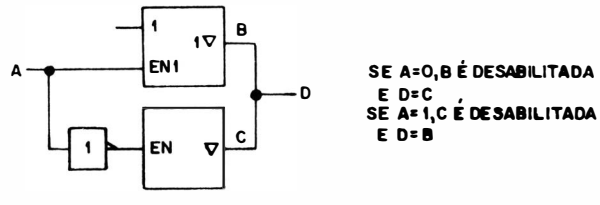


FIGURA 12

Se uma entrada EN_m mantém o seu estado interno em 0, as demais entradas por ela afetadas não têm efeito sobre a função do elemento e as saídas afetadas são desabilitadas. As saídas com coletor em aberto serão desligadas, as saídas tri-state apresentarão alta impedância e os outros tipos de saída (ex. totem-pole) manterão seus estados internos em 0.

Dependência de Modo

O símbolo que denota dependência de modo é a letra M. A dependência de modo é usada para indicar que o funcionamento de determinados acessos do elemento depende do modo em que o elemento está operando.

Se um acesso produzir o mesmo efeito em diferentes modos de operação, os números de identificação das respectivas entradas influentes M_m, aparecerão no acesso influenciado, separados por barras inclinadas e entre parênteses (ver Figura 16).

Influência da Dependência M sobre as Entradas

A dependência M afeta as entradas de maneira semelhante à dependência C.

Quando um acesso M_m apresenta estado interno 1, as entradas influenciadas exercem o efeito normalmente definido sobre a função do elemento, ou seja, as entradas estão habilitadas.

Quando um acesso M_m apresenta estado interno 0, a entrada influenciada por este acesso não tem efeito sobre a função do elemento. Se uma entrada influenciada possuir várias marcações separadas por barras inclinadas (ex.: C4/2−/3+), apenas as marcações onde aparece o número de identificação daquele acesso M_m devem ser ignoradas. Isto equivale à desabilitação de algumas funções de uma entrada multifunção.

A Figura 13 ilustra este conceito. As entradas b e c permitem que 1 dos quatro modos possíveis (0,1,2 ou 3) em que o elemento irá operar seja selecionado. As entradas d, e e f estão sujeitas ao controle dinâmico determinado pela entrada a.

- ☐ No modo 0 (b = 0, c = 0) as saídas permanecem em seus estados anteriores e as entradas não causam efeito sobre a função do elemento;
- ☐ No modo 1 (b = 1, c = 0) as entradas e e f são habilitadas para carregamento paralelo, comandadas pelo pulso na entrada a;
- ☐ O modo 2 (b = 0, c = 1), quando selecionado, permite, através do comando da entrada a, o deslocamento do conteúdo para a direita e habilita a entrada d para carregamento serial;
- ☐ O modo 3 (b = 1, c = 1), habilita a contagem crescente, através do incremento de 1 no conteúdo, a cada pulso na entrada a.

Influência da Dependência M sobre as Entradas

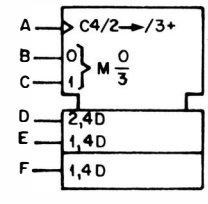


FIGURA 13

Influência da Dependência M sobre as Saídas

Quando um acesso M_m apresentar estado interno 1, as saídas influenciadas estarão habilitadas.

Quando um acesso M_m apresentar estado interno 0, cada saída influenciada por este acesso estará sem efeito e deverá ser ignorada. Se uma saída possuir vários conjuntos de marcação diferentes separados por barras inclinadas (ex.: 2,4/3,5), apenas aqueles conjuntos que apresentam o número de identificação do acesso M_m serão ignorados.

A Figura 14 representa um dispositivo que atua no modo 1, durante o tempo em que a entrada a permanecer com o seu estado interno em 1. O símbolo de saída retardada é efetivo somente no modo 1 (quando a = 1). Neste caso o dispositivo opera com um flip-flop disparado por pulso.

Flip-Flop Determinado por Modo

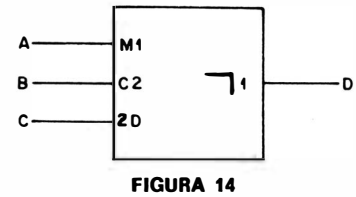


FIGURA 14

Quando a entrada a = 0, o dispositivo não está mais atuando no modo 1, portanto o símbolo de saída retardada ficará sem efeito e o dispositivo operará como um latch transparente.

Na Figura 15, se a entrada a mantiver seu estado interno em 1 selecionando o modo 1, a saída b assumirá o estado interno 1, apenas quando o conteúdo do registrador for igual a 15.
Por outro lado, se a entrada a mantém seu estado interno em 0, o modo 1, não estará selecionado e a saída b assumirá estado interno 1, apenas quando o conteúdo do registrador for 0.

Determinação da Saída de uma Função

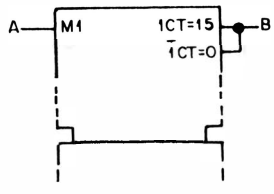


FIGURA 15

Na Figura 16, as entradas a e b permitem selecionar 1 dos três possíveis modos (0,1,2,3). Na saída e a marcação que causa a negação (se c = 1) atuará apenas quando os modos 2 ou 3 estiverem selecionados. Nos demais modos (0,1) esta saída permanecerá no estado normal como se não houvessem marcações. Na saída f a marcação tem efeito em todos os modos, exceto no modo 0 portanto a saída é negada (se c = 1) nos modos 1,2 e 3, no modo 0 a marcação não têm efeito e a saída f permanece no seu estado normal.
A saída g possui dois conjuntos de marcações. O primeiro causa negação (se c = 1) e só tem efeito no modo 2. O segundo submete g a uma operação E com d e tem efeito apenas no modo 3.
Note que no modo 0 nenhuma das relações de dependência tem efeito sobre as saídas e, f e g; deste modo e, f e g permanecem no mesmo estado.

Modificação de Relações de Saída Através de Modo

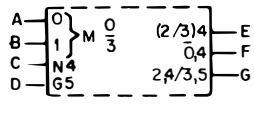


FIGURA 16

Dependência de Endereço
A dependência de endereço é denotada pela letra A. A dependência de endereço proporciona uma representação clara dos elementos que usam controle com entradas de endereço para especificar seções de um arranjo multidimensional, principalmente memórias.
O objetivo da dependência de endereço é permitir uma representação simbólica do arranjo inteiro, representando apenas uma seção, em lugar de todas as seções do arranjo.
Uma entrada representada na célula-tipo é comum à todas as células correspondentes do conjunto. Uma saída representada na célula-tipo é o resultado da função OU de todas as saídas de células correspondentes do conjunto selecionado.
Se o símbolo de saída de uma célula-tipo indicar que se trata de uma saída em aberto ou tri-state, esta saída, se refere à saída do conjunto e não à das células do conjunto.
As entradas não influenciadas por uma entrada de endereço influente, têm efeito normalmente definido sobre todas as seções do arranjo. Por outro lado, entradas influenciadas por uma entrada de endereço têm seus efeitos normalmente definidos apenas sobre a seção selecionada pela entrada de endereço.
Uma entrada influente de endereço é indicada pela letra A, seguida de um número de identificação, correspondente ao endereço da seção particular do arranjo selecionada pela entrada.
A Figura 17 apresenta uma memória de 3 palavras por 2 bits tendo uma linha de endereços separada para cada palavra e usa a dependência EN para explicar a operação. Para selecionar a palavra 1, a entrada a é tomada com o seu estado em 1, que estabelece o modo 1. O dado agora pode ser carregado nas entradas marcadas 1,4D. A menos que as palavras 2 e 3 estejam também selecionadas, os dados não podem ser carregados nas entradas marcadas 2,4D e 3,4D. As saídas serão funções OU das saídas selecionadas, isto é, daquelas habilitadas pelas entradas EN.

Dependência de Endereços

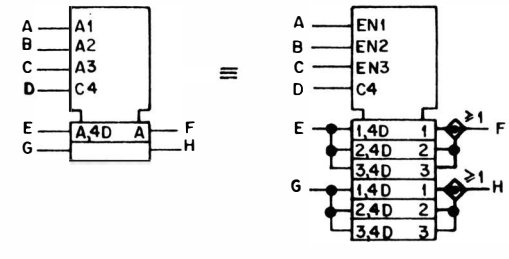


FIGURA 17

Os números de identificação das entradas de endereços influentes correspondem aos endereços das seções selecionadas por estas entradas. Eles não precisam necessariamente diferir dos números escolhidos para outras dependências (por exemplo: G, V, N,...), porque na célula-tipo mostrada no símbolo, estes números são substituídos pela letra A.
Havendo vários conjuntos de entradas influentes A, para permitir o acesso independente e eventualmente simultâneo às seções do arranjo, então a letra A é modificada para 1A, (2A...). Devido ao fato destas entradas terem acesso às mesmas seções do arranjo, estes conjuntos de entradas A podem ter os mesmos números de identificação.
A Figura 18 dá outra ilustração deste conceito.

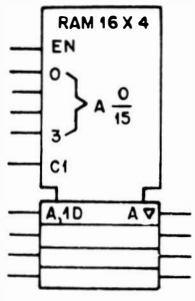


FIGURA 18

Arranjo de 16 seções de 4 Latches transparentes com saídas em tri-state formando uma memória de acesso randômico (RAM) de 16 palavras x 4 bits.

Elementos Biestáveis

O elemento biestável (flip-flop) não possui o símbolo de qualificação próprio. Os símbolos de entrada dinâmica, saída protelada, e a notação de dependência fornecem os meios necessários para diferenciar os quatro tipos básicos de elementos biestáveis e tornar as entradas síncronas e assíncronas mais facilmente reconhecíveis.

Na Figura 19 a primeira coluna apresenta as características essenciais de distinção e a outra coluna apresenta exemplos.

4 tipos de Elementos Biestáveis

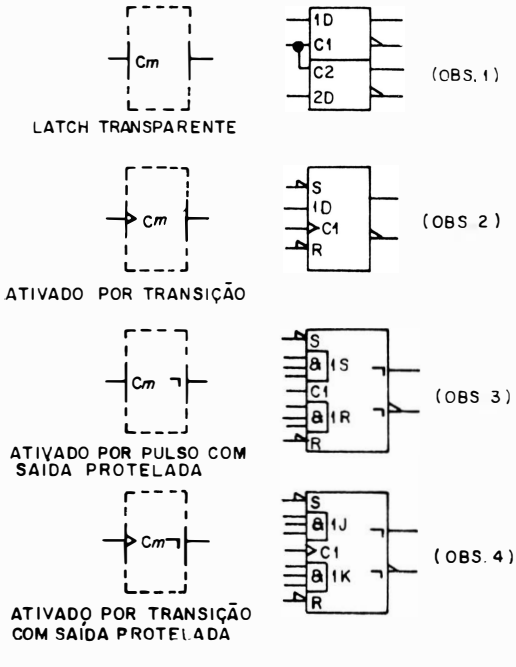


FIGURA 19

Obs. 1 — biestável tipo D (ex.: 1/2 7475)

Obs. 2 — biestável com prioridade RS combinado com biestável D ativado por transição (ex.: 1/2 7474)

Obs. 3 — biestável RS comandado por pulso com saída protelada (ex.: 7471)

Obs. 4 — biestável JK ativado por transição com saída protelada (ex.: 74110)

Codificadores

O símbolo geral para um codificador ou conversor de código é apresentado na Figura 20. X e Y podem ser substituídos por indicações apropriadas do código usado para representar a informação nas entradas e nas saídas respectivamente.

Símbolo Geral de um Codificador

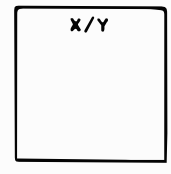


FIGURA 20

A indicação da conversão de código baseia-se na seguinte idéia:

Dependendo do código de entrada, os estados lógicos internos das entradas determinam um valor interno. Este valor é reproduzido pelos estados lógicos internos das saídas, que dependem do código de saída.

As relações entre os estados lógicos internos das entradas e o valor interno são indicados através da:

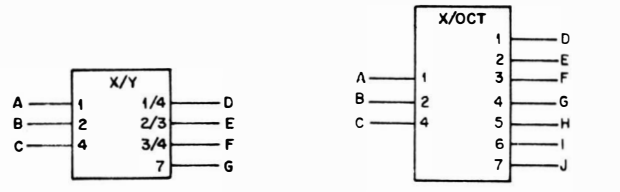
- ☐ Marcação das entradas com números. Neste caso o valor interno é igual soma dos números associados às entradas que apresentam estado interno 1;
- ☐ Substituição de X por uma indicação adequada do código de entrada e marcação das entradas com caracteres que se refiram a este código.

As relações entre o valor interno e os estados lógicos internos das saídas são indicadas por:

- ☐ Marcação de cada saída com uma lista de números para os quais esta saída assume o estado interno 1. Estes números internos devem ser separados por barras inclinadas. Esta marcação também pode ser aplicada quando a letra Y é substituída por uma letra indicativa do tipo de dependência. Se uma faixa contínua de números produz estado interno 1 em uma saída esta faixa de números pode ser indicada pelo primeiro e pelo último número da série separados por 3 pontos, (exemplo: 3/4/5/6/7/ = 3...7);
- ☐ Substituição de Y por uma indicação conveniente da saída e marcando as saídas com caracteres referentes a este código.

Por outro lado pode-se também usar símbolo geral com uma indicação referente a uma tabela que indique a relação entre as entradas e saídas. Esta é a maneira recomendada para simbolizar uma PROM após a sua programação.

Conversores de Código



ENTRADAS			SAÍDAS			
C	B	A	G	F	E	D
0	0	0	0	0	0	0
0	0	1	0	0	0	1
0	1	0	0	0	1	0
0	1	1	0	1	1	0
1	0	0	0	1	0	1
1	0	1	0	0	0	0
1	1	0	0	0	0	0
1	1	1	1	0	0	0

ENTRADAS			SAÍDAS					
C	B	A	J	I	H	G	F	E	D
0	0	0	0	0	0	0	0	0	0
0	0	1	0	0	0	0	0	0	1
0	1	0	0	0	0	0	0	1	0
0	1	1	0	0	0	0	1	0	0
1	0	0	0	0	0	1	0	0	0
1	0	1	0	0	1	0	0	0	0
1	1	0	0	1	0	0	0	0	0
1	1	1	1	0	0	0	0	0	0

FIGURA 21

Uso de um Codificador para Gerar Entradas Influentes

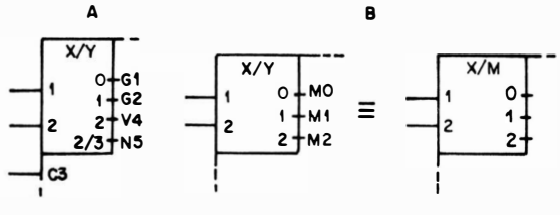
Frequentemente ocorre que um conjunto de entradas influentes para notação de dependência é gerado através da codificação de sinais de certas entradas em um elemento.

Em tais casos pode-se representar um codificador embutido no símbolo (Figura 22).

Se todas as entradas influentes são do mesmo tipo e os seus números de identificação, correspondem aos números apresentados nas saídas do codificador, a letra Y pode ser substituída pela letra que indica o tipo de dependência.

As indicações das entradas influentes podem ser omitidas, veja a Figura 22 (b).

Entradas Influentes Geradas por Codificadores



A — Codificador produzindo vários tipos de dependência.
B — Codificador produzindo apenas um tipo de dependência

FIGURA 22

Uso do Grupamento Binário para Gerar Entradas Influentes

Se todas as entradas influentes produzidas por um codificador são do mesmo tipo e têm números de identificação consecutivos que não correspondem necessariamente aos números apresentados nas saídas do codificador, pode-se usar a representação de grupamento binário (Figura 23). K linhas externas podem gerar efetivamente 2K entradas internas. A chave é seguida pela letra indicativa do tipo de dependência seguida por $\frac{m_1}{m_2}$, onde m_1 é o menor número de identificação e m_2 o maior.

Uso do Símbolo do Grupamento Binário

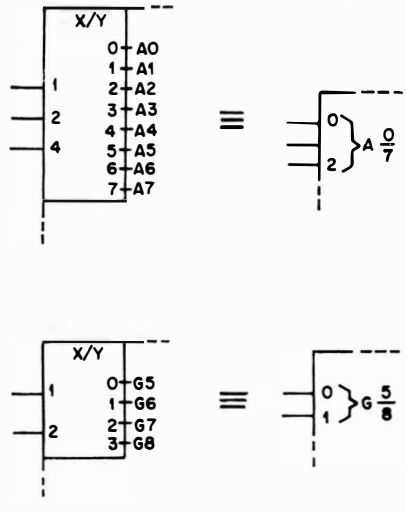


FIGURA 23

Sequência das Marcações de Entrada

Se uma entrada com um único efeito funcional é influenciada por outras, os símbolos de qualificação (se existir algum) para o efeito funcional é precedido pelas marcações correspondentes às entradas influentes.

A ordem, da esquerda para a direita destes rótulos precedentes é a ordem segundo a qual as modificações ou efeitos devem ser aplicados.

A entrada influenciada não tem efeito sobre o elemento se o estado lógico de qualquer uma das entradas influentes, consideradas separadamente impedir o efeito da entrada influenciada, independentemente dos estados internos das demais entradas influentes; este caso é ilustrado pela Figura 24.

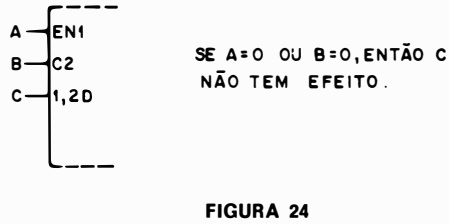


FIGURA 24

Se uma entrada possuir vários efeitos funcionais diferentes ou vários conjuntos diferentes de entradas influentes, estes podem ser apresentados em linhas de entrada diferentes, necessariamente interligadas no exterior da envoltória. Entretanto, há casos nos quais tal método de representação, não é vantajoso. Nestes casos a entrada pode ser representada uma única vez com os diferentes conjuntos de marcações separadas por barras inclinadas. A ordem de leitura destes conjuntos de marcações, não tem qualquer significado. Se um dos efeitos funcionais de uma entrada corresponder ao desta entrada não modificada, então a barra inclinada deve preceder todo o conjunto de marcações (Figura 25).

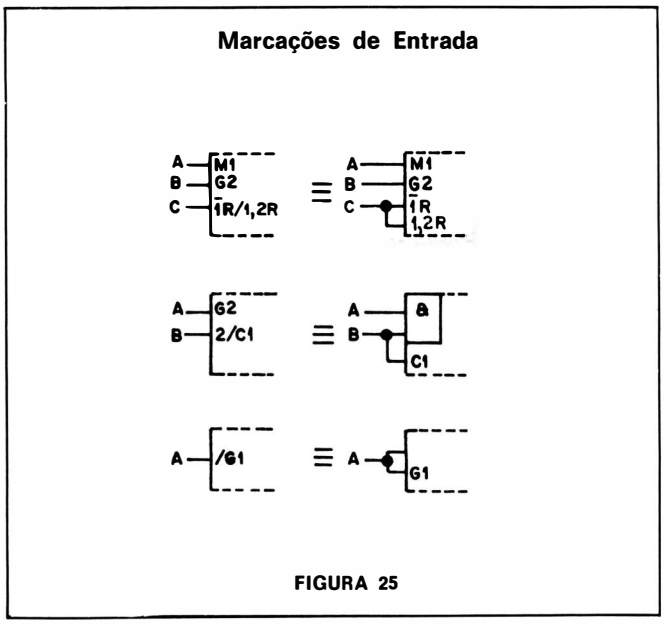


FIGURA 25

Se todas as entradas de um elemento combinatório são desabilitadas (forçadas a não ter efeito sobre a função do elemento), os estados internos das saídas dos elementos não são especificados pelo símbolo.

Se todas as entradas de um elemento sequencial são influenciadas de modo a não participar da função do elemento, o elemento não é alterado, permanecendo nas saídas os estados internos pré-existentes.

As marcações podem ser fatoradas por técnicas algébricas:

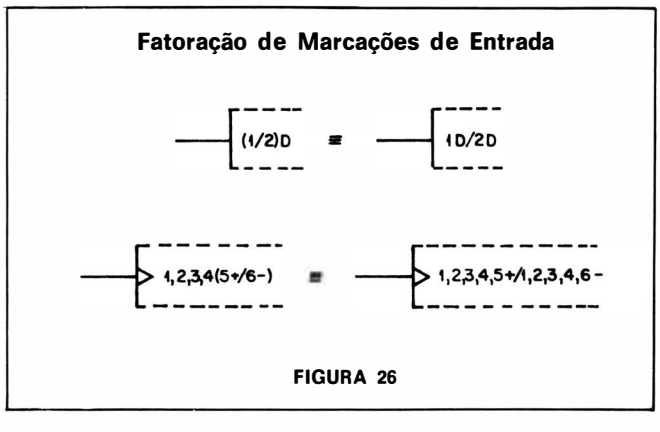


FIGURA 26

Sequência das Marcações de Saída

Se uma saída possui várias marcações, sejam elas números de identificação de acesso influentes ou não, estas marcações são apresentadas na seguinte ordem:

- ☐ Se for necessária a representação do símbolo de saída protelada, ele deve vir primeiro e, se preciso for, precedido pelas indicações das entradas influentes;
- ☐ É seguido por marcações indicativas de modificações do estado interno da saída, de forma que a ordem da esquerda para a direita corresponde à ordem na qual seus efeitos devem ser aplicados;
- ☐ Em seguida, as marcações indicando a influência da saída sobre outros acessos do elemento.

Símbolos para saídas em circuito aberto ou tri-state devem ser posicionados adjacentes à envoltória (Figura 27).

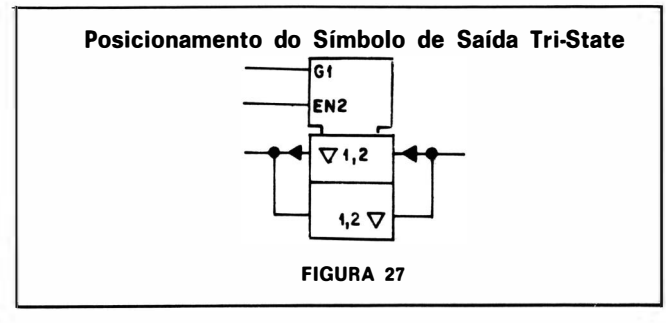


FIGURA 27

Se uma saída exige vários conjuntos de marcações diferentes que representam várias saídas interligadas por uma função OU (por exemplo dependendo dos modos de ação), estes conjuntos podem ser colocados em linhas de saída diferentes que devem ser conectadas do lado de fora da envoltória. Há, porém, casos onde este método não é vantajoso. Nestes casos a saída pode ser apresentada com os diferentes conjuntos de marcações separadas por barras inclinadas (Figura 28 A).

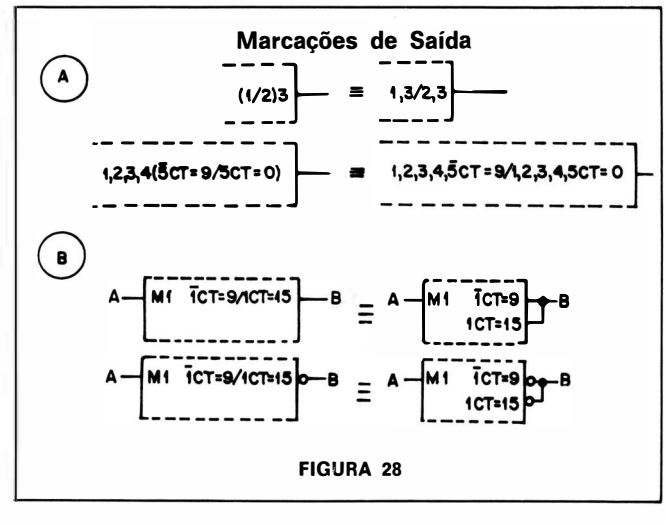


FIGURA 28

Se uma entrada influente dispuser de dois números de identificação adjacentes, estes podem ser separados por vírgula desde que não sejam separados por um caractere não numérico. As marcações podem ser fatoradas por meio de técnicas algébricas (Figura 28 B).

Descrição da Simbologia para uma RAM Estática

As explicações a seguir se referem à simbologia da memória ICM6116L apresentada na figura 1.

Por convenção o fluxo do sinal se dá da esquerda para a direita, portanto as linhas de entrada situam-se à esquerda do símbolo e as de saída à direita. Na necessidade de se inverter o fluxo do sinal, isto deve ser indicado por meio de setas sobre as linhas de acesso. As linhas de entrada/saída, D/Q1 a D/Q8 na figura 1 ilustram esta situação.

O símbolo ◺ presente na entrada $\overline{G}$ indica que um nível baixo nesta entrada provoca o surgimento do estado interno 1 (estado ativo) e vice versa, ou seja, este símbolo indica a inversão de entrada.
Os demais símbolos dizem respeito à parte interna da envoltória.

Memória ICM 6116 L

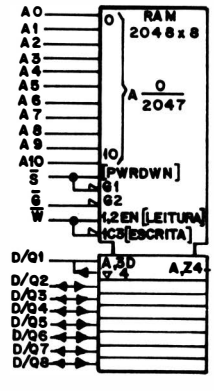


FIGURA 1

As entradas de endereço são representadas por $A\frac{m}{n}$, onde m é o endereço equivalente decimal mais baixo e n o mais alto. As entradas e saídas influenciadas pelas entradas de endereço são antecedidas pela letra A.

A letra Z seguida por um número indica uma interconexão, ou seja, uma transferência do sinal de um ponto para outro. Na figura 1 o sinal presente na saída AZ4 é transferido para a saída 4 no lado esquerdo do símbolo.

O A indica que a saída é proveniente de uma posição de memória selecionada pelas entradas de endereço.

O símbolo ▽ indica uma saída tri-state.

As saídas tri-state são sempre controladas por uma entrada EN. Quando a entrada EN permanece com o estado interno em 1, as saídas são habilitadas. Por outro lado se EN tiver o seu estado interno em 0, as saídas tri-state apresentarão alta impedância.

Como os blocos associados com D/Q2 a D/Q8 não possuem símbolos internos, subentende-se que estes blocos são idênticos ao bloco associado com D/Q1.
Toda entrada D está associada, a um armazenamento. A letra A (em A, 3D) indica que o estado da entrada D é armazenado na célula selecionada pelas entradas de endereço A. Se a entrada D estiver desabilitada o elemento de armazenamento manterá o seu conteúdo inalterável.

Vários tipos de relações entre os acessos podem ser indicados através da chamada notação de dependência. A entrada (ou saída) influente é assinalada com uma letra (C, G, Z, etc.) seguida de um número. Cada entrada ou saída influente é marcada com o mesmo número. O símbolo Z explicado anteriormente é um exemplo de notação de dependência.

O número 3 na entrada D indica que a entrada D é influenciada por outra entrada, neste caso a entrada C (1C3). Quando a entrada C tem o estado interno em 1, habilita as entradas influenciadas D. Quando a entrada C permanece com o estado interno em 0, desabilita as entradas D, impedindo a alteração do conteúdo dos elementos armazenadores.

A entrada C, por sua vez, é influenciada por outra entrada. Isto é indicado pelo número 1 na frente da letra C o que denota uma relação de dependência com a entrada G. A letra G indica uma operação lógica E. Quando a entrada G permanece com o estado interno em 1 (neste caso com um nível baixo aplicado à 3), as entradas influenciadas (EN e C3), são habilitadas. Quando G está com o estado interno em 0, impõe também o estado 0 nas entradas influenciadas.

O pino 21 possui duas funções. A função da entrada C já foi explicada. Observe que para que a entrada C atue, o seu estado interno deve ser 1, ou seja o pino 21 deve estar em nível baixo juntamente com o pino 18.

A outra função do pino 21 é atuar como entrada habilitadora (EN). A entrada EN controla as saídas tri-state. Esta entrada é também influenciada por uma relação E com o pino 18. Se EN apresentar estado interno 1 as saídas ficam habilitadas, para isto o pino 21 deve estar em nível alto e os pinos 18 e 20 em nível baixo.

As palavras entre colchetes são auto explicativas e apenas complementares.

Descrição da Simbologia para uma RAM Dinâmica

As explicações a seguir se referem à simbologia da memória ICM4164 apresentada na figura 2.

Endereçamento

O símbolo da ICM4164 faz uso de uma forma condensada de apresentar os endereços multiplexados. Os blocos representando os latches de endereço estão im-

Memória ICM 4164

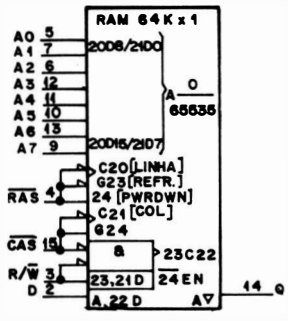


FIGURA 2

plícitos mas não são representados (veja a figura 3). Quando o nível na entrada $\overline{RAS}$ desce, habilita momentaneamente (através de C20) as entradas D dos 8 registradores de endereço 8 ao 15 (o símbolo ⊳ indica entrada dinâmica).
Quando o nível na entrada $\overline{CAS}$ descer, habilitará momentaneamente (através de C21) as entradas D dos 8 registradores de endereço (0 ao 7). As saídas dos registradores de endereço são as 16 linhas internas de endereço que selecionam 1 das 65.536 células.

Refresh
Quando o sinal em $\overline{RAS}$ descer, começará o refresh de linhas, só terminando quando o sinal $\overline{RAS}$ voltar a nível alto.

Standby
A entrada $\overline{CAS}$ é submetida a uma operação E com a entrada $\overline{RAS}$ (indicada por G24) portanto quando $\overline{RAS}$ e $\overline{CAS}$ estiverem ambos em nível alto, o dispositivo entra no modo Standby.

Representação das Entradas de Endereço

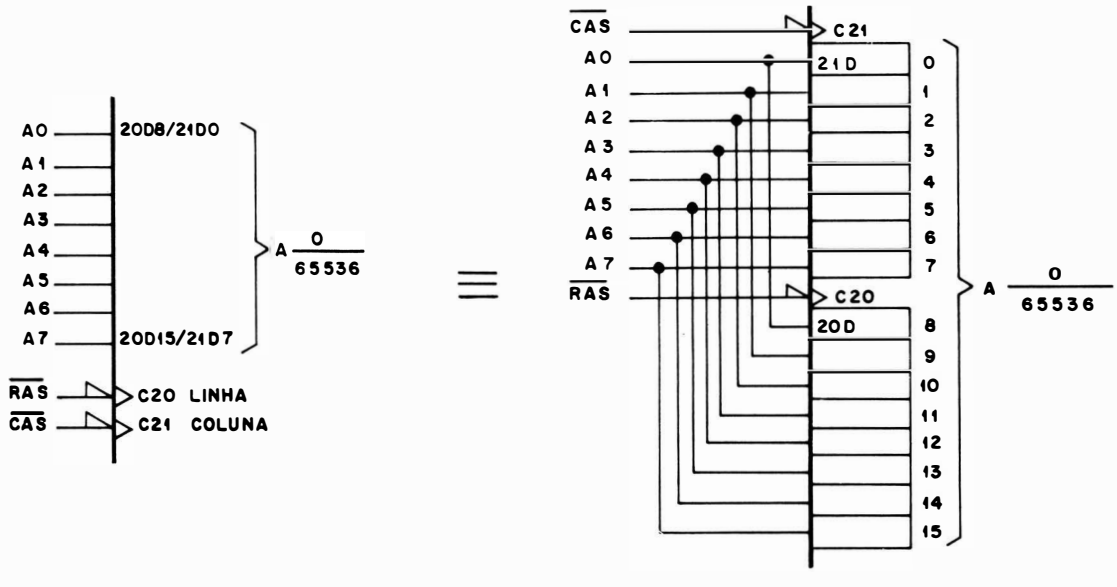


FIGURA 3

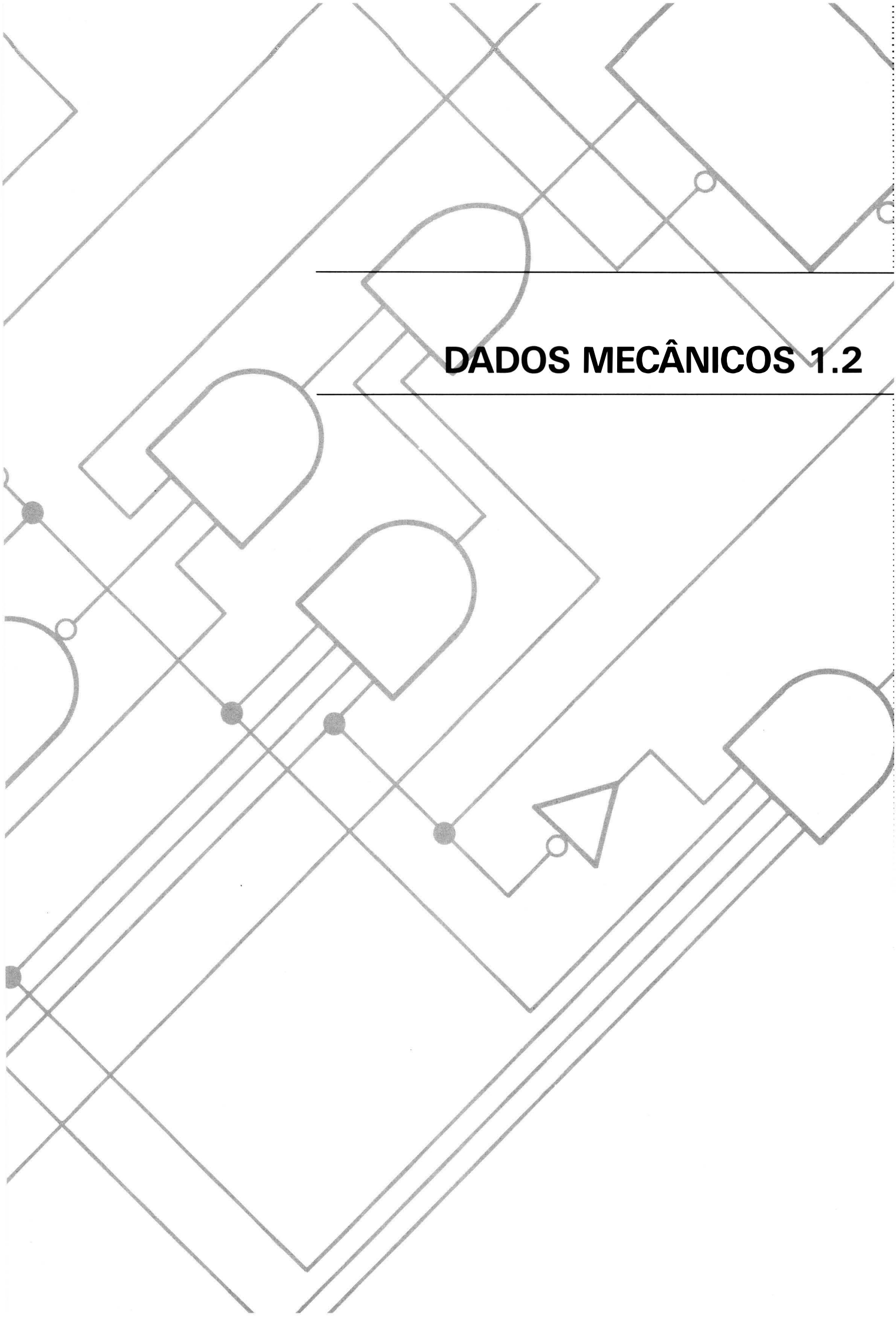
Escrita

Devido à relação E entre $\overline{CAS}$ e R/$\overline{W}$ (apresentada explicitamente) quando uma destas duas entradas descer estando a outra e $\overline{RAS}$ em nível baixo ($\overline{RAS}$ faz uma operação E através de G23), a entrada D é momentaneamente habilitada (através de C22).
Em um ciclo de escrita antecipada, R/$\overline{W}$ vai para nível alto antes, provocando a permanência dos dados como explicado anteriormente.

Leitura

O resultado da operação lógica E entre as entradas $\overline{RAS}$ e R/$\overline{W}$ (indicada por G23) é pulsado para um latch (indicado por C21) no instante em que o sinal em $\overline{CAS}$ desce. Este resultado será 1 se o sinal em $\overline{RAS}$ estiver em nível baixo e R/$\overline{W}$ estiver alto. O complemento de $\overline{CAS}$ é levado para uma operação E com a saída do latch (indicada por G24 e $\overline{24}$). Entretanto tão logo o nível de $\overline{CAS}$ tenha descido, a saída é habilitada.

No ciclo de escrita antecipada citado anteriormente, um 0 foi armazenado no latch devido à R/$\overline{W}$ estar com nível baixo quando o nível de $\overline{CAS}$ desceu, portanto a saída permaneceu desabilitada.



DADOS MECÂNICOS 1.2

DADOS MECÂNICOS

Neste capítulo são apresentados os dados mecânicos dos circuitos integrados ITAUCOM encapsulados em plástico. Este tipo de encapsulamento suporta as temperaturas normais de soldagem, sem causar deformações e mantém as características funcionais do dispositivo, mesmo sob condições de alta umidade.

DADOS MECÂNICOS

Encapsulamento

Os circuitos integrados ITAUCOM encapsulados em plástico podem ser representados como na Figura 1.

Encapsulamento Plástico

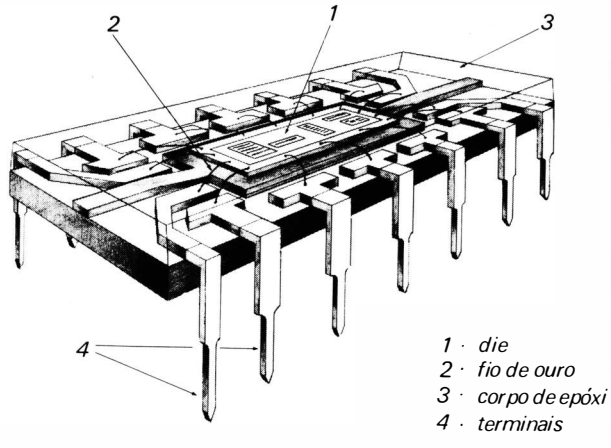


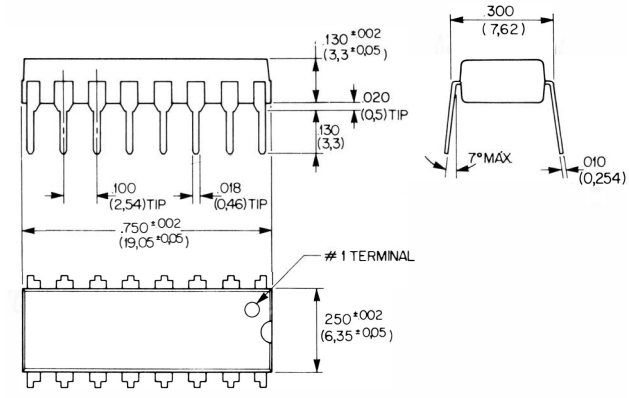
FIGURA 1

O tratamento dispensado aos terminais permite soldagem sem necessidade de qualquer tipo de limpeza prévia ou qualquer outro tipo de tratamento.

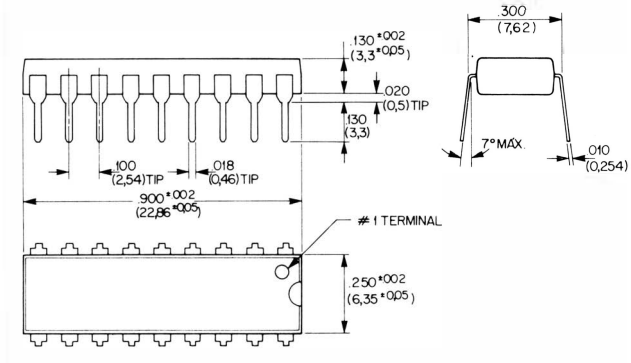
Dados Mecânicos

As medidas para todos os encapsulamentos são especificadas em milímetros e em polegadas. As medidas em milímetros são apresentadas entre parênteses.

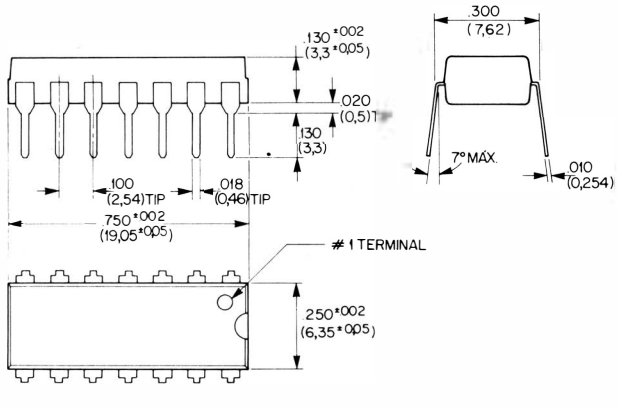
16 PINOS



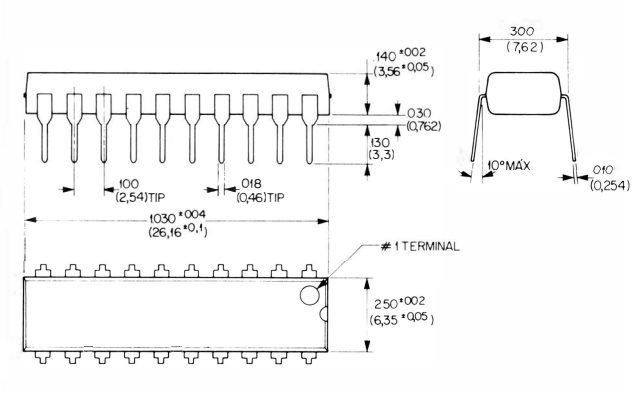
18 PINOS



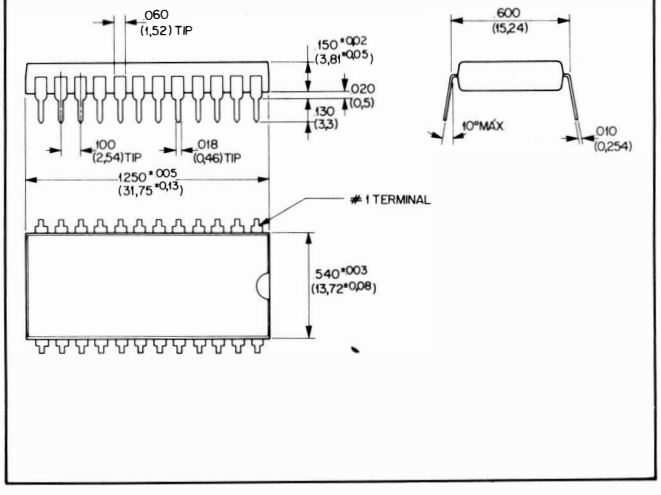
14 PINOS



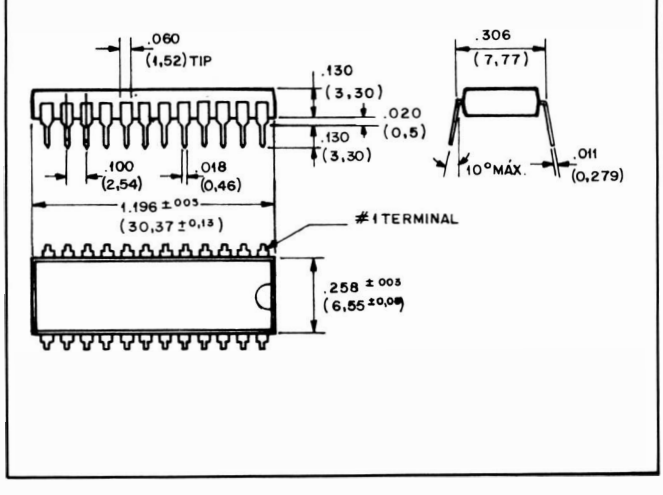
20 PINOS



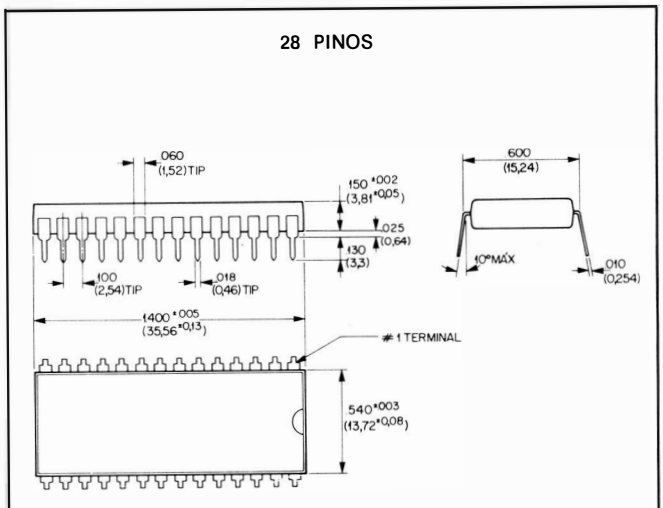
24 PINOS



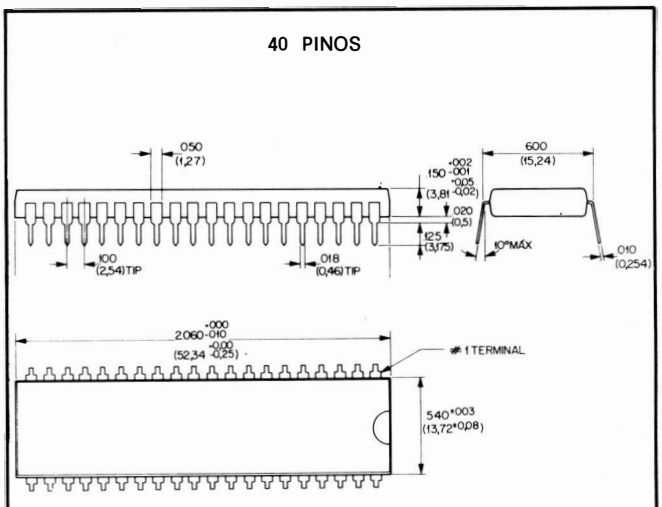
24 PINOS SKINNYDIP

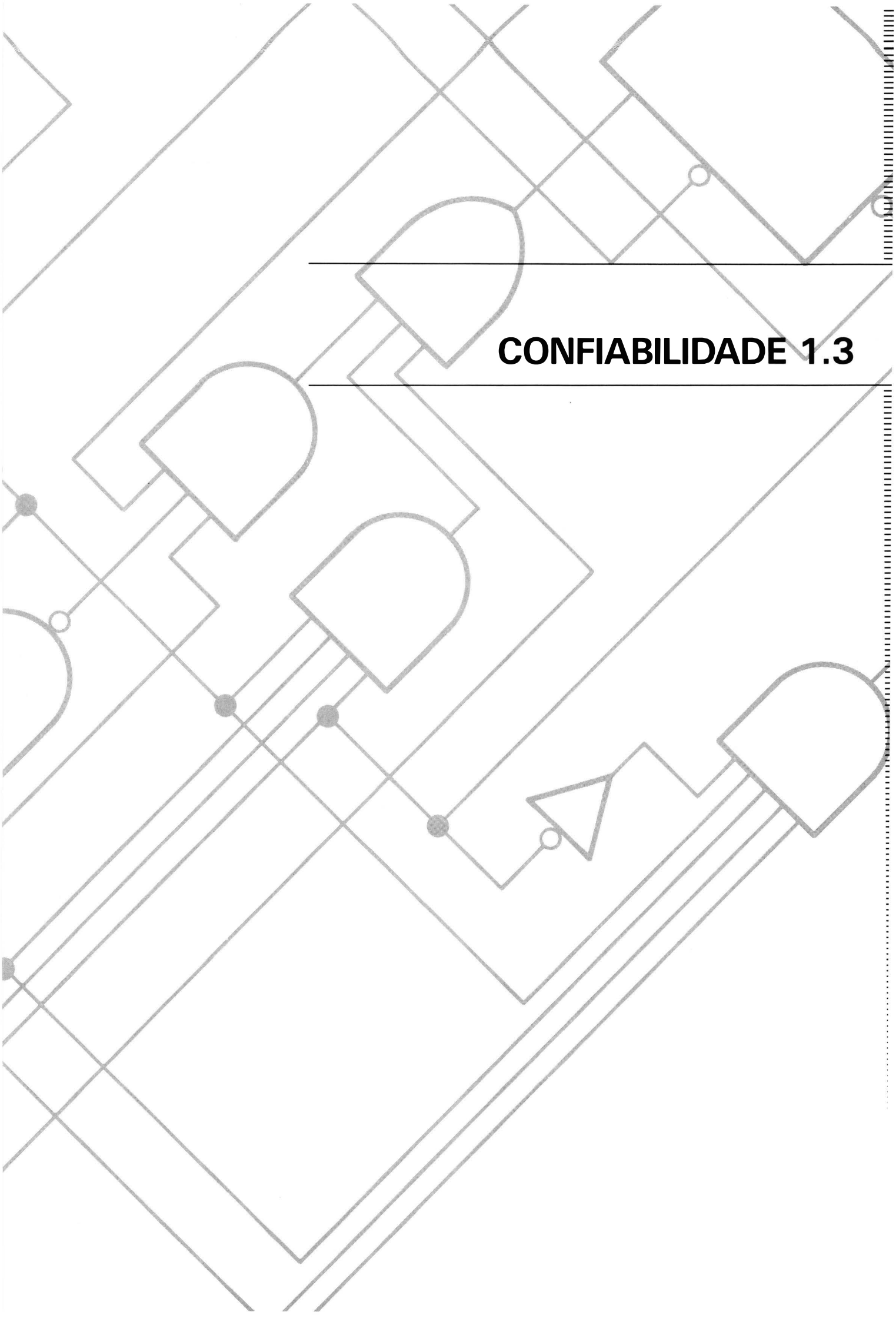


28 PINOS



40 PINOS





CONFIABILIDADE 1.3

CONFIABILIDADE

A qualidade de um produto está associada ao grau de conformidade de suas características com os valores especificados para desempenhar a contento determinada função.
Já o conceito de confiabilidade se relaciona com a qualidade de um componente ao longo do tempo, quando submetido a condições bem determinadas.
Neste capítulo veremos como a confiabilidade dos componentes ITAUCOM se enquadra nos padrões mais exigentes do mercado internacional.

CONFIABILIDADE

Qualidade e Confiabilidade

A qualidade de um produto está associada à informação sobre a população e a distribuição de componentes defeituosos, que pode ser esperada dentro de um lote de peças. Dentro deste conceito, a qualidade pode ser garantida e medida através de planos de inspeção conforme os estabelecidos pelas normas: ABNT NBR 5425 — GUIA PARA INSPEÇÃO POR AMOSTRAGEM NO CONTROLE E CERTIFICAÇÃO DE QUALIDADE e MIL. STD — 105 D.

A medida da confiabilidade é dada pela probabilidade de um componente desempenhar uma função desejada, sob condições de trabalho bem determinadas, por um período de tempo definido. Para avaliar esta probabilidade, é necessário medir a taxa de falhas do grupo de componentes em função do tempo de operação, assim como a expectativa de vida do grupo.

Falha de Componentes e Taxa de Falhas

A falha de um componente é definida como a perda da capacidade, por parte deste componente, de desempenhar determinada função.

No caso de circuitos integrados, uma falha se traduz por uma ou mais características elétricas que, ao longo da utilização dos mesmos, fica fora dos padrões requeridos.

As falhas evoluem através de mecanismos causados por defeitos gerados durante o processo de fabricação ou utilização do componente. Sua descrição está a seguir.

Defeitos de Difusão

São problemas que podem surgir durante o processo de difusão do componente, sendo os mais comuns:

- ☐ defeitos nos óxidos, induzindo mecanismos de ruptura prematura do dielétrico, gerando falhas por curto circuito;
- ☐ contaminação iônica degradando as características dos circuitos, refletindo-se em falhas por correntes de fuga elevadas.

Defeitos de Metalização

Estão relacionados com problemas que surgem nas interligações internas do circuito, entre eles:

- ☐ micro-trincas nas interligações internas do circuito integrado, surgindo devido a um recobrimento inadequado dos degraus de óxido existentes nos circuitos. Com o uso podem gerar falhas por circuito aberto;
- ☐ corrosão eletrolítica da metalização de alumínio, propiciada pela presença de umidade, contaminações iônicas e polarização elétrica do componente. Ao longo do tempo podem gerar falhas por circuito aberto;
- ☐ eletromigração, que é um fenômeno de transporte de massa causado pela alta densidade de corrente elétrica e temperatura presentes nas interligações internas dos circuitos. Durante a operação do componente poderão surgir falhas devido a circuito aberto ou curto.

Defeitos de Montagem

São causados pelos processos mecânicos de montagem dos componentes. Entre eles destacam-se:

- ☐ trincas nos componentes, causadas durante o corte e a separação dos mesmos. Podem gerar falhas intermitentes devido a maus contatos e circuitos abertos;
- ☐ riscos na superfície do componente causados pelo manuseio dos mesmos. Podem gerar falhas por curto-circuito ou circuito aberto;
- ☐ formação de compostos intermetálicos durante a solda de fios. Ao longo do tempo podem gerar falhas por circuito aberto.

Defeitos de Encapsulamento

Normalmente são associados com a penetração de umidade no componente, levando a falhas de circuito aberto, devido a corrosão.

Defeitos Provocados Durante a Utilização do Componente

- ☐ descarga eletrostática devido a manuseio inadequado podendo destruir o componente;
- ☐ valores de tensão ou corrente acima dos limites máximos toleráveis, reduzindo a vida útil do componente;
- ☐ temperatura de utilização fora dos limites especificados, reduzindo a vida útil do componente.

Taxa de Falhas (λ)

É o número de falhas por unidade de tempo, normalmente expressa em:

- ☐ porcentagem de falhas por mil horas de operação;
- ☐ FIT (failures in time);

$$1\ \text{FIT} = \frac{(10^{-4}) \times 1{,}0\%}{1000\ \text{h}} = 10^{-9}\ \text{falhas por hora.}$$

Para um grupo de componentes, a taxa de falhas é uma função do tempo de operação e das condições de trabalho aos quais o grupo está submetido.

Evolução da Taxa de Falhas no Tempo

No caso de componentes eletrônicos, a taxa de falhas é relativamente alta durante as primeiras horas de operação. Posteriormente cai bruscamente e permanece praticamente constante, a níveis bastante baixos por vários anos, até que seja atingido o final da vida útil destes componentes. Nesta fase a taxa de falhas torna a crescer .

A Figura 1 ilustra melhor este comportamento; a curva resultante é conhecida como curva da banheira (bathtub curve).

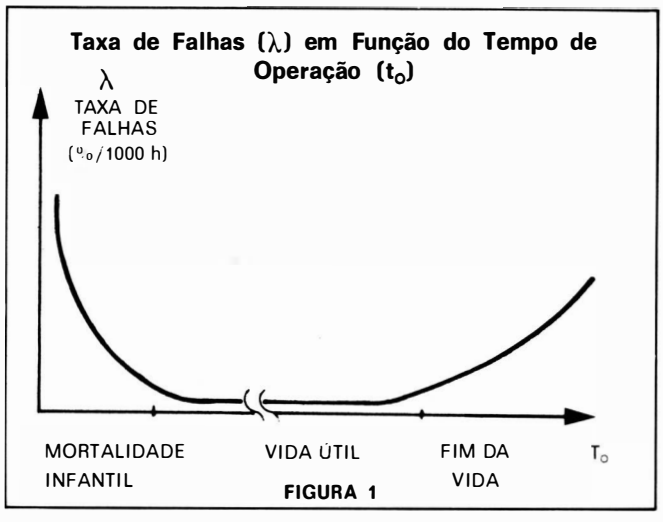


FIGURA 1

Por analogia com a vida humana, ficam bem caracterizados três períodos da vida dos componentes, mortalidade infantil, vida útil e fim da vida.

Mortalidade Infantil
Corresponde ao primeiro período mencionado. Nesta fase ocorrem as falhas prematuras que geralmente estão associadas a defeitos induzidos durante o processo de montagem. Sua duração vai de uma a doze semanas, dependendo do tipo de componente e das condições de operação.

Vida Útil
É o período seguinte, quando a taxa de falhas se estabiliza em valores baixos. Nesta fase ocorrem apenas falhas acidentais estatisticamente distribuídas. Sua duração é de vários anos.

Fim da vida
É o último período, quando a taxa de falhas volta a crescer até que todos os componentes tenham falhado. Nesta fase as falhas se dão por desgaste dos componentes.

Expectativa de Vida e Tempo Médio Entre Falhas

A expectativa de vida de um grupo de componentes representa o tempo médio de vida esperado para os componentes deste grupo. Depende de como evolui a taxa de falhas ao longo do tempo e está associada com a probabilidade de ocorrência de falhas no grupo.
O tempo médio entre falhas (MTBF — Mean Time Between Failures) é definido como o inverso da taxa de falhas, durante o período de vida útil. Não deve ser confundido com a expectativa de vida do grupo de componentes.

$$MTBF = 1/\lambda$$

Por exemplo, pode-se ter baixa taxa de falhas

$$\lambda = \frac{10^{-6}}{h} = \frac{0{,}001\%}{1000\ h}$$

resultando um tempo médio entre falhas de

$$MTBF = \frac{1}{10^{-3}\ h} = 11.400 \text{ anos}$$

para um dispositivo cuja expectativa de vida é de 15 anos.

Principais Testes Realizados em Componentes com Encapsulamento Plástico

Dos testes aceitos internacionalmente para avaliar a confiabilidade de componentes destacam-se os regidos pelas normas: MIL. STD. — 883 — TEST METHODS AND PROCEDURES FOR MICROELECTRONICS.
Estas normas tratam de encapsulamentos herméticos. Para encapsulamentos plásticos é possível utilizar a maioria desses métodos com adaptações.
Os testes se classificam em testes mecânicos, testes elétricos e testes ambientais, que são descritos a seguir.

Testes Mecânicos

São testes para verificar a conformidade das características mecânicas dos componentes com as especificações. Em geral, estes testes são realizados para qualificar ou rejeitar componentes e controlar os processos mecânicos de fabricação.

- ☐ Soldabilidade — Método 2003
  Determinar a soldabilidade dos terminais do componente após um envelhecimento acelerado, pelo armazenamento a alta temperatura por um curto período de tempo, correspondente a um armazenamento mínimo de 6 meses em condições normais;
- ☐ Integridade de Terminais — Método 2004
  Determinar a resistência mecânica dos terminais dos componentes quando submetidos a esforços de tração, torção e dobra;
- ☐ Inspeção Visual Externa — Método 2009
  Teste normalmente realizado durante a inspeção de saída do fabricante para verificar a conformidade do aspecto visual com a especificação;
- ☐ Inspeção Visual Interna — Método 2010
  Verificar, utilizando microscópios, a construção interna do componente, e os materiais, segundo critérios bem definidos. Normalmente consiste em uma inspeção 100% antes do encapsulamento.
- ☐ Tração de Fios — Método 2011
  Medir a resistência à tração dos fios e soldas utilizados para interligar o die ao lead frame (Figura 2).
  Sendo testes destrutivos, são realizados por amostragem, logo após a solda de fios, para controlar os processos e materiais utilizados;
- ☐ Radiografia — Método 2012
  Teste não destrutivo para detectar defeitos causados durante o encapsulamento do componente. Realizado por amostragem para controlar o processo de moldagem;
- ☐ Resistência a Solventes — Método 2015
  Verificar se a marcação externa do componente não se torna ilegível quando submetida aos solventes normalmente utilizados nos processos de solda a que estes componentes são submetidos normalmente;
- ☐ Dimensões Físicas — Método 2016
  Verificar se as dimensões externas do componente estão de acordo com os valores especificados.

Teste de Tração de Fios

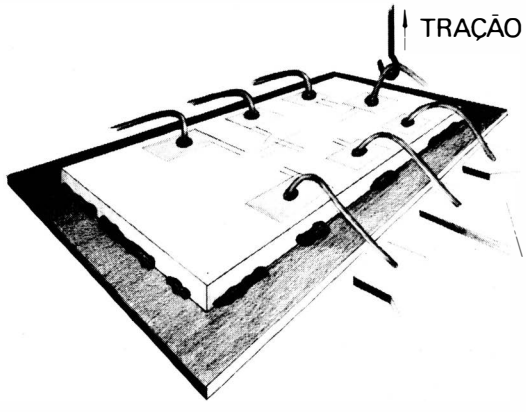


FIGURA 2

☐ Aderência do Die — Método 2019
Verificar a integridade dos materiais e processos utilizados para fixar o die no suporte do lead frame (Figura 3). Em se tratando de um teste destrutivo é realizado por amostragem logo após a fixação do circuito integrado no lead frame.

Teste de Aderência do Die

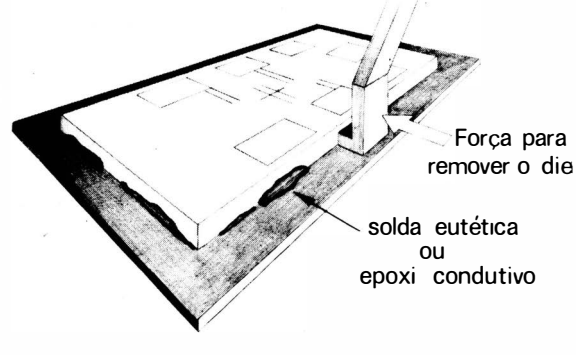


FIGURA 3

Testes Elétricos

São realizados para verificar a conformidade das características elétricas com os limites especificados. Estes testes são normalmente feitos em 100% dos componentes.

A Tabela 1 fornece os principais testes para circuitos integrados digitais.

TABELA 1
Testes Elétricos para Circuitos Integrados Digitais

Teste	Método Mil. STD-883B	Parâmetro cujo desempenho se quer assegurar
Curto/aberto	——	Verificar a continuidade elétrica entre terminais do componente
Medidas de atraso	3003	Atrasos de propagação entre sinais de entrada ou controle e os sinais de saída (t_{PHL}, t_{PHZ}...)
Medidas de transição	3004	Tempos de subida e descida dos sinais de saída
Corrente de alimentação	3005	Consumo do circuito
Tensão de saida - nivel alto	3006	V_{OH}
Tensão de saida - nivel baixo	3007	V_{OL}
Corrente de entrada - nivel baixo	3009	I_{IL}
Corrente de entrada - nivel alto	3010	I_{IH}
Corrente de curto na saida	3011	I_{OS}
Funcional	3014	Funções lógicas do circuito

Testes Ambientais

São testes nos quais os componentes ficam expostos a ambientes controlados, com condições de polarização elétrica bem definidas. A temperatura, a umidade relativa, a pressão e a polarização elétrica são fatores que aceleram, de forma controlada, o envelhecimento dos componentes.

Após os testes ambientais são realizados testes mecânicos e elétricos para classificar e separar as falhas.

Quanto a aplicação os testes ambientais podem ser divididos em duas categorias:

☐ Testes de Vida — quando utilizados para avaliar a confiabilidade dos componentes (taxa de falhas, expectativa de vida). Neste caso os componentes são submetidos a esforços até que se supere a vida útil dos mesmos;

☐ Pré-Envelhecimento — quando utilizados para eliminar os componentes sujeitos a falhas prematuras, acelerando a fase de mortalidade infantil.

Para avaliar a mortalidade infantil, a expectativa de vida e a taxa de falhas é desejável que as condições de teste possam ser correlacionadas com as condições de operação em campo. Existem vários motivos para qué estas condições sejam diferentes:

☐ no laboratório as condições reais e todas as suas variações não podem ser completamente reproduzidas;

☐ os testes de laboratório precisam ter um efeito de aceleração no tempo, pois a informação de que um componente tenha uma expectativa de vida útil de 20 anos deve ser estimada em um período curto de tempo e não após 20 anos de testes, o que é conseguido através de esforços físico-químicos.

$t_T \times A \geqslant t_O$, onde
t_T = tempo de teste em laboratório
t_O = duração mínima de vida útil que se quer investigar
A = fator de aceleração
Dentre os diversos fatores de aceleração estão a temperatura, a umidade relativa, a pressão e a polarização elétrica às quais o componente está submetido.

Temperatura como Fator de Aceleração
A taxa de falhas de componentes, da mesma forma que a taxa de reações químicas, está relacionada com a temperatura através da relação de Arrhenius, resultando um fator de aceleração, devido à temperatura, expresso por:

$$A = e^{\left[\frac{E}{k} \times \left(\frac{1}{T_O} - \frac{1}{T_T}\right)\right]}$$

k = constante de Boltzmann $8{,}62 \times 10^{-5} \frac{eV}{K}$
T_O = temperatura absoluta do componente durante a operação normal (Kelvin)
T_T = temperatura absoluta do componente durante o teste (Kelvin)
E = energia de ativação do mecanismo de falha (eV) que depende do mecanismo dominante como mostra a tabela a seguir.

MECANISMO DE FALHA	ENERGIA DE ATIVAÇÃO
Defeito no óxido	0,3 e eV
Defeito no silício	0,3 e eV
Contaminação iônica	1,0 a 1,4 eV
Eletromisação em alumínio	0,6 a 1,0 eV
Corrosão de alumínio	0,5 a 0,7 eV
Formação de compostos intermetálicos Au/Al	0,7 a 1,0 eV

Por exemplo 65% a 95% das falhas observadas em componentes semicondutores são causados por defeitos de superfície. Neste grupo de mecanismos de falha a faixa de energias de ativação pode ser reduzida de 0,6 eV a 1,1 eV. Portanto é útil utilizar uma energia de ativação média de 0,8 eV, quando não se dispuser de dados mais exatos.
As tabelas a seguir ilustram os fatores de aceleração para as energias de ativação de 0,6 eV, 0,8 eV e 1,0 eV em função das diferentes temperaturas de operação.

Fator de Aceleração para Energia de Ativação 0,6 eV

T_T (°C) teste	T_O (°C) Operação						
	175	150	125	100	85	70	55
175	1	3	7	23	50	116	295
150		1	3	9	20	46	118
125			1	3	7	17	42
100				1	2	5	13
85					1	2	6
70						1	3
55							1

Fator de Aceleração para Energia de Ativação 0,8 eV

T_T (°C) teste	T_O (°C) Operação						
	175	150	125	100	85	70	55
175	1	3	14	65	183	569	1962
150		1	4	19	54	167	576
125			1	5	14	42	145
100				1	3	9	30
85					1	3	11
70						1	3
55							1

Fator de Aceleração para Energia de Ativação 1,0 eV

T_T (°C) teste	T_O (°C) Operação						
	175	150	125	100	85	70	55
175	1	5	26	183	673	2779	13057
150		1	6	40	146	601	2824
125			1	7	26	107	504
100				1	4	15	71
85					1	4	19
70						1	5
55							1

Por exemplo, cálculo da duração mínima tempo de teste realizado a 125°C para avaliar uma expectativa de vida em operação a 55°C, de 15 anos (131.400 h) sabendo que a energia de ativação é de 0,8 eV.
O fator de aceleração para 0,8 eV dado que T_O = 55°C e T_T = 125°C ($\triangle$ T = 70°C) é 145, resultando:

$$t_T > \frac{131.400}{145} = 906 \text{ horas.}$$

Os valores calculados e utilizados acima representam valores típicos para a realização de testes de vida.

Tensão de Polarização como Fator de Aceleração
A tensão de polarização representa um importante fator de aceleração para os componentes que podem ser utilizados em uma ampla faixa de tensão.
A maioria dos dados tabulados está baseada nas informações do MIL-HDBK-217, dos quais a Tabela 2 é um resumo.

TABELA 2

Tensão de Operação x Fator de Aceleração

TENSÃO DE OPERAÇÃO	FATOR DE ACELERAÇÃO	
% da Tensão Máxima	Transistor Bipolar	CMOS
40	0,16	0,12
60	0,33	0,30
80	0,55	0,60
100	1,00	1,00

Por exemplo, para um dispositivo CMOS que opera com uma polarização de 80% da tensão máxima, o tempo de teste aplicando 100% da tensão máxima, na mesma temperatura, se reduz a 60% do tempo de operação.

Principais Testes Ambientais

☐ Resistência a Umidade — Método 1004
Testar, de forma acelerada, o comportamento do componente quando submetido a condições controladas de alta temperatura e umidade. Desta forma é possível determinar o comportamento, taxa de falhas, expectativa de vida, de um componente quando submetido a um clima tropical.

Os mecanismos de falha detectados se relacionam com a corrosão eletroquímica devido a umidade e temperatura.

No caso particular de encapsulamentos plásticos há dois testes de grande efeito, são eles:

- autoclave — submetendo o dispositivo a temperaturas e pressões de vapor de água bem controladas;
- 85/85 — o dispositivo é colocado em uma câmara climática a 85°C com umidade relativa de 85% por um período de tempo bem definido.

☐ Teste de Armazenamento — Método 1008
Teste para determinar os efeitos que o armazenamento a alta temperatura têm sobre o componente.

☐ Ciclagem de Temperatura — Método 1010
Teste para determinar a resistência dos componentes quando expostos, ao ar, a temperaturas extremas, altas e baixas, e os efeitos de exposição alternada a estes extremos.

Alterações permanentes nas características dos componentes se dão devido aos esforços mecânicos de dilatação e contração que podem causar a fragilização de soldas e interligações provocando circuitos abertos.

☐ Choque Térmico — Método 1011
Semelhante à ciclagem térmica só que é utilizado um meio líquido e os tempos de permanência nos extremos de temperatura são menores.

Utilizado normalmente para avaliação da confiabilidade do componente.

☐ Burn-In — Método 1015
Teste em que o componente é submetido sob polarização a temperaturas elevadas, para acelerar a ocorrência de falhas causadas por aberrações no processo de fabricação do mesmo. Tem por objetivo expor o componente a esforços iguais ou superiores aos especificados para a operação normal.

O burn-in, dependendo da complexidade do circuito digital pode ser estático ou dinâmico (Figura 4).

Burn-In Estático — recomendado para circuitos com baixo grau de integração (SSI, MSI). Neste caso o componente é colocado polarizado em um ambiente a alta temperatura. Suas entradas são polarizadas de forma a ter-se um único padrão, estático, de entradas e saídas. Desta forma apenas parte do circuito é submetido a esforços elétricos.

Burn-In Dinâmico — aplicável a circuitos com alto grau de integração (LSI, VLSI). O componente é colocado polarizado em um ambiente a alta temperatura

Em suas entradas são aplicados padrões de teste, dinâmicos que permitam que o circuito execute boa parte das funções especificadas. Desta forma consegue-se testar praticamente todo o circuito de uma forma dinâmica.

Polarização Burn-In Estático x Dinâmico para uma Porta Simples

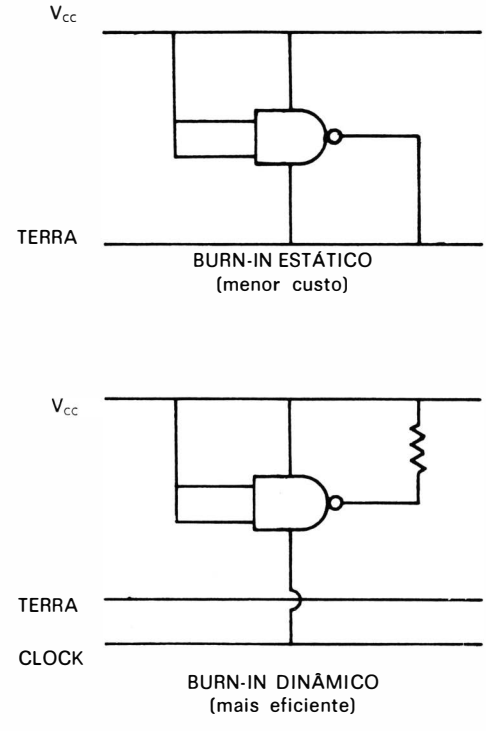


FIGURA 4

Pré-Envelhecimento — Eliminação das Falhas Prematuras

Durante a fase de mortalidade infantil, como já foi mencionado anteriormente, as falhas são prematuras causadas por defeitos de fabricação que, geralmente, não podem ser detectados simplesmente por testes mecânicos e elétricos. Para poder detectá-las é necessário provocar um pré-envelhecimento dos componentes.

Alguns testes ambientais podem ser utilizados para acelerar os mecanismos de falha, de tal forma que em um curto período de tempo seja possível ultrapassar a fase de mortalidade infantil. Posteriormente são realizados testes mecânicos e elétricos para eliminar os componentes que apresentaram as falhas prematuras.

Estes testes devem ser dosados para não comprometer demasiadamente a expectativa de vida do grupo de componentes.

Os testes mais recomendados para eliminar falhas precoces já foram descritos anteriormente e são:

☐ armazenamento a alta temperatura;

☐ ciclagem térmica;

☐ burn-in.

Dos três testes acima o mais eficiente é o burn-in.

Temperatura e Tempo de Burn-In

No caso de encapsulamentos plásticos, os componentes não devem ser submetidos a temperaturas superiores a 150°C por tempo prolongado. Tipicamente o teste é realizado a 125°C. O período de falhas prematuras dura aproximadamente 2000 horas a uma temperatura de operação de 55°C. A energia de ativação dos mecanismos de falha envolvidos nesta fase é da ordem de 0,4 eV. Aplicando a relação de Arrhenius para uma temperatura de teste de 125°C, resulta um fator de aceleração de 12 ou seja:

$$t_{burn\text{-}in} = \frac{2000}{12} = 166{,}7 \text{ h ou uma semana.}$$

Estes testes aumentam consideravelmente o custo e o tempo de fabricação dos componentes. Portanto somente devem ser realizados quando não forem toleradas falhas prematuras.

Em geral no caso de componentes simples estes testes não fazem parte do fluxo normal de produção. Já para componentes mais complexos e caros, como memórias de alta densidade, os testes são realizados em 100% dos componentes.

O gráfico da Figura 5 dá uma idéia de como são reduzidas as falhas em campo, durante o período de mortalidade infantil quando é feito um pré-envelhecimento, em uma memória N-MOS de 4 Kbytes.

Efeitos do Burn-In Dinâmico em uma Memória N-MOS de 4 Kbytes

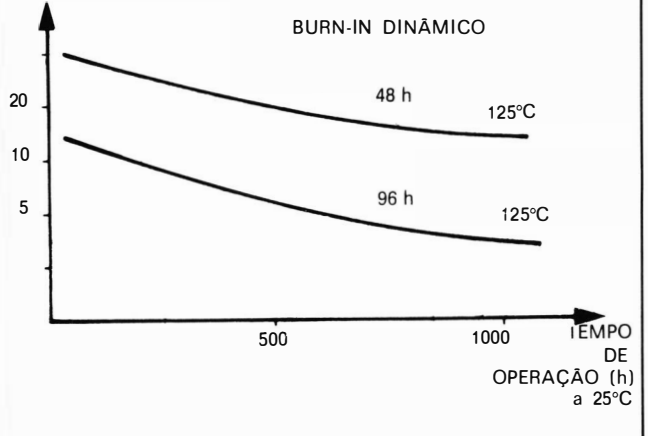


FIGURA 5

Análise de Falhas

A análise de falhas é um exame "post morten" de um componente que falhou. Os objetivos são determinar o modo, o mecanismo e as possíveis causas de falha, possibilitando a tomada de decisões sobre ações corretivas a serem tomadas quanto a processo, materiais envolvidos, projeto e utilização de um componente. Dessa forma é possível melhorar a qualidade e a confiabilidade de componentes.

Testes para Análise de Falhas com o Componente Encapsulado — Testes Elétricos

Antes de iniciar uma análise de falhas é necessário verificar e tentar delimitar a possível falha. Isto normalmente é feito em laboratório, medindo-se as características elétricas do componente afetado.

- ☐ Testes de curto e aberto — para verificar a continuidade elétrica entre o circuito integrado e os terminais do encapsulamento. Este teste se baseia no fato de que, geralmente, todas as entradas e saídas de um circuito integrado formam um diodo com o substrato. Portanto observando-se a característica tensão x corrente de um terminal, por onde se injeta uma corrente variável de $-100\,\mu A$ a $+100\,\mu A$ enquanto os demais pinos estão aterrados, pode-se detectar curtos, abertos e outras anomalias (Figura 6).

Teste de Curto/Aberto

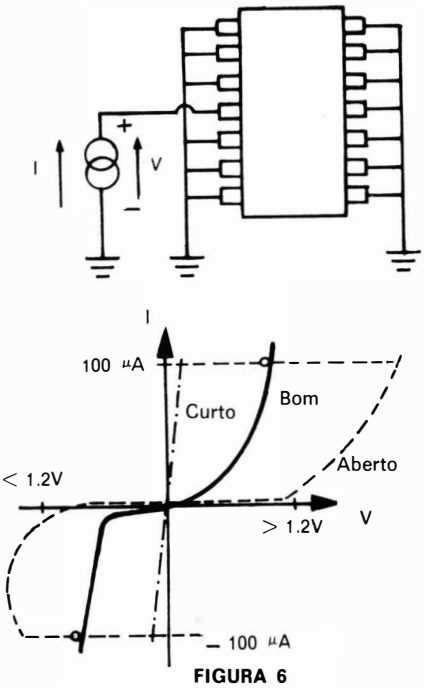


FIGURA 6

- ☐ Testes elétricos AC, DC e funcionais — para levantar as características relevantes, e toda uma gama de testes já mencionados, possibilitam delimitar as falhas ocorridas.
- ☐ Raio X — a radiografia de um componente fornece informações sobre a estrutura interna, fios soltos, fios encostados, fios arrastados durante o processo de moldagem.

Testes para Análise de Falhas com o Componente Desencapsulado

É possível, através de ataques químicos seletivos, remover o encapsulamento plástico para possibilitar toda uma gama de testes, entre eles:

- ☐ Inspeções utilizando microscópios metalográficos — para localizar corrosões, contaminações e corpos estranhos, disposição de fios, etc.;

- ☐ Microscopia Eletrônica — para inspecionar com mais detalhe os componentes e determinar os elementos que compõem ou contaminam o componente;
- ☐ Micromanipulador — possibilitando o acesso elétrico a partes internas do circuito, isolando e identificando funções;
- ☐ Cortes Metalográficos — para avaliar as estruturas do componente.

Qualidade e Confiabilidade dos Produtos ITAUCOM

A qualidade e a confiabilidade de um componente depende fortemente dos seguintes fatores:

- ☐ Qualidade e confiabilidade dos materiais utilizados;
- ☐ Qualidade e confiabilidade do processo utilizado;
- ☐ Adequação do projeto, processo e materiais utilizados.

Controle de Qualidade dos Materiais e Partes Utilizados

Atendendo ao primeiro item, qualidade e confiabilidade dos materiais utilizados, é crescente a importância dada ao controle de qualidade dos materiais, que são, o wafer, o lead frame, os fios utilizados para interligar o die ao lead frame, o material para encapsulamento, etc.

É necessária uma homologação dos materiais e além dela uma rígida inspeção de entrada. As inspeções são realizadas baseadas em planos de amostragem definidos segundo a norma NBR 5425 ou MIL. STD-105 D.

A atividade de inspeção de entrada procura assegurar a conformidade do material com suas especificações. Os parâmetros inspecionados típicos são listados na Tabela 2.

TABELA 2

Principais Materiais Inspecionados

MATERIAL	Itens Controlados	Aspectos Verificados
Wafer	aparência dimensões passivação	danos, contaminações na superfície, marcas de teste espessura trincas
Fios para interligações	aparência dimensões pureza elongação	riscos, amassamento torção, contaminações diâmetro desempenho durante a solda de fios
Pente de terminais (lead frame)	aparência dimensões plating resistência mecânica	riscos, contaminações medida de dimensões espessura de camadas de metalização fadiga a dobra, tração
Plástico (mold compound)	composição características elétricas térmicas moldagem	características do plástico desempenho após moldagem

Controle de Qualidade Durante o Processo de Fabricação

O controle de qualidade durante o processo de fabricação é feito de modo a garantir a qualidade e confiabilidade do processo através do acompanhamento das condições ambientais, dos equipamentos e dos processos em si.

Acompanhamento das Condições Ambientais

Para evitar contaminações e partículas que possam afetar o desempenho do produto, a área de processo onde o die está exposto deve possuir um ambiente muito limpo e cujas condições climáticas sejam bem controladas.

Durante o processo de fabricação, sempre que o produto não estiver sendo processado e o die estiver exposto, ele é guardado em armários com ambiente de nitrogênio para evitar a umidade.

Os equipamentos onde o die fica exposto, antes do encapsulamento, estão sob capelas de fluxo laminar classe 100, segundo classificação da norma americana Federal Standard 209 B Clean Room and Work Area Station Requirements, resumida na Tabela 3.

TABELA 3

Classes de Ambientes (Fed. Std. 209 B)

CLASSE DO AMBIENTE	N.° Máximo de Partículas por Pé Cúbico com Diâmetro Acima de	
	0,5 μm	5 μm
100	100	10
1000	1000	10
10000	10000	65
100000	100000	700

Acompanhamento de Equipamentos

Sempre que um equipamento é ligado, ou seus parâmetros de operação são alterados, amostras são geradas para que após a avaliação do Controle de Qualidade, o equipamento seja liberado para a produção ou sejam feitos novos ajustes no mesmo.

Acompanhamento do Processo

Devido às características dos equipamentos de montagem, que são altamente automatizados, o acompanhamento de qualidade é feito por amostragem em todos os postos de trabalho.

Todos os produtos intermediários que passam por um posto de trabalho, entre duas amostragens sucessivas, em função dos resultados dos testes realizados podem ser aprovados, rejeitados ou revisados.

Em alguns postos são realizados testes em 100% dos componentes para remover defeitos causados por flutuações de processo. É o caso das inspeções ópticas após a serra de waters, solda de fios e marcação de componentes.

Testes elétricos paramétricos e funcionais são realizados em 100% dos produtos.

Em função do nível de confiabilidade exigido, podem ser feito pré envelhecimento dos componentes para eliminar as falhas prematuras, através de ciclagem térmica e/ou burn-in.

A Figura 7 mostra como o controle de qualidade e confiabilidade atua ao longo dos possíveis fluxos de fabricação.

- ☐ fluxo 1 — normal;
- ☐ fluxo 2 — com ciclagem térmica;
- ☐ fluxo 3 — com ciclagem térmica e burn-in.

Controle de Qualidade ao Longo dos Fluxos de Fabricação

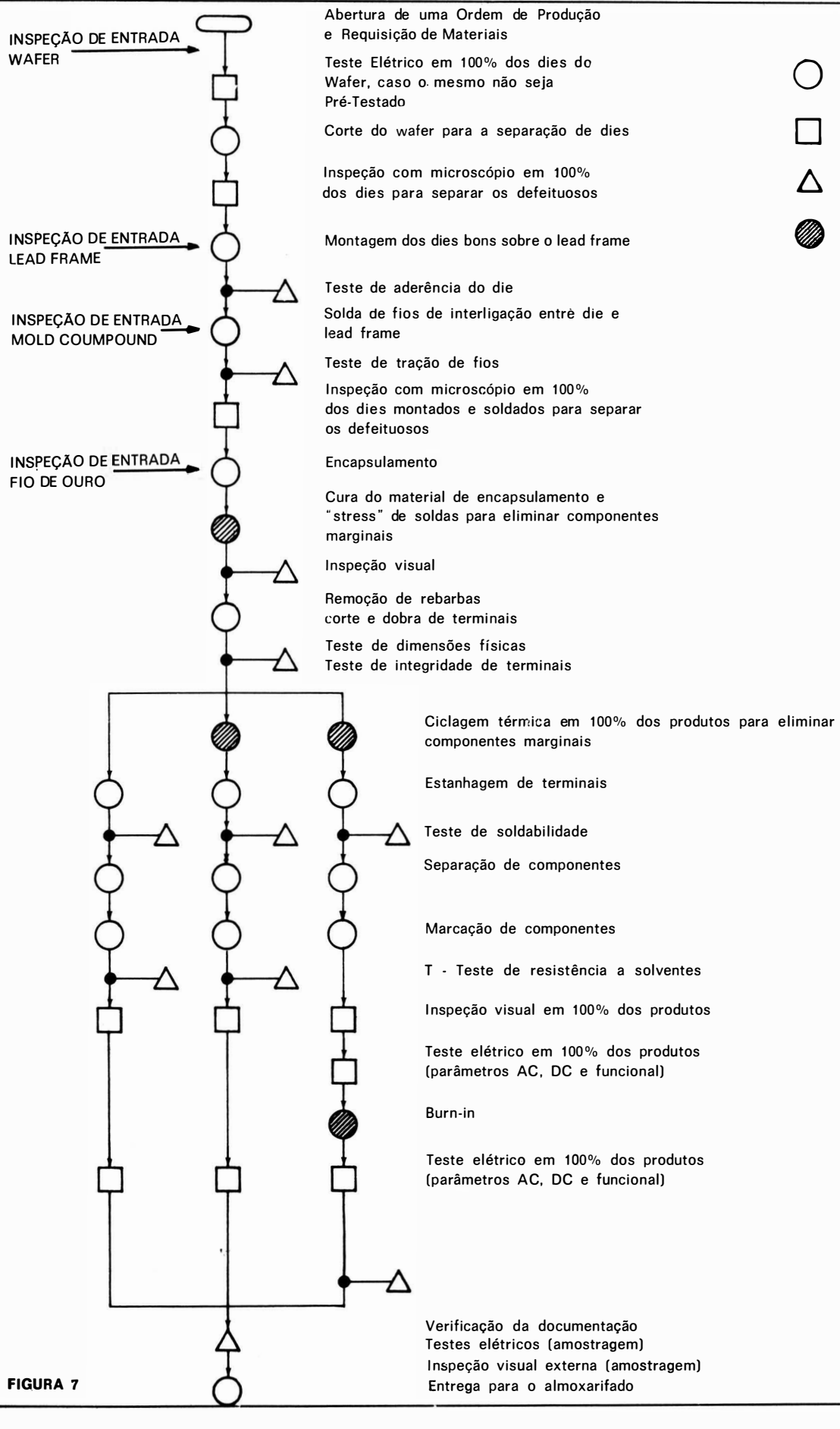


FIGURA 7

Acompanhamento da Qualidade e Confiabilidade do Produto.

Para poder garantir a qualidade e a confiabilidade do produto, além dos acompanhamentos já citados, existem duas fases críticas:

- ☐ A introdução de um novo produto na linha de fabricação, cujo procedimento está ilustrado na Figura 8;
- ☐ A avaliação periódica da confiabilidade do produto já em produção normal

Nesta fase são realizados testes como:

- Burn-in;
- Autoclave;
- Choque térmico;
- Ciclagem térmica.

Análise de falhas

O Laboratório de Análise de falhas da ITAUCOM está equipado para realizar análises detalhadas, identificando os mecanismos de falha. Esses resultados, complementados com as ações corretivas, formam a base do Banco de Dados de Qualidade e Confiabilidade que é consultado quando da introdução de cada novo produto.

Procedimento para Introdução de um Novo Produto na Linha de Fabricação

ETAPAS	OBJETIVOS	CONTEÚDO
ESTUDO	Levantamento de características e necessidades	Preparação de documentos Especificações: processo, materiais, elétricas, qualidade, confiabilidade
AVALIAÇÃO DE ENGENHARIA	Confirmação das especificações de processo e materiais	Processamento de amostras para ajuste de processos e avaliação de materiais
REJEITO		
PRODUÇÃO PILOTO	Avaliação do processo de montagem	Processamento de um lote piloto até o teste elétrico de curto/aberto Realização de testes mecânicos - dimensional - visual externo - soldabilidade
APROVADA PROD. PILOTO		
REJEITO		
PRÉ-PRODUÇÃO	Avaliação de qualidade e confiabilidade do produto	Processamento de lotes de pré-produção Teste elétrico completo curto/aberto paramétrico DC paramétrico AC funcional Testes de vida burn-in choque térmico autoclave
APROVADA PRÉ-PRODUÇÃO APÓS TESTES DE VIDA		
PRODUÇÃO EM SÉRIE		

FIGURA 8

Interação com o Cliente

A Política de Qualidade da ITAUCOM integra o cliente com as diretrizes de qualidade da empresa.

Como foi mostrado, durante o processo produtivo, é mantido um controle quantitativo e qualitativo de Qualidade e Confiabilidade dos produtos. Dessa forma, o cliente poderá optar por produtos com níveis de qualidade e confiabilidade especiais, ou seja, de acordo com suas exigências.

A extensão desse procedimento com os produtos em campo será feita pelo contato constante entre a ITAUCOM e seus clientes, consolidando assim, a avaliação do desempenho do produto. A Figura 9 ilustra de maneira global o mecanismo de acompanhamento da qualidade e confiabilidade.

Acompanhamento da Qualidade e Confiabilidade

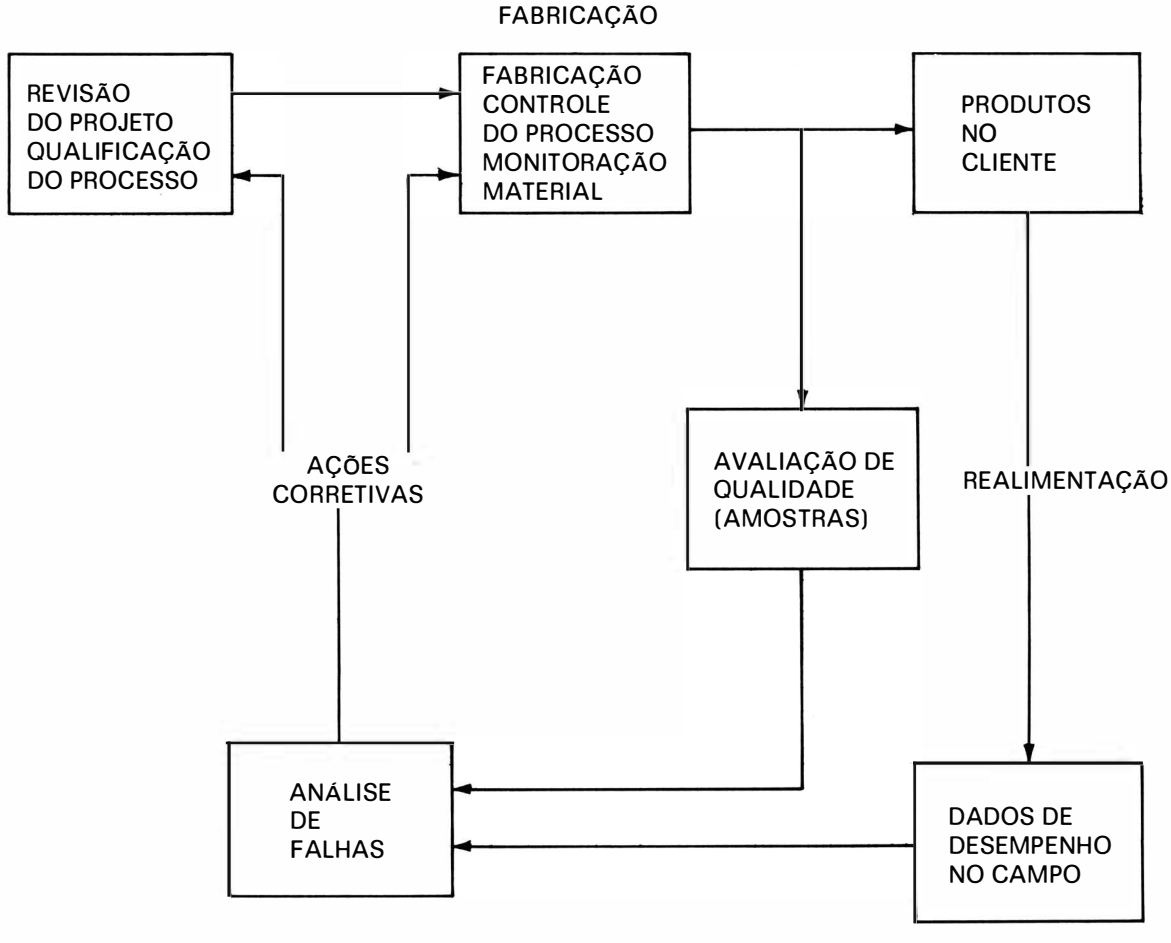
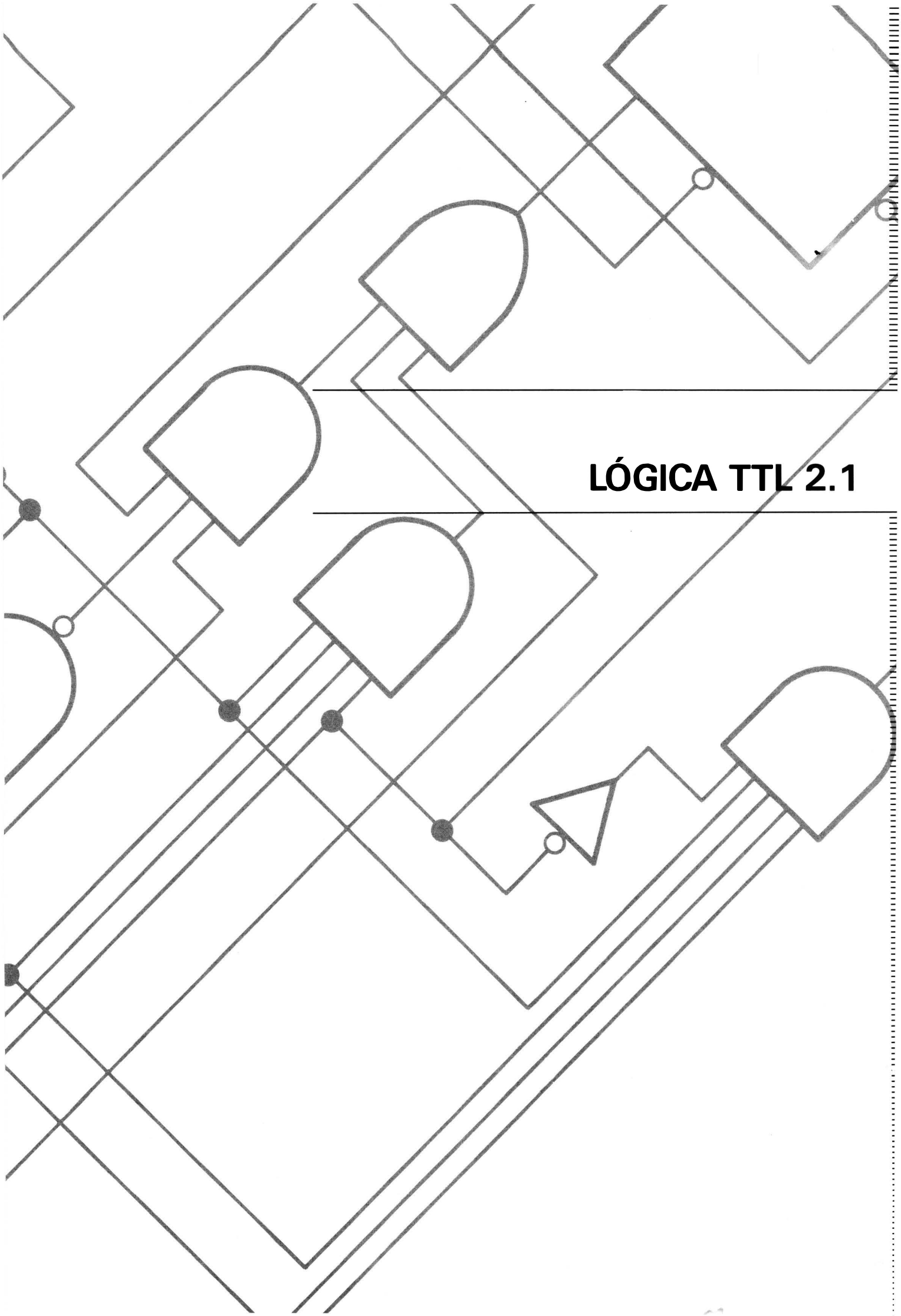


FIGURA 9

2 LÓGICA

LÓGICA TTL 2.1
LÓGICA CMOS 2.2
LÓGICA PAL 2.3



LÓGICA TTL 2.1

LÓGICA TTL

Os componentes da família TTL diferem largamente quanto à função, complexidade e desempenho. Suas características elétricas de entrada e saída, contudo, são muito semelhantes.
Neste sub-capítulo apresentamos os componentes ITAUCOM da Lógica TTL.

LÓGICA TTL ____ 52
IC 74LS00 ____ 62
IC 74LS02 ____ 63
IC 74LS04 ____ 64
IC 74LS05 ____ 65
IC 74LS08 ____ 66
IC 74LS10 ____ 67
IC 74LS11 ____ 68
IC 74LS14 ____ 70
IC 74LS20 ____ 72
IC 74LS27 ____ 73
IC 74LS30 ____ 74
IC 74LS32 ____ 75
IC 74LS38 ____ 76
IC 74LS51 ____ 77
IC 74LS74 ____ 78
IC 74LS86 ____ 80
IC 74LS93 ____ 82
IC 74LS123 ____ 84
IC 74LS125 ____ 85
IC 74LS138 ____ 86
IC 74LS139 ____ 88
IC 74LS151 ____ 90
IC 74LS153 ____ 92
IC 74LS156 ____ 94
IC 74LS157 ____ 96
IC 74LS161A ____ 98
IC 74LS164 ____ 102
IC 74LS174 ____ 106
IC 74LS175 ____ 108
IC 74LS193 ____ 110
IC 74LS240 ____ 114
IC 74LS241 ____ 115
IC 74LS244 ____ 116
IC 74LS245 ____ 117
IC 74LS273 ____ 118
IC 74LS365 ____ 120
IC 74LS367 ____ 122
IC 74LS368A ____ 124
IC 74LS373 ____ 126
IC 74LS374 ____ 128
IC 74LS393 ____ 130
IC 74LS395 ____ 132
IC 74LS670 ____ 134

LÓGICA TTL

Introdução

A família TTL pode ser dividida em três categorias principais:

- ☐ TTL propriamente dita, que representa os componentes dopados com ouro e com dupla difusão;
- ☐ TTL Schottky, que engloba os componentes com tecnologia a transistor Schottky não saturado, o que lhes confere características de alta potência e desempenho;
- ☐ TTL Low Power Schottky, com as mesmas características da categoria anterior, consumindo ao redor de 1/4 da potência.

Valores Máximos Absolutos

Os valores máximos absolutos representam limites acima dos quais a utilização do componente fica comprometida. As tensões e correntes nos componentes TTL devem ser limitadas aos valores mostrados na Tabela 1.

TABELA 1
Valores Máximos Absolutos

PARÂMETRO	CATEGORIAS		
	TTL	TTL Schottky	TTL Low Power Schottky
Tensão de alimentação (1)	7,0 V	7,0 V	7,0 V
Tensão de entrada (1) e (2)	−0,5 V a +5,5 V	−0,5 V a +5,5 V	−0,5 V a +7,0 V
Corrente de entrada	−30 mA a +5 mA	−30 mA a +5 mA	−30 mA a +1 mA
Tensão aplicada às saídas - nível alto (1)	−0,5 V a V_{CC}	−0,5 V a +7,0 V	−0,5 V a V_{CC}
Tensão aplicada às saídas tipo coletor em aberto-desligadas (1) e (3)	−0,5 V a +7,0V	−0,5 V a +7,0 V	−0,5 a +7,0 V
Corrente drenada por uma saída padrão - nível baixo	30 mA	40 mA	15 mA
Corrente drenada por uma saída tipo buffer - nível baixo	80 mA	100 mA	50 mA
Temperatura de operação (ao ar livre)		0°C a +70°C	
Temperatura de armazenamento		−65°C a +150°C	

1) Tensões medidas em relação ao terminal de terra do dispositivo.
2) Os dispositivos LS têm sua tensão máxima de entrada geralmente limitada em 7,0 V. Quando houver exceções, estas serão salientadas nas especificações de produtos específicas a estes componentes.
3) Alguns dispositivos com coletor em aberto são especialmente produzidos para suportar tensões de saída de 15 V a 30 V. A tensão máxima absoluta para estes dispositivos é 10% maior que a condição de teste V_{OUT} especificada.

Temperatura de Operação e Níveis de Tensão Aceitáveis

A tensão de alimentação para a família TTL é de 5,0 Volts. Contudo, são aceitáveis valores que não ultrapassem a faixa de ± 5%, ou seja, ± 250 mV ao redor de + 5 Volts, para uma temperatura ambiente de 0°C a 70°C.

A temperatura real de junção pode ser calculada multiplicando-se a potência dissipada no componente pela resistência térmica do encapsulamento e somando-se à temperatura ambiente (T_A) à temperatura do encapsulamento (T_C).

Características Gerais dos Circuitos TTL

Todos os componentes TTL são desenvolvidos a partir da lógica de portas NAND. Na verdade, uma porta NAND é constituída de cinco sub-circuitos que desempenham funções distintas, como mostra a Figura 1.

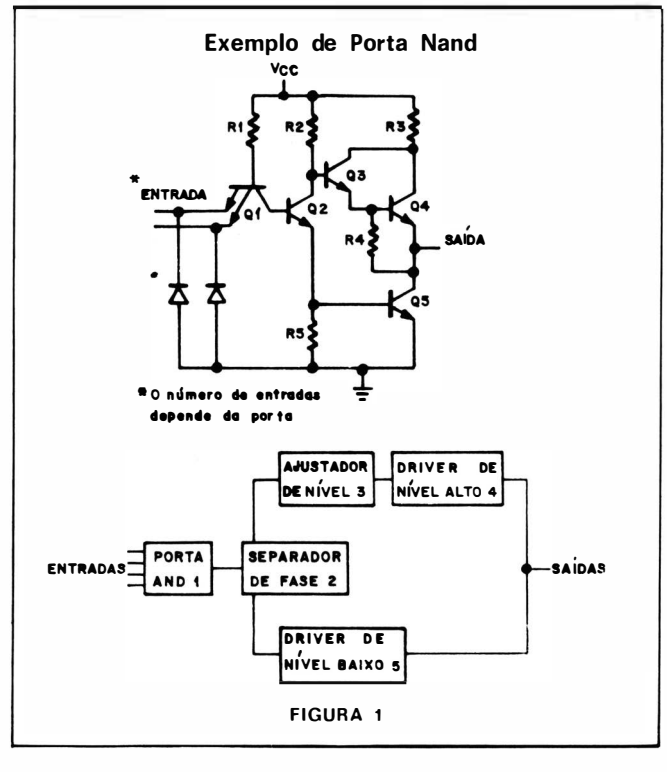


FIGURA 1

O circuito de entrada é uma porta AND, geralmente implementada por um transistor do tipo multi-emissor, que caracteriza a tecnologia TTL.

O separador de fase (2) assegura inversão e amplificação de sinais do circuito e determina também se as saídas são ativas em nível baixo ou alto.

O comutador de nível (3) assegura imunidade a ruídos para a diferenciação entre um nível alto e um nível baixo na saída. Isto minimiza a possibilidade de termos os drivers de nível alto (4) e de nível baixo (5) ativos no mesmo instante.

O comutador de nível (3) e o driver de nível alto (4), juntos, formam um circuito seguidor de emissor que segue a tensão do separador de fase. Este circuito é amplamente utilizado para alimentar cargas muito capacitivas. Assim, o tempo de subida inicial na saída fica determinado pelo tempo de subida no coletor do separador de fase.

O driver de nível baixo (5) é geralmente um transistor saturado para os componentes com tecnologia de dopagem com ouro e dupla difusão ou um transistor grampeado por diodo Schottky, para os componentes com tecnologia Schottky.

Os transistores de saída são projetados para drenar as correntes de fan-out, que caracterizam as várias categorias da família TTL.

Circuitos de Entrada

A Figura 2 mostra algumas configurações possíveis para uma porta AND. Para qualquer uma destas configurações, com a entrada em nível alto, a impedância de entrada é alta. Quando a tensão de entrada estiver acima do limiar (threshold) do circuito, todas as entradas se comportarão como diodos polarizados reversamente.

Os transistores multi-emissor, na realidade, operam de modo inverso, mas o ganho é tão baixo que a corrente que flui pelo componente é irrelevante. A impedância de entrada em nível baixo, para as configurações com transistores multi-emissor e com diodos na entrada é determinada pelo resistor de pull-up interno. Esse resistor assume valores ao redor de 2 kΩ para a categoria Schottky e de 16 kΩ para a categoria Low Power Schottky.

Alguns componentes LS do tipo buffers dispõem de entradas PNP (substrato) que apresentam alta impedância tanto para nível alto como para nível baixo na entrada. Desta forma, o fator de carga na entrada é minimizado e a capacidade de saída e o desempenho, melhorados.

A implementação de um diodo de proteção ligado ao terra do circuito diminui os efeitos de flutuação.

Circuitos de Saída

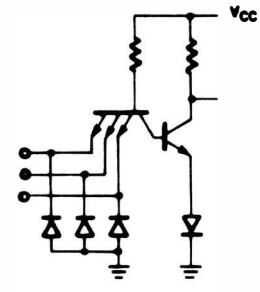
Os circuitos de saída mais comuns para a família TTL são mostrados na Figura 3, com suas vantagens e desvantagens.

Esses diferentes circuitos são utilizados para otimizar os requisitos funcionais e de desempenho dos vários dispositivos. Não são, contudo, restritos a uma ou outra categoria da família TTL.

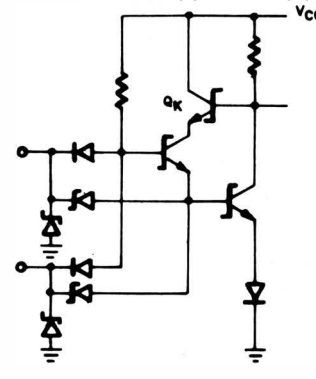
Embora não indicado nas figuras, o transistor driver de nível baixo possui, geralmente, um resistor de pull-down ligado à sua base. Esse resistor permite cortar o transistor de saída. A maioria dos componentes Schottky e Low Power Schottky utiliza uma configuração do tipo resistor-transistor para regenerar os níveis de suas funções de transferência $V_{IN} \times V_{OUT}$.

Circuitos de Entrada

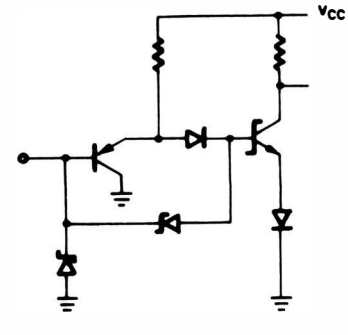
TRANSISTOR MULTI-EMISSOR



DIODO PN DE ENTRADA COM TRANSISTOR KICKER (QK)



TRANSISTOR PNP DE ENTRADA (SUBSTRATO)



REDE DE DIODOS

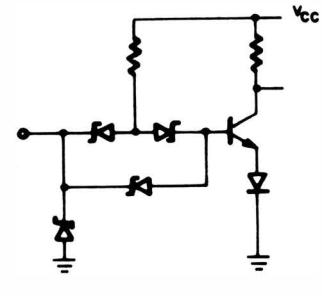
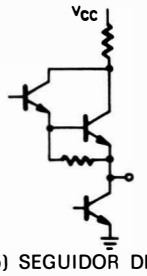


FIGURA 2

Pode-se ligar um resistor de pull down a qualquer um dos circuitos de saída TTL, o que torna V_{OH} ainda mais próximo de V_{CC}. No entanto, apenas os circuitos c, d e e podem ter na saída uma tensão maior que V_{CC} como por exemplo, para interligação com circuitos MOS.

Circuitos de Saída

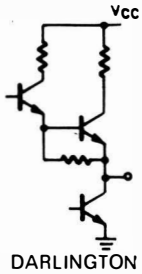
a) DARLINGTON



Vantagens:
Alta capacidade de carga (AC) na saída
$V_{OH} = V_{CC} - V_{BE}$ para $I_O = 0$
Tamanho reduzido

Desvantagem:
A saída nunca pode assumir valores maiores que V_{CC} mais a queda em um diodo

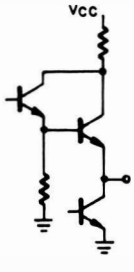
b) SEGUIDOR DE EMISSOR DE DOIS ESTÁGIOS ("DARLINGTON SPLIT")



Vantagens:
Alta capacidade de saída (AC)
$V_{OH} = V_{CC} - V_{BE}$ para $I_O = 0$

Desvantagem:
Maior que o círcuito (a)
A saída nunca pode assumir valores maiores que V_{CC} mais a queda em um diodo

c) DARLINGTON COM RESISTOR PARA O TERRA



Vantagem:
Alta capacidade de carga (AC) na saída
$V_{OH} = (V_{CC} - 2\,V_{BE})$ é baixo e aumenta a velocidade
A saída pode assumir valores maiores que V_{CC}

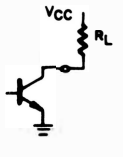
Desvantagem:
Alta dissipação
Menor imunidade a ruídos em nível alto

d) TRANSISTOR—DIODO (TOTEM POLE)

Vantagem:
Consumo baixo de potência
Tamanho reduzido
A saída pode assumir valores maiores que V_{CC}

Desvantagem:
Baixa capacidade de carga AC na saída

e) COLETOR EM ABERTO



Vantagem:
Ligação direta ao bus

Desvantagem:
Alta impedância de saída em nível alto
Lento, especialmente quando ligado a cargas capacitivas
Requer um resistor adicional

FIGURA 3

As configurações a e b dispõem de um diodo ligado ao resistor na saída, o que faz somar à tensão de saída a queda sobre o diodo.
Estas considerações devem ser levadas em conta em grandes sistemas onde algumas partes do circuito devem ser desligadas ($V_{CC} = 0$). Nessa situação, as saídas dos circuitos a e b apresentam impedância muito baixa para uma tensão baixa (< 1.0 V), ao passo que as saídas dos circuitos c, d e e apresentam alta impedância, ou seja, nível lógico alto, que é o mais apropriado para isolar estas partes do resto do circuito.
A impedância de saída de um componente TTL típico, para os níveis alto e baixo, está mostrada na Figura 4.

Curvas de Entrada e Saída

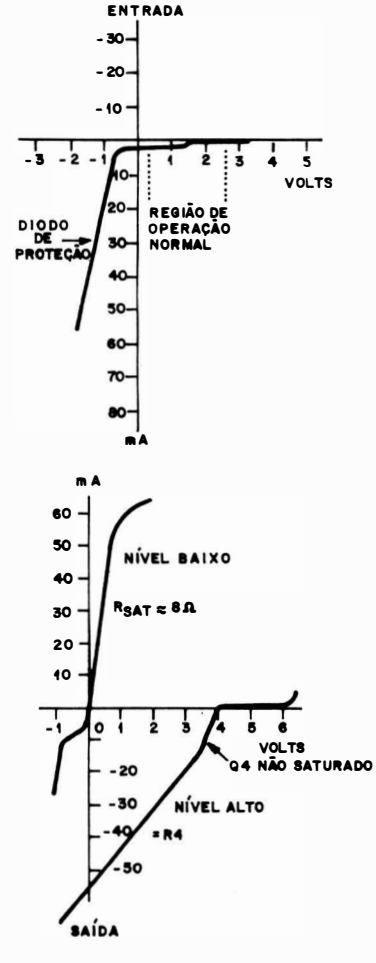


FIGURA 4

Em nível baixo, a impedância de saída é determinada por um transistor saturado, ou seja, de 8Ω a 10Ω. Contudo, para correntes drenadas muito altas, especialmente em baixas temperaturas, o componente não consegue permanecer saturado e a impedância de saída aumenta.

No chaveamento de um nível baixo para um nível alto, a configuração de saída do tipo totem-pole apresenta baixa impedância de saída, podendo carregar rapidamente cargas capacitivas. Estas correntes de carga e descarga, contudo, devem fluir também pelos caminhos existentes entre a alimentação (V_{CC}) e o terra.
Desta forma, as linhas de alimentação e terra devem ser curtas e corretamente desacopladas.

Saídas Tri-State
Alguns componentes como os buffers e os registradores dispõem de saídas tri-state, projetadas para ser diretamente ligadas às vias de dados, endereços, controle, etc. Este tipo de saída se comporta como uma saída totem-pole, com a característica adicional de que pode ser desabilitada, não drenando nem fornecendo corrente.
As saídas tri-state são projetadas para serem ligadas em paralelo, mas não para estarem ativas ao mesmo tempo. Para minimizar o ruído e proteger as saídas contra o excesso de dissipação de potência, deve-se ter apenas uma saída tri-state ativa por vez.

Considerações Sobre o Projeto

A alta velocidade característica dos circuitos tecnologia TTL implica alguns cuidados quando do projeto e confecção do layout do sistema.
As considerações a seguir servem de auxílio a algumas situações embaraçosas e dão suporte técnico ao projeto desses sistemas.

Efeitos do Diodo de Grampeamento para Tensões de Entrada Negativas
Os componentes TTL que dispõem de diodos de grampeamento na entrada têm o efeito de flutuação negativa minimizado. Estes diodos não devem sofrer tensões negativas DC de grampeamento nem pulsos negativos de longa duração. O prejuízo pode ser ainda maior se o componente pertencer à categoria Low Power Schottky. Se, nesses componentes, a tensão de entrada ultrapassar o valor de 0.5 V negativo (em relação ao pino de terra do componente), por um tempo maior que 0.5 microssegundos, será provável o aparecimento de um componente parasita, que pode degenerar o valor da tensão de nível alto o suficiente para causar um erro lógico.

Entradas não Usadas
Entradas em aberto pioram tanto a imunidade a ruído AC quanto a velocidade de chaveamento de circuito. Para otimizar o desempenho, cada entrada deve ser ligada a uma fonte de baixa impedância.
Portas NOR ou OR ativas em nível alto, que não são usadas, devem ter suas entradas ligadas ao terra ou a uma saída de nível baixo.
Portas NAND ou AND ativas em nível alto que não são usadas, devem ter suas entradas mantidas num nível de tensão maior que 2.7 V, porém nunca maior que o valor máximo absoluto recomendado.
Estes procedimentos visam eliminar a capacitância distribuída associada às entradas flutuantes, à soldagem de fios (wire bond) e aos terminais do componente (lead frame). Isso implica uma não degeneração na propagação dos tempos de atraso (delay times).
As formas possíveis de se tratarem as entradas não usadas são:

- ☐ Se a entrada for ativa em nível baixo, deve-se ligá-la ao terra. Se a entrada for ativa em nível alto, deve-se ligá-la através de um resistor de 1 kΩ a 10 kΩ à tensão de alimentação (V_{CC}). Para os componentes Low Power Schottky, as entradas ativas em nível alto podem ser ligadas diretamente a V_{CC}, desde que os terminais sejam curtos e que haja um correto desacoplamento da alimentação;
- ☐ Entradas em nível alto podem ser ligadas à saída de uma porta que esteja sempre em nível alto;
- ☐ Entradas NAND ou AND (multi-emissores) de componentes não-LS podem ser ligadas a uma outra entrada usada da mesma porta, desde que a capacidade de carga do circuito que envia os sinais não seja excedida.
  Note que em nível baixo essa capacidade não é alterada porque as entradas compartilham um mesmo resistor de pull-up.

Portas não Usadas
As saídas de portas não usadas devem ser mantidas em nível alto. Assim, basta aterrar uma entrada de uma porta NAND ou todas as entradas de uma porta NOR. Este método diminui a dissipação de potência e força um nível alto na saída, que pode ser utilizado pelas entradas não usadas de outras portas.

Como Melhorar o Fan-Out
Para melhorar o fan-out, as entradas e saídas de portas num mesmo encapsulamento podem ser ligadas em paralelo.
É aconselhável limitar as portas a ser ligadas em paralelo àquelas de um mesmo chip, para evitar transientes elevados nas correntes de alimentação, devido às diferenças nos tempos de chaveamento das portas.
Embora isso não cause danos aos circuitos integrados, pode causar problemas na lógica do circuito, se as portas estiverem sendo usadas como drivers para clock do circuito.

Diodos de Proteção
Nunca troque os sinais dos pinos de alimentação e terra. Se uma corrente maior que 100 mA fluir através do diodo de proteção diretamente palarizado, os danos poderão ser catastróficos.

Características de Carga de Entrada e de Capacidade de saída
Os níveis lógicos de componentes TTL são tais que os tornam totalmente compatíveis. Contudo, as características de carga de entrada e de capacidade de saída para cada uma destas famílias são diferentes e devem ser levadas em consideração quando se misturam componentes de diferentes categorias TTL em um mesmo sistema. A Tabela 2 mostra as capacidades de carga relativas a cada família para as faixas de tensão e temperatura comerciais. Para as faixas militares, as capacidades de carga das famílias 74 LS e 74 S devem ser reduzidas à metade.

Os buffers 74 LS têm três vezes a capacidade de carga dos dispositivos padrão 74 LS. De fato, eles podem alimentar uma quantidade maior de carga do que qualquer outro dispositivo TTL que não os buffers.

TABELA 2

Capacidade de Carga

DISPOSITIVO	NÚMEROS DE CARGAS				
	74LS	74	74H	74L	74S
74LS	20	5	4	40	4
"74LS Buffers	60	15	12	120	12
74	40	10	8	80	8
74 Buffers	60	30	24	120	24
74H	50	12	10	100	10
74H Buffers	75	37	30	160	30
74L	9	2	1	20	1
74S	50	12	10	100	10
74S Buffers	150	37	30	150	30

Como Combinar os Componentes TTL

A maioria das famílias TTL são projetadas para serem usadas em conjunto, mas não indiscriminadamente. Cada família dos dispositivos TTL tem características próprias de entrada e saída otimizadas para obter as características de velocidade e potência desejadas. Dispositivos rápidos como os 74 S são projetados com baixa impedância de entrada e saída. A velocidade desses dispositivos é determinada principalmente por tempos de subida e descida rápidos tanto internamente como os pontos de entrada e saída. Estas transições rápidas ocasionam ruído de vários tipos no sistema. O ruído nos caminhos de terra e alimentação é gerado pela grande quantidade de corrente necessária para carregar e descarregar o circuito e para carregar as capacitâncias durante as transições no chaveamento. O ruído nas linhas de sinais é gerado pelas rápidas transições de saída e pelas impedâncias de saída relativamente baixas, que tendem a aumentar as reflexões.

O ruído gerado por estes dispositivos 74 S só pode ser tolerado em sistemas projetados com terminais de sinal bem curtos, planos de terra bem elaborados e redes de distribuição de corrente de alimentação bem desacopladas.

Também é possível combinar famílias TTL lentas como as 74 e 74 LS com as rápidas, mas isto deve ser feito com cuidado. As famílias mais lentas são mais suscetíveis ao ruído induzido do que as famílias mais velozes, devido à sua maior impedância de entrada e de saída. A família Low Power Schottky 74 LS é especialmente sensível ao ruído induzido e deve ser isolada dos dispositivos 74 S tanto quanto possível. Sistemas de terra e alimentação isolados ou separados são recomendados e as linhas de sinal de entrada para os LS não devem correr adjacentes às linhas alimentadas pelos dispositivos 74 S.

Combinar 74 e 74 LS é menos restritivo e o projeto total do sistema não precisa ser tão elaborado. As placas de circuito integrado de dupla face podem ser usadas com sistemas de alimentação e terra bem desacoplados. Contudo, são necessárias técnicas adequadas para alta velocidade, especialmente quando se trata de contadores, registradores ou outros dispositivos com memória.

Requisitos para o Clock

A maioria dos circuitos flip-flop TTL é do tipo mestre-escravo, o que torna suas entradas de clock sensíveis ao nível.

Isto representa uma melhora sobre as entradas de clock acopladas por AC, mas não as torna completamente insensíveis às bordas de clock. O nível DC em que os dados do mestre (circuito de entrada) são transferidos ao escravo (circuito de saída) é a tensão de limiar normal para os dispositivos.

Para a maioria dos dispositivos TTL, este nível é de 1,4 V a 25°C e varia à taxa de aproximadamente − 4 mV/°C.

Quando a entrada de clock atinge a tensão de limiar as portas internas e as saídas passam a injetar corrente no terminal de terra do dispositivo.

Se existir um número suficiente de gates internos ou entradas carregadas mudando ao mesmo tempo, o nível de referência de terra do chip (e, portanto, o nível de referência da entrada de clock) pode se elevar a até 500 mV. Este ruído de terra é a soma algébrica do ruído dos planos de terra interno e externo.

Se a entrada de clock de um dispositivo disparável na borda positiva estiver no/ou próximo ao limiar do dispositivo durante o período do transiente de ruído de terra, é bem provável que o dispositivo interno receba pulsos de clock múltiplos.

Por este motivo, o tempo de subida para os dispositivos disparáveis na borda positiva deverá ser menor que o tempo de atraso nominal entre a entrada e saída, medido entre os níveis 0.8 V e 2.0 V do circuito driver de clock. Esta taxa de borda pode ser obtida para quase todos os dispositivos TTL da mesma família, desde que não forneça mais corrente que o fan-out especificado e nunca tenha mais que 30 a 40 centímetros de linha. Quando os pulsos de clock são distribuídos por linhas com mais de 30 cm, todas as entradas de clock devem ser interligadas ao final da linha para evitar problemas de reflexão.

Observação:

Alguns contadores e registradores são projetados com um buffer especial que dispõe de uma pequena quantidade de histerese para minimizar a taxa de borda do clock e o ruído envolvido. Estes dispositivos dispõem de buffers especiais de clock para aumentar sua tolerância com relação à bordas lentas positivas de clock e ao ruído de terra. Esta característica é apresentada nas Especificações de Produto.

Saídas TTL

As únicas saídas TTL projetadas para serem diretamente acopladas são as do tipo coletor em aberto e as do tipo tri-state.

As saídas TTL comuns não devem ser ligadas em paralelo, a menos que seus níveis lógicos sempre sejam os mesmos em qualquer situação, ou seja, todas em nível alto (H) ou todas em nível baixo (L). Ao ligar as saídas do tipo coletor em aberto ou do tipo tri-state, algumas regras devem ser observadas, como veremos a seguir.

Saídas com Coletor em Aberto

Estes dispositivos devem ser usados sempre que duas ou mais saídas OR conectadas estiverem em níveis lógicos opostos ao mesmo tempo. Estes dispositivos devem ter um ou mais resistores de pull-up entre o ponto das saídas OR e a tensão V_{CC} para se estabelecer um nível alto (H) ativo. Apenas alguns buffers especiais para alta tensão podem ser ligados a uma tensão maior que V_{CC}. Os valores máximo e mínimo do resistor de pull-up são determinados como abaixo:

$$R_{(Min)} = \frac{V_{CC}\,(Máx) - V_{OL}}{I_{OL} - \Sigma\,(I_{IL})}$$

$$R_{(Max)} = \frac{V_{CC}\,(Mín) - V_{OH}}{\Sigma\,(I_{OH}) + \Sigma\,(I_{IH})}$$

onde I_{OL} = mínimo I_{OL} garantido para os elementos OR conectados.

$\Sigma\,(I_{IL})$ = soma das correntes máximas de entrada — nível baixo — para todas as entradas ligadas aos elementos OR.

$\Sigma\,(I_{OH})$ = soma das correntes máximas de saída — nível alto — para todas as saídas ligadas aos elementos OR.

$\Sigma\,(I_{IH})$ = soma das correntes máximas de entrada — nível alto — para todas as entradas ligadas aos elementos OR.

Se uma rede divisora por resistores for usada para fornecer nível ALTO, o resistor $R_{(Max)}$ deve ser diminuído o suficiente para satisfazer à corrente ($V_{OH}/R_{pull\text{-}down}$).

O atraso máximo de propagação resulta quando o valor mínimo do resistor externo de pull up é usado no circuito de carga 1, Figura 5.

Circuitos de Carga

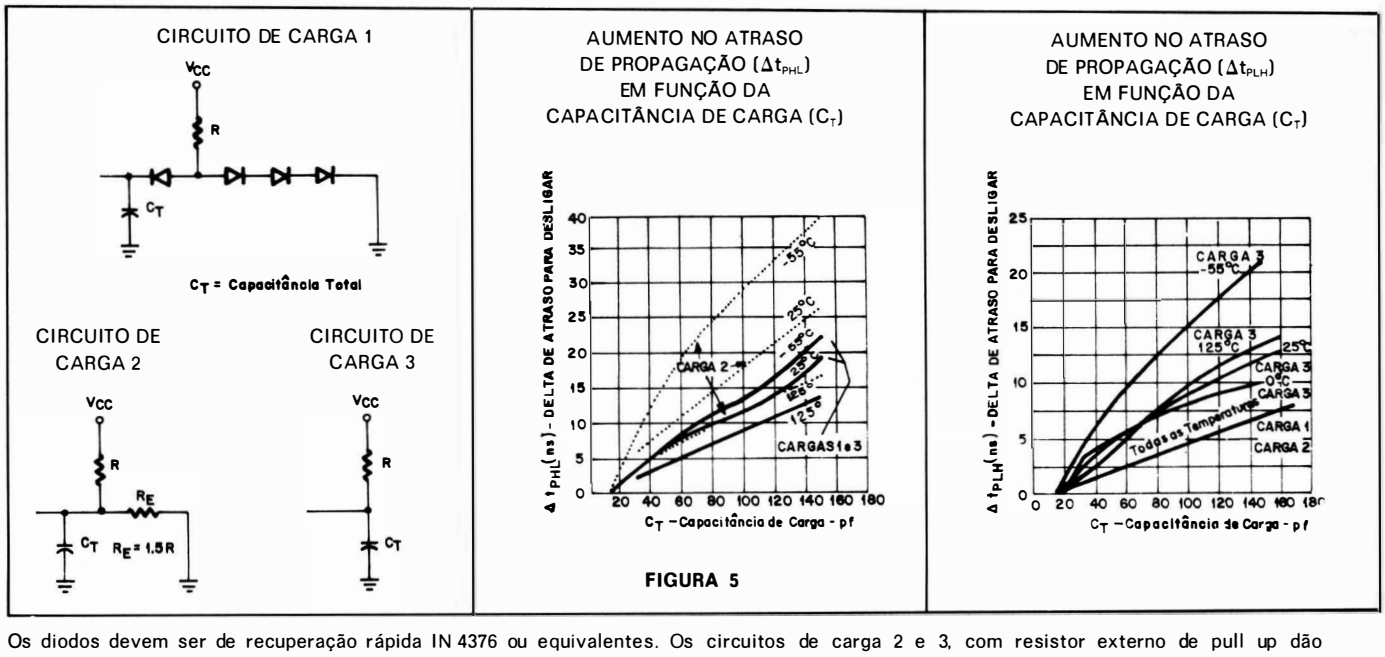


FIGURA 5

Os diodos devem ser de recuperação rápida IN 4376 ou equivalentes. Os circuitos de carga 2 e 3, com resistor externo de pull up dão progressivamente atrasos de propagação menores.

Saídas Tri-State

As saídas tri-state são projetadas para ser ligadas em paralelo, mas não para ser ativadas simultaneamente. Para diminuir o ruído e proteger as saídas contra dissipação excessiva de potência, apenas uma das saídas tri-state deve ser acionada por vez.

Isto geralmente requer que os sinais de habilitação de saída não sejam coincidentes.

Quando os decodificadores TTL forem utilizados para habilitar as saídas tri-state, o decodificador deverá ser desabilitado enquanto o endereço estiver sendo alterado. Como todas as saídas dos decodificadores TTL estão sujeitas a spikes na decodificação, não se pode garantir sinais não coincidentes enquanto o endereço estiver sendo alterado.

Como a maioria dos sinais de habilitação de saída tri-state são ativos em nível baixo, os registradores de deslocamento ou registradores de armazenamento disparáveis na borda tornam-se bons buffers para a habilitação de saída. Os registradores de deslocamento com um bit circular em nível baixo como o 164 ou o 194 são ideais para os sinais de habilitação sequencial.

O 174 ou o 273 podem ser usados como buffer dos sinais de habilitação dos decodificadores TTL ou dispositivos de micro código (ROM). Como as saídas destes registradores mudam de baixo para alto mais rápido do que de alto para baixo, a seleção de um dispositivo por vez é assegurada.

Desacoplamento da Alimentação

O desacoplamento da alimentação por capacitores é necessário para qualquer sistema TTL. Normalmente são necessários 0,01 μf para cada porta alimentada sincronamente e pelo menos 0,1 μf para cada vinte portas, independentemente do sincronismo. Os contadores e

registradores de deslocamento são geralmente suscetíveis a ruídos das trilhas de alimentação e de terra. Devem ser desacoplados com um capacitor de 0,1 μf para cada oito flip-flops internos, ou um capacitor para cada dois dispositivos, colocados o mais próximo possível dos outros dispositivos. Os buffers e drivers de linha devem ser desacoplados nos pinos de alimentação, devido aos altos transientes de corrente necessários para carregar e descarregar as linhas.

Regulação na Placa

Na maioria dos circuitos digitais, há grande consumo da corrente que é fornecida por uma fonte de tensão principal. A lógica TTL geralmente tende a gerar spikes de corrente durante o chaveamento, devido à simultaneidade na condução de ambos os transistores de nível alto e baixo, gerando, assim, ruído na alimentação V_{CC}. Um regulador na placa não só regula a potência fornecida, como também isola o ruído propagado pelo resto do sistema. Os sistemas projetados usando esta técnica não necessita de regulação precisa na fonte de alimentação principal.

Tratamento dos Sinais

As ligações do tipo open-wire entre os circuitos TTL não devem ser trançadas, amarradas ou caminhar juntas. Ao invés, deve-se efetuar ligações ponto a ponto, preferivelmente sobre um plano de terra, o que reduz o acoplamento entre os condutores.

Se existirem interligações de sinais por intermédio de fios, estes não devem ser maiores que 60 cm; para fios maiores que 38 cm, um plano de terra é essencial para um desempenho adequado do sistema. Para distâncias maiores que 60 cm, deve-se usar pares de fios trançados ou cabos coaxiais. A impedância característica de um fio aberto sobre um plano de terra é de ao redor de 150 Ω, enquanto para pares de fios trançados número 26, a impedância é ao redor de 200 Ω. Também são bastante usados os cabos coaxiais, que melhoram a proteção contra crosstalk. Contudo, quando sua impedância é muito baixa, tornam-se difíceis de ser alimentados. O melhor compromisso é atingido com os cabos coaxiais de impedância característica $R_0 = 100\ \Omega$.

O ruído é minimizado com pull-ups resistivos na extremidade receptora. Se os efeitos de reflexão forem inaceitáveis, a linha deve ser terminada por sua impedância característica. Um método é mostrado na figura 6 onde a saída da linha é ligada a V_{CC} através de um resistor equivalente à impedância característica da linha. Portanto, R_0 é bem pequeno e a porta que alimenta deve drenar essa corrente mais a corrente que é drenada pelas entradas.

Quando a linha termina num divisor de tensão com dois resistores, cada um de valor igual a duas vezes a impedância de linha, há uma redução de 50% nessa corrente drenada. É preferível dedicar os gates exclusivamente à alimentação das linhas se o comprimento da linha for maior que 150 cm.

Ligação a um Par Trançado

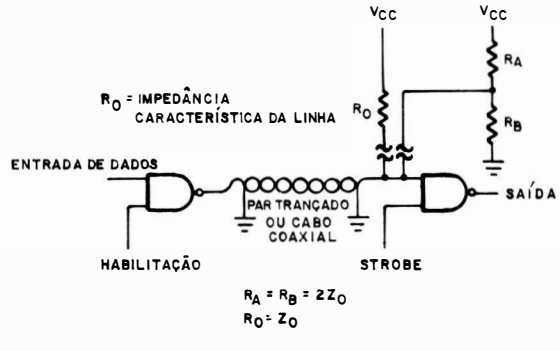


FIGURA 6

Glossário de Símbolos e Definições

Símbolos e Parâmetros D.C.

SÍMBOLO	PARÂMETRO	SÍMBOLO	PARÂMETRO
V_{CC}	Tensão de alimentação: Faixa de tensão da fonte de alimentação dentro da qual se garante o funcionamento do componente dentro dos limites especificados.	I_{CC}	Corrente de alimentação: Corrente que flui pelo terminal de alimentação V_{CC} do dispositivo, dentro de determinadas condições de entrada e com as saídas em aberto. As condições de entrada são escolhidas de modo a garantir-se o pior caso, a menos que especificado.
V_K	Tensão de proteção: A maior tensão negativa (em módulo) que pode ser aplicada numa entrada quando a corrente especificada é drenada do terminal de entrada. Este parâmetro garante a integridade do diodo de entrada que grampeia a tensão dos sinais de entrada.	I_I	Corrente de fuga na entrada: A corrente que flui numa entrada quando a tensão máxima permitida é aplicada à entrada Este parâmetro garante a tensão mínima de ruptura para a entrada.
V_{IH}	Tensão de entrada — nível alto: Intervalo de tensões de entrada reconhecido pelo dispositivo como um nível lógico alto (High).	I_{IH}	Corrente de entrada — nível alto: Corrente que flui por uma entrada quando a tensão de entrada — nível alto é aplicada.
$V_{IH\ (min)}$	Tensão mínima de entrada — nível alto: Este valor é o garantido como o limiar da entrada em nível alto para o dispositivo. É a menor entrada permitida em nível alto para o sistema lógico.	I_{IL}	Corrente de entrada — nível baixo: Corrente fornecida por uma entrada quando a tensão de entrada — nível baixo é aplicada.
V_{IL}	Tensão de entrada — nível baixo: Intervalo de tensões de entrada reconhecido pelo dispositivo como um nível lógico baixo (Low).	I_{OH}	Corrente de saída — nível alto: Corrente de fuga que flui em uma saída com coletor em aberto, desligada, com uma determinada tensão de saída — nível alto — aplicada. Para os dispositivos com circuito de pull up, I_{OH} é a corrente fornecida por uma saída que está em nível alto.
$V_{IL\ (max)}$	Tensão máxima de entrada — nível baixo: Este valor é o garantido como o limiar de entrada em nível baixo para o dispositivo. É a maior entrada permitida, em nível baixo, para o sistema lógico.	I_{OL}	Corrente de saída — nível baixo: Corrente drenada por uma saída que está em nível baixo.
V_m	Tensão de medida: Tensão de referência numa forma de onda AC, usada para determinar o desempenho em AC. É geralmente especificada como sendo 1.5 V para a maioria das categorias TTL e 1.3 V para a categoria Low Power Schottky 74 LS.	I_{OS}	Corrente de curto-circuito na saída: Corrente fornecida por uma saída em nível alto ligada ao terra.
$V_{OH\ (min)}$	Tensão de saída — nível alto: A tensão mínima — nível alto — garantida num terminal de saída para a corrente de saída especificada I_{OH} e para o menor V_{CC}.	I_{OZH}	Corrente de saída — nível alto: Corrente drenada por uma saída tri-state desabilitada com uma tensão de saída — nível alto — aplicada.
$V_{OL\ (max)}$	Tensão de saída — nível baixo: Tensão máxima — nível baixo — garantida num terminal de saída que drene a corrente de carga especificada I_{OL}.	I_{OZL}	Corrente de saída — nível alto-baixo (off): corrente fornecida por uma saída tri-state desabilitada com uma tensão de saída-nível baixo-aplicada.

Símbolos e Parâmetros A.C.

SÍMBOLO	PARÂMETRO	SÍMBOLO	PARÂMETRO
f_{max}	Frequência máxima de clock: Máxima frequência na entrada de clock. Acima desta frequência, o dispositivo pode não funcionar corretamente.	t_H	Tempo de hold: Intervalo de tempo imediatamente seguinte a uma transição ativa do pulso do timing (geralmente o pulso de clock) ou à transição do controle de entrada para seu nível de latching, durante o qual os dados a ser reconhecidos devem ser mantidos na entrada para assegurar seu reconhecimento contínuo. Um tempo de hold negativo indica que o nível lógico correto pode ser desativado antes da transição ativa do pulso de timing e ainda ser reconhecido.
t_{PLH}	Atraso de propagação — Intervalo de tempo medido entre pontos de referência nas formas de onda da entrada e da saída, com a saída passando de nível baixo para nível alto.		
t_{PHL}	Atraso de propagação: Intervalo de tempo medido entre pontos de referência nas formas de onda da entrada e da saída, com a saída passando de nível alto para nível baixo.	t_S	Tempo de set up: Intervalo de tempo imediatamente anterior à transição ativa do pulso de timing (geralmente o pulso de clock) ou anterior à transição da entrada de controle ao seu nível de latching, durante o qual os dados a ser reconhecidos devem ser mantidos na entrada para garantir seu reconhecimento. Um tempo de set up negativo indica que o nível lógico correto pode ser ativado após a transição ativa do pulso de timing e ainda ser reconhecido.
t_{PHZ}	Tempo de transição: Tempo de atraso entre pontos de referência nas formas de onda de tensão da entrada e da saída, com a saída tri-state passando de nível alto para o estado de alta impedância (off).		
t_{PLZ}	Tempo de transição: Tempo de atraso entre pontos de referência nas formas de onda de tensão da entrada e da saída, com a saída tri-state passando de nível baixo para o estado de alta impedância (off).	t_W	Largura de pulso: Intervalo de tempo entre pontos de referência especificados nas bordas de subida e descida (ou vice-versa) de um pulso.
t_{PZH}	Tempo de transição: Tempo de atraso entre pontos de referência nas formas de onda de tensão da entrada e da saída, com a saída tri-state passando do estado de alta impedância (off) para nível alto.	t_{REC}	Tempo de recuperação: Intervalo de tempo entre um ponto de referência na borda de subida (descida) de um pulso de controle de entrada assíncrona e o ponto de referência na borda de ativação de um pulso síncrono de entrada (clock) tal que o dispositivo responda à entrada síncrona.
t_{PZL}	Tempo de transição: Tempo de atraso entre pontos de referência nas formas de onda de tensão da entrada e da saída com a saída tri-state passando do estado de alta impedância (off) para nível baixo.		

Tabelas da Verdade

Os símbolos utilizados nas tabelas da verdade das Especificações de Produtos Itaucom podem ser resumidos em:

H = nível alto;
L = nível baixo;
↑ = transição de nível baixo para nível alto;
↓ = transição de nível alto para nível baixo;
X = irrelevante (qualquer entrada, inclusive em transição);
Z = estado off (desligado) para saídas tri-state;
Q_0 = estado inicial de Q antes do dispositivo entrar em regime;
$\overline{Q}_0$ = complemento de Q_0, ou ainda, estado inicial de Q antes do dispositivo entrar em regime de operação;
Q_n = nível de Q anterior à última transição ativa, indicada por ↑ ou ↓;
⎍ = pulso de nível alto;
⎎ = pulso de nível baixo.

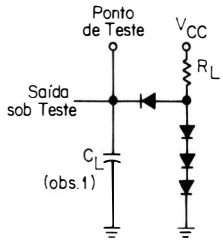
Se, nas colunas de entrada, uma linha contiver apenas os símbolos H, L e/ou X, a saída indicada será válida sempre que a configuração de entrada for obtida, a despeito da sequência em que ela for obtida. A saída persiste enquanto esta configuração de entrada for mantida.

Se, nas colunas de entrada, uma linha contiver os símbolos H, L e/ou X juntamente com os símbolos ↑ e/ou ↓, a saída será válida sempre que a configuração de entrada for obtida. Porém, a(s) transição(ões) deve(m) ocorrer após o estabelecimento dos níveis de regime. Se a saída tiver nível H, L, Q_0 ou $\overline{Q}_0$, este deve persistir enquanto os níveis de regime na entrada e os níveis que sucedem as transições forem mantidos. A menos que especificado, as transições de entrada no sentido oposto àqueles exibidos não causarão efeito algum na saída. Se a saída for um pulso (⎍ ou ⎎), este segue a transição de entrada especificada e persiste por um intervalo de tempo dependente do circuito.

Circuitos de Carga

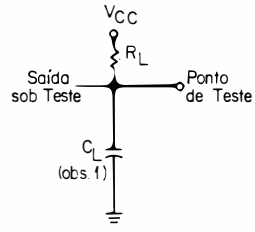
Os circuitos de carga a seguir, para a categoria 74 LS, são aqueles referenciados pelas Especificações de Produto.

CIRCUITO DE CARGA 1



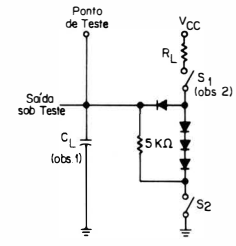
SAÍDA TOTEM-POLE

CIRCUITO DE CARGA 2



SAÍDA COM COLETOR EM ABERTO

CIRCUITO DE CARGA 3



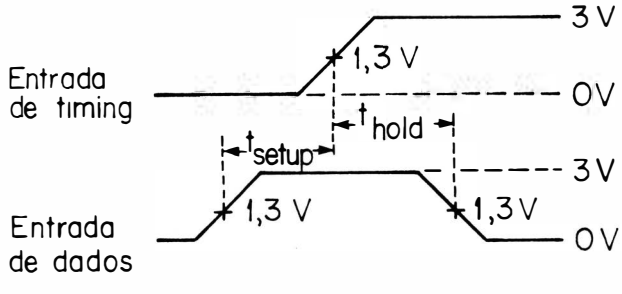
SAÍDA TRI-STATE

1. C_L inclui as capacitâncias do equipamento e acessórios de teste; 2. Todos os diodos são IN916 ou IN3064.

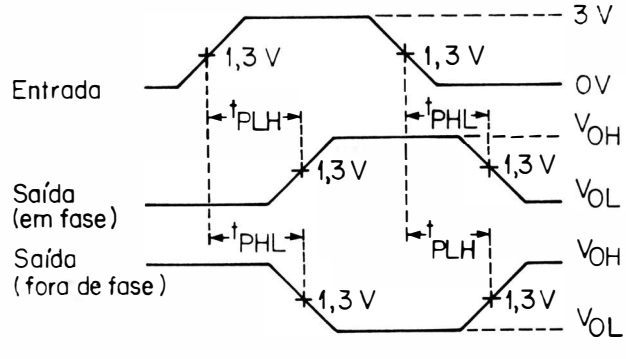
Formas de Onda

As formas de onda (para as tensões) observadas nos circuitos TTL série 74 LS são citadas abaixo.
Os pulsos de entrada são fornecidos por geradores com PRR $\leqslant$ 1 MH_Z, $Z_{OUT} = 50\,\Omega$, $T_R \leqslant 15$ ns e $T_F \leqslant 6$ ns.

Tempo de Set Up e Hold

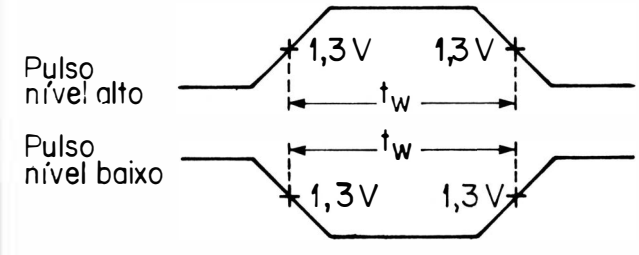


Atrasos de Propagação

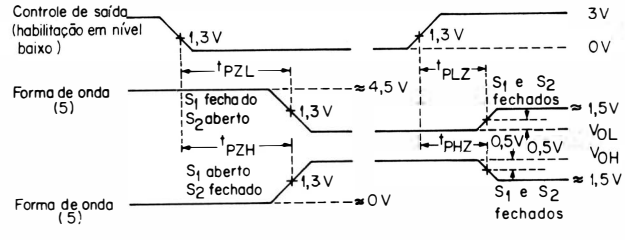


(*) Para dispositivos com saídas tri-state, as chaves S_1 e S_2 do circuito de carga 3 estão fechadas.

Largura de Pulso



Para Saídas Tri-Sstate



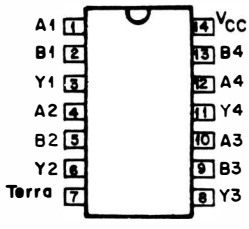
(*) A forma de onda 1 é válida para uma saída cujas condições internas são tais que a saída permanece em nível baixo, exceto quando desabilitada pelo controle de saída.

(**) A forma de onda 2 é válida para uma saída cujas condições internas são tais que a saída permanece em nível alto, exceto quando desabilitada pelo controle de saída.

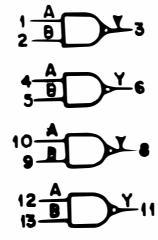
IC 74LS00

QUATRO PORTAS NAND POSITIVAS
DE DUAS ENTRADAS

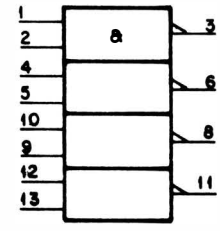
PINAGEM



ESQUEMA LÓGICO



SIMBOLOGIA IEC



CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	NOM.	MÁX.	
V_{CC}	Tensão de alimentação	4,75	5,0	5,25	V
V_{IH}	Tensão de entrada - nível alto	2			V
V_{IL}	Tensão de entrada - nível baixo			0,8	V
I_{OH}	Corrente de saída - nível alto			−400	μA
I_{OL}	Corrente de saída - nível baixo			8	mA
T_A	Temperatura de operação	0		70	°C

TABELA DA VERDADE

ENTRADAS		SAÍDAS
A	B	Y
L	L	H
L	H	H
H	L	H
H	H	L

H = nível alto
L = nível baixo

CARACTERÍSTICAS DC

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE[3]	
		MÍN.	TÍP.[1]	MÁX.			
V_{IK}	Tensão de proteção			−1,5	V	V_{CC} = MÍN.; I_I = − 18 mA	
V_{OH}	Tensão de saída - nível alto	2,7	3,4		V	V_{CC} = MÍN.; V_{IL} e I_{OH} = −0,4 mA	
V_{OL}	Tensão de saída - nível baixo		0,35	0,5	V	I_{OL} = 8 mA	V_{CC} = MÍN.
			0,25	0,4	V	I_{OL} = 4 mA	V_{IH} = 2 V
I_I	Corrente de entrada para máxima tensão de entrada			0,1	mA	V_{CC} = MÁX.	V_I = 7 V
I_{IH}	Corrente de entrada - nível alto			20	μA	V_{CC} = MÁX.	V_I = 2,7 V
I_{IL}	Corrente de entrada - nível baixo			−0,4	mA	V_{CC} = MÁX.	V_I = 0,4 V
I_{OS}	Corrente de curto circuito na saída[2]	−20		−100	mA	V_{CC} = MÁX.	
I_{CCH}	Corrente de alimentação - saídas em nível alto		0,8	1,6	mA	V_{CC} = MÁX.	V_I = 0 V
I_{CCL}	Corrente de alimentação - saídas em nível baixo		2,4	4,4	mA	V_{CC} = MÁX.	V_I = 4,5 V

OBSERVAÇÕES:

1) Obtidos com V_{CC} = 5 V e T_A = 25°C.

2) Não mais que uma saída em curto no mesmo instante e a duração do curto circuito não deve ser superior a 1 s.

CARACTERÍSTICAS AC: T_A = 25°C e V_{CC} = 5V

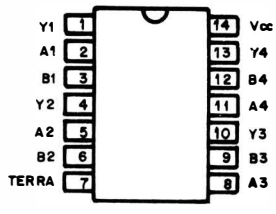
SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TÍP.	MÁX.		
t_{PLH}	Atraso de propagação - saída L → H		9	15	ns	C_L = 15 pF
t_{PHL}	Atraso de propagação - saída H → L		10	15	ns	R_L = 2 KΩ

Vide formas de onda e circuitos de carga.

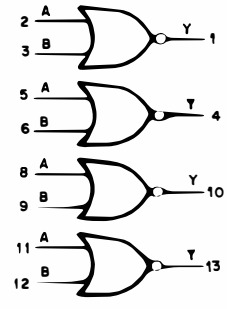
IC 74LS02

QUATRO PORTAS NOR DE DUAS ENTRADAS

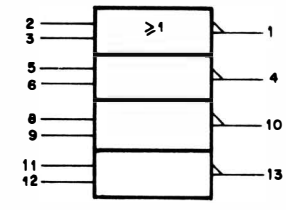
PINAGEM



ESQUEMA LÓGICO



SIMBOLOGIA IEC



CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	NOM.	MÁX.	
V_{CC}	Tensão de alimentação	4,75	5,0	5,25	V
V_{IH}	Tensão de entrada - nível alto	2			V
V_{IL}	Tensão de entrada - nível baixo			0,8	V
I_{OH}	Corrente de saída - nível alto			− 400	μA
I_{OL}	Corrente de de saída - nível baixo			8	mA
T_A	Temperatura de operação	0		70	°C

TABELA DA VERDADE

ENTRADAS		SAÍDAS
A	B	Y
H	X	L
X	H	L
L	L	H

H = nível alto L = nível baixo

X = irrelevante

CARACTERÍSTICAS DC

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE[1]	
		MÍN.	TÍP.[2]	MÁX.			
V_{IK}	Tensão de proteção			− 1,5	V	V_{CC} = MÍN.; I_I = − 18 mA	
V_{OH}	Tensão de saída - nível alto	2,7	3,4		V	V_{CC} = MÍN.; V_{IL} e I_{OH} = MÁX.	
V_{OL}	Tensão de saída - nível baixo		0,35	0,5	V	I_{OL} = 8 mA	V_{CC} = MÍN.
			0,25	0,4	V	I_{OL} = 4 mA	V_{IH} = 2 V
I_I	Corrente de entrada para máxima tensão de entrada			0,1	mA	V_{CC} = MÁX.	V_I = 7 V
I_{IH}	Corrente de entrada - nível alto			20	μA	V_{CC} = MÁX.	V_I = 2,7 V
I_{IL}	Corrente de entrada - nível baixo			− 0,4	mA	V_{CC} = MÁX.	V_I = 0,4 V
I_{OS}	Corrente de curto circuito na saída[3]	− 20		− 100	mA	V_{CC} = MÁX.	
I_{CCH}	Corrente de alimentação - saídas em nível alto		1,6	3,2	mA	V_{CC} = MÁX.	
I_{CCL}	Corrente de alimentação - saídas em nível baixo		2,8	5,4	mA	V_{CC} = MÁX.	

OBSERVAÇÕES:

1) Para as condições apresentadas como MÍN. e MÁX., use o valor apropriado especificado em Condições de Operação Recomendadas.

2) Obtidos com V_{CC} = 5V e T_A = 25°C.

3) Não mais que uma saída em curto no mesmo instante e a duração do curto não deve ser superior a 1s.

CARACTERÍSTICAS AC: T_A = 25°C e V_{CC} = 5V

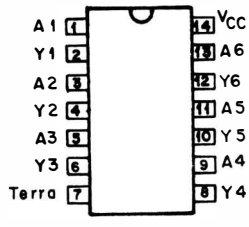
SÍMBOLO	PARÂMETRO	DE (ENTRADA)	PARA (SAÍDA)	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
				MÍN.	TÍP.	MÁX.		
t_{PLH}	Atraso de propagação - L → H	A ou B	Y		10	15	ns	C_L = 15 pF
t_{PHL}	Atraso de propagação - H → L	A ou B	Y		10	15	ns	R_L = 2 KΩ

Vide formas de onda e circuitos de carga.

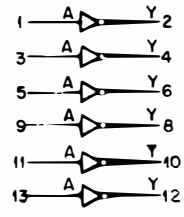
IC 74LS04

SEIS INVERSORES

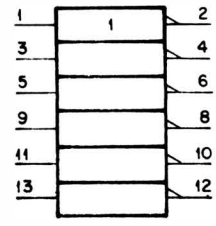
PINAGEM



ESQUEMA LÓGICO



SIMBOLOGIA IEC



CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	NOM.	MÁX.	
V_{CC}	Tensão de alimentação	4,75	5,0	5,25	V
V_{IH}	Tensão de entrada - nível alto	2			V
V_{IL}	Tensão de entrada - nível baixo			0,8	V
I_{OH}	Corrente de saída - nível alto			−400	µA
I_{OL}	Corrente de saída - nível baixo			8	mA
T_A	Temperatura de operação	0		70	°C

TABELA DA VERDADE

ENTRADAS	SAÍDAS
A	Y
L	H
H	L

H = nível alto
L = nível baixo.

CARACTERÍSTICAS DC

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE(3)	
		MÍN.	TÍP.(1)	MÁX.			
V_{IK}	Tensão de proteção			−1,5	V	V_{CC} = MÍN.; I_I = − 18 mA	
V_{OH}	Tensão de saída - nível alto	2,7	3,4		V	V_{CC} = MÍN.; V_{IL} e I_{OH} = −0,4 mA	
V_{OL}	Tensão de saída - nível baixo		0,25	0,5	V	I_{OL} = 8 mA	V_{CC} = MÍN.
				0,4	V	I_{OL} = 4 mA	V_{IH} = 2 V
I_I	Corrente de entrada para máxima tensão de entrada			0,1	mA	V_{CC} = MÁX.	V_I = 7 V
I_{IH}	Corrente de entrada - nível alto			20	µA	V_{CC} = MÁX.	V_I = 2,7 V
I_{IL}	Corrente de entrada - nível baixo			−0,4	mA	V_{CC} = MÁX.	V_I = 0,4 V
I_{OS}	Corrente de curto circuito na saída(2)	−20		−100	mA	V_{CC} = MÁX.	
I_{CCH}	Corrente de alimentação - saídas em nível alto		1,2	2,4	mA	V_{CC} = MÁX.	V_I = 0 V
I_{CCL}	Corrente de alimentação - saídas em nível baixo		3,6	6,6	mA	V_{CC} = MÁX.	V_I = 4,5 V

OBSERVAÇÕES:

1) Obtidos com V_{CC} = 5 V e T_A = 25°C.

2) Não mais que uma saída em curto no mesmo instante e a duração do curto circuito não deve ser superior a 1 s.

CARACTERÍSTICAS AC: T_A = 25°C e V_{CC} = 5V

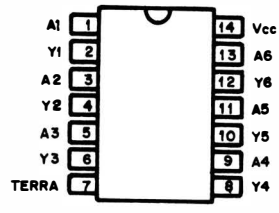
SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TÍP.	MÁX.		
t_{PLH}	Atraso de propagação - saída L → H		9	15	ns	C_L = 15 pF
t_{PHL}	Atraso de propagação - saída H → L		10	15	ns	R_L = 2 KΩ

Vide formas de onda e circuitos de carga.

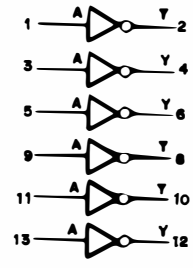
SEIS INVERSORES - SAÍDAS COM COLETOR ABERTO

IC 74LS05

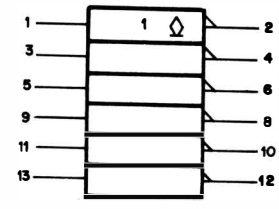
PINAGEM



ESQUEMA LÓGICO



SIMBOLOGIA IEC



CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	NOM.	MÁX.	
V_{CC}	Tensão de alimentação	4,75	5,0	5,25	V
V_{IH}	Tensão de entrada - nível alto	2			V
V_{IL}	Tensão de entrada - nível baixo			0,8	V
T_A	Temperatura de operação	0		70	°C

TABELA DA VERDADE

ENTRADAS	SAÍDAS
A	Y
L	H
H	L

H = nível alto L = nível baixo

CARACTERÍSTICAS DC

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE[2]	
		MÍN.	TÍP.[1]	MÁX.			
V_{IK}	Tensão de proteção		−0,65	−1,5	V	V_{CC} = MÍN.; I_I = − 18 mA	
I_{OH}	Corrente de saída - nível alto			0,1	mA	V_{CC} = MÍN.; V_I = V_{IL}; V_{OH} = 5,5V	
V_{OL}	Tensão de saída - nível baixo		0,35	0,5	V	I_{OL} = 8 mA	V_{CC} = MÍN.
			0,25	0,4	V	I_{OL} = 4 mA	V_I = 2 V
I_I	Corrente de entrada para máxima tensão de entrada			0,1	mA	V_{CC} = MÁX.	V_I = 7 V
I_{IH}	Corrente de entrada - nível alto			20	μA	V_{CC} = MÁX.	V_I = 2,7 V
I_{IL}	Corrente de entrada - nível baixo			−0,4	mA	V_{CC} = MÁX.	V_I = 0,4 V
I_{CCH}	Corrente de alimentação - saídas em nível alto			2.4	mA	V_{CC} = MÁX.	V_I = 0V
I_{CCL}	Corrente de alimentação - saídas em nível baixo			6.6	mA	V_{CC} = MÁX.	V_I = 4,5 V

OBSERVAÇÕES:

1) Obtidos com V_{CC} = 5 V e T_A = 25°C.

2) Para as condições apresentadas como MÍN. e MÁX., use o valor apropriado especificado em Condições de Operação Recomendadas.

CARACTERÍSTICAS AC: T_A = 25°C e V_{CC} = 5V

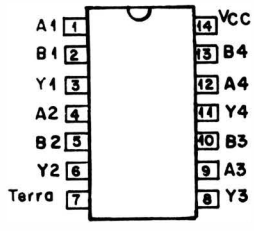
SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TÍP.	MÁX.		
t_{PLH}	Atraso de propagação - L → H		17	32	ns	C_L = 15 pF
t_{PHL}	Atraso de propagação - H → L		15	28	ns	R_L = 2 K Ω

Vide formas de onda e circuitos de carga.

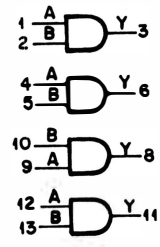
IC 74LS08

QUATRO PORTAS AND POSITIVAS
DE DUAS ENTRADAS

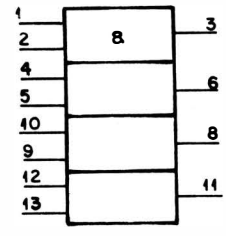
PINAGEM



ESQUEMA LÓGICO



SIMBOLOGIA IEC



CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	NOM.	MÁX.	
V_{CC}	Tensão de alimentação	4,75	5,0	5,25	V
V_{IH}	Tensão de entrada - nível alto	2			V
V_{IL}	Tensão de entrada - nível baixo			0,8	V
I_{OH}	Corrente de saída - nível alto			−400	μA
I_{OL}	Corrente de saída - nível baixo			8	mA
T_A	Temperatura de operação	0		70	°C

TABELA DA VERDADE

ENTRADAS		SAÍDAS
A	B	Y
L	L	L
L	H	L
H	L	L
H	H	H

H = nível alto
L = nível baixo

CARACTERÍSTICAS DC

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE	
		MÍN.	TÍP.(1)	MÁX.			
V_{IK}	Tensão de proteção			−1,5	V	V_{CC} = MÍN.; I_I = − 18 mA	
V_{OH}	Tensão de saída - nível alto	2,7	3,4		V	V_{CC} = MÍN.; V_{IH} = 2 V; I_{OH} = MÁX.	
V_{OL}	Tensão de saída - nível baixo		0,35	0,5	V	I_{OL} = MÁX.	V_{CC} = MÍN.
			0,25	0,4	V	I_{OL} = 4 mA	V_{IH} = 2 V
I_I	Corrente de entrada para máxima tensão de entrada			0,1	mA	V_{CC} = MÁX.	V_I = 7 V
I_{IH}	Corrente de entrada - nível alto			20	μA	V_{CC} = MÁX.	V_I = 2,7 V
I_{IL}	Corrente de entrada - nível baixo			−0,4	mA	V_{CC} = MÁX.	V_I = 0,4 V
I_{OS}(2)	Corrente de curto circuito na saída	−20		−100	mA	V_{CC} = MÁX.	
I_{CCH}	Corrente de alimentação - saídas em nível alto		2,4	4,8	mA	V_{CC} = MÁX.	V_I = 4,5 V
I_{CCL}	Corrente de alimentação - saídas em nível baixo		4,4	8,8	mA	V_{CC} = MÁX.	V_I = 0,0 V

OBSERVAÇÕES:

1) Obtidos com V_{CC} = 5 V e T_A = 25°C

2) Não mais que uma saída em curto no mesmo instante e a duração do curto circuito não deve ser superior a 1 s

CARACTERÍSTICAS AC: T_A = 25°C e V_{CC} = 5 V

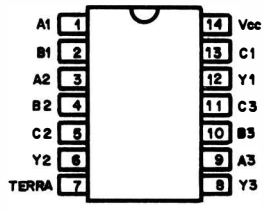
SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TÍP.	MÁX.		
t_{PLH}	Atraso de propagação (saídas L → H)		8	15	ns	C_L = 15 pF
t_{PHL}	Atraso de propagação (saídas H → L)		10	20	ns	R_L = 2 KΩ

Vide formas de onda e circuitos de carga.

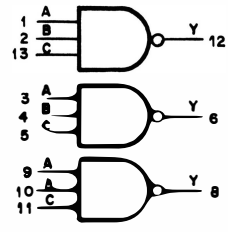
TRÊS PORTAS NAND DE TRÊS ENTRADAS

IC 74LS10

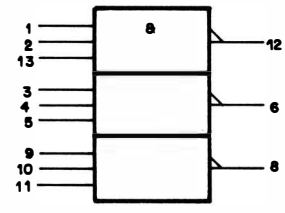
PINAGEM



ESQUEMA LÓGICO



SIMBOLOGIA IEC



CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	NOM.	MÁX.	
V_{CC}	Tensão de alimentação	4,75	5,0	5,25	V
V_{IH}	Tensão de entrada - nível alto	2			V
V_{IL}	Tensão de entrada - nível baixo			0,8	V
T_A	Temperatura de operação	0		70	°C

TABELA DA VERDADE

ENTRADAS			SAÍDAS
A	B	C	Y
H	H	H	L
L	X	X	H
X	L	X	H
X	X	L	H

H = nível alto X = irrelevante

L = nível baixo

CARACTERÍSTICAS DC

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE[1]	
		MÍN.	TÍP.[2]	MÁX.			
V_{IK}	Tensão de proteção		−0,65	−1,5	V	V_{CC} = MÍN.; I_I = − 18 mA	
V_{OH}	Tensão de saída - nível alto	2,7	3,4		V	V_{CC} = MÍN.; I_{OH} = −400μA, V_I = V_{IL}	
V_{OL}	Tensão de saída - nível baixo		0,35	0,5	V	I_{OL} = 8 mA	V_{CC} = MÍN.
			0,25	0,4	V	I_{OL} = 4 mA	V_{IH} = 2 V
I_I	Corrente de entrada para máxima tensão de entrada			0,1	mA	V_{CC} = MÁX.	V_I = 7 V
I_{IH}	Corrente de entrada - nível alto		1,0	20	μA	V_{CC} = MÁX.	V_I = 2,7 V
I_{IL}	Corrente de entrada - nível baixo			−0,36	mA	V_{CC} = MÁX.	V_I = 0,4 V
I_{OS}	Corrente de curto circuito na saída[3]	−20		−100	mA	V_{CC} = MÁX.	
I_{CCH}	Corrente de alimentação - saídas em nível alto		0,6	1,2	mA	V_{CC} = MÁX.	V_I = 0V
I_{CCL}	Corrente de alimentação - saídas em nível baixo		1,8	3,3	mA	V_{CC} = MÁX.	

OBSERVAÇÕES:

1) Para as condições apresentadas como MÍN. e MÁX., use o valor apropriado especificado em Condições de Operação Recomendadas.

2) Obtidos com V_{CC} = 5V e T_A = 25°C.

3) Não mais que uma saída em curto no mesmo instante e a duração do curto não deve ser superior a 1s.

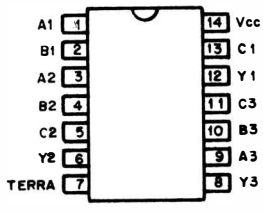
CARACTERÍSTICAS AC: T_A = 25°C e V_{CC} = 5V

SÍMBOLO	PARÂMETRO	DE (ENTRADA)	PARA (SAÍDA)	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
				MÍN.	TÍP.	MÁX.		
t_{PLH}	Atraso de propagação - L → H	A, B ou C	Y		9	15	ns	C_L = 15 pF
t_{PHL}	Atraso de propagação - H → L	A, B ou C	Y		10	15	ns	

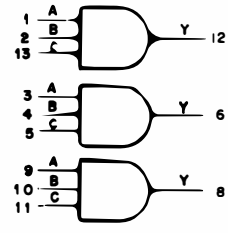
Vide formas de onda e circuitos de carga.

IC 74LS11

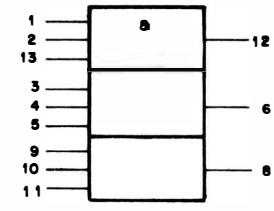
PINAGEM



ESQUEMA LÓGICO



SIMBOLOGIA IEC



CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN	NOM.	MÁX.	
V_{CC}	Tensão de alimentação	4,75	5,0	5,25	V
V_{IH}	Tensão de entrada - nível alto	2			V
V_{IL}	Tensão de entrada - nível baixo			0,8	V
I_{OH}	Corrente de saída - nível alto			-0,4	mA
I_{OL}	Corrente de saída - nível baixo			8	mA
T_A	Temperatura de operação	0		70	°C

TABELA VERDADE

ENTRADAS		SAÍDAS
A	B-C	Y
L	L	L
H	L	L
L	H	L
H	H	H

CARACTERÍSTICAS DC

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE	
		MÍN.	TÍP.(1)	MÁX.			
V_{IK}	Tensão de proteção			-1,5	V	V_{CC} = MÍN.; I_I = -18 mA	
V_{OH}	Tensão de saída - nível alto	2,7	3,4		V	V_{CC} = MÍN.; V_{IH} = 2V; I_{OH} = -0,4 mA	
V_{OL}	Tensão de saída - nível baixo		0,25	0,4	V	I_{OL} = 4 mA	V_{CC} = MÍN.; V_{IL} = MÁX.
			0,35	0,5	V	I_{OL} = 8 mA	
I_I	Corrente de entrada para máxima tensão de entrada			0,1	mA	V_{CC} = MÁX.; V_I = 7V	
I_{IH}	Corrente de entrada - nível alto			20	μA	V_{CC} = MÁX.; V_I = 2,7V	
I_{IL}	Corrente de entrada - nível baixo			-0,4	mA	V_{CC} = MÁX.; V_I = 0,4V	
I_{OS}	Corrente de curto circuito na saída(2)	-20		-100	mA	V_{CC} = MÁX.	
I_{CCH}	Corrente de alimentação - saída em nível alto		1,8	3,6	mA	V_{CC} = MÁX.; V_I = 4,5V	
I_{CCL}	Corrente de alimentação - saídas em nível baixo		3,3	6,6	mA	V_{CC} = MÁX.; V_I = OV	

OBSERVAÇÕES:
1) Obtidos com V_{CC} = 5V e T_A = 25°C.
2) Não mais que uma saída em curto no mesmo instante e a duração do curto circuito não deve ser superior a 1s.

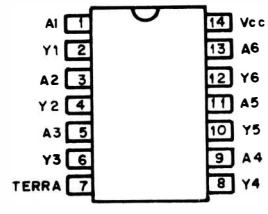
CARACTERÍSTICAS AC

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TÍP.	MÁX.		
t_{PLH}	Atraso de propragação, saídas L → H		8	15	ns	R_L = 2KΩ; V_{CC} = 5V
t_{PHL}	Atraso de propagação, saídas H → L		10	20	ns	C_L = 15 pF; T_A = 25°C

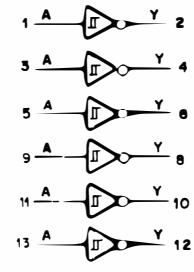
Vide formas de onda e circuitos de carga.

IC 74LS14

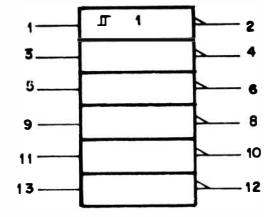
PINAGEM



ESQUEMA LÓGICO



SIMBOLOGIA IEC



CARACTERÍSTICAS AC - T_A = 25°C, V_{CC} = 5V

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TÍP.	MÁX.		
t_{PLH}	Atraso de propagação L → H		15	22	ns	R_L = 2KΩ; C_L = 15 pF
t_{PHL}	Atraso de propagação H → L		15	22	ns	

Vide formas de onda e circuitos de carga.

CARACTERÍSTICAS DC

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE[1]
		MÍN.	TÍP.[2]	MÁX.		
V_{T+}	Tensão de limiar da transição positiva	1,4	1,6	1,9	V	V_{CC} = 5V
V_{T-}	Tensão de limiar da transição negativa	0,5	0,8	1	V	V_{CC} = 5V
	Histerese	0,4	0,8		V	V_{CC} = 5V
V_{IK}	Tensão de proteção			-1,5	V	V_{CC} = MÍN.; I_I = -18 mA
V_{OH}	Tensão de saída - nível alto	2,7	3,4		V	V_{CC} = MÍN.; V_I = 0,5V; I_{OH} = -0,4 mA
V_{OL}	Tensão de saída - nível baixo		0,25	0,4	V	I_{OL} = 4 mA; V_{CC} = MÍN.; V_I = 1,9V
			0,35	0,5	V	I_{OL} = 8 mA; V_{CC} = MÍN.; V_I = 1,9V
I_{T+}	Corrente no limiar da transição positiva		-0,14		mA	V_{CC} = 5V; V_I = V_{T+}
I_{T-}	Corrente no limiar da transição negativa		-0,18		mA	V_{CC} = 5V; V_I = V_T
I_I	Corrente de entrada para a máxima tensão de entrada			0,1	mA	V_{CC} = MÁX.; V_I = 7V
I_{IH}	Corrente de entrada - nível alto			20	μA	V_{CC} = MÁX.; V_{IH} = 2,7V
I_{IL}	Corrente de entrada - nível baixo			-0,4	mA	V_{CC} = MÁX.; V_{IL} = 0,4V
I_{OS}[3]	Corrente de curto circuito na saída	-20		-100	mA	V_{CC} = MÁX.
I_{CCH}	Corrente de alimentação - saídas em nível alto		8,6	16	mA	V_{CC} = MÁX.
I_{CCL}	Corrente de alimentação - saídas em nível baixo		12	21	mA	V_{CC} = MÁX.

OBSERVAÇÕES:
1) Para as condições apresentadas com MÍN. e MÁX., use o valor apropriado especificado em Condições de Operação Recomendadas.
2) Obtidos com V_{CC} = 5V e T_A = 25°C.
3) Não mais que uma saída em curto no mesmo instante e a duração do curto circuito não deve ser superior a 1s.

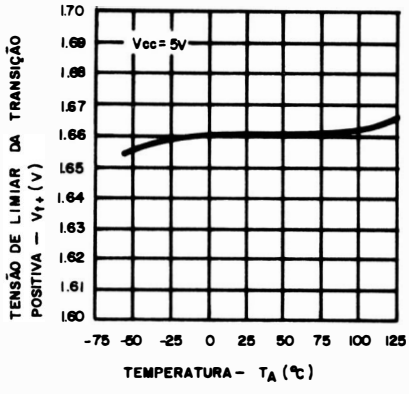
CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	NOM.	MÁX.	
V_{CC}	Tensão de alimentação	4,75	5,0	5,25	V
I_{OH}	Corrente de Saída - nível alto			-0,4	mA
I_{OL}	Corrente de saída - nível baixo			8	mA
T_A	Temperatura de operação	0		70	°C

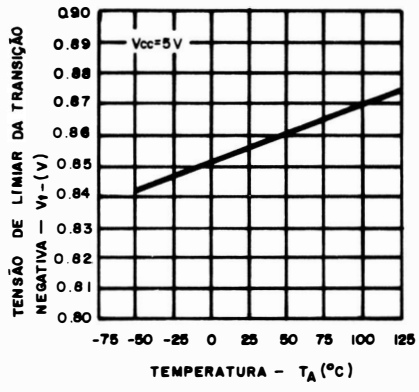
TABELA DA VERDADE

ENTRADAS	SAÍDAS
A	Y
L	H
H	L

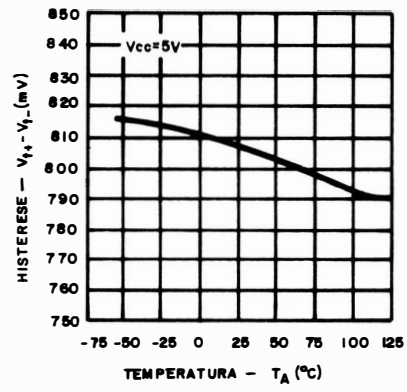
TENSÃO DE LIMIAR DA TRANSIÇÃO POSITIVA × TEMPERATURA



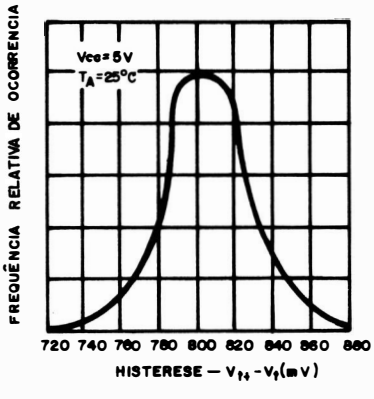
TENSÃO DE LIMIAR DA TRANSIÇÃO NEGATIVA × TEMPERATURA



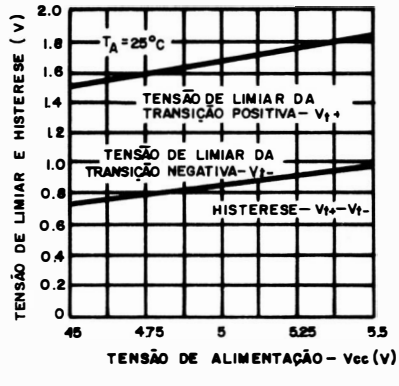
HISTERESE × TEMPERATURA



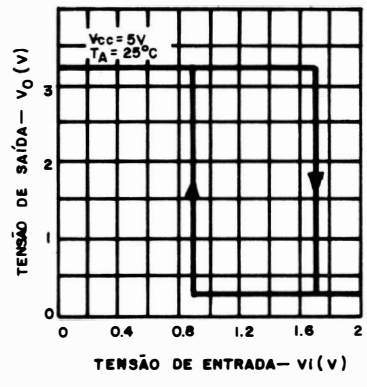
FREQÜÊNCIA RELATIVA DE OCORRÊNCIA × HISTERESE



TENSÃO DE LIMIAR E HISTERESE × TENSÃO DE ALIMENTAÇÃO



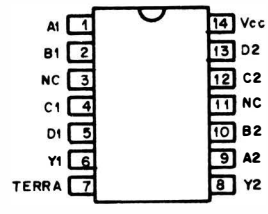
TENSÃO DE SAÍDA × TENSÃO DE ENTRADA



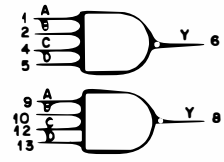
IC 74LS20

DUAS PORTAS NAND DE QUATRO ENTRADAS

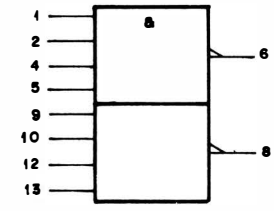
PINAGEM



ESQUEMA LÓGICO



SIMBOLOGIA IEC



CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	NOM.	MÁX.	
V_{CC}	Tensão de alimentação	4,75	5,0	5,25	V
V_{IH}	Tensão de entrada - nível alto	2			V
V_{IL}	Tensão de entrada - nível baixo			0,8	V
T_A	Temperatura de operação	0		70	°C

TABELA DA VERDADE

ENTRADAS				SAÍDAS
A	B	C	D	Y
H	H	H	H	L
L	X	X	X	H
X	L	X	X	H
X	X	L	X	H
X	X	X	L	H

H = Nível alto
L = Nivel baixo
X = Irrelevante

CARACTERÍSTICAS DC

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TÍP.(1)	MÁX.		
V_{IK}	Tensão de proteção		-0,65	-1,5	V	V_{CC} = MÍN.; I_I = -18 mA
V_{OH}	Tensão de saída - nível alto	2,7	3,4		V	V_{CC} = MÍN.; V_{IL} = MÁX.; I_{OH} = -0,4 mA
V_{OL}	Tensão de saída - nível baixo			0,4	V	I_{OL} = 4 mA; V_{CC} = MÍN.; V_{IH} = 2V
			0,35	0,5	V	I_{OL} = 8 mA; V_{CC} = MÍN.; V_{IH} = 2V
I_I	Corrente de entrada para máxima tensão de entrada			0,1	mA	V_{CC} = MÁX.; V_I = 7V
I_{IH}	Corrente de entrada - nível alto		1,0	20	μA	V_{CC} = MÁX.; V_I = 2,7V
I_{IL}	Corrente de entrada - nível baixo			-0,4	mA	V_{CC} = MÁX.; V_I = 0,4V
I_{OS}(2)	Corrente de curto circuito na saída	-20		-100	mA	V_{CC} = MÁX.
I_{CCH}	Corrente de alimentação - saída em nível alto		0,4	0,8	mA	V_{CC} = MÁX.; V_I = 0V
I_{CCL}	Corrente de alimentação - saídas em nível baixo		1,2	2,2	mA	V_{CC} = MÁX.; entradas em aberto

OBSERVAÇÕES:
1) Obtidos com V_{CC} = 5V e T_A = 25°C.
2) Não mais que uma saída em curto no mesmo instante e a duração do curto circuito não deve ser superior a 1s.

CARACTERÍSTICAS AC - V_{CC} = 5V, T_A = 25°C

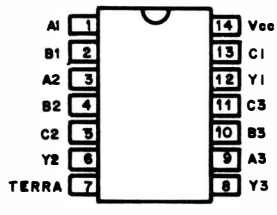
SÍMBOLO	PARÂMETRO	ENTRADA	SAÍDA	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
				MÍN.	TÍP.	MÁX.		
t_{PLH}	Atraso de propagação	Qualquer	Y		9	15	ns	C_L = 15 pF; V_{CC} = 5,0V
t_{PHL}					10	15		

Vide formas de onda e circuitos de carga.

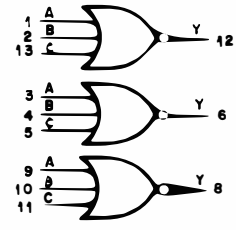
TRÊS PORTAS NOR DE TRÊS ENTRADAS

IC 74LS27

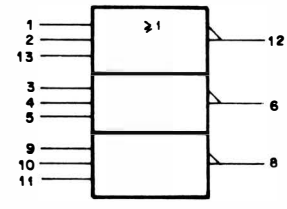
PINAGEM



ESQUEMA LÓGICO



SIMBOLOGIA IEC



CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	NOM.	MÁX.	
V_{CC}	Tensão de alimentação	4,75	5,0	5,25	V
V_{IH}	Tensão de entrada - nível alto	2			V
V_{IL}	Tensão de entrada - nível baixo			0,8	V
I_{OH}	Corrente de saída - nível alto			−400	μA
I_{OL}	Corrente de de saída - nível baixo			8	mA
T_A	Temperatura de operação	0		70	°C

TABELA DA VERDADE

ENTRADAS			SAÍDAS
A	B	C	Y
H	X	X	L
X	H	X	L
X	X	H	L
L	L	L	H

H = nível alto
X = irrelevante
L = nível baixo

CARACTERÍSTICAS DC

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE[1]	
		MÍN.	TÍP.[2]	MÁX.			
V_{IK}	Tensão de proteção			−1,5	V	V_{CC} = MÍN.; I_I = − 18 mA	
V_{OH}	Tensão de saída - nível alto	2,7	3,4		V	V_{CC} = MÍN.; V_{IL} e I_{OH} = MÁX.	
V_{OL}	Tensão de saída - nível baixo		0,35	0,5	V	I_{OL} = 8 mA	V_{CC} = MÍN.
			0,25	0,4	V	I_{OL} = 4 mA	V_{IH} = 2 V
I_I	Corrente de entrada para máxima tensão de entrada			0,1	mA	V_{CC} = MÁX.	V_I = 7 V
I_{IH}	Corrente de entrada - nível alto			20	μA	V_{CC} = MÁX.	V_I = 2,7 V
I_{IL}	Corrente de entrada - nível baixo			−0,4	mA	V_{CC} = MÁX.	V_I = 0,4 V
I_{OS}	Corrente de curto circuito na saída[3]	−20		−100	mA	V_{CC} = MÁX.	
I_{CCH}	Corrente de alimentação - saídas em nível alto		2	4	mA	V_{CC} = MÁX.	
I_{CCL}	Corrente de alimentação - saídas em nível baixo		3,4	6,8	mA	V_{CC} = MÁX.	

OBSERVAÇÕES:

1) Para as condições apresentadas como MÍN. e MÁX., use o valor apropriado especificado em Condições de Operação Recomendadas.

2) Obtidos com V_{CC} = 5V e T_A = 25°C.

3) Não mais que uma saída em curto no mesmo instante e a duração do curto não deve ser superior a 1s.

CARACTERÍSTICAS AC: T_A = 25°C e V_{CC} = 5V

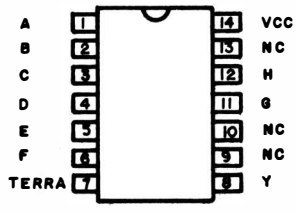
SÍMBOLO	PARÂMETRO	DE (ENTRADA)	PARA (SAÍDA)	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
				MÍN.	TÍP.	MÁX.		
t_{PLH}	Atraso de propagação - L → H	A, B ou C	Y		10	15	ns	C_L = 15 pF
t_{PHL}	Atraso de propagação - H → L	A, B ou C	Y		10	15	ns	R_L = 2 KΩ

Vide formas de onda e circuitos de carga.

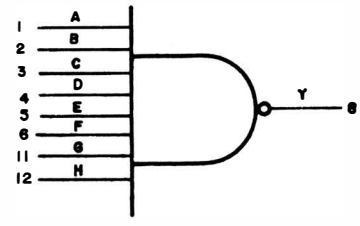
IC 74LS30

PORTA NAND DE OITO ENTRADAS

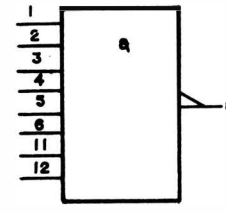
PINAGEM



ESQUEMA LÓGICO



SIMBOLOGIA IEC



CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	TÍP.	MÁX.	
V_{CC}	Tensão de alimentação	4,75	5	5,25	V
T_A	Temperatura de operação	0		70	°C

TABELA DA VERDADE

ENTRADAS								SAÍDA
A	B	C	D	E	F	G	H	Y
L	X	X	X	X	X	X	X	H
X	L	X	X	X	X	X	X	H
X	X	L	X	X	X	X	X	H
X	X	X	L	X	X	X	X	H
X	X	X	X	L	X	X	X	H
X	X	X	X	X	L	X	X	H
X	X	X	X	X	X	L	X	H
X	X	X	X	X	X	X	L	H
H	H	H	H	H	H	H	H	L

CARACTERÍSTICAS DC
(ao longo da faixa de temperaturas de operação)

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE (1)
		MÍN.	TÍP.	MÁX.		
V_{IH}	Tensão de entrada - nível alto	2			V	Nível alto recomendado na entrada
V_{IL}	Tensão de entrada - nível baixo			08	V	Nível baixo recomendado na entrada
V_{IK}	Tensão de grampeamento na entrada		−0,65	−1,5	V	V_{CC} = Mín., I_{IN} = −18 mA
V_{OH}	Tensão de saída - nível alto	2,7	3,4		V	V_{CC} = Mín., I_{OH} = −400 μA, V_{IN} = V_{IL}
V_{OL}	Tensão de saída - nível baixo		0,25	0,4	V	I_{OL} = 4 mA; V_{CC} = Mín., V_{IN} = 2 V
			0,35	0,5		I_{OL} = 8 mA
I_{IH}	Corrente de entrada - nível alto		1	20	mA	V_{CC} = Máx., V_{IN} = 2,7 V
				0,1	mA	V_{CC} = Máx., V_{IN} = 7 V
I_{IL}	Corrente de entrada - nível baixo			−0,4	mA	V_{CC} = Máx. V_{IN} = 0,4 V
I_{OS}	Corrente de curto na saída(2)	−20		−100	mA	V_{CC} = Máx., V_{OUT} = 0 V
I_{CCH}	Corrente de alimentação - nível alto		0,35	0,5	mA	V_{CC} = Máx., V_{IN} = 0 V
I_{CCL}	Corrente de alimentação - nível baixo		0,6	1,1	mA	V_{CC} = Máx., entradas abertas

CARACTERÍSTICAS AC (T_A = 25°C)

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TÍP.	MÁX.		
t_{PLH}	Atraso ao desativar, da entrada para a saída		8	15	ns	V_{CC} = 5 V C_L = 15 pF
t_{PHL}	Atraso ao ativar, da entrada para a saída		13	20	ns	

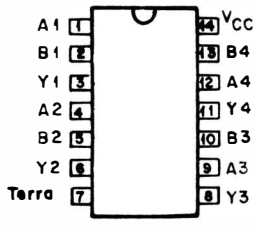
OBSERVAÇÕES:

1) Para as condições apresentadas como Mínimo ou Máximo, utilize o valor adequado, especificado nas Condições de Operação Recomendadas.
2) Não se deve curto-circuitar mais de uma saída por vez.
3) Os valores típicos referem-se a V_{CC} = 5 V e T_A = 25°C.

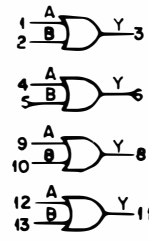
IC 74LS32

QUATRO PORTAS OR POSITIVAS DE DUAS ENTRADAS

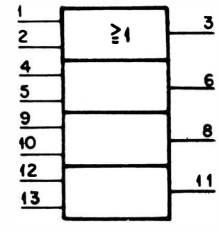
PINAGEM



ESQUEMA LÓGICO



SIMBOLOGIA IEC



CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	NOM.	MÁX.	
V_{CC}	Tensão de alimentação	4,75	5,0	5,25	V
V_{IH}	Tensão de entrada - nível alto	2			V
V_{IL}	Tensão de entrada - nível baixo			0,8	V
I_{OH}	Corrente de saída - nível alto			−400	µA
I_{OL}	Corrente de saída - nível baixo			8	mA
T_A	Temperatura de operação	0		70	°C

TABELA DA VERDADE

ENTRADAS		SAÍDAS
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	H

H = nível alto
L = nível baixo

CARACTERÍSTICAS DC

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE	
		MÍN.	TÍP.(1)	MÁX.			
V_{IK}	Tensão de proteção			−1,5	V	V_{CC} = MÍN.; I_I = − 18 mA	
V_{OH}	Tensão de saída - nível alto	2,7	3,4		V	V_{CC} = MÍN.	I_{OH} = 0,4 mA; V_{IH} = 2 V
V_{OL}	Tensão de saída - nível baixo		0,35	0,5	V	I_{OL} = 8 mA	V_{CC} = MÍN.
			0,25	0,4	V	I_{OL} = 4 mA	V_{IL} = MÁX.
I_I	Corrente de entrada para máxima tensão de entrada			0,1	mA	V_{CC} = MÁX.	V_I = 7 V
I_{IH}	Corrente de entrada - nível alto			20	µA	V_{CC} = MÁX.	V_I = 2,7 V
I_{IL}	Corrente de entrada - nível baixo			−0,4	mA	V_{CC} = MÁX.	V_I = 0,4 V
I_{OS}	Corrente de curto circuito na saída(2)	−20		−100	mA	V_{CC} = MÁX.	
I_{CCH}	Corrente de alimentação - saídas em nível alto		3,1	6,2	mA	V_{CC} = MÁX.	
I_{CCL}	Corrente de alimentação - saídas em nível baixo		4,9	9,8	mA	V_{CC} = MÁX.	V_I = 0 V

OBSERVAÇÕES:
1) Obtidos com V_{CC} = 5 V e T_A = 25°C.
2) Não mais que uma saída em curto no mesmo instante e a duração do curto circuito não deve ser superior a 1 s.
3) Uma das entradas a 4,5 V, todas as demais aterradas.

CARACTERÍSTICAS AC: T_A = 25°C e V_{CC} = 5V

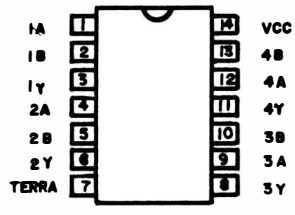
SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TÍP.	MÁX.		
t_{PLH}	Atraso de propagação - saída L → H		14	22	ns	C_L = 15 pF
t_{PHL}	Atraso de propagação - saída H → L		14	22	ns	R_L = 2 KΩ

Vide formas de onda e circuitos de carga.

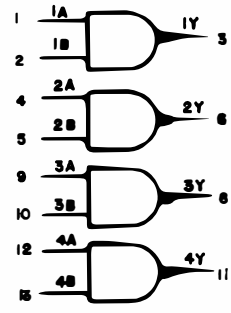
IC 74LS38

QUATRO PORTAS NAND DE DUAS ENTRADAS
SAÍDAS COM COLETOR ABERTO

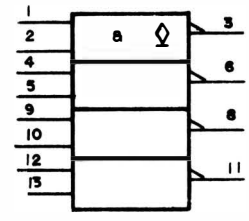
PINAGEM



ESQUEMA LÓGICO



SIMBOLOGIA IEC



CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	TIP.	MÁX.	
V_{CC}	Tensão de alimentação	4,75	5	5,25	V
T_A	Temperatura de operação	0		70	°C

TABELA DA VERDADE

ENTRADAS		SAÍDAS
A	B	Y
L	X	H
X	L	H
H	H	L

CARACTERÍSTICAS DC
(ao longo da faixa de temperaturas de operação)

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TÍP.	MÁX.		
V_{IH}	Tensão de entrada - nível alto	2			V	Nível alto recomendado na entrada
V_{IL}	Tensão de entrada - nível baixo			0,8	V	Nível baixo recomendado na entrada
V_{IK}	Tensão de grampeamento na entrada		−0,65	−1,5	V	V_{CC} = Mín., I_{IN} = −18 mA
I_{OH}	Corrente de saída - nível alto			250	μA	V_{CC} = Mín., V_{OH} = 5,5 V, V_{IN} = V_{IL}
V_{OL}	Tensão de saída - nível baixo		0,25	0,4	V	I_{OL} = 12 mA; V_{IN} = 2 V, V_{CC} = Mín.
			0,35	0,5		I_{OL} = 24 mA; V_{IN} = 2 V, V_{CC} = Mín.
I_{IH}	Corrente de entrada - nível alto		1	20	μA	V_{CC} = Máx., V_{IN} = 2,7 V
				0,1	μA	V_{CC} = Máx., V_{IN} = 7 V
I_{IL}	Corrente de entrada - nível baixo			−0,4	μA	V_{CC} = Máx. V_{IN} = 0,4 V
I_{CCH}	Corrente de alimentação - nível alto		0,9	2	μA	V_{CC} = Máx., V_{IN} = 0 V
I_{CCL}	Corrente de alimentação - nível baixo		6	12	μA	V_{CC} = Máx., entradas abertas

CARACTERÍSTICAS AC (T_A = 25°C)

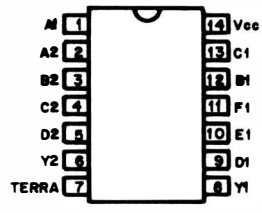
SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TÍP.	MÁX.		
t_{PLH}	Atraso ao desativar, da entrada para a saída		20	32	ns	V_{CC} = 5 V C_L = 45 pF, R_L = 667 ohms
t_{PHL}	Atraso ao ativar, da entrada para a saída		18	28	ns	

OBSERVAÇÕES:
1) Para as condições apresentadas, como Mín. ou Máx., utilize o valor correspondente especificado na tabela de níveis recomendados.
2) Os valores nominais referem-se a V_{CC} = 5 V e T_A = 25°C.

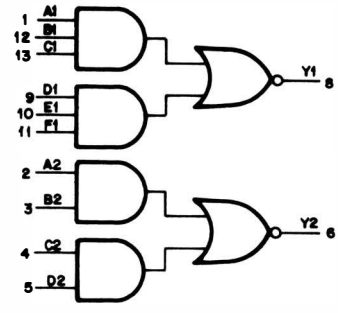
IC 74LS51

DUAS PORTAS AND-NOR DE 2-3 ENTRADAS

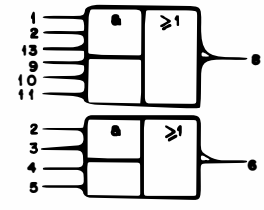
PINAGEM



ESQUEMA LÓGICO



SIMBOLOGIA IEC



CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	NOM.	MÁX.	
V_{CC}	Tensão de alimentação	4,75	5,0	5,25	V
I_{OH}	Corrente de saída - nível alto			-400	μA
I_{OL}	Corrente de saída - nível baixo			8	mA
T_A	Temperatura de operação	0		70	°C

TABELA DA VERDADE

M	N	O
L	L	H
L	H	L
H	L	L
H	H	L

M = 1D.1E.1F; N = 1A.1B.1C; O = 1Y
ou
M = 2C.2D; N = 2A.2B; O = 2Y

CARACTERÍSTICAS DC

SÍMBOLO	PARÂMETRO		LIMITES			UNIDADE	CONDIÇÕES DE TESTE
			MÍN.	TÍP.(1)	MÁX.		
V_{IH}	Tensão de entrada - nível alto		2			V	
V_{IL}	Tensão de entrada - nível baixo				0,8	V	
V_{IK}	Tensão de proteção				-1,5	V	V_{CC} = MÍN.; I_I = -18 mA
V_{OH}	Tensão de saída - nível alto		2,7	3,4		V	V_{CC} = MÍN.; V_{IL} = MÁX.; I_{OH} = MÁX.
V_{OL}	Tensão de saída - nível baixo	I_{OL} = 4 mA		0,25	0,4	V	V_{CC} = MIN.; V_{IH} = MIN.
		I_{OL} = 8 mA		0,35	0,5	V	
I_I	Corrente de entrada para a máxima tensão de entrada				0,1	mA	V_{CC} = MÁX.; V_I = 7V
I_{IH}	Corrente de entrada - nível alto				20	μA	V_{CC} = MÁX.; V_I = 2,7V
I_{IL}	Corrente de entrada - nível baixo				-0,4	mA	V_{CC} = MÁX.; V_I = 0,4V
I_{OS}(2)	Corrente de curto circuito na saída		-20		-100	mA	V_{CC} = MÁX.
I_{CCH}	Corrente de alimentação - saídas em nível alto			0,8	1,6	mA	V_{CC} = MÁX.
I_{CCL}	Corrente de alimentação - saídas em nível baixo			1,4	2,8	mA	V_{CC} = MÁX.

1) Valores típicos obtidos com V_{CC} = 5V e T_A = 25°C.
2) Não mais que uma saída em curto no mesmo instante e a duração do curto circuito não deve ser superior a 1s.

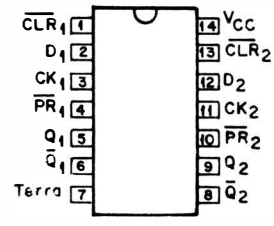
CARACTERÍSTICAS AC

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TÍP.(1)	MÁX.		
t_{PLH}	Atraso de propagação saídas L → H		12	20	ns	C_L = 15 pF; R_L = 2KΩ
t_{PHL}	Atraso de propagação saídas H → L		12,5	20	ns	

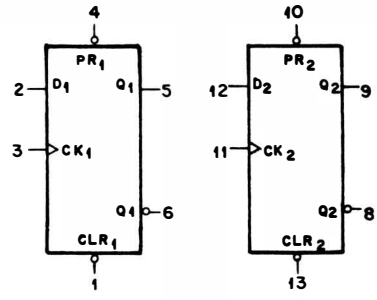
Vide formas de onda e circuito de carga.

IC 74LS74

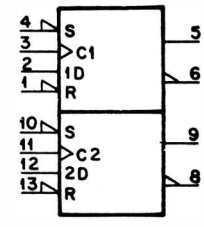
PINAGEM



ESQUEMA LÓGICO



SIMBOLOGIA IEC



CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO		LIMITES			UNIDADE
			MÍN.	NOM.	MÁX.	
V_{CC}	Tensão de alimentação		4,75	5,0	5,25	V
V_{IH}	Tensão de entrada - nível alto		2			V
V_{IL}	Tensão de entrada - nível baixo				0,8	V
I_{OH}	Corrente de saída - nível alto				−400	μA
I_{OL}	Corrente de saída - nível baixo				8	mA
f_{clock}	Freqüência de clock		0		25	MHz
t_w	Largura de pulso	clock - nível alto	25			ns
		preset ou clear - nível baixo	25			ns
t_{su}	Tempo de set up antes de CLK↑	dados - nível alto	20			ns
		dados - nível baixo	20			ns
t_h	Temppo de hold - dado após CLK↑		5			ns
T_A	Temperatura de operação		0		70	°C

CARACTERÍSTICAS DC

SÍMBOLO	PARÂMETRO		LIMITES			UNIDADE	CONDIÇÕES DE TESTE	
			MÍN.	TÍP.(1)	MÁX.			
V_{IK}	Tensão de proteção				−1,5	V	V_{CC} = MÍN.; I_I = − 18 mA	
V_{OH}	Tensão de saída - nível alto		2,7	3,4		V	V_{CC} = MÍN. V_{IL} = MÁX. V_{IH} = 2 V I_{OH} = − 400 μA	
V_{OL}	Tensão de saída - nível baixo			0,35	0,5	V	I_{OL} = MÁX.	V_{CC} = MÍN.; V_{IL} = MÁX.
				0,25	0,4	V	I_{OL} = 4 mA	V_{IH} = 2 V
I_I	Corrente de entrada para máxima tensão de entrada	D			0,1	mA	V_{CC} = MÁX. V_I = 7 V	
		clear			0,2			
		preset			0,2			
		clock			0,1			
I_{IH}	Corrente de entrada - nível alto	D			20	μA	V_{CC} = MÁX.; V_I = 2,7 V	
		clear			40			
		preset			40			
		clock			20			
I_{IL}	Corrente de entrada - nível baixo	D			−0,4	mA	V_{CC} = MÁX.; V_I = 0,4 V	
		clear			−0,8			
		preset			−0,8			
		clock			−0,4			
I_{OS}	Corrente de curto circuito na saída(2)		−20		−100	mA	V_{CC} = MÁX.	
I_{CC}	Corrente de alimentação (total)			4	8	mA	V_{CC} = MÁX.(3)	

CARACTERÍSTICAS AC: $T_A = 25°C$ e $V_{CC} = 5\ V$

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TÍP.	MÁX.		
f_{max}	Frequência máxima de clock	25	33		MHz	$C_L = 15\ pF$ $R_L = 2\ K\Omega$
t_{PLH}	Atraso de propagação (4) (saídas L ⟶ H)		13	25	ns	
t_{PHL}	Atraso de propagação (4) (saídas H ⟶ L)		25	40	ns	

Vide formas de onda e circuitos de carga

Configuração Interna

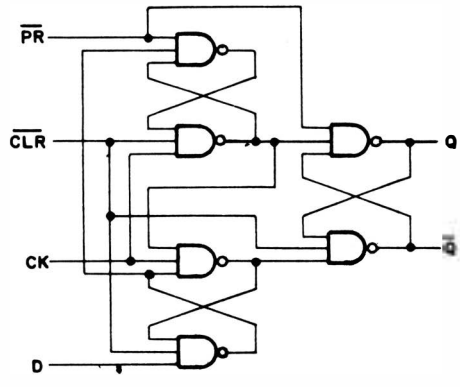


TABELA DA VERDADE

ENTRADAS				SAÍDAS	
PRESET	CLEAR	CLOCK	D	Q	Q̄
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H*	H*
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q_o	$\bar{Q}_o$

H = nível alto

L = nível baixo

X = irrelevante

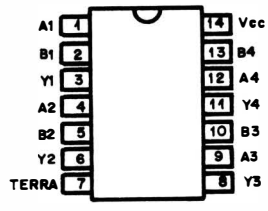
* Configuração não estável - alterada quando as entradas preset e clear voltam ao nível alto.

OBSERVAÇÕES:

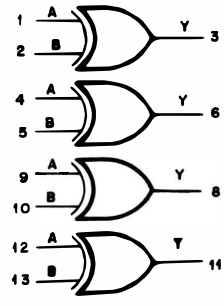
1) obtidos com $V_{CC} = 5\ V$ e $T_A = 25°C$
2) não mais que uma saída em curto no mesmo instante e a duração do curto circuito não deve ser superior a 1 s
3) medida com as saídas em aberto e com Q e $\overline{Q}$ em nível alto, uma por vez, no instante da medida; a entrada de clock é aterrada
4) para as entradas clear, clock ou preset e as saídas Q ou $\overline{Q}$.

IC 74LS86

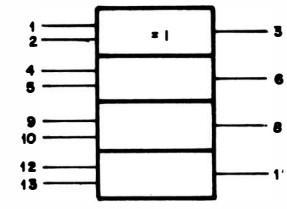
PINAGEM



ESQUEMA LÓGICO



SIMBOLOGIA IEC



CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	NOM.	MÁX.	
V_{CC}	Tensão de alimentação	4,75	5,0	5,25	V
V_{IH}	Tensão de entrada - nível alto	2			V
V_{IL}	Tensão de entrada - nível baixo			0,8	V
I_{OH}	Corrente de saída - nível alto			−400	μA
I_{OL}	Corrente de de saída - nível baixo			8	mA
T_A	Temperatura de operação	0		70	°C

TABELA DA VERDADE

ENTRADAS		SAÍDAS
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	L

H = nível alto L = nível baixo

CARACTERÍSTICAS DC

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE[1]	
		MÍN.	TÍP.[2]	MÁX.			
V_{IK}	Tensão de proteção			−1,5	V	V_{CC} = MÍN.; I_I = − 18 mA	
V_{OH}	Tensão de saída - nível alto	2,7	3,4		V	V_{CC} = MÍN.; V_{IL} e I_{OH} = MÁX.; V_{IH} = MÍN.	
V_{OL}	Tensão de saída - nível baixo		0,35	0,5	V	I_{OL} = 8 mA	V_{CC} = MÍN.
			0,25	0,4	V	I_{OL} = 4 mA	V_{IH} = 2 V; V_{IL} = MÁX.
I_I	Corrente de entrada para máxima tensão de entrada			0,2	mA	V_{CC} = MÁX.	V_I = 7 V
I_{IH}	Corrente de entrada - nível alto			40	μA	V_{CC} = MÁX.	V_I = 2,7 V
I_{IL}	Corrente de entrada - nível baixo			−0,8	mA	V_{CC} = MÁX.	V_I = 0,4 V
I_{OS}	Corrente de curto circuito na saída[3]	−20		−100	mA	V_{CC} = MÁX.	
I_{CCH}	Corrente de alimentação - saídas em nível alto		6,1	10	mA	V_{CC} = MÁX.	
I_{CCL}	Corrente de alimentação - saídas em nível baixo		9	15	mA	V_{CC} = MÁX.	

OBSERVAÇÕES:

1) Para as condições apresentadas como MÍN. e MÁX., use o valor apropriado especificado em Condições de Operação Recomendadas.

2) Obtidos com V_{CC} = 5V e T_A = 25°C.

3) Não mais que uma saída em curto no mesmo instante e a duração do curto não deve ser superior a 1s.

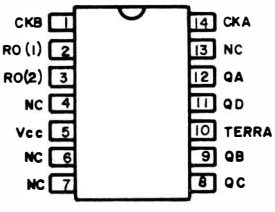
CARACTERÍSTICAS AC: T_A = 25°C e V_{CC} = 5V

SÍMBOLO	PARÂMETRO	ENTRADA	LIMITES			UNIDADE	CONDIÇÕES DE TESTE	
			MÍN.	TÍP.	MÁX.			
t_{PLH}	Atraso de Propagação	A ou B		12	23	ns	A outra entrada em nível baixo	C_L = 15 pF, R_L = 2 K Ω
t_{PHL}				10	17	ns		
t_{PLH}		A ou B		20	30	ns	A outra entrada em nível alto	
t_{PHL}				13	22	ns		

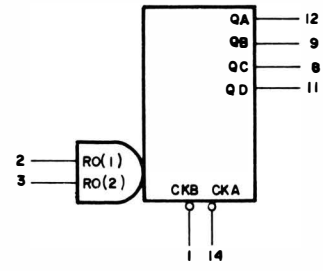
Vide formas de onda e circuitos de carga.

IC 74LS93

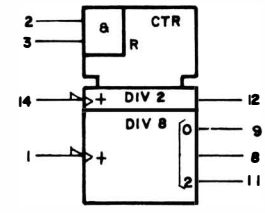
PINAGEM



ESQUEMA LÓGICO



SIMBOLOGIA IEC



CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	NOM.	MÁX.	
V_{CC}	Tensão de alimentação	4,75	5,0	5,25	V
V_{IH}	Tensão de entrada - nível alto	2,0			V
V_{IL}	Tensão de entrada - nível baixo			0,8	V

SELEÇÃO DE MODO

ENTRADAS RESET		SAÍDAS			
RO(1)	RO(2)	QA	QB	QC	QD
H	H	L	L	L	L
L	H	Contagem			
H	L	Contagem			
L	L	Contagem			

CARACTERÍSTICAS DC

SÍMBOLO	PARÂMETRO		LIMITES			UNIDADE	CONDIÇÕES DE TESTE[1]	
			MÍN.	TÍP.[2]	MÁX.			
V_{IK}	Tensão de proteção			-0,65	-1,5	V	V_{CC} = MÍN.; I_I = -18 mA	
V_{OH}	Tensão de saída - nível alto		2,7	3,4		V	V_{CC} = MÍN.; I_{OH} = -0,4 mA; V_I = V_{IH} ou V_{IL} conforme Tabela da Verdade	
V_{OL}	Tensão de saída - nível baixo			0,25	0,4	V	I_{OL} = 4,0 mA	V_{CC} = MÍN.; V_I = V_{IH} ou V_{IL}
				0,35	0,5	V	I_{OL} = 8,0 mA	conforme Tabela da Verdade
I_{IH}	Corrente de entrada - nível alto	RO			20	μA	V_{CC} = MÁX.; V_I = 2,7V	
		CKA			120	μA		
		CKB			40	μA		
		RO			0,1	mA	V_{CC} = MÁX.; V_I = 7,0V	
		CKA, CKB			0,4	mA	V_{CC} = MÁX.; V_I = 5,5V	
I_{IL}	Corrente de entrada - nível baixo	RO			-0,4	mA	V_{CC} = Máx.; V_I = 0,4V	
		CKA			-2,4	mA		
		CKB			-1,6	mA		
I_{OS}[3]	Corrente de curto circuito na saída		-20		-100	mA	V_{CC} = MÁX.; V_O = OV	
I_{CC}	Corrente de alimentação			9	15	mA	V_{CC} = MÁX.	

OBSERVAÇÕES:
1) As condições de teste não apresentadas nesta tabela, foram escolhidas para garantir a operação sob condições de "pior caso".
2) Valores típicos obtidos com V_{CC} = 5,0V, T_A = 25°C.
3) Não mais de uma saída em curto circuito no mesmo instante.

CARACTERÍSTICAS AC

SÍMBOLO	PARÂMETRO		LIMITES			UNIDADE
			MÍN.	TÍP.	MÁX.	
$t_{w(CKA)}$	Largura do pulso CKA (Fig. 1)		15			ns
$t_{w(CKB)}$	Largura do pulso CKB (Fig. 1)		30			ns
$t_{w(RO)}$	Largura do pulso RO (Fig. 2)		30			ns
$f_{máx.}$	Freqüência de contagem de CKA (Fig. 1)		32			MHz
$f_{máx.}$	Freqüência de contagem de CKB (Fig. 1)		16			MHz
t_{PLH}	Atraso de propagação	L → H			16	ns
t_{PHL}	Entrada CKA para saída QA	H → L			18	ns
t_{PLH}	Atraso de propagação	L → H			16	ns
t_{PHL}	Entrada CKB para saída QB	H → L			21	ns
t_{PLH}	Atraso de propagação	L → H			32	ns
t_{PHL}	Entrada CKB para saída QC	H → L			35	ns
t_{PLH}	Atraso de propagação	L → H			51	ns
t_{PHL}	Entrada CKB para saída QD	H → L			51	ns
t_{PLH}	Atraso de propagação	L → H			70	ns
t_{PHL}	Entrada CKA para saída QD	H → L			70	ns
t_{PLH}	Atraso de propagação RO para qualquer saída (Fig. 2)	H → L			40	ns

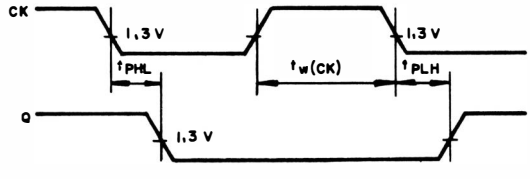


FIGURA 1

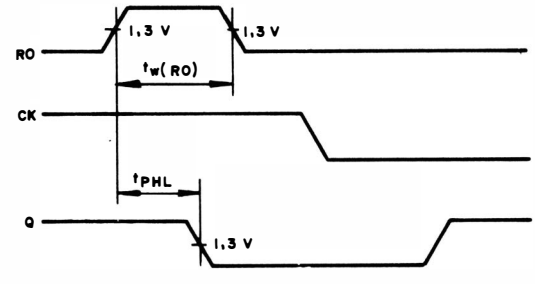


FIGURA 2

Configuração Interna

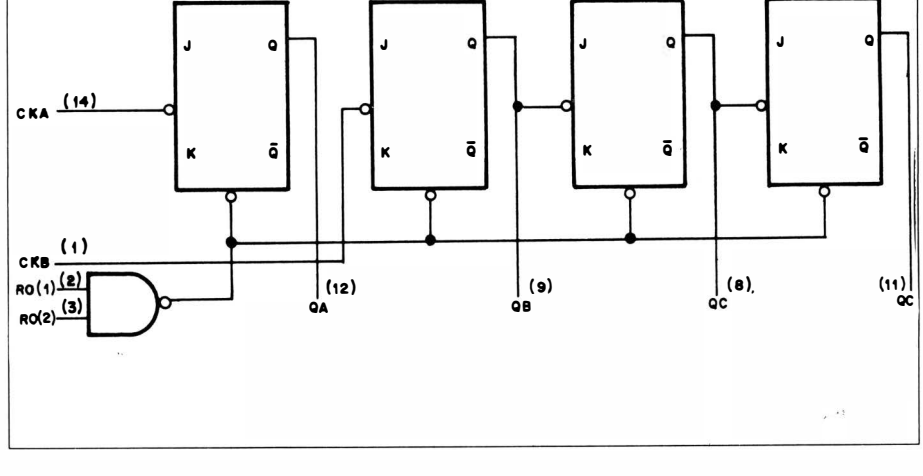


TABELA DA VERDADE

	SAÍDAS			
Contagem	QA	QB	QC	QD
0	L	L	L	L
1	H	L	L	L
2	L	H	L	L
3	H	H	L	L
4	L	L	H	L
5	H	L	H	L
6	L	H	H	L
7	H	H	H	L
8	L	L	L	H
9	H	L	L	H
10	L	H	L	H
11	H	H	L	H
12	L	L	H	H
13	H	L	H	H
14	L	H	H	H
15	H	H	H	H

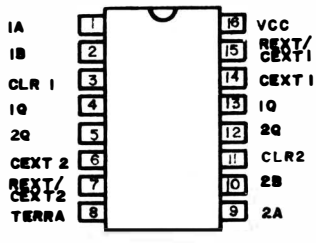
Saída QA conectada à entrada CKB

IC 74LS123

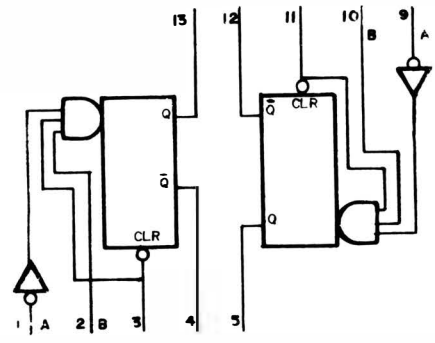
DOIS MULTIVIBRADORES MONOESTÁVEIS REDISPARÁVEIS COM CLEAR

PRELIMINAR

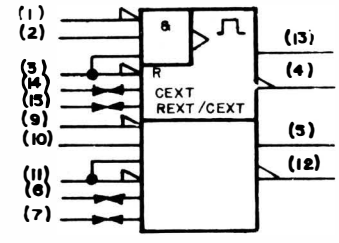
PINAGEM



ESQUEMA LÓGICO



SIMBOLOGIA IEC



CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	TÍP.	MÁX.	
V_{CC}	Tensão de alimentacão	4,75	5	5,25	V
I_{OH}	Corrente de saída - nível alto			-400	μA
I_{OL}	Corrente de saída - nível baixo			8	μA
T_W	Largura de pulso	40			ns
R_{ext}	Resistência externa de temporização	5		260	kΩ
C_{ext}	Capacitância externa	Sem restrições			
T_A	Temperatura de operação	0		70	°C

CÁLCULO DOS COMPONENTES EXTERNOS DE TEMPORIZAÇÃO

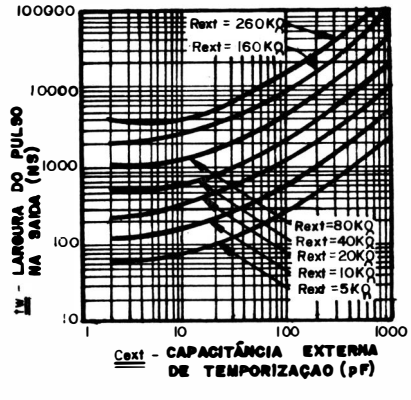


FIGURA 1

Larguras típicas do pulso de saída em relação à capacitância externa de temporização.

TABELA DA VERDADE

ENTRADAS			SAÍDAS	
CLEAR	A	B	Q	$\bar{Q}$
L	X	X	L	H
X	H	X	L	H
X	X	L	L	H
H	L	↑	⎍	⎎
H	↓	H	⎍	⎎
↑	L	H	⎍	⎎

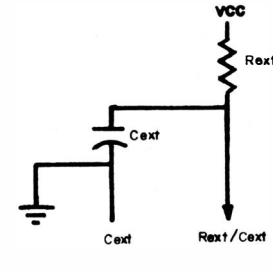


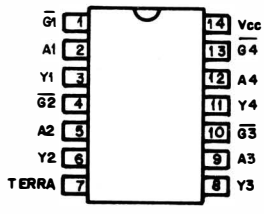
FIGURA 2

Conexão de R_{ext} e C_{ext}. (Quando C_{ext} é maior que 1000 pF, t_W = 0,45kΩ. R_{ext}. C_{ext} (ns), com C_{ext} em pF e R_{ext} em kΩ. Quanto C_{ext} é igual ou inferior a 1000 pF, veja a figura 1).

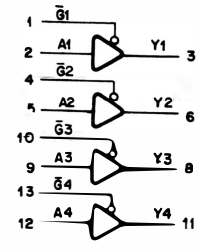
IC 74LS125

QUATRO BUFFERS DE BARRA - SAÍDAS TRI-STATE

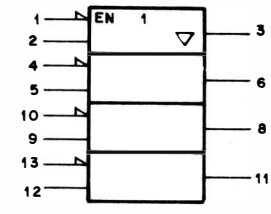
PINAGEM



ESQUEMA LÓGICO



SIMBOLOGIA IEC



CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	NOM.	MÁX.	
V_{CC}	Tensão de alimentação	4,75	5,0	5,25	V
V_{IH}	Tensão de entrada - nível alto	2			V
V_{IL}	Tensão de entrada - nível baixo			0,8	V
I_{OH}	Corrente de saída - nível alto			-2,6	mA
I_{OL}	Corrente de saída - nível baixo			24	mA
T_A	Temperatura de operação	0		70	°C

TABELA DA VERDADE

ENTRADAS		SAÍDA
C	A	
L	L	L
L	H	H
H	X	Z

CARACTERÍSTICAS DC

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE	
		MÍN.	TÍP.(1)	MÁX.			
V_{IK}	Tensão de proteção			-1,5	V	V_{CC} = MÍN.; I_I = -18 mA	
V_{OH}	Tensão de saída - nível alto	2,7	3,4		V	I_{OH} = -2,6 mA	
V_{OL}	Tensão de saída - nível baixo		0,25	0,4	V	I_{OL} = 12 mA	V_{CC} = MÍN.
			0,35	0,5		I_{OL} = 24 mA	V_{IH} = 2V; V_{IL} = 0,8V
I_{OZ}	Corrente de saída - alta impendância			20	μA	V_O = 2,4V	V_{CC} = MÁX.
				-20		V_O = 0,4V	V_{IH} = 2V; V_{IL} = 0,8V
I_I	Corrente de entrada para máxima tensão de entrada			0,1	mA	V_{CC} = MÁX.; V_I = 7V	
I_{IH}	Corrente de entrada - nível alto			20	μA	V_{CC} = MÁX.; V_I = 2,7V	
I_{IL}	Corrente de entrada - nível baixo			-0,4	mA	V_{CC} = MÁX.; V_I = 0,4V	
I_{OS}	Corrente de curto circuito na saída(2)	-40		-225	mA	V_{CC} = MÁX.	
I_{CCH}	Corrente de alimentação(3)		11	20	mA	V_{CC} = MÁX.	

OBSERVAÇÕES:
1) Obtidos com V_{CC} = 5V e T_A = 25°C.
2) Não mais que uma saída em curto no mesmo instante e a duração do curto circuito não deve ser superior a 1s.
3) Medida com as entradas de dados em 0V e os controles de saídas em 4,5V.

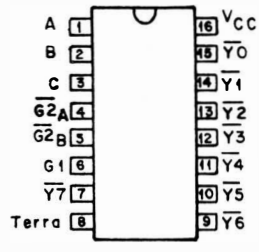
CARACTERÍSTICAS AC

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TÍP.	MÁX.		
t_{PLH}	Atraso de propragação - saídas L → H		9	15	ns	R_L = 667Ω C_L = 45 pF
t_{PHL}	Atraso de propagação - saídas H → L		7	18		
t_{PZH}	Tempo de transição Z → H		12	20		
t_{PZL}	Tempo de transição Z → L		15	25		
t_{PHZ}	Tempo de transição H → Z			20		R_L = 667Ω; C_L = 5 pF
t_{PLZ}	Tempo de transição L → Z			20		

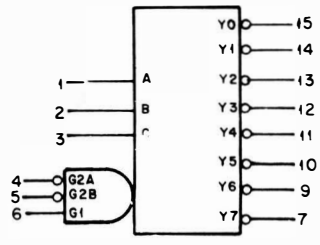
OBSERVAÇÃO:
L = nível baixo; H = nível alto; Z = alta impendância.
Vide formas de onda e circuitos de carga.

IC 74LS138

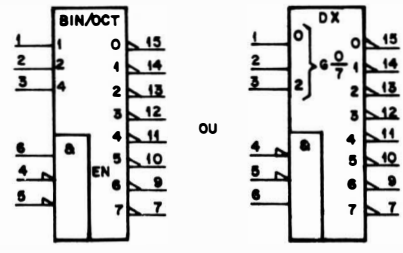
PINAGEM



ESQUEMA LÓGICO



SIMBOLOGIA IEC



CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	NOM.	MÁX.	
V_{CC}	Tensão de alimentação	4,75	5,0	5,25	V
V_{IH}	Tensão de entrada - nível alto	2			V
V_{IL}	Tensão de entrada - nível baixo			0,8	V
I_{OH}	Corrente de saída - nível alto			−400	μA
I_{OL}	Corrente de saída - nível baixo			8	mA
T_A	Temperatura de operação	0		70	°C

CARACTERÍSTICAS DC

SÍMBOLO	PARÂMETRO		LIMITES			UNIDADE	CONDIÇÕES DE TESTE	
			MÍN.	TÍP.(1)	MÁX.			
V_{IK}	Tensão de proteção				−1,5	V	V_{CC} = MÍN.; I_I = − 18 mA	
V_{OH}	Tensão de saída - nível alto		2,7	3,4		V	V_{CC} = MÍN. V_{IL} = MÁX.	V_{IH} = 2 V I_{OH} = − 400 μA
V_{OL}	Tensão de saída - nível baixo			0,25	0,4	V	I_{OL} = 4 mA	V_{CC} = MÍN.; V_{IH} = 2 V
				0,35	0,5	V	I_{OL} = 8 mA	V_{IL} = MÁX.
I_I	Corrente de entrada para máxima tensão de entrada				0,1	mA	V_{CC} = MÁX.	V_I = 7 V
I_{IH}	Corrente de entrada - nível alto				20	μA	V_{CC} = MÁX.	V_I = 2,7 V
I_{IL}	Corrente de entrada - nível baixo	A, B, C			−0,2	mA	V_{CC} = MÁX.	V_I = 0,4 V
		G1, $\overline{G2A}$, $\overline{G2B}$			−0,4	mA		
I_{OS}	Corrente de curto circuito na saída(2)		−20		−100	mA	V_{CC} = MÁX.	
I_{CC}	Corrente de alimentação			6,3	10	mA	V_{CC} = MÁX.(3)	

CARACTERÍSTICAS AC: $T_A = 25°C$ e $V_{CC} = 5\ V$

SÍMBOLO	PARÂMETRO	ENTRADA	SAÍDA	NÍVEL DE ATRASO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
					MÍN.	TÍP.	MÁX.		
t_{PLH}	Atraso de Propagação [4]	seleção	qualquer	2		11	20	ns	$C_L = 15\ pF$ $R_L = 2\ K\Omega$
t_{PHL}						18	41	ns	
t_{PLH}				3		21	27	ns	
t_{PHL}						20	39	ns	
t_{PLH}		habilitação	qualquer	2		12	18	ns	
t_{PHL}						20	32	ns	
t_{PLH}				3		14	26	ns	
t_{PHL}						13	38	ns	

Vide formas de onda e circuitos de carga

OBSERVAÇÕES:

1) obtidos com $V_{CC} = 5\ V$ e $T_A = 25°C$
2) não mais que uma saída em curto no mesmo instante e a duração do curto circuito não deve ser superior a 1 s
3) medida com as saídas habilitadas e em aberto
4) t_{PLH}: atraso de propagação com as saídas L $\longrightarrow$ H
   t_{PHL}: atraso de propagação com as saídas H $\longrightarrow$ L

Configuração Interna

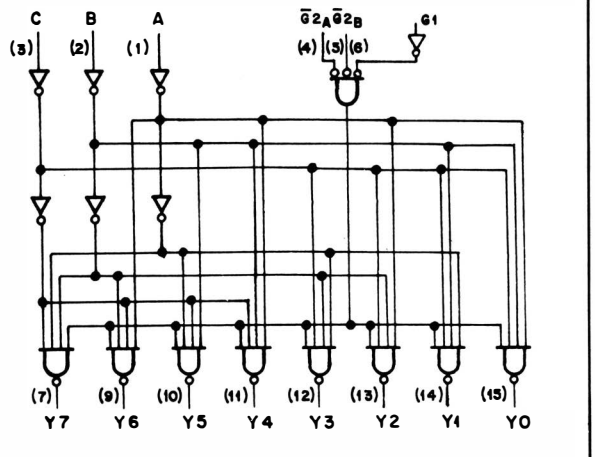


TABELA DA VERDADE

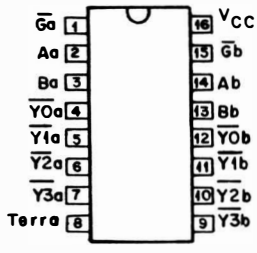
ENTRADAS					SAÍDAS							
HABILITAÇÃO		SELEÇÃO										
G1	G2*	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	H	H	H	H	H	L	H	H	H	H
H	L	H	L	L	H	H	H	H	L	H	H	H
H	L	H	L	H	H	H	H	H	H	L	H	H
H	L	H	H	L	H	H	H	H	H	H	L	H
H	L	H	H	H	H	H	H	H	H	H	H	L

*$\overline{G2} = \overline{G2A} + \overline{G2B}$

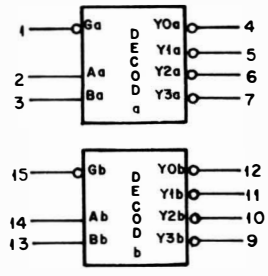
H = nível alto
L = nível baixo
X = irrelevante

IC 74LS139

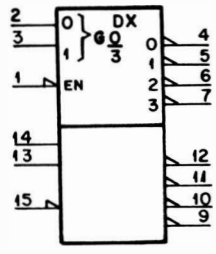
PINAGEM



ESQUEMA LÓGICO



SIMBOLOGIA IEC



CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	NOM.	MÁX.	
V_{CC}	Tensão de alimentação	4,75	5,0	5,25	V
V_{IH}	Tensão de entrada - nível alto	2			V
V_{IL}	Tensão de entrada - nível baixo			0,8	V
I_{OH}	Corrente de saída - nível alto			−400	µA
I_{OL}	Corrente de saída - nível baixo			8	mA
T_A	Temperatura de operação	0		70	°C

CARACTERÍSTICAS DC

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE	
		MÍN.	TÍP.(1)	MÁX.			
V_{IK}	Tensão de proteção			−1,5	V	V_{CC} = MÍN.; I_I = − 18 mA	
V_{OH}	Tensão de saída - nível alto	2,7	3,4		V	V_{CC} = MÍN. V_{IL} = MÁX.	V_{IH} = 2 V I_{OH} = − 400 µA
V_{OL}	Tensão de saída - nível baixo		0,25	0,4	V	I_{OL} = 4 mA	V_{CC} = MÍN.; V_{IH} = 2 V
			0,35	0,5	V	I_{OL} = 8 mA	V_{IL} = MÁX.
I_I	Corrente de entrada para máxima tensão de entrada			0,1	mA	V_{CC} = MÁX.	V_I = 7 V
I_{IH}	Corrente de entrada - nível alto			20	µA	V_{CC} = MÁX.	V_I = 2,7 V
I_{IL}	Corrente de entrada - nível baixo			−0,4	mA	V_{CC} = MÁX.	V_I = 0,4 V
I_{OS}	Corrente de curto circuito na saída(2)	−20		−100	mA	V_{CC} = MÁX.	
I_{CC}	Corrente de alimentação		6,8	11	mA	V_{CC} = MÁX.(3)	

CARACTERÍSTICAS AC: $T_A = 25°C$ e $V_{CC} = 5\ V$

SÍMBOLO	PARÂMETRO	ENTRADA	SAÍDA	NÍVEL DE ATRASO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
					MÍN.	TÍP.	MÁX.		
t_{PLH}	Atraso de Propagação [4]	seleção	qualquer	2		13	20	ns	$C_L = 15\ pF$ $R_L = 2\ K\Omega$
t_{PHL}						22	33	ns	
t_{PLH}				3		18	29	ns	
t_{PHL}						25	38	ns	
t_{PLH}		habilitação	qualquer	2		16	24	ns	
t_{PHL}						21	32	ns	

Vide formas de onda e circuitos de carga

OBSERVAÇÕES:
1) obtidos com $V_{CC} = 5\ V$ e $T_A = 25°C$
2) não mais que uma saída em curto no mesmo instante e a duração do curto circuito não deve ser superior a 1 s
3) medida com as saídas habilitadas e em aberto
4) t_{PLH}: atraso de propagação com as saídas L → H
   t_{PHL}: atraso de propagação com as saídas H → L

Configuração Interna

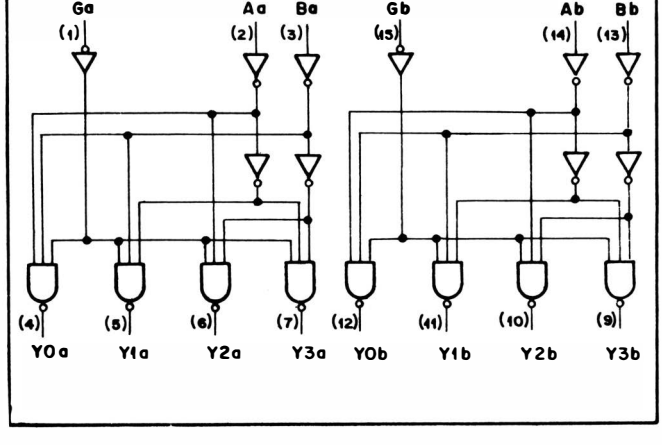


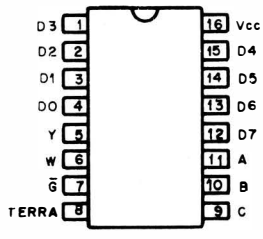
TABELA DA VERDADE

ENTRADAS			SAÍDAS			
HABILITAÇÃO $\bar{G}$	SELEÇÃO					
	B	A	Y0	Y1	Y2	Y3
H	X	X	H	H	H	H
L	L	L	L	H	H	H
L	L	H	H	L	H	H
L	H	L	H	H	L	H
L	H	H	H	H	H	L

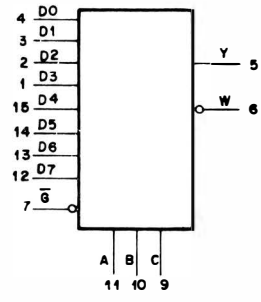
H = nível alto
L = nível baixo
X = irrelevante

IC 74LS151

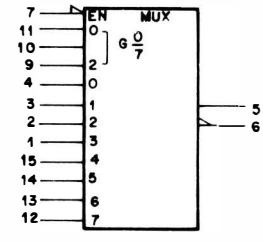
PINAGEM



ESQUEMA LÓGICO



SIMBOLOGIA IEC



CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	NOM.	MÁX.	
V_{CC}	Tensão de alimentação	4,75	5,0	5,25	V
V_{IH}	Tensão de entrada - nível alto	2,0			V
V_{IL}	Tensão de entrada - nível baixo			0,8	V
T_A	Temperatura de operação	0		70	°C

CARACTERÍSTICAS DC

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TÍP.(2)	MÁX.		
V_{IK}	Tensão de proteção		-0,65	-1,5	V	V_{CC} = MÍN.; I_{IN} = -18 mA
V_{OH}	Tensão de saída - nível alto	2,7	3,4		V	V_{CC} = MÍN.; I_{OH} = -0,4 mA; V_{IH} = MÍN. V_{IL} = MÁX.
V_{OL}	Tensão de saída - nível baixo		0,25	0,4	V	I_{OL} = 4,0 mA; V_{CC} = MÍN.
			0,35	0,5	V	I_{OL} = 8,0 mA; V_{IH} = MÍN.; V_{IL} = MÁX.
I_{IH}	Corrente de entrada - nível alto		1,0	20	μA	V_I = 2,7V, V_{CC} = MÁX
I_{IL}	Corrente de entrada - nível baixo			-0,4	mA	V_I = 0,4V; V_{CC} = MÁX;
I_I	Corrente de entrada para a máxima tensão de entrada			0,1	mA	V_I = 7,0V; V_{CC} = MÁX.
I_{OS}(1)	Corrente de curto circuito na saída	-20		-100	mA	V_O = 0; V_{CC} = MÁX.
I_{CC}	Corrente de alimentação		6,0	10	mA	V_{CC} = MÁX.

OBSERVAÇÕES:
1) Não mais de uma saída em curto no mesmo instante.
2) Valores típicos obtidos com V_{CC} = 5,0V e T_A = 25°C.

CARACTERÍSTICAS AC

SÍMBOLO	PARÂMETRO	ENTRADA	SAÍDA	LIMITES			UNIDADE	CONDIÇÕES DE TESTE	
				MÍN.	TÍP.	MÁX.			
t_{PLH}	Atraso de Propagação	A, B ou C	W		14	23	ns	Fig. 1	V_{CC} = 5V C_L = 15 pF
t_{PHL}					20	32	ns		
t_{PLH}		A, B ou C	Y		27	43	ns	Fig. 2	
t_{PHL}					18	30	ns		
t_{PLH}		G	W		15	24	ns	Fig. 2	
t_{PHL}					18	30	ns		
t_{PLH}		G	Y		26	42	ns	Fig. 1	
t_{PHL}					20	32	ns		
t_{PLH}		DADOS	W		13	21	ns	Fig. 1	
t_{PHL}					12	20	ns		
t_{PLH}		DADOS	Y		20	32	ns	Fig. 2	
t_{PHL}					16	26	ns		

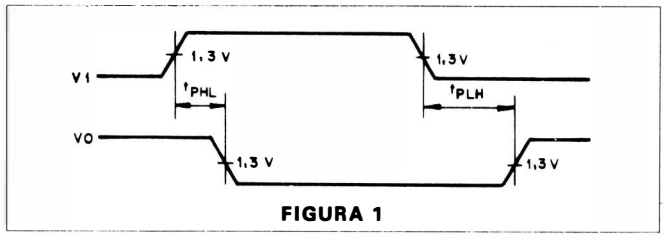


FIGURA 1

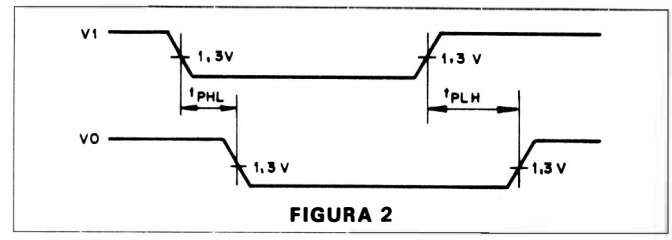
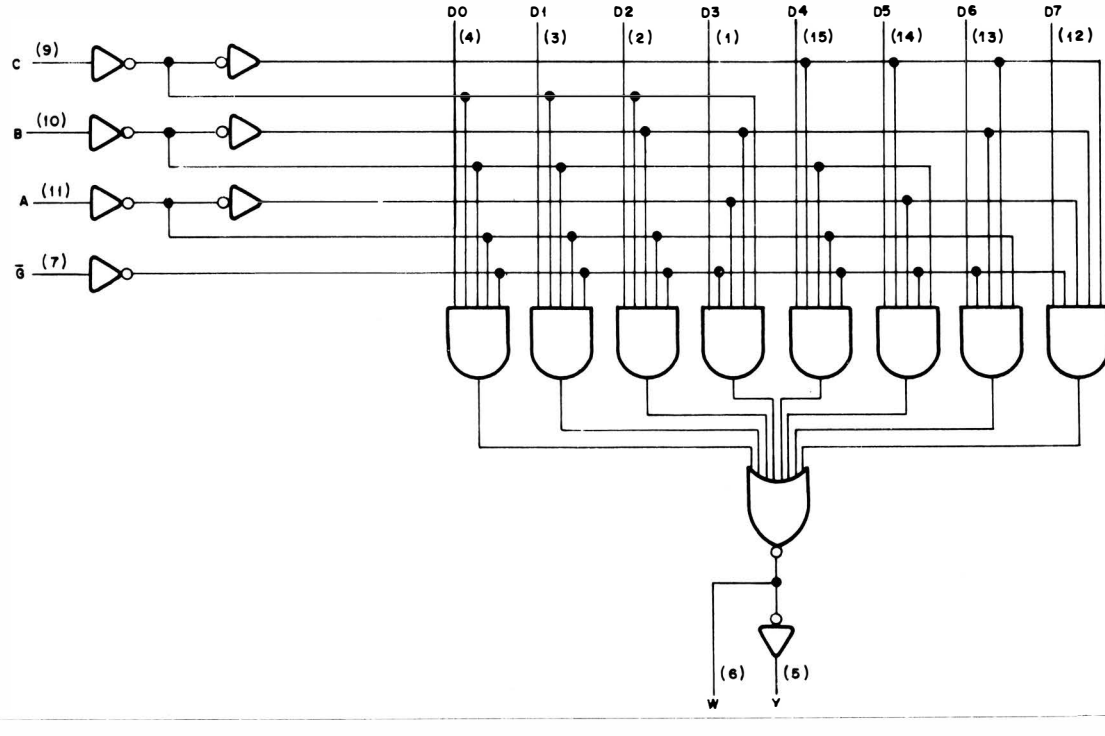


FIGURA 2

TABELA DA VERDADE

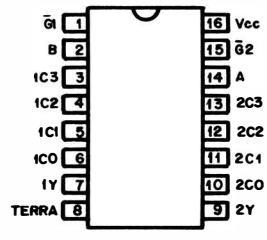
$\overline{G}$	C	B	A	D0	D1	D2	D3	D4	D5	D6	D7	W	Y
H	X	X	X	X	X	X	X	X	X	X	X	H	L
L	L	L	L	L	X	X	X	X	X	X	X	H	L
L	L	L	L	H	X	X	X	X	X	X	X	L	H
L	L	L	H	X	L	X	X	X	X	X	X	H	L
L	L	L	H	X	H	X	X	X	X	X	X	L	H
L	L	H	L	X	X	L	X	X	X	X	X	H	L
L	L	H	L	X	X	H	X	X	X	X	X	L	H
L	L	H	H	X	X	X	L	X	X	X	X	H	L
L	L	H	H	X	X	X	H	X	X	X	X	L	H
L	H	L	L	X	X	X	X	L	X	X	X	H	L
L	H	L	L	X	X	X	X	H	X	X	X	L	H
L	H	L	H	X	X	X	X	X	L	X	X	H	L
L	H	L	H	X	X	X	X	X	H	X	X	L	H
L	H	H	L	X	X	X	X	X	X	L	X	H	L
L	H	H	L	X	X	X	X	X	X	H	X	L	H
L	H	H	H	X	X	X	X	X	X	X	L	H	L
L	H	H	H	X	X	X	X	X	X	X	H	L	H

Configuração Interna

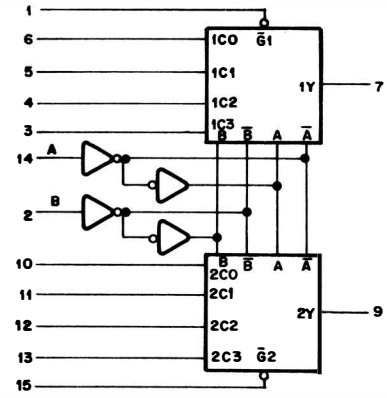


IC 74LS153

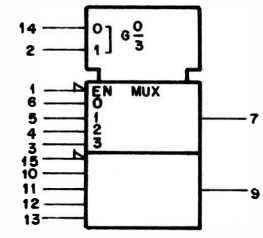
PINAGEM



ESQUEMA LÓGICO



SIMBOLOGIA IEC



CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	NOM.	MÁX.	
V_{CC}	Tensão de alimentação	4,75	5,0	5,25	V
I_{OH}	Corrente de Saída - nível alto			-0,4	mA
I_{OL}	Corrente de saída - nível baixo			8	mA
T_A	Temperatura de operação	0		70	°C

CARACTERÍSTICAS DC

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TÍP.(1)	MÁX.		
V_{IH}	Tensão de entrada - nível alto	2			V	
V_{IL}	Tensão de entrada - nível baixo			0,8	V	
V_{IK}	Tensão de proteção			-1,5	V	V_{CC} = MÍN.; I_I = -18 mA
V_{OH}	Tensão de saída - nível alto	2,7	3,4		V	V_{CC} = MÍN.; V_{IL} = MÁX.; I_{OH} = MÁX.; V_{IH} = MÍN.
V_{OL}	Tensão de saída - nível baixo		0,25	0,4	V	I_{OL} = 4 mA; V_{CC} = MÍN.; V_{IL} = MÁX.; V_{IH} = MÍN.
			0,35	0,5	V	I_{OL} = 8 mA
I_I	Corrente de entrada para a máxima tensão de entrada			0,1	mA	V_{CC} = MÁX.; V_I = 7V
I_{IH}	Corrente de entrada - nível alto			20	µA	V_{CC} = MÁX.; V_I = 2,7V
I_{IL}	Corrente de entrada - nível baixo			-0,4	mA	V_{CC} = MÁX.; V_I = 0,4V
I_{OS}	Corrente de curto circuito na saída(2)	-20		-100	mA	V_{CC} = MÁX.
I_{CC}	Corrente de alimentação		6,2	10	mA	V_{CC} = 5,25V

OBSERVAÇÕES:
1) Valores típicos obtidos com V_{CC} = 5V e T_A = 25°C.
2) Não mais que uma saída em curto no mesmo instante e a duração do curto circuito não deve ser superior a 1s.

CARACTERÍSTICAS AC - V_{CC} = 5V, T_A = 25°C

SÍMBOLO	PARÂMETRO	ENTRADA	SAÍDA	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
				MÍN.	TÍP.	MÁX.		
t_{PLH}	Atraso de propagação	DADOS	Y		10	15	ns	C_L = 15 pF; R_L = 2KΩ
t_{PHL}					17	26	ns	
t_{PLH}		SELEÇÃO	Y		19	29	ns	
t_{PHL}					25	38	ns	
t_{PLH}		STROBE	Y		16	24	ns	
t_{PHL}					21	32	ns	

Vide formas de onda e circuitos de carga.

Configuração Interna

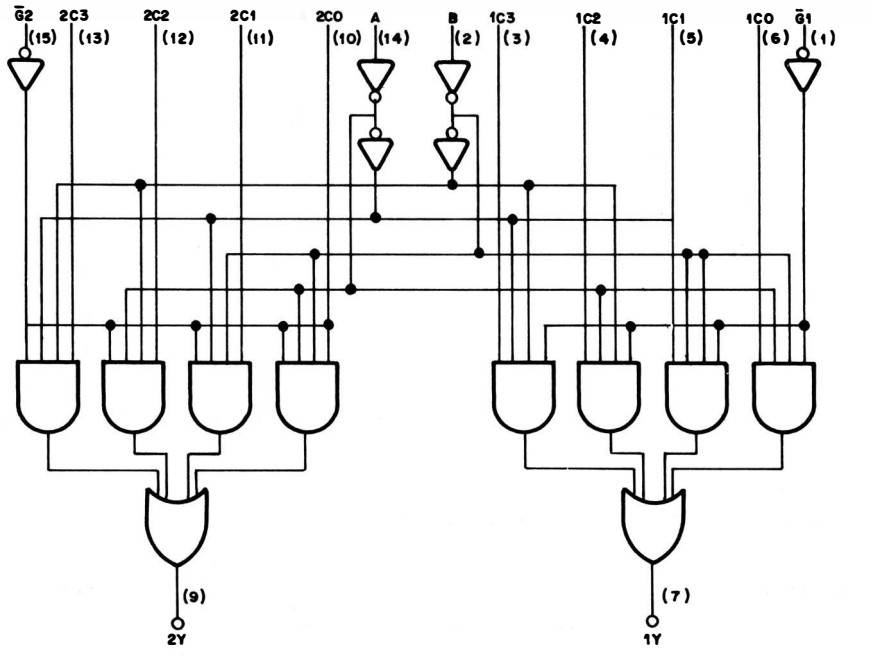
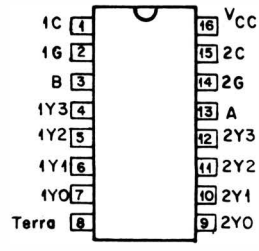


TABELA DA VERDADE

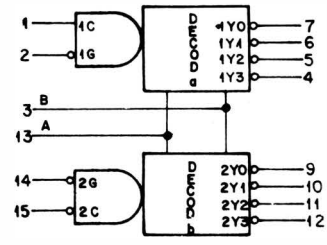
ENTRADAS						STROBE	SAÍDA
SELEÇÃO		DADOS					
B	A	C_0	C_1	C_2	C_3	G	Y
X	X	X	X	X	X	H	L
L	L	L	X	X	X	L	L
L	L	H	X	X	X	L	H
L	H	X	L	X	X	L	L
L	H	X	H	X	X	L	H
H	L	X	X	L	X	L	L
H	L	X	X	H	X	L	H
H	H	X	X	X	L	L	L
H	H	X	X	X	H	L	H

IC 74LS156

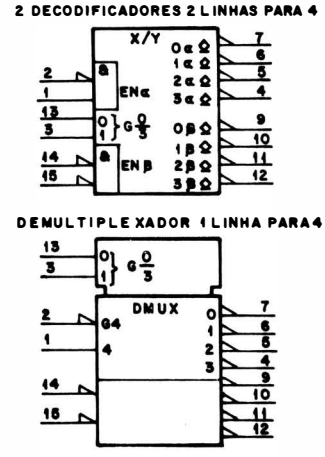
PINAGEM



ESQUEMA LÓGICO



SIMBOLOGIA IEC



CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	NOM.	MÁX.	
V_{CC}	Tensão de alimentação	4,75	5,0	5,25	V
V_{IH}	Tensão de entrada - nível alto	2			V
V_{IL}	Tensão de entrada - nível baixo			0,8	V
V_{OH}	Tensão de saída - nível alto			5,5	V
I_{OL}	Corrente de saída - nível baixo			8	mA
T_A	Temperatura de operação	0		70	°C

CARACTERÍSTICAS DC

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TÍP.(1)	MÁX.		
V_{IK}	Tensão de proteção			1,5	V	V_{CC} = MÍN. I_I = − 18 mA
I_{OH}	Corrente de saída - nível alto			100	µA	V_{CC} = MÍN. V_{IH} = 2 V; V_{IL} = MÁX. V_{OH} = 5,5 V
V_{OL}	Tensão de saída - nível baixo		0,25	0,4	V	I_{OL} = 4 mA; V_{CC} = MÍN. V_{IH} = 2 V; V_{IL} = MÁX.
			0,35	0,5	V	I_{OL} = 8 mA
I_I	Corrente de entrada para máxima tensão de entrada			0,1	mA	V_{CC} = MÁX. V_I = 7 V
I_{IH}	Corrente de entrada - nível alto			20	µA	V_{CC} = MÁX. V_I = 2,7 V
I_{IL}	Corrente de entrada - nível baixo			− 0,4	mA	V_{CC} = MÁX. V_I = 0,4 V
I_{CC}	Corrente de alimentação (total)		6,1	10	mA	V_{CC} = MÁX.(2)

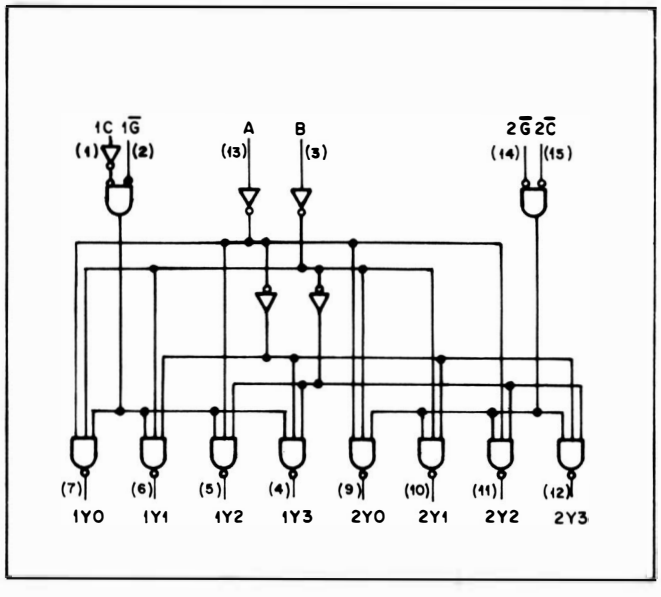
CARACTERÍSTICAS AC: $T_A = 25°C$ e $V_{CC} = 5\ V$

SÍMBOLO	PARÂMETRO	ENTRADA	SAÍDA	NÍVEL DE ATRASO	LIMITES MÍN.	LIMITES TÍP.	LIMITES MÁX.	UNIDADE	CONDIÇÕES DE TESTE
t_{PLH}	Atraso de Propagação (3)	A, B, $2\overline{C}$, $1\overline{G}$ ou $2\overline{G}$	Y	2		25	40	ns	$C_L = 15\ pF$
t_{PHL}		A, B, $2\overline{C}$, $1\overline{G}$ ou $2\overline{G}$	Y	2		34	51	ns	$R_L = 2\ K\Omega$
t_{PLH}		A ou B	Y	3		31	46	ns	
t_{PHL}		A ou B	Y	3		34	51	ns	
t_{PLH}		1 C	Y	3		32	48	ns	
t_{PHL}		1 C	Y	3		32	48	ns	

Vide formas de onda e circuitos de carga

OBSERVAÇÕES:

1) obtidos com $V_{CC} = 5\ V$ e $T_A = 25°C$
2) medida com as saídas em aberto, as entradas A, B e 1C em 4,5 V e as entradas $2\overline{C}$, $1\overline{G}$ e $2\overline{G}$ aterradas.
3) t_{PLH}: atraso de propagação com as saídas L ⟶ H
   t_{PHL}: atraso de propagação com as saídas H ⟶ L



O IC 74LS156 possui duas seções decodificadoras que fornecem cada uma quatro saídas mutuamente exclusivas, com coletor em aberto, selecionadas pelas entradas de endereços (A, B). Quando não habilitadas as entradas apresentam nível alto.

Ambas as seções decodificadoras possuem duas entradas de habilitação. Para o decodificador a porta habilitadora requer uma entrada ativa em nível alto (1C) e outra em nível baixo ($1\overline{G}$). O decodificador A pode aceitar tanto o dado verdadeiro como complementado nas aplicações de demultiplexação, através das entradas $1\overline{G}$ ou 1C respectivamente. No decodificador B a porta habilitadora requer duas entradas ativadas em nível baixo ($2\overline{G}$, $2\overline{C}$).

O IC 74LS156 pode ser usado como um decodificador 3 para 8 ou um demultiplexador 1 para 8, ligando-se a entrada 1C com $2\overline{C}$ e $1\overline{G}$ com $2\overline{G}$ (ver Tabela da verdade).

TABELA DA VERDADE

DECODIFICADOR 2 PARA 4
ou DEMULTIPLEXADOR 1 PARA 4

ENTRADAS				SAÍDAS			
Seleção		Strobe	Data				
B	A	$1\overline{G}$	1C	1Y0	1Y1	1Y2	1Y3
X	X	H	X	H	H	H	H
L	L	L	H	L	H	H	H
L	H	L	H	H	L	H	H
H	L	L	H	H	H	L	H
H	H	L	H	H	H	H	L
X	X	X	L	H	H	H	H
B	**A**	**$2\overline{G}$**	**$\overline{2C}$**	**2Y0**	**2Y1**	**2Y2**	**2Y3**
X	X	H	X	H	H	H	H
L	L	L	L	L	H	H	H
L	H	L	L	H	L	H	H
H	L	L	L	H	H	L	H
H	H	L	L	H	H	H	L
X	X	X	H	H	H	H	H

H = nível alto L = nível baixo X = irrelevante

TABELA DA VERDADE

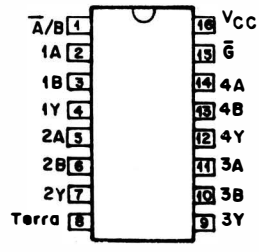
DECODIFICADOR 3 PARA 8
ou DEMULTIPLEXADOR 1 PARA 8

ENTRADAS				SAÍDAS							
Seleção			Strobe ou Dados	(0)	(1)	(2)	(3)	(4)	(5)	(6)	(7)
C †	B		$\overline{G}$ ‡	2Y0	2Y1	2Y2	2Y3	1Y0	1Y1	1Y2	1Y3
X	X	X	H	H	H	H	H	H	H	H	H
L	L	L	L	L	H	H	H	H	H	H	H
L	L	H	L	H	L	H	H	H	H	H	H
L	H	L	L	H	H	L	H	H	H	H	H
L	H	H	L	H	H	H	L	H	H	H	H
H	L	L	L	H	H	H	H	L	H	H	H
H	L	H	L	H	H	H	H	H	L	H	H
H	H	L	L	H	H	H	H	H	H	L	H
H	H	H	L	H	H	H	H	H	H	H	L

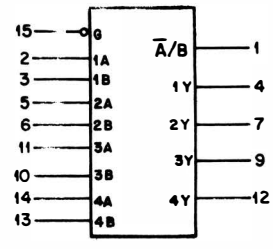
† as entradas 1C e $2\overline{C}$ devem estar interligadas
‡ as entradas $1\overline{G}$ e $2\overline{G}$ devem estar interligadas
H nível alto, L = nível baixo, X = irrelevante

IC 74LS157

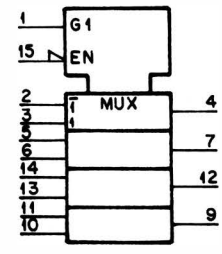
PINAGEM



ESQUEMA LÓGICO



SIMBOLOGIA IEC



CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	NOM.	MÁX.	
V_{CC}	Tensão de alimentação	4,75	5,0	5,25	V
V_{IH}	Tensão de entrada - nível alto	2			V
V_{IL}	Tensão de entrada - nível baixo			0,8	V
I_{OH}	Corrente de saída - nível alto			−400	μA
I_{OL}	Corrente de saída - nível baixo			8	mA
T_A	Temperatura de operação	0		70	°C

CARACTERÍSTICAS DC

SÍMBOLO	PARÂMETRO		LIMITES			UNIDADE	CONDIÇÕES DE TESTE	
			MÍN.	TÍP.(1)	MÁX.			
V_{IK}	Tensão de proteção				−1,5	V	V_{CC} = MÍN.; I_I = − 18 mA	
V_{OH}	Tensão de saída - nível alto		2,7	3,4		V	V_{CC} = MÍN. V_{IH} = 2 V V_{IL} = MÁX. I_{OH} = − 400 μA	
V_{OL}	Tensão de saída - nível baixo			0,25	0,4	V	I_{OL} = 4 mA	V_{CC} = MÍN.; V_{IH} = 2 V
				0,35	0,5	V	I_{OL} = 8 mA	V_{IL} = MÁX.
I_I	Corrente de entrada para máxima tensão de entrada	entradas $\overline{A}$/B ou $\overline{G}$			0,2	mA	V_{CC} = MÁX.	V_I = 7 V
		entradas A ou B			0,1	mA		
I_{IH}	Corrente de entrada - nível alto	entradas $\overline{A}$/B ou $\overline{G}$			40	μA	V_{CC} = MÁX.	V_I = 2,7 V
		entradas A ou B			20	μA		
I_{IL}	Corrente de entrada - nível baixo	entradas A ou B			−0,4	mA	V_{CC} = MÁX.	V_I = 0,4 V
		entradas $\overline{A}$/B ou $\overline{G}$			−0,8	mA		
I_{OS}	Corrente de curto circuito na saída(2)		−20		−100	mA	V_{CC} = MÁX.	
I_{CC}	Corrente de alimentação			9,7	16	mA	V_{CC} = MÁX.(3)	

CARACTERÍSTICAS AC: $T_A = 25°C$ e $V_{CC} = 5\ V$

SÍMBOLO	PARÂMETRO	ENTRADA	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
			MÍN.	TÍP.	MÁX.		
t_{PLH}	Atraso de Propagação [4]	dados		9	14	ns	$C_L = 15\ pF$ $R_L = 2\ K\Omega$
t_{PHL}				9	14		
t_{PLH}		strobe		13	20	ns	
t_{PHL}				14	21		
t_{PLH}		seleção		15	23	ns	
t_{PHL}				18	27		

Vide formas de onda e circuitos de carga

Configuração Interna

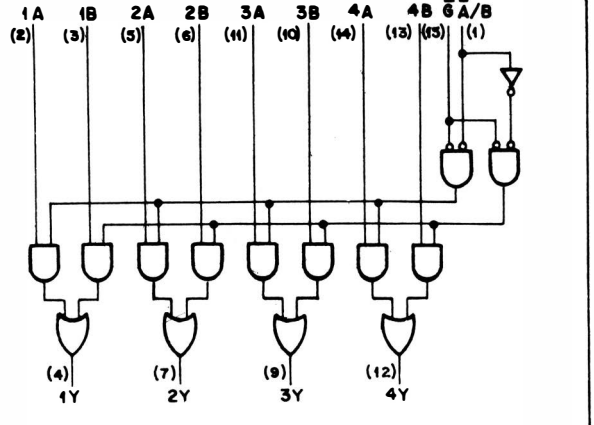


TABELA DA VERDADE

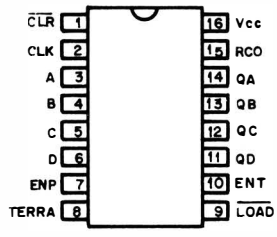
ENTRADAS				SAÍDAS
$\overline{G}$	$\overline{A}/B$	A	B	Y
H	X	X	X	L
L	L	L	X	L
L	L	H	X	H
L	H	X	L	L
L	H	X	H	H

H = nível alto
L = nível baixo
X = irrelevante

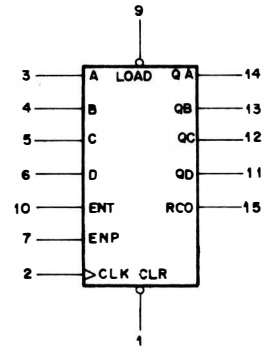
OBSERVAÇÕES:
1) obtidos com $V_{CC} = 5\ V$ e $T_A = 25°C$
2) não mais que uma saída em curto no mesmo instante e a duração do curto circuito não deve ser superior a 1 s
3) medida com as entradas em 4,5 V e com as saidas em aberto
4) t_{PLH}: atraso de propagação com as saídas L → H
   t_{PHL}: atraso de propagação com as saídas H → L

IC 74LS161A

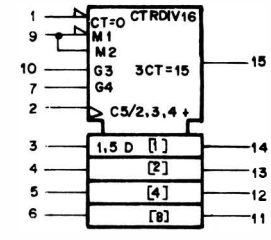
PINAGEM



ESQUEMA LÓGICO



SIMBOLOGIA IEC



CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO		LIMITES			UNIDADE
			MÍN.	NOM.	MÁX.	
V_{CC}	Tensão de alimentação		4,75	5,0	5,25	V
I_{OH}	Corrente de saída - nível alto				-400	μA
I_{OL}	Corrente de saída - nível baixo				8	mA
f_{CLOCK}	Frequência de clock		0		25	MHz
$t_{w(CLOCK)}$	Largura do pulso de clock		25			ns
$t_{w(CLEAR)}$	Largura do pulso de clear		20			ns
t_{su}	Tempo de setup	Entrada de dados A, B, C, D	20			ns
		ENP ou ENT	20			ns
		LOAD	20			ns
		LOAD estado inativo	20			ns
		CLR estado inativo	25			ns
t_h	Tempo de hold em qualquer entrada		3			ns
T_A	Temperatura de operação		0		70	°C

CARACTERÍSTICAS AC - T_A = 25°C, V_{CC} = 5V

SÍMBOLO	PARÂMETRO	ENTRADA	SAÍDA	LIMITES			UNIDADE	CONDIÇÕES DE TESTE	
				MÍN.	TÍP.	MÁX.			
$f_{máx.}$	Frequëncia máxima			25	32		Mhz		C_L = 15 pF R_L = 2KΩ
t_{PLH}	Atraso de propagação L → H	CLK	RCO		20	35	ns		
		CLK	Qualquer Q		13	24	ns	LOAD = 1	
		CLK	Qualquer Q		13	24	ns	LOAD = 0	
		ENT	RCO		9	14	ns		
t_{PHL}	Atraso de propagação H → L	CLK	RCO		18	35	ns		
		CLK	Qualquer Q		18	27	ns	LOAD = 1	
		CLK	Qualquer Q		18	27	ns	LOAD = 0	
		ENT	RCO		9	14	ns		
		CLR	Qualquer Q		20	28	ns		

CARACTERÍSTICAS DC

SÍMBOLO	PARÂMETRO		LIMITES			UNIDADE	CONDIÇÕES DE TESTE[1]
			MÍN.	TÍP.[2]	MÁX.		
V_{IH}	Tensão de entrada - nível alto		2			V	
V_{IL}	Tensão de entrada - nível baixo				0,8	V	
V_{IK}	Tensão de proteção				−1,5	V	V_{CC} = MÍN.; I_I = −18 mA
V_{OH}	Tensão de saída - nível alto		2,7	3,4		V	V_{CC} = MÍN.; V_{IH} = 2V; V_{IL} e I_{OH} = MÁX.
V_{OL}	Tensão de saída - nível baixo			0,25	0,4	V	I_{OL} = 4 mA; V_{CC} = MÍN.; V_{IH} = 2V
				3,5	0,5	V	I_{OL} = 8 mA; V_{IL} = MÁX.
I_I	Corrente de entrada para a máxima tensão de entrada	Dado ou ENP			0,1	mA	V_{CC} = MÁX.; V_I = 7V
		$\overline{LOAD}$, CLK ou ENT			0,2	mA	
		$\overline{CLR}$			0,1	mA	
I_{IH}	Corrente de entrada - nível alto	Dado ou ENP			20	μA	V_{CC} = MÁX.; V_I = 2,7V
		$\overline{LOAD}$, CLK ou ENT			40	μA	
		$\overline{CLR}$			20	μA	
I_{IL}	Corrente de entrada - nível baixo	Dado ou ENP			−0,4	mA	V_{CC} = MÁX.; V_I = 0,4V
		$\overline{LOAD}$, CLK ou ENT			−0,8	mA	
		$\overline{CLR}$			−0,8	mA	
I_{OS}	Corrente de curto circuito na saída[3]		−20		−100	mA	V_{CC} = MÁX.
I_{CCH}	Corrente de alimentação - saídas em nível alto			18	31	mA	V_{CC} = MÁX.[4]
I_{CCL}	Corrente de alimentação - saídas em nível baixo			18	32	mA	V_{CC} = MÁX.[5]

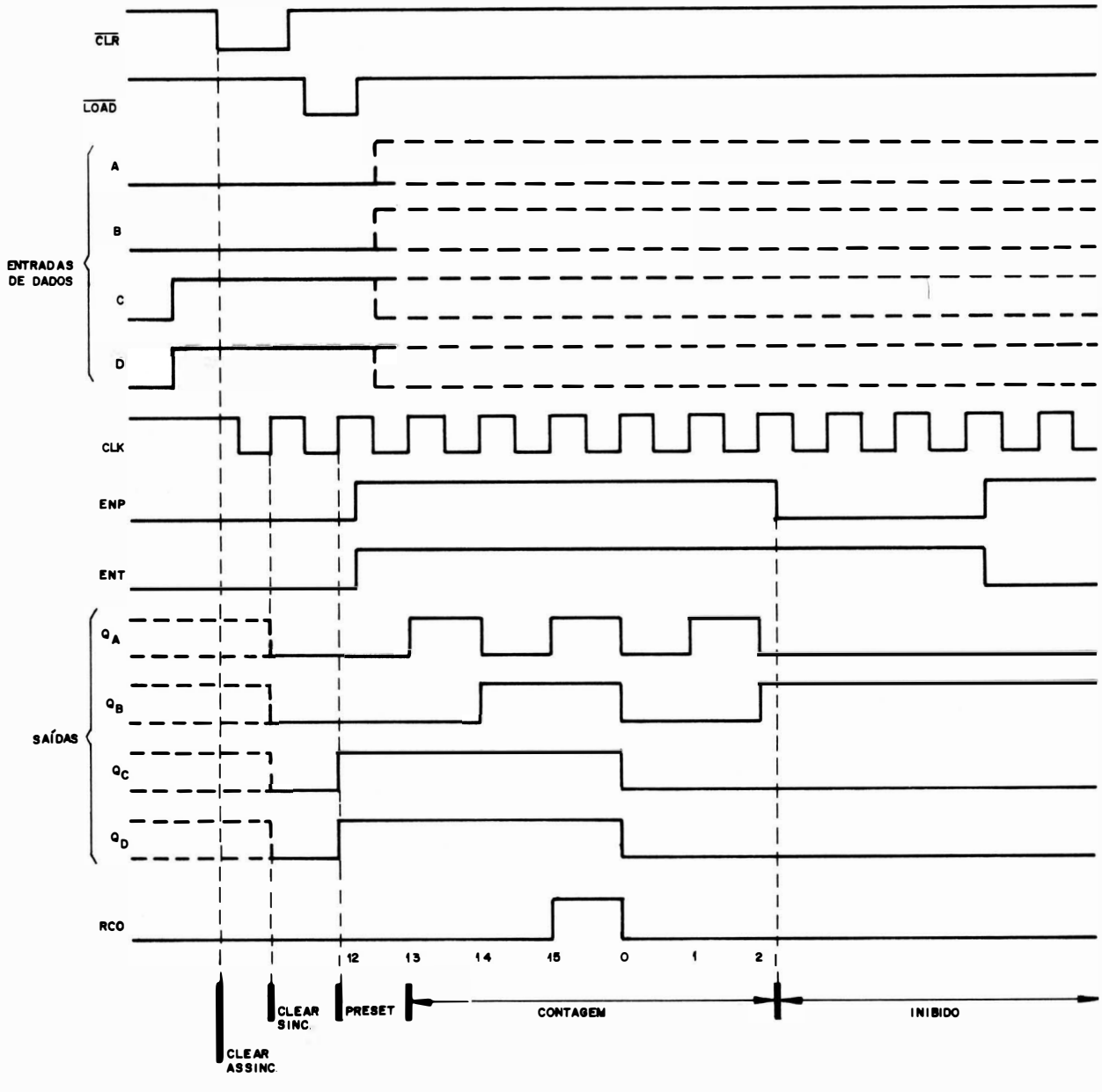
OBSERVAÇÕES:
1) Para as condições apresentadas como MÍN. e MÁX., use o valor apropriado especificado em Condições de Operação Recomendadas.
2) Obtidos com V_{CC} = 5V e T_A = 25°C.
3) Não mais que uma saída em curto no mesmo instante e a duração do curto não deve ser superior a 1s.
4) I_{CCH} é medida com a entrada LOAD em nível alto, e então novamente com a entrada LOAD baixa, com todas as entradas em nível alto e todas as saídas em aberto.
5) I_{CCL} é medida com a entrada CLK em nível alto, e então novamente com a entrada CLK baixa, com todas as outras entradas em nível baixo e todas as saídas em aberto.

TABELA DA VERDADE

CLR	LOAD	ENT	ENP	CLK	Q_A	Q_B	Q_C	Q_D	RCO
L	X	X	X	X	L	L	L	L	L
H	L	L	X	↑	D_A	D_B	D_C	D_D	L
H	L	H	X	↑					L*
H	H	H	H	↑	Contagem				L*
H	H	L	X	X	Inibição				L
H	H	H	L	X	Inibição				L*

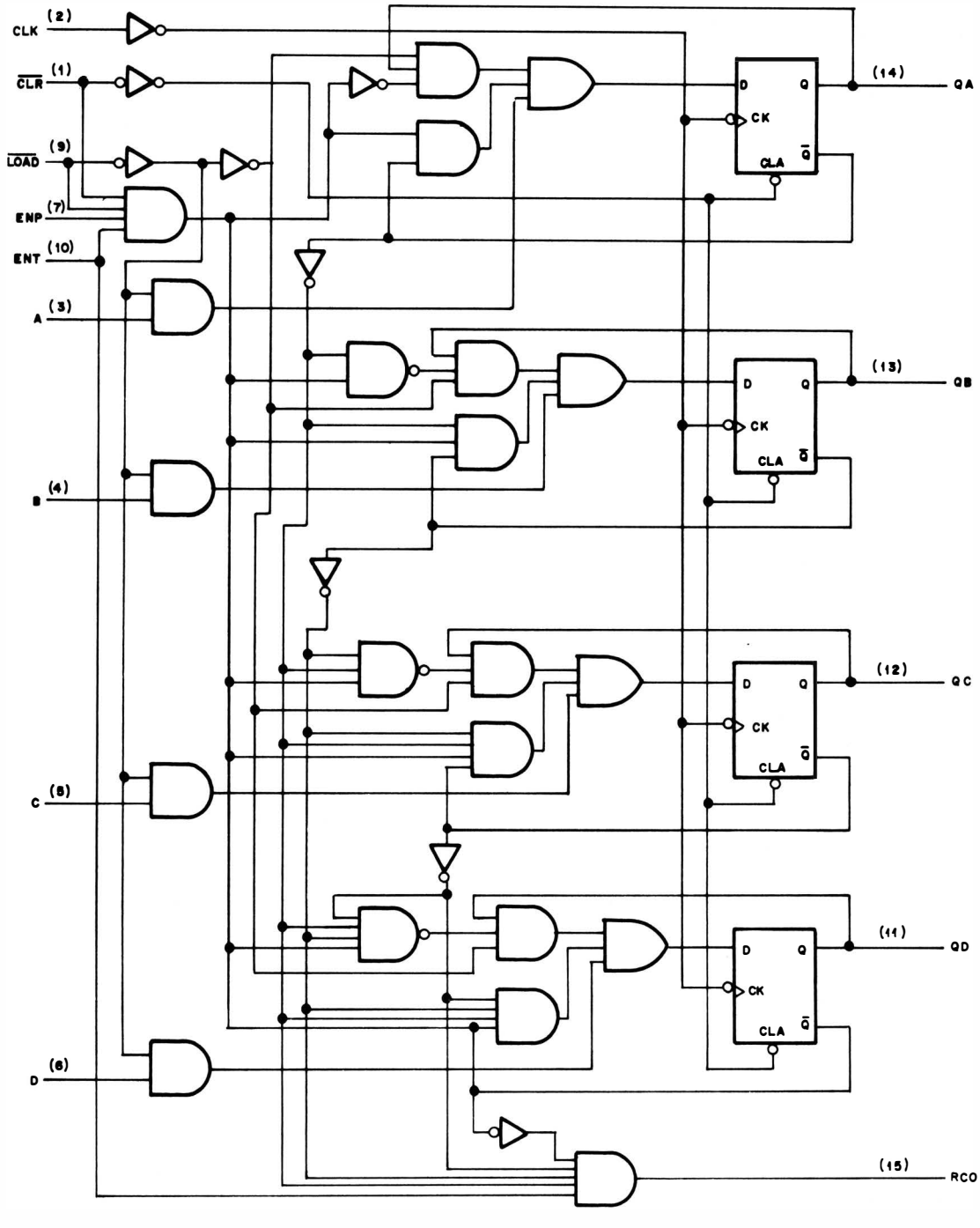
* RCO está normalmente em nível baixo, porém apresentará nível alto quando todas as saídas Q e ENT estiverem simultaneamente em nível alto ou seja RCO = $Q_A \bullet Q_B \bullet Q_C \bullet Q_D \bullet$ ENT

Seqüência Típica



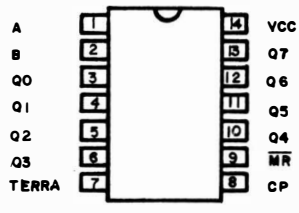
A figura acima ilustra uma seqüência de operação composta por:
1) Clear, que coloca as saídas em nível 0.
2) Preset, carregando o valor 12.
3) Contagem: 13, 14, 15, 0, 1 e 2.
4) Inibição.

Configuração Interna

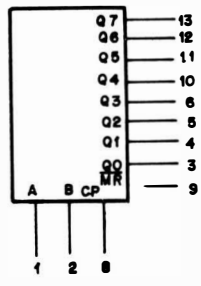


IC 74LS164

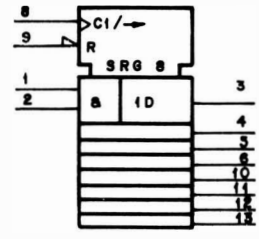
PINAGEM



ESQUEMA LÓGICO



SIMBOLOGIA IEC



CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	TÍP.	MÁX.	
V_{CC}	Tensão de alimentação	4,75	5	5,25	V
T_A	Temperatura de operação	0		70	°C

CARACTERÍSTICAS DC
(ao longo da faixa de temperaturas de operação)

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE (1)	
		MÍN.	TÍP.	MÁX.			
V_{IH}	Tensão de entrada - nível alto	2			V	Nível alto recomendado em todas as entradas	
V_{IL}	Tensão de entrada - nível baixo			0,8	V	Nível baixo recomendado em todas as saídas	
V_{IK}	Tensão de grampeamento na entrada		−0,65	−1,5	V	V_{CC} = Mín., I_{IN} = −18 mA	
V_{OH}	Tensão de saída - nível alto	2,7	3,4		V	V_{CC} = Mín., I_{OH} = −400 μA, V_{IN} = V_{IH} ou V_{IL} segundo a tabela da verdade	
V_{OL}	Tensão de saída - nível baixo		0,25	0,4	V	I_{OL} = 4 mA	V_{CC} = Mín., V_{IN} = V_{IH} ou V_{IL},
			0,35	0,5		I_{OL} = 8 mA	segundo a tabela da verdade
I_{IH}	Corrente de entrada - nível alto			20	μA	V_{CC} = Máx., V_{IN} = 2,7 V	
				0,1	mA	V_{CC} = Máx., V_{IN} = 7,0 V	
I_{IL}	Corrente de entrada - nível baixo			−0,4	mA	V_{CC} = Máx. V_{IN} = 0,4 V	
I_{OS}	Corrente de curto na saída(2)	−20		−100	mA	V_{CC} = Máx. V_{OUT} = 0 V	
I_{CC}	Corrente de alimentação		16	27	mA	V_{CC} = Máx.	

CARACTERÍSTICAS AC (T_A = 25°C)

SÍMBOLO	PARÂMETRO	LIMITES			CONDIÇÕES DE TESTE		UNIDADE
		MÍN.	TÍP.	MÁX.			
f_{MAX}	Freqüência máxima de clock	25	36		Figura 1	V_{CC} = 5 V C_L = 15 pF	MHz
t_{PLH} t_{PHL}	Atraso de propagação, c/ clock positivo, em direção às saídas		17 21	27 32	Figura 1		ns
t_{PHL}	Atraso de propagação, c/ MR negativo, em direção às saídas		24	36	Figura 2		ns

OBSERVAÇÕES:
1) As condições de teste não indicadas na tabela foram escolhidas de modo a garantir a operação sob condições de "pior caso".
2) Não se deve curto-circuitar mais de uma saída por vez.
3) I_{CC} é medida com as saídas abertas, a entrada serial em 2,4 V e um aterramento momentâneo, para depois se aplicar 4,5 V à entrada clear.
4) Os valores nominais referem-se à V_{CC} = 5 V e T_A = 25°C.

REQUISITOS DE OPERAÇÃO EM AC (T_A = 25°C)

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE	
		MÍN.	TÍP.	MÁX.			
t_s	Tempo de set-up, entrada A ou B em relação à borda de subida em CP	15			ns	Figura 3	V_{CC} = 5 V_{CL} C_L = 15 pF
t_h	Tempo de hold, entrada A ou B em relação à borda de subida em CP	5			ns	Figura 3	
$t_{wCP\ (H)}$	Largura do pulso em CP (nível alto)	20			ns	Figura 1	
$t_{wCP\ (L)}$	Largura do pulso em CP (nível baixo)	20			ns	Figura 1	
$t_{wMR\ (L)}$	Largura do pulso em MR (nível baixo)	20			ns	Figura 2	
t_{rec}	Tempo de recuperação, pulso positivo em MR para um pulso positivo de clock	20			ns	Figura 2	

Configuração interna

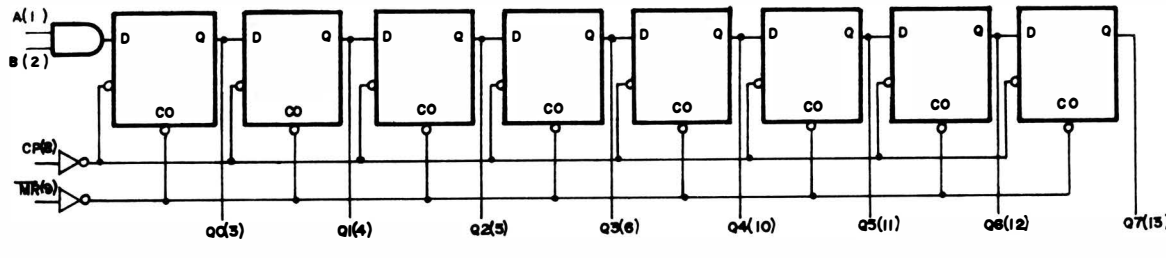


TABELA DA VERDADE

MODALIDADE DE OPERAÇÃO	ENTRADAS			SAÍDAS	
	MR	A	B	Q_0	Q_1-Q_7
Reset (clear)	L	X	X	L	L-L
Deslocamento	H	I	I	L	q_0-q_6
	H	L	H	L	q_0-q_6
	H	H	L	L	q_0-q_6
	H	H	H	H	q_0-q_6

OBSERVAÇÃO:
As letras minúsculas indicam o estado da entrada ou saída correspondente, um período de set-up antes da transição de clock do nível baixo para alto.

FORMAS DE ONDA

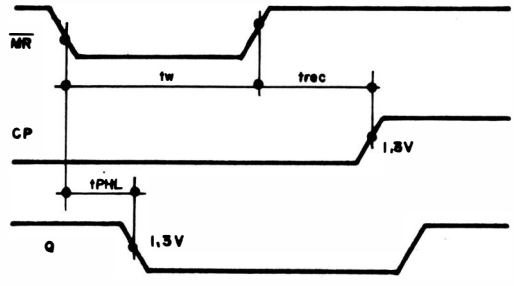


FIGURA 1

Atrasos das saídas em relação ao clock e largura do pulso de clock.

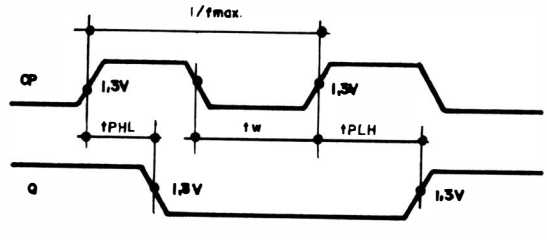
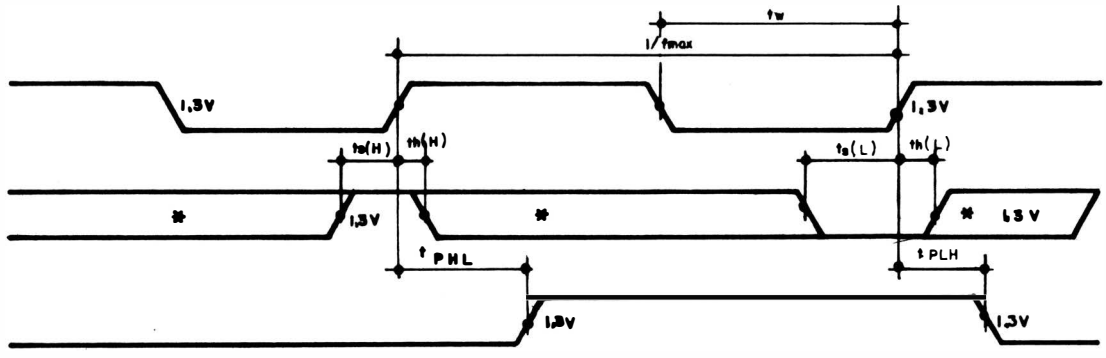


FIGURA 2

Largura de pulso do reset principal (MR), Atraso das saídas em relação ao reset principal e tempo de recuperação do clock em relação ao reset principal.



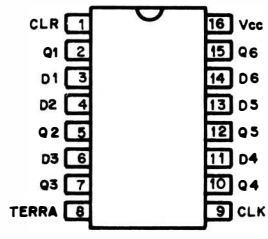
* As áreas sombreadas indicam quando as entradas têm permissão de mudar, a fim de se obter um desempenho previsível da saída.

FIGURA 3

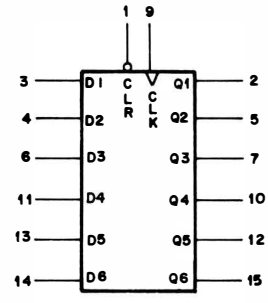
Tempo de set-up e hold de dados.

IC 74LS174

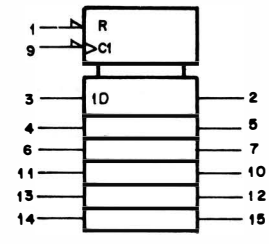
PINAGEM



ESQUEMA LÓGICO



SIMBOLOGIA IEC



CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO		LIMITES			UNIDADE
			MÍN.	NOM.	MÁX.	
V_{CC}	Tensão de alimentação		4,75	5,0	5,25	V
V_{IH}	Tensão de entrada - nível alto		2			V
V_{IL}	Tensão de entrada - nível baixo				0,8	V
I_{OH}	Corrente de saída - nível alto				-400	μA
I_{OL}	Corrente de saída - nível baixo				8	mA
f_{CLOCK}	Frequência de clock		0		30	MHz
t_w	Largura de pulso		20			ns
t_{su}	Tempo de setup	Entrada de dados	20			ns
		Clear inativo	25			ns
t_h	Tempo de hold de dado		5			ns
T_A	Temperatura de operação		0		70	°C

TABELA DA VERDADE

ENTRADAS			SAÍDAS
Clear	Clock	D	Q
L	X	X	L
H	↑	H	H
H	↑	L	L
H	L	X	QO

H = nível alto
L = nível baixo
↑ = transição positiva
QO = nível de Q antes do estabelecimento das condições de entrada indicadas.

CARACTERÍSTICAS DC

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TÍP.(1)	MÁX.		
V_{IK}	Tensão de proteção			-1,5	V	V_{CC} = MÍN.; I_I = -18 mA
V_{OH}	Tensão de saída - nível alto	2,7	3,4		V	V_{CC} = MÍN.; V_{IH} = 2V; V_{IL} = MÁX.; I_{OH} = -400 mA
V_{OL}	Tensão de saída - nível baixo		0,25	0,4	V	I_{OL} = 4 mA; V_{CC} = MÍN.; V_{IH} = 2V; V_{IL} = MÁX.
			0,35	0,5	V	I_{OL} = 8 mA
I_I	Corrente de entrada para máxima tensão de entrada			0,1	mA	V_{CC} = MÁX.; V_I = 7V
I_{IH}	Corrente de entrada - nível alto			20	μA	V_{CC} = MÁX.; V_I = 2,7V
I_{IL}	Corrente de entrada - nível baixo			-0,4	mA	V_{CC} = MÁX.; V_I = 0,4V
I_{OS}	Corrente de curto circuito na saída(2)	-20		-100	mA	V_{CC} = MÁX.(2)
I_{CC}	Corrente de alimentação		16	26	mA	V_{CC} = MÁX.(3)

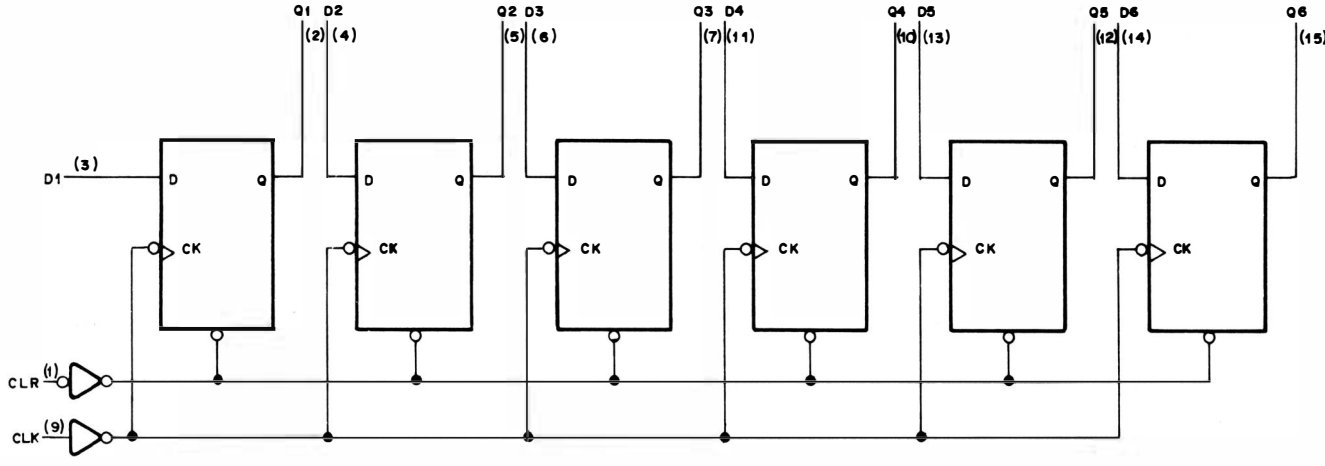
OBSERVAÇÕES:
1) Obtidos com V_{CC} = 5V e T_A = 25°C.
2) Não mais que uma saída em curto no mesmo instante e a duração do curto circuito não deve ser superior a 1s.
3) Todas as saídas abertas e 4,5V aplicado às entradas de dados e clear; I_{CC} é medido após a entrada clock ser aterrada momentaneamente e depois levada para 4,5V.

CARACTERÍSTICAS AC - V_{CC} = 5V, T_A = 25°C

SÍMBOLO	PARÂMETRO		LIMITES			UNIDADE	CONDIÇÕES DE TESTE
			MÍN.	TÍP.	MÁX.		
$f_{MÁX}$	Atraso de propagação	Freqüência máxima de clock	30	40		MHz	C_L = 15 pF; R_L = 2K Ω
t_{PHL}		H → L, clear para saída		23	35	ns	
t_{PLH}		L → H, clock para saída		20	30	ns	
t_{PHL}		H → L, clock para saída		21	30	ns	

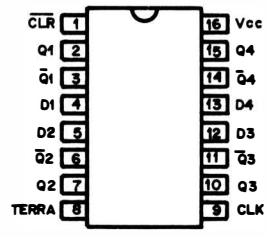
Vide formas de onda e circuitos de carga.

Configuração Interna

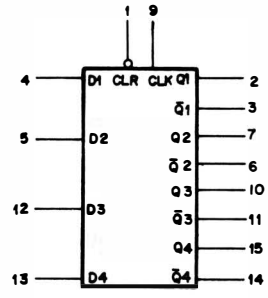


IC 74LS175

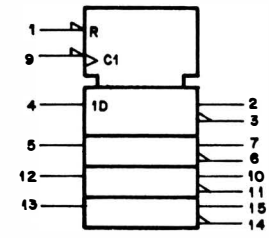
PINAGEM



ESQUEMA LÓGICO



SIMBOLOGIA IEC



CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO		LIMITES			UNIDADE
			MÍN.	NOM.	MÁX.	
V_{CC}	Tensão de alimentação		4,75	5,0	5,25	V
V_{IH}	Tensão de entrada - nível alto		2			V
V_{IL}	Tensão de entrada - nível baixo				0,8	V
I_{OH}	Corrente de saída - nível alto				-400	μA
I_{OL}	Corrente de saída - nível baixo				8	mA
f_{CLOCK}	Frequência de clock		0		30	MHz
t_w	Largura de pulso - clear ou clock		20			ns
t_{su}	Tempo de setup	Entrada de dados	20			ns
		Clear inativo	25			ns
t_h	Tempo de hold		5			ns
T_A	Temperatura de operação		0		70	°C

TABELA DA VERDADE

ENTRADAS			SAÍDAS	
Clear	Clock	D	Q	Q
L	X	X	L	H
H	↑*	H	H	L
H	↑*	H	L	H
H	L	X	QO	QO

H = nível alto
L = nível baixo
↑ = transição positiva
QO = Nível de Q antes do estabelecimento das condições de entrada indicadas

CARACTERÍSTICAS DC

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TÍP.(1)	MÁX.		
V_{IK}	Tensão de proteção			-1,5	V	V_{CC} = MÍN.; I_I = -18 mA
V_{OH}	Tensão de saída - nível alto	2,7	3,5		V	V_{CC} = MÍN.; V_{IH} = 2V; V_{IL} = MÁX.; I_{OH} = -400 mA
V_{OL}	Tensão de saída - nível baixo		0,25	0,4	V	I_{OL} = 4 mA; V_{CC} = MÍN.; V_{IH} = 2V; V_{IL} = MÁX.
			0,35	0,5	V	I_{OL} = 8 mA
I_I	Corrente de entrada para máxima tensão de entrada			0,1	mA	V_{CC} = MÁX.; V_I = 7V
I_{IH}	Corrente de entrada - nível alto			20	μA	V_{CC} = MÁX.; V_I = 2,7V
I_{IL}	Corrente de entrada - nível baixo			-0,4	mA	V_{CC} = MÁX.; V_I = 0,4V
I_{OS}	Corrente de curto circuito na saída(2)	-20		-100	mA	V_{CC} = MÁX.
I_{CC}	Corrente de alimentação		11	18	mA	V_{CC} = MÁX.(3)

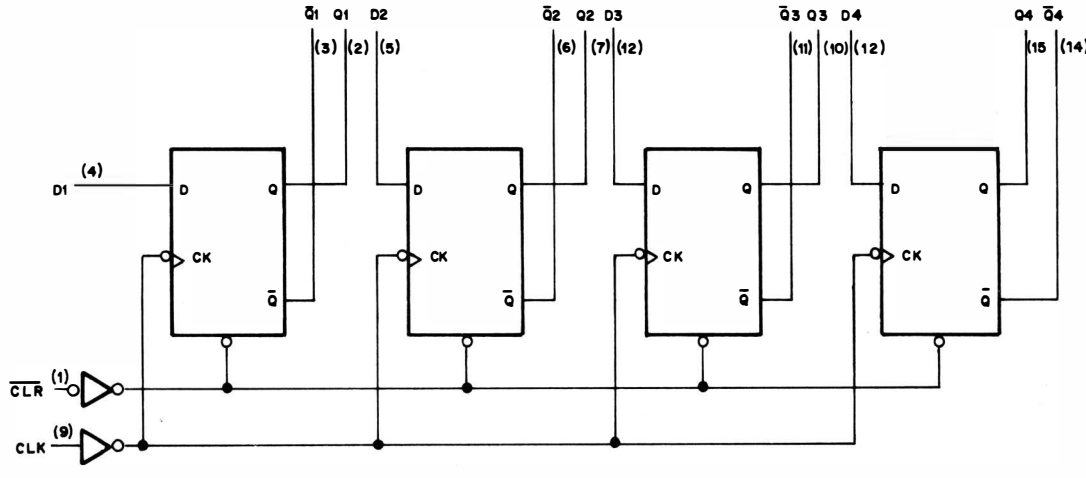
OBSERVAÇÕES:
1) Obtidos com V_{CC} = 5V e T_A = 25°C.
2) Não mais que uma saída em curto no mesmo instante e a duração do curto circuito não deve ser superior a 1s.
3) Todas as saídas abertas e 4,5V aplicado às entradas de dados e clear; I_{CC} é medido após a entrada clock ser aterrada momentaneamente e depois levada para 4,5V.

CARACTERÍSTICAS AC - V_{CC} = 5V, T_A = 25°C

SÍMBOLO	PARÂMETRO		LIMITES			UNIDADE	CONDIÇÕES DE TESTE
			MÍN.	TÍP.	MÁX.		
$f_{MÁX.}$	Atraso de propagação	Freqüência máxima de clock	30	40		MHz	C_L = 15 pF; R_L = 2K Ω
t_{PLH}		L → H, clear para saída		20	30	ns	
t_{PHL}		H → L, clear para saída		20	30	ns	
t_{PLH}		L → H, clock para saída		13	25	ns	
t_{PHL}		H → L, clock para saída		16	25	ns	

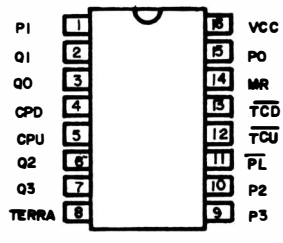
Vide formas de onda e circuitos de carga.

Configuração Interna

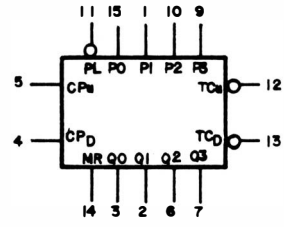


IC 74LS193

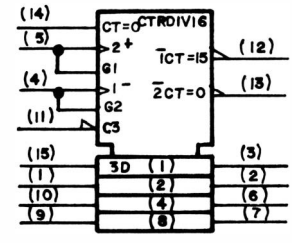
PINAGEM



ESQUEMA LÓGICO



SIMBOLOGIA IEC



CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	TÍP.	MÁX.	
V_{CC}	Tensão de alimentação	4,75	5	5,25	V
T_A	Temperatura de operação	0		70	°C

CARACTERÍSTICAS DC
(ao longo da faixa de temperaturas de operação)

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE [1]
		MÍN.	TÍP.	MÁX.		
V_{IH}	Tensão de entrada - nível alto	2			V	Nível alto garantido de entrada
V_{IL}	Tensão de entrada - nível baixo			0,8	V	Nível baixo garantido de entrada
V_{IK}	Tensão de grampeamento na entrada		−0,65	−1,5	V	V_{CC} = Mín., I_{IN} = −18 mA
V_{OH}	Tensão de saída - nível alto	2,7	3,4		V	V_{CC} = Mín., I_{OH} = −400 μA, V_{IH} ou V_{IL} segundo a tabela da verdade
V_{OL}	Tensão de saída - nível baixo		0,25	0,4	V	I_{OL} = 4 mA; V_{CC} = Mín., V_{IN} = V_{IT},
			0,35	0,5	V	I_{OL} = 8 mA; segundo a tabela da verdade
I_{IH}	Corrente de entrada - nível alto			20	μA	V_{CC} = Máx., V_{IN} = 2,7 V
				0,1	mA	V_{CC} = Máx., V_{IN} = 7,0 V
I_{IL}	Corrente de entrada - nível baixo			−0,4	mA	V_{CC} = Máx. V_{IN} = 0,4 V
I_{OS}	Corrente de curto na saída[2]	−20		−100	mA	V_{CC} = Máx., V_{OUT} = 0 V
I_{CC}	Corrente de alimentação		19	34	mA	V_{CC} = Máx.,

CARACTERÍSTICAS AC (T_A = 25°C)

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE	
		MÍN.	TÍP.	MÁX.			
f_{MAX}	Máxima freqüência de entrada	25	32		ns	Figura 1	V_{CC} = 5 V, C_L = 15pF
t_{PLH}	Entrada CP_U para saída $\overline{TC}_U$		17	26	ns	Figura 2	
t_{PHL}			18	24			
t_{PLH}	Entrada CP_D para saída $\overline{TC}_D$		16	24	ns		
t_{PHL}			15	24			
t_{PLH}	De CP_D ou CP_U para as saídas Q_n		17	38	ns		
t_{PHL}			30	47			
t_{PLH}	Das entradas $\overline{PL}$ para qualquer saída		24	40	ns	Figura 4	
t_{PHL}			25	40			
t_{PHL}	Da entrada MR para qualquer saída		23	35	ns	Figura 7	

OBSERVAÇÕES:

1) As condições de teste não indicadas na tabela foram escolhidas de forma a garantir a operação sob condições de "pior caso"
2) Não se deve curto-circuitar mais de uma saída por vez
3) Os valores nominais referem-se a V_{CC} = 5 V e T_A = 25°C

REQUISITOS DE OPERAÇÃO EM AC T_A = 25°C)

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE	
		MÍN.	TÍP.	MÁX.			
t_W	Largura de pulso em CP_U	20			ns	Figura 1	V_{CC}=5 V
t_W	Largura de pulso em $\overline{PL}_D$	20			ns		
t_W	Largura de pulso em $\overline{PL}$	20			ns	Figura 4	
t_W	Largura de pulso em MR	20			ns		
t_{sL}	Tempo de set-up, nível baixo, dados aplicados a $\overline{PL}$	20			ns	Figura 6	
t_{hL}	Tempo de hold, nível baixo, dados aplicados a $\overline{PL}$	50			ns		
t_{sH}	Tempo de set-up, nível alto, dados aplicados a $\overline{PL}$	20			ns		
t_{hH}	Tempo de hold, nível alto, dados aplicados a $\overline{PL}$	5			ns		
t_{rec}	Tempo de recuperação	40			ns	Figura 5	

OBSERVAÇÕES:

1) Tempo de set-up (t_s): tempo mínimo em que o nível lógico adequado deve estar presente em uma entrada, antes da transição de $\overline{PL}$ do nível baixo para alto, a fim de ser reconhecido e transferido para as saídas.
2) Tempo de hold (t_h): tempo mínimo, após a transição de $\overline{PL}$ do nível baixo para o alto, pelo qual o nível lógico deve ser mantido na entrada, a fim de garantir um reconhecimento contínuo. Um tempo de retenção negativo indica que o nível lógico correto poderá ser liberado antes da transição de $\overline{PL}$ de "0" para "1" e ainda assim ser reconhecido.
3) Tempo de recuperação (t_{rec}): tempo mínimo requerido entre o fim do pulso de reset e a transição do clock de "0" para "1", para que dados de nível alto sejam reconhecidos e transferidos para as saídas Q.

TABELA DE SELEÇÃO DE MODALIDADES

MR	$\overline{PL}$	CP_U	CP_D	MODALIDADES
H	X	X	X	reset (assíncrono)
L	L	X	X	preset (assíncrono)
L	H	H	H	sem alterações
L	H	⌐	H	contagem crescente
L	H	H	⌐	contagem decrescente

⌐ = transição de clock do nível baixo para o alto

Configuração Interna

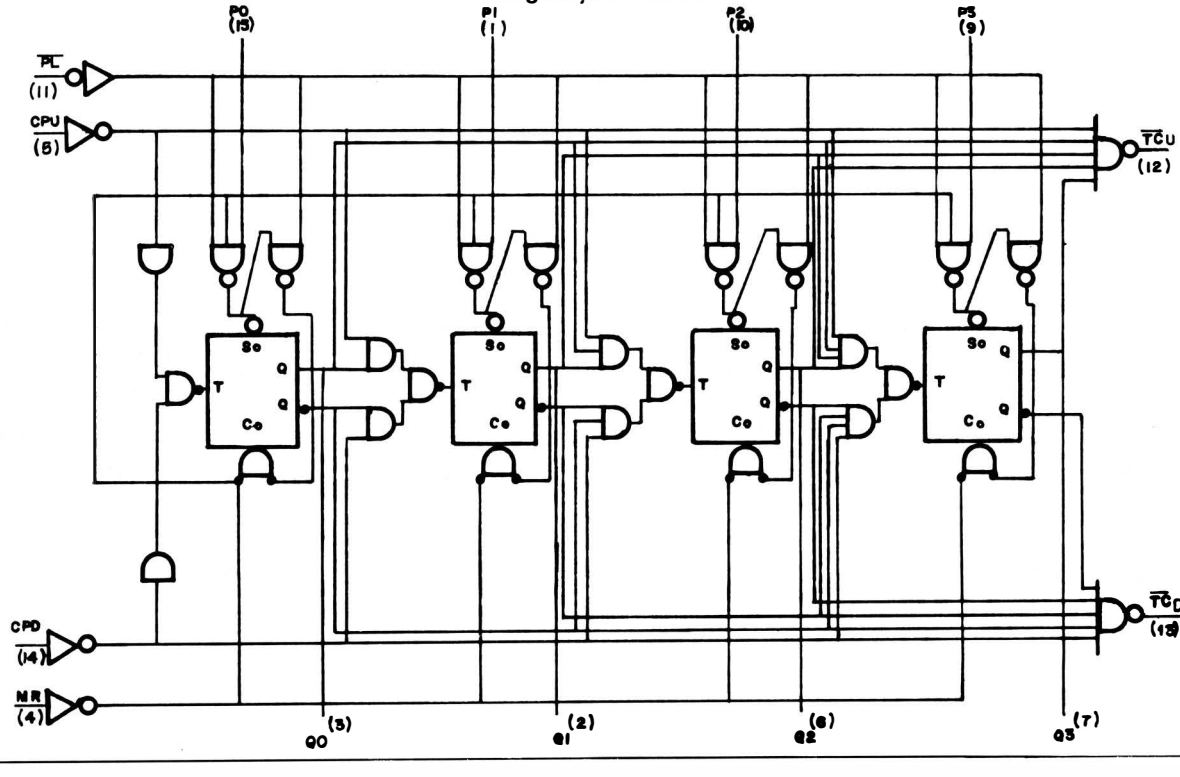


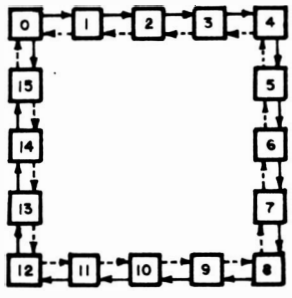
DIAGRAMA DE ESTADOS

Equações lógicas para a contagem final:

$\overline{TC_U} = Q_0.Q_1.Q_2.Q_3.\overline{CP_U}$
$\overline{TC_D} = \overline{Q_0}.\overline{Q_1}.\overline{Q_2}\overline{Q_3}.\overline{CP_D}$

CONTAGEM CRESCENTE ⟶

CONTAGEM DECRESCENTE ⟶



FORMAS DE ONDA

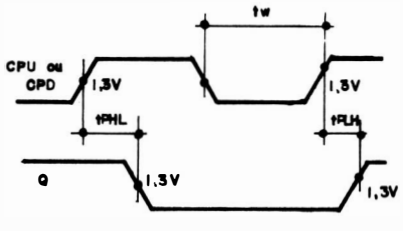


FIGURA 1

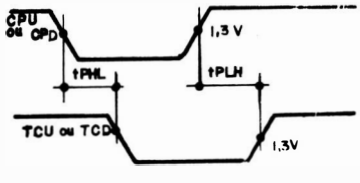


FIGURA 2

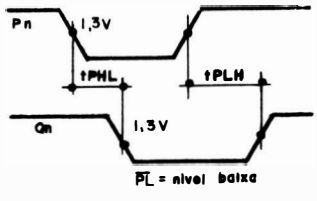


FIGURA 3

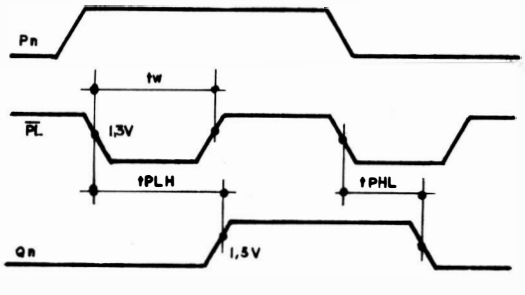


FIGURA 4

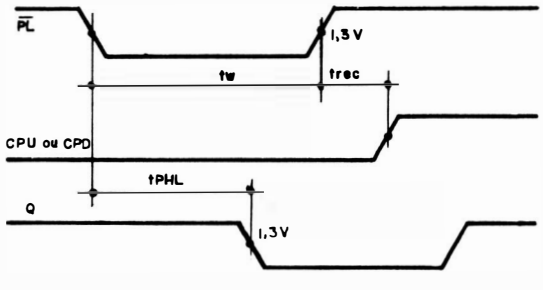


FIGURA 5

FIGURA 6

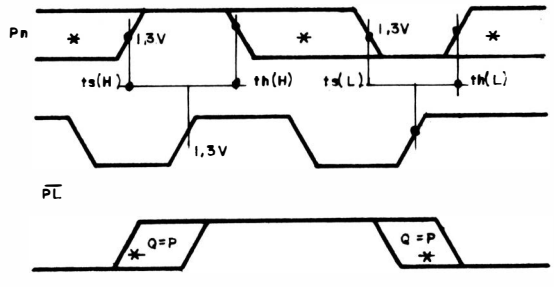
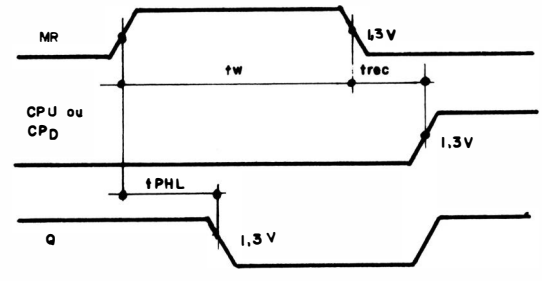


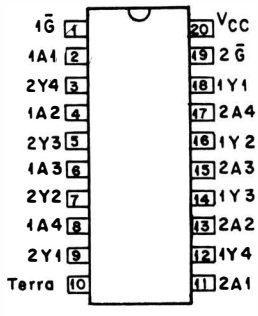
FIGURA 7



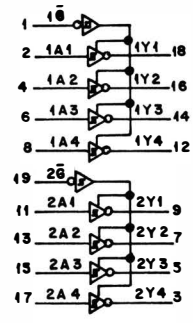
IC 74LS240

DRIVER/RECEPTOR PARA 8 LINHAS
COM SAÍDA INVERTIDA - SAÍDAS TRI-STATE

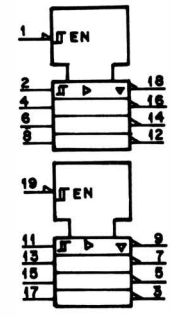
PINAGEM



ESQUEMA LÓGICO



SIMBOLOGIA IEC



CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	NOM.	MÁX.	
V_{CC}	Tensão de alimentação	4,75	5,0	5,25	V
V_{IH}	Tensão de entrada - nível alto	2			V
V_{IL}	Tensão de entrada - nível baixo			0,8	V
I_{OH}	Corrente de saída - nível alto			−15	mA
I_{OL}	Corrente de saída - nível baixo			24	mA
T_A	Temperatura de operação	0		70	°C

TABELA DA VERDADE

ENTRADAS				SAÍDAS	
$\overline{1G}$	1A	$\overline{2G}$	2A	1Y	2Y
L	L	L	L	H	H
L	H	L	H	L	L
H	X	H	X	Z	Z

H = nível alto L = nível baixo
X = irrelevante Z = alta impedância

CARACTERÍSTICAS DC

SÍMBOLO	PARÂMETRO		LIMITES			UNIDADE	CONDIÇÕES DE TESTE[3]	
			MÍN.	TÍP.[1]	MÁX.			
V_{IK}	Tensão de proteção				−1,5	V	V_{CC} = MÍN.; I_I = − 18 mA	
V_{OH}	Tensão de saída - nível alto		2,4	3,4		V	V_{CC} = MÍN. V_{IH} = 2 V	I_{OH} = − 3 mA; V_{IL} = MÁX.
			2,0			V	V_{CC} = MÍN. V_{IL} = 0,5 V	I_{OH} = − 15 mA; V_{IH} = 2 V
V_{OL}	Tensão de saída - nível baixo				0,4	V	I_{OL} = 12 mA	V_{CC} = MÍN.; V_{IH} = 2 V
					0,5	V	I_{OL} = 24 mA	V_{IL} = MÁX.
	Histerese		0,2	0,4		V	V_{CC} = MÍN.	
I_{OZH}	Corrente de saída alta impedância - nível alto				20	μA	V_O = 2,7 V	V_{CC} = MÍN.; V_{IH} = 2 V
I_{OZL}	Corrente de saída alta impedância - nível baixo				−20	μA	V_O = 0,4 V	V_{IL} = MÁX.
I_I	Corrente de entrada para máxima tensão de entrada				0,1	mA	V_{CC} = MÁX.	V_I = 7 V
I_{IH}	Corrente de entrada - nível alto				20	μA	V_{CC} = MÁX.	V_I = 2,7 V
I_{IL}	Corrente de entrada - nível baixo				−0,2	mA	V_{CC} = MÁX.	V_I = 0,4 V
I_{OS}[2]	Corrente de curto circuito na saída		−40		−225	mA	V_{CC} = MÁX.	
I_{CC}	Corrente de alimentação	Saídas nível alto		17	27	mA	V_{CC} = MÁX.	Saídas abertas
		Saídas nível baixo		26	44	mA	V_{CC} = MÁX.	
		Saídas desabilitadas		29	50	mA	V_{CC} = MÁX.	

OBSERVAÇÕES:
1) Obtidos com V_{CC} = 5 V e T_A = 25°C.
2) não mais que uma saída em curto no mesmo instante e a duração do curto circuito não deve ser superior a 1 s.

CARACTERÍSTICAS AC: T_A = 25°C e V_{CC} = 5V

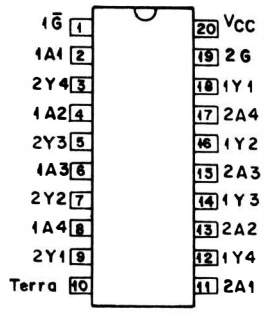
SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TÍP.	MÁX.		
t_{PLH}	Atraso de propagação (L → H) de A para Y		9	14	ns	C_L = 45 pF R_L = 667 Ω
t_{PHL}	Atraso de propagação (H → L) de A para Y		12	18	ns	
t_{PZH}	Atraso de propagação (Z → H) de $\overline{G}$ para Y		15	23	ns	
t_{PZL}	Atraso de propagação (Z → L) de $\overline{G}$ para Y		20	30	ns	
t_{PHZ}	Atraso de propagação (H → Z) de $\overline{G}$ para Y		15	25	ns	C_L = 5 pF R_L = 667 Ω
t_{PLZ}	Atraso de propagação (L → Z) de $\overline{G}$ para Y		10	20	ns	

Vide formas de onda e circuitos de carga

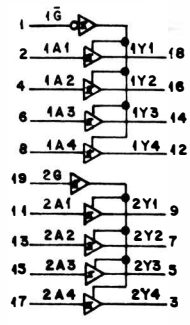
DRIVER/RECEPTOR PARA 8 LINHAS
COM SAÍDA NÃO INVERTIDA - SAÍDAS TRI-STATE

IC 74LS241

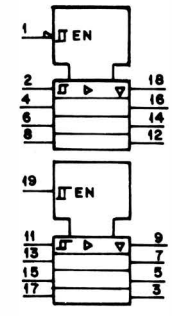
PINAGEM



ESQUEMA LÓGICO



SIMBOLOGIA IEC



CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	NOM.	MÁX.	
V_{CC}	Tensão de alimentação	4,75	5,0	5,25	V
V_{IH}	Tensão de entrada - nível alto	2			V
V_{IL}	Tensão de entrada - nível baixo			0,8	V
I_{OH}	Corrente de saída - nível alto			−15	mA
I_{OL}	Corrente de saída - nível baixo			24	mA
T_A	Temperatura de operação	0		70	°C

TABELA DA VERDADE

ENTRADAS				SAÍDAS	
1G̅	1A	2G	2A	1Y	2Y
L	L	H	L	L	L
L	H	H	H	H	H
H	X	L	X	Z	Z

H = nível alto L = nível baixo
X = irrelevante Z = alta impedância

CARACTERÍSTICAS DC

SÍMBOLO	PARÂMETRO		LIMITES			UNIDADE	CONDIÇÕES DE TESTE	
			MÍN.	TÍP.	MÁX.			
V_{IK}	Tensão de proteção				−1,5	V	V_{CC} = MÍN.; I_I = − 18 mA	
V_{OH}	Tensão de saída - nível alto		2,4	3,4		V	V_{CC} = MÍN.; I_{OH} = − 3 mA; V_{IH} = 2 V; V_{IL} = MÁX.	
			2,0			V	V_{CC} = MÍN.; I_{OH} = − 15 mA; V_{IL} = 0,5 V; V_{IH} = 2 V	
V_{OL}	Tensão de saída - nível baixo				0,4	V	I_{OL} = 12 mA	V_{CC} = MÍN., V_{IH} = 2 V
					0,5	V	I_{OL} = 24 mA	V_{IL} = MÁX.
	Histerese		0,2	0,4		V	V_{CC} = MÍN.	
I_{OZH}	Corrente de saída alta impedância - nível alto				20	μA	V_O = 2,7 V	V_{CC} = MÁX.; V_{IH} = 2 V
I_{OZL}	Corrente de saída alta impedância - nível baixo				−20	μA	V_O = 0,4 V	V_{IL} = MÁX.
I_I	Corrente de entrada para máxima tensão de entrada				0,1	mA	V_{CC} = MÁX.	V_I = 7 V
I_{IH}	Corrente de entrada - nível alto				20	μA	V_{CC} = MÁX.	V_I = 2,7 V
I_{IL}	Corrente de entrada - nível baixo				−0,2	mA	V_{CC} = MÁX.	V_{IL} = 0,4 V
I_{OS} (2)	Corrente de curto circuito na saída		−40		−225	mA	V_{CC} = MÁX.	
I_{CC}	Corrente de alimentação	Saídas nível alto		17	27	mA	V_{CC} = MÁX.	Saídas abertas
		Saídas nível baixo		27	46	mA	V_{CC} = MÁX.	
		Saídas desligadas		32	54	mA	V_{CC} = MÁX.	

OBSERVAÇÕES:
1) Obtidos com V_{CC} = 5 V e T_A = 25°C.
2) Não mais que uma saída em curto no mesmo instante e a duração do curto circuito não deve ser superior a 1 s.

CARACTERÍSTICAS AC T_A = 25°C e V_{CC} = 5V

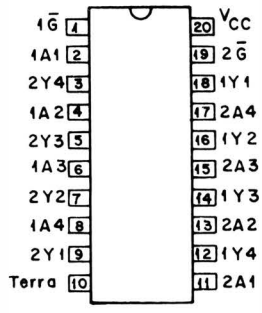
SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TÍP.	MÁX.		
t_{PLH}	Atraso de propagação (L → H) de A para Y		12	18	ns	C_L = 45 pF; R_L = 667 Ω
t_{PHL}	Atraso de propagação (H → L) de A para Y		12	18	ns	
t_{PZH}	Atraso de propagação (Z → H) de G para Y		15	23	ns	
t_{PZL}	Atraso de propagação (Z → L) de G para Y		20	30	ns	
t_{PHZ}	Atraso de propagação (H → Z) de G para Y		15	25	ns	C_L = 5 pF; R_L = 667 Ω
t_{PLZ}	Atraso de propagação (L → Z) de G para Y		10	20	ns	

Vide formas de onda e circuitos de carga.

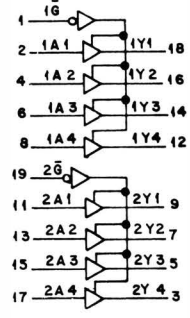
IC 74LS244

DRIVER/RECEPTOR PARA 8 LINHAS
COM SAÍDA NÃO INVERTIDA - SAÍDAS TRI-STATE

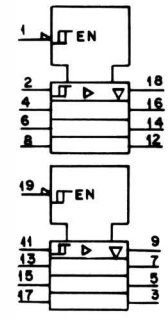
PINAGEM



ESQUEMA LÓGICO



SIMBOLOGIA IEC



CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	NOM.	MÁX.	
V_{CC}	Tensão de alimentação	4,75	5,0	5,25	V
V_{IH}	Tensão de entrada - nível alto	2			V
V_{IL}	Tensão de entrada - nível baixo			0,8	V
I_{OH}	Corrente de saída - nível alto			−15	mA
I_{OL}	Corrente de saída - nível baixo			24	mA
T_A	Temperatura de operação	0		70	°C

TABELA DA VERDADE

ENTRADAS				SAÍDAS	
1G̅	1A	2G̅	2A	1Y	2Y
L	L	L	L	L	L
L	H	L	H	H	H
H	X	H	X	Z	Z

H = nível alto L = nível baixo
X = irrelevante Z = alta impedância

CARACTERÍSTICAS DC

SÍMBOLO	PARÂMETRO		LIMITES			UNIDADE	CONDIÇÕES DE TESTE	
			MÍN.	TÍP.	MÁX.			
V_{IK}	Tensão de proteção				−1,5	V	V_{CC} = MÍN.; I_I = − 18 mA	
V_{OH}	Tensão de saída - nível alto		2,4	3,4		V	V_{CC} = MÍN.; I_{OH} = − 3 mA; V_{IH} = 2 V; V_{IL} = MÁX.	
			2,0			V	V_{CC} = MÍN.; I_{OH} = − 15 mA; V_{IL} = 0,5 V; V_{IH} = 2V	
	Histerese		0,2	0,4		V	V_{CC} = MÍN.	
V_{OL}	Tensão de saída - nível baixo				0,4	V	I_{OL} = 12 mA	V_{CC} = MÍN., V_{IH} = 2 V
					0,5	V	I_{OL} = 24 mA	V_{IL} = MÁX.
I_{OZH}	Corrente de saída alta impedância - nível alto				20	μA	V_O = 2,7 V	V_{CC} = MÁX., V_{IH} = 2 V
I_{OZL}	Corrente de saída alta impedância - nível baixo				−20	μA	V_O = 0,4 V	V_{IL} = MÁX.
I_I	Corrente de entrada para máxima tensão de entrada				0,1	mA	V_{CC} = MÁX.	V_I = 7 V
I_{IH}	Corrente de entrada - nível alto				20	μA	V_{CC} = MÁX.	V_I = 2,7 V
I_{IL}	Corrente de entrada - nível baixo				−0,2	mA	V_{CC} = MÁX.	V_{IL} = 0,4 V
I_{OS} (2)	Corrente de curto circuito na saída		−40		−225	mA	V_{CC} = MÁX.	
I_{CC}	Corrente de alimentação	Saídas nível alto		17	27	mA	V_{CC} = MÁX.	Saídas abertas
		Saídas nível baixo		27	46	mA	V_{CC} = MÁX.	
		Saídas desligadas		32	54	mA	V_{CC} = MÁX.	

OBSERVAÇÕES:
1) Obtidos com V_{CC} = 5 V e T_A = 25°C.
2) Não mais que uma saída em curto no mesmo instante e a duração do curto circuito não deve ser superior a 1 s.

CARACTERÍSTICAS AC T_A = 25° e V_{CC} = 5,0V

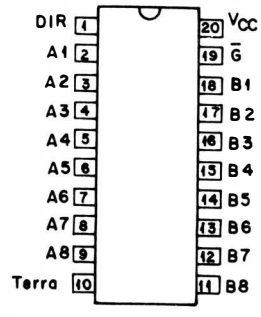
SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TÍP.	MÁX.		
t_{PLH}	Atraso de propagação (L → H) de A para Y		12	18	ns	C_L = 45 pF; R_L = 667 Ω
t_{PHL}	Atraso de propagação (H → L) de A para Y		12	18	ns	
t_{PZH}	Atraso de propagação (Z → H) de G̅ para Y		15	23	ns	
t_{PZL}	Atraso de propagação (Z → L) de G̅ para Y		20	30	ns	
t_{PHZ}	Atraso de propagação (H → Z) de G̅ para Y		15	28	ns	C_L = 5 pF; R_L = 667 Ω
t_{PLZ}	Atraso de propagação (L → Z) de G̅ para Y		10	20	ns	

Vide formas de onda e circuitos de carga.

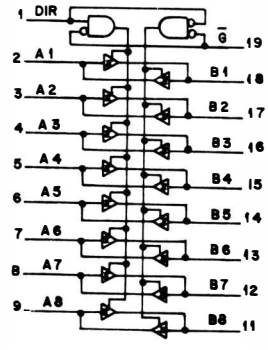
OITO TRANSCEPTORES DE BARRA
SAÍDAS TRI-STATE

IC 74LS245

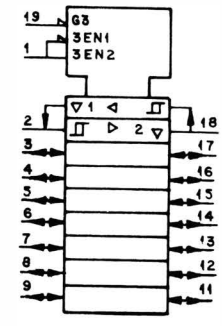
PINAGEM



ESQUEMA LÓGICO



SIMBOLOGIA IEC



CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	NOM.	MÁX.	
V_{CC}	Tensão de alimentação	4,75	5,0	5,25	V
V_{IH}	Tensão de entrada - nível alto	2			V
V_{IL}	Tensão de entrada - nível baixo			0,8	V
I_{OH}	Corrente de saída - nível alto			−15	mA
I_{OL}	Corrente de saída - nível baixo			24	mA
T_A	Temperatura de operação	0		70	°C

TABELA DA VERDADE

$\overline{G}$	DIR	OPERAÇÃO
L	L	Dados de B para A
L	H	Dados de A para B
H	X	Isolação

H = nível alto X = irrelevante
L = nível baixo

CARACTERÍSTICAS DC

SÍMBOLO	PARÂMETRO		LIMITES			UNIDADE	CONDIÇÕES DE TESTE	
			MÍN.	TÍP.(1)	MÁX.			
V_{IK}	Tensão de proteção				−1,5	V	V_{CC} = MÍN.; I_I = − 18 mA	
	Histerese ($V_{T+} - V_{T-}$) entrada A ou B		0,2	0,4		V	V_{CC} = MÍN.	
V_{OH}	Tensão de saída - nível alto		2,4	3,4		V	I_{OH} = − 3 mA	V_{CC} = MÍN., V_{IL} = 2 V
			2,0			V	I_{OH} = −15 mA	V_{IL} = MÁX.
V_{OL}	Tensão de saída - nível baixo				0,4	V	I_{OL} = 12 mA	V_{CC} = MÍN., V_{IH} = 2 V
					0,5	V	I_{OL} = 24 mA	V_{IL} = MÁX.
I_{OZH}	Corrente de saída alta impedância - nível alto				20	µA	V_O = 2,7	V_{CC} = MÁX., $\overline{G}$ em 2 V
I_{OZL}	Corrente de saída alta impedância - nível baixo				−200	µA	V_O = 0,4 V	
I_I	Corrente de entrada para máxima tensão de entrada	A ou B			0,1	mA	V_I = 5,5 V	V_{CC} = MÁX.
		DIR ou $\overline{G}$			0,1	mA	V_I = 7 V	
I_{IH}	Corrente de entrada - nível alto				20	µA	V_{CC} = MÁX.	V_{IH} = 2,7 V
I_{IL}	Corrente de entrada - nível baixo				−0,2	mA	V_{CC} = MÁX.	V_{IL} = 0,4 V
I_{OS}(2)	Corrente de curto circuito na saída		−40		−225	mA	V_{CC} = MÁX.	
I_{CC}	Corrente de alimentação	Saídas nível alto		48	70	mA	V_{CC} = MÁX.	Saídas abertas
		Saídas nível baixo		62	90	mA		
		Saídas desligadas		64	95	mA		

OBSERVAÇÕES:
1) Obtidos com V_{CC} = 5 V e T_A = 25°C.
2) Não mais que uma saída em curto no mesmo instante e a duração do curto circuito não deve ser superior a 1 s.

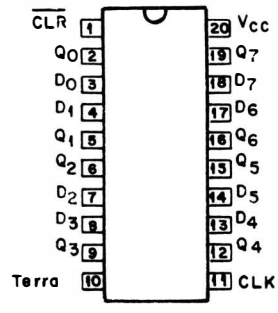
CARACTERÍSTICAS AC: V_{CC} = 5V; T_A = 25°C

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TÍP.	MÁX.		
t_{PLH}	Atraso de propagação (L → H) de A ou B para B ou A		8	12	ns	C_L = 45 pF, R_L = 667 Ω
t_{PHL}	Atraso de propagação (H → L) de A ou B para B ou A		8	12	ns	
t_{PZH}	Atraso de propagação (Z → H) de $\overline{G}$ para A ou B		25	40	ns	
t_{PZL}	Atraso de propagação (Z → L) de $\overline{G}$ para A ou B		27	40	ns	
t_{PHZ}	Atraso de propagação (H → Z) de $\overline{G}$ para A ou B		15	28	ns	C_L = 5 pF, R_L = 667 Ω
t_{PLZ}	Atraso de propagação (L → Z) de $\overline{G}$ para A ou B		15	25	ns	

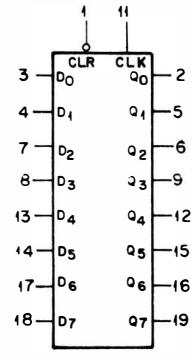
Vide formas de onda e circuitos de carga.

IC 74LS273

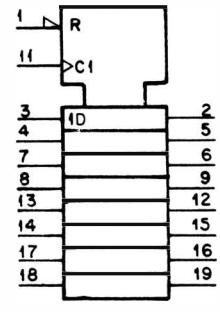
PINAGEM



ESQUEMA LÓGICO



SIMBOLOGIA IEC



CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO		LIMITES			UNIDADE
			MÍN.	NOM.	MÁX.	
V_{CC}	Tensão de alimentação		4,75	5,0	5,25	V
V_{IH}	Tensão de entrada - nível alto		2			V
V_{IL}	Tensão de entrada - nível baixo				0,8	V
I_{OH}	Corrente de saída - nível alto				−400	µA
I_{OL}	Corrente de saída - nível baixo				8	mA
f_{clock}	Freqüência de clock		0		30	MHz
t_w	Largura de pulso de clock ou clear		20			ns
t_{su}	Tempo de setup	entrada de dado	20↑			ns
		clear estado inativo	25↑			ns
t_h	Tempo de hold do dado		5↑			ns
T_A	Temperatura de operação		0		70	°C

CARACTERÍSTICAS DC

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE	
		MÍN.	TÍP.(1)	MÁX.			
V_{IK}	Tensão de proteção			−1,5	V	V_{CC} = MÍN.; I_I = − 18 mA	
V_{OH}	Tensão de saída - nível alto	2,7	3,4		V	V_{CC} = MÍN. a MÁX. I_{OH} = − 0,4 mA	V_{IL} = MÁX. V_{IH} = 2V
V_{OL}	Tensão de saída - nível baixo		0,25	0,4	V	I_{OL} = 4 mA	V_{CC} = MÍN., V_{IH} = 2 V
			0,35	0,5	V	I_{OL} = 8 mA	V_{IL} = MÁX.
I_I	Corrente de entrada para máxima tensão de entrada			0,1	mA	V_{CC} = MÁX.	V_I = 7 V
I_{IH}	Corrente de entrada - nível alto			20	µA	V_{CC} = MÁX.	V_I = 2,7 V
I_{IL}	Corrente de entrada - nível baixo			−0,4	mA	V_{CC} = MÁX.	V_I = 0,4 V
I_{OS}	Corrente de curto circuito na saída	−20		−100	mA	V_{CC} = MÁX.	
I_{CC}	Corrente de alimentação (total)		17	27	mA	V_{CC} = MÁX.	

CARACTERÍSTICAS AC: $T_A = 25°C$ e $V_{CC} = 5\ V$

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TÍP.	MÁX.		
f_{max}	Frequência máxima de clock	30	40		MHz	$C_L = 15\ pF$ $R_L = 2\ K\Omega$
t_{PHL}	Tempo de atraso de propagação de clear saídas H ⟶ L		18	27	ns	
t_{PLH}	Tempo de atraso de propagação do clock saídas L ⟶ H		17	27	ns	
t_{PHL}	Tempo de atraso de propagação do clock saídas H ⟶ L		18	27	ns	

Vide formas de onda e circuitos de carga

Configuração Interna

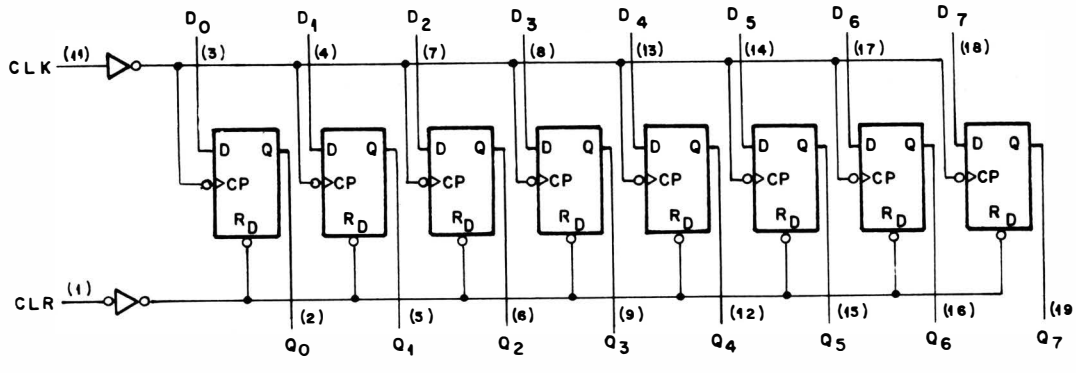


TABELA DA VERDADE

ENTRADAS			SAÍDAS
CLR	CLOCK	D	Q
L	X	X	L
H	↑	H	H
H	↑	L	L
H	L	X	Q_o

H = nível alto

L = nível baixo

X = irrelevante

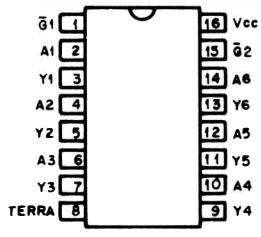
OBSERVAÇÕES:

1) Obtidos com $V_{CC} = 5\ V$ e $T_A = 25°C$

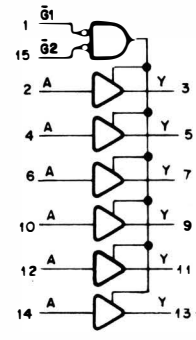
2) Não mais de uma saída em curto no mesmo instante e o curto circuito não deve exceder 1 s.

IC 74LS365

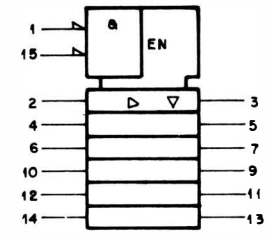
PINAGEM



ESQUEMA LÓGICO



SIMBOLOGIA IEC



CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	NOM.	MÁX.	
V_{CC}	Tensão de alimentação	4,75	5,0	5,25	V
V_{IH}	Tensão de entrada - nível alto	2,0			V
V_{IL}	Tensão de entrada - nível baixo			0,8	V
T_A	Temperatura de operação	0		70	°C

TABELA DA VERDADE

ENTRADAS			SAÍDA
$\bar{G}1$	$\bar{G}2$	A	Y
L	L	L	L
L	L	H	H
H	X	X	Z
X	H	X	Z

L = nível baixo
H = nível alto
Z = alta impendância
X = irrelevante

CARACTERÍSTICAS DC

SÍMBOLO	PARÂMETRO		LIMITES			UNIDADE	CONDIÇÕES DE TESTE[1]	
			MÍN.	TÍP.[4]	MÁX.			
V_{IK}	Tensão de proteção			-0,65	-1,5	V	V_{CC} = MÍN.; I_I = -18 mA	
V_{OH}	Tensão de saída - nível alto		2,4	3,1		V	V_{CC} = MÍN.; I_{OH} = 2,6 mA	
V_{OL}	Tensão de saída - nível baixo			0,25	0,4	V	I_{OL} = 12 mA	V_{CC} = MÍN.
				0,35	0,5	V	I_{OH} = 24 mA	
I_{OZH}	Corrente de saída - nível alto - alta impendância				20	μA	V_{CC} = MÁX.; V_O = 2,4V; V_G = 2,0V	
I_{OZL}	Corrente de saída - nível baixo - alta impendância				-20	μA	V_{CC} = MÁX.; V_O = 0,4V; V_G = 2,0V	
I_I	Corrente de entrada para máxima tensão de entrada				0,1	mA	V_{CC} = MÁX.; V_I = 7,0V	
I_{IH}	Corrente de entrada - nível alto				20	μA	V_{CC} = MÁX.; V_I = 2,7V	
I_{IL}	Corrente de entrada - nível baixo	Entradas A			-0,4	mA	V_{CC} = MÁX.	
		Entradas G			-0,4	mA	V_I = 0,4V[2]	
I_{OS}	Corrente de curto circuito na saída[3]		-40		-225	mA	V_{CC} = MÁX.; V_O = 0V	
I_{CC}	Corrente de alimentação			13,5	24	mA	V_{CC} = MÁX.; V_I = 0V; V_G = 4,5V	

OBSERVAÇÕES:
1) Para as condições apresentadas como MÍN. ou MÁX., use o valor apropriado indicado em Condições de Operação Recomendadas.
2) Ambas as entrada G em 0,4V.
3) Não mais de uma saída em curto no mesmo instante.
4) Valores típicos obtidos com V_{CC} = 5,0V e T_A = 25°C.

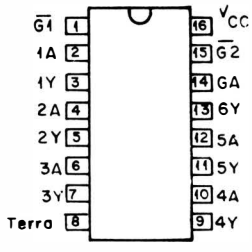
CARACTERÍSTICAS AC

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE	
		MÍN.	TÍP.	MÁX.			
t_{PLH}	Atraso de propagação		10	16	ns	V_{CC} = 5,0V	
t_{PHL}			9,0	22	ns	C_L = 45 pF	
t_{PLH}	Tempo de habilitação das saídas		19	35	ns	R_L = 667Ω	
t_{PHL}			24	40	ns	T_A = 25°C	
t_{PLH}	Tempo de desabilitação das saídas			30	ns	V_{CC} = 5V	T_A = 25°C
t_{PHL}				35	ns	C_L = 5,0 pF	

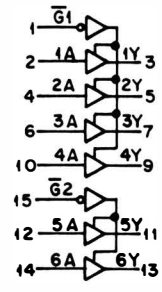
Vide formas de onda e circuitos de carga.

IC 74LS367

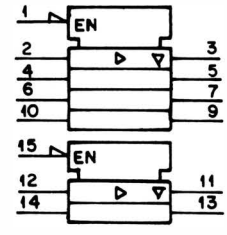
PINAGEM



ESQUEMA LÓGICO



SIMBOLOGIA IEC



CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	NOM.	MÁX.	
V_{CC}	Tensão de alimentação	4,75	5,0	5,25	V
V_{IH}	Tensão de entrada - nível alto	2			V
V_{IL}	Tensão de entrada - nível baixo			0,8	V
I_{OH}	Corrente de saída - nível alto			−2,6	mA
I_{OL}	Corrente de saída - nível baixo			24	mA
T_A	Temperatura de operação	0		70	°C

CARACTERÍSTICAS DC

SÍMBOLO	PARÂMETRO		LIMITES			UNIDADE	CONDIÇÕES DE TESTE	
			MÍN.	TÍP.(1)	MÁX.			
V_{IK}	Tensão de proteção				−1,5	V	V_{CC} = MÍN.; I_I = − 18 mA	
V_{OH}	Tensão de saída - nível alto		2,4	3,1		V	V_{CC} = MÍN. V_{IH} = 2 V V_{IL} = MÁX. I_{OH} = MÁX.	
V_{OL}	Tensão de saída - nível baixo			0,35	0,5	V	I_{OL} = MÁX.	V_{CC} = MÍN.; V_{IH} = 2 V
				0,25	0,4	V	I_{OL} = 12 mA	V_{IL} = MÁX.
I_{OZ}	Corrente de saída - alta impedância				20	µA	V_O = 2,4 V	V_{CC} = MÁX. V_{IH} = 2 V
					−20	µA	V_O = 0,4 V	V_{IL} = MÁX.
I_I	Corrente de entrada para máxima tensão de entrada				0,1	mA	V_{CC} = MÁX.	V_I = 7 V
I_{IH}	Corrente de entrada - nível alto				20	µA	V_{CC} = MÁX.	V_{IH} = 2,7 V
I_{IL}	Corrente de entrada - nível baixo	entradas A			−20	µA	V_{CC} = MÁX. V_I = 0,5 V uma das entradas $\overline{G}$ em 2 V	
					−0,4	mA	V_{CC} = MÁX. V_I = 0,4 V ambas as entradas $\overline{G}$ em 0,4 V	
		entradas $\overline{G}$			−0,2	mA	V_{CC} = MÁX.	V_I = 0,4 V
I_{OS}	Corrente de curto circuito na saída(2)		−40		−225	mA	V_{CC} = MÁX.	
I_{CC}	Corrente de alimentação (total)			14	24	mA	V_{CC} = MÁX.(3)	

CARACTERÍSTICAS AC: $T_A = 25°C$ e $V_{CC} = 5\ V$

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TÍP.(1)	MÁX.		
t_{PLH}	atraso de propagação (saídas L → H)		10	16	ns	$C_L = 45\ pF$ $R_L = 667\ \Omega$
t_{PHL}	atraso de propagação (saídas H → L)		9	22	ns	
t_{PZH}	tempo de transição (saídas Z → H)		19	35	ns	
t_{PZL}	tempo de transição (saídas Z → L)		24	40	ns	
t_{PHZ}	tempo de transição (saídas H → Z)			30	ns	$C_L = 5\ pF$ $R_L = 667\ \Omega$
t_{PLZ}	tempo de transição (saídas L → Z)			35	ns	

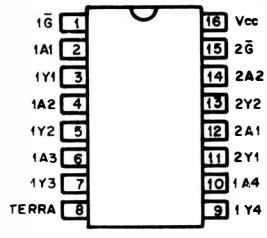
Vide formas de onda e circuitos de carga

OBSERVAÇÕES:

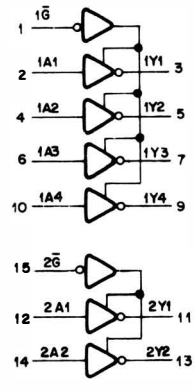
1) obtidos com $V_{CC} = 5\ V$ e $T_A = 25°C$
2) não mais que uma saída em curto no mesmo instante, nem por mais que 1 s.
3) medida com as entradas de dados em OV e os controles das saídas em 4,5 V
4) na medida dos atrasos de propagação para as saídas tri-states, as chaves S1 e S2 permanecem fechadas.

IC 74LS368A

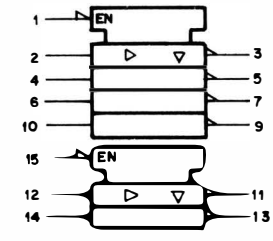
PINAGEM



ESQUEMA LÓGICO



SIMBOLOGIA IEC



CARACTERÍSTICAS DC

SÍMBOLO	PARÂMETRO		LIMITES MÍN.	LIMITES TÍP.(4)	LIMITES MÁX.	UNIDADE	CONDIÇÕES DE TESTE(1)	
V_{IK}	Tensão de proteção			-0,65	-1,5	V	V_{CC} = MÍN.; I_I = -18 mA	
V_{OH}	Tensão de saída - nível alto		2,4	3,1		V	I_{OL} = 2,6 mA; V_{CC} = MÍN.	
V_{OL}	Tensão de saída - nível baixo			0,25	0,4	V	I_{OL} = 12 mA	V_{CC} = MÍN.
				0,35	0,5	V	I_{OL} = 24 mA	
I_I	Corrente de entrada para máxima tensão de entrada				0,1	mA	V_{CC} = MÁX.; V_I = 7V	
I_{OZH}	Cor. de saída - nível alto - alta impedância				20	μA	V_{CC} = MÁX.; V_O = 2,4V, V_E = 2,0V	
I_{OZL}	Cor. de saída - nível baixo - alta impedância				-20	μA	V_{CC} = MÁX.; V_O = 0,4V, V_E = 2,0V	
I_{IH}	Corrente de entrada - nível alto				20	μA	V_{CC} = MÁX.; V_I = 2,7V	
I_{IL}	Corrente de entrada - nível baixo	Entradas A			-0,4	mA	V_{CC} = MÁX.; V_I = 0,4V(2)	
		Entradas G			-0,4	mA		
I_{OS}	Corrente de curto circuito na saída(3)		-40		-225	mA	V_{CC} = MÁX.; V_O = 0V	
I_{CC}	Corrente de alimentação			11,8	21	mA	V_{CC} = MÁX.; V_I = 0V; V_G = 4,5V	

CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO	LIMITES MÍN.	LIMITES NOM.	LIMITES MÁX.	UNIDADE
V_{CC}	Tensão de alimentação	4,75	5,0	5,25	V
V_{IH}	Tensão de entrada - nível alto	2,0			V
V_{IL}	Tensão de entrada - nível baixo			0,8	V
T_A	Temperatura de operação	0		70	°C

TABELA DA VERDADE

ENTRADAS $\bar{G}$	ENTRADAS A	SAÍDA Y
L	L	H
L	H	L
H	X	Z

OBSERVAÇÕES:
1) Para as condições apresentadas como MÍN. ou MÁX., use o valor apropriado indicado em Condições de Operação Recomendadas.
2) Ambas as entradas $\bar{G}$ em 0,4V.
3) Não mais de uma saída em curto no mesmo instante.
4) Valores típicos obtidos com V_{CC} = 5,0V e T_A = 25°C.

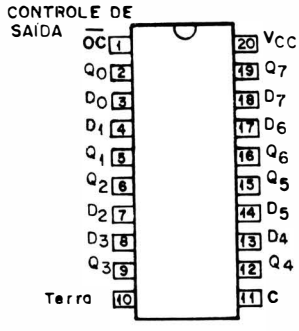
CARACTERÍSTICAS AC

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TÍP.	MÁX.		
t_{PLH}	Atraso de propagação		7,0	15	ns	V_{CC} = 5,0V
t_{PHL}			12	18	ns	C_L = 45 pF
t_{PLH}	Tempo de habilitação das saídas		18	35	ns	R_L = 667Ω
t_{PHL}			28	45	ns	T_A 3 25°C
t_{PLH}	Tempo de desabilitação das saídas			32	ns	V_{CC} = 5V; T_A = 25°C
t_{PHL}				35	ns	C_L = 5,0 pF

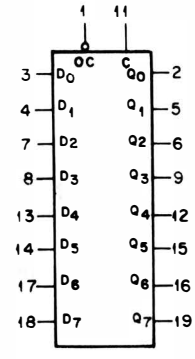
Vide formas de onda e circuitos de carga.

IC 74LS373

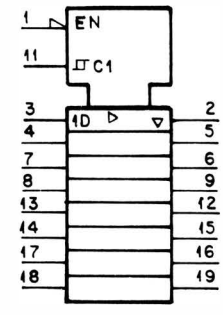
PINAGEM



ESQUEMA LÓGICO



SIMBOLOGIA IEC



CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO		LIMITES			UNIDADE
			MÍN.	NOM.	MÁX.	
V_{CC}	Tensão de alimentação		4,75	5,0	5,25	V
V_{OH}	Tensão de saída - nível alto				5,5	V
V_{IH}	Tensão de entrada - nível alto		2			V
V_{IL}	Tensão de entrada - nível baixo				0,8	V
I_{OH}	Corrente de saída - nível alto				−2,6	mA
I_{OL}	Corrente de saída - nível baixo				24	mA
t_w	Largura do pulso de clock	nível alto	15			ns
	habilitação	nível baixo	15			ns
t_{su}	Tempo de set up dos dados		5 ↓			ns
t_h	Tempo de hold dos dados		20 ↓			ns
T_A	Temperatura de operação		0		70	°C

CARACTERÍSTICAS DC

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE	
		MÍN.	TÍP.(1)	MÁX.			
V_{OH}	Tensão de saída - nível alto	2,4	3,1		V	V_{CC} = MÍN., V_{IH} = 2 V V_{IL} = MÁX.; I_{OH} = MÁX.	
V_{IK}	Tensão de proteção			−1,5	V	V_{CC} = MÍN.; I_I = − 18 mA	
V_{OL}	Tensão de saída - nível baixo		0,25	0,4	V	I_{OL} = 12 mA	V_{CC} = MÍN., V_{IH} = 2 V
			0,35	0,5	V	I_{OL} = 24 mA	V_{IL} = MÁX.
I_{OZH}	Corrente off-state de saída - tensão aplicada em nível alto			20	µA	V_{CC} = MÁX. V_O = 2,7 V	V_{IH} = 2 V
I_{OZL}	Corrente off-state de saída - tensão aplicada em nível baixo			−20	µA	V_{CC} = MÁX. V_O = 0,4 V	V_{IH} = 2 V
I_I	Corrente de entrada para máxima tensão de entrada			0,1	mA	V_{CC} = MÁX.	V_I = 7 V
I_{IH}	Corrente de entrada - nível alto			20	µA	V_{CC} = MÁX.	V_I = 2,7 V
I_{IL}	Corrente de entrada - nível baixo			−0,4	mA	V_{CC} = MÁX.	V_I = 0,4 V
I_{OS}	Corrente de curto circuito na saída(2)	−30		−130	mA	V_{CC} = MÁX.	
I_{CC}	Corrente de alimentação		24	40	mA	V_{CC} = MÁX.(3)	

CARACTERÍSTICAS AC: $T_A = 25°C$ e $V_{CC} = 5V$

SÍMBOLO	PARÂMETRO	ENTRADA	SAÍDA	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
				MÍN.	TÍP.	MÁX.		
t_{PLH}	Atraso de propagação - saídas L → H	dados	qualquer saída Q		12	18	ns	
t_{PHL}	Atraso de propagação - saídas H → L				12	18	ns	
t_{PLH}	Atraso de propagação - saídas L → H	clock ou habilitação	qualquer saída Q		20	30	ns	
t_{PHL}	atraso de propagação - saídas H → L				18	30	ns	$C_L = 45$ pF
t_{PZH}	Tempo de transição Z → H	controle de saída	qualquer saída Q		15	28	ns	$R_L = 667\ \Omega$
t_{PZL}	Tempo de transição Z → L				25	36	ns	
t_{PHZ}	Tempo de transição H → Z	controle de saída	qualquer saída Q		15	25	ns	$C_L = 5$ pF
t_{PLZ}	Tempo de transição L → Z				12	20	ns	$R_L = 667\ \Omega$

Vide formas de onda e circuitos de carga.

OBSERVAÇÕES:

1) Obtidos com $V_{CC} = 5$ V e $T_A = 25°C$.
2) Não mais que uma saída em curto no mesmo instante e a duração do curto circuito não deve ser superior a 1 s.
3) Medida com o controle de saída em 4,5 V.

Configuração Interna

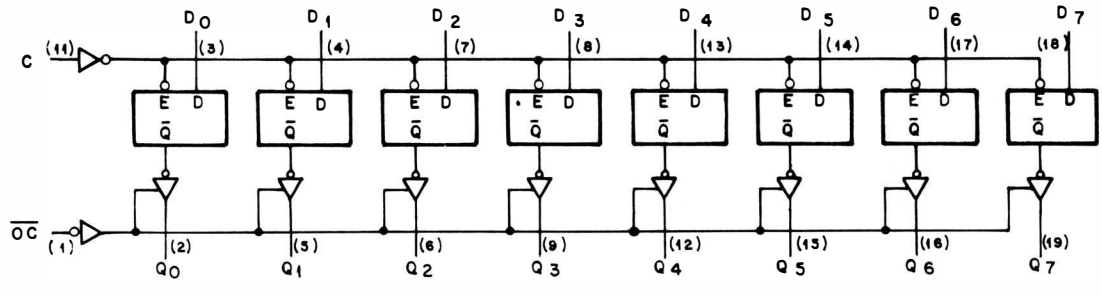


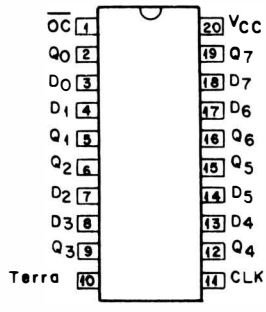
TABELA DA VERDADE

CONTROLE DE SAÍDA OC	C	D	SAÍDA Q
L	H	H	H
L	H	L	L
L	L	X	Q_0
H	X	X	Z

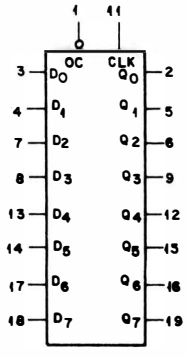
H = nível alto L = nível baixo
X = irrelevante Z = alta impedância

IC 74LS374

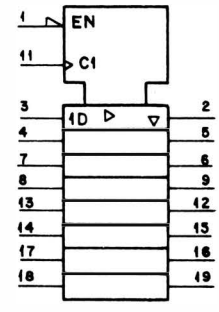
PINAGEM



ESQUEMA LÓGICO



SIMBOLOGIA IEC



CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO		LIMITES MÍN.	LIMITES NOM.	LIMITES MÁX.	UNIDADE
V_{CC}	Tensão de alimentação		4,75	5,0	5,25	V
V_{IH}	Tensão de entrada - nível alto		2,0			V
V_{IL}	Tensão de entrada - nível baixo				0,8	V
I_{OH}	Corrente de saída - nível alto				−2,6	mA
I_{OL}	Corrente de saída - nível baixo				24	mA
V_{OH}	Tensão de saída - nível alto				5,5	V
t_w	Largura de pulso	nível alto	15			ns
	clock/habitação	nível baixo	15			ns
t_{SU}	Tempo de setup		20↑			ns
t_H	Tempo de hold		0↑			ns
T_A	Temperatura de operação		0		70	°C

TABELA DA VERDADE

ENTRADAS OC	ENTRADAS CLK	ENTRADAS D	SAÍDAS Q
L	↑	H	H
L	↑	L	L
L	L	X	Q_0
H	X	X	Z

H = nível alto L = nível baixo
X = irrelevante Z = alta impedância

CARACTERÍSTICAS DC

SÍMBOLO	PARÂMETRO	LIMITES MÍN.	LIMITES TÍP.(1)	LIMITES MÁX.	UNIDADE	CONDIÇÕES DE TESTE
V_{IK}	Tensão de proteção			−1,5	V	V_{CC} = MÍN.; I_I = − 18 mA
V_{OH}	Tensão de saída - nível alto	2,4	3,1		V	V_{CC} = MÍN.; I_{OH} = MÁX.; V_{IL} = MÁX. V_{IH} = 2 V
V_{OL}	Tensão de saída - nível baixo		0,35	0,5	V	I_{OL} = 24 mA | V_{CC} = MÍN.; V_{IL} = MÁX.
			0,25	0,4	V	I_{OL} = 12 mA | V_{IH} = 2 V
I_{OZH}	Corrente de saída alta impedância - nível alto			20	µA	V_{CC} = MÁX.; V_O = 2,7 V; V_{IH} = 2 V
I_{OZL}	Corrente de saída alta impedância - nível baixo			−20	µA	V_{CC} = MÁX.; V_O = 0,4 V; V_{IH} = 2 V
I_I	Corrente de entrada para máxima tensão de entrada			0,1	mA	V_{CC} = MÁX.; V_I = 7,0 V
I_{IH}	Corrente de entrada - nível alto			20	µA	V_{CC} = MÁX.; V_I = 2,7 V
I_{IL}	Corrente de entrada - nível baixo			−0,4	mA	V_{CC} = MÁX.; V_I = 0,4 V
I_{OS}(2)	Corrente de curto circuito na saída	−30		−130	mA	V_{CC} = MÁX.
I_{CC}(3)	Corrente de alimentação		27	40	mA	V_{CC} = MÁX.

OBSERVAÇÕES:
1) Obtidos com V_{CC} = 5 V e T_A = 25°C.
2) Não mais que uma saída em curto no mesmo instante e a duração do curto circuito não deve ser superior a 1 s.
3) Obtido com $\overline{OC}$ = 4,5 V.

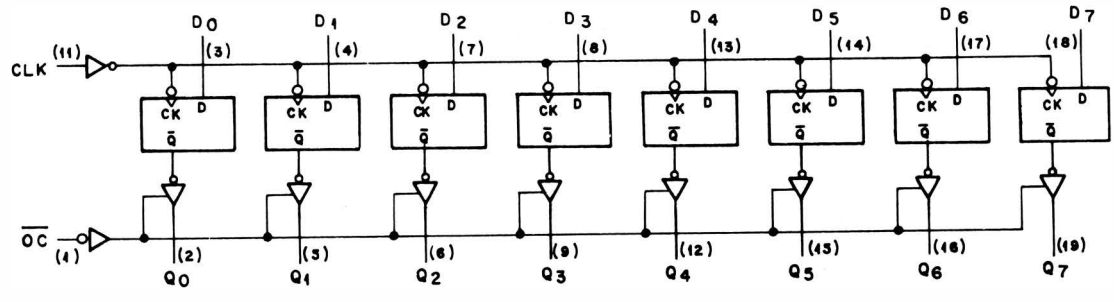
CARACTERÍSTICAS AC $V_{CC} = 5V$; $T_A = 25°C$

SÍMBOLO	PARÂMETRO	ENTRADA	SAÍDA	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
				MÍN.	TÍP.	MÁX.		
f_{MAX} (1)	Freqüência máxima			35	50		MHz	
t_{PLH}	Atraso de propagação - saídas L → H	clock ou habilitação	qualquer saída Q		15	28	ns	$C_L = 45$ pF
t_{PHL}	Atraso de propagação - saídas H → L				19	28	ns	
t_{PZH}	Tempo de transição Z → H	controle de saídas	qualquer saída Q		20	26	ns	$R_L = 667\ \Omega$
t_{PZL}	Tempo de transição Z → L				21	28	ns	
t_{PHZ}	Tempo de transição H → Z	controle de saídas	qualquer saída Q		15	28	ns	$C_L = 5$ pF
t_{PLZ}	Tempo de transição L → Z				12	20	ns	$R_L = 667\ \Omega$

Vide formas de onda e circuitos de carga.

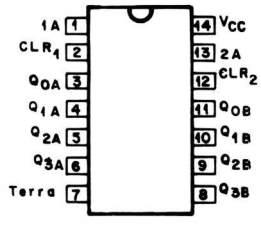
OBSERVAÇÃO:
1) Obtido com todas as saídas com carga.

Configuração Interna

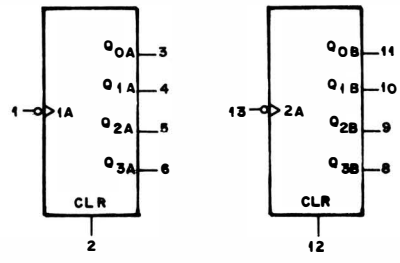


IC 74LS393

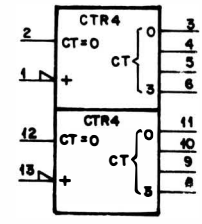
PINAGEM



ESQUEMA LÓGICO



SIMBOLOGIA IEC



CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO		LIMITES			UNIDADE
			MÍN.	NOM.	MÁX.	
V_{CC}	Tensão de alimentação		4,75	5,0	5,25	V
V_{IH}	Tensão de entrada - nível alto		2,0			V
V_{IL}	Tensão de entrada - nível baixo				0,8	V
I_{OH}	Corrente de saída - nível alto				−400	µA
I_{OL}	Corrente de saída - nível baixo				8	mA
f	Freqüência de contagem		0		25	MHz
t_w	Largura do pulso	A - nível alto ou baixo	20			ns
		Clear - nível alto	20			ns
t_{su}	Tempo de set up do estado inativo do clear		25			ns
T_A	Temperatura de operação		0		70	°C

OBSERVAÇÕES:

A seta indica que a borda de descida do pulso de clock é usada como referência.

CARACTERÍSTICAS DC

SÍMBOLO	PARÂMETRO		LIMITES			UNIDADE	CONDIÇÕES DE TESTE	
			MÍN.	TÍP.(1)	MÁX.			
V_{IK}	Tensão de proteção				−1,5	V	V_{CC} = MÍN.; I = − 18 mA	
V_{OH}	Tensão de saída - nível alto		2,7	3,4		V	V_{CC} = MÍN., V_{IH} = 2 V V_{IL} = V_{IL} MÁX., V_{OH} = − 400 µA	
V_{OL}	Tensão de saída - nível baixo			0,25	0,4	V	I_{OL} = 4 mA	V_{CC} = MÍN., V_{IH} = 2 V
				0,35	0,5	V	I_{OL} = 8 mA	V_{IL} = 0,8 V
I_I	Corrente de entrada para a máxima tensão de entrada	clear			0,1	mA	V_I = 7 V	V_{CC} = MÁX.
		entrada A			0,2	mA	V_I = 5,5 V	
I_{IH}	Corrente de entrada - nível alto	clear			20	µA	V_{CC} = MÁX.	V_I = 2,7 V
		entrada A			100	µA		
I_{IL}	Corrente de entrada - nível baixo	clear			−0,4	mA	V_{CC} = MÁX.	V_I = 0,4 V
		entrada A			−1,6	mA		
I_{OS}(2)	Corrente de curto circuito na saída		−20		−100	mA	V_{CC} = MÁX.	
I_{CC}(3)	Corrente de alimentação			15	26	mA	V_{CC} = MÁX.	

OBSERVAÇÕES:

1) Obtidos com V_{CC} = 5 V e T_A = 25°C.

2) Não mais que uma saída em curto no mesmo instante e a duração do curto circuito não deve ser superior a 1 s.

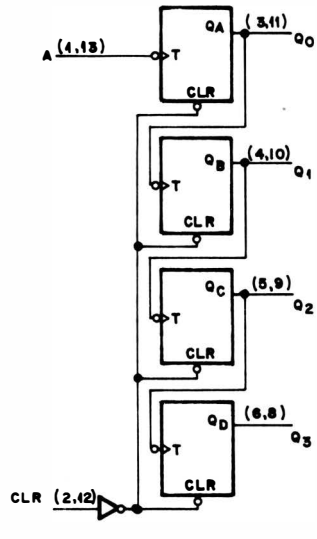
3) I_{CC} é medido com todas as saídas em aberto, com ambas as entradas clear conectadas momentaneamente em 4,5 V e as demais aterradas.

CARACTERÍSTICAS AC, $V_{CC} = 5\ V$, $T_A = 25°C$

SÍMBOLO	PARÂMETRO	DE (ENTRADA)	PARA (SAÍDA)	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
				MÍN.	TÍP.	MÁX.		
fmáx.	Freqüência máxima de contagem	A	Q_A	25	35		MHZ	
t_{PLH}	Tempo de atraso de propagação-saídas L → H	A	Q_A		12	20	ns	
t_{PHL}	Tempo de atraso de propagação-saída H → L	A	Q_A		13	20	ns	$C_L = 15\ pF$
t_{PLH}	Tempo de atraso de propagação-saída L → H	A	Q_D		40	60	ns	$R_L = 2K\ \Omega$
t_{PHL}	Tempo de atraso de propagação-saídas H → L	A	Q_D		40	60	ns	
t_{PHL}	Tempo de atraso de propagação-saídas H → L	clear	qualquer		24	39	ns	

Vide formas de onda e circuito de carga.

Configuração Interna



SEQÜÊNCIA DE CONTAGEM (CADA CONTADOR)

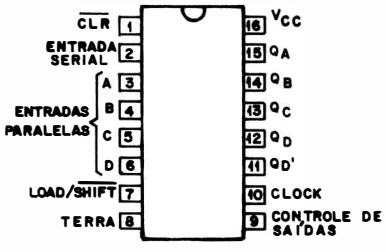
CONTAGEM	SAÍDAS			
	Q_3	Q_2	Q_1	Q_0
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

H = nível alto

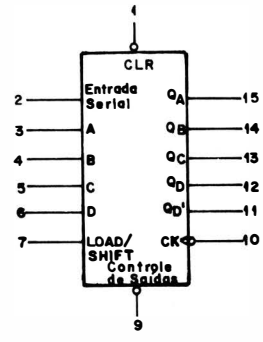
L = nível baixo

IC 74LS395

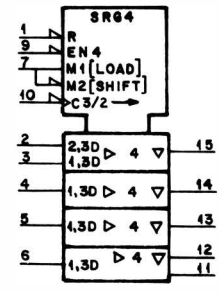
PINAGEM



ESQUEMA LÓGICO



SIMBOLOGIA IEC



CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO		LIMITES			UNIDADE
			MÍN.	NOM.	MÁX.	
V_{CC}	Tensão de alimentação		4,75	5	5,25	V
V_{IH}	Tensão de entrada - nível alto		2,0			V
V_{IL}	Tensão de entrada - nível baixo				0,8	V
I_{OH}	Corrente de saída — nível alto	Q_A, Q_B, Q_C, Q_D			− 2,6	mA
		Q'_D			−400	µA
I_{OL}	Corrente de saída — nível baixo	Q_A, Q_B, Q_C, Q_D			24	mA
		Q'_D			8	mA
f_{CLOCK}	Freqüência de clock		0		30	MHz
t_W	Largura do pulso de clock		16			ns
t_{SU}	Tempo de set up de dados	entr. Load/Shift	40			ns
		as demais	20			ns
t_h	Tempo de hold de dados		10			ns
T_A	Temperatura de operação		0		70	°C

CARACTERÍSTICAS DC

SÍMBOLO	PARÂMETRO		LIMITES			UNIDADE	CONDIÇÕES DE TESTE	
			MIN.	TIP. (1)	MÁX.			
V_{IK}	Tensão de proteção				−1,5	V	V_{CC} = MÍN., I_I = − 18 mA	
V_{OH}	Tensão de saída - nível alto	Q_A, Q_B, Q_C, Q_D	2,4	3,1		V	V_{CC} = MÍN., V_{IH} = 2 V	
		Q'_D	2,7	3,4		V	V_{IL} = V_{IL} MÁX., I_{OH} = MÁX.	
V_{OL}	Tensão de saída - nível baixo	Q_A, Q_B, Q_C, Q_D		0,25	0,4	V	I_{OL} = 12 mA	V_{CC} = MIN. V_{IL} = V_{IL} MÁX. V_{IL} = 2 V
				0,35	0,5	V	I_{OL} = 24 mA	
		Q'_D		0,25	0,4	V	I_{OL} = 4 mA	
				0,35	0,5	V	I_{OL} = 8 mA	
I_{OZH}	Corrente de saída em alta impedância nível alto aplicado	Q_A, Q_B, Q_C, Q_D			20	µA	V_{CC} = MÁX., V_{IH} = 2 V V_O = 2,7 V	
I_{OZL}	Corrente de saída em alta impedância nível baixo aplicado	Q_A, Q_B, Q_C, Q_D			− 20	µA	V_{CC} = MÁX., V_{IH} = 2 V V_O = 0,4 V	
I_I	Corrente de entrada para a máxima tensão de entrada				0,1	mA	V_{CC} = MÁX., V_I = 7 V	
I_{IH}	Corrente de entrada - nível alto				20	µA	V_{CC} = MÁX., V_I = 2,7 V	
I_{IL}	Corrente de entrada - nível baixo				−0,4	mA	V_{CC} = MÁX., V_I = 0,4 V	
I_{OS} (2)	Corrente de curto circuito na saída	Q_A, Q_B, Q_C, Q_D	−30		−130	mA	V_{CC} = MÁX.	
		Q'_D	−20		−100	mA		
I_{CC} (3)	Corrente de alimentação			22	34	mA	Condição A	V_{CC} = MÁX.
				21	31	mA	Condição B	

OBSERVAÇÕES:

1) Obtidos com V_{CC} = 5 V e tensões nominais.
2) Não mais que uma saída em curto no mesmo instante e a duração do curto circuito não deve ser superior a 1 s.
3) Condição A - Controle de saída em 4,5 V, momentaneamente em 3 V depois 0 V aplicado à entrada de clock.
   Condição B - Controle de saídas e entrada de clock aterradas.

CARACTERÍSTICAS AC, V_{CC} = 5 V; T_A = 25°C

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TÍP.	MÁX.		
f_{max}	Freqüência máxima de clock	30	45		MHz	saídas: Q_A, Q_B, Q_C, Q_D R_L = 667 Ω, C_L = 45 pF; saída Q'_D R_L = 2 KΩ, C_L = 15 pF
t_{PHL}	Tempo de atraso de propagação do clear para saídas H → L		22	35	ns	
t_{PLH}	Tempo de atraso de propagação saídas L → H		15	30	ns	
t_{PHL}	Tempo de atraso de propagação saídas H → L		20	30	ns	
t_{PZH}	Tempo de habilitação das saídas saídas Z → H		15	25	ns	
t_{PZL}	Tempo de habilitação das saídas saídas Z → L		17	25	ns	
t_{PHZ}	Tempo de desabilitação das saídas saídas H → Z		11	17	ns	C_L = 5 pF
t_{PLZ}	Tempo de desabilitação das saídas saídas L → Z		12	20	ns	

Vide formas de onda e circuitos de carga.

Configuração Interna

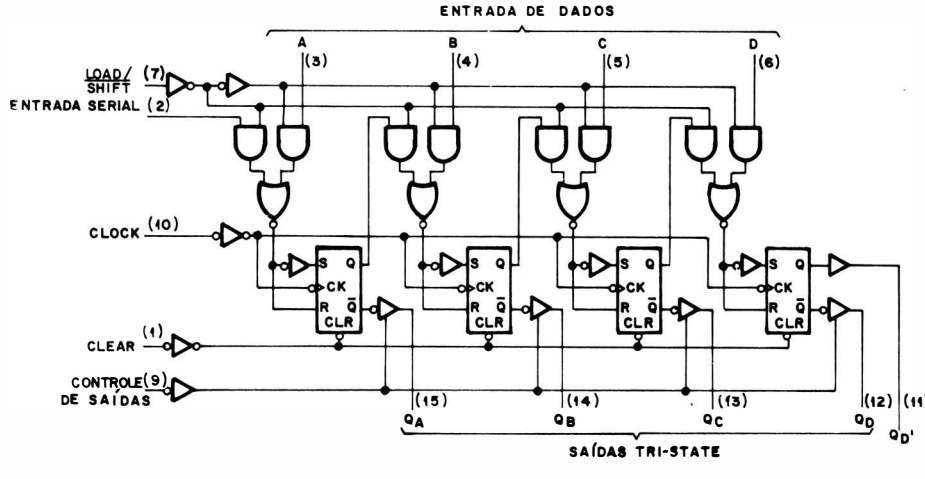


TABELA DA VERDADE

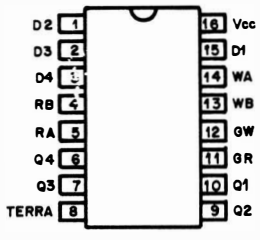
ENTRADAS								SAÍDAS TRI-STATE				SAÍDA
CLEAR	LOAD/SHIFT	CLOCK	SERIAL	PARALELAS				Q_A	Q_B	Q_C	Q_D	Q'_D
				A	B	C	D					
L	X	X	X	X	X	X	X	L	L	L	L	L
H	H	H	X	X	X	X	X	Q_{AO}	Q_{BO}	Q_{CO}	Q_{DO}	Q_{DO}
H	H	↓	X	a	b	c	d	a	b	c	d	d
H	L	H	X	X	X	X	X	Q_{AO}	Q_{BO}	Q_{CO}	Q_{DO}	Q_{DO}
H	L	↓	H	X	X	X	X	H	Q_{An}	Q_{Bn}	Q_{Cn}	Q_{Cn}
H	L	↓	L	X	X	X	X	L	Q_{An}	Q_{Bn}	Q_{Cn}	Q_{Cn}

H = nível alto X = irrelevante
L = nível baixo

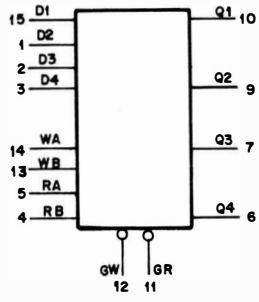
Quando o controle de saídas estiver em nível alto, as saídas tri-state apresentarão alta impedância, entretanto a operação sequencial dos registradores bem como a saída Q'_D não serão afetadas.

IC 74LS670

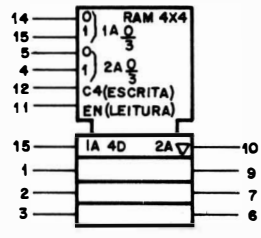
PINAGEM



ESQUEMA LÓGICO



SIMBOLOGIA IEC



CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	NOM.	MÁX.	
V_{CC}	Tensão de alimentação	4,75	5,0	5,25	V
I_{OH}	Corrente de saída - nível alto			-2,6	mA
I_{OL}	Corrente de saída - nível baixo			8	mA
$t_{w(G)}$	Largura do pulso de escrita ou leitura	25			ns
$t_{su(D)}$	Tempo de setup de dado[1]	10			ns
$t_{su(W)}$	Tempo de setup de WA, WB[1]	15			ns
$t_{h(D)}$	Tempo de hold de dado[1]	15			ns
$t_{h(W)}$	Tempo de hold de WA, WB[1]	5			ns
t_{latch}	Tempo de latch para o novo dado[2]	25			ns
T_A	Temperatura de operação	0		70	°C

OBSERVAÇÕES:

1) Tempos medidos em relação a GW. Os tempos relativos a WA e WB protegerão o dado escrito no endereço previamente definido. Se tal proteção não for necessária, $t_{su(W)}$ pode ser desprezado. Qualquer seleção de endereço mantida durante os 30 ns finais do pulso de habilitação de escrita GW e durante $t_{h(WA, WB)}$ resultarão na escrita de dado naquela posição. Dependendo da duração das condições de entrada, pode ocorrer a escrita de um ou mais endereços previamente definidos.
2) Tempo de latch é o tempo decorrido até que a saída interna do latch assuma o estado do novo dado. Isto é importante apenas no caso de uma leitura de uma posição imediatamente após a mesma ter recebido um novo dado.

CARACTERÍSTICAS AC - V_{CC} = 5V, T_A = 25°C

SÍMBOLO	PARÂMETRO		DE (ENTRADA)	PARA (SAÍDA)	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
					MÍN.	TÍP.	MÁX.		
t_{PLH}	Atraso de	L → H	RA, RB	Qualquer		23	40	ns	C_L = 15 pF R_L = 2 KΩ
t_{PHL}	propagação	H → L		Q		25	45	ns	
t_{PLH}	Atraso de	L → H	GW	Qualquer		26	45	ns	
t_{PHL}	propagação	H → L		Q		28	50	ns	
t_{PLH}	Atraso de	L→ H	Dado	Qualquer		25	45	ns	
t_{PHL}	propagação	H → L		Q		23	40	ns	
t_{PZH}	Atraso de	Z → H	GR	Qualquer		15	35	ns	
t_{PZL}	propagação	Z → L		Q		22	40	ns	
t_{PHZ}	Atraso de	H → Z				30	50	ns	
t_{PLZ}	propagação	L → Z				16	35	ns	

CARACTERÍSTICAS DC

SÍMBOLO	PARÂMETRO		LIMITES MÍN.	LIMITES TÍP.(1)	LIMITES MÁX.	UNIDADE	CONDIÇÕES DE TESTE
V_{IH}	Tensão de entrada - nível alto		2			V	
V_{IL}	Tensão de entrada - nível baixo				0,8	V	
V_{IK}	Tensão de proteção				-1,5	V	V_{CC} = MÍN.; I_I = -18 mA
V_{OH}	Tensão de saída - nível alto		2,4	3,1		V	V_{CC} = MÍN.; V_{IL} = MÁX.; I_{OH} = MÁX.; V_{IH} = MÍN.
V_{OL}	Tensão de saída - nível baixo			0,25	0,4	V	I_{OL} = 4 mA; V_{CC} = MÍN.; V_{IL} = MÁX.
				0,35	0,5	V	I_{OL} = 8 mA; V_{IH} = MÍN.
I_I	Corrente de entrada para a máxima tensão de entrada	D, R, ou W			0,1	mA	V_{CC} = MÁX. V_I = 7V
		GW			0,2	mA	
		GR			0,3	mA	
I_{IH}	Corrente de entrada - nível alto	D, R, ou W			20	μA	V_{CC} = MÁX. V_I = 2,7V
		GW			40	μA	
		GR			60	μA	
I_{IL}	Corrente de entrada - nível baixo	D, R, ou W			-0,4	mA	V_{CC} = MÁX. V_I = 0,4V
		GW			-0,8	mA	
		GR			1,2	mA	
I_{OZH}	Corrente nas saídas em tristate com nível alto aplicado				20	μA	V_{CC} = MÁX.; V_O = 2,7V V_{IH} = MÍN.
I_{OZL}	Corrente nas saídas em tristate com nível baixo aplicado				-20	μA	V_{CC} = MÁX.; V_O = 0,4V V_{CC} = MÁX.
I_{OS}(2)	Corrente de curto circuito na saída		-30		-130	mA	V_{CC} = MÁX.
I_{CC}(3)	Corrente de alimentação			30	50	mA	V_{CC} = MÁX.

OBSERVAÇÕES:
1) Valores típicos obtidos com V_{CC} = 5V e T_A = 25°C.
2) Não mais que uma saída em curto no mesmo instante e a duração do curto circuito não deve ser superior a 1s.
3) Garante-se I_{CC} = MÁX. para as seguintes condições de "pior caso": 4,5V aplicado a todas as entradas de dados e a ambas as entradas de habilitação, todas as entradas de endereço aterradas e todas as saídas em aberto.

TABELA DA VERDADE

Escrita(1, 2, 3)

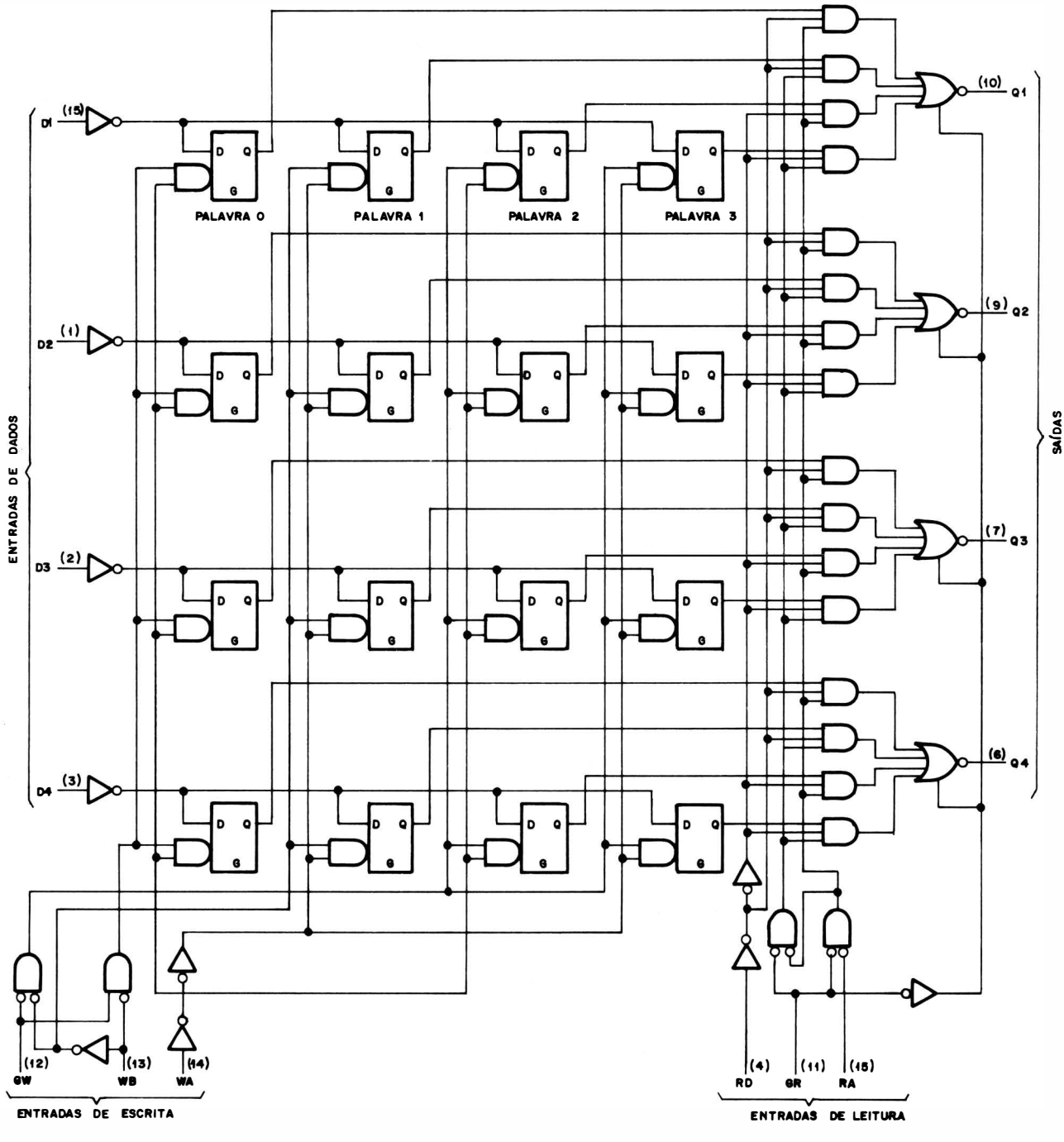
ENTRADAS DE ESCRITA			PALAVRA			
WB	WA	GW	0	1	2	3
L	L	L	Q = D	Qo	Qo	Qo
L	H	L	Qo	Q = D	Qo	Qo
H	L	L	Qo	Qo	Q = D	Qo
H	H	L	Qo	Qo	Qo	Q = D
X	X	H	Qo	Qo	Qo	Qo

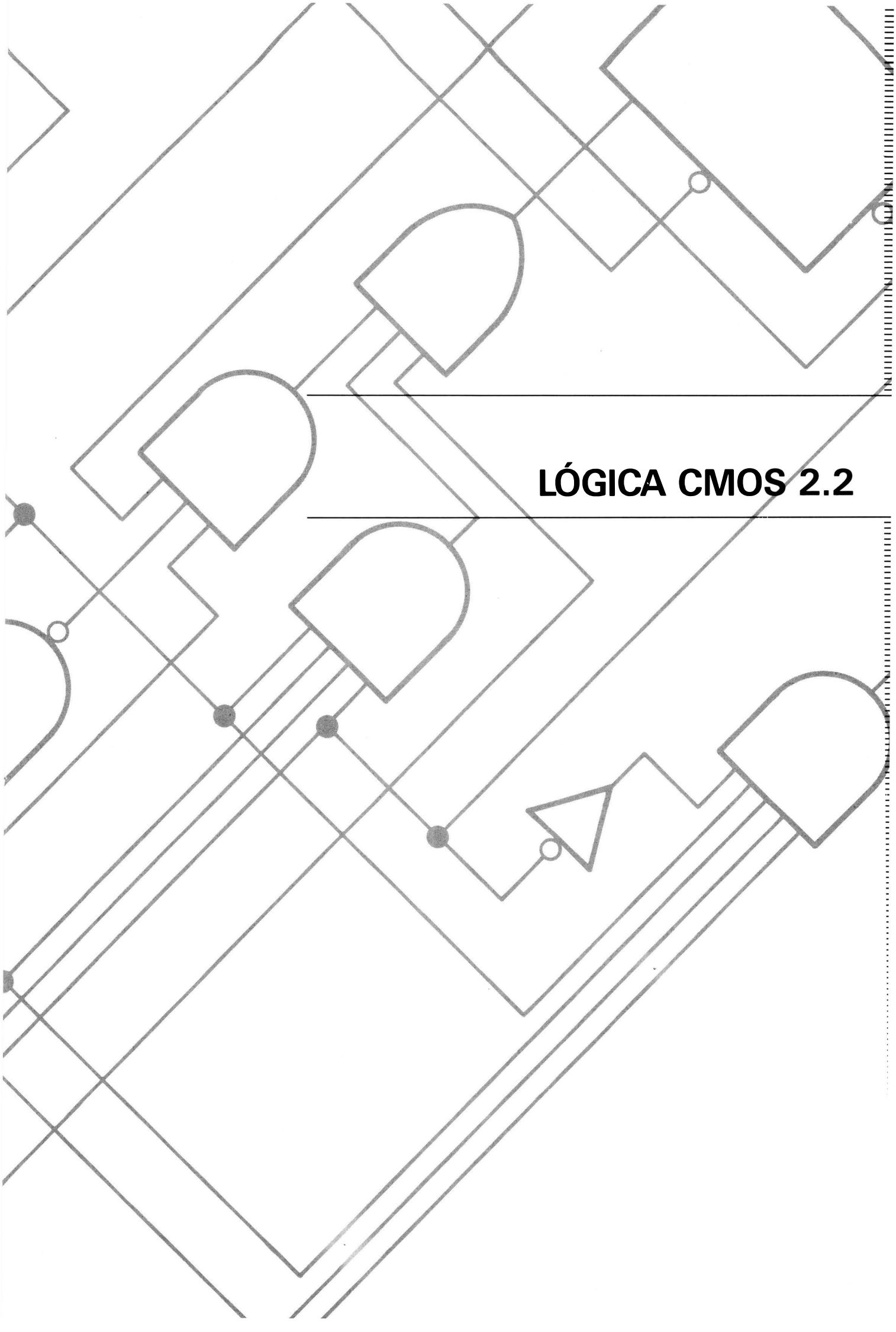
Leitura(1, 4)

ENTRADAS DE LEITURA			PALAVRA			
RB	RA	GR	Q1	Q2	Q3	Q4
L	L	L	W0B1	W0B2	W0B3	W0B4
L	H	L	W1B1	W1B2	W1B3	W1B4
H	L	L	W2B1	W2B2	W2B3	W2B4
H	H	L	W3B1	W3B2	W3B3	W3B4
X	X	H	Z	Z	Z	Z

OBSERVAÇÕES:
1) H = nível alto; L = nível baixo; Z = alta impendância.
2) (Q = D) = as saídas dos quatro flip flops internos assumirão os estados aplicados às quatro entradas de dados externas.
3) Qo = nível de Q antes do estabelecimento das condições de entrada indicadas.
4) W0B1 = o primeiro bit da palavra, 0, etc.

Configuração Interna





LÓGICA CMOS 2.2

LÓGICA CMOS

Os componentes CMOS têm sido utilizados em aplicações onde os principais requisitos são: menor consumo de potência, maior excursão da tensão de alimentação e grande imunidade a ruído. A única restrição quanto ao uso destes dispositivos — a velocidade — tem sido minimizada com aprimoramentos na tecnologia de fabricação. Neste sub-capítulo apresentamos os componentes ITAUCOM da lógica CMOS.

LÓGICA CMOS ____ 140
IC 4001B ____ 148
IC 4008B ____ 150
IC 4011B ____ 153
IC 4013B ____ 155
IC 4015B ____ 158
IC 4049UB ____ 161
IC 4052B ____ 163
IC 4053B ____ 167
IC 4066B ____ 170
IC 4069UB ____ 172
IC 4071B ____ 175
IC 4081B ____ 178

LÓGICA CMOS

Introdução

Os componentes ITAUCOM da série 4000 CMOS atendem às especificações internacionais para estes produtos, coordenadas pelas entidades EIA e JEDEC. Na verdade, estes padrões são superados pelos componentes ITAUCOM. As tabelas 1 e 2 mostram as características elétricas da série 4000 CMOS ITAUCOM.

TABELA 1

Valores Máximos Absolutos

Símbolo	Descrição	Limites
V_{DD}	Tensão de alimentação	− 0,5 V a 18 V
V_I	Tensão de entrada	− 0,5V a V_{DD} + 0,5V
I_I	Corrente de entrada D.C.	± 10 mA
P_{TOT}	Potência total dissipada	200 mW
	Potência dissipada por cada saída	100 mW
T_{OP}	Temperatura de operação	− 40°C a 85°C
T_{STG}	Temperatura de armazenamento	− 65°C a 150°C

TABELA 2

Condições de Operação Recomendadas

Símbolo	Descrição	Limites
V_{DD}	Tensão de alimentação	3 V a 15 V
V_I	Tensão de entrada	0 V a V_{DD}
T_{OP}	Temperatura de operação	− 40°C a 85°C

Estas características representam:

- ☐ larga faixa de excursão para a tensão de alimentação (3 a 15 V);
- ☐ excursão da corrente quiescente (I_L) em faixas racionalizadas, correspondendo aos dispositivos: flip-flops, portas, buffers e circuitos MSI (Tabela 5);
- ☐ corrente quiescente máxima de entrada (I_{IH} e I_{IL}) de ± 1 μA para V_{DD} de 0 a 15 V, dentro da faixa de temperatura especificada;
- ☐ níveis lógicos de entrada e saída completamente independentes da temperatura;
- ☐ níveis de tensão de entrada que permitem alta imunidade a ruído DC;
- ☐ margens de ruído de:
  1 V (mín.) para V_{DD} = 5 V
  2 V (mín.) para V_{DD} = 10 V
  2,5 V (mín.) para V_{DD} = 15 V;
- ☐ impedância de saída baixa e constante (400 Ω típicos) em ambos os estados lógicos, resultando em tempos de transição fixos na saída;
- ☐ corrente de saída capaz de enviar sinais para:
  - duas cargas TTL LS
  - uma carga TTL S
  dentro da faixa de temperatura especificada;
- ☐ corrente de saída é limiar de entrada independentes do número de entradas em paralelo;
- ☐ curvas de transferência não deformadas (quadradas).

Características Gerais dos Dispositivos CMOS

Podemos resumir as diferenças entre os dispositivos CMOS ITAUCOM e outros bipolares (DTL, LPS, TTL, ECL, HLL) em:

- ☐ dissipação de potência quiescente muito baixa (tipicamente 10 nW para portas em geral e 10 μW para os componentes MSI);
- ☐ grande excursão na tensão de alimentação (3 a 15 V);
- ☐ alta impedância de entrada (tipicamente 10^{12} Ω);
- ☐ alta imunidade a ruído DC.

As velocidades de chaveamento para os dispositivos CMOS é, contudo, menor do que para a maioria dos componentes bipolares. Os atrasos de propagação típicos estão mostrados na Tabela 3:

TABELA 3

Atrasos de Propagação Típicos

	CMOS	LPS	ECL	TTL	DTL	HLL
atraso de propagação (ns)	35	5	2	10	30	110

Além disso, devido à alta impedância de entrada das portas CMOS, estes dispositivos necessitam maiores cuidados no manuseio.

A espessura normal do óxido de uma porta é de 800 a 1000 Å, com uma correspondente tensão de ruptura entre porta e substrato de 80 a 90 V aproximadamente. O potencial eletrostático do corpo humano é maior do que estes valores, alcançando 12 kV, com uma capacidade de descarga de aproximadamente 100 pF. De fato, teremos, assim, uma representação equivalente do corpo humano através da rede mostrada na Figura 1.

Rede Equivalente do Corpo Humano

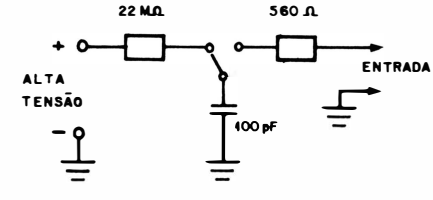


FIGURA 1

Os valores característicos do potencial eletrostático em um ambiente com umidade relativa na faixa de 25 a 36% são representados na Tabela 4.

TABELA 4

Fontes de Potencial Eletrostático

Fonte	Valor Típico (kV)	Valor Máximo (kV)
Pessoa andando num carpete	12	39
Pessoa andando em piso de vinil	4	13
Pessoa trabalhando numa bancada	0,5	3
CI 16 pinos (DIP) em caixa plástica	3,5	12
CI 16 pinos (DIP) em canaleta anti-estática	0,5	3

TABELA 5

Características Elétricas Estáticas

PARÂMETRO	CONDIÇÕES DE TESTE				VALORES						UNIDADE
	V_I (V)	V_O (V)	I_O (μA)	V_{DD} (V)	T_{BAIXA}		25°C		T_{ALTA}		
					MÍN.	MÁX.	MÍN.	MÁX.	MÍN.	MÁX.	
I_L (portas)	0/5			5		1		1		7,5	μA
	0/10			10		2		2		15	
	0/15			15		4		4		30	
I_L (buffers e flip-flops)	0/5			5		4		4		30	μA
	0/10			10		8		8		60	
	0/15			15		16		16		120	
I_L (MSI)	0/5			5		20		20		150	μA
	0/10			10		40		40		300	
	0/15			15		80		80		600	
V_{OH}	0/5		<1	5	4,95		4,95		4,95		V
	0/10		<1	10	9,95		9,95		9,95		
	0/15		<1	15	14,95		14,95		14,95		
V_{OL}	5/0		<1	5		0,05		0,05		0,05	V
	10/0		<1	10		0,05		0,05		0,05	
	15/0		<1	15		0,05		0,05		0,05	
V_{IH} (série B)		0,5/4,5	<1	5	3,5		3,5		3,5		V
		1/9	<1	10	7		7		7		
		1,5/13,5	<1	15	11		11		11		
V_{IL} (série B)		4,5/0,5	<1	5		1,5		1,5		1,5	V
		9/1	<1	10		3		3		3	
		13,5/1,5	<1	15		4		4		4	
V_{IH} (série UB)		0,5/4,5	<1	5	4		4		4		V
		1/9	<1	10	8		8		8		
		2/13	<1	15	12		12		12		
V_{IL} (série UB)		4,5/0,5	<1	5		1		1		1	V
		9/1	<1	10		2		2		2	
		13/2	<1	15		3		3		3	
I_{OH}	0/5	2,5		5	−1,53		−1,36		−1,1		mA
	0/5	4,6		5	−0,52		−0,44		−0,36		
	0/10	9,5		10	−1,30		−1,1		−0,90		
	0/15	13,5		15	−3,6		−3		−2,4		
I_{OL}	0/5	0,4		5	0,52		0,44		0,36		mA
	0/10	0,5		10	1,3		1,1		0,9		
	0/15	1,5		15	3,6		3		2,4		
I_{IL} e I_{IH}	0/15	Qualquer entrada		15		±0,3		±0,3		±1	μA
I_{OL} e I_{OH}	0/15			15		±1,0		±1,0		±7,5	μA
C_i (série B)								7,5			pF
C_i (série UB)								22,5			pF

Para minimizar os danos causados por potenciais elevados, os dispositivos CMOS dispõem de redes de proteção nas entradas. O nível de proteção para os dispositivos CMOS da série 4000 B é de 4 kV.

Latch Up

A estrutura de um dispositivo CMOS permite a existência de transistores bipolares NPN e PNP parasíticos (Figura 2). Em condições normais de polarização, estes transistores permanecem cortados (off) e, portanto, não interferem no funcionamento do circuito.

Se, entretanto, alguma influência externa causa um alto nível de injeção de corrente no substrato do dispositivo, esses transistores parasíticos podem passar ao estado de condução. Nestas condições, eles passam a formar uma estrutura de um SCR, em condução, propiciando um caminho de baixa resistência entre V_{DD} e V_{SS}.

Ainda que removida esta influência externa, os transistores parasíticos não são cortados e o SCR se mantém em condução. Este fenômeno é conhecido como Latch up e pode levar o dispositivo à destruição.

A difusão de anéis de guarda para reduzir a resistência de coletor dos transistores bipolares parasíticos dificulta o surgimento de Latch up.

Este fenômeno pode ocorrer tanto quando V_{DD} excede o valor máximo especificado ou quando ocorrem as condições a, b e c, a seguir:

a) o produto dos ganhos dos dois transistores parasíticos é maior ou igual à unidade;

b) a junção base-emissor de ambos os transistores é diretamente polarizada;

c) a tensão de alimentação e o circuito de entrada de ambos os transistores é capaz de fornecer uma corrente igual à corrente de manutenção (holding) do SCR (Figuras 2 e 3).

Estrutura do Dispositivo

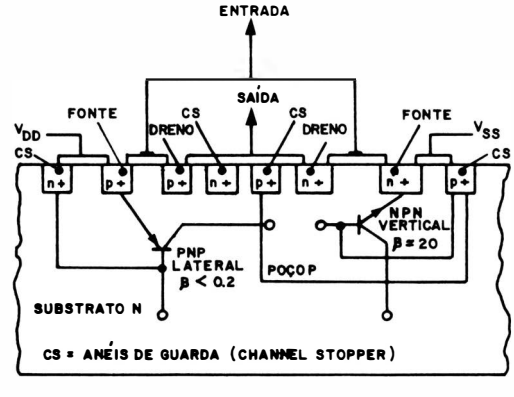


FIGURA 2

Curva de Transferência e Circuito Equivalente

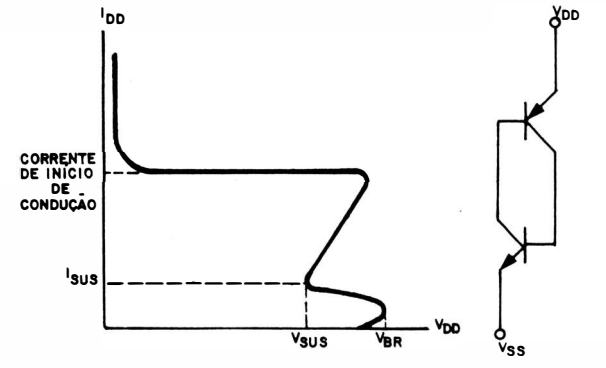


FIGURA 3

A condição (b), em particular, pode ser causada por:

- ☐ tensões induzidas através do óxido;
- ☐ quedas laterais de tensão entre o substrato e o poço P, devido à foto-corrente gerada por radiação. Essas quedas podem polarizar diretamente a junção porta-catodo do SCR parasita.

Este efeito é de particular significância em dispositivos como os buffers, que são mais sujeitos ao latch up, devido à combinação da grande geometria com a baixa resistividade do silício, apesar da existência dos anéis de guarda.

Assim, os transientes de tensão ou grandes surtos de corrente de saída que ocorrem durante a operação próxima aos valores máximos devem ser evitados.

Os dispositivos da série B são muito melhor protegidos contra latch up devido à maior tensão típica de bleakdon (Tabela 6).

TABELA 6

Parâmetros da Série 4000 B

Parâmetro	Valor
V_{BR}	25 V
V_{SUS}	22 V
I_{SUS}	50 a 100 mA

Parâmetros de Chaveamento Dinâmico da Série 4000B

As características elétricas dinâmicas são especificadas para uma temperatura ambiente de 25°C, sob as seguintes condições:

- ☐ capacitância de carga (C_L) de 50 pF e resistência de carga (R_L) de 200 k Ω;
- ☐ amplitude do pulso de entrada igual à tensão de alimentação (V_{DD});

- ☐ tempos de subida e descida na entrada iguais a 20 ns;
- ☐ tempos de atraso de propagação medidos a partir de 50% da tensão de entrada até 50% da tensão de saída;
- ☐ tempos de transição medidos de 10% a 90% da tensão de alimentação.

Para alguns dispositivos, outros parâmetros de tempo são especificados, como por exemplo:

- ☐ tempo de setup;
- ☐ tempo de hold;
- ☐ tempo de remoção;
- ☐ atraso de desabilitação (tri-state)

Estes parâmetros estão indicados nas formas de onda da Figura 4.

Formas de Onda

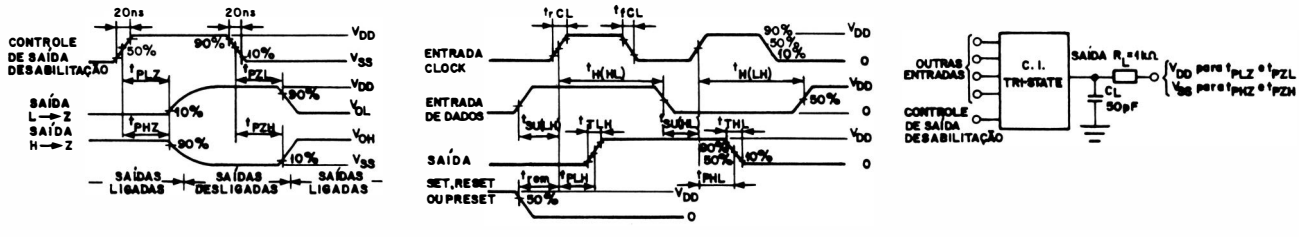


FIGURA 4

As Séries 4000B e 4000UB — Comparações

A série 4000 também inclui os produtos de sufixo UB que satisfazem apenas algumas das especificações elétricas da série B.

Estes dispositivos dispõem de saídas lógicas que não têm buffers. Para estes dispositivos, V_{IL} e V_{IH} são especificados em 20% V_{DD} e 80% V_{DD} respectivamente para V_{DD} = 5 V e 10 V e em 17% V_{DD} e 83% V_{DD} respectivamente para V_{DD} = 15 V. Os valores correspondentes para os dispositivos de sufixo B são:

V_{IL} = 30% V_{DD} e V_{IH} = 70% V_{DD} para V_{DD} = 5 V e 10 V

V_{IL} = 27% V_{DD} e V_{IH} = 73% V_{DD} para V_{DD} = 15 V

As outras diferenças principais entre as portas B e UB estão resumidas na Tabela 7.

Se as portas das séries 4000B e 4000UB apresentarem tempos de transição muito baixos, o comportamento de ambos será muito diferente. De fato, devido ao alto ganho AC dos dispositivos da série 4000B (obtido com os dois inversores a mais), as saídas tendem a gerar ciclos de oscilação entre V_{DD} e V_{SS}, quando os tempos de subida e descida na entrada são maiores que 1 ms para V_{DD} = 5 V e o ruído AC é reduzido a 2 ou 3 mV, dentro da largura de banda dos dispositivos da série 4000B. As portas que não dispõem de buffers (que têm menor ganho), tendem a não oscilar com a mesma rampa de entrada, a menos que exista um ruído de 200 a 300 mV presente.

Instruções Quanto à Operação

Regras Gerais Quanto à Fonte de Alimentação

Seja a rede de proteção de entrada mostrada na Figura 5. Quando são usadas fontes de alimentação independentes para V_{DD} e para os sinais de entrada dos dispositivos, devemos ter:

- ☐ a alimentação V_{DD} sempre presente antes que qualquer sinal de entrada seja injetado;
- ☐ a alimentação V_{DD} desligada sempre após os sinais de entrada terem cessado.

Esta regra evita o superaquecimento do diodo de proteção D_1 e impede que haja danos quando a alimentação do dispositivo cai a zero.

Quando a alimentação do dispositivo está em aberto (flutuando), a violação desta regra pode levar a um funcionamento incorreto do circuito, embora sem causar danos ao dispositivo, pois os sinais AC de entrada podem ser retificados pelo diodo de entrada D_1, transformando-se num sinal de alimentação.

Rede de Proteção de Entrada

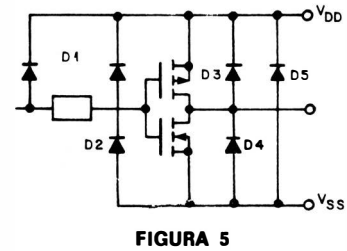


FIGURA 5

TABELA 7

Diferenças entre as Séries 4000B e 4000UB

CARACTERÍSTICA	SÉRIE 4000B	SÉRIE 4000UB
Impedância de saída (típica)	Constante: 400 Ω (típica) para V_{DD} = 5 V	Variável: depende do número de entradas em paralelo
Curva de transferência	Quadrada e independente do número de entradas em paralelo	Arredondada e deslocada, dependendo do número de entradas em paralelo
Atraso de propagação	Moderado: 150 ns para V_{DD} = 5 V 65 ns para V_{DD} = 10 V 50 ns para V_{DD} = 15 V	Rápido: 60 ns para V_{DD} = 5 V 30 ns para V_{DD} = 10 V 25 ns para V_{DD} = 15 V
Ganho AC	Alto e constante: ≅ 68 dB	Baixo e dependente da tensão de alimentação: 28 dB para V_{DD} = 5 V 23 dB para V_{DD} = 10 V 18 dB para V_{DD} = 15 V
Largura de banda AC	Baixa: 230 kHz para V_{DD} = 5 V 280 kHz para V_{DD} = 10 V 295 kHz para V_{DD} = 15 V	Alta: 710 kHz para V_{DD} = 5 V 885 kHz para V_{DD} = 10 V 2800 kHz para V_{DD} = 15 V
Capacitância de entrada	Baixa: 1 a 2 pF (média) 2 a 4 pF (pico)	Alta: 2 a 3 pF (média) 5 a 10 pF (pico)
Margem de ruído	Excelente: 1 V para V_{DD} = 5 V 2 V para V_{DD} = 10 V 2,5 V para V_{DD} = 15 V	Boa: 0,5 V para V_{DD} = 5 V 1 V para V_{DD} = 10 V 1 V para V_{DD} = 15 V
Tempo de transição da saída	200 ns (típ.) para V_{DD} = 5 V e C_L = 50 pF	50 a 100 ns para V_{DD} = 5 V e C_L = 50 pF

A tensão de regulação nominal da fonte de alimentação deve estar sempre dentro dos limites recomendados e sempre abaixo do valor máximo permitido.

A polaridade da alimentação para os circuitos CMOS nunca deve ser invertida. O terminal positivo V_{DD} nunca deve ultrapassar 0,5 volt abaixo do terminal negativo V_{SS}, ou seja, $V_{DD} - V_{SS} > -0{,}5$ V. A inversão das polaridades faz com que o diodo de proteção fique diretamente polarizado, curto-circuitando V_{DD} e V_{SS}.

A capacidade de corrente da fonte de alimentação deve ser mantida no seu valor mínimo, o que assegura uma perfeita condição de operação para o circuito lógico.

Deve-se evitar grandes resistores em série com V_0 e V_{SS} pois os transientes de corrente podem acarretar quedas de tensão consideráveis sobre estes resistores durante o chaveamento.

Costuma-se usar um diodo zener de proteção, nestes casos, em paralelo com as linhas de alimentação, como mostrado na Figura 6. O valor deste diodo zener deve ser superior ao da máxima tensão em operação e inferior ao da tensão máxima de saída da fonte.

O resistor em série é um limitador de corrente e deve ser incluído apenas quando a impedância da fonte for suficientemente baixa para causar a queima do diodo zener por excesso de dissipação de potência, no pior caso.

O capacitor em paralelo deve ter seu valor escolhido de forma a fornecer a corrente necessária durante os transientes de chaveamento.

Diodo de Proteção na Entrada

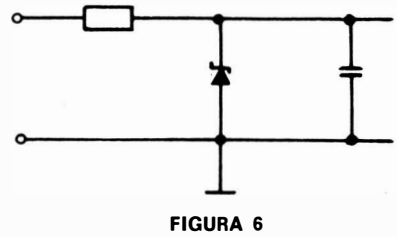


FIGURA 6

Regras Gerais para os Sinais de Entrada

Não se deve injetar sinais nas entradas dos dispositivos enquanto a alimentação estiver desligada, a menos que a corrente de entrada, em regime, seja menor que 10 mA. Interfaces de sinal de entrada que possam acarretar uma variação maior que os 0,5 V permitidos acima de V_{DD} ou abaixo de V_{SS} devem ter sua corrente limitada em 10 mA ou menos.

Quando existir a possibilidade deste valor de 10 mA ser ultrapassado, deve-se usar um resistor em série com a entrada. Esse resistor pode assumir valores até 10 K Ω sem afetar as características elétricas estáticas. Contudo, a velocidade fica reduzida devido à inclusão da constante R-C. Quando os sinais de entrada chegam por linhas muito longas, a alta indutância pode aumentar a absorção de ruídos de grande amplitude, caso haja grande incidência de ruído nessas linhas.

Em tais casos, é recomendado colocar-se um resistor em série e um capacitor em paralelo nos terminais de entrada do dispositivo. O valor do capacitor deve ser o maior possível, respeitando, porém, as características de velocidade do sistema.

Todas as entradas dos dispositivos CMOS devem ter terminações. Quando essas entradas são levadas por cabo a conectores de borda, recebendo sinais CMOS de uma outra placa, torna-se necessário um resistor shunt ligado a V_{DD} ou V_{SS}.

Quando os circuitos CMOS recebem sinais de circuitos TTL, deve-se incluir um resistor de pull up em cada entrada, ligado a + 5 V.

Os sinais de entrada devem ser rigorosamente mantidos dentro da faixa de variação permitida.

Os tempos de subida e descida para os dispositivos que recebem sinais de clock não devem exceder o valor de 15 μs. Evita-se, assim, alto consumo, disparos errados, etc.. Com entradas lentas deve-se usar um circuito Schmitt trigger.

Regras Gerais para os Sinais de Saída

A dissipação de potência num encapsulamento CMOS não deve exceder o valor nominal para a temperatura ambiente especificada. A dissipação real deve ser calculada quando:

- ☐ as saídas são curto-circuitadas diretamente com V_{DD} e V_{SS};
- ☐ os sinais são enviados a carga de baixa impedância;
- ☐ os sinais são enviados diretamente à base de transistores bipolares PNP ou NPN.

Os curto-circuitos na saída são frequentemente ocasionados por procedimentos de teste ou montagem incorreta dos componentes na placa, ou mesmo defeitos da própria placa. Curto-circuitos nas saídas dos buffers para tensões de alimentação maiores que 5 V podem danificar os componentes CMOS.

Os componentes CMOS, da mesma forma que os componentes TTL com pull up ativo não podem ser ligados na configuração wired-or porque desta forma um transistor PMOS ou NMOS em condução acabaria por curto-circuitar a alimentação e o terra. Para aplicações onde haja a configuração wired-or, é necessário utilizar-se dispositivos com saídas lógicas tri-state.

Só é recomendável ligar-se portas em paralelo quando estas pertencem a um mesmo componente.

As cargas de saída devem ser alimentadas por uma tensão entre V_{DD} e V_{SS}.

Cargas fortemente capacitivas (maiores que 5000 pF) em buffers CMOS ou em dispositivos que drenam altas correntes comportam-se como curto-circuitos e podem causar superaquecimento nos transistores de saída.

Os transistores de saída podem também ser superaquecidos quando são ligados a buffers que operam como amplificadores lineares ou como multivibradores astáveis ou do tipo one-shot.

Uma outra ação que pode trazer o dispositivo a uma situação de superaquecimento ocorre quando se curto-circuita a saída com V_{DD} ou V_{SS}. Nestas condições o dispositivo excede o valor de 500 mW (limite de segurança), como é mostrado na Figura 7. (Esta condição pode ser uma consequência de a tensão de alimentação ser maior que 5 volts). Para as situações em que uma carga em curto-circuito recebe sinais diretamente (como a base de um transistor bipolar PNP ou NPN), os requisitos necessários para o perfeito funcionamento são observados nas Especificações de Produto, para este tipo de porta, em particular.

É importante salientar que a dissipação de cada transistor de saída deve ser limitada em 100 mW.

Curva de Dissipação

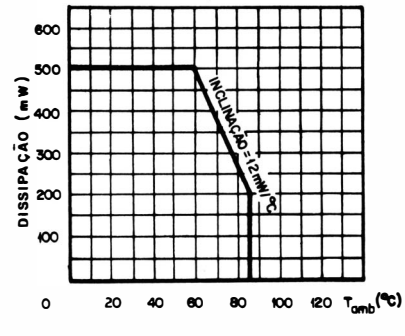


FIGURA 7

Imunidade a Ruído DC

As características V_{IL} e V_{IH} definem as tensões de ruído máximo toleráveis no terminal de entrada, quando os sinais de entrada não ultrapassam a faixa de 50 mV em relação às linhas de alimentação.

Margem de Ruído

Define-se a margem de ruído como a máxima tensão que pode ser somada a uma tensão de entrada $V_I = V_{OL}$ ou V_{OH} do estágio anterior sem causar problemas aos níveis lógicos, ou ainda, sem fazer com que a tensão de saída ultrapasse o valor V_O.

Na prática, a imunidade a ruído DC é muito mais significativa do que a margem de ruído pois as saídas CMOS geralmente se mantém dentro dos 50 mV em relação às linhas de alimentação. A imunidade a ruído aumenta à medida que a largura do pulso de entrada fica menor que o atraso de propagação do circuito.

Esta condição é normalmente chamada de imunidade a ruído AC.

Requisitos para os Tempos de Subida e Descida

A maioria dos dispositivos CMOS têm por características tempos de subida e descida máximos de 5 a 15 microssegundos. Quando os tempos de subida ou descida maiores, o dispositivo pode não funcionar perfeitamente por problemas de ripple, falsos disparos, etc.. Alguns contadores CMOS dispõem de circuitos Schmitt-trigger para restauração de sinais, na entrada de clock, o que elimina a restrição quanto aos tempos de subida e descida. Para os dispositivos do tipo buffer, tempos de subida e descida muito longos podem fazer o dispositivo operar com excesso de dissipação de potência quando a tensão de alimentação for maior que 5 Volts. Um outro tipo de problema pode ocorrer quando o sinal de clock é enviado em paralelo a componentes síncronos em série. Para evitar esta situação, os dispositivos da série B devem ter o máximo tempo de subida do sinal de clock limitado pela fórmula $\frac{0{,}8 \times V_{DD}}{1{,}15} \times t_P$, onde V_{DD} é a medida em Volts e t em nanossegundos, sendo t_P, $= t_{PLH}$ ou t_{PHL} (o que for menor) para o primeiro bloco da série. Este valor consta das Especificações de Produto, para um dado valor V_{DD} e uma dada carga.

Requisitos para Dispositivos Tri-State

A lógica tri-state pode ser facilmente implementada utilizando-se um gate de transmissão ligado ao circuito de saída; esta técnica oferece uma solução ao problema wired-or em muitos casos.

Instruções Quanto ao Manuseio

Os dispositivos CMOS geralmente dispõem de um diodo de entrada que os protege de condições elétricas desfavoráveis, como por exemplo, descargas eletrostáticas.

Infelizmente, tensões elétricas muito altas podem ser geradas no manuseio dos dispositivos. Por exemplo, as tensões estáticas geradas por uma pessoa andando sobre um piso encerado podem variar de 4 KV a 15 KV, dependendo da umidade e condições do piso. Estas tensões estáticas podem tornar-se potencialmente perigosas quando descarregadas numa entrada CMOS, considerando-se que esta energia está armazenada numa capacitância ao redor de 300 pF, típica do corpo humano para estes níveis de tensão.

Os circuitos de proteção nas portas de entrada CMOS podem geralmente proteger o dispositivo contra sobretensão e isto normalmente é suficiente, exceto em condições muito adversas.

O circuito de proteção de entrada, embora adicione algum atraso ao dispositivo, oferece proteção, pois amarra os potenciais positivo e negativo a V_{DD} e V_{SS}, respectivamente.

Além da rede de proteção interna, recomendam-se precauções no manuseio dos circuitos integrados CMOS, para evitar danos a este tipo de dispositivos, como as listadas a seguir:

- ☐ Todos os dispositivos CMOS devem ser armazenados ou transportados em materiais anti-estáticos. Os dispositivos CMOS não devem ser armazenados em objetos plásticos comuns, mas sim na sua embalagem original até o momento de sua utilização;
- ☐ Todos os dispositivos CMOS devem ser colocados em superfície aterrada, quando retirados de sua embalagem e os operadores devem também ser aterrados antes de manusear os componentes, pois o operador pode estar estaticamente carregado em relação àquela superfície. É recomendado aos operadores o uso de pulseiras anti-estáticas, em contato com a pele;
- ☐ Os componentes CMOS não devem entrar em contacto com nylon ou outro material gerador de cargas estáticas;
- ☐ Se os componentes forem montados nas placas por uma máquina insersora automática, altos níveis de eletricidade estática podem ser gerados na movimentação dos dispositivos ou placas. Para evitar o problema, o melhor é aterrar os pontos ou áreas onde haja suspeita de altos níveis de eletricidade estática;
- ☐ Câmaras de resfriamento por CO_2 devem ser equipadas com anteparos para os gases e os dispositivos CMOS devem estar armazenados sobre ou dentro de materiais condutores;
- ☐ Quando do endireitamento ou da soldagem dos terminais dos componentes CMOS, é necessário que os aparelhos e os soldadores estejam aterrados.

Soldagem por Onda

- ☐ O sistema de transporte da máquina de solda deve estar ligado a um terra;
- ☐ As bancadas de armazenamento dos materiais a ser soldados devem ter superfícies condutoras ligadas a um terra;
- ☐ Os operadores devem satisfazer aos requisitos, já explicados anteriormente;
- ☐ As placas montadas devem ser armazenadas em containers anti-estáticos antes de ser transportadas a outros lugares.

Limpeza de Placas Montadas

- ☐ Sistemas de eliminação de gordura por vapor e as cestas de transportes devem ser aterradas, bem como os operadores;
- ☐ Não se deve usar escova ou spray para a limpeza;
- ☐ As placas montadas devem ser instaladas no equipamento de eliminação de gordura imediatamente após serem removidas do container anti-estático;
- ☐ As placas limpas devem ser colocadas no container anti-estático imediatamente após a remoção da cesta de transporte para limpeza;
- ☐ Fluxos de ar de alta velocidade ou aplicação de solventes e coatings devem acontecer apenas quando os módulos do circuito estiverem aterrados e um eliminador de estática dirigido sobre o módulo.

Recomendações Finais

Uma boa medida para a verificação das condições de montagem é o uso de medidores de detecção de estática para a inspeção da linha de montagem.

Todos os equipamentos de baixa impedância (geradores de pulso, etc.) devem ser ligados a entradas CMOS após o dispositivo CMOS ter tido sua alimentação ligada. Da mesma forma, este tipo de equipamento deve ser desconectado após a alimentação ter sido desligada.

As especificações do equipamento devem alertar os usuários da presença de dispositivos CMOS e que requerem familiarização com esta especificação antes de fazer qualquer tipo de manutenção ou substituição dos dispositivos ou módulos.

Uma placa de circuito impresso que contém dispositivos CMOS é praticamente uma extensão do dispositivo e as mesmas precauções quanto ao manuseio se aplicam. Conectores de borda ligados diretamente a entradas de dispositivos CMOS podem causar problemas. Deve-se evitar embrulhar placas com plástico. Quando há apenas uma ligação externa a uma entrada CMOS, é recomendável, ter-se um resistor de 10K Ω (ou maior) em série com a entrada. Este resistor limitará a possibilidade de um defeito acidental se a placa de circuito impresso for removida e posta em contacto com materiais geradores de eletricidade estática.

Não insira ou remova os dispositivos CMOS dos soquetes com a alimentação ligada. Verifique que todas as fontes de alimentação usadas para testar os componentes CMOS não apresentem transientes de tensão.

Verifique se o equipamento de teste está montado com a polaridade correta da fonte de alimentação.

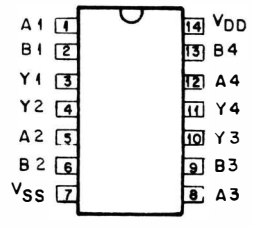
Não exceda os valores máximos da Especificação de Produto relativa ao equipamento de testes.

Todas as entradas não usadas dos dispositivos devem ser ligadas a V_{DD} ou V_{SS}.

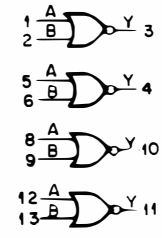
A observação das recomendações citadas ao longo deste capítulo permitirá ao usuário dos componentes CMOS ITAUCOM usufruir integralmente de suas potencialidades e, ao mesmo tempo, obter alto rendimento e baixo fator de inutilização.

IC 4001B

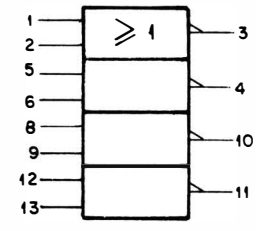
PINAGEM



ESQUEMA LÓGICO



SIMBOLOGIA IEC



CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	NOM.	MÁX.	
V_{DD}	Tensão de alimentação	3		15	V
V_I	Tensão de entrada	0		V_{DD}	V
T_A	Temperatura de operação	−40		85	°C

A margem de ruído tanto para o nível 1 como para nível 0 é:
1 V_{min}, V_{DD} = 5 V 2 V_{min}, V_{DD} = 10 V 2,5 V_{min}, V_{DD} = 15 V

TABELA DA VERDADE

ENTRADAS		SAÍDA
A	B	Y
L	L	H
L	H	L
H	L	L
H	H	L

H = nível alto L = nível baixo

CARACTERÍSTICAS DC

SÍMBOLO	PARÂMETROS	V_{DD}	−40°C		25°C			85°C		V_O	UNIDADE
			MÍN.	MÁX.	MÍN.	TÍP.	MÁX.	MÍN.	MÁX.		
V_{OH}	Tensão de saída - nível alto	5	4,95		4,95			4,95		—	V
		10	9,95		9,95			9,95		—	
		15	14,95		14,95			14,95		—	
V_{OL}	Tensão de saída - nível baixo	5		0,05			0,05		0,05	—	
		10		0,05			0,05		0,05	—	
		15		0,05			0,05		0,05	—	
V_{IH}	Tensão de entrada - nível alto	5	3,5					3,5		0,5	
		10	7		7			7		1	
		15	11		11			11		1,5	
V_{IL}	Tensão de entrada - nível baixo	5		1,5			1,5		1,5	4,5	
		10		3			3		3	9,0	
		15		4			4		4	13,5	
I_{OH}	Corrente de saída - nível alto	5	−1,53		−1,36	−3,2		−1,1		2,5	mA
		5	−0,52		−0,44	−1		−0,36		4,6	
		10	−1,3		−1,1	−2,6		−0,9		9,5	
		15	−3,6		−3,0	−6,8		−2,4		13,5	
I_{OL}	Corrente de saída - nível baixo	5	0,52		0,44	1		0,36		0,4	
		10	1,3		1,1	2,6		0,9		0,5	
		15	3,6		3,0	6,8		2,4		1,5	
I_{IH}, I_{OL}	Corrente de entrada - níveis alto e baixo	15		± 3		$\pm 10^{-5}$	±0,3		±1	—	µA
C_I	Capacitância de entrada					5	7,5			—	pF

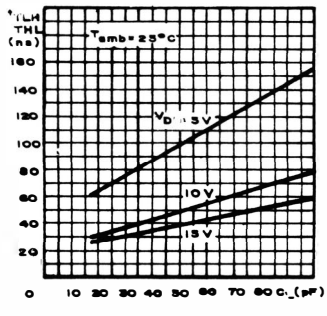
CARACTERÍSTICAS AC: $T_A = 25°C$; $C_L = 50$ pF; $R_L = 200$ kΩ

SÍMBOLO	PARÂMETRO	V_{DD}	LIMITES			UNIDADE
			MÍN.	TÍP.	MÁX.	
t_{PHL} / t_{PLH}	Tempo de atraso de propagação saídas H → L e L → H	5		125	250	ns
		10		60	120	
		15		45	90	
t_{THL} / t_{TLH}	tempo de transição H → L e L → H	5		100	200	ns
		10		50	100	
		15		40	80	

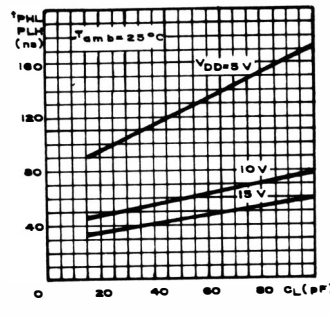
Coeficiente de temperatura típico para todos os valores de V_{DD} e 0,3%/°C. Todos os tempos de subida e descida iguais a 20 ns.

Vide formas de onda e circuitos de carga

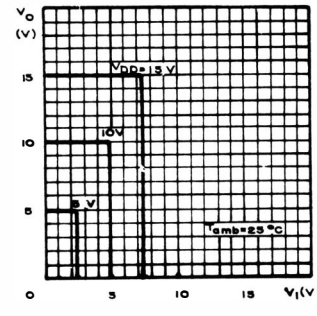
TEMPO DE TRANSIÇÃO TÍPICO X CAPACITÂNCIA DE CARGA



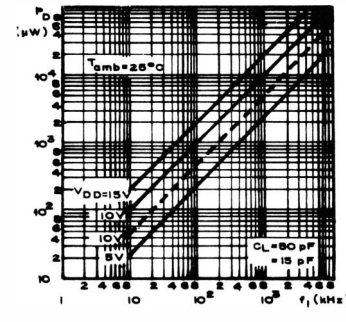
ATRASO DE PROPAGAÇÃO X CAPACITÂNCIA DE CARGA



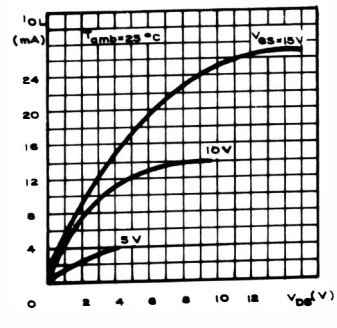
CARACTERÍSTICAS DE TRANSFERÊNCIA DE TENSÃO COMO FUNÇÃO DA TEMPERATURA



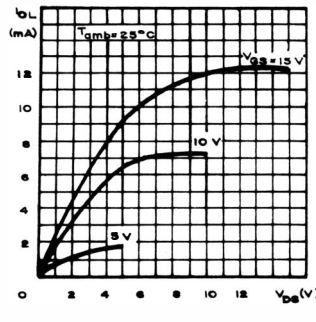
DISSIPAÇÃO DE POTÊNCIA TÍPICA POR PORTA X FREQUÊNCIA



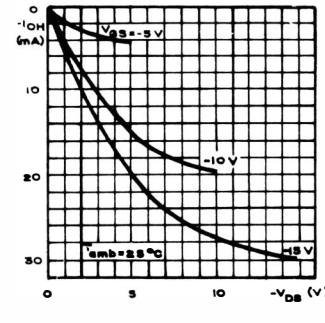
CARACTERÍSTICAS TÍPICAS DA CORRENTE DE SAÍDA - NÍVEL BAIXO



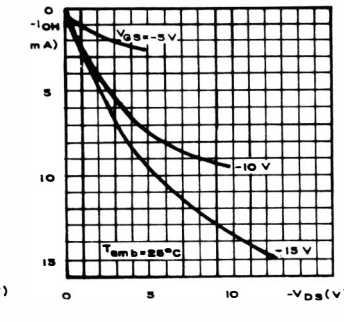
CARACTERÍSTICAS MÍNIMAS DA CORRENTE DE SAÍDA NÍVEL BAIXO



CARACTERÍSTICAS MÍNIMAS DE CORRENTE DE SAÍDA - NÍVEL ALTO

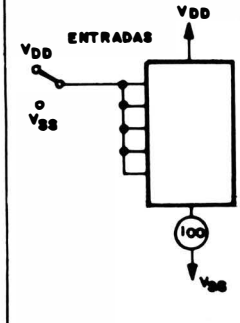


CARACTERÍSTICAS TÍPICAS DA CORRENTE DE SAÍDA - NÍVEL ALTO

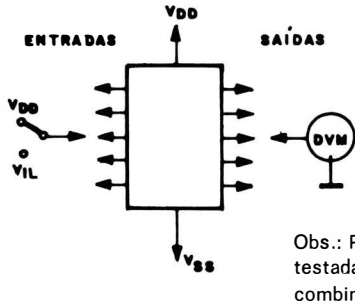


Circuitos de Teste

Corrente Quiescente

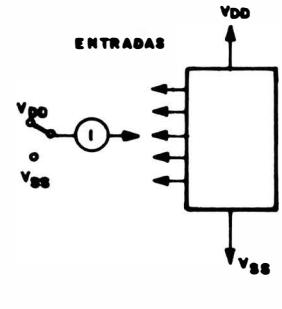


Tensão de Entrada



Obs.: Pode ser testada qualquer combinação de entradas

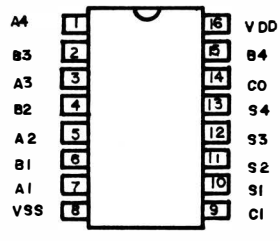
Corrente de Fuga na Entrada



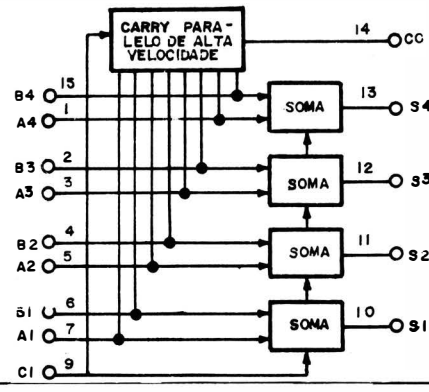
Obs.: Medir as entradas sequencialmente conectando-as em V_{DD} e V_{SS}. Todas as entradas não usadas devem ser ligadas também a V_{DD} ou V_{SS}

IC 4008B

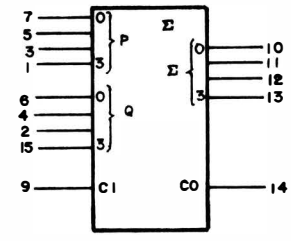
PINAGEM



ESQUEMA LÓGICO



SIMBOLOGIA IEC



CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	TÍP.	MÁX.	
V_{DD}	Tensão de alimentação	3		15	V
V_I	Tensão de entrada	0		V_{DD}	V
T_A	Temperatura de operação	−40		85	°C

TABELA DA VERDADE

A_I	B_I	CI	CO	S_I
L	L	L	L	L
H	L	L	L	H
L	H	L	L	H
H	H	L	H	L
L	L	H	L	H
H	L	H	H	L
L	H	H	H	L
H	H	H	H	H

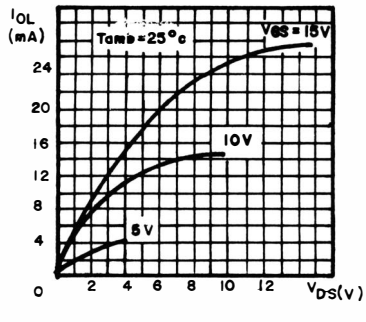
CARACTERÍSTICAS DC
(segundo as condições de operações recomendadas)

SÍMBOLO	PARÂMETRO	−40°C		25°C			85°C		CONDIÇÕES DE TESTE				UNIDADE
		MÍN.	MÁX.	MÍN.	TÍP.	MÁX.	MÍN.	MÁX.	V_I (V)	V_O (V)	$\|I_O\|$ (μA)	V_{DD} (V)	
I_L	Corrente quiescente		20		0,04	20		150	0/5			5	μA
			40		0,04	40		300	0/10			10	
			80		0,04	80		600	0/15			15	
V_{OH}	Tensão de saída — nível alto	4,95		4,95			4,95		0/5		<1	5	V
		9,95		9,95			9,95		0/10		<1	10	
		14,95		14,95			14,95		0/15		<1	15	
V_{OL}	Tensão de saída — nível baixo		0,05			0,05		0,05	5/0		<1	5	V
			0,05			0,05		0,05	10/0		<1	10	
			0,05			0,05		0,05	15/0		<1	15	
V_{IH}	Tensão de entrada — nível alto	3,5		3,5			3,5			0,5/4,5	<1	5	V
		7		7			7			1/9	<1	10	
		11		11			11			1,5/13,5	<1	15	
V_{IL}	Tensão de entrada — nível baixo		1,5			1,5		1,5		4,5/0,5	<1	5	V
			3			3		3		9/1	<1	10	
			4			4		4		13,5/1,5	<1	15	
I_{OH}	Corrente de saída — nível alto	−1,53		−1,36	−3,2		−1,1		0/5	2,5		5	mA
		−0,52		−0,44	−1		−0,36		0/5	4,6		5	
		−1,3		−1,1	−2,6		−0,9		0/10	9,5		10	
		−3,6		−3	−6,8		−2,4		0/15	13,5		15	
I_{OL}	Corrente de saída — nível baixo	0,52		0,44	1		0,36		0/5	0,4		5	mA
		1,3		1,1	2,6		0,9		0/10	0,5		10	
		3,6		3	6,8		2,4		0/15	1,5		15	
I_{IH}, I_{IL}	Corrente de fuga na entrada		±0,3		$\pm 10^{-5}$	±0,3		±1	0/15	qualquer entrada		15	μA

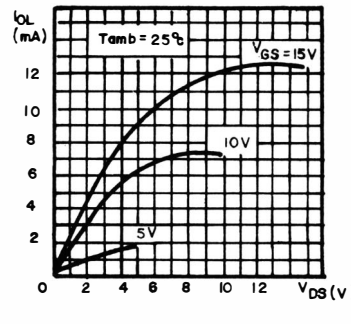
CARACTERÍSTICAS AC

SÍMBOLO	PARÂMETRO		LIMITES			CONDIÇÕES DE TESTE		UNIDADE
			MÍN.	TÍP.	MÁX.		V_{DD} (V)	
t_{PLH} t_{PHL}	Tempo de propagação	Entrada de soma para saída de soma		400	800	$T_A = 25°C$ $C_L = 50$ pF $R_L = 200$ kΩ $t_r = t_f = 20$ ns	5	ns
				160	320		10	
				115	230		15	
		Entrada de carry para saída de soma		370	740		5	
				155	310		10	
				115	230		15	
		Entrada de soma para saída de carry		200	400		5	
				90	180		10	
				65	130		15	
		Entrada de carry para saída de carry		100	200		5	
				50	100		10	
				40	80		15	
t_{THL} t_{TLH}	Tempo de transição			100	200		5	ns
				50	100		10	
				40	80		15	
C_L	Capacitância de entrada			5	7,5			pF

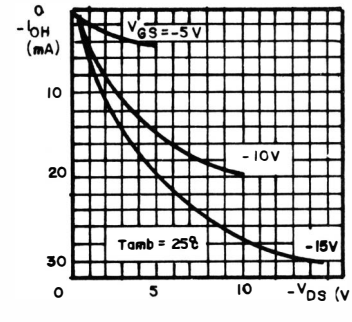
CARACTERÍSTICAS TÍPICAS
DA CORRENTE DE SAÍDA -
NÍVEL BAIXO



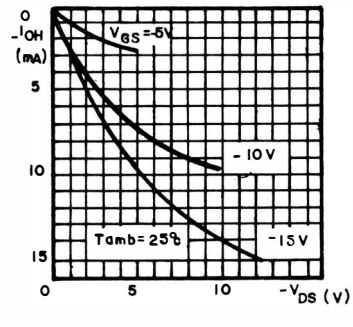
CARACTERÍSTICAS MÍNIMAS
DA CORRENTE DE SAÍDA -
NÍVEL BAIXO



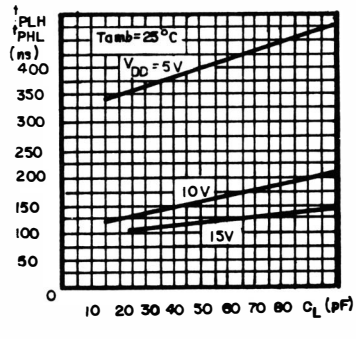
CARACTERÍSTICAS TÍPICAS
DA CORRENTE DE SAÍDA -
NÍVEL ALTO



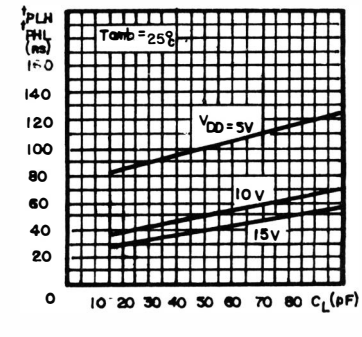
CARACTERÍSTICAS MÍNIMAS
DA CORRENTE DE SAÍDA -
NÍVEL ALTO



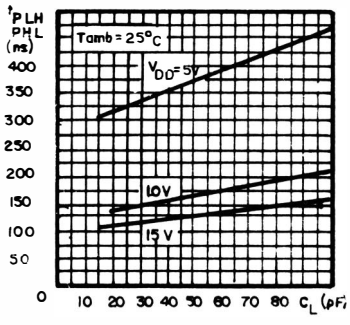
ATRASO DE PROPAGAÇÃO
x CAPACITÂNCIA DE CARGA
(ENT. SOMA ⟶ SAÍDA SOMA)



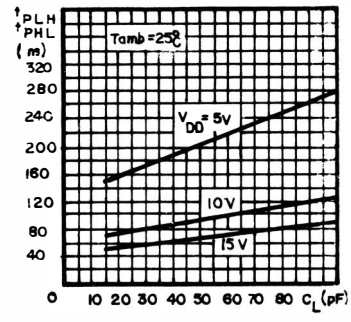
ATRASO DE PROPAGAÇÃO
x CAPACITÂNCIA DE CARGA
(CI ⟶ CO)



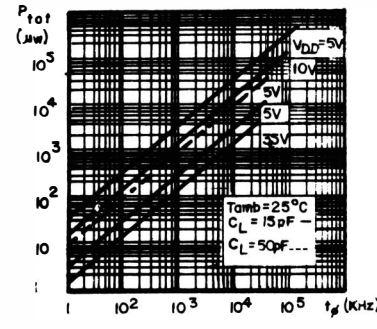
ATRASO DE PROPAGAÇÃO
x CAPACITÂNCIA DE CARGA
(CI ⟶ SAÍDA SOMA)



ATRASO DE PROPAGAÇÃO
x CAPACITÂNCIA DE CARGA
(ENT. SOMA ⟶ CO)

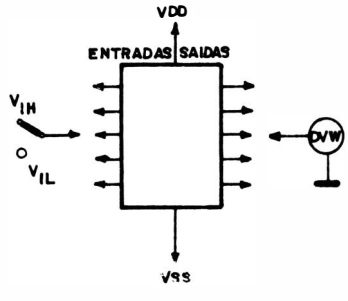


DISSIPAÇÃO DE POTÊNCIA
DO DISPOSITIVO
x FREQÜÊNCIA

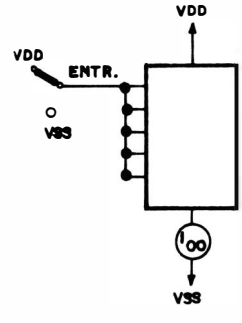


Circuitos de Teste

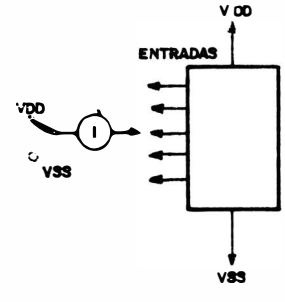
Tensão de Entrada



Corrente Quiescente



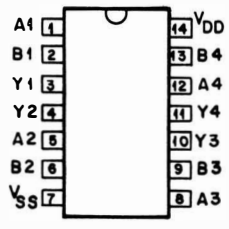
Corrente de Fuga na Entrada



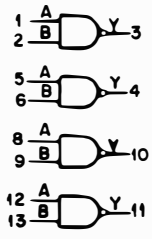
IC 4011B

QUATRO PORTAS NAND DE DUAS ENTRADAS

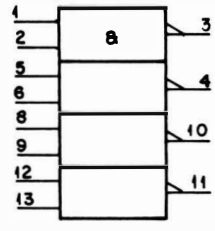
PINAGEM



ESQUEMA LÓGICO



SIMBOLOGIA IEC



CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	NOM.	MÁX.	
V_{DD}	Tensão de alimentação	3		15	V
V_I	Tensão de entrada	0		V_{DD}	V
T_A	Temperatura de operação	−40		85	°C

TABELA DA VERDADE

ENTRADAS		SAÍDAS
A	B	Y
L	L	H
L	H	H
H	L	H
H	H	L

CARACTERÍSTICAS DC

SÍMBOLO	PARÂMETRO	−40°C		25°C			85°C		CONDIÇÕES DE TESTE				UNIDADE
		MÍN.	MÁX.	MÍN.	TÍP.	MÁX.	MÍN.	MÁX.	V_{DD} (V)	V_I (V)	V_O (V)	$\|I_O\|$ (μA)	
I_{DD}	Corrente de alimentação		0,25		0,01	0,25		7,5	5	0/5			μA
			0,5		0,01	0,5		15	10	0/10			
			1		0,01	1		30	15	0/15			
			5		0,02	5		150	20	0/20			
V_{IH}	Tensão de entrada - nível alto	3,5		3,5			3,5		5		0,5/4,5	<1	V
		7		7			7		10		1/9	<1	
		11		11			11		15		2/13	<1	
V_{IL}	Tensão de entrada - nível baixo		1,5			1,5		1,5	5		4,5/0,5	<1	V
			3			3		3	10		9/1	<1	
			4			4		4	15		13/2	<1	
V_{OH}	Tensão de saída - nível alto	4,95		4,95			4,95		5	0/5		<1	V
		9,95		9,95			9,95		10	0/10		<1	
		14,95		14,95			14,95		15	0/15		<1	
V_{OL}	Tensão de saída - nível baixo		0,05			0,05		0,05	5	5/0		<1	V
			0,05			0,05		0,05	10	10/0		<1	
			0,05			0,05		0,05	15	15/0		<1	
I_{IH}, I_{IL}	Corrente de fuga na entrada		±0,1		$\pm 10^{-5}$	±0,1		±1	18	0/18			μA
I_{OH}	Corrente de saída - nível alto	−1,8		−1,6	−3,2		−1,3		5	0/5	2,5		mA
		−0,61		−0,51	−1		−0,42		5	0/5	4,6		
		−1,5		−1,3	−2,6		−1,1		10	0/10	9,5		
		−4		−3,4	−6,8		−2,8		15	0/15	13,5		
I_{OL}	Corrente de saída - nível baixo	0,61		0,51	1		0,42		5	0/5	0,4		mA
		1,5		1,3	2,6		1,1		10	0/10	0,5		
		4		3,4	6,8		2,8		15	0/15	1,5		

CARACTERÍSTICAS AC

SÍMBOLO	PARÂMETRO	LIMITES				CONDIÇÕES DE TESTE	UNIDADE
		MÍN.	TÍP.	MÁX.	V_{DD} (V)		
t_{PHL}, t_{PLH}	Tempo de atraso de propagação Saídas H⟶L e L⟶H		125	250	5	T_A = 25°C C_L = 50 pF R_L = 200 KΩ $t_r = t_f$ = 20 ns	ns
			60	120	10		
			45	90	15		
t_{THL} t_{TLH}	Tempo de transição de H para L e L para H		100	200	5		ns
			50	100	10		
			40	80	15		
C_I	Capacitância de entrada		5	7,5			pF

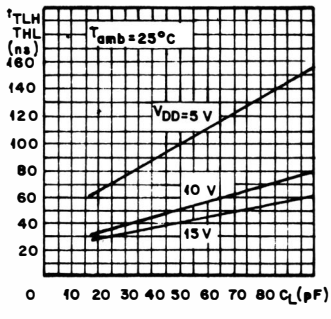
OBSERVAÇÃO:

O coeficiente de temperatura típico para todos os valores de V_{DD} é 0,3%/°C

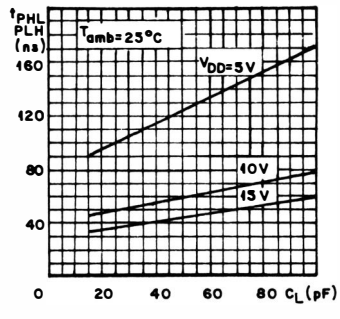
t_r = tempo subida, t_f = tempo de descida

vide formas de onda e circuitos de carga

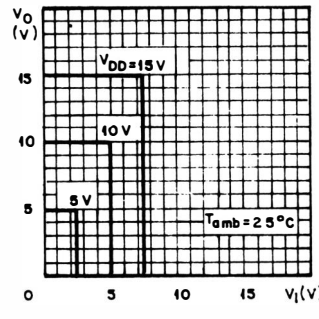
TEMPO DE TRANSIÇÃO TÍPICO × CAPACITÂNCIA DE CARGA



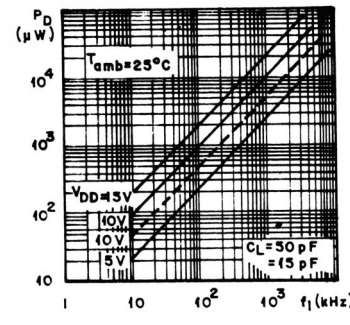
ATRASO DE PROPAGAÇÃO × CAPACITÂNCIA DE CARGA



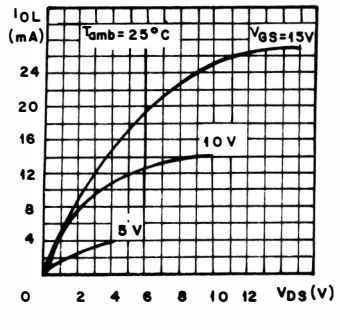
CARACTERÍSTICAS DE TRANSFERÊNCIA DE TENSÃO



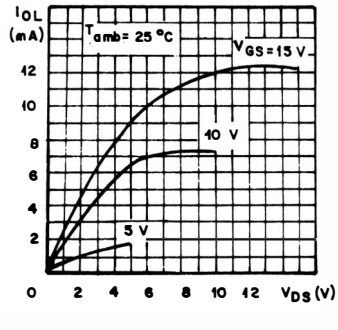
DISSIPAÇÃO DE POTÊNCIA × FREQÜÊNCIA



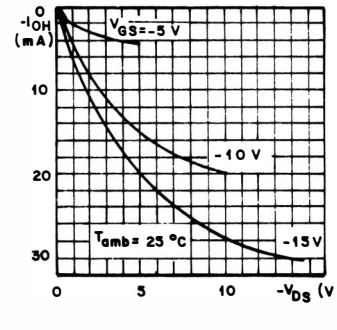
CARACTERÍSTICAS TÍPICAS DA CORRENTE DE SAÍDA - NÍVEL BAIXO



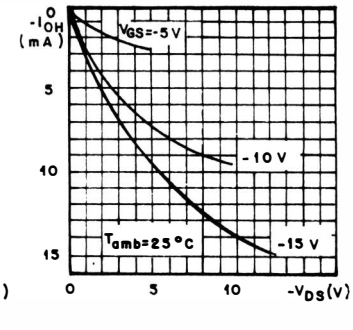
CARACTERÍSTICAS MÍNIMAS DA CORRENTE DE SAÍDA - NÍVEL BAIXO



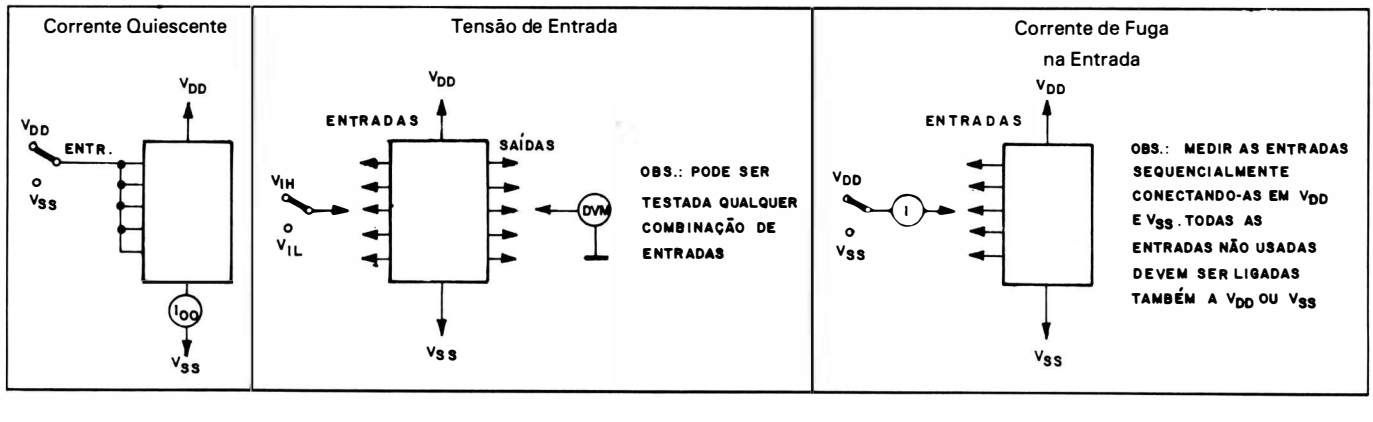
CARACTERÍSTICAS TÍPICAS DA CORRENTE DE SAÍDA - NÍVEL ALTO



CARACTERÍSTICAS MÍNIMAS DA CORRENTE DE SAÍDA - NÍVEL ALTO



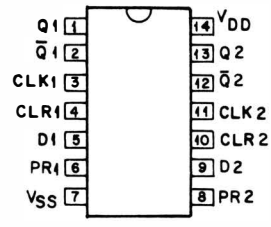
Circuitos de Teste



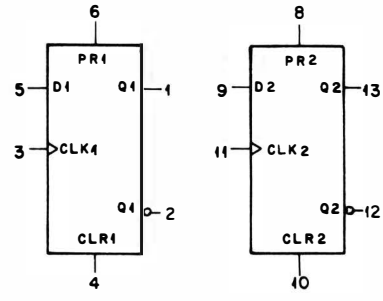
DOIS FLIP-FLOPS TIPO D DISPARÁVEIS
NA TRANSIÇÃO POSITIVA COM PRESET E CLEAR

IC 4013B

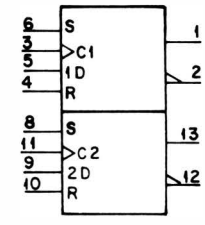
PINAGEM



ESQUEMA LÓGICO



SIMBOLOGIA IEC



CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	NOM.	MÁX.	
V_{DD}	Tensão de alimentação	3		18	V
V_I	Tensão de entrada	0		V_{DD}	V
T_A	Temperatura de operação	−40		85	°C

TABELA DA VERDADE

CLK	D	CLR	PR	Q	$\bar{Q}$
↑	L	L	L	L	H
↑	H	L	L	H	L
↓	×	L	L	Q	$\bar{Q}$
×	×	H	L	L	H
×	×	L	H	H	L
×	×	H	H	H	H

CARACTERÍSTICAS DC

SÍMBOLO	PARÂMETRO	−40°C		25°C			85°C		CONDIÇÕES DE TESTE				UNIDADE
		MÍN.	MÁX.	MÍN.	TÍP.	MÁX.	MÍN.	MÁX.	V_{DD} (V)	V_I (V)	V_O (V)	$\|I_O\|$ (μA)	
I_{DD}	Corrente de alimentação		1		0,02	1		30	5	0/5			μA
			2		0,02	2		60	10	0/10			
			4		0,02	4		120	15	0/15			
			20		0,04	20		600	20	0/20			
V_{IH}	Tensão de entrada - nível alto	3,5		3,5			3,5		5		0,5/4,5	<1	V
		7		7			7		10		1/9	<1	
		11		11			11		15		2/13	<1	
V_{IL}	Tensão de entrada - nível baixo		1,5			1,5		1,5	5		4,5/0,5	<1	V
			3			3		3	10		9/1	<1	
			4			4		4	15		13/2	<1	
V_{OH}	Tensão de saída - nível alto	4,95		4,95			4,95		5	0/5		<1	V
		9,95		9,95			9,95		10	0/10		<1	
		14,95		14,95			14,95		15	0/15		<1	
V_{OL}	Tensão de saída - nível baixo		0,05			0,05		0,05	5	5/0		<1	V
			0,05			0,05		0,05	10	10/0		<1	
			0,05			0,05		0,05	15	15/0		<1	
I_{IH}, I_{IL}	Corrente de fuga na entrada		±0,1		$±10^{-5}$	±0,1		±1	18	0/18			μA
I_{OH}	Corrente de saída - nível alto	−1,8		−1,6	−3,2		−1,3		5	0/5	2,5		mA
		−0,61		−0,51	−1		−0,42		5	0/5	4,6		
		−1,5		−1,3	−2,6		−1,1		10	0/10	9,5		
		−4		−3,4	−6,8		−2,8		15	0/15	13,5		
I_{OL}	Corrente de saída - nível baixo	0,61		0,51	1		0,42				0,4		mA
		1,5		1,3	2,6		1,1				0,5		
		4		3,4	6,8		2,8				1,5		

CARACTERÍSTICAS AC

SÍMBOLO	PARÂMETRO	LIMITES				CONDIÇÕES DE TESTE	UNIDADE
		MÍN.	TÍP.	MÁX.	V_{DD} (V)		
t_{PHL}, t_{PLH}	Tempo de atraso de propagação do clock para as saídas		150	300	5		ns
			65	130	10		
			45	90	15		
t_{PLH}	Tempo de atraso de propagação PR para Q ou CLR para Q		150	300	5		ns
			65	130	10		
			45	90	15		
t_{PHL}	Tempo de atraso de propagação PR para Q ou CLR para Q		200	400	5		ns
			85	170	10	T_A = 25°C	
			60	120	15		
t_{THL}, t_{TLH}	Tempo de transição		100	200	5		ns
			50	100	10	C_L = 50 pF	
			40	80	15		
f_{CLK} (1)	Freqüência de clock	3,5	7		5		MHz
		8	16		10	R_L = 200 KΩ	
		12	24		15		
t_W	Largura do pulso de clock	140	70		5		ns
		60	30		10	$t_r = t_f$ = 20 ns	
		40	20		15		
t_r, t_f (2)	Tempo de subida e tempo de descida			15	5		µs
				4	10		
				1	15		
t_W	Largura do pulso PR ou CLR	180	90		5		ns
		80	40		10		
		50	25		15		
t_{SU}	Tempo de set up	40	20		5		ns
		20	10		10		
		15	7		15		
C_I	Capacitância de entrada		5	7,5			pF

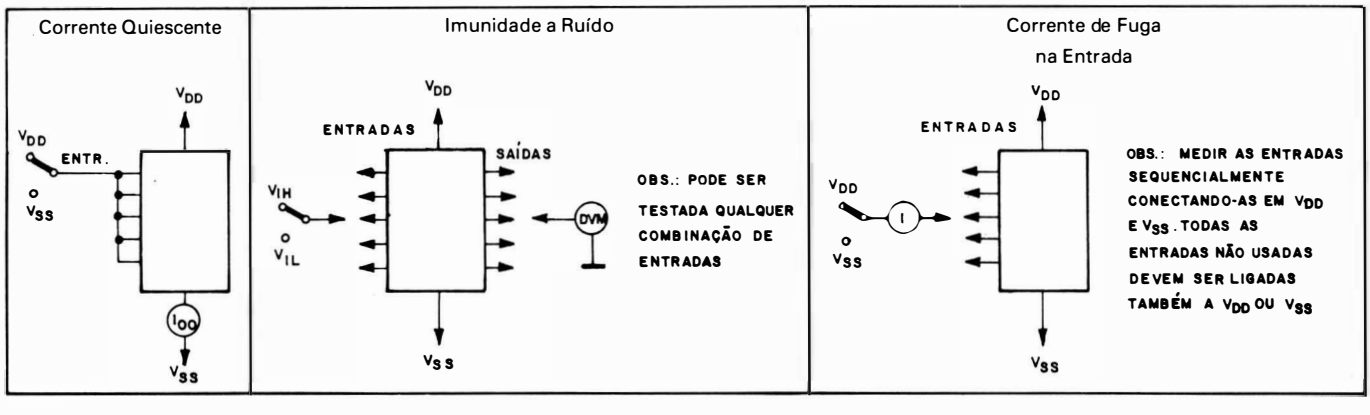
OBSERVAÇÕES:

1 - Entrada $t_r = t_f$ = 5 ns; t_r = tempo de subida, t_f = tempo de descida

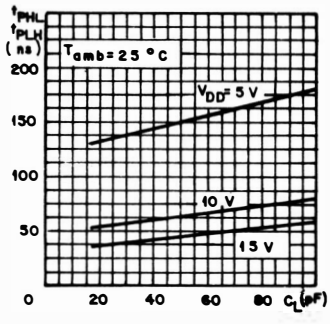
2 - Se mais de uma unidade for cascateada em uma operação paralela de clock, t_r deve ser menor ou igual a soma dos tempos de atraso de propagação a 15 pF, e o tempo de transição do estágio de saída acionado pela capacitância de carga estimada.

O coeficiente de temperatura típico para todos os valores de V_{DD} é 0,3%/°C

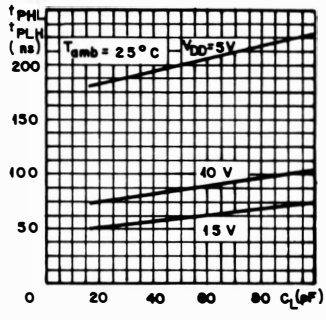
Circuitos de Teste



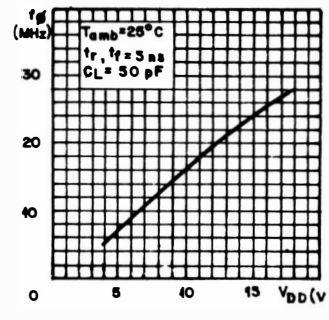
ATRASO DE PROPAGAÇÃO × CAPACITÂNCIA DE CARGA (CLK ou PR → Q) (CLK ou CLR → $\overline{Q}$)



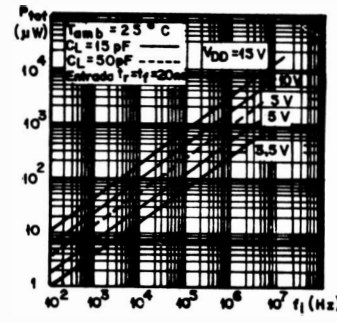
ATRASO DE PROPAGAÇÃO × CAPACITÂNCIA DE CARGA (PR → $\overline{Q}$ ou CLR → Q)



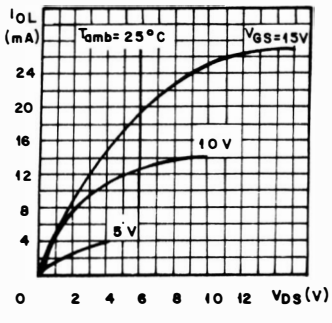
MÁXIMA FREQÜÊNCIA DE CLOCK TÍPICA × TENSÃO DE ALIMENTAÇÃO



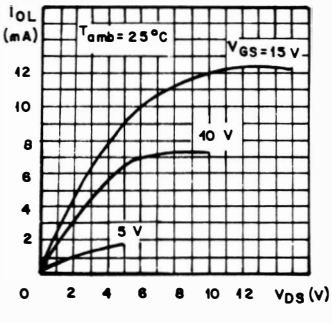
DISSIPAÇÃO DE POTÊNCIA DO DISPOSITIVO × FREQÜÊNCIA



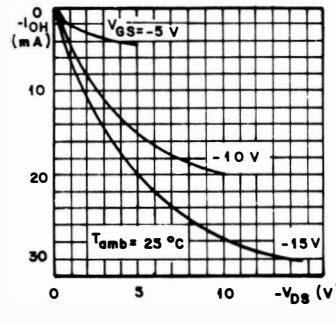
CARACTERÍSTICAS TÍPICAS DA CORRENTE DE SAÍDA - NÍVEL BAIXO



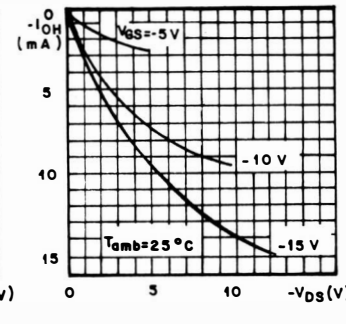
CARACTERÍSTICAS MÍNIMAS DA CORRENTE DE SAÍDA - NÍVEL BAIXO



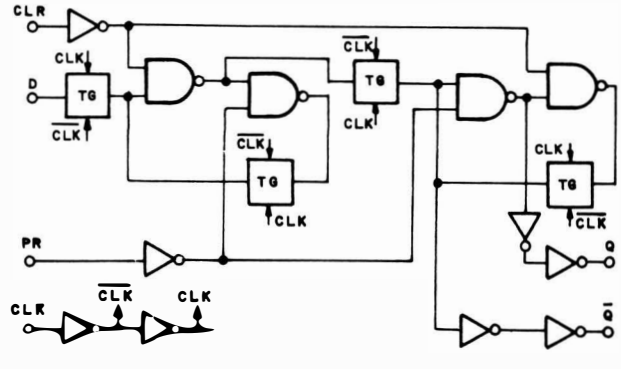
CARACTERÍSTICAS TÍPICAS DA CORRENTE DE SAÍDA - NÍVEL ALTO



CARACTERÍSTICAS MÍNIMAS DA CORRENTE DE SAÍDA - NÍVEL ALTO

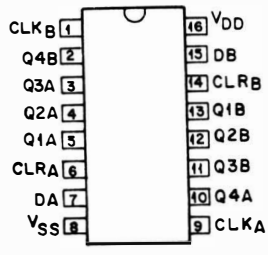


Configuração Interna

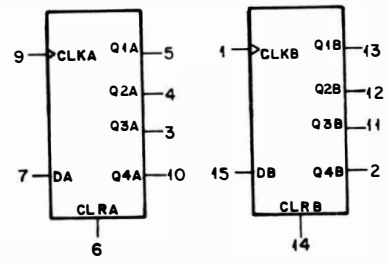


IC 4015B

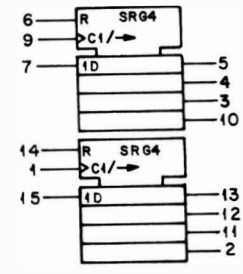
PINAGEM



ESQUEMA LÓGICO



SIMBOLOGIA IEC



CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	NOM.	MÁX.	
V_{DD}	Tensão de alimentação	3		15	V
V_I	Tensão de entrada	0		V_{DD}	V
T_A	Temperatura de operação	−40		85	°C

A margem de ruído tanto para o nível 1 como para o nível 0 é: 1Vmin, V_{DD} = 5V; 2Vmin, V_{DD} = 10V; 2,5Vmin, V_{DD} = 15V

TABELA DA VERDADE

CLK	D	CLR	Q_1	Q_n
↑	L	L	L	Q_{n-1}
↑	H	L	H	Q_{n-1}
↓	×	L	Q_1	Q_n
×	×	H	L	L

H = nível alto L = nível baixo

X = irrelevante

CARACTERÍSTICAS DC

SÍMBOLO	PARÂMETRO	−40°C		25°C			85°C		CONDIÇÕES DE TESTE				UNIDADE
		MÍN.	MÁX.	MÍN.	TIP.	MÁX.	MÍN.	MÁX.	V_{DD} (V)	V_I (V)	V_O (V)	$\|I_O\|$ (μA)	
I_{DD}	Corrente de alimentação		5		0,04	5		150	5	0/5			μA
			10		0,04	10		300	10	0/10			
			20		0,04	20		600	15	0/15			
			100		0,08	100		3000	20	0/20			
V_{IH}	Tensão de entrada - nível alto	3,5		3,5			3,5		5		0,5/4,5	<1	V
		7		7			7		10		1/9	<1	
		11		11			11		15		1,5/13,5	<1	
V_{IL}	Tensão de entrada - nível baixo		1,5			1,5		1,5	5		4,5/0,5	<1	V
			3			3		3	10		9/1	<1	
			4			4		4	15		13,5/1,5	<1	
V_{OH}	Tensão de saída - nível alto	4,95		4,95			4,95		5	0/5		<1	V
		9,95		9,95			9,95		10	0/10		<1	
		14,95		14,95			14,95		15	0/15		<1	
V_{OL}	Tensão de saída - nível baixo		0,05			0,05		0,05	5	5/0		<1	V
			0,05			0,05		0,05	10	10/0		<1	
			0,05			0,05		0,05	15	15/0		<1	
I_{IH}, I_{IL}	Corrente de fuga na entrada		±0,1		$\pm 10^{-5}$	±0,1		±1	18	0/18			μA
I_{OH}	Corrente de saída - nível alto	−1,8		−1,6	−3,2		−1,3		5	0/5	2,5		mA
		−0,61		−0,51	−1		−0,42		5	0/5	4,6		
		−1,5		−1,3	−2,6		−1,1		10	0/10	9,5		
		−4		−3,4	−6,8		−2,8		15	0/15	13,5		
I_{OL}	Corrente de saída - nível baixo	0,61		0,51	1		0,42		5	0/5	0,4		mA
		1,5		1,3	2,6		1,1		10	0/10	0,5		
		4		3,4	6,8		2,8		15	0/15	1,5		

CARACTERÍSTICAS AC

SÍMBOLO	PARÂMETRO	LIMITES			CONDIÇÕES DE TESTE		UNIDADE
		MÍN.	TIP.	MÁX.	V_{DD} (V)		
t_{PLH} t_{PHL}	Tempo de atraso de propagação do clock para as saídas		160	320	5		ns
			80	160	10		
			60	120	15		
t_{THL} t_{TLH}	Tempo de transição		100	200	5		ns
			50	100	10		
			40	80	15		
f_{CLK}	Freqüência de clock	3	6		5		MHz
		6	12		10	T_A = 25°C	
		8,5	17		15		
t_W	Largura do pulso de clock	180	90		5		ns
		80	40		10	C_L = 50 pF	
		50	25		15		
t_r, t_f	Tempo de subida e de descida			15	5		µs
				15	10	R_L = 200 KΩ	
				15	15		
t_{SU}	Tempo de setup de dados	70	35		5		ns
		40	20		10	$t_r = t_f$ = 20 ns	
		30	15		15		
t_{PHL} t_{PLH}	Tempo de atraso de propagação de CLR para Q		200	400	5		ns
			100	200	10		
			80	160	15		
t_W	Largura do pulso de CLR	200	100		5		ns
		80	40		10		
		60	30		15		
C_I	Capacitância de entrada		5	7,5			pF

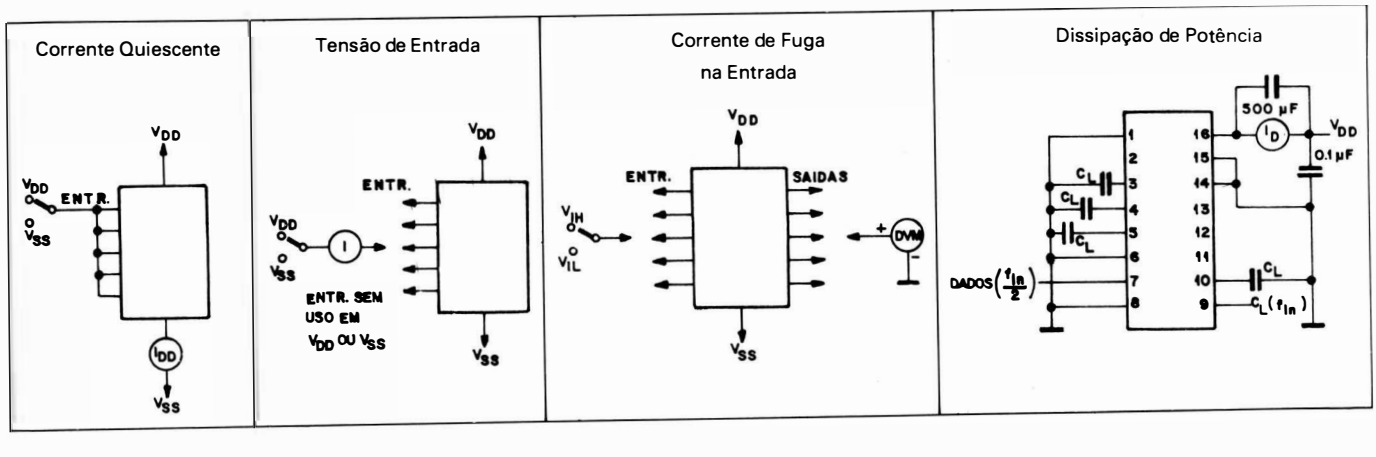
OBSERVAÇÕES:

1 - Entrada $t_r = t_f$ = 5 ns; t_r = tempo de subida, t_f = tempo de descida

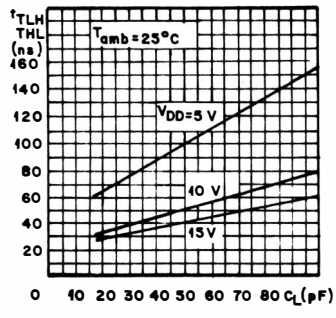
2 - Se mais de uma unidade for cascateada em uma operação, t_r deve ser menor ou igual a soma do tempo de transição e o tempo de atraso de propagação fixado da saída dos estágios acionados pela capacitância de carga estimada.

Vide formas de onda e circuitos de carga

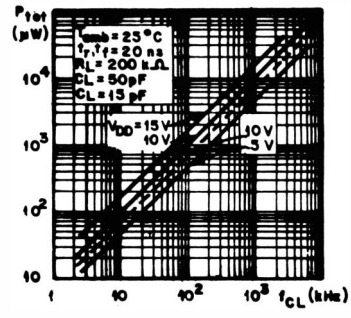
Circuitos de Teste



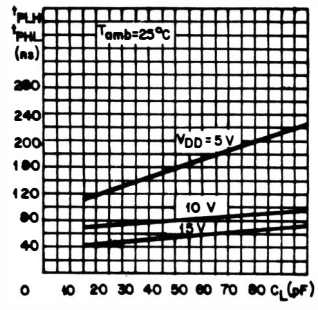
TEMPO DE TRANSIÇÃO TÍPICO × CAPACITÂNCIA DE CARGA



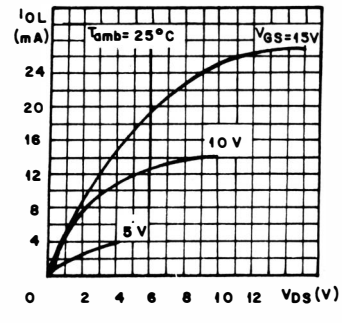
DISSIPAÇÃO DE POTÊNCIA TÍPICA × FREQÜÊNCIA



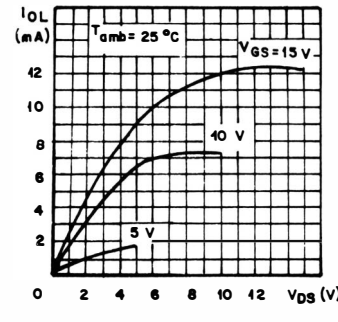
ATRASO DE PROPAGAÇÃO × CAPACITÂNCIA DE CARGA



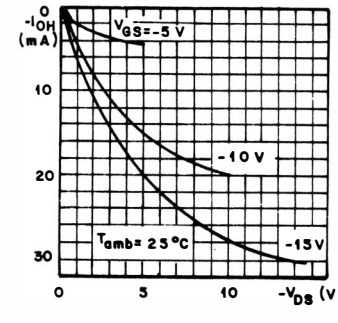
CARACTERÍSTICAS TÍPICAS DA CORRENTE DE SAÍDA - NÍVEL BAIXO



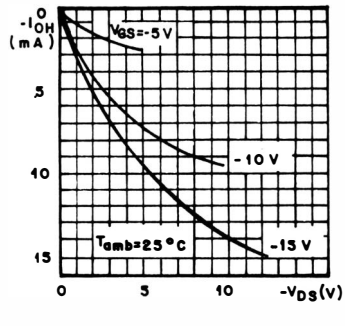
CARACTERÍSTICAS MÍNIMAS DA CORRENTE DE SAÍDA - NÍVEL BAIXO



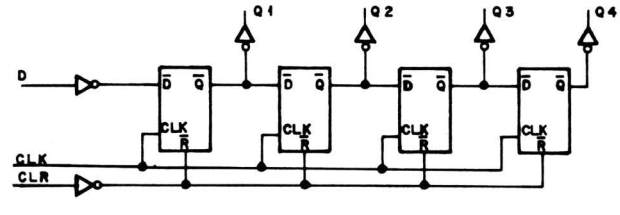
CARACTERÍSTICAS TÍPICAS DA CORRENTE DE SAÍDA - NÍVEL ALTO



CARACTERÍSTICAS MÍNIMAS DA CORRENTE DE SAÍDA - NÍVEL ALTO



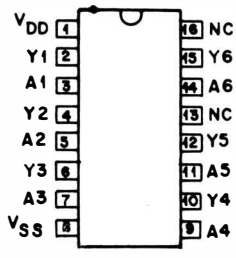
Configuração Interna



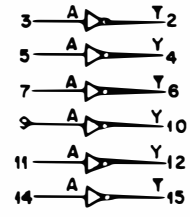
SEIS INVERSORES

IC 4049UB

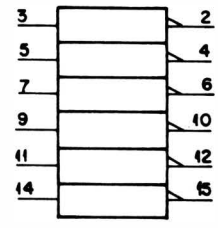
PINAGEM



ESQUEMA LÓGICO



SIMBOLOGIA IEC



CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	NOM.	MÁX.	
V_{DD}	Tensão de alimentação	3		15	V
V_I	Tensão de entrada	0		V_{DD}*	V
T_A	Temperatura de operação	−40		85	°C

* O 4049UB tem capacidade de conversão de nível alto para baixo mas não de baixo para alto, portanto recomenda-se $V_{IN} \geq V_{DD}$

TABELA DA VERDADE

ENTRADAS	SAÍDAS
A	Y
H	L
L	H

CARACTERÍSTICAS DC

SÍMBOLO	PARÂMETRO	−40°C		25°C			85°C		CONDIÇÕES DE TESTE				UNIDADE
		MÍN.	MÁX.	MÍN.	TÍP.	MÁX.	MÍN.	MÁX.	V_{DD} (V)	V_I (V)	V_O (V)		
I_{DD}	Corrente de alimentação		1		0,02	1		30	5	0/5			µA
			2		0,02	2		60	10	0/10			
			4		0,02	4		120	15	0/15			
			20		0,04	20		600	20	0/20			
V_{IH}	Tensão de entrada - nível alto	4		4		4			5		0,5		V
		8		8		8			10		1		
		12		12		12			15		2		
V_{IL}	Tensão de entrada - nível baixo		1			1		1	5		4,5		V
			2			2		2	10		9		
			3			3		3	15		13		
V_{OH}	Tensão de saída - nível alto	4,95		4,95			4,95		5	0/5			V
		9,95		9,95			9,95		10	0/10			
		14,95		14,95			14,95		15	0/15			
V_{OL}	Tensão de saída - nível baixo		0,05			0,05		0,05	5	5/0			V
			0,05			0,05		0,05	10	10/0			
			0,05			0,05		0,05	15	15/0			
I_{IH}, I_{IL}	Corrente de fuga na entrada		±0,1		$\pm 10^{-5}$	±0,1		±1	18	0/18			µA
I_{OH}	Corrente de saída - nível alto	−3,6		−3,2	−6,4		−2,6		5	0/5	2,5		mA
		−0,9		−0,8	−1,6		−0,72		5	0/5	4,6		
		−2		−1,8	−3,6		−1,5		10	0/10	9,5		
		−6,4		−6	−12		−5		15	0/15	13,5		
I_{OL}	Corrente de saída - nível baixo	3,8		3,2	6,4		2,9		5	0/5	0,4		mA
		9,6		8	16		6,6		10	0/10	0,5		
		24		24	48		20		15	0/15	1,5		

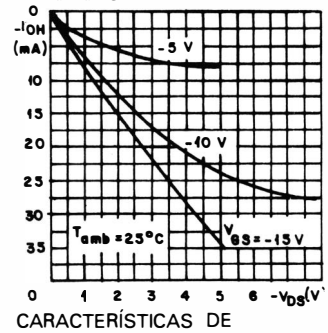
CARACTERÍSTICAS AC

SÍMBOLO	PARÂMETRO	LIMITES			CONDIÇÕES DE TESTE			UNIDADE
		MÍN.	TÍP.	MÁX.	V_{DD} (V)	V_I		
t_{PLH}	Tempo de atraso de propagação saídas L ⟶ H		60	120	5	5	T_A = 25°C	ns
			45	90	5	10		
			45	90	5	15		
			32	65	10	10		
			25	50	15	15		
t_{PHL}	Tempo de atraso de propagação saídas H ⟶ L		32	65	5	5	C_L = 50 pF	ns
			15	30	5	10		
			10	20	5	15		
			20	40	10	10	R_L = 200 KΩ	
			15	30	15	15		
t_{TLH}	Tempo de transição		80	160	5	5		ns
			40	80	10	10		
			30	60	15	15	$t_r = t_f$ = 20 ns	
t_{THL}	Tempo de transição		30	60	5	5		ns
			20	40	10	10		
			15	30	15	15		
C_I	Capacitância de entrada		15	22,5				pF

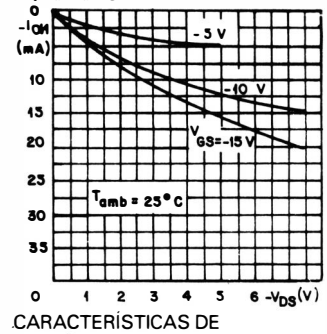
OBSERVAÇÕES:

O coeficiente de temperatura típico para todos os valores de V_{DD} é 0,3%/°C t_r = tempo subida, t_f = tempo de descida
vide formas de onda e circuitos de carga

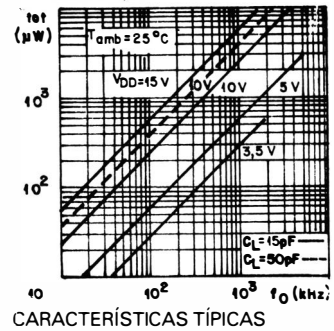
CARACTERÍSTICAS TÍPICAS DA CORRENTE DE SAÍDA - NÍVEL ALTO



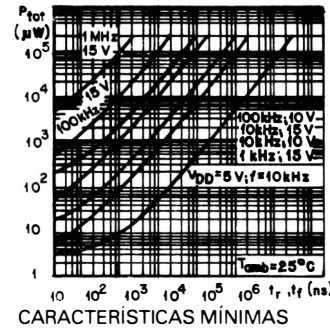
CARACTERÍSTICAS MÍNIMAS DA CORRENTE DE SAÍDA - NÍVEL ALTO



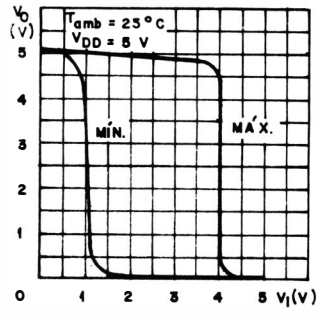
DISSIPAÇÃO DE POTÊNCIA TÍPICA POR INVERSOR × FREQÜÊNCIA



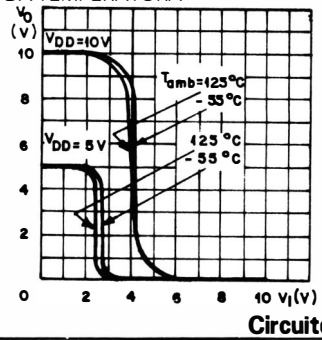
DISSIPAÇÃO DE POTÊNCIA × TEMPO DE TRANSIÇÃO DA ENTRADA POR INVERSOR



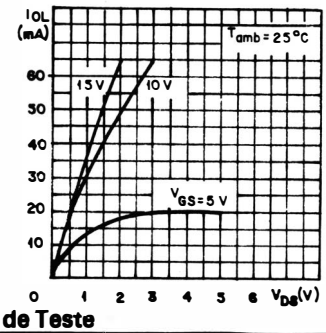
CARACTERÍSTICAS DE TRANSFERÊNCIA MÍNIMA E MÁXIMA



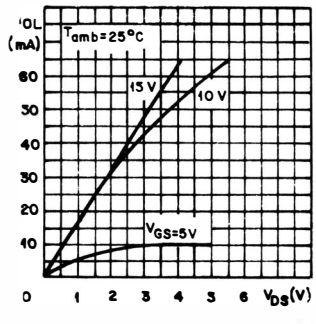
CARACTERÍSTICAS DE TRANSFERÊNCIAS DE TENSÃO COMO FUNÇÃO DA TEMPERATURA



CARACTERÍSTICAS TÍPICAS DA CORRENTE DE SAÍDA - NÍVEL BAIXO

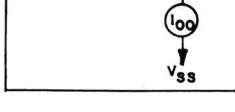


CARACTERÍSTICAS MÍNIMAS DA CORRENTE DE SAÍDA - NÍVEL BAIXO

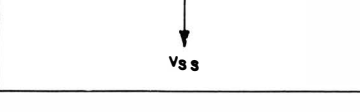


Circuitos de Teste

Corrente Quiescente



Tensão de Entrada

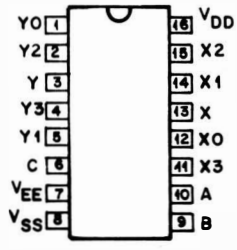


OBS.: PODE SER TESTADA QUALQUER COMBINAÇÃO DE ENTRADAS

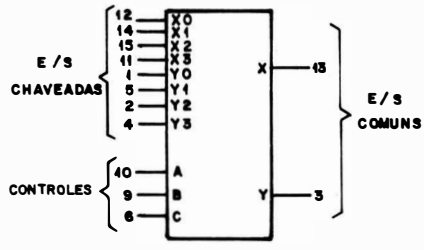
Corrente de Fuga na Entrada

OBS.: MEDIR AS ENTRADAS SEQUENCIALMENTE CONECTANDO-AS EM V_{DD} E V_{SS}. TODAS AS ENTRADAS NÃO USADAS DEVEM SER LIGADAS TAMBÉM A V_{DD} OU V_{SS}

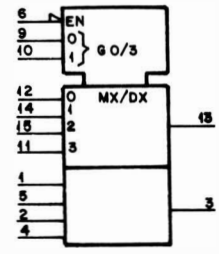
PINAGEM



ESQUEMA LÓGICO



SIMBOLOGIA IEC



CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	NOM.	MÁX.	
V_{DD}	Tensão de alimentação	3		15	V
V_I	Tensão de entrada	0		V_{DD}	V
T_A	Temperatura de operação	−40		85	°C

CARACTERÍSTICAS DC

SÍMBOLO	PARÂMETRO	−40°C		25°C			85°C		CONDIÇÕES DE TESTE				UNIDADE
		MÍN.	MÁX.	MÍN.	TIP.	MÁX.	MÍN.	MÁX.	V_{DD} (V)	V_I (V)	V_{EE} (V)		
I_{DD}	Corrente de alimentação		20		0,04	20		150	5				µA
			40		0,04	40		300	10				
			80		0,04	80		600	15				
V_{IL}	Tensão da entrada de controle - nível baixo		1,5			1,5		1,5	5	$=V_{DD}$ através de 1K Ω	$=V_{SS}$	$R_L=1K\,\Omega$ Canais desligados	V
			3			3		3	10				
			4			4		4	15				
V_{IH}	Tensão da entrada de controle - nível alto	3,5		3,5			3,5		5	$=V_{DD}$ através de 1K Ω	$=V_{SS}$	$R_L=1K\,\Omega$ Canais desligados	V
		7		7			7		10				
		11		11			11		15				
I_{IH}, I_{IL}	Corrente de fuga das entradas de controle		±0,3		$\pm10^{-3}$	±0,3		±1	15	0/15	0		µA
I_{OFF}	Corrente de fuga do canal desligado		300		±0,1	300		1000	15				nA
R_{ON}	Resistência do canal Ligado		880		470	1050		1200	5				Ω
			330		180	400		520	10				
			230		125	280		360	15				
$\triangle R_{ON}$	Diferença entre as resistências de 2 canais				10				5				Ω
					10				10				
					5				15				

CARACTERÍSTICAS AC

SÍMBOLO	PARÂMETRO	LIMITES TIP.	LIMITES MÁX.	UNIDADE	CONDIÇÕES DE TESTE V_{DD} (V)	V_I (V)	R_L (K Ω)	V_{EE} (V)	
	Tempo de atraso de propagação sinal na entrada para sinal na saída	30	30	ns	5	10	200		
		15	60		10				
		11	20		15				
	Tempo de atraso de propagação endereço - para sinal na saída (canais Ligados ou não)	360	720	ns	5			0	
		160	320		10			0	
		120	240		15			0	
		225	450		5			−5	
	Tempo de atraso de propagação — habilitação das saídas	360	720	ns	5		10	0	
		160	320		10			0	
		120	240		15			0	
		200	400		5			−10	
	Tempo de atraso de propagação — inibição das saídas	200	450	ns	5		0,3	0	
		90	210		10			0	
		70	160		15			0	
		130	300		5			−10	
	Resposta em frequência do canal Ligado (senoide na entrada) com 20 $LOG_{10} \frac{V_O}{V_I} = -3$ dB	25		MHz	10	5 (2)	1	0	V_O no terminal comum
		60							V_O qualquer canal
	Distorção harmônica	0,3		%	5	2 (2)	10	0	V_I = senóide f = 1 KHz
		0,2			10	3 (2)			
		0,12			15	5 (2)			
	Frequência de crosstalk com 20 $LOG_{10} \frac{V_O}{V_I} = -40$ dB	3		MHz	10	5 (1)	1	0	entre 2 canais quaisquer
		6							entre seções — medido no comum
		10							entre seções — medido em qualquer canal
	Frequência de passagem com todos os canais desligados com 20 $LOG_{10} \frac{V_O}{V_I} = -40$ dB	10		MHz	10	5 (1)	1	0	V_O no terminal E/S comum
		8							V_O em qualquer canal
	Interferência das entradas de endereço ou inibição no sinal de crosstalk	65		mV	10	10		0	$V_C = V_{DD} - V_{SS}$ (onda quadrada)
C_I	Capacitância da entrada — de controle	5	7,5	pF					
	Capacitância da entrada — de sinal	5							
C_O	Capacitância de saída	18		pF	5			−5	$V_{SS} = -5$ V

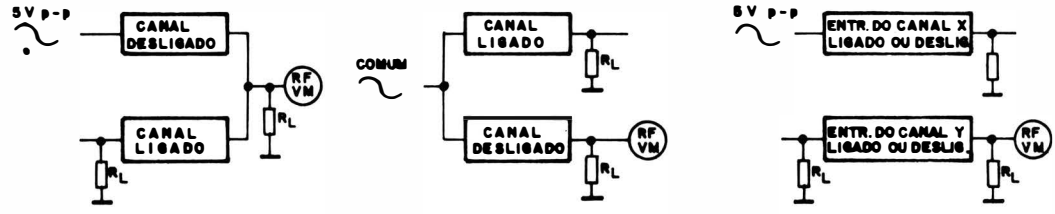
OBSERVAÇÕES:

1) $T_A = 25°C$, $C_L = 50$ pF, todas as entradas com onda quadrada tempo de transição = 20 ns

2) Tensão pico a pico simétrica ao redor de $\frac{V_{DD} - V_{EE}}{2}$

Tensões de Polarização Típicas

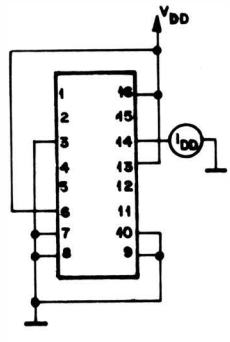
Crosstalk entre dois canais quaisquer



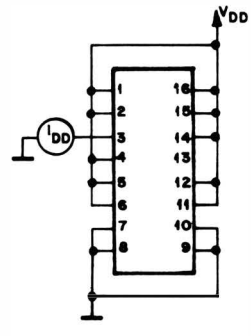
OBSERVAÇÃO:
Os níveis lógicos das entradas de endereço e de inibição são: 0 = V_{SS} e 1 = V_{DD}.
O sinal analógico pode variar desde V_{EE} até V_{DD}.

Circuitos de Teste

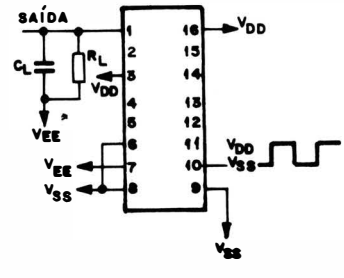
Corrente de Fuga Canal Desligado — qualquer canal desligado



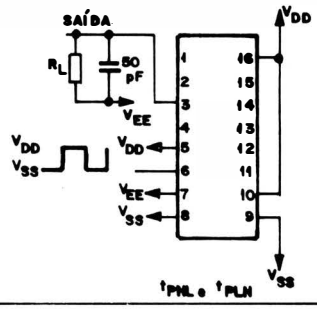
Corrente de Fuga Canal Desligado — Todos os Canais Desligados



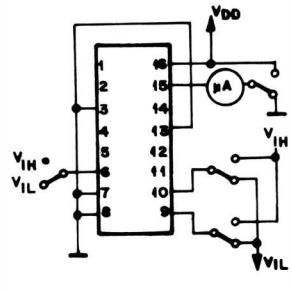
Tempo de Atraso de Propagação Endereço na Entrada → Sinal na Saída



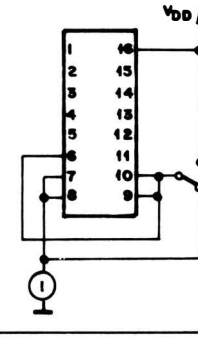
Tempo de atraso de propagação Habilitação → Sinal na Saída



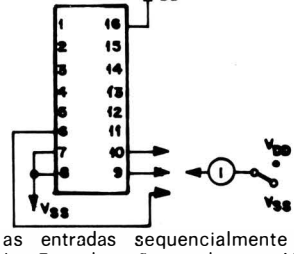
Tensão de Entrada



Corrente de Alimentação

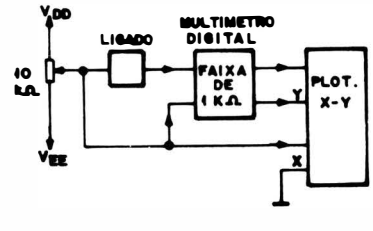


Corrente de entrada

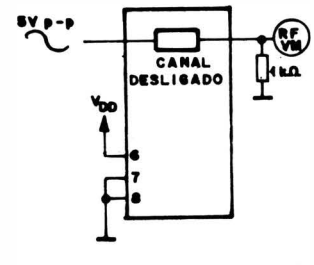


Medir as entradas sequencialmente para V_{DD} e V_{SS}. Entradas não usadas em V_{DD} ou V_{SS}

Resistência do Canal Ligado



Frequência de Passagem Canal Desligado



Configuração Interna

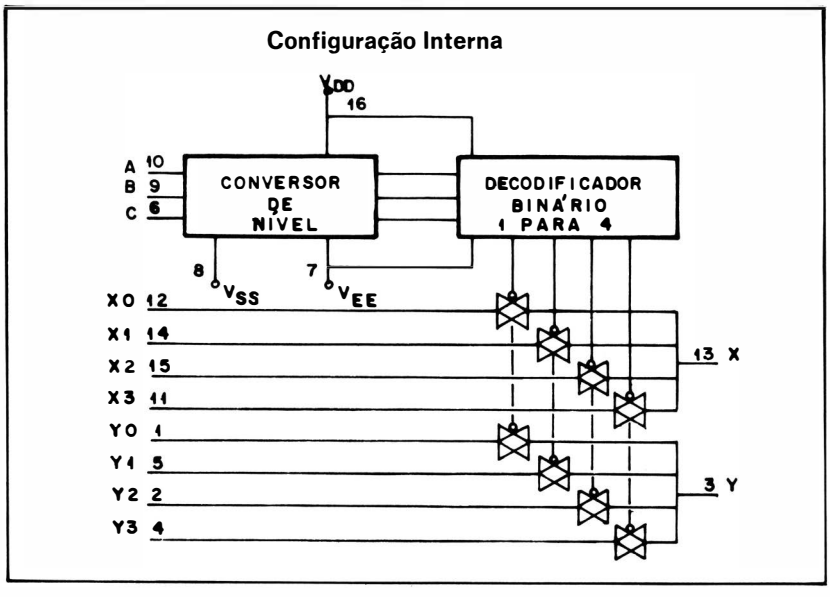
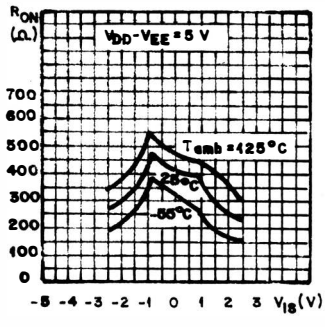


TABELA DA VERDADE

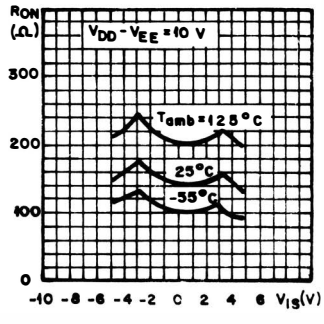
ENTRADAS			SAÍDAS	
C	A	B	X	Y
L	L	L	X0	Y0
L	L	H	X1	Y1
L	H	L	X2	Y2
L	H	H	X3	Y3
H	X	X	Nenhuma	

L = nível baixo, H = nível alto
X = irrelevante

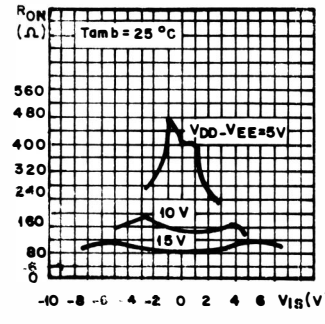
R_{ON} TÍPICO × TENSÃO DO SINAL DE ENTRADA



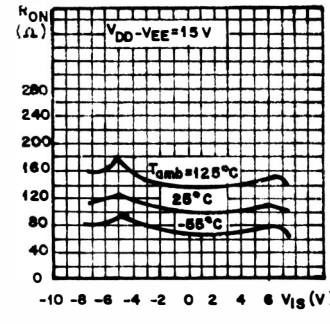
R_{ON} TÍPICO × TENSÃO DO SINAL DE ENTRADA



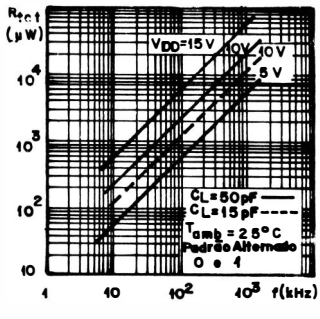
R_{ON} TÍPICO × TENSÃO DO SINAL DE ENTRADA

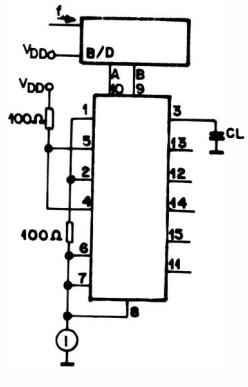


R_{ON} TÍPICO × TENSÃO DO SINAL DE ENTRADA



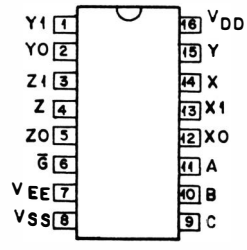
DISSIPAÇÃO DE POTÊNCIA TÍPICA × FREQUÊNCIA DE CHAVEAMENTO E CIRCUITO DE TESTE



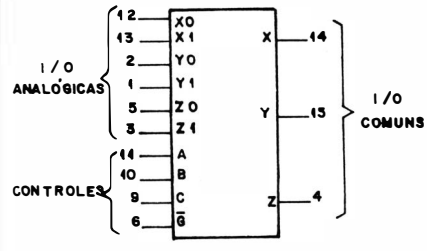


IC 4053B

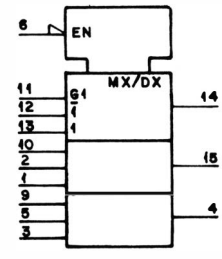
PINAGEM



ESQUEMA LÓGICO



SIMBOLOGIA IEC



CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	NOM.	MÁX.	
V_{DD}	Tensão de alimentação	3		15	V
V_I	Tensão de entrada	0		V_{DD}	V
T_A	Temperatura de operação	−40		85	°C

TABELA DA VERDADE

INIBIÇÃO	CONTROLE	SAÍDAS
$\overline{G}$	A ou B ou C	X Y Z
0	0	x ou y0 ou z0
0	1	x1 ou y1 ou z1
1	X	inibidas

CARACTERÍSTICAS DC

SÍMBOLO	PARÂMETRO	−40°C		25°C			85°C		CONDIÇÕES DE TESTE				UNIDADE
		MÍN.	MÁX.	MÍN.	TÍP	MÁX.	MÍN.	MÁX.	V_{DD} (V)	V_I (V)	V_{EE} (V)	V_{SS} (V)	
I_{DD}	Corrente de alimentação		5		0,04	5		150	5				µA
			10		0,04	10		300	10				
			20		0,04	20		600	15				
			100		0,08	100		3000	20				
V_{IL}	Tensão de entrada de controle nível baixo		1,5			1,5		1,5	5				V
			3			3		3	10				
			4			4		4	15				
V_{IH}	Tensão de entrada de controle nível alto	3,5		3,5			3,5		5				V
		7		7			7		10				
		11		11			11		15				
I_{IH}, I_{IL}	Controle de fuga das entradas de controle		±0,1		$±10^{-5}$	±0,1		±1	18	0/18			µA
R_{ON}	Resistência do canal ligado		2100		470	2500		3200	5	$0 \leqslant V_I \leqslant V_{DD}$	0	0	Ω
			330		180	400		520	10				
			230		125	280		360	15				
ΔR_{ON}	Diferença entre as resistências de 2 canais				10				5		0	0	Ω
					10				10				
					5				15				
I_{OFF} (1)	Corrente de fuga do canal desligado		±200		±0,01	±200		±200	10		0	0	nA
			±500		±0,01	±200		±500	15				
			±1000		±0,01	±200		±1000	20				

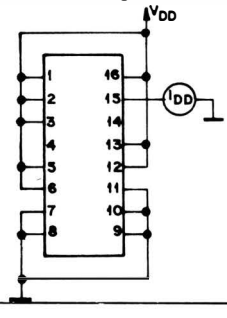
1 - Determinado pela mínima medida de fuga possível do equipamento de teste

CARACTERÍSTICAS AC

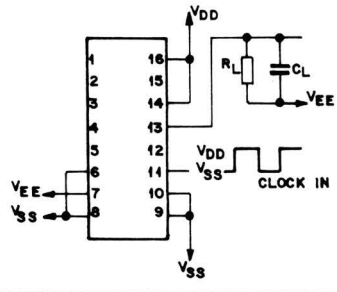
SÍMBOLO	PARÂMETRO		LIMITES		CONDIÇÕES DE TESTE					UNIDADE
			TÍP	MÁX.	V_{DD} (V)	V_I (V)	R_L (kΩ)	V_{EE} (V)		
	Tempo de atraso de propagação sinal da entrada para sinal na saída		30	30	5	10	200		V_I = onda quadrada centro em 5 V	ns
			15		10					
			11	20	15					
	Resposta de freqüência do canal ligado		30		10	5	1		$20 \log_{10} \frac{V_O}{V_I} = -3$ dB	MHz
	Distorção harmônica		0,3		5	2	10		$V_I \longrightarrow f$ = 1 kHz	%
			0,2		10	3				
			0,12		15	5				
	Freqüência de cross talk entre 2 seções	Entrada Pino 2 Saída Pino 14	2,5		10	5	1			MHz
		Entrada Pino 15 Saída Pino 14	6		10	5	1			MHz
	Tempo de atraso de propagação Endereço para sinal na saída (canais ligados ou não)		360	720	5			0		ns
			160	320	10			0		
			120	240	15			0		
			225	450	5			−5		
	Tempo de atraso de propagação Habilitação da saída		360	720	5		10	0		ns
			160	320	10			0		
			120	240	15			0		
			200	400	5			−10		
	Tempo de atraso de propagação Inibição na saída		200	450	5		0,3	0		ns
			90	210	10			0		
			70	160	15			0		
			130	300	5			−10		
C_I	Capacitância das entradas de controle		5	7,5						pF
C	Capacitância		9		5			−5	V_{SS} = −5	pF

Circuitos de Teste

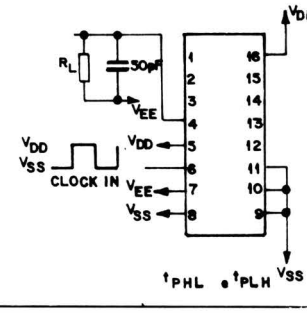
Corrente de Fuga
Canal Desligado



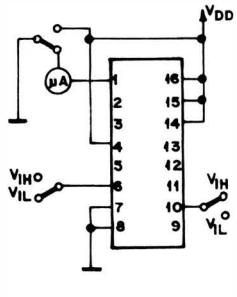
Tempo de Atraso de Propagação
Endereço na Entrada ⟶ Sinal na Saída



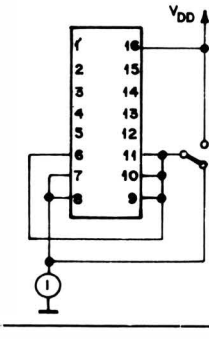
Tempo de Atraso de Propagação
Sinal na Entrada ⟶ Sinal na Saída



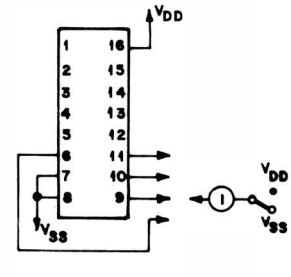
Tensão de entrada



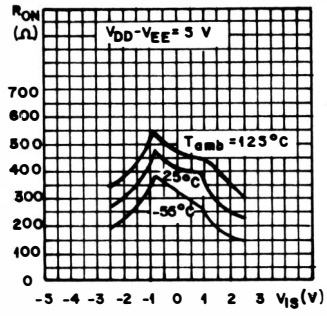
Corrente Quiescente



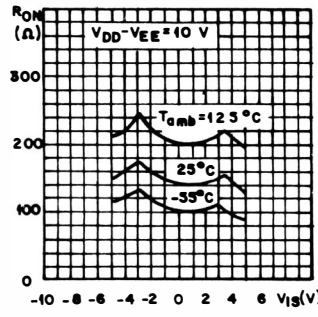
Corrente de entrada



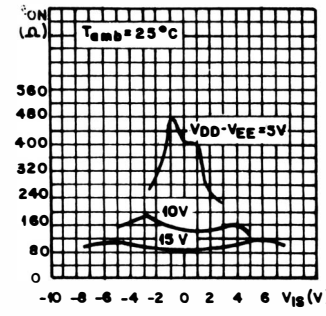
R_{ON} TÍPICO X TENSÃO
DO SINAL DE ENTRADA



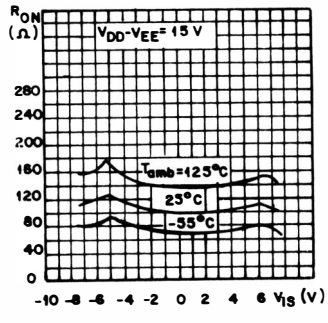
R_{ON} TÍPICO X TENSÃO
DO SINAL DE ENTRADA



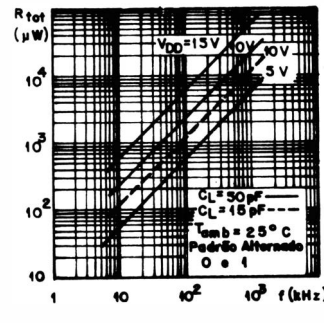
R_{ON} TÍPICO X TENSÃO
DO SINAL DE ENTRADA



R_{ON} TÍPICO X TENSÃO
DO SINAL DE ENTRADA

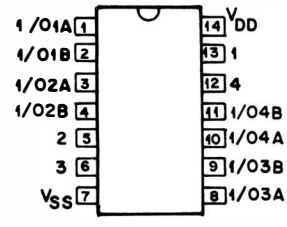


DISSIPAÇÃO DE
POTÊNCIA X FREQÜÊNCIA
DE CHAVEAMENTO

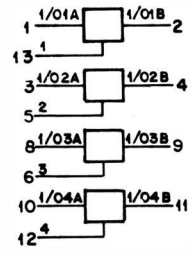


IC 4066B

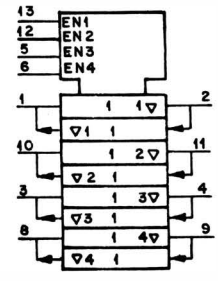
PINAGEM



ESQUEMA LÓGICO



SIMBOLOGIA IEC



CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	NOM.	MÁX.	
V_{DD}	Tensão de alimentação	3		15	V
V_I	Tensão de entrada	0		V_{DD}	V
T_A	Temperatura de operação	−40		85	°C

TABELA DA VERDADE

CONTROLE	CHAVE
L	DESLIGADA
H	LIGADA

CARACTERÍSTICAS DC

SÍMBOLO	PARÂMETRO	−40°C		25°C			85°C		CONDIÇÕES DE TESTE			UNIDADE
		MÍN.	MÁX.	MÍN.	TIP	MÁX.	MÍN.	MÁX.	V_{DD} (V)	V_I (V)	R_L (KΩ)	
I_{DD}	Corrente de alimentação		1		0,01	1		7,5	5	0/5		µA
			2		0,01	2		15	10	0/10		
			4		0,01	4		30	15	0/15		
V_{IL}	Tensão de entrada de controle nível baixo		1			1		1	5			V
			2			2		2	10			
			2			2		2	15			
V_{IH}	Tensão de entrada de controle nível alto	3,5		3,5			3,5		5			V
		7		7			7		10			
		11		11			11		15			
I_{IH}, I_{IL}	Corrente de fuga das entradas de controle		±0,3		$±10^{-5}$	±0,3		±1	15			µA
R_{ON}	Resistência da chave ligada		850		470	1050		1200	5			Ω
			330		180	400		500	10		10	
			210		125	240		300	15			
ΔR_{ON}	Diferença entre as resistências de 2 chaves				15				5			Ω
					10				10		10	
					5				15			
I_{OFF}	Corrente de fuga do canal desligado		0,3		$±10^{-3}$	±0,3		±1	15			µA

CARACTERÍSTICAS AC

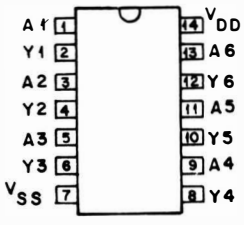
SÍMBOLO	PARÂMETRO	LIMITES		CONDIÇÕES DE TESTE				UNIDADE
		TIP	MÁX.	V_{DD} (V)	V_I (V)	V_{SS} (V)		
t_{PLH}, t_{PLH}	Tempo de atraso de propagação sinal da entrada para sinal na saída	20	40	5			V_{IS} = onda quadrada	ns
		10	20	10	10_{PP}		10 V_{PP}	
		7	15	15			R_L = 10 kΩ	
	Resposta de freqüência canal ligado	40		5	5_{PP}	−5	V_{is} = senóide $5V_{PP}$ $20\ LOG_{10}\frac{V_O}{V_I} = -3$ dB R_L = 10 kΩ	MHz
	Distorção harmônica	0,4		5	5_{PP}	−5	V_{IS} = senóide 1KHz	%
	Freqüência de cross talk entre duas chaves quaisquer	0,9			5_{PP}	− 5	$20\ Log_{10}\frac{V_O}{V_I} = -50$ dB	MHz
t_{PZL} t_{PZH}	Tempo de atraso de propagação saída em alta impedância para sinal de saída	35	70	5			R_L = 1 kΩ	ns
		20	40	10			$t_r = t_f$ = 20 ns	
		15	30	15			C_L = 50 pF	
	Taxa de repetição das entradas de controle	10		10			R_L = 1 kΩ V_C = 10 V_{PP} C_L = 50 pF onda quad.	
C_{IS} C_{OS}	Capacitância das entradas e saídas de sinal	8		5		−5		pF
C_{IC}	Capacitância das entradas de controle	5						pF

OBSERVAÇÕES : t_r = tempo de subida
t_f = tempo de descida
V_{IS} = tensão do sinal na entrada de sinal
V_c = Tensão de sinal na entrada de controle

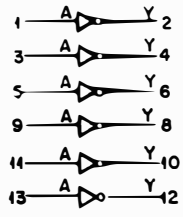
A margem de ruído para os níveis 1 e 0 é $1V_{min}$ com V_{DD} = 5 V
$2V_{min}$ com V_{DD} = 10 V
$2{,}5V_{min}$ com V_{DD} = 15 V

IC 4069UB

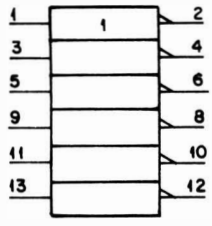
PINAGEM



ESQUEMA LÓGICO



SIMBOLOGIA IEC



CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	NOM.	MÁX.	
V_{DD}	Tensão de alimentação	3		15	V
V_I	Tensão de entrada	0		V_{DD}	V
T_A	Temperatura de operação	−40		85	°C

TABELA DA VERDADE

ENTRADAS	SAÍDAS
A	Y
H	L
L	H

L = nível baixo, H = nível alto

CARACTERÍSTICAS DC

SÍMBOLO	PARÂMETRO	−40°C		25°C			85°C		UNIDADE	CONDIÇÕES DE TESTE			
		MÍN.	MÁX.	MÍN.	TÍP	MÁX.	MÍN.	MÁX.		V_{DD} (V)	V_I (V)	V_O (V)	$\|I_O\|$ (μA)
I_{DD}	Corrente de alimentação		0,25		0,01	0,25		7,5	μA	5	0/5		
			0,5		0,01	0,5		15		10	0/10		
			1		0,01	1		30		15	0/15		
			5		0,02	5		150		20	0/20		
V_{IH}	Tensão de entrada nível alto	4		4			4		V	5		0,5/4,5	<1
		8		8			8			10		1/9	<1
		12		12			12			15		2/13	<1
V_{IL}	Tensão de entrada nível baixo		1			1		1	V	5		4,5/0,5	<1
			2			2		2		10		9/1	<1
			3			3		3		15		13/2	<1
V_{OH}	Tensão de saída nível alto	4,95		4,95			4,95		V	5	0/5		<1
		9,95		9,95			9,95			10	0/10		<1
		14,95		14,95			14,95			15	0/15		<1
V_{OL}	Tensão de saída nível baixo		0,05			0,05		0,05	V	5	5/0		<1
			0,05			0,05		0,05		10	10/0		<1
			0,05			0,05		0,05		15	15/0		<1
I_{IH}, I_{IL}	Corrente de fuga na entrada		±0,1		$\pm 10^{-5}$	±0,1		±1	μA	18	0/18		
I_{OH}	Corrente de saída nível alto	−1,8		−1,6	−3,2		−1,3		mA	5	0/5	2,5	
		−0,61		−0,51	−1		−0,42			5	0/5	4,6	
		−1,5		−1,3	−2,6		−1,1			10	0/10	9,5	
		−4		−3,4	−6,8		−2,8			15	0/15	13,5	
I_{OL}	Corrente de saída nível baixo	0,61		0,51	1		0,42		mA	5	0/5	0,4	
		1,5		1,3	2,6		1,1			10	0/10	0,5	
		4		3,4	6,8		2,8			15	0/15	1,5	

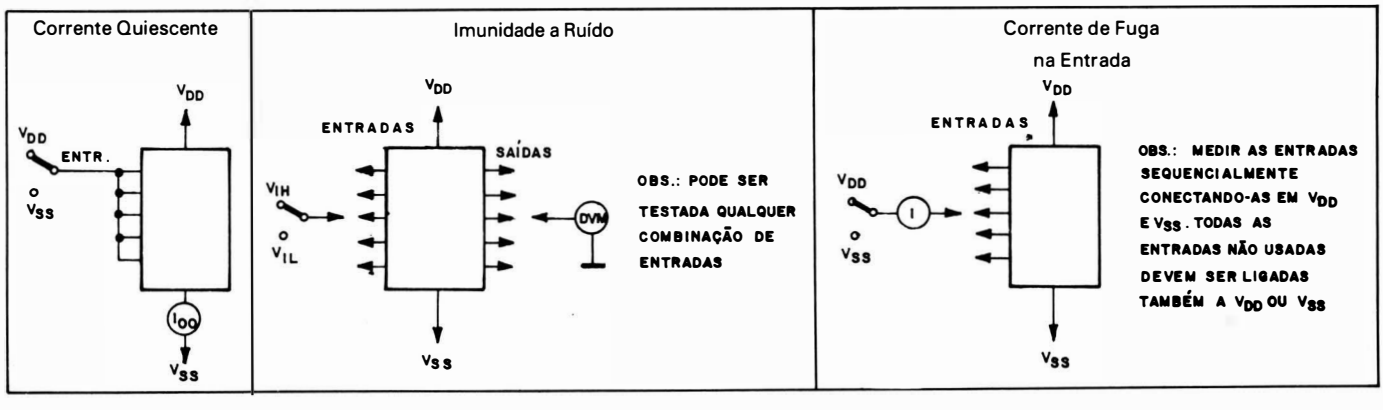
CARACTERÍSTICAS AC

SÍMBOLO	PARÂMETRO	LIMITES			CONDIÇÕES DE TESTE		UNIDADE
		MÍN.	TÍP	MÁX.	V_{DD} (V)		
t_{PHL}, t_{PLH}	Tempo de atraso de propagação saídas H ⟶ L e L ⟶ H		55	110	5	T_A = 25°C C_L = 50 pF R_L = 200 KΩ	ns
			30	60	10		
			25	50	15		
t_{THL}, t_{TLH}	Tempo de transição de H para L e L para H		100	200	5		ns
			50	100	10		
			40	80	15		
C_I	Capacitância de entrada		5	7,5			pF

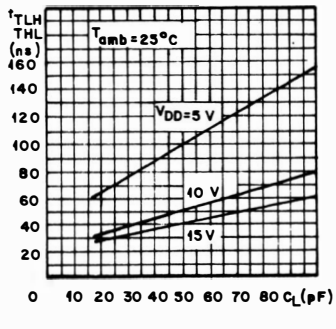
OBSERVAÇÕES:

O coeficiente de temperatura típico para todos os valores de V_{DD} é 0,3%/°C; t_r = tempo de subida; t_f = tempo de descida
vide formas de onda e circuitos de carga

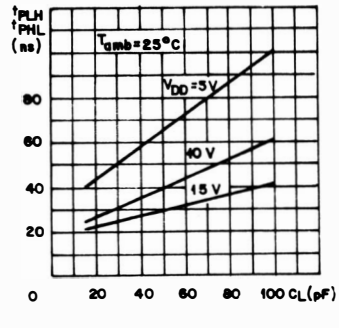
Circuitos de Teste



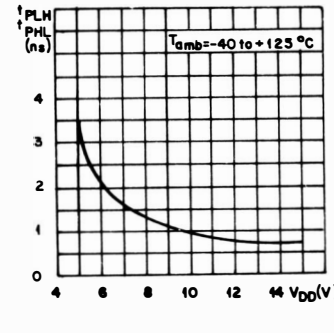
TEMPO DE TRANSIÇÃO TÍPICO X CAPACITÂNCIA DE CARGA



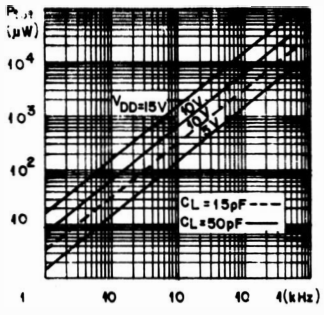
ATRASO DE PROPAGAÇÃO X CAPACITÂNCIA DE CARGA



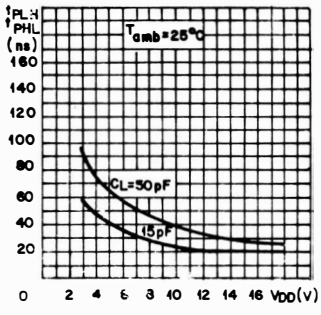
VARIAÇÃO DO TEMPO DE ATRASO DE PROPAGAÇÃO (T_{PHL} e T_{PLH}) COM A TENSÃO DE ALIMENTAÇÃO



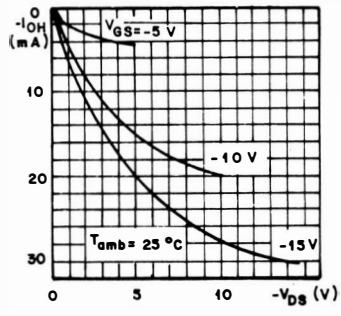
DISSIPAÇÃO DE POTÊNCIA TÍPICA POR INVERSOR X FREQÜÊNCIA



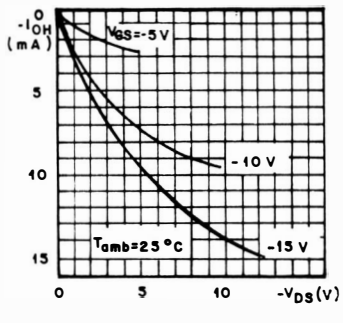
ATRASO DE PROPAGAÇÃO TÍPICO X TENSÃO DE ALIMENTAÇÃO



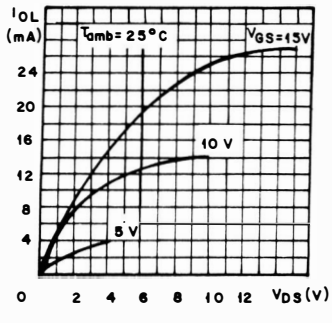
CARACTERÍSTICAS TÍPICAS DA CORRENTE DE SAÍDA - NÍVEL ALTO



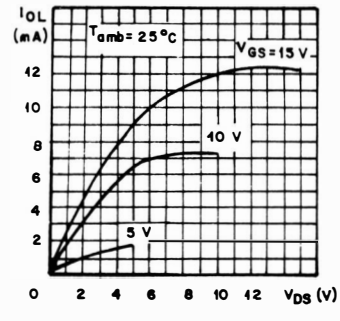
CARACTERÍSTICAS MÍNIMAS DA CORRENTE DE SAÍDA - NÍVEL ALTO



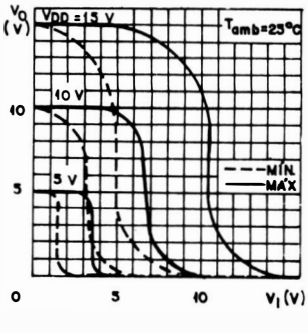
CARACTERÍSTICAS TÍPICAS DA CORRENTE DE SAÍDA - NÍVEL BAIXO



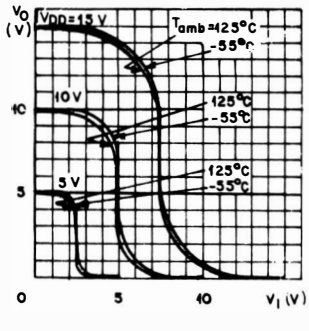
CARACTERÍSTICAS MÍNIMAS DA CORRENTE DE SAÍDA - NÍVEL BAIXO



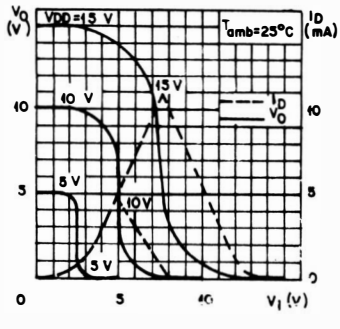
CARACTERÍSTICAS MÍNIMA E MÁXIMA DE TRANSFERÊNCIA DE TENSÃO



CARACTERÍSTICAS TÍPICAS DE TRANSFERÊNCIA DE TENSÃO COMO FUNÇÃO DA TEMPERATURA

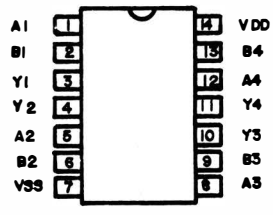


CARACTERÍSTICAS TÍPICAS DE TRANSFERÊNCIA DE TENSÃO E CORRENTE

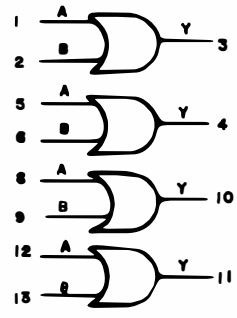


IC 4071B

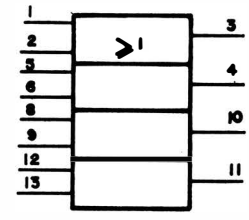
PINAGEM



ESQUEMA LÓGICO



SIMBOLOGIA IEC



CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	TÍP.	MÁX.	
V_{DD}	Tensão de alimentação	3		15	V
V_i	Tensão de entrada	0		V_{DD}	V
T_A	Temperatura de operação	−40		85	°C

TABELA DA VERDADE

ENTRADAS		SAÍDA
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	H

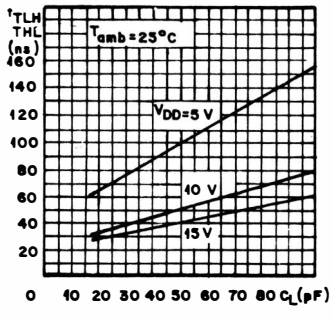
CARACTERÍSTICAS DC
(segundo as condições de operações recomendadas)

SÍMBOLO	PARÂMETRO	−40° C		25°C			85°C		CONDIÇÕES DE TESTE				UNIDADE
		MÍN.	MÁX.	MÍN.	TÍP.	MÁX.	MÍN.	MÁX.	V_I (V)	V_O (V)	I_O (μA)	V_{DD} (V)	
I_L	Corrente quiescente		1		0,01	1		7,5	0/5			5	μA
			2		0,01	2		15	0/10			10	
			4		0,01	4		30	0/15			15	
V_{OH}	Tensão de saída — nível alto	4,95		4,95			4,95		0/5		<1	5	V
		9,95		9,95			9,95		0/10		<1	10	
		14,95		14,95			14,95		0/15		<1	15	
V_{OL}	Tensão de saída — nível baixo		0,05			0,05		0,05	5/0		<1	5	V
			0,05			0,05		0,05	10/0		<1	10	
			0,05			0,05		0,05	15/0		<1	15	
V_{IH}	Tensão de entrada — nível alto	3,5		3,5			3,5			0,5/4,5	<1	5	V
		7		7			7			1/9	<1	10	
		11		11			11			1,5/13,5	<1	15	
V_{IL}	Tensão de entrada — nível baixo		1,5			1,5		1,5		4,5/0,5	<1	5	V
			3			3		3		9/1	<1	10	
			4			4		4		13,5/1,5	<1	15	
I_{OH}	Corrente de saída — nível alto	−1,53		−1,36	−3,2		−1,1		0/5	2,5		5	mA
		−0,52		−0,44	−1		−0,36		0/5	4,6		5	
		−1,3		−1,1	−2,6		−0,9		0/10	9,5		10	
		−3,6		−3	−6,8		−2,4		0/15	13,5		15	
I_{OL}	Corrente de saída — nível baixo	0,52		0,44	1		0,36		0/5	0,4		5	mA
		1,3		1,1	2,6		0,9		0/10	0,5		10	
		3,6		3	6,8		2,4		0/15	1,5		15	
I_{IH}, I_{IL}	Corrente de fuga na entrada		±0,3		$\pm 10^{-5}$	±0,3		±1	0/15	qualquer entrada		15	μA

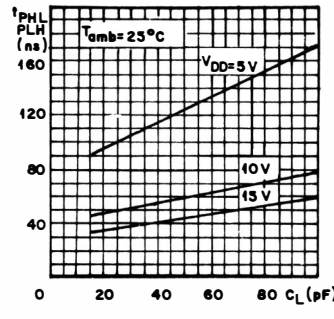
CARACTERÍSTICAS AC

SÍMBOLO	PARÂMETRO	LIMITES			CONDIÇÕES DE TESTE		UNIDADE
		MÍN.	TÍP.	MÁX.		V_{DD} (V)	
t_{PHL}	Tempo de propagação		125	250	$T_A = 25°C$ $C_L = 50$ pF $R_L = 200$ kΩ $t_r = t_f = 20$ ns	5	ns
			60	120		10	
			45	90		15	
t_{PLH}	Tempo de propagação		175	350		5	ns
			70	140		10	
			50	110		15	
t_{THL} t_{TLH}	Tempo de transição		100	200		5	ns
			50	100		10	
			40	80		15	
C_i	Capacitância de entrada		5	7,5			pF

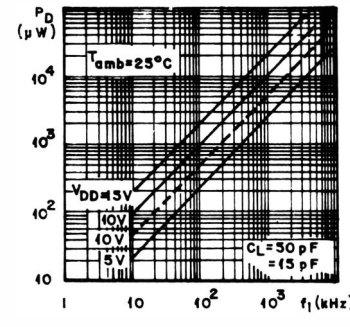
TEMPO DE TRANSIÇÃO TÍPICO × CAPACITÂNCIA DE CARGA



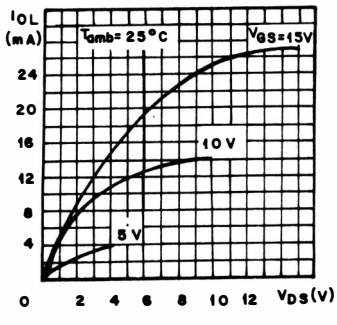
ATRASO DE PROPAGAÇÃO × CAPACITÂNCIA DE CARGA



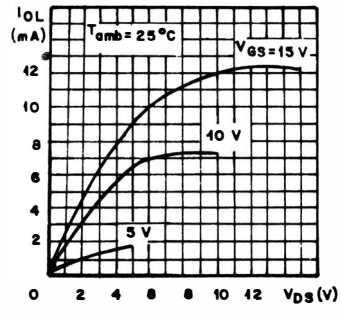
DISSIPAÇÃO DE POTÊNCIA × FREQÜÊNCIA



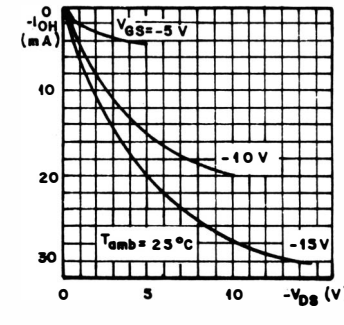
CARACTERÍSTICAS TÍPICAS DA CORRENTE DE SAÍDA - NÍVEL BAIXO



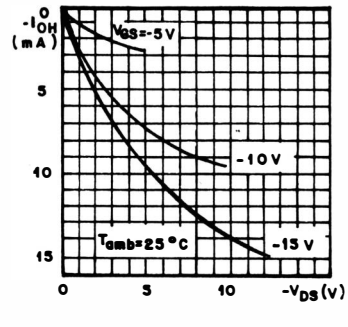
CARACTERÍSTICAS MÍNIMAS DA CORRENTE SAÍDA - NÍVEL BAIXO



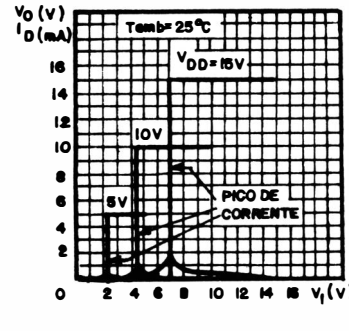
CARACTERÍSTICAS TÍPICAS DA CORRENTE DE SAÍDA - NÍVEL ALTO



CARACTERÍSTICAS MÍNIMAS DA CORRENTE DE SAÍDA - NÍVEL ALTO

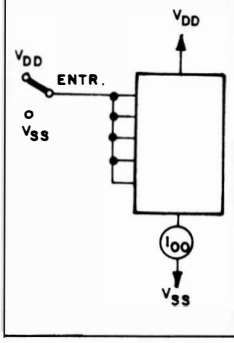


CARACTERÍSTICAS DE TRANSFERÊNCIA DE TENSÃO E CORRENTE

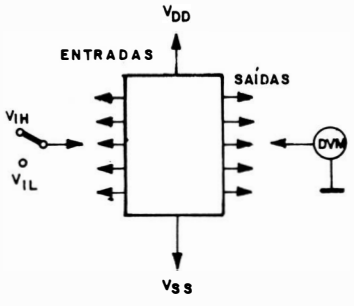


Circuitos de Teste

Corrente Quiescente

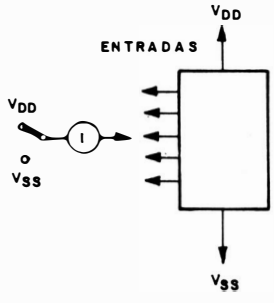


Tensão de Entrada



OBS.: PODE SER TESTADA QUALQUER COMBINAÇÃO DE ENTRADAS

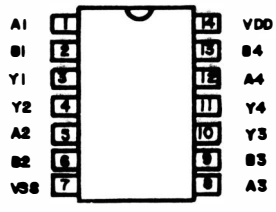
Corrente de Fuga na Entrada



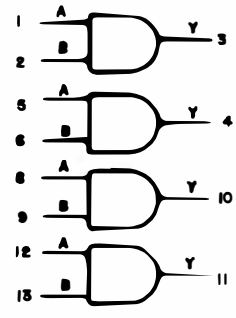
OBS.: MEDIR AS ENTRADAS SEQUENCIALMENTE CONECTANDO-AS EM V_{DD} E V_{SS}. TODAS AS ENTRADAS NÃO USADAS DEVEM SER LIGADAS TAMBÉM A V_{DD} OU V_{SS}

IC 4081B

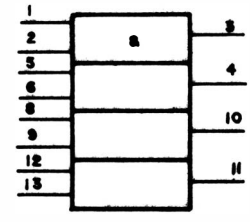
PINAGEM



ESQUEMA LÓGICO



SIMBOLOGIA IEC



CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	TÍP.	MÁX.	
V_{DD}	Tensão de alimentação	3		15	V
V_I	Tensão de entrada	0		V_{DD}	V
T_A	Temperatura de operação	−40		85	°C

TABELA DA VERDADE

ENTRADAS		SAÍDA
A	B	Y
L	L	L
L	H	L
H	L	L
H	H	H

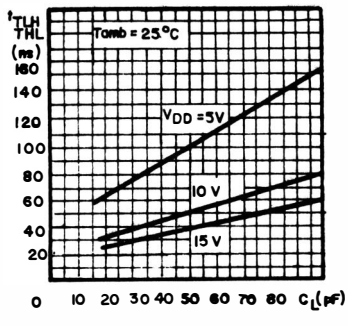
CARACTERÍSTICAS DC
(segundo as condições de operações recomendadas)

SÍMBOLO	PARÂMETRO	−40 °C		25°C			85°C		CONDIÇÕES DE TESTE				UNIDADE
		MÍN.	MÁX.	MÍN.	TÍP.	MÁX.	MÍN.	MÁX.	V_I (V)	V_O (V)	I_O (μA)	V_{DD} (V)	
I_L	Corrente quiescente		1		0,01	1		7,5	0/5			5	μA
			2		0,01	2		15	0/10			10	
			4		0,01	4		30	0/15			15	
V_{OH}	Tensão de saída — nível alto	4,95		4,95			4,95		0/5		<1	5	V
		9,95		9,95			9,95		0/10		<1	10	
		14,95		14,95			14,95		0/15		<1	15	
V_{OL}	Tensão de saída — nível baixo		0,05			0,05		0,05	5/0		<1	5	V
			0,05			0,05		0,05	10/0		<1	10	
			0,05			0,05		0,05	15/0		<1	15	
V_{IH}	Tensão de entrada — nível alto	3,5		3,5			3,5			0,5/4,5	<1	5	V
		7		7			7			1/9	<1	10	
		11		11			11			1,5/13,5	<1	15	
V_{IL}	Tensão de entrada — nível baixo		1,5			1,5		1,5		4,5/0,5	<1	5	V
			3			3		3		9/1	<1	10	
			4			4		4		13,5/1,5	<1	15	
I_{OH}	Corrente de saída — nível alto	−1,53		−1,36	−3,2		−1,1		0/5	2,5		5	mA
		−0,52		−0,44	−1		−0,36		0/5	4,6		5	
		−1,3		−1,1	−2,6		−0,9		0/10	9,5		10	
		−3,6		−3	−6,8		−2,4		0/15	13,5		15	
I_{OL}	Corrente de saída — nível baixo	0,52		0,44	1		0,36		0/5	0,4		5	mA
		1,3		1,1	2,6		0,9		0/10	0,5		10	
		3,6		3	6,8		2,4		0/15	1,5		15	
I_{IH}, I_{IL}	Corrente de fuga na entrada		±0,3		± 10^{-5}	±0,3		±1	0/15	qualquer entrada		15	μA

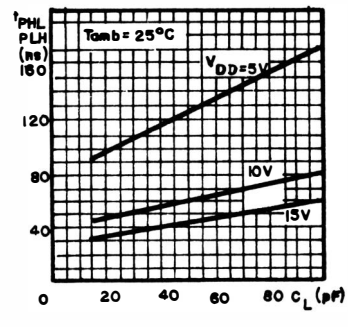
CARACTERÍSTICAS AC

SÍMBOLO	PARÂMETRO	LIMITES			CONDIÇÕES TESTE		UNIDADE
		MÍN.	TÍP.	MÁX.	V_{DD} (V)		
t_{PHL} t_{PLH}	Tempo de atraso de propagação		125 60 45	250 125 90	5 10 15	$T_A = 25°C$ $C_L = 50$ pF $R_L = 200$ KΩ $t_r = t_f = 20$ ns	ns
t_{THL} t_{TLH}	Tempo de transição		100 50 40	200 100 80	5 10 15		ns
C_i	Capacitância de entrada		5	7,5			pF

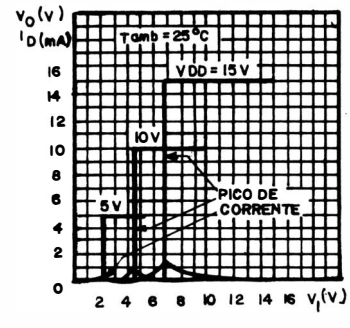
TEMPO DE TRANSIÇÃO TÍPICO × CAPACITÂNCIA DE CARGA



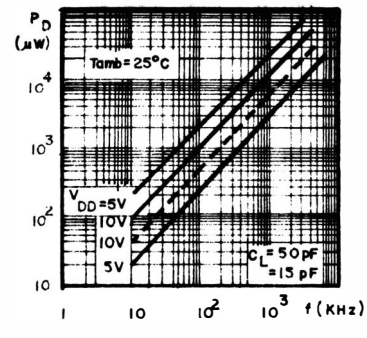
ATRASO DE PROPAGAÇÃO × CAPACITÂNCIA DE CARGA



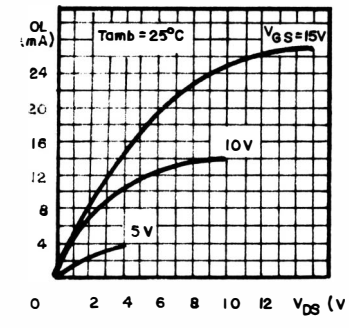
CARACTERÍSTICAS DE TRANSFERÊNCA DE TENSÃO E CORRENTE



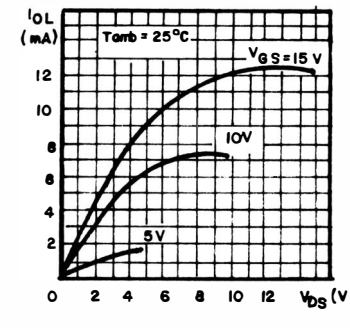
DISSIPAÇÃO DE POTÊNCIA x FREQÜÊNCIA



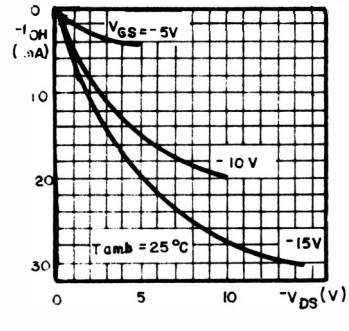
CARACTERÍSTICAS TÍPICAS DA CORRENTE DE SAÍDA - NÍVEL BAIXO



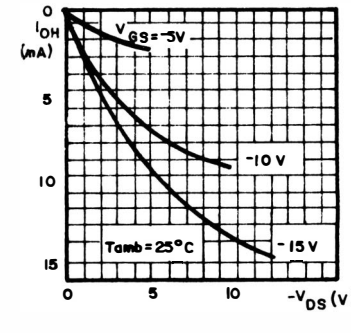
CARACTERÍSTICAS MÍNIMAS DA CORRENTE SAÍDA - NÍVEL BAIXO



CARACTERÍSTICAS TÍPICAS DA CORRENTE DE SAÍDA - NÍVEL ALTO

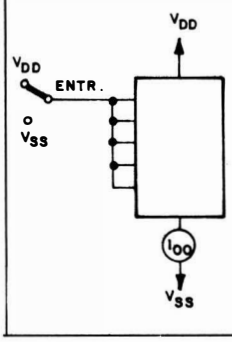


CARACTERÍSTICAS MÍNIMAS DA CORRENTE DE SAÍDA - NÍVEL ALTO

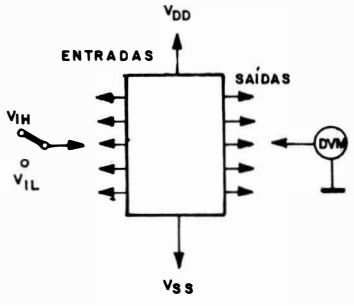


Circuitos de Teste

Corrente Quiescente

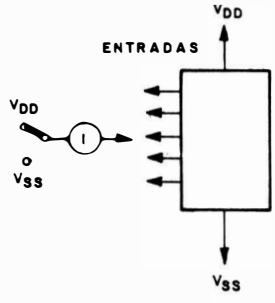


Tensão Entrada

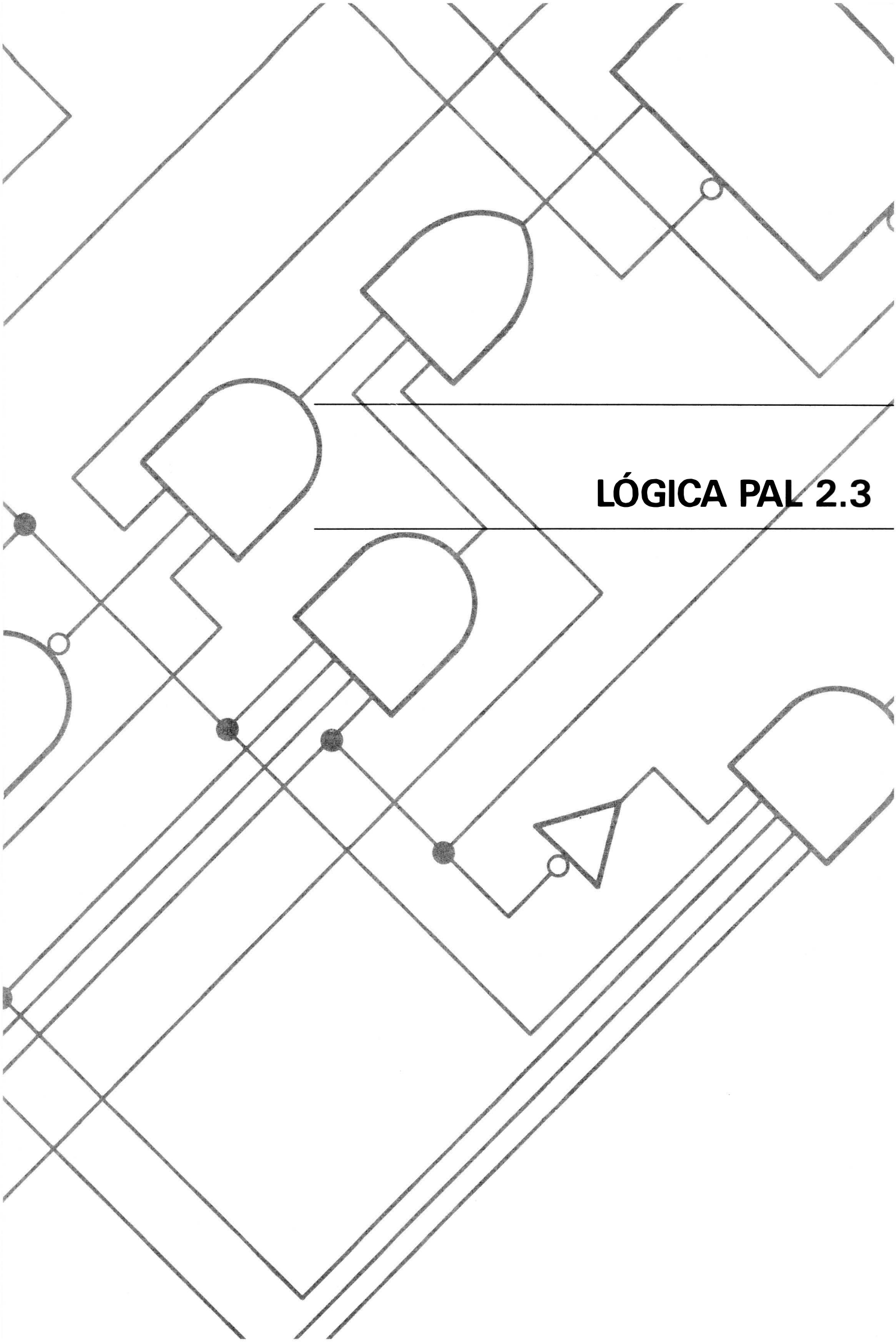


OBS.: PODE SER TESTADA QUALQUER COMBINAÇÃO DE ENTRADAS

Corrente Fuga na Entrada



OBS.: MEDIR AS ENTRADAS SEQUENCIALMENTE CONECTANDO-AS EM V_{DD} E V_{SS}. TODAS AS ENTRADAS NÃO USADAS DEVEM SER LIGADAS TAMBÉM A V_{DD} OU V_{SS}



LÓGICA PAL 2.3

LÓGICA PAL®

Por serem programáveis, compactos e versáteis, os dispositivos de lógica PAL® substituem com grandes vantagens os sistemas com funções lógicas sequenciais e combinacionais. De fato, eles apresentam baixo custo, proporcionam maior confiabilidade ao sistema como um todo, reduzem o consumo de energia e a área de circuito impresso, além de permitir proteção contra cópias.

LÓGICA PAL ____ 184

CARACTERÍSTICAS ELÉTRICAS
PAL 10L8/PAL 12L6 ____ 193

PAL 16L8A/16R8A/16R6A ____ 194

PINAGEM/CONFIGURAÇÃO
PAL 10L8 ____ 195

PAL 12L6 ____ 196

PAL 16L8A ____ 197

PAL 16R6A ____ 198

PAL 16R8A ____ 199

PAL 20L8B ____ 200

PAL 20X8 ____ 201

PAL® — Marca Registrada da Monolithic Memories Inc.

LÓGICA PAL

Descrição Geral

A decisão para a implementação de um sistema lógico estava geralmente entre o uso de funções lógicas (usando por exemplo a família TTL), ou por outro lado optando-se pelo uso de microprocessadores. Entretanto em muitos casos a função é ao mesmo tempo inadequada para ser implementada da primeira maneira e muito simples para justificar o uso da segunda.

Freqüentemente a função é bem definida e a fabricação de um circuito integrado personalizado traria grandes benefícios, porém o ciclo de projeto para um circuito deste tipo é demorado e os custos podem ser muito altos, fatores suficientes para desencorajar muitos usuários.

Para casos deste tipo o PAL constitui uma ótima solução, pois, alia alta flexibilidade de programação, alta velocidade e custo reduzido.

Os ciclos de projeto são eliminados, há uma redução no número de dispositivos tornando o lay out da placa de circuito impresso mais compacto; isto significa que sistemas multiplacas podem agora ser reduzidos para uma ou duas placas.

Os dispositivos PAL oferecem uma nova opção para a implementação de projetos de lógica combinatória ou seqüencial, apresentando grande facilidade de uso tanto em projetos novos quanto nos já existentes.

Descrição Funcional

A família dos dispositivos PAL, semi-dedicados, possuem um arranjo de portas lógicas AND programáveis, tendo as saídas fixas com arranjo de portas lógicas OR.

Os dispositivos PAL foram desenvolvidos para atender uma ampla gama de aplicações, inclusive onde se usam PROM's, com vantagens de redução do número de circuitos integrados utilizados, menor custo, existência de fusíveis de segurança contra eventuais copiadores, fácil programação, além de outras.

Portas Lógicas AND e OR

É utilizado nos dispositivos PAL uma soma de produtos lógicos, com arranjo de portas lógicas AND programáveis, tendo nas saídas um arranjo de portas lógicas OR fixo.

Os circuitos dos PAL's são apresentados em diversos tamanhos, permitindo assim uma otimização lógica efetiva.

A estrutura básica de um PAL com duas entradas e uma saída, está mostrado na figura 1.

A equação lógica para tal configuração é:

$$\text{Saídas} = (I_1 + \overline{f}_1)(\overline{I}_1 + \overline{f}_2)(I_2 + \overline{f}_3)(\overline{I}_2 + \overline{f}_4) + (I_1 + \overline{f}_5)(\overline{I}_1 + \overline{f}_6)(I_2 + \overline{f}_7)(\overline{I}_2 + \overline{f}_8)$$

O termo "f" representa o estado da ligação dos fusíveis no arranjo das AND's.

Uma ligação intacta tem lógica "1"; conclui-se então que: fusível queimado; f = 0

e

fusível intacto; f = 1

Nota: Um PAL não programado contém seus fusíveis intactos.

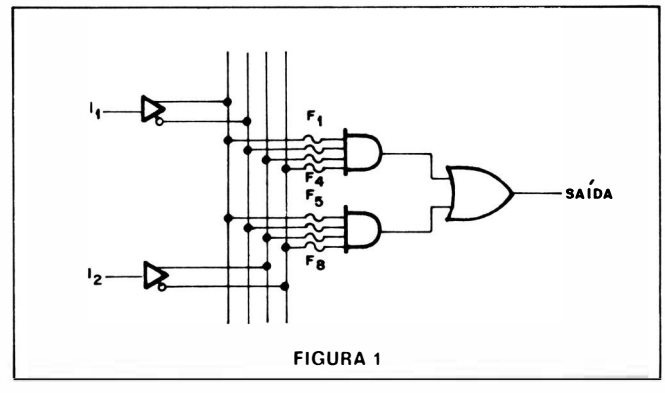


FIGURA 1

Notação utilizada para o PAL

As equações lógicas convenientes para pequenas funções, rapidamente tornam-se impróprias em grandes sistemas.

Para reduzir possíveis confusões, as combinações lógicas complexas são na maioria das vezes, definidas por diagramas lógicos e tabelas da verdade.

A figura 2 mostra uma convenção adotada para facilitar o uso e entendimento da lógica dos PAL's.

Nesta figura, o "X" representa um fusível intacto da função lógica AND (notar que os termos comuns das linhas de entrada marcadas com "X", não estão conectados juntos).

Esta simbologia lógica mostrada na figura 2 tem sido adotada, tendo em vista a correspondência entre o lay out do chip e o diagrama lógico, assim como, o diagrama lógico e a tabela da verdade são combinados de uma maneira compacta e de fácil leitura.

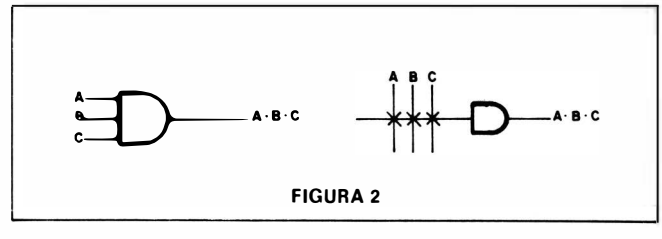


FIGURA 2

Para exemplificar esta nova convenção lógica, o circuito da figura 1 será reescrito, como mostrado na figura 3.

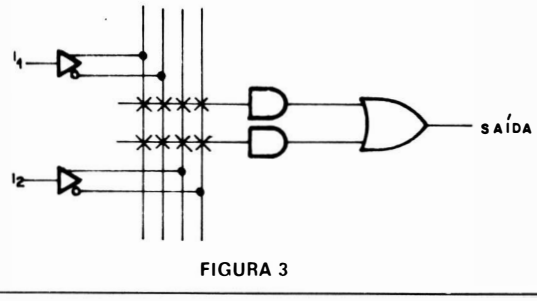


FIGURA 3

Como um exemplo simples, considere a função de transferência:

$$\text{Saída} = I_1 \overline{I_2} + \overline{I_1} I_2$$

O diagrama lógico normal para esta função é mostrado na figura 4, com o equivalente lógico do PAL mostrado na figura 5.

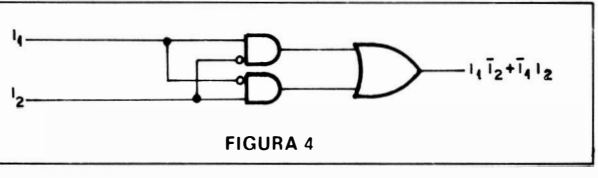


FIGURA 4

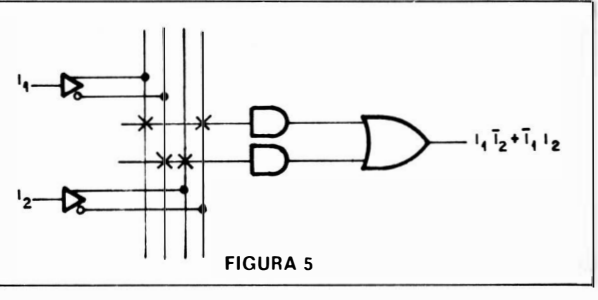


FIGURA 5

Com o uso desta nova convenção lógica é possível comparar a estrutura do PAL com a estrutura das famílias PROM e PLA.

A estrutura lógica de uma PROM consiste em um arranjo fixo de AND e um arranjo de OR programável nas saídas, como mostrado na figura 6.

As PROM's têm um baixo custo, são fáceis de se programar, havendo uma grande variedade de capacidades e organizações.

O uso mais comum é para armazenamento de programas de computadores e dados. Nesta aplicação, as entradas fixas são os endereços da memória do computador e a saída, o conteúdo dessa memória.

Com relação ao PLA, sua estrutura lógica consiste em um arranjo programável de AND com um arranjo de OR nas saídas também programável, como mostrado na figura 7.

Estando o projetista com o completo controle sobre as entradas e saídas, o PLA proporciona uma maior flexibilidade para a implementação de funções lógicas.

Estes dispositivos são utilizados numa ampla variedade de aplicações, entretanto, estas características tornam os PLA's caros, difíceis na interpretação e trabalhosos na programação (requerem programadores especiais).

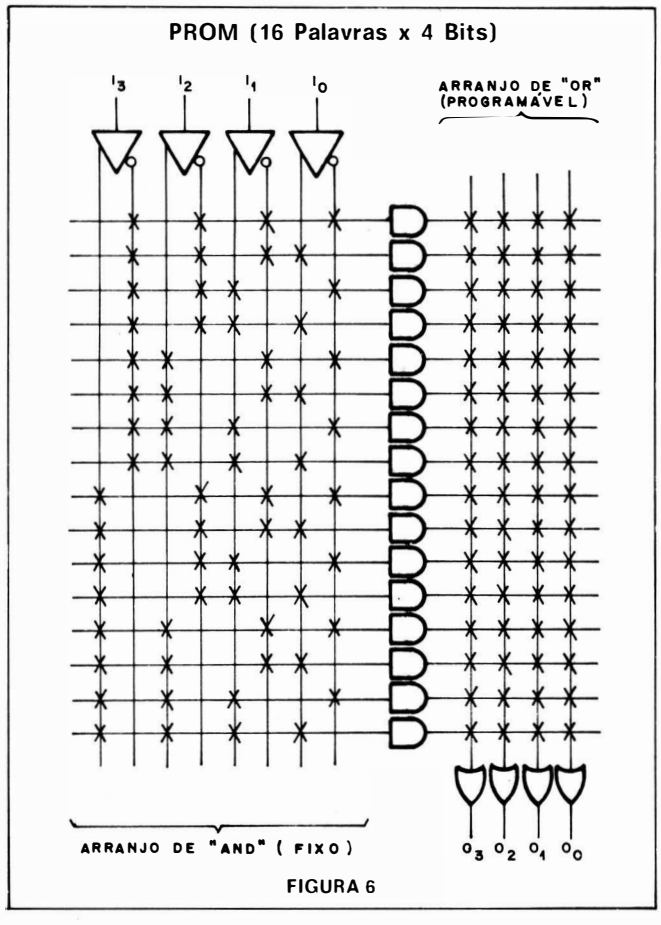


FIGURA 6

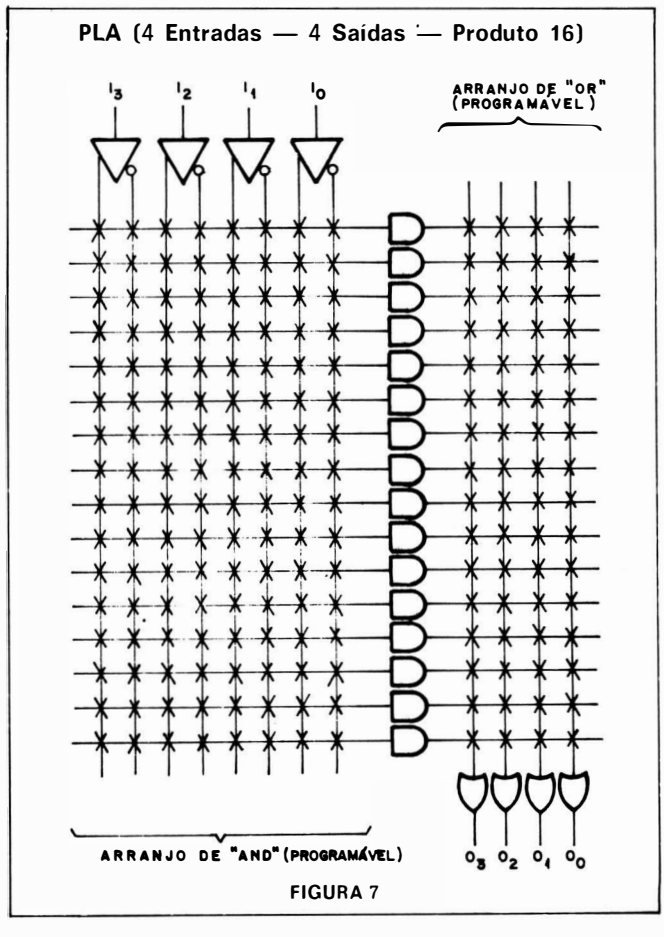


FIGURA 7

Já a estrutura básica do PAL, consiste em um arranjo programável de AND com um arranjo de OR fixo nas saídas, como mostrado na figura 8.

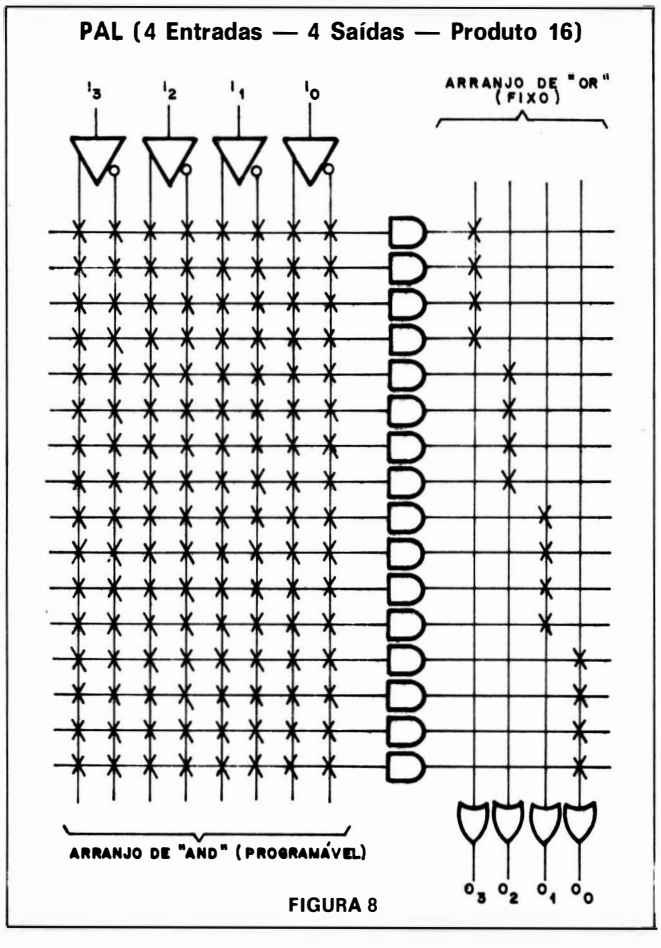


FIGURA 8

O PAL combina tanto à flexibilidade do PLA quanto ao baixo custo e fácil programação da PROM.

A tabela 1 resume as características da PROM, PLA e PAL.

TABELA 1

	AND	OR	Opções de Saída
PROM	Fixo	Programável	T.S., O.C.
PLA	Programável	Programável	T.S., O.C., fusível de polaridade
PAL	Programável	Fixo	T.S., realimentação com registradores, E/S

OBSERVAÇÃO: T.S. = saída tri-state
O.C. = saída open collector

O projetista tem a possibilidade de selecionar o PAL que melhor se ajustar à sua aplicação, pois, os PAL's foram desenvolvidos para cobrir o espectro das funções lógicas com custo reduzido e menor número de chips. A configuração básica das unidades do PAL apresentam-se como mostrado na figura 9.

E/S Programável

Um dos termos de produto do PAL é utilizado para a habilitação do buffer tri-state, o qual libera ou não a soma dos termos no pino de saída, que pode ser realimentada de acordo com o arranjo do PAL, para a entrada (ver figura 10).

Conclui-se portanto, que o pino E/S atua de uma maneira bidirecional, ou seja, quando o buffer tri-state é habilitado este pino atua como uma saída e quando for desabilitado o pino E/S atua como uma entrada.

Esta característica pode ser usada para alocar funções aos pinos de E/S disponíveis ou atuar bidirecionalmente para operações como deslocamento e rotação de dados seriais.

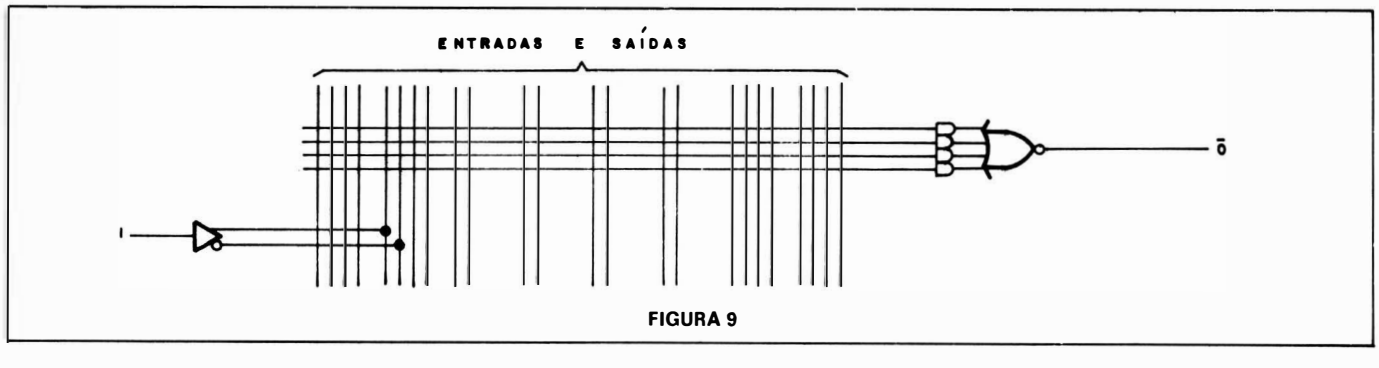


FIGURA 9

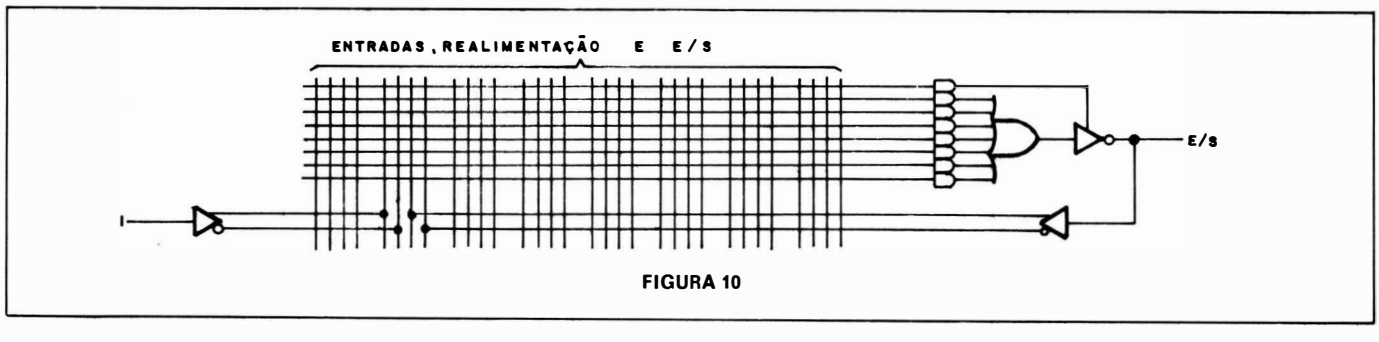


FIGURA 10

Saídas com Registrador e Realimentação

Nesta configuração de PAL, cada termo de produto é armazenado na saída de um flip-flop tipo "D", na borda de subida do clock do sistema (ver figura 11).

A saída "Q" do flip-flop pode ser chaveada para o pino de saída, habilitando com "0" o buffer tri-state. Além disso, a saída "Q" é realimentada de acordo com o arranjo do PAL, para a entrada. Esta realimentação permite à PAL "memorizar" o estado anterior e isto pode alterar suas funções, com base neste estado.

Esta característica possibilita ao projetista configurar o PAL como um sequenciador de estado que pode ser programado para executar funções elementares como: contador crescente, contador decrescente, deslocar e desviar.

Estas funções podem ser executadas por um PAL com registrador, com valores até 40 MHz.

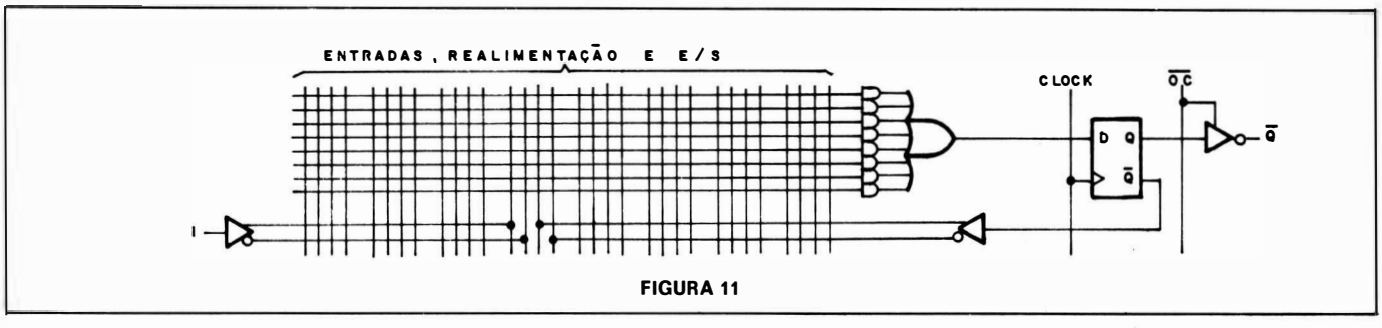


FIGURA 11

PAL com OR exclusivo (XOR)

Nesta configuração, o PAL tem a soma dos produtos segmentada em duas somas dirigidas às entradas da XOR, que tem sua saída ligada à entrada do flip-flop tipo "D" (ver figura 12).

A função XOR fornece ainda uma implementação fácil, a operação hold, usada em contadores e outros sequenciadores de estado.

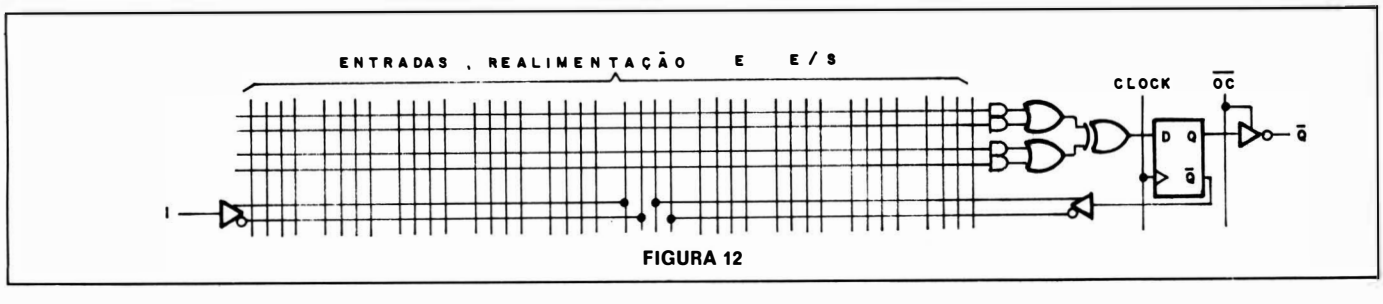


FIGURA 12

Funções Aritméticas com Realimentação Chaveada

Nesta configuração de PAL, a implementação das funções aritméticas (soma, subtração, maior que, menor que) podem ser conseguidas com as características da realimentação chaveada e as propriedades da porta XOR do PAL (ver figura 13).

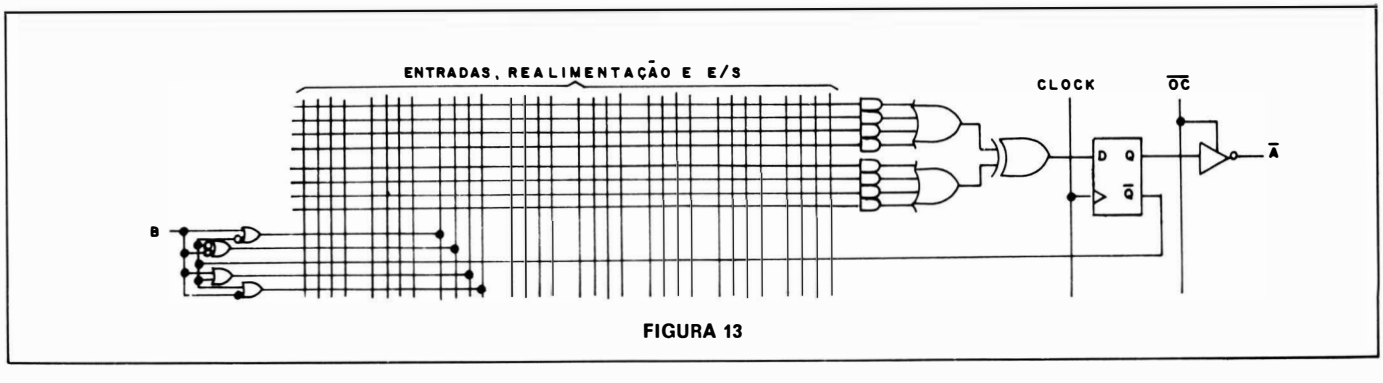


FIGURA 13

O XOR ligado à entrada do flip-flop tipo "D" permite fazer a operação OU Exclusivo do carry (vai um) de uma operação prévia com a soma de duas variáveis, geradas pelo arranjo do PAL.
A saída "Q" do flip-flop chaveará termos "A", que serão realimentados para a entrada. Esta realimentação fornece qualquer uma das dezesseis combinações booleanas possíveis, mostradas no mapa de Karnaugh (figura 14).

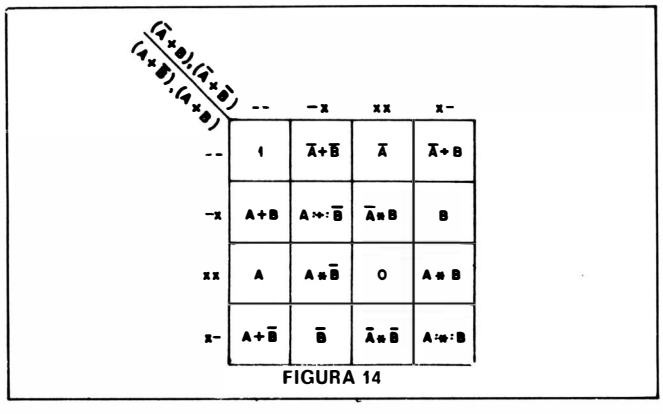


FIGURA 14

Na figura 15 é mostrado como o arranjo do PAL pode ser programado para gerar as dezesseis operações.

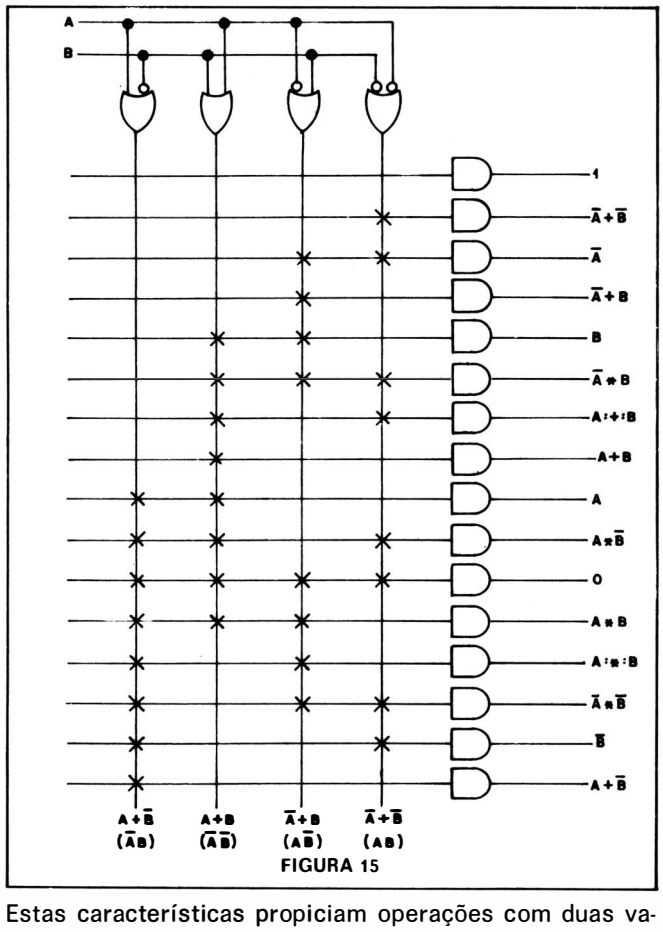


FIGURA 15

Estas características propiciam operações com duas variáveis e facilitam a geração paralela de carry (vai um) necessário para operações aritméticas rápidas.

Segurança dos Dados do PAL

O circuito usado para a programação e verificação da lógica pode ser empregado a qualquer hora para determinar a lógica padrão armazenada no arranjo do PAL. Para a segurança dessa lógica, o PAL contém fusíveis que podem ser queimados para impossibilitar a verificação da mesma.
Este dispositivo, portanto, protege a lógica do PAL contra eventuais copiadores.

Vantagens do PAL

- ☐ Dispositivo programável que substitui a lógica convencional TTL.
- ☐ Redução e simplificação no projeto dos circuitos do PAL.
- ☐ Redução na quantidade de chips, pelo menos de 4 para 1.
- ☐ Rapidez e simplicidade nos protótipos e lay out dos cartões.
- ☐ Alta velocidade.
- ☐ Facilidade de programação; por programadores padrão de PROM.
- ☐ Saídas tri-state programáveis.
- ☐ Fusível de segurança contra eventuais copiadores.

Programação do PAL

A programação do PAL pode ser feita utilizando-se programadores padrão de PROM.
Caso o programador não disponha deste equipamento, poderá gerar um circuito a fim de se efetuar a programação, devendo ser observado uma sequência lógica nos procedimentos.
O PAL pode ter seus fusíveis acessados de dois modos. Na primeira configuração os termos de produto do PAL variam de 0 a 31 sendo que na segunda configuração os termos de produto variam de 32 a 63.
Para uma melhor visualização desses dois tipos de configurações, veja as figuras 16 e 17 e tabelas 2 e 3, que serão usadas posteriormente para a programação propriamente dita.
Nota: Para a pré-verificação e também para a programação do PAL, o programador deverá observar que nem todos os tipos de PAL possuem todas as linhas de produto, devendo portanto, analisar-se o diagrama lógico do PAL para posteriormente aplicar os sinais descritos nas tabelas 2 e 3.

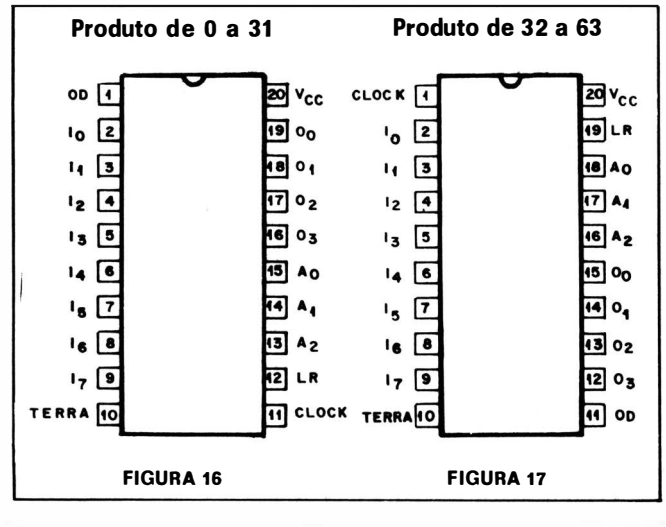


FIGURA 16 FIGURA 17

TABELA DE TENSÕES

TABELA 2

Seleção da Linha de Entrada

Número da Linha de Entrada	Identificação dos Pinos								
	I_7	I_6	I_5	I_4	I_3	I_2	I_1	I_0	L/R
0	HH	HH	HH	HH	HH	HH	HH	L	Z
1	HH	HH	HH	HH	HH	HH	HH	H	Z
2	HH	HH	HH	HH	HH	HH	HH	L	HH
3	HH	HH	HH	HH	HH	HH	HH	H	HH
4	HH	HH	HH	HH	HH	HH	L	HH	Z
5	HH	HH	HH	HH	HH	HH	H	HH	Z
6	HH	HH	HH	HH	HH	HH	L	HH	HH
7	HH	HH	HH	HH	HH	HH	H	HH	HH
8	HH	HH	HH	HH	HH	L	HH	HH	Z
9	HH	HH	HH	HH	HH	H	HH	HH	Z
10	HH	HH	HH	HH	HH	L	HH	HH	HH
11	HH	HH	HH	HH	HH	H	HH	HH	HH
12	HH	HH	HH	HH	L	HH	HH	HH	Z
13	HH	HH	HH	HH	H	HH	HH	HH	Z
14	HH	HH	HH	HH	L	HH	HH	HH	HH
15	HH	HH	HH	HH	H	HH	HH	HH	HH
16	HH	HH	HH	L	HH	HH	HH	HH	Z
17	HH	HH	HH	H	HH	HH	HH	HH	Z
18	HH	HH	HH	L	HH	HH	HH	HH	HH
19	HH	HH	HH	H	HH	HH	HH	HH	HH
20	HH	HH	L	HH	HH	HH	HH	HH	Z
21	HH	HH	H	HH	HH	HH	HH	HH	Z
22	HH	HH	L	HH	HH	HH	HH	HH	HH
23	HH	HH	H	HH	HH	HH	HH	HH	HH
24	HH	L	HH	HH	HH	HH	HH	HH	Z
25	HH	H	HH	HH	HH	HH	HH	HH	Z
26	HH	L	HH	HH	HH	HH	HH	HH	HH
27	HH	H	HH	HH	HH	HH	HH	HH	HH
28	L	HH	HH	HH	HH	HH	HH	HH	Z
29	H	HH	HH	HH	HH	HH	HH	HH	Z
30	L	HH	HH	HH	HH	HH	HH	HH	HH
31	H	HH	HH	HH	HH	HH	HH	HH	HH

TABELA 3

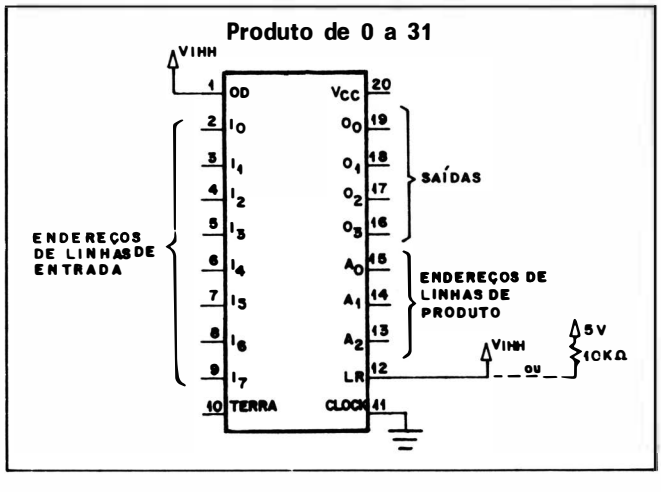
Seleção da Linha de Produto

Número da Linha de Produto	Identificação dos Pinos						
	O_3	O_2	O_1	O_0	A_2	A_1	A_0
0,32	Z	Z	Z	HH	Z	Z	Z
1,33	Z	Z	Z	HH	Z	Z	HH
2,34	Z	Z	Z	HH	Z	HH	Z
3,35	Z	Z	Z	HH	Z	HH	HH
4,36	Z	Z	Z	HH	HH	Z	Z
5,37	Z	Z	Z	HH	HH	Z	HH
6,38	Z	Z	Z	HH	HH	HH	Z
7,39	Z	Z	Z	HH	HH	HH	HH
8,40	Z	Z	HH	Z	Z	Z	Z
9,41	Z	Z	HH	Z	Z	Z	HH
10,42	Z	Z	HH	Z	Z	HH	Z
11,43	Z	Z	HH	Z	Z	HH	HH
12,44	Z	Z	HH	Z	HH	Z	Z
13,45	Z	Z	HH	Z	HH	Z	HH
14,46	Z	Z	HH	Z	HH	HH	Z
15,47	Z	Z	HH	Z	HH	HH	HH
16,48	Z	HH	Z	Z	Z	Z	Z
17,49	Z	HH	Z	Z	Z	Z	HH
18,50	Z	HH	Z	Z	Z	HH	Z
19,51	Z	HH	Z	Z	Z	HH	HH
20,52	Z	HH	Z	Z	HH	Z	Z
21,53	Z	HH	Z	Z	HH	Z	HH
22,54	Z	HH	Z	Z	HH	HH	Z
23,55	Z	HH	Z	Z	HH	HH	HH
24,56	HH	Z	Z	Z	Z	Z	Z
25,57	HH	Z	Z	Z	Z	Z	HH
26,58	HH	Z	Z	Z	Z	HH	Z
27,59	HH	Z	Z	Z	Z	HH	HH
28,60	HH	Z	Z	Z	HH	Z	Z
29,61	HH	Z	Z	Z	HH	Z	HH
30,62	HH	Z	Z	Z	HH	HH	Z
31,63	HH	Z	Z	Z	HH	HH	HH

OBSERVAÇÕES:

L = Tensão de entrada — nível baixo (V_{IL}); HH = Tensão de programa — nível alto (V_{IHH}).
H = Tensão de entrada — nível alto (V_{IH}); Z = Alta impedância (Ex.: 10 KΩ a 5,0 V).

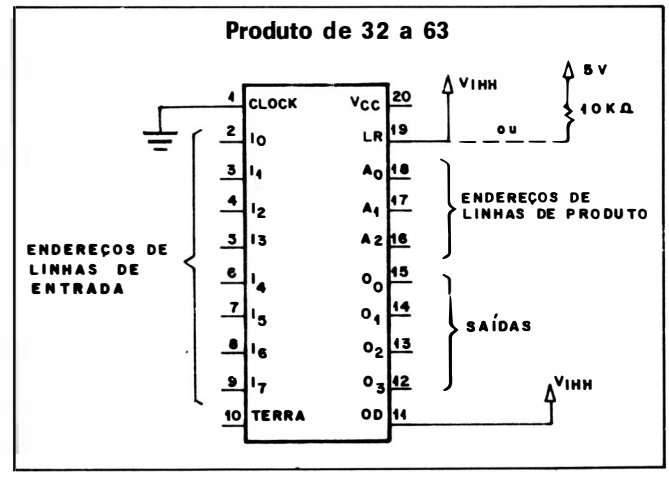
A configuração do primeiro tipo deverá obedecer o seguinte:



Endereços de linhas de entrada: pinos 2 a 9 mais pino 12.

Obs.: Os valores correspondentes aos parâmetros de programação estão descritos nas tabelas 2 e 3.

A configuração do segundo tipo deverá obedecer o seguinte:



Endereços de linhas de entrada: pinos 2 a 9 mais pino 19.

Obs.: Os valores correspondentes aos parâmetros de programação estão descritos nas tabelas 2 e 3.

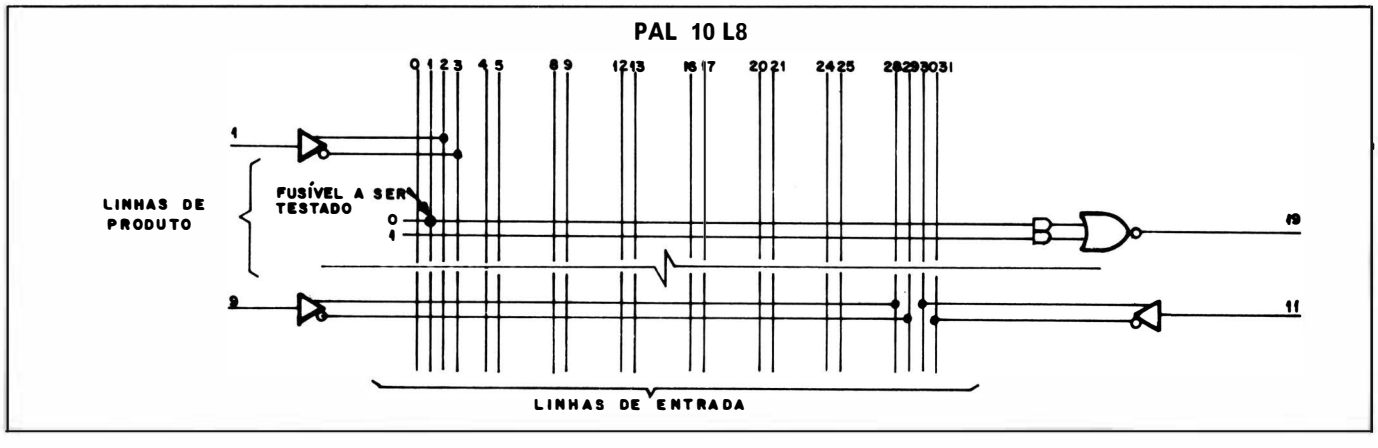
Tomado conhecimento das duas configurações de PAL existentes, o programador deverá fazer uma pré-verificação no circuito, checando o estado dos fusíveis do mesmo, para somente depois começar a programação.

Pré-Verificação

1. Coloque 5 V em V_{CC}.
2. Coloque OD em V_{IHH}.
3. Selecione uma linha de entrada através de I_0 a I_7/I_9 e L/R.
4. Selecione uma linha de produto através de A_0 a A_2.
5. Pulse o pino de clock e verifique (com clock em V_{IL}) se o pino de saída "O" está em um estado correspondente a um fusível intacto.
6. Repetir os passos 3 a 5 até a verificação de todos os fusíveis.

Para um melhor entendimento, veja o exemplo de pré-verificação a seguir.

Exemplo — fusível a ser checado: localizado na linha de entrada 1 e linha de produto 0.



Importante: O fusível a ser testado, no exemplo, está localizado na linha de produto "0" indicando com isso que o PAL terá que ser ligado de acordo com a configuração do primeiro tipo (produto de 0 a 31).

De acordo com a tabela 2, o programador deverá aplicar aos pinos correspondentes, o seguinte:

Número da Linha de Entrada	Identificação dos Pinos								
	I_7	I_6	I_5	I_4	I_3	I_2	I_1	I_0	L/R
0	—	—	—	—	—	—	—	—	—
1	HH	HH	HH	HH	HH	HH	HH	H	Z
2	—	—	—	—	—	—	—	—	—
3	—	—	—	—	—	—	—	—	—
31	—	—	—	—	—	—	—	—	—

Para as linhas de produto, de acordo com a tabela 3, o programador deverá ligar "Z" aos pinos A_0, A_1 e A_2, verificando posteriormente a saída O_0.

Aplicado os sinais aos respectivos pinos, dar um pulso de clock no pino 11, verificando no pino 19 (saída O_0) o sinal de saída. Caso seja verificado um nível alto ("1") é certificado de que o fusível está intacto, no entanto, se verificado um nível baixo ("0") é certificado de que o fusível já foi queimado.

Feito a pré-verificação dos fusíveis, o programador concluirá a respeito do estado do PAL. Caso esteja em perfeito estado, o próximo passo a ser executado será a programação do mesmo.

Para que se programe corretamente o PAL, o programador deverá seguir atentamente todos os passos descritos na programação.

Programação

1. Coloque OD em V_{IHH}.
2. Para todos os fusíveis a serem queimados.
   2.1. Coloque o pino de clock em GND.
   2.2. Selecione uma linha de entrada através de I_0 a I_7/I_9 e L/R.
   2.3. Selecione uma linha de produto através de A_0 a A_2.
   2.4. Coloque V_{CC} em V_{IHH}.
   2.5. Programe o fusível pulsando o pino de saída O_0 a O_3/O_4 do grupo de produto selecionado, um de cada vez, em V_{IHH}.
   2.6. Diminua V_{CC} para 5 V.
   2.7. Repetir os passos 2.2. a 2.6. até que todos os fusíveis desejados estejam queimados.
3. Verificação para todos os fusíveis.
   3.1. Selecione uma linha de entrada através de I_0 a I_7/I_9 e L/R.

3.2. Selecione uma linha de produto através de A_0 a A_2.

3.3. Pulse o pino de clock e verifique a saída.

— Se algum fusível foi queimado desnecessariamente, rejeite.

— Se algum fusível desejado não foi queimado, repetir os passos 2.4. a 2.6. e 3. Se a operação for bem sucedida, continue.
Se não houver sucesso após três tentativas rejeite, mas continue o procedimento.

3.4. Repetir desde o passo 3.1., até que todos os fusíveis tenham sido testados.

4. Verificação em tensão máxima para todos os fusíveis.

4.1. Coloque V_{CC} em 5,5 V.

4.2. Selecione uma linha de entrada através de I_0 a I_7/I_9 e L/R.

4.3. Selecione uma linha de produto através de A_0 a A_2.

4.4. Pulse o pino de clock e verifique a saída.

— Se a verificação for bem sucedida continue, caso contrário, pare e rejeite.

4.5. Repetir desde o passo 4.1., até que todos os fusíveis tenham sido testados.

5. Verificação em tensão mínima para todos os fusíveis.

5.1. Diminua V_{CC} para 4,5 V.

5.2. Selecione uma linha de entrada através de I_0 a I_7/I_9 e L/R.

5.3. Selecione uma linha de produto através de A_0 a A_2.

5.4. Pulse o pino de clock e verifique a saída.

— Se a verificação for bem sucedida continue, caso contrário rejeite, mas continue o procedimento.

Programação do Fusível de Segurança

6. Verifique através dos procedimentos 4 e 5.

7. Coloque V_{CC} em 6 V.

8. Para PAL de 20 pinos.

— Programar o primeiro fusível pulsando o pino 1 em V_P (são aceitáveis de 1 a 5 pulsos).

— Programar o segundo fusível pulsando o pino 11 em V_P (são aceitáveis de 1 a 5 pulsos).

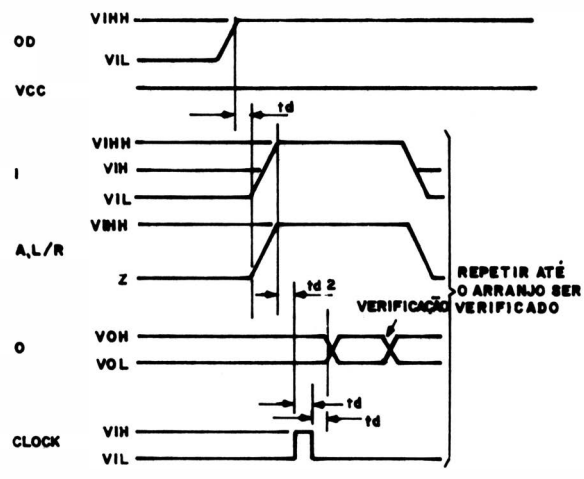
9. Verifique através dos procedimentos 4 e 5.

— O dispositivo estará seguro se a metade da verificação falhar.

PARÂMETROS PARA PROGRAMAÇÃO

SÍMBOLO	PARÂMETRO		LIMITES			UNIDADE
			MÍN.	TÍP.	MÁX.	
V_{IHH}	Tensão de entrada para programação		11,5	11,75	12	V
I_{IHH}	Corrente de entrada para programação	Pulso de saída			50	mA
		OD, L/R			50	
		Todas outras entradas			10	
I_{CCH}	Corrente de alimentação				900	mA
t_{VCCP}	Largura do pulso de V_{CC} @ V_{IHH}				60	µs
T_P	Largura do pulso para programa		10	20	50	µs
t_D	Tempo de retardo		100			ns
t_{D2}	Tempo de retardo após pino L/R		10			µs
	Duty Cycle de V_{CCP}				20	%
V_P	Tensão de programação do fusível de segurança		18	18,5	19	V
I_P	Corrente de alimentação para a programação do fusível de segurança				400	mA
T_{PP}	Largura do pulso para programação do fusível de segurança		10	40	70	µs
	Duty Cycle para programação do fusível de segurança				50	%
t_{RP}	Tempo de subida de programação da saída e pulsos de endereços		1	1,5	10	V/µs
	Tempo de subida dos pulsos de programação do fusível de segurança		1	1,5	10	V/µs
	Valor de V_{CC} durante a programação do fusível de segurança		5,75	6,0	6,25	V
	Valor de V_{CC} para primeira verificação		4,75	5,0	5,25	
	Valor de V_{CC} para segunda verificação		5,4	5,5	5,6	
	Valor de V_{CC} para terceira verificação		4,4	4,5	4,6	

Verificação do Arranjo



OBSERVAÇÕES:

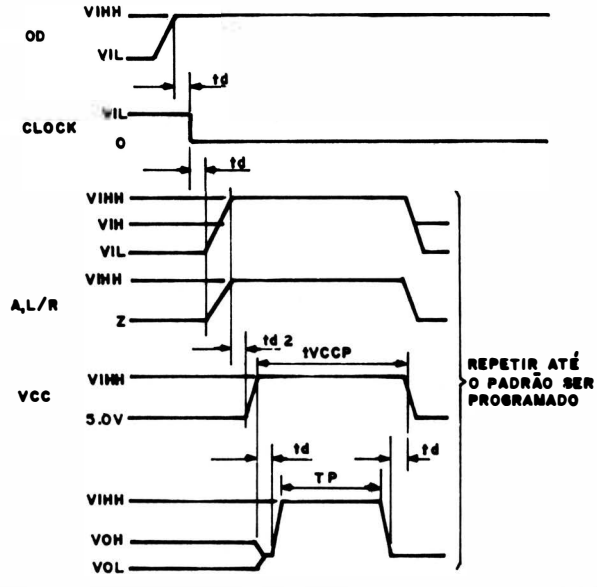
V_{CC} (Verificação da tensão-baixa) = 4,5 V

V_{CC} (Verificação da tensão-alta) = 5,5 V

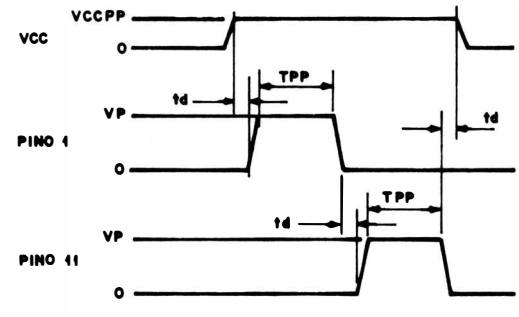
V_{CC} (Primeira verificação) = 5,0 V

O retardo (td2) sempre tem que preceder a transição positiva do clock.

Programação do Arranjo



Programação do Fusível de Segurança



VALORES MÁXIMOS ABSOLUTOS

	OPERAÇÃO	PROGRAMAÇÃO
Tensão de alimentação, V_{CC}	−0,5 a 7,0 V	−0,5 a 12,0 V
Tensão nas entradas	−1,5 a 5,5 V	−1,0 a 22,0 V (1)
Tensão nas saídas em Off-State	5,5 V	12,0 V
Temperatura de armazenamento		−65°C a + 150°C

1) A tensão máxima nos pinos 1 e 11 deve ser no máximo de 20 V.

CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	TÍP.	MÁX.	
V_{CC}	Tensão de alimentação	4,75	5	5,25	V
T_A	Temperatura de operação	0		75	°C

CARACTERÍSTICAS DC

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TÍP.	MÁX.		
V_{IL}	Tensão de entrada - nível baixo (1)			0,8	V	
V_{IH}	Tensão de entrada - nível alto (1)	2,0			V	
V_{IC}	Tensão de grampeamento de entrada		−0,8	−1,5	V	V_{CC} = MÍN.; I_I = −18 mA
I_{IL}	Corrente de entrada - nível baixo		−0,02	−0,25	mA	V_{CC} = MÁX.; V_I = 0,4 V
I_{IH}	Corrente de entrada - nível alto			25	µA	V_{CC} = MÁX.; V_I = 2,4 V
I_I	Corrente de entrada máxima			1	mA	V_{CC} = MÁX.; V_I = 5,5 V
V_{OL}	Tensão de saída - nível baixo		0,3	0,5	V	V_{CC} = MÍN.; I_{OL} = 8 mA
V_{OH}	Tensão de saída - nível alto	2,4	2,8		V	V_{CC} = MÍN.; I_{OH} = −3,2 mA
I_{OS}	Corrente de curto circuito na saída (2)	−30	−70	−130	mA	V_{CC} = 5 V; V_O = 0 V
I_{CC}	Corrente de alimentação		55	90	mA	V_{CC} = MÁX.

CARACTERÍSTICAS AC

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE (3)
		MIN.	TÍP.	MAX.		
t_{PD}	Entrada ou realimentação para saída		25	35	ns	R1 = 560 Ω R2 = 1,1 KΩ

OBSERVAÇÕES:

1) Estas tensões são medidas em relação à terra e consideram overshoots devido ao sistema e/ou ruídos presentes no testador. Não é aconselhável testar estes valores sem equipamento adequado.
2) Curto circuitar apenas uma saída por vez.
3) Vide circuito de teste

CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO		LIMITES			UNIDADE
			MÍN.	TÍP.	MÁX.	
V_{CC}	Tensão de Alimentação		4,75	5	5,25	V
t_w	Largura do clock	Baixo	15	10		ns
		Alto	15	10		ns
t_{SU}	Tempo de set up da entrada ou realimentação para o clock, exceto 16L8A		25	15		ns
t_h	Tempo de hold		0	−10		ns
T_A	Temperatura de operação		0		75	°C

CARACTERÍSTICAS DC

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE	
		MÍN.	TÍP.	MÁX.			
V_{IL}	Tensão de entrada - nível baixo (2)			0,8	V		
V_{IH}	Tensão de entrada - nível alto (2)	2			V		
V_{IC}	Tensão de grampeamento de entrada		−0,8	−1,5	V	V_{CC} = MÍN.; I_I = − 18 mA	
I_{IL}	Corrente de entrada - nível baixo (1)		−0,02	−0,25	mA	V_{CC} = MÁX.; V_I = 0,4 V	
I_{IH}	Corrente de entrada - nível alto (1)			25	µA	V_{CC} = MÁX.; V_I = 2,4 V	
I_I	Corrente de entrada máxima			1	mA	V_{CC} = MÁX.; V_I = 5,5 V	
V_{OL}	Tensão de saída - nível baixo		0,3	0,5	V	V_{CC} = MÍN.; I_{OL} = 24 mA	
V_{OH}	Tensão de saída - nível alto	2,4	2,8		V	V_{CC} = MÍN.; I_{OH} = − 3,2 mA	
I_{OZL}	Corrente de saída em off-state (1)			−100	µA	V_{CC} = MÁX.;	V_O = 0,4 V
I_{OZH}				100	µA		V_O = 2,4 V
I_{OS}	Corrente de curto circuito na saída (3)	−30	−70	−130	mA	V_{CC} = 5 V; V_O = 0 V	
I_{CC}	Corrente de alimentação		120	180	mA	V_{CC} = MÁX.	

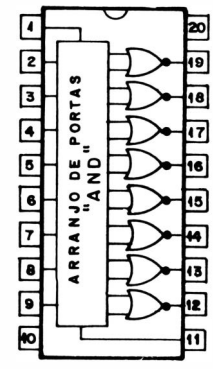
CARACTERÍSTICAS AC

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE (4)
		MÍN.	TÍP.	MÁX.		
t_{PD}	Entrada ou realimentação para saída, exceto 16R8A		15	25	ns	R1 = 200 Ω R2 = 390 Ω
t_{CLK}	Clock para a saída ou realimentação		10	15	ns	
t_{PZX}	Pino 11 para habilitar saída, exceto 16L8A		10	20	ns	
t_{PXZ}	Pino 11 para desabilitar saída, exceto 16L8A		11	20	ns	
t_{PZX}	Entrada para habilitar saída, exceto 16R8A		10	25	ns	
t_{PXZ}	Entrada para desabilitar saída, exceto 16R8A		13	25	ns	
f_{MAX}	Frequência máxima, exceto 16L8A	28,5	40		MHz	

OBSERVAÇÕES:

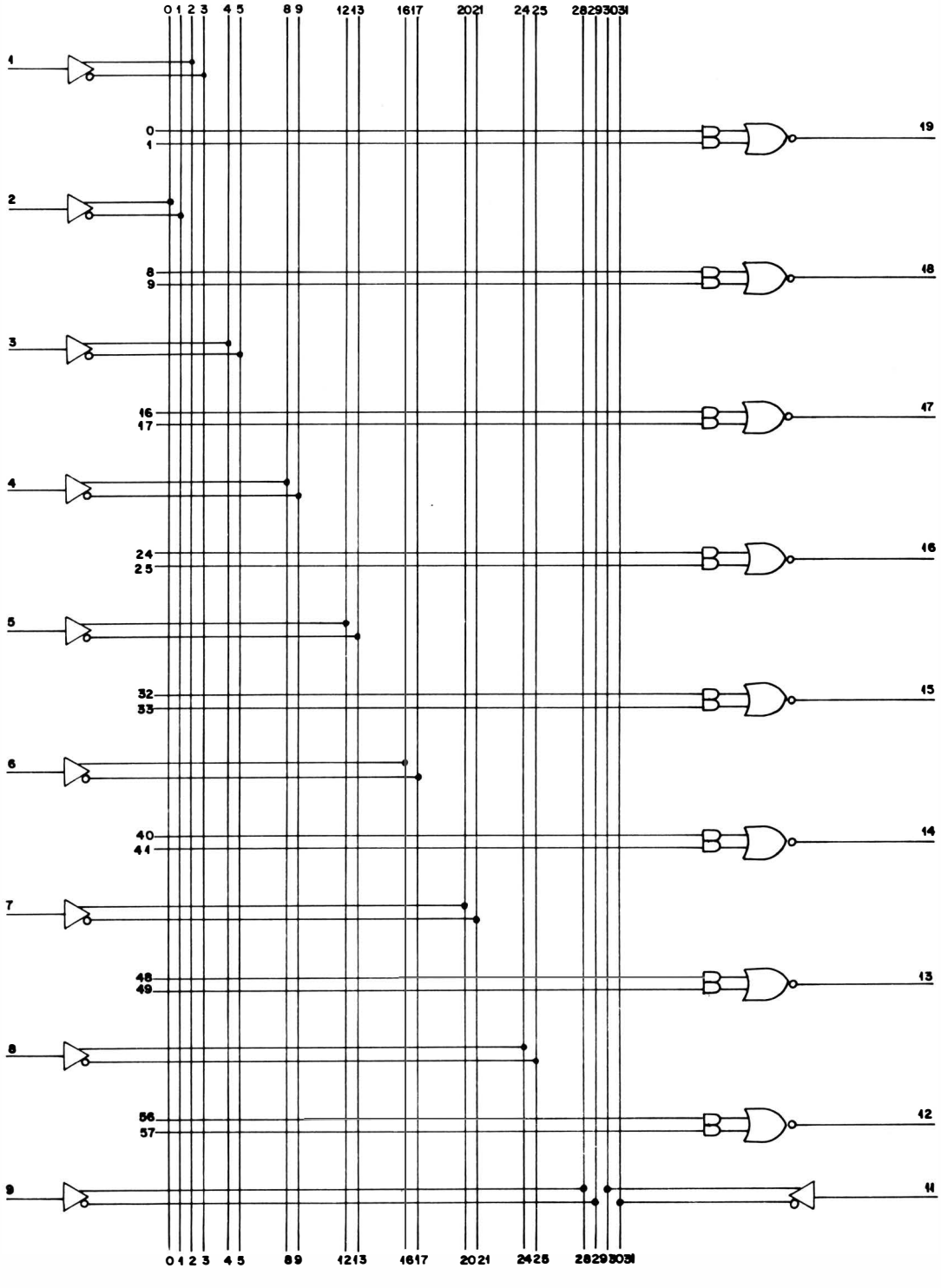
1) A fuga no pino E/S considera o pior caso de I_{OZX} ou I_{IX}; ex.: I_{OZH} e I_{IL}.
2) Estas tensões são medidas em relação à terra e consideram overshoots devido ao sistema e/ou ruídos presentes no testador. Não é aconselhável testar estes valores sem equipamento adequado.
3) Curto circuitar apenas uma saída por vez.
4) Vide circuito de teste

10L8

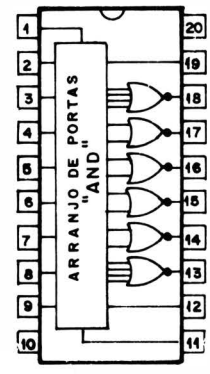


CONFIGURAÇÃO INTERNA / PINAGEM

10L8

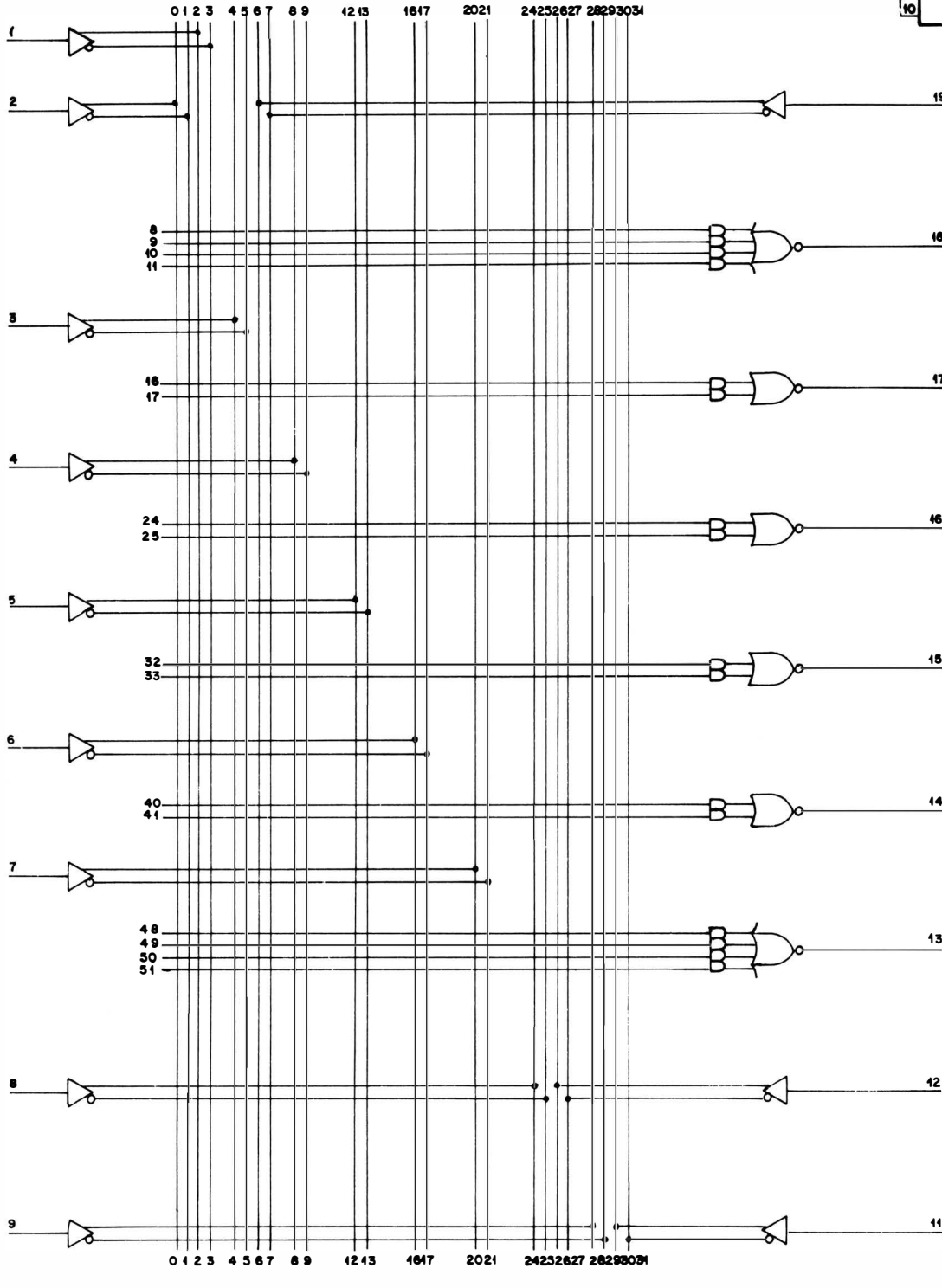


12L6

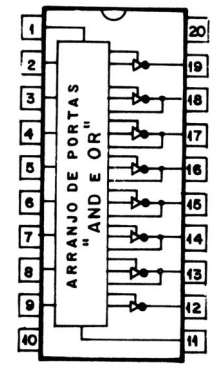


CONFIGURAÇÃO INTERNA / PINAGEM

12L6

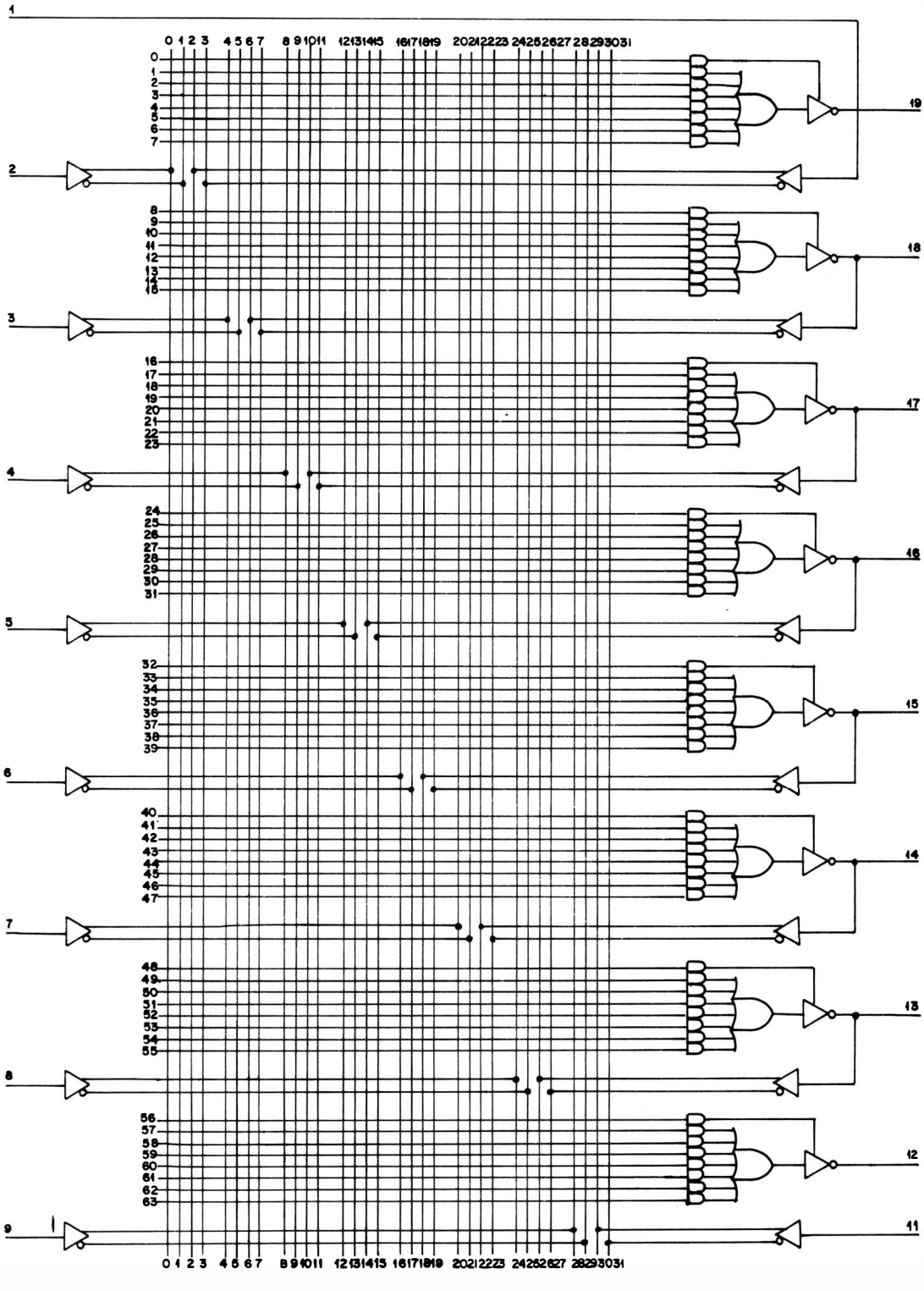


16L8A

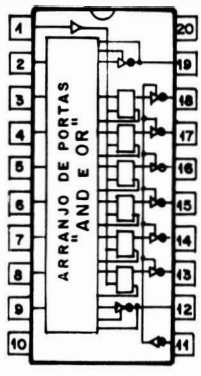


CONFIGURAÇÃO INTERNA / PINAGEM

16L8A

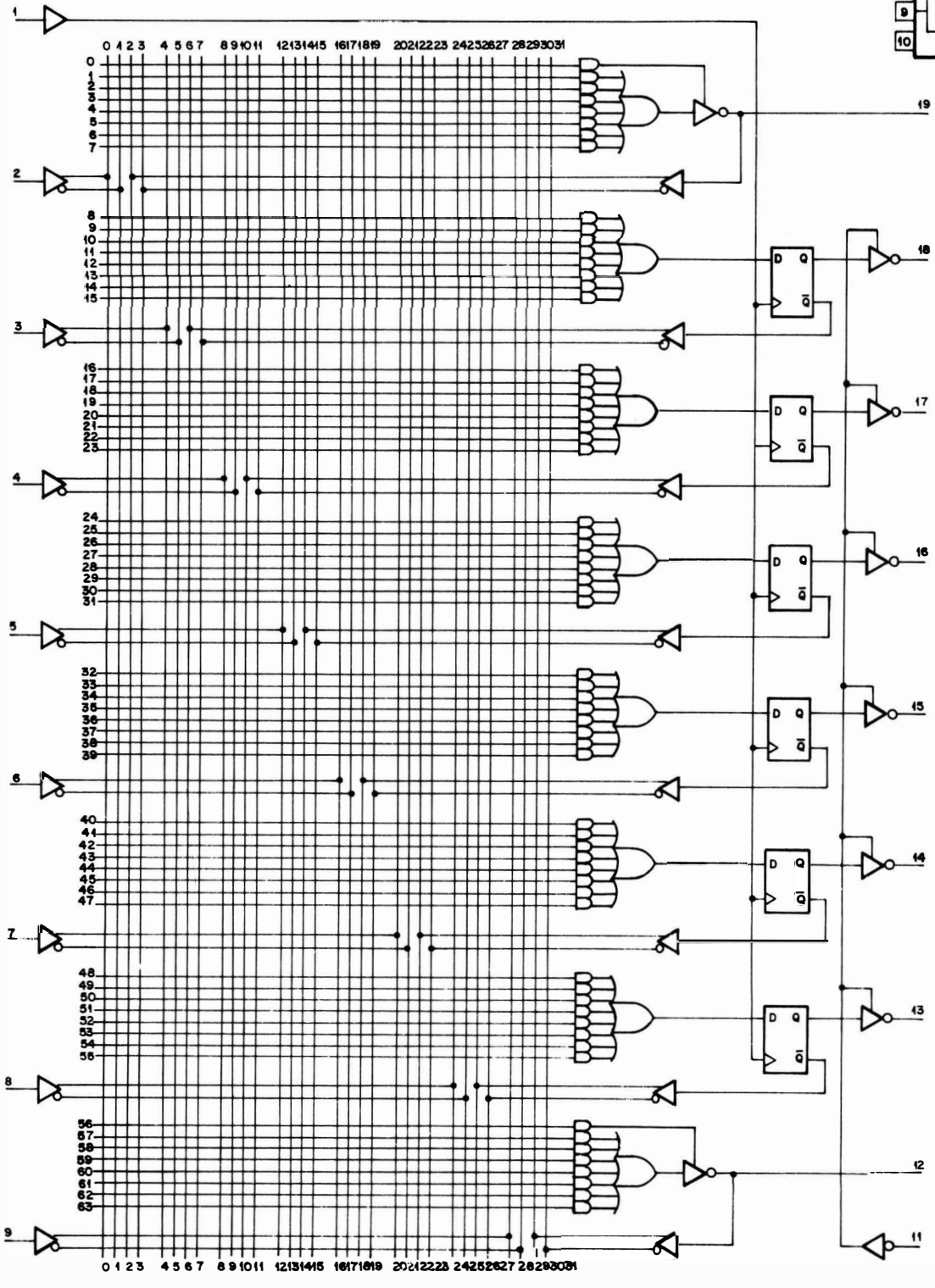


16R6A

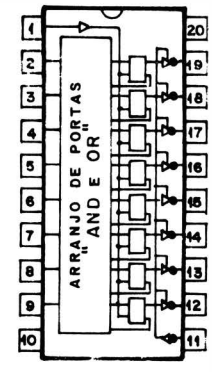


CONFIGURAÇÃO INTERNA / PINAGEM

16R6A

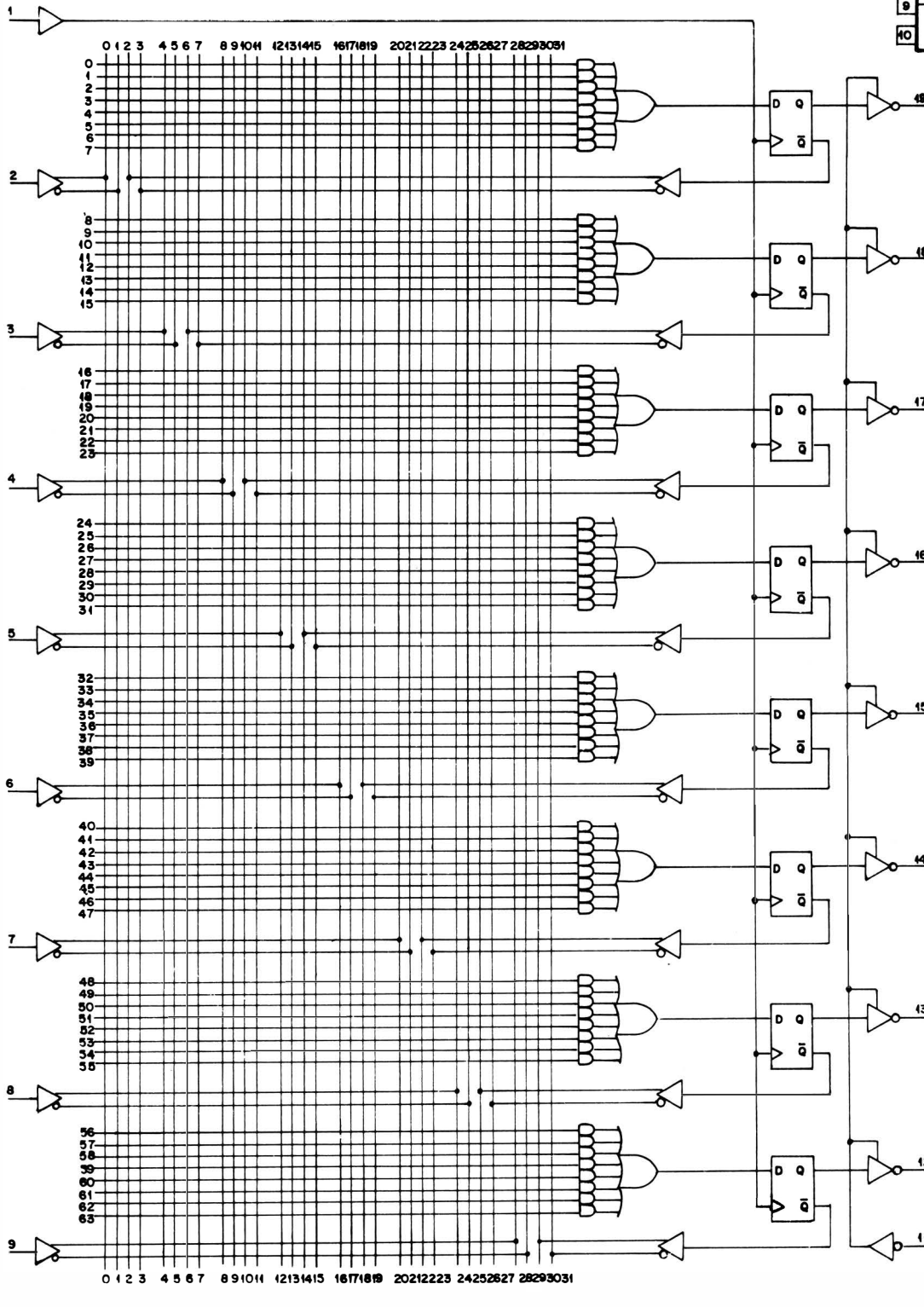


16R8A

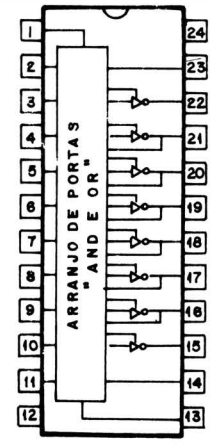


CONFIGURAÇÃO INTERNA / PINAGEM

16R8A

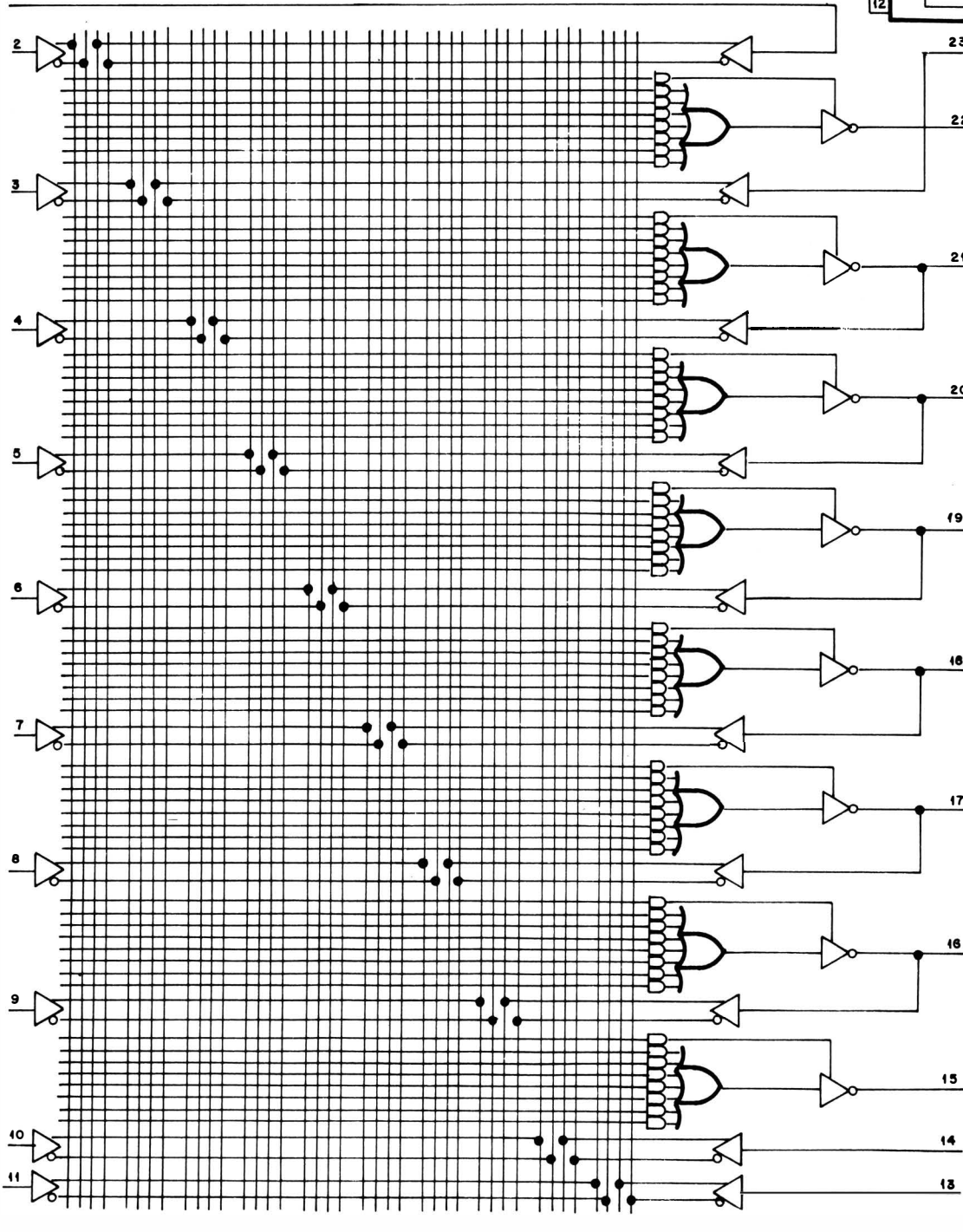


20L8B

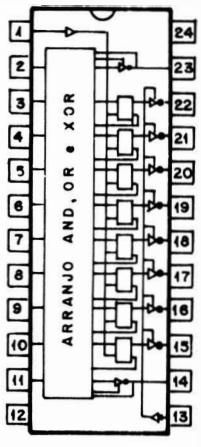


CONFIGURAÇÃO INTERNA/PINAGEM

20L8B

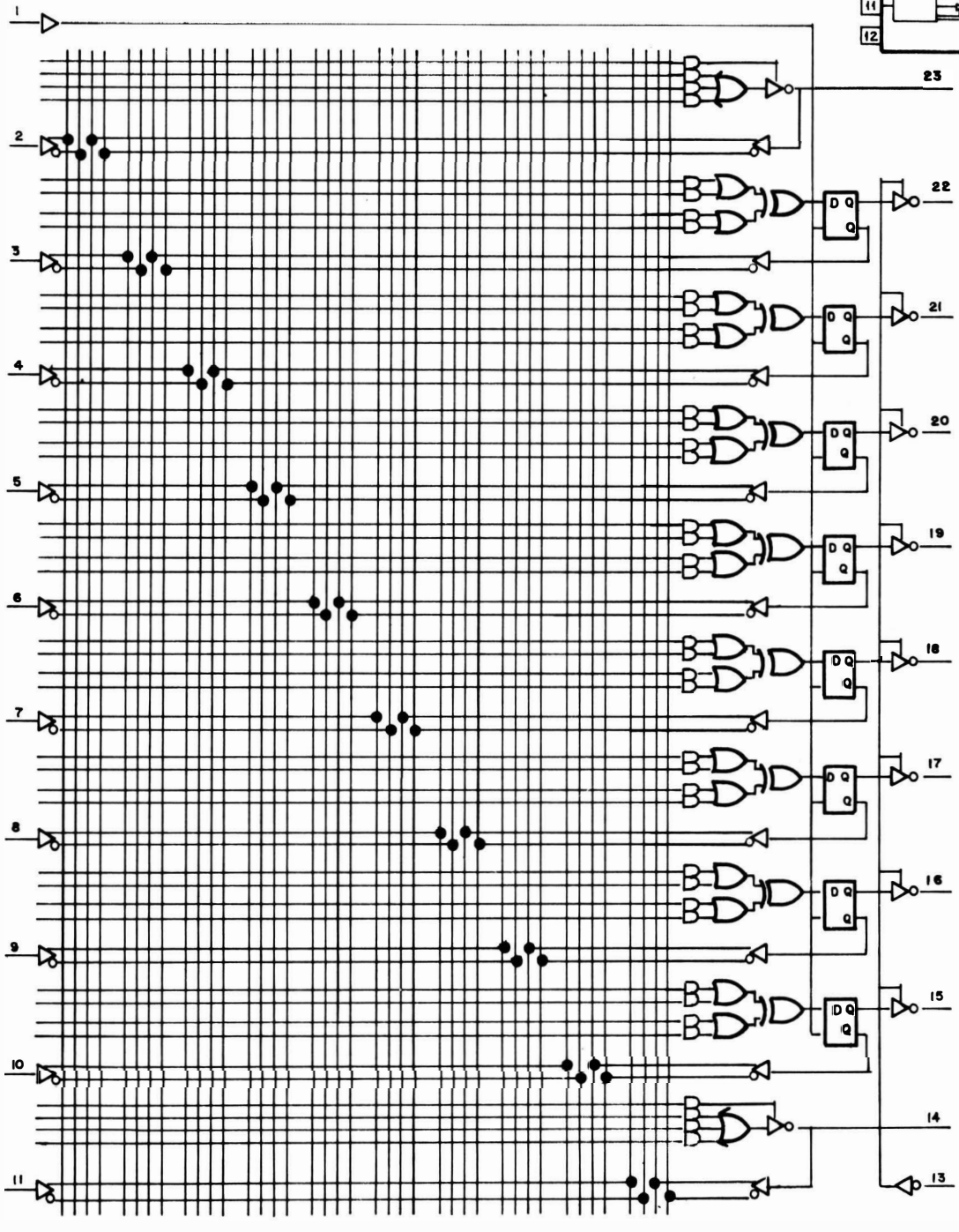


20X8

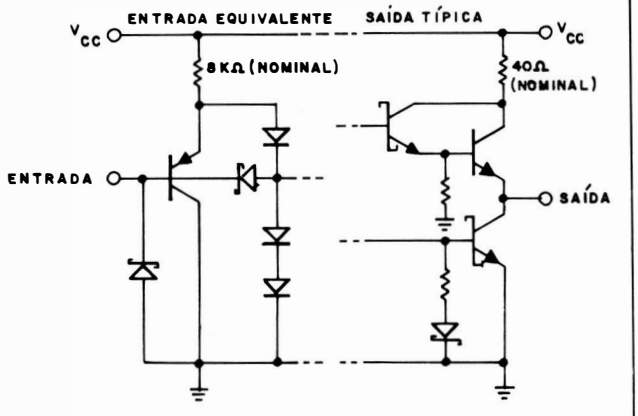


CONFIGURAÇÃO INTERNA/PINAGEM

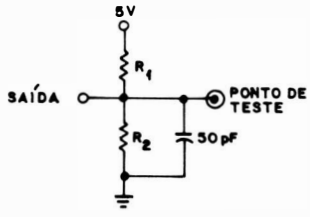
20X8



Circuito Interno das Entradas e Saídas



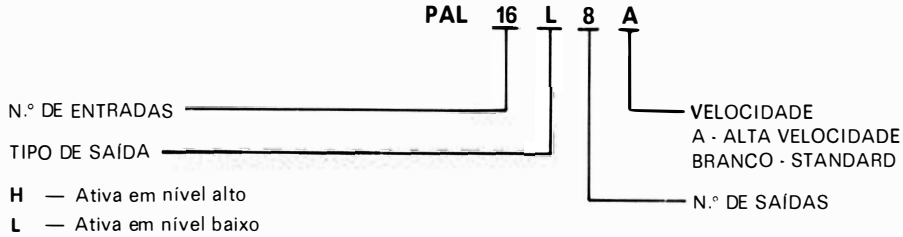
Circuito de Teste



Outros circuitos podem ser usados.

Código Funcional

Exemplo:



H — Ativa em nível alto
L — Ativa em nível baixo
C — Complementar
P — Programável
R — Registrador
RA — Registrador Assíncrono
S — Dividida (Multiplexada)
X — Registrador "OU Exclusivo"
A — Registrador Aritmético

PAL® — Marca Registrada da Monolithic Memories Inc.

LINEARES 3

LINEARES

Os CIs lineares da ITAUCOM atuam principalmente como elementos de apoio aos circuitos digitais, nos casos em que é essencial controlar, amplificar ou adaptar sinais analógicos.

ICL 1488 ____ 206
ICL 1489 ____ 207
ICL 2003 ____ 208
ICL 3470A ____ 209
ICL 3471 ____ 210
ICL 3524 ____ 211
ICL 3525 ____ 212
ICL 3680 ____ 213

ICL 1488

QUATRO DRIVERS DE LINHA RS-232

PRELIMINAR

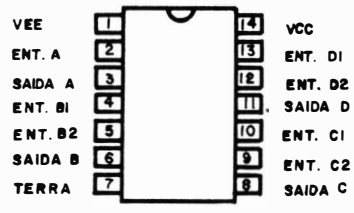
Características:

- ☐ Saída limitada em corrente (± 10 mA típ.);
- ☐ Controle simples da slew rate, por meio de um capacitor externo;
- ☐ Tensão de alimentação flexível;
- ☐ Compatível com todas as famílias TTL;

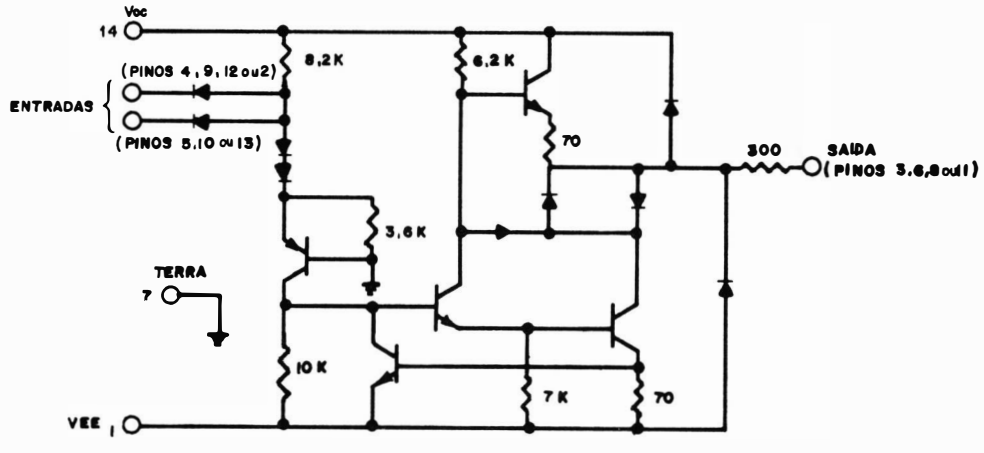
Descrição Geral:

O ICL 1488 é composto por quatro drivers de linha, destinados a servir de interface entre terminais de dados e equipamentos de comunicação de dados, de acordo com a norma RS-232C. Juntamente com seu par ICL1489 (que integra quatro receptores de linha), proporciona um interfaceamento completo entre os níveis TTL e aqueles definidos por essa norma.

PINAGEM



ESQUEMA INTERNO
(representando apenas um dos 4 drivers)



QUATRO RECEPTORES
DE LINHA RS-232C

ICL 1489/ICL 1489A

PRELIMINAR

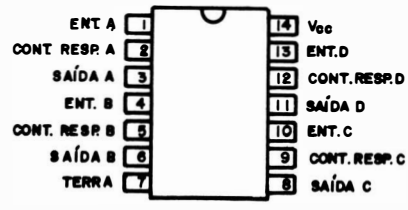
Características:

- ☐ Resistência de entrada entre 3kΩ e 7kΩ;
- ☐ Gama do sinal de entrada: ± 30 V;
- ☐ Inclui histerese do limiar de entrada;
- ☐ Controle de resposta:
  - * Deslocamento do limiar lógico.
  - * Filtragem de ruídos de entrada.

Descrição Geral:

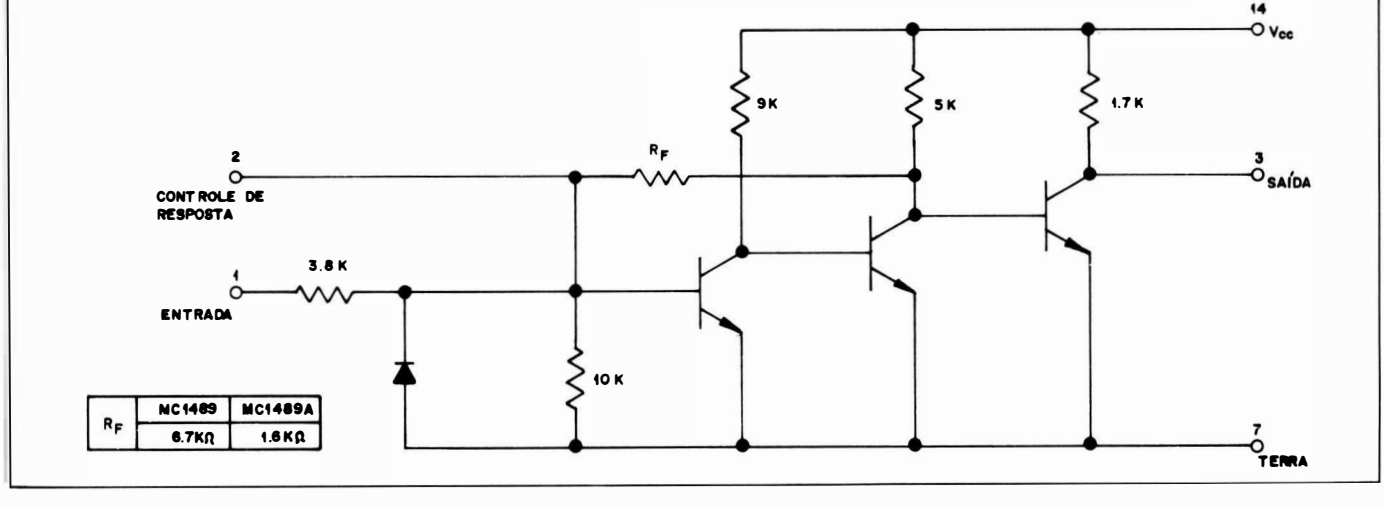
O ICL 1489 é composto por quatro receptores de linha, destinados a servir de interface entre terminais de dados e equipamentos de comunicação de dados, segundo a norma RS-232C. Juntamente com seu par ICL 1488 (que integra 4 drivers de linha), proporciona um interfaceamento completo entre os níveis TTL e aqueles definidos por essa norma.

PINAGEM



ESQUEMA INTERNO

(representando apenas um dos 4 receptores)



R_F	MC1489	MC1489A
	6.7KΩ	1.6KΩ

ICL 2003

ARRAY DE TRANSISTORES

PRELIMINAR

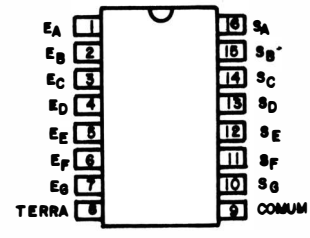
Características:

- ☐ Sete pares darlington com saída de alta tensão e alta corrente (50 V/500 mA máx.);
- ☐ Ideal para trabalhar diretamente com as lógicas TTL e CMOS;
- ☐ Alimentação de 5 V.

Descrição Geral:

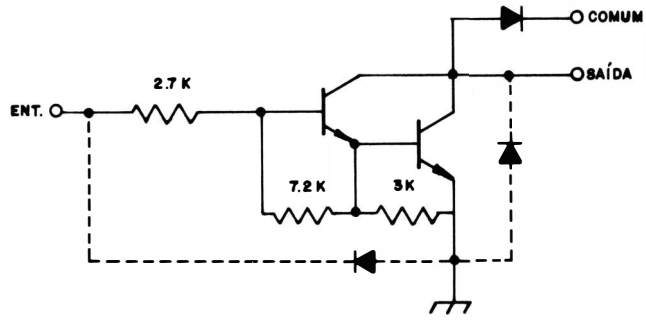
O array de transistores ICL 2003 é constituído por sete pares darlington com tensão e corrente de saída elevadas. Ele dispõe de saídas em coletor aberto e diodos para a supressão de transientes causados por cargas indutivas. Além disso, existe também um resistor de 2,7 kΩ em cada par darlington, sendo capaz de operar diretamente com CIs TTL ou CMOS, mediante uma tensão de alimentação de 5 V. Com essas características, o ICL 2003 presta-se a inúmeras aplicações de interfaçe, particularmente àquelas que não podem ser desempenhadas pelos buffers lógicos convencionais.

PINAGEM



ESQUEMA INTERNO

(representando apenas um dos drivers)



ICL 3470A

PRELIMINAR

Características:

- ☐ Combina, num só CI, todos os circuitos ativos necessários para a função do amplificador de leitura para disquetes;
- ☐ Deslocamento máximo garantido de 2% no pico;
- ☐ Modo comum de entrada aperfeiçoados;
- ☐ Tolerância e ganho (positivo) melhorados.

Descrição Geral:

O ICL 3470A é um sistema de amplificação de leitura, que atua na obtenção de informações digitais em floppy-disks (discos flexíveis). Foi concebido para aceitar o sinal AC diferencial produzido pela cabeça magnética da unidade de disquetes e fornecer pulsos digitais que correspondem a cada pico do sinal de entrada. O estágio de ganho amplifica a forma de onda aplicada e a entrega a uma rede externa de filtragem, permitindo assim que o diferenciador ativo e o filtro de domínio de tempo produzam a saída desejada.

PINAGEM

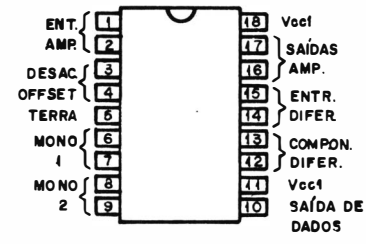
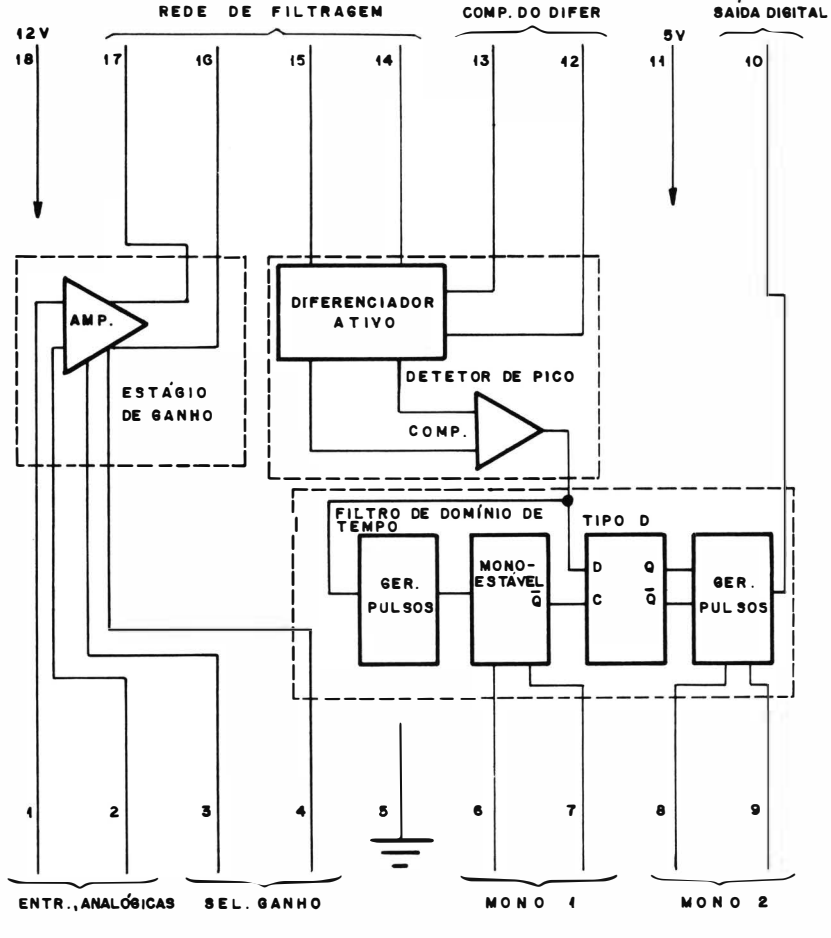


DIAGRAMA DE BLOCOS



ICL 3471

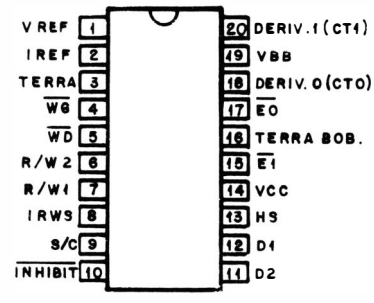
Características:

- ☐ Atraso da temporização de apagamento ajustável internamente (fator K estável);
- ☐ Lógica dos pinos de atraso diretamente compatível com o microprocessador;
- ☐ Saída inibidora ($\overline{\text{Inhibit}}$) desativa leitura ou avanço durante o período ativo da cabeça;
- ☐ Apresenta alta impedância durante a modalidade de leitura;
- ☐ Corrente das cabeças garantida dentro de ± 3% (3 mA, usando $R_{EXT} = 10$ k);
- ☐ Período de desmagnetização ajustável externamente;
- ☐ Específicado com alimentações de 10,8 a 26,4 nas cabeças;
- ☐ Entrada IRW propicia compensação para trilhas internas/externas;
- ☐ Minimiza os componentes externos.

Descrição Geral:

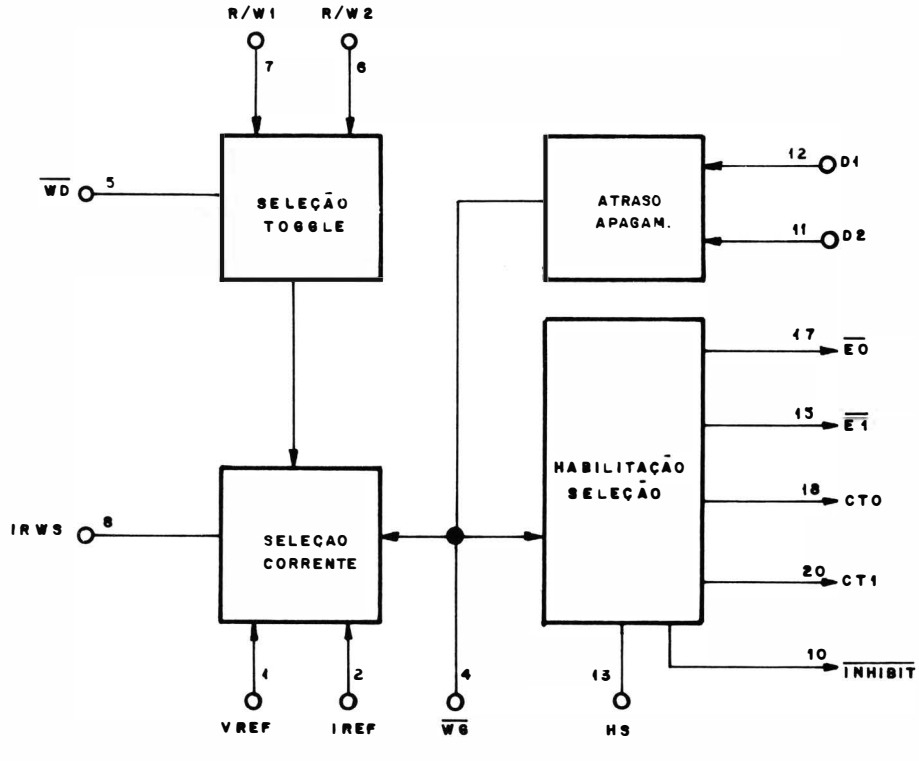
Como controlador de escrita e driver em unidades de disquetes, o ICL 3471 proporciona uma completa interface entre os sinais de gravação de dados e de controle das cabeças e as cabeças propriamente ditas, tanto de escrita como de apagamento. Destina-se igualmente aos sistemas do tipo "tunnel" e "straddle" das unidades de disquetes.

PINAGEM



Ele permite selecionar uma faixa precisamente controlada de correntes para escrita e seleção de cabeças, nas operações de leitura e escrita, sem distinção. Além disso, inclui recursos para se ajustar externamente o período de desmagnetização, a compensação para trilhas interna/externa e o atraso o entre a porta de escrita e a ativação/desativação do apagamento. Uma saída inibidora também foi prevista, a fim de indicar que as cabeças estão ativas durante os processos de escrita, desmagnetização ou apagamento.

DIAGRAMA DE BLOCOS



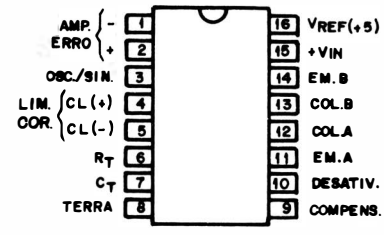
ICL 3524

PRELIMINAR

Características:

- ☐ Referência de precisão ajustada internamente em ± 1%;
- ☐ Função limitadora de corrente de alto desempenho;
- ☐ Travamento em sub-tensão com ativação incluindo histerese;
- ☐ Corrente de alimentação inicial inferior a 4 mA;
- ☐ Capacidade de saída de até 60 V/200 mA;
- ☐ Ampla gama de entrada em modo comum para os amplificadores de erro e limitação de corrente;
- ☐ Latch de PWM garante um único pulso por período;
- ☐ Lógica de supressão de pulsos duplos;
- ☐ Proteção contra sobrecarga térmica.

PINAGEM



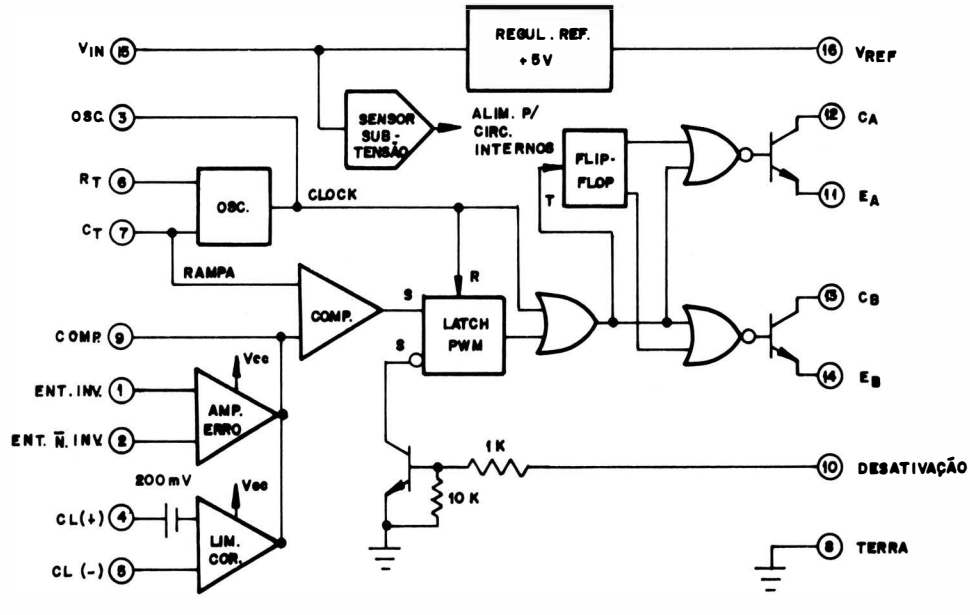
Descrição Geral:

O ICL 3524 é um regulador PWM para fontes chaveadas que inclui uma série de recursos para facilitar o projeto desses circuitos. Entre eles, podemos citar uma precisa referência de 5 V que dispensa o uso de trimpots externos, já que vem pré-ajustada em ± 1%; um amplificador de erro com uma gama de entrada que inclui 5 V, eliminando a necessidade de um divisor para a referência; e um par de transistores chaveadores de 60 V/200 mA, que lhe conferem uma grande versatilidade de saída.

Outra interessante característica do ICL 3524 é o circuito de travamento em caso de sub-tensão, que desativa todos os circuitos internos (exceto a referência) até que a tensão de entrada atinja 8 V. Isto mantém a corrente de standby reduzida até que o sistema seja ativado, simplificando bastante o projeto de fontes off-line de baixa potência. O estágio ativador dispõe de uma histerese aproximada de 600 mV, para uma operação livre de interferências.

São também dignos de nota o latch PWM, que impede a pulsação múltipla dentro de um só período, mesmo em ambientes com muito ruído; a lógica que elimina pulsos duplos na mesma saída; e a proteção térmica automática contra excessos de temperatura no CI.

DIAGRAMA DE BLOCOS



ICL 3525

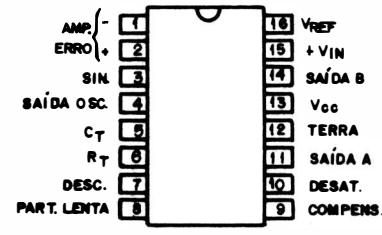
REGULADOR PWM PARA FONTE CHAVEADA

PRELIMINAR

Características:

- ☐ Operação entre 8 e 35 V;
- ☐ Referência de 5,1 V ajustada em ± 1%;
- ☐ Oscilador variável entre 100 e 500 kHz;
- ☐ Terminal separado para o sincronismo do oscilador;
- ☐ Partida lenta interna;
- ☐ Desativação pulso a pulso;
- ☐ Travamento em sub-tensão na entrada com histerese;
- ☐ PWM com latch para evitar pulsos múltiplos;
- ☐ Dois drivers de saída com função "source/sink".

PINAGEM



Descrição Geral:

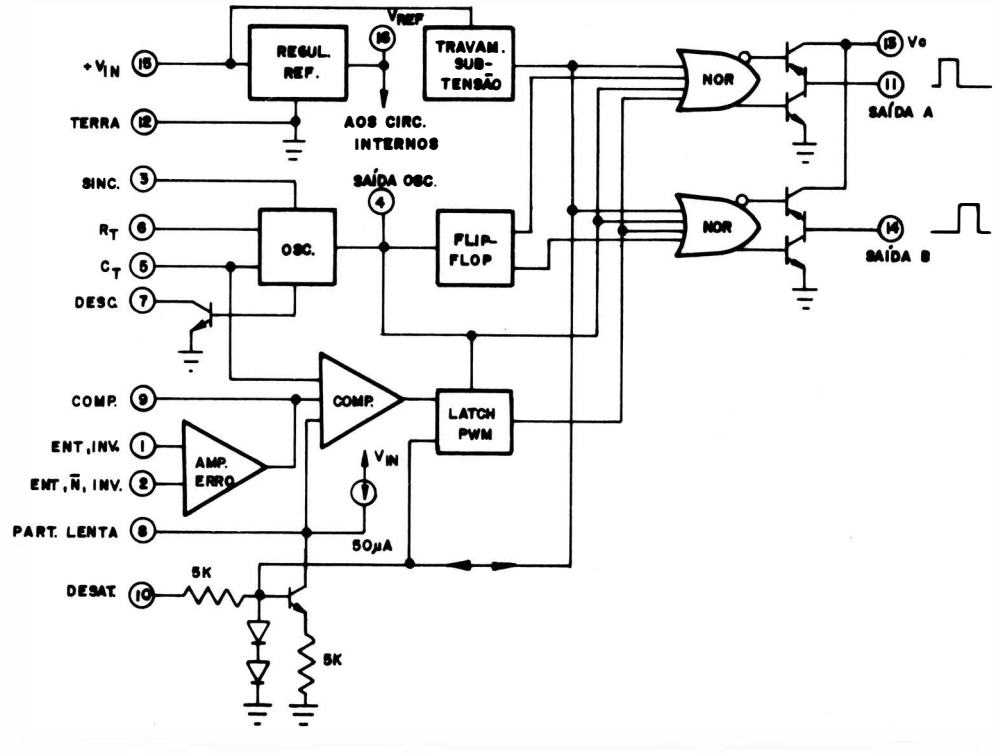
O ICL 3525 é um regulador PWM para fontes chaveadas, concebido para proporcionar maior desempenho e menor número de componentes externos no projeto desses circuitos. Sua referência interna de 5,1 V vem pré-ajustada com uma precisão de ± 1% e a gama de entrada em modo comum do amplificador de erro inclui essa tensão de referência, dispensando resistores externos. Uma entrada de sincronismo para o oscilador permite a interligação de várias unidades ou a sincronização de uma só unidade com um clock externo.

Esse regulador exibe ainda circuitos embutidos de partida lenta, exigindo apenas um capacitor adicional; um terminal de desativação controla tanto esses circuitos quanto os estágios finais, proporcionando um desligamento instantâneo através do latch de PWM, assim como uma reciclagem da partida lenta, com comandos mais longos de desativação. Tais funções são também controladas pelo travamento em sub-tensão, que mantém as saídas inativas e o capacitor de partida lenta descarregado, na presença de tensões de entrada abaixo do normal. Esse estágio de sub-tensão inclui aproximadamente 500 mV de histerese, para assegurar uma operação livre de interferências.

Outra característica do ICL 3525 é a inclusão de um latch após o comparador. Dessa forma, sempre que um pulso PWM é encerrado por algum motivo, as saídas permanecem desativadas todo o período; esse latch sofre um reset a cada pulso de clock.

Por fim, os estágios finais são do tipo totempole, capazes de fornecer ou drenar mais de 200 mA.

DIAGRAMA DE BLOCOS



ICL 3680

PRELIMINAR

Características:

- ☐ Operação de −10 a −60 V;
- ☐ Drenagem de até 50 mA de corrente;
- ☐ Compatível com TTL/TTL-LS/CMOS;
- ☐ Ampla gama de tensão em modo comum na entrada;
- ☐ Baixíssima corrente de entrada;
- ☐ Diodo grampeador de saída interno.

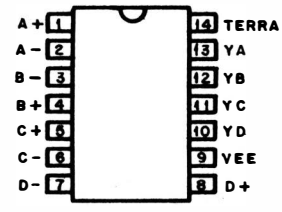
Descrição Geral:

O ICL 3680 é composto por quatro drivers negativos, de alta tensão, para relés. Ele foi projetado para operar com gamas bastante amplas de tensão em modo comum, tensões de alimentação e temperatura ambiente, com capacidade para drenar correntes de até 50 mA. Seus drivers destinam-se a chavear a extremidade de terra de cargas diretamente conectadas à linha negativa de alimentação, tal como em sistemas de relés para telefonia.

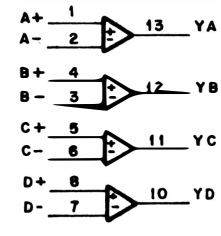
Como sempre pode haver um nível considerável de ruído e queda por IR entre o terra lógico e o terra negativo da alimentação, em diversas aplicações os drivers foram concebidos para operar sob uma extensa faixa de modo comum (± 20 V, com referência ao terra negativo da alimentação). E cada driver exibe uma faixa de modo comum separada dos demais, o que permite introduzir sinais provenientes de mais de um elemento do sistema.

Exigindo uma baixa corrente diferencial de entrada (100 μA, tipicamente), esses drivers são compatíveis com as lógicas TTL, TTL-LS e CMOS. Suas entradas diferenciais permitem ainda optar por uma operação inversora ou não inversora.

PINAGEM



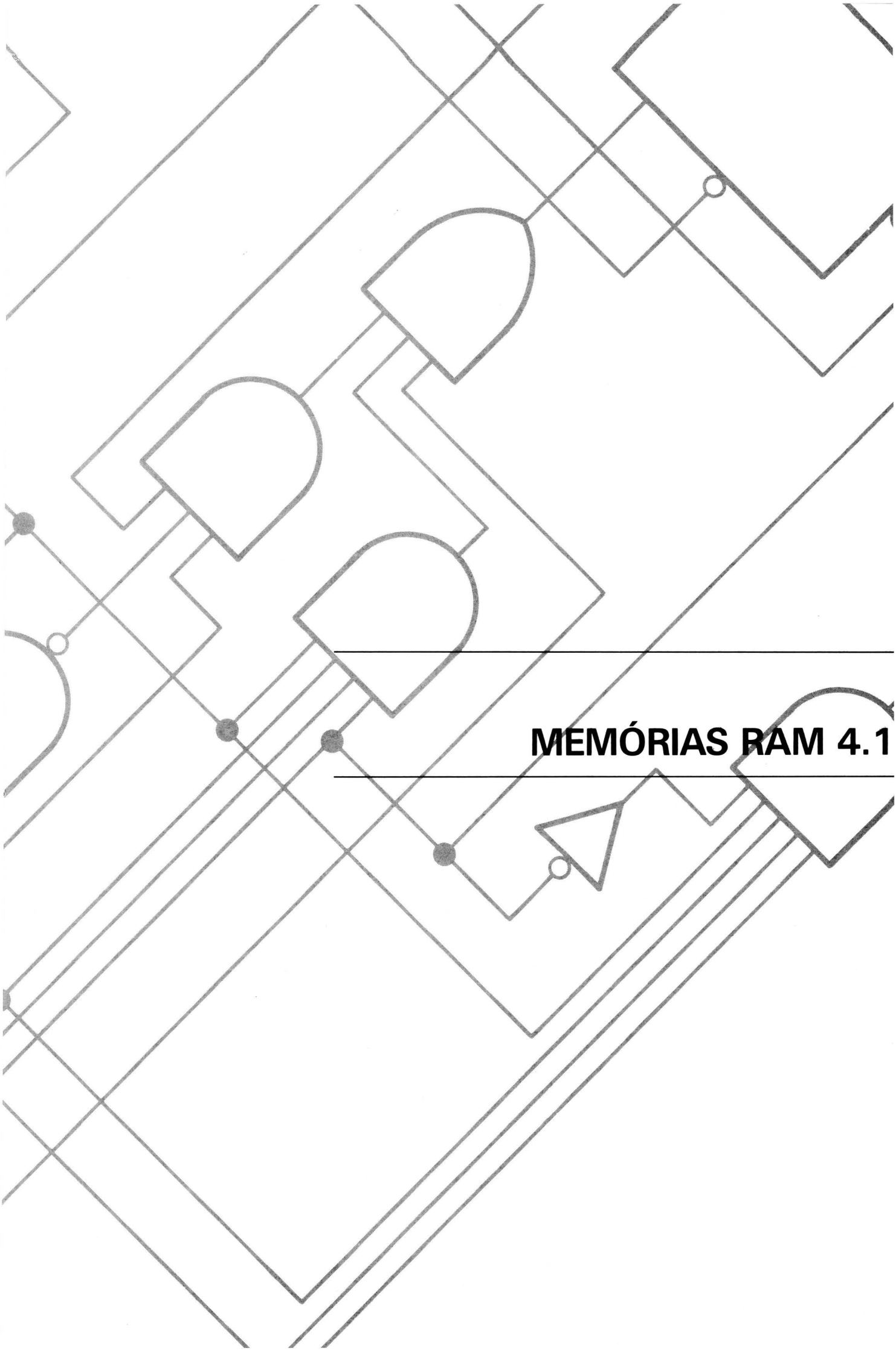
ESQUEMA LÓGICO



As saídas foram dotadas de redes grampeadoras, para a supressão de transientes, que dispensam o uso de redes externas quando usadas no chaveamento de cargas indutivas. Foi incluído, por fim, um recurso contra falhas, para assegurar que o driver seja desativado sempre que a entrada +IN ou as duas entradas fiquem abertas.

4 MEMÓRIAS

MEMÓRIAS RAM 4.1
MEMÓRIAS EPROM 4.2



MEMÓRIAS RAM 4.1

MEMÓRIAS RAM

As duas modalidades de memória RAM aqui relacionadas possuem vantagens específicas, de acordo com o tipo de aplicação em vista. As RAMs dinâmicas apresentam maiores capacidades de armazenagem e um baixo consumo de potência; as estáticas, por outro lado, dispensam circuitos externos de refresh e exibem velocidades maiores. Com a finalidade de abranger o maior espectro possível de aplicações práticas, a ITAUCOM oferece uma ampla variedade dos dois tipos, nas mais diversas capacidades e configurações.

ICM 4164MC ____ 220
ICM 41000A ____ 221
ICM 41000B ____ 232
ICM 41256A ____ 233
ICM 44256 ____ 244
ICM 6116A ____ 245
ICM 6116L ____ 246
ICM 6264L ____ 256
ICM 6264LD ____ 262
ICM 62256 ____ 267

ICM 4164MC

RAM DINÂMICA DE 64K

PRELIMINAR

Características:

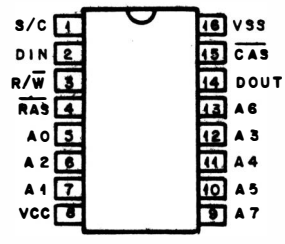
- ☐ Tempos de acesso de 80, 100, 120 e 150 ns;
- ☐ Baixo consumo em standby; 15 mW típ.;
- ☐ 256 ciclos de refresh em 4 ms;
- ☐ Recursos de "early write" e "read-modify-write";
- ☐ Possibilidade de refresh apenas em $\overline{RAS}$;
- ☐ Alimentação única de 5V ± 10%;
- ☐ Opção pelo ciclo de acesso "page mode".

Descrição Geral:

A ICM 4164MC-9 é uma memória RAM dinâmica, organizada em 65.536 bits, na configuração x1 (ou seja, uma entrada e uma saída de dados). Os 16 bits de endereçamento são introduzidos em duas etapas: o terminal $\overline{RAS}$ é usado para reter os primeiros 8 bits e o $\overline{CAS}$ para os 8 bits restantes. Caso o pino $\overline{WE}$ vá para o nível baixo antes de $\overline{CAS}$ assumir esse nível, o terminal de saída permanecerá aberto até o ciclo seguinte de $\overline{CAS}$. Mas se $\overline{WE}$ for para 0 após os dados terem alcançado o terminal de saída, este será ativado e vai reter o conteúdo da célula selecionada enquanto $\overline{CAS}$ permanecer em nível baixo (independentemente de $\overline{WE}$ ou $\overline{RAS}$); esse pulso atrasado em $\overline{WE}$ vai resultar em um ciclo do tipo "read-modify-write".

Mantendo-se $\overline{RAS}$ em nível baixo, $\overline{CAS}$ pode ser ativado para executar vários ciclos rápidos de leitura, escrita ou read-modify-write, dentro dos limites da página definidos pelo endereço de $\overline{RAS}$. Quando $\overline{RAS}$ volta para o nível alto, o ciclo de memória é encerrado e a potência dissipada cai para o valor de standby (de 75 para cerca de 15 mW). A integridade dos dados é mantida pela execução de ciclos de refresh, de modo que todas as 256 combinações dos endereços de $\overline{RAS}$ sejam repassadas ao menos uma vez a cada 4 milissegundos (independentemente da seqüência).

PINAGEM

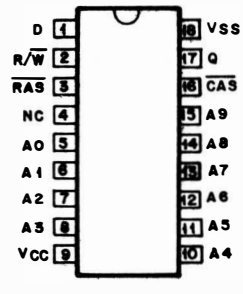


ICM 41000A

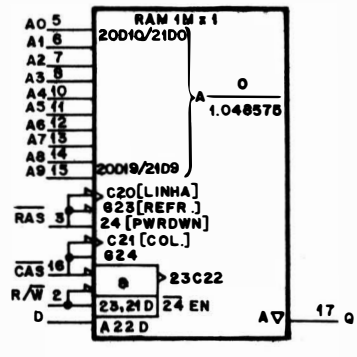
Características

- ☐ Organização: 1.048.576 × 1;
- ☐ Baixa dissipação de potência:
  Estado Ativo
  ICM 41000A-8 _____ 385 mW (máx.)
  ICM 41000A-10 _____ 330 mW (máx.)
  ICM 41000A-12 _____ 275 mW (máx.)
  Em Standby _____ 2,75 mW (máx.)
- ☐ Alimentação única 5V (± 10%):
- ☐ Todas as entradas e saídas compatíveis com os dispositivos TTL apresentando-se ainda com baixa capacitância de carga;
- ☐ Capacidade de E/S comum através da operação de escrita antecipada;
- ☐ Capacidade de realizar ciclos de leitura-modificação-escrita, refresh de apenas $\overline{RAS}$ e modo paginado rápido;
- ☐ Capacidade de refresh de $\overline{RAS}$ após $\overline{CAS}$;
- ☐ Saída controlada por $\overline{CAS}$ permite refresh oculto;
- ☐ Aceita $\overline{RAS}$ de até 100 μs para o modo paginado rápido;
- ☐ 512 ciclos de refresh a cada 8 ms.

PINAGEM



SIMBOLOGIA IEC



TEMPOS DE ACESSO

Código	$\overline{RAS}$ (ns) (máx.)	$\overline{CAS}$ (ns) (máx.)	Endereçamento (ns) (máx.)	Ciclo (ns) (mín.)	Dissipação de potência (típ.) (mW)
ICM 41000A-8	80	20	40	160	200
ICM 41000A-10	100	25	50	190	175
ICM 41000A-12	120	30	60	220	150

NOMENCLATURA DOS PINOS

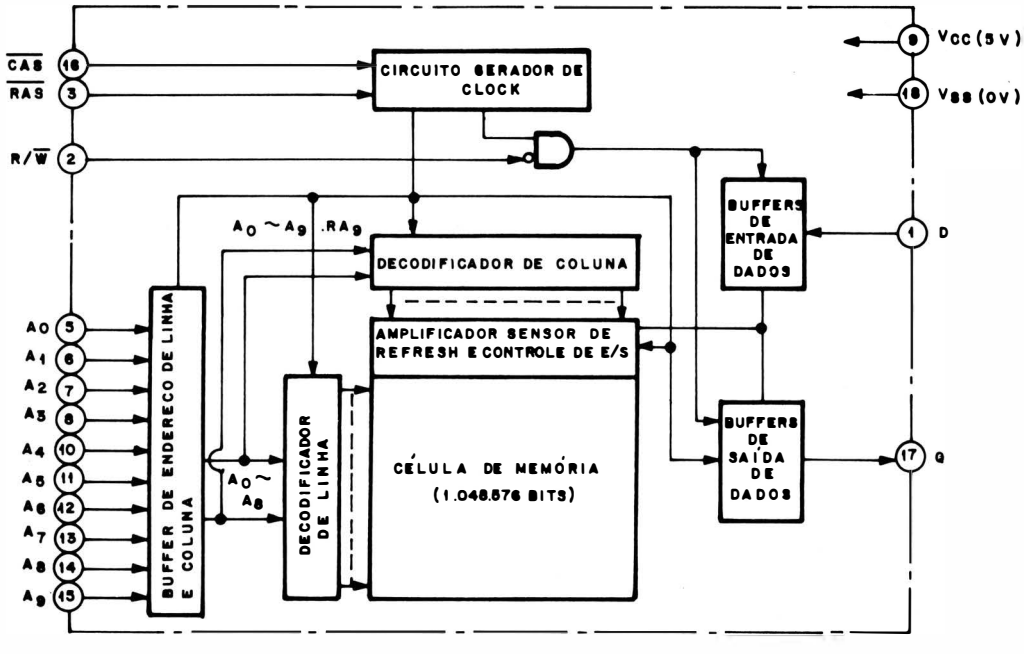
A0-A9	Endereços
R/$\overline{W}$	Leitura/Escrita
D	Entrada de dados
Q	Saída de dados
$\overline{RAS}$	Strobe do endereço de linha
$\overline{CAS}$	Strobe do endereço de coluna
V_{cc}	Alimentação (5V)
V_{ss}	Alimentação (0V)

Descrição Geral

A ICM 41000A é uma memória RAM dinâmica, fabricada com tecnologia CMOS, organizada em 1.048.576 palavras de 1 bit cada. É ideal para aplicações em sistemas de memória de grande capacidade onde alta velocidade, baixa dissipação de potência e custos reduzidos são requisitos fundamentais.

As entradas de endereços multiplexadas para linha e coluna permitem o encapsulamento em apenas 18 pinos (PDIP), o que facilita o aumento da densidade do sistema. Estão disponíveis além do modo de refresh apenas $\overline{RAS}$, os modos refresh oculto e refresh $\overline{RAS}$ após $\overline{CAS}$. A ICM 41000A pode ser usada como unidade de memória principal para computadores, memória para microcomputadores e memória de refresh para CRT.

DIAGRAMA DE BLOCOS



Descrição Funcional

A ICM 41000A além de operar nos modos normais de leitura, escrita antecipada e leitura-modificação-escrita, prevê outras funções, como por exemplo, modo paginado rápido, refresh apenas $\overline{RAS}$ e escrita atrasada (ou read-write). As condições para cada um dos modos de operação são descritos na tabela a seguir.

MODOS DE OPERAÇÃO

MODO	$\overline{RAS}$	$\overline{CAS}$	R/$\overline{W}$	D	Q	ENDEREÇO DE LINHA	ENDEREÇO DE COLUNA	REFRESH	OBSERVAÇÃO
LEITURA(1)	L	L	H	X	VÁLIDO	APLICADO	APLICADO	SIM	Modo paginado rápido idêntico
ESCRITA (ESCRITA ANTECIPADA)(1)	L	L	L	VÁLIDO	ALTA IMP.	APLICADO	APLICADO	SIM	
LEITURA-MOD-ESCRITA(1)	L	L	L	VÁLIDO	VÁLIDO	APLICADO	APLICADO	SIM	
REFRESH APENAS $\overline{RAS}$	L	H	X	X	ALTA IMP.	APLICADO	X	SIM	
REFRESH OCULTO	L	L	X	X	VÁLIDO	X	X	SIM	
REFRESH $\overline{RAS}$ APÓS $\overline{CAS}$	L	L	X	X	ALTA IMP.	X	X	SIM	
STANDBY	H	X	X	X	ALTA IMP.	X	X	NÃO	

OBSERVAÇÕES:
L = Tensão de entrada nível baixo. H = Tensão de entrada nível alto. X = Irrelevante.

VALORES MÁXIMOS ABSOLUTOS

Tensão em qualquer pino em relação a V_{ss}	−1,0 a 7,0 V
Corrente de saída	50 mA
Dissipação de potência (T_a = 25°C)	1,0 W
Temperatura de armazenamento	−65°C a 150°C
Temperatura de operação	0°C a 70°C

CONDIÇÕES DE OPERAÇÃO RECOMENDADAS — (T_a = O°C a 70°C)

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	NOM.	MÁX.	
V_{CC}	Tensão de alimentação	4,5	5,0	5,5	V
V_{SS}		0	0	0	
V_{IH}	Tensão de entrada-nível alto (todas as entradas)	2,4		6,5	V
V_{IL}	Tensão de entrada-nível baixo (todas as entradas)	−1,0		0,8	V

TEMPOS REQUERIDOS NAS FAIXAS DE TENSÃO E TEMPERATURA RECOMENDADAS[1][8][9]

SÍMBOLO	PARÂMETRO	ICM 41000A-8		ICM 41000A-10		ICM 41000A-12		UNIDADE
		MÍN.	MÁX.	MÍN.	MÁX.	MÍN.	MÁX.	
$t_{c(RF)}$	Tempo do intervalo de refresh		8		8		8	ms
$t_{w(RASH)}$	Largura do pulso $\overline{RAS}$-nível alto	70		80		90		ns
$t_{w(CASH)}$	Largura do pulso $\overline{CAS}$-nível alto [12]	35		35		35		ns
$t_{a(CAS)}$	Tempo de acesso do $\overline{CAS}$[2][3]		20		25		30	ns
$t_{a(RAS)}$	Tempo de acesso do $\overline{RAS}$[2][4]		80		100		120	ns
$t_{a(CA)}$	Tempo de acesso de endereço de coluna[2][5]		40		50		60	ns
$t_{a(CASP)}$	Tempo de acesso de pré-carga de $\overline{CAS}$ [2][6]		45		55		65	ns
$t_{en(CAS)}$	Tempo de habilitação das saídas por $\overline{CAS}$ baixo[2]	5		5		5		ns
$t_{dis(CAS)}$	Tempo de desabilitação da saída após $\overline{CAS}$ alto[7]	0	20	0	25	0	30	ns
$t_{d(RAS-CAS)}$	Tempo de atraso de $\overline{CAS}$ baixo em relação a $\overline{RAS}$ baixo[10]	25	60	25	75	25	90	ns
$t_{d(CAS-RAS)}$	Tempo de atraso de $\overline{RAS}$ baixo em relação a $\overline{CAS}$ alto[11]	10		10		10		ns
$t_{(RASL-CA)}$	Tempo de atraso de endereço de coluna em relação a $\overline{RAS}$ baixo[13]	20	40	20	50	20	60	ns
$t_{su(RA-RASL)}$	Tempo de set up de endereço da linha antes de $\overline{RAS}$ baixo	0		0		0		ns
$t_{su(CA-CASL)}$	Tempo de set up de endereço de coluna antes de $\overline{CAS}$ baixo[14]	0	15	0	20	0	25	ns
$t_{h(RASL-RA)}$	Tempo de hold de endereço de linha após $\overline{RAS}$ baixo	15		15		15		ns
$t_{h(CASL-CA)}$	Tempo de hold de endereço de coluna após $\overline{CAS}$ baixo ou R/$\overline{W}$ baixo	20		20		20		ns
t_{THL}-t_{THL}	Tempo de transição[15]	3	50	3	50	3	50	ns

OBSERVAÇÕES:

1) É necessário uma pausa de 500 μs após a alimentação ser ligada, seguida de oito ciclos de $\overline{RAS}$ ou $\overline{RAS}$/$\overline{CAS}$ antes da operação do dispositivo.
   Note que $\overline{RAS}$ pode ser alternado durante a pausa inicial. E cerca de 8 ciclos $\overline{RAS}$ ou $\overline{RAS}$/$\overline{CAS}$ após períodos prolongados com $\overline{RAS}$ inativo antes da operação normal do dispositivo.
2) Medido com uma carga equivalente a 2 cargas TTL e 100 pF.
3) Assume-se que $t_{d(RAS-CAS)}$ máx. $\geqslant$ $t_{d(RAS-CAS)}$ e $t_{d(RASL-CA)}$ máx. $\leqslant$ $t_{d(RASL-CAS)}$.
4) Assume-se que $t_{d(RAS-CAS)}$ $\leqslant$ $t_{d(RAS-CAS)}$ máx. e $t_{d(RASL-CA)}$ $\leqslant$ $t_{d(RASL-CA)}$ máx.
5) Assume-se que $t_{d(RAS-CAS)}$ − $t_{d(RASL-CA)}$ $\leqslant$ $t_{a(CA)}$ máx. − $t_{a(CAS)}$ máx. e $t_{d(RAS-CAS)}$ $\geqslant$ $t_{d(RAS-CAS)}$ máx.
6) Assume-se que $t_{w(CASH)}$ $\leqslant$ $t_{w(CASH)}$ máx. e $t_{su(CA-CASL)}$ $\geqslant$ $t_{su(CA-CASL)}$ máx.
7) $t_{dis(CAS)}$ máx. define o tempo no qual a saída atinge o estado de alta impedância ($I_o \leqslant |10\ \mu A|$) e não está referenciado a V_{oh} mín. ou V_{ol} máx.
8) $t_{THL} = t_{TLH} = 5$ ns.
9) V_{ih} mín. e V_{il} máx. são níveis de referência para medida dos tempos dos sinais de entrada.
10) $t_{d(RAS-CAS)}$ máx. é especificado apenas como ponto de referência.
    Se $t_{d(RAS-CAS)} < t_{d(RAS-CAS)}$ máx. o tempo de acesso é $t_{a(RAS)}$. Se $t_{d(RAS-CAS)} > t_{d(RAS-CAS)}$ máx. o tempo de acesso é definido como sendo $t_{a(CAS)}$ e $t_{a(CA)}$ como descrito nas observações 3 e 5.
11) $t_{d(CAS-RAS)}$ é aplicável a todos ciclos $\overline{RAS}$/$\overline{CAS}$.
12) $t_{w(CASH)}$ mín. é especificado como $t_{w(CASH)}$ mín. = $t_{d(RAS-CAS)}$ mín. + $t_{d(CAS-RAS)}$ mín. − t_{THL} exceto para $t_{w(CASH)}$ do ciclo do modo paginado rápido.
13) $t_{d(RASL-CA)}$ está especificado apenas como ponto de referência. Se $t_{d(RASL-CA)} \geqslant t_{d(RASL-CA)}$ máx. para o ciclo de leitura o tempo de acesso máximo é assumido por $t_{a(CA)}$.
14) $t_{su(CA-CASL)}$ máx. está especificado apenas como ponto de referência de tempo de acesso de endereço.
15) t_{THL} e t_{TLH} são medidos entre V_{ih} mín. e V_{il} máx.

CARACTERÍSTICAS DC — (T_A = 0°C a 70°C, V_{CC} = 5V ± 10%, V_{SS} = 0V)[1]

SÍMBOLO	PARÂMETRO		LIMITES				CONDIÇÕES DE TESTE
			MÍN.	TÍP.	MÁX.		
V_{oh}	Tensão de saída - nível alto		2,4		V_{cc}	V	I_{oh} = − 5mA
V_{ol}	Tensão de saída - nível baixo		0		0,4	V	I_{ol} = 4,2 mA
I_i	Corrente de entrada		− 10		10	µA	0V ⩽ V_i ⩽ 6,5V. Demais entradas = 0V
I_{oz}	Corrente de saída em tristate		− 10		10	µA	0V ⩽ V_O ⩽ 5,5V. Saída flutuando.
I_{cc1}	Corrente média de operação[2][3]	ICM 41000A-8			70	mA	$\overline{RAS}$, $\overline{CAS}$ = Ciclando
		ICM 41000A-10			60		$t_{c(R)}$ = $t_{c(W)}$ = mín.
		ICM 41000A-12			50		Saída em aberto.
I_{cc2}	Corrente de alimentação em standby				2	mA	$\overline{RAS}$=$\overline{CAS}$ = V_{IH}. Saída em aberto.
					0,5	mA	$\overline{RAS}$=$\overline{CAS}$ ⩾ V_{cc} −0,5. Saída em aberto.
I_{cc3}	Corrente média de alimentação em refresh[2]	ICM 41000A-8			70	mA	$\overline{RAS}$ = alternando, $\overline{CAS}$ = V_{ih}, $t_{c(R)}$ = mín. Saída em aberto.
		ICM 41000A-10			60		
		ICM 41000A-12			50		
I_{cc4}	Corrente média do modo paginado rápido[2][3]	ICM 41000A-8			60	mA	$\overline{RAS}$ = V_{IL}, $\overline{CAS}$ = alternando $t_{c(PG)}$ = mín. Saída em aberto.
		ICM 41000A-10			50		
		ICM 41000A-12			40		
I_{cc5}	Corrente média de alimentação durante o refresh $\overline{RAS}$ após $\overline{CAS}$[2]	ICM 41000A-8			70	mA	Refresh $\overline{RAS}$ após $\overline{CAS}$ alternando. $t_{c(R)}$ = mín. Saída em aberto.
		ICM 41000A-10			60		
		ICM 41000A-12			50		

OBSERVAÇÕES:

1) A corrente entrando no circuito integrado é positiva, saindo é negativa.
2) I_{cc1}, I_{cc3}, I_{cc4} e I_{cc5} dependem da freqüência. A corrente máxima é medida na freqüência do ciclo mais rápido.
3) I_{cc1} e I_{cc4} dependem da carga na saída. Os valores especificados são obtidos com as saídas abertas.

CARACTERÍSTICAS AC — (T_a = 0°C a 70°C, V_{cc} = 5V ± 10%, V_{ss} = 0V)

LEITURA E REFRESH

SÍMBOLO	PARÂMETRO	ICM 41000A-8		ICM 41000A-10		ICM 41000A-12		UNIDADE
		MÍN.	MÁX.	MÍN.	MÁX.	MÍN.	MÁX.	
$t_{c(R)}$	Tempo do ciclo de leitura	160		190		220		ns
$t_{w(RASL)}$	Largura do pulso $\overline{RAS}$-nível baixo	80	10000	100	10000	120	10000	ns
$T_{w(CASL)}$	Largura do pulso $\overline{CAS}$-nível baixo	20	10000	25	10000	30	10000	ns
$t_{h(RAS-CAS)}$	Tempo de hold $\overline{CAS}$ após $\overline{RAS}$ baixo	80		100		120		ns
$t_{h(CAs-RAS)}$	Tempo de hold $\overline{RAS}$ após $\overline{CAS}$ baixo	20		25		30		ns
$t_{su(R-CAS)}$	Tempo de set up do comando de leitura antes de $\overline{CAS}$ baixo	0		0		0		ns
$t_{h(CAS-R)}$	Tempo de hold do comando de leitura após $\overline{CAS}$ alto[1]	0		0		0		ns
$t_{h(RAS-R)}$	Tempo de hold do comando de leitura após $\overline{RAS}$ alto[1]	10		10		10		ns
$t_{su(CA-RAS)}$	Tempo de set up de endereço de coluna para $\overline{RAS}$	40		50		60		ns
t_{cpr}	Tempo de pré-carga para $\overline{CAS}$	0		0		0		ns

ESCRITA

SÍMBOLO	PARÂMETRO	ICM 41000A-8		ICM 41000A-10		ICM 41000A-12		UNIDADE
		MÍN.	MÁX.	MÍN.	MÁX.	MÍN.	MÁX.	
$t_{c(W)}$	Tempo do ciclo de escrita	160		190		220		ns
$t_{w(RASL)}$	Largura do pulso $\overline{RAS}$-nível baixo	80	10000	100	10000	120	10000	ns
$t_{w(CASL)}$	Largura do pulso $\overline{CAS}$-nível baixo	20	10000	25	10000	30	10000	ns
$t_{h(RAS-CAS)}$	Tempo de hold de $\overline{CAS}$ após o comando de $\overline{RAS}$ baixo	80		100		120		ns
$t_{h(CAS-RAS)}$	Tempo de hold de $\overline{RAS}$ após o comando de $\overline{CAS}$ baixo	20		25		30		ns
$t_{su(W-CAS)}$	Tempo de set up do comando de escrita antes de $\overline{CAS}$ baixo[4]	0		0		0		ns
$t_{h(CAS-W)}$	Tempo de hold do comando de escrita após $\overline{CAS}$ baixo	15		20		25		ns
$t_{w(W)}$	Largura do pulso de escrita	15		20		25		ns
$t_{su(D)}$	Tempo de set up da entrada de dados	0		0		0		ns
$t_{h(CAS-D)}$	Tempo de hold da entrada de dados após $\overline{CAS}$ baixo	15		20		25		ns

LEITURA — ESCRITA / LEITURA - MODIFICAÇÃO - ESCRITA

SÍMBOLO	PARÂMETRO	ICM 41000A-8		ICM 41000A-10		ICM 41000A-12		UNIDADE
		MÍN.	MÁX.	MÍN.	MÁX.	MÍN.	MÁX.	
$t_{c(RW)}$	Tempo do ciclo de leitura-escrita[2]	185		220		255		ns
$t_{c(RMW)}$	Tempo do ciclo de leitura-modificação-escrita[3]	185		220		255		ns
$T_{w(RASL)}$	Largura do pulso $\overline{RAS}$-nível baixo	105	10000	130	10000	155	10000	ns
$t_{w(CASL)}$	Largura do pulso $\overline{CAS}$-nível baixo	45	10000	55	10000	65	10000	ns
$t_{h(RAS-CAS)}$	Tempo de hold de $\overline{CAS}$ após $\overline{RAS}$ baixo	105		130		155		ns
$t_{h(CAS-RAS)}$	Tempo de hold de $\overline{RAS}$ após $\overline{CAS}$ baixo	45		55		65		ns
$t_{su(R-CAS)}$	Tempo de set up do comando de leitura antes de $\overline{CAS}$ baixo	0		0		0		ns
$t_{d(CASL-W)}$	Tempo de atraso do comando de escrita em relação a $\overline{CAS}$ baixo[4]	20		25		30		ns
$t_{d(RASL-W)}$	Tempo de atraso do comando de escrita em relação a $\overline{RAS}$ baixo[4]	80		100		120		ns
$t_{h(W-CAS)}$	Tempo de hold $\overline{CAS}$ após o comando de escrita baixo	20		25		30		ns
$t_{h(W-RAS)}$	Tempo de hold $\overline{RAS}$ após o comando de escrita baixo	20		25		30		ns
$t_{W(W)}$	Largura do pulso de escrita	15		20		25		ns
$t_{su(D)}$	Tempo de set up de dados	0		0		0		ns
$t_{h(W-D)}$	Tempo de hold da entrada de dados após o comando de escrita baixo	15		20		25		ns
$t_{d(A-W)}$	Tempo de atraso do comando de escrita em relação ao endereço[4]	40		50		60		ns

MODO PAGINADO RÁPIDO (LEITURA, ESCRITA ANTECIPADA, LEITURA-ESCRITA, LEITURA-MODIFICAÇÃO-ESCRITA)

SÍMBOLO	PARÂMETRO	ICM 41000A-8		ICM 41000A-10		ICM 41000A-12		UNIDADE
		MÍN.	MÁX.	MÍN.	MÁX.	MÍN.	MÁX.	
$t_{c(PG)}$	Tempo do ciclo modo paginado	50		60		70		ns
$t_{c(PGRMW)}$	Tempo do ciclo R/W, R/M/W, no modo paginado rápido	75		90		100		ns
$t_{w(RASL)}$	Largura do pulso $\overline{RAS}$ baixo para leitura e escrita	130	100000	160	100000	185	100000	ns
$t_{w(CASL)}$	Largura do pulso $\overline{CAS}$ baixo para leitura	20	10000	25	10000	30	10000	ns
$t_{w(CASH)}$	Largura do pulso $\overline{CAS}$-nível alto[5]	10	25	10	25	15	30	ns
$t_{h(CAS-RAS)}$	Tempo de hold de $\overline{RAS}$ após $\overline{CAS}$ baixo	20		25		30		ns

REFRESH $\overline{RAS}$ APÓS $\overline{CAS}$ (6)

SÍMBOLO	PARÂMETRO	ICM 41000A-8		ICM 41000A-10		ICM 41000A-12		UNIDADE
		MÍN.	MÁX.	MÍN.	MÁX.	MÍN.	MÁX.	
$t_{sur(CAS)}$	Tempo de set up de $\overline{CAS}$ para refresh $\overline{RAS}$ após $\overline{CAS}$	10		10		10		ns
$t_{hr(CAS)}$	Tempo de hold de $\overline{CAS}$ para refresh $\overline{RAS}$ após $\overline{CAS}$	15		20		25		ns
$t_{pr(CAS)}$	Tempo de pré-carga para $\overline{CAS}$ ativo	0		0		0		ns

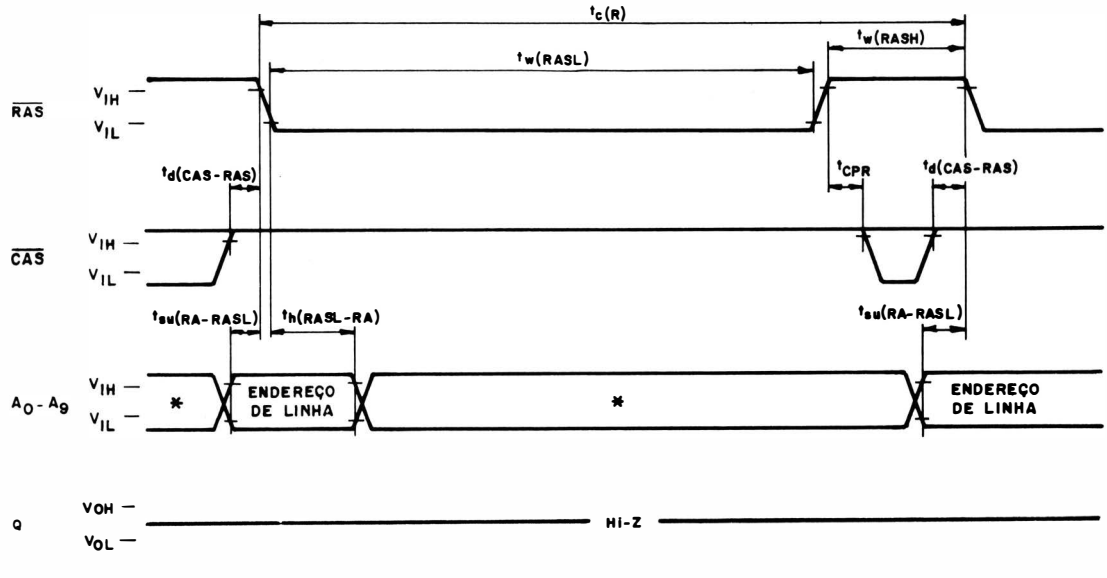
OBSERVAÇÕES:

1) Para um ciclo de leitura devem ser satisfeitos $t_{h(CAS-R)}$ ou $t_{h(RAS-R)}$.
2) $t_{c(RW)}$ é especificado como $t_{c(RW)}$ mín = $t_{d(RAS-CAS)}$ máx. + $t_{d(CASL-W)}$ mín + $t_{h(W-RAS)}$ mín + $t_{w(RASH)}$ mín + $3t_{THL}$.
3) $t_{c(RMW)}$ é especificado como $t_{c(RMW)}$ mín = $t_{a(RAS)}$ máx + $t_{h(W-RAS)}$ mín + $t_{w(RASH)}$ mín + 3 t_{THL}.
4) $t_{su(W-CAS)}$, $t_{d(RASL-W)}$, $t_{d(CASL-W)}$ e $t_{d(A-W)}$ não definem os limites de operação, mas estão incluídos apenas como características elétricas. Quando $t_{su(W-CAS)} \geqslant t_{su(W-CAS)}$ mín um ciclo de escrita antecipada é executado e a saída de dados se mantém em estado de alta impedância. Quando $t_{d(RASL-W)} \geqslant t_{d(RASL-W)}$ mín, $t_{d(CASL-W)} \geqslant t_{d(CASL-W)}$ mín e $t_{d(A-W)} \geqslant t_{d(A-W)}$ mín, um ciclo de leitura-escrita é executado, e o dado do endereço selecionado será lido na saída de dados. Se nenhuma das condições acima for satisfeita, a condição de Q (no tempo de acesso e até $\overline{CAS}$ retornar a V_{ih}) é indeterminada.
5) $t_{c(PG)}$ máx. é especificado apenas como ponto de referência. Se $t_{c(PG)}$ máx $\leqslant t_{c(PG)}$, o tempo de acesso é assumido por $t_{a(CAS)}$.
6) São necessários 8 ou mais ciclos $\overline{RAS}$ após $\overline{CAS}$ para a operação adequada do refresh $\overline{RAS}$ após $\overline{CAS}$.

CAPACITÂNCIA — (T_a = 0°C a 70°C, V_{cc} = 5V ± 10%, V_{ss} = 0V)

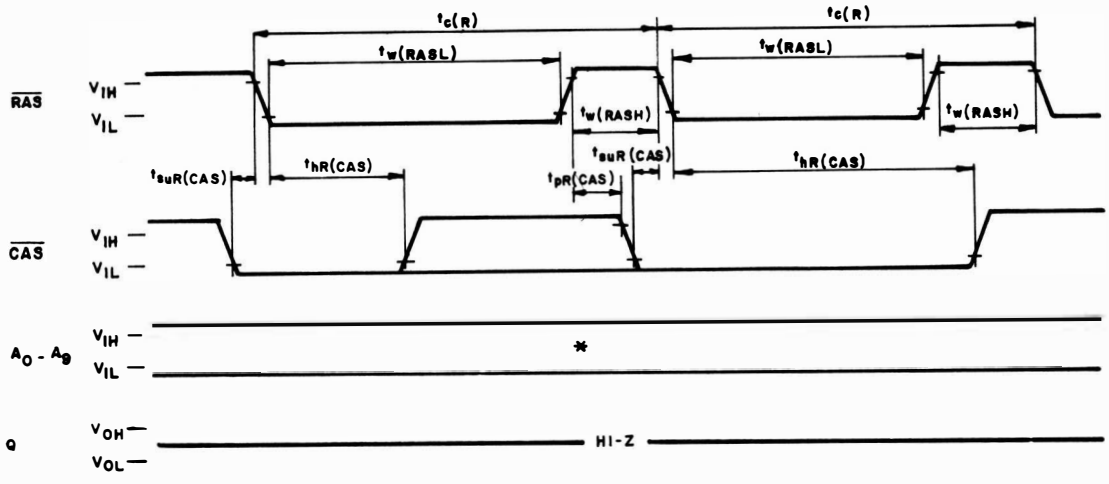
SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TÍP.	MÁX.		
$C_{i(A)}$	Capacitância de entrada-endereços			5	pF	$V_i = V_{ss}$ f = 1 Mhz V_i = 25mVrms
$C_{i(D)}$	Capacitância de entrada-dados			5	pF	
$C_{i(W)}$	Capacitância de entrada-R/$\overline{W}$			7	pF	
$C_{i(RAS)}$	Capacitância de entrada-$\overline{RAS}$			7	pF	
$C_{i(CAS)}$	Capacitância de entrada-$\overline{CAS}$			7	pF	
C_o	Capacitância de saída			7	pF	$V_o = V_{ss}$, f = 1 Mhz, V_i = 25mVrms

TEMPOS — CICLO DE REFRESH DE APENAS $\overline{RAS}$



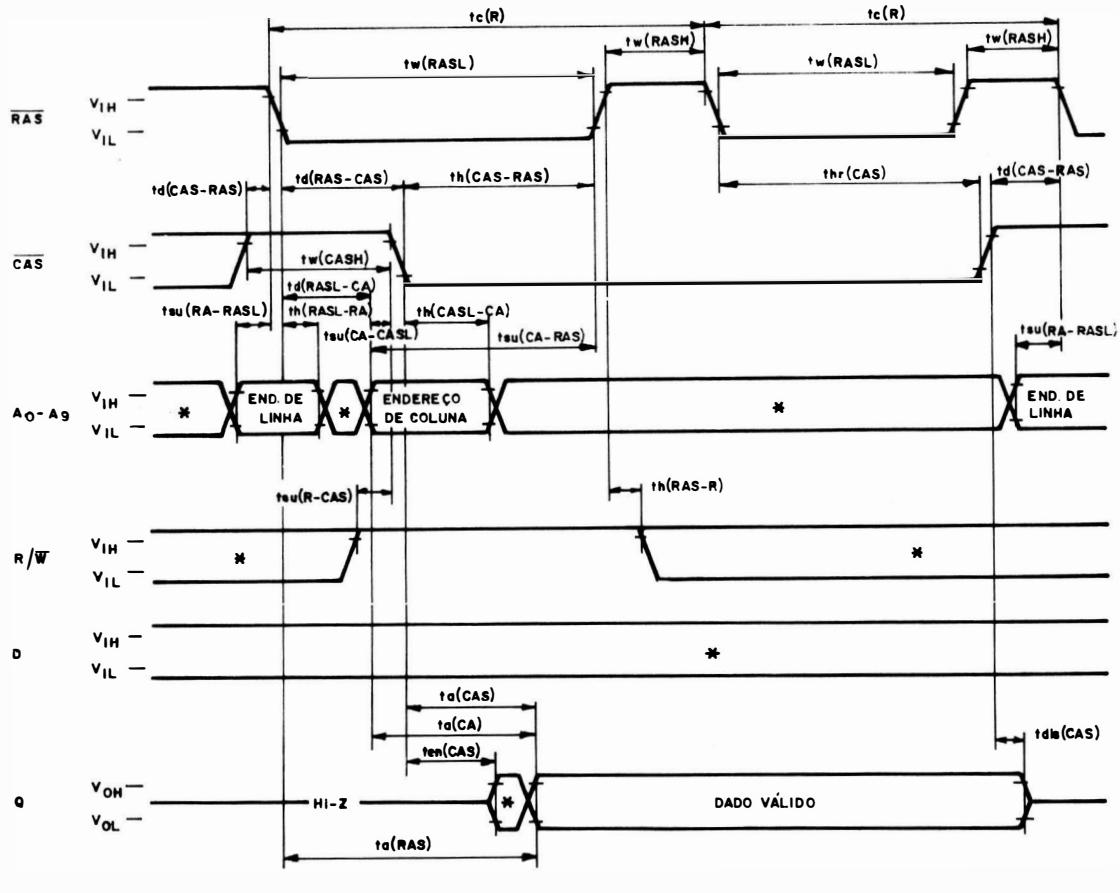
OBSERVAÇÕES:
R/$\overline{W}$, D = irrelevante
A_g pode ser V_{IH} ou V_{IL}
* = irrelevante

TEMPOS – CICLO DE REFRESH DE $\overline{RAS}$ APÓS $\overline{CAS}$



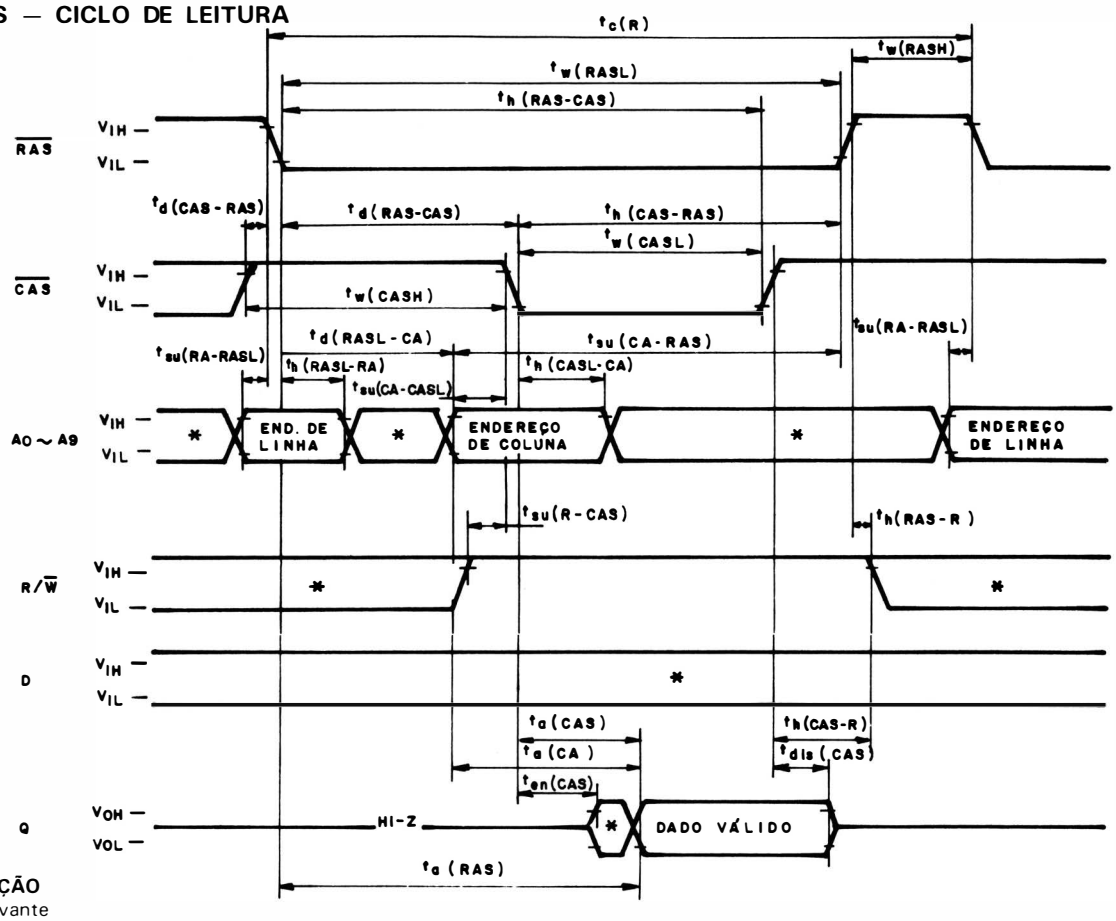
OBSERVAÇÕES:
R/$\overline{W}$, D = irrelevante
* = irrelevante

TEMPOS – CICLO DE REFRESH OCULTO



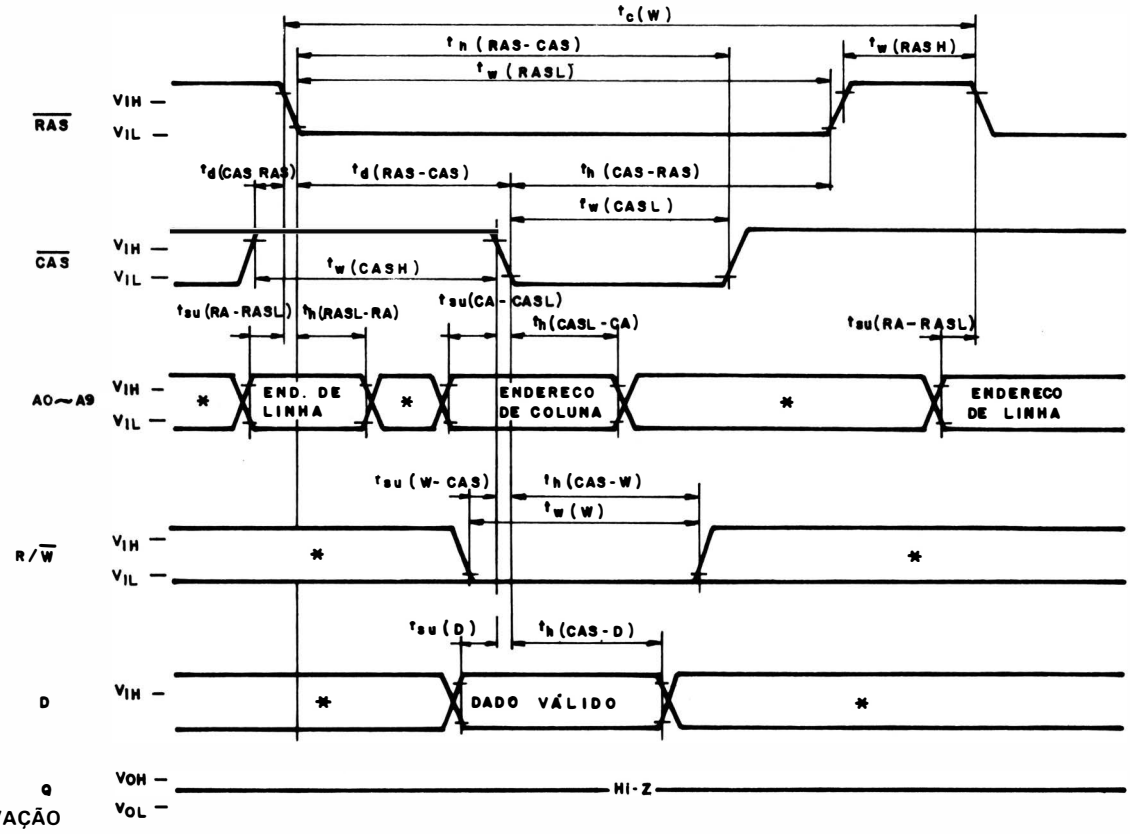
OBSERVAÇÃO
* = Irrelevante

TEMPOS — CICLO DE LEITURA



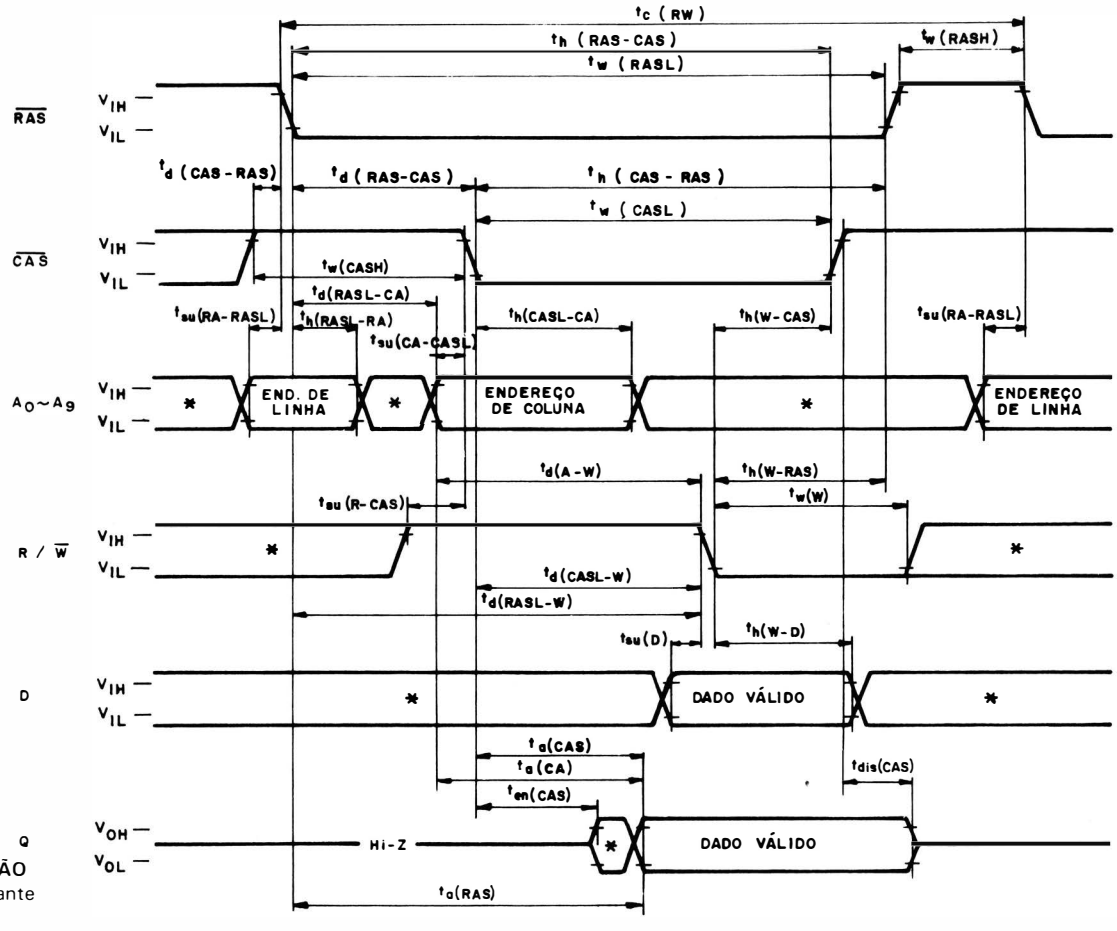
OBSERVAÇÃO
* = Irrelevante

TEMPOS — CICLO DE ESCRITA (ESCRITA ANTECIPADA)



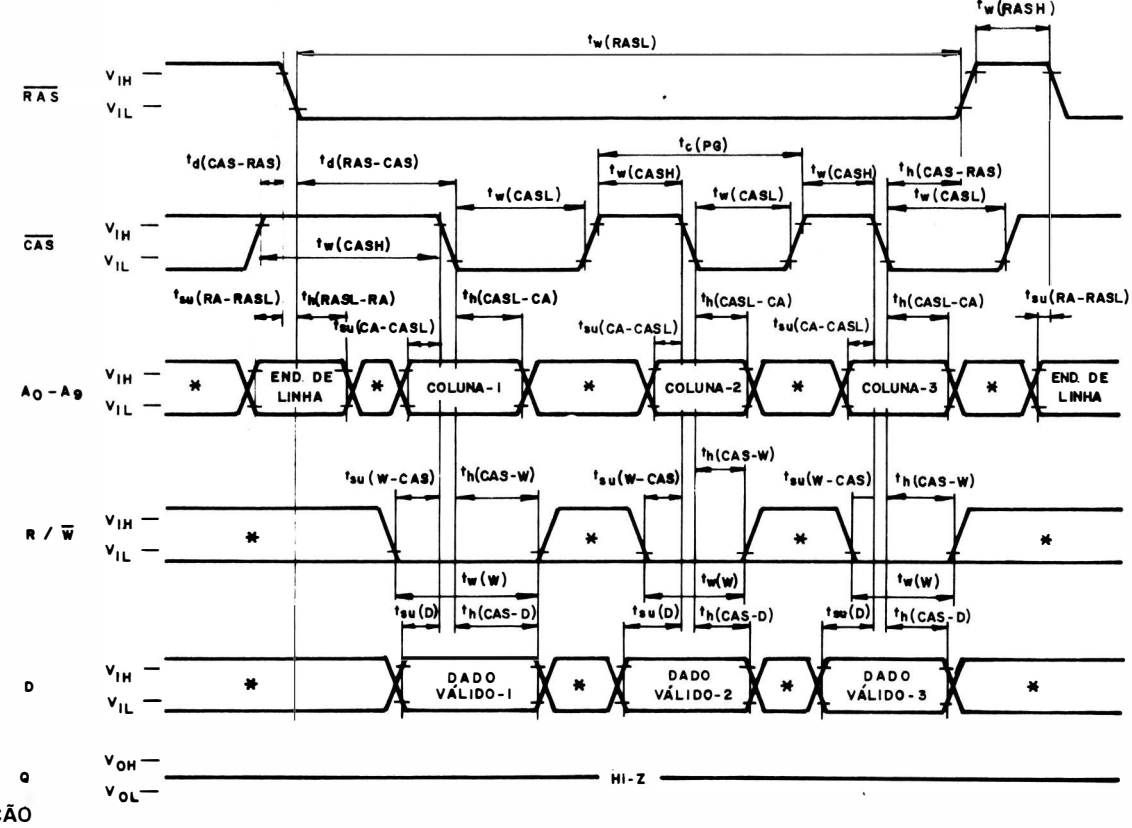
OBSERVAÇÃO
* = Irrelevante

TEMPOS — CICLO DE LEITURA-ESCRITA / LEITURA-MODIFICAÇÃO-ESCRITA



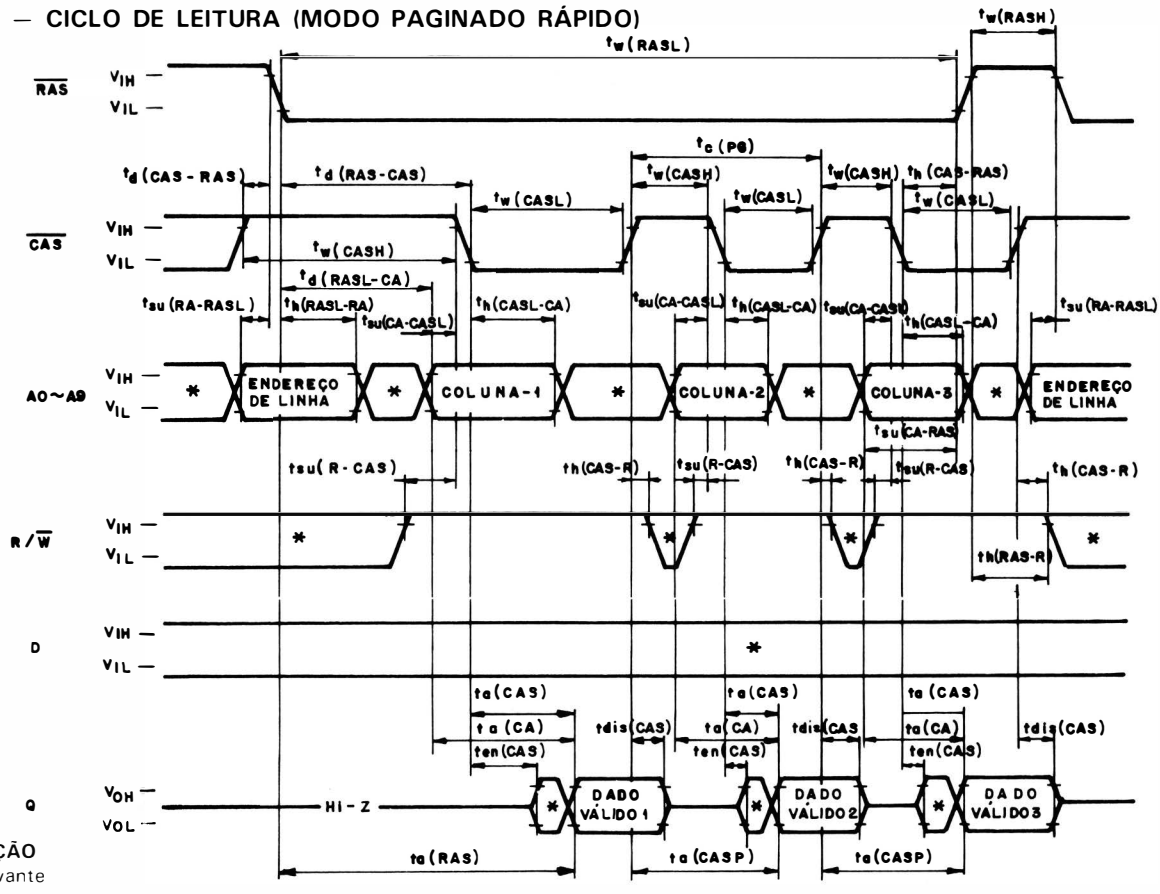
OBSERVAÇÃO
* = Irrelevante

TEMPOS — CICLO DE ESCRITA ANTECIPADA (MODO PAGINADO RÁPIDO)



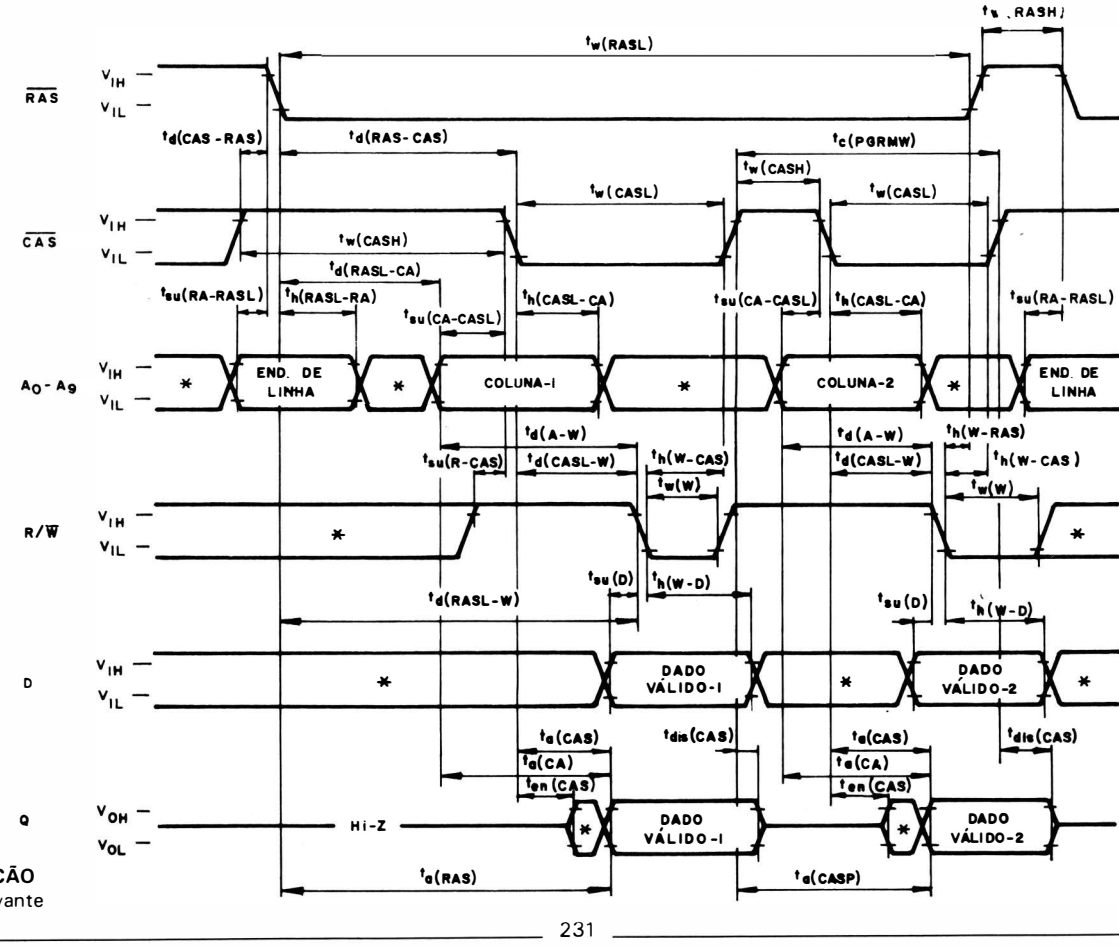
OBSERVAÇÃO
* = Irrelevante

TEMPOS — CICLO DE LEITURA (MODO PAGINADO RÁPIDO)



OBSERVAÇÃO
* = Irrelevante

TEMPOS — CICLO DE LEITURA-ESCRITA / LEITURA-MODIFICAÇÃO-ESCRITA (MODO PAGINADO RÁPIDO)



OBSERVAÇÃO
* = Irrelevante

ICM 41000B-12

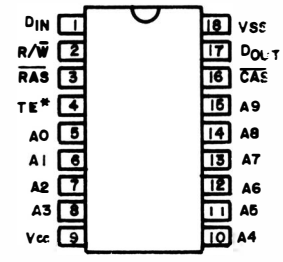
RAM DINÂMICA DE 1M

PRELIMINAR

Características:

- ☐ Tempo de acesso de 120 ns;
- ☐ 512 ciclos de refresh a cada 8 ms;
- ☐ Possibilidade de refresh:
  * Apenas em $\overline{RAS}$.
  * $\overline{CAS}$ antes de $\overline{RAS}$.
  * "Hidden".
- ☐ Recursos de "read-modify-write", "fast page", "early write" e "delayed write";
- ☐ Alimentação única de 5V ± 10%.

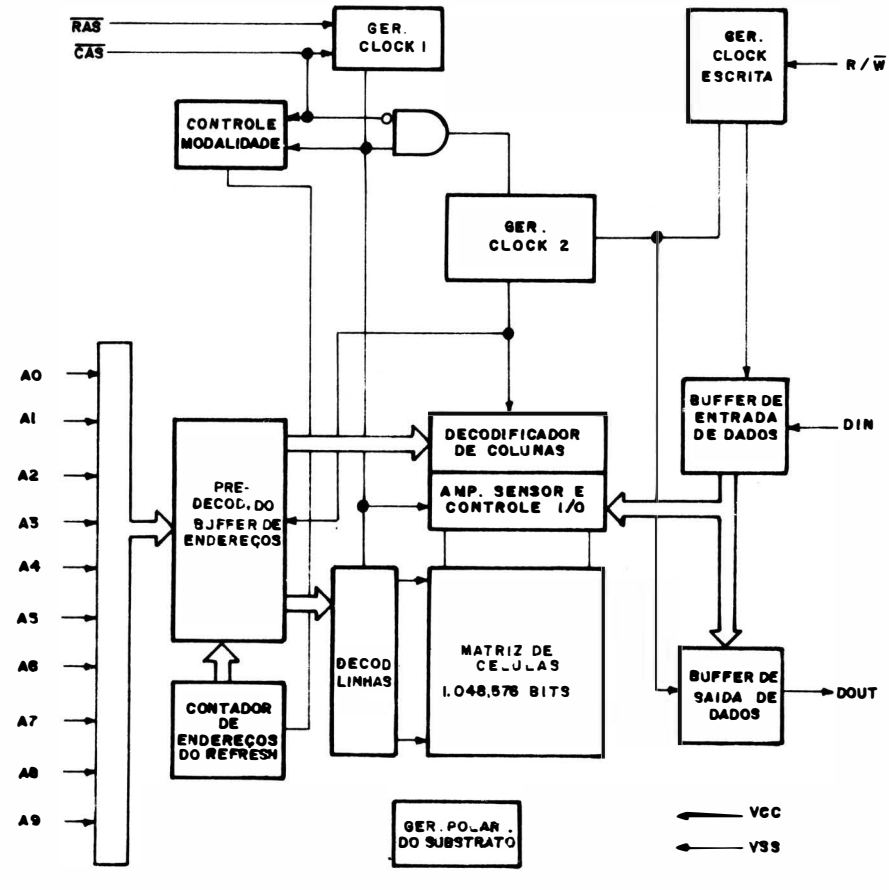
PINAGEM



Descrição Geral:

A ICM 41000B-12 é uma RAM dinâmica, organizada em 1.048.576 palavras de 1 bit. Foi projetada visando memórias para computadores de grande porte e memórias de vídeo, que exigem alta velocidade e grande capacidade de armazenagem, e também memórias para computadores portáteis, que pedem um baixo consumo de potência (que atinge o máximo de 275 mW no estado ativo). Ela prevê três diferentes modalidades de refresh, além de outros recursos.

DIAGRAMA DE BLOCOS

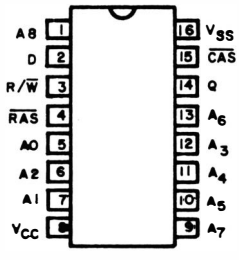


ICM 41256A

Características

- ☐ Organização: 262.144 × 1.
- ☐ Baixa dissipação de potência:
  Estado ativo — ICM 41256A-8 — 385 mW (máx.)
  ICM 41256A-10 — 360 mW (máx.)
  ICM 41256A-12 — 330 mW (máx.)
  ICM 41256A-15 — 305 mW (máx.)
  Em standby — 25 mW (máx.)
- ☐ Alimentação única 5 V (± 10%);
- ☐ Todas as entradas compatíveis com os dispositivos TTL e baixa carga capacitiva;
- ☐ Saída tri-state compatível com os dispositivos TTL;
- ☐ Capacidade de E/S comum através da operação de escrita antecipada;
- ☐ Capacidade de modo paginado;
- ☐ Refresh de $\overline{RAS}$ após $\overline{CAS}$;
- ☐ Refresh de apenas $\overline{RAS}$;
- ☐ Ciclo de refresh: 4 ms.

PINAGEM



SIMBOLOGIA IEC

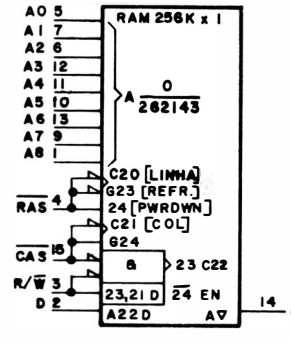
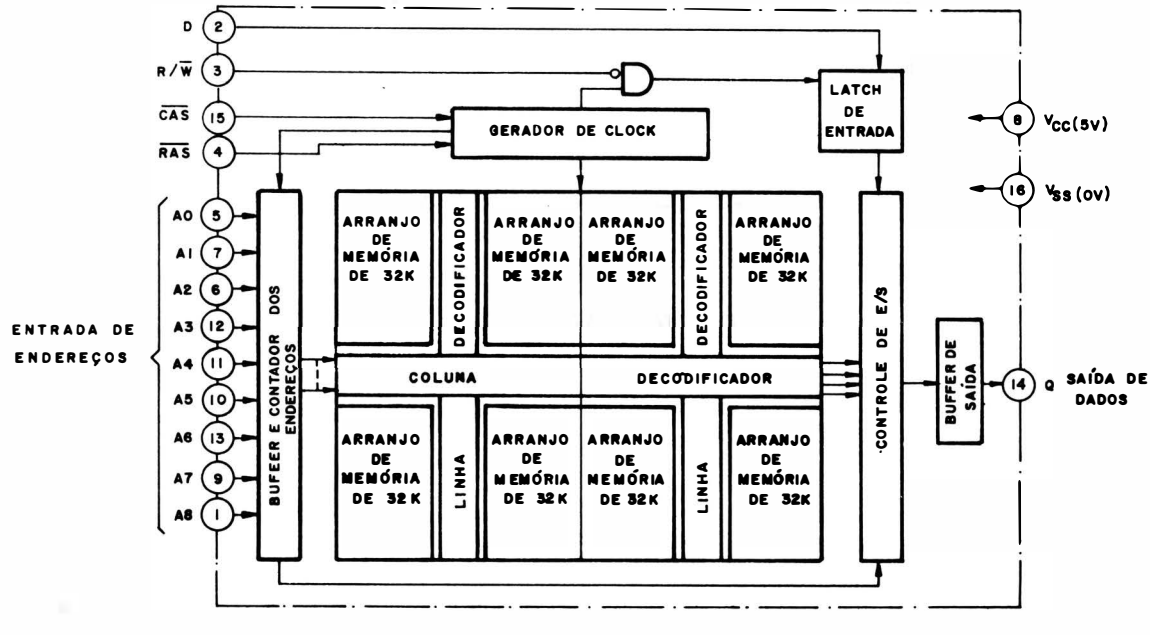


DIAGRAMA DE BLOCOS



TEMPOS DE ACESSO

CÓDIGO	T_A(ns) (MÁX.)	CICLO (ns) (MÍN.)	DISSIPAÇÃO DE POTÊNCIA (TÍP.) (mW)
ICM 41256A-8	85	160	300
ICM 41256A-10	100	190	260
ICM 41256A-12	120	220	230
ICM 41256A-15	150	260	200

NOMENCLATURA DOS PINOS

A0-A8	Endereços	$\overline{RAS}$	Strobe do endereço de linhas
R/$\overline{W}$	Leitura/Escrita	$\overline{CAS}$	Strobe do endereço de colunas
D	Entrada de dados	V_{CC}	Alimentação (5 V)
Q	Saída de dados	V_{SS}	Alimentação (0 V)

Descrição Geral

A memória ICM 41256A (N-MOS Silicon Gate) é uma RAM dinâmica organizada em 262.144 palavras de um bit. O projeto é otimizado para garantir alta velocidade e alto desempenho em aplicações do tipo: memória para buffers, memórias de mainframes, memórias de armazenamento para periféricos e em situações onde a baixa dissipação de potência e o espaço reduzido sejam requisitos básicos.

A memória ICM 41256A dispõe da característica modo paginado que permite alta velocidade de acesso. Além disso, a ICM 41256A dispõe de aprimoramentos funcionais que a tornam muito mais versátil que as demais RAM's existentes. As entradas de endereçamento multiplexadas para linha e coluna permitem o encapsulamento em apenas 16 pinos (PDIP).

Os requisitos de temporização da ICM 41256A não são críticos e sua tolerância quanto a variações na tensão de alimentação é grande. Todas as suas entradas e saídas são compatíveis com as dos dispositivos TTL.

Descrição Funcional

Endereçamento (A_0-A_8) — São necessárias 18 entradas binárias para os bits de endereçamento. Estes bits decodificam qualquer uma das 262.144 células da ICM 41256A. Nove bits de endereçamento de linha devem estar presentes nos pinos de entrada A_0 a A_8 sendo registrados através do sinal Row Address Strobe ($\overline{RAS}$). Os nove bits de endereçamento das colunas devem também ser colocados nestes pinos de entrada para serem registrados pelo sinal Column Address Strobe ($\overline{CAS}$).

A seleção dos sinais $\overline{RAS}$ e $\overline{CAS}$ pode ser feita pelos dois métodos seguintes:

1) O tempo de atraso $\overline{RAS}$ e $\overline{CAS}$, $t_{d(RAS\text{-}CAS)}$, é ajustado com valores entre os limites mínimo e máximo. Neste caso, os sinais internos de controle do $\overline{CAS}$ são inibidos até quase $t_{d(RAS\text{-}CAS)\ MAX.}$ (operação gated $\overline{CAS}$).
   O sinal externo $\overline{CAS}$ pode ser aplicado com uma margem, não afetando as operações do circuito do chip, por exemplo o tempo de acesso, e as entradas de endereço podem ser facilmente trocadas de endereço de linha para endereço de coluna.
2) O tempo de atraso $t_{d(RAS\text{-}CAS)}$ é ajustado com um valor maior que o limite máximo. Neste caso a inibição interna do $\overline{CAS}$ já terá sido liberada, assim, os sinais de controle interno do $\overline{CAS}$ são controlados por um sinal de $\overline{CAS}$ aplicado externamente, o qual controla também o tempo de acesso.

Entrada de Dados (D) — Os dados são escritos na ICM 41256A durante o ciclo de escrita ou de leitura/escrita. A última borda de descida de um dos sinais R/$\overline{W}$ ou $\overline{CAS}$ representa o strobe para o registro de entrada de dados (D). Esta operação pode ocorrer:

— Num ciclo de escrita antecipada, se R/$\overline{W}$ descer antes de $\overline{CAS}$. Assim os tempos de set up e hold referem-se ao sinal $\overline{CAS}$.

— Num ciclo de leitura/escrita ou leitura-modificação-escrita, se R/$\overline{W}$ descer após o $\overline{CAS}$. O strobe é dado por R/$\overline{W}$ e os tempos de set up e hold referem-se a R/$\overline{W}$.

Controle da Saída de Dados — A saída da ICM 41256A está num estado de alta impedância quando $\overline{CAS}$ está em nível alto. Quando o ciclo de memória em andamento é uma leitura, leitura-modificação-escrita ou um ciclo de escrita atrasada, a saída de dados irá de um estado em alta impedância para uma condição ativa, e o dado na célula selecionada será lido. Esta saída de dados terá a mesma polaridade da entrada de dados. Uma vez a saída de dados estando na condição ativa, esta condição será mantida até $\overline{CAS}$ ir para nível alto, independente da condição de $\overline{RAS}$.

A saída permanecerá num estado de alta impedância durante um ciclo de escrita antecipada. Estas condições de saída da ICM 41256A, que podem prontamente ser trocadas pela mudança no instante da ativação do controle de tempo do pulso de escrita num ciclo de escrita e da largura do pulso de $\overline{CAS}$ no ciclo de leitura, oferecem capacidades para um grande número de aplicações, dentre as quais:

1) Operação de E/S comum

Se todas as operações de escrita forem efetuadas no modo de escrita antecipada, as entradas e saídas poderão ser diretamente conectadas para se obter um bus de dados de E/S comum.

2) Hold na saída de dados

A saída de dados pode ser mantida entre os ciclos de leitura sem o aumento do tempo do ciclo. Isto permite uma extrema flexibilidade no ajuste do tempo de clock para $\overline{RAS}$ e $\overline{CAS}$.

3) Dois métodos de seleção do chip

Como as saídas são desprovidas de registradores, o sinal $\overline{CAS}$ não é necessário para manter as saídas dos chips selecionados na matriz em estado de alta impedância. Isto significa que $\overline{CAS}$ e/ou $\overline{RAS}$ podem ser decodificados para a seleção do chip.

4) Extensão de limite da página

Pela decodificação de $\overline{CAS}$, o limite de página pode ser extendido além das 512 colunas localizadas num único chip. Neste caso, $\overline{CAS}$ tem que ser aplicado em todos os dispositivos.

Modo Paginado — A operação em modo paginado permite a alteração de sucessivos endereços de coluna mantendo-se o mesmo endereço de linha, eliminando-se assim a potência dissipada pela borda de descida do sinal $\overline{RAS}$. Os tempos de acesso e ciclo são diminuídos devido à eliminação do tempo normalmente consumido para dar um strobe a um novo endereço de linha.

Refresh — Cada uma das 256 linhas (A_0 a A_7) da ICM 41256A deve sofrer um refresh a cada 4 ms para que o dado se mantenha. Os métodos de refresh para a ICM 41256A são os seguintes:

1) Refresh Normal — No ciclo de leitura e ciclo de escrita (escrita antecipada, escrita atrasada ou leitura-modificação-escrita) o refresh é feito na linha selecionada pelo endereço de ordem mais baixa ($\overline{RAS}$). Em qualquer ciclo de escrita, pode-se naturalmente mudar o estado da célula selecionada. O uso de um ciclo de leitura, escrita ou leitura-modificação-escrita para refresh, não é recomendado para sistemas que utilizam saídas wired-or, já que ocorrerá disputa pelo bus de saída.

2) Refresh de apenas $\overline{RAS}$ — Neste método de refresh, $\overline{CAS}$ deve permanecer em nível alto e o sistema deve efetuar um ciclo de $\overline{RAS}$ em todas as 256 linhas de endereço a cada 4 ms.
Os endereços de linha sequenciais provenientes de um contador externo são introduzidos no registrador através do pulso $\overline{RAS}$ causando o refresh das posições das linhas internas associadas.
O ciclo de refresh de apenas $\overline{RAS}$ mantém a saída em estado de alta impedância e resulta numa redução substancial da potência consumida.

3) Refresh de $\overline{RAS}$ após $\overline{CAS}$ — Se $\overline{CAS}$ descer por um tempo $t_{sur(CAS\text{-}RAS)}$ antes que $\overline{RAS}$ e se $\overline{CAS}$ for mantido baixo por um tempo $t_{hr(RAS\text{-}CAS)}$ após $\overline{RAS}$ descer, o refresh de $\overline{RAS}$ após $\overline{CAS}$ é iniciado. O endereço externo é ignorado e o endereço do refresh é gerado por um contador interno de 8 bits, sendo colocado o endereço no buffer para o refresh da linha correspondente. A saída será mantida num estado de alta impedância.

Se $\overline{CAS}$ for mantido em nível baixo após a operação descrita anteriormente, o ciclo $\overline{RAS}$ inicia o refresh de apenas $\overline{RAS}$ com geração interna do endereço do refresh (refresh automático). A saída ainda será mantida num estado de alta impedância.
O $\overline{RAS}$ estando em nível alto e logo após passando a nível baixo, enquanto $\overline{CAS}$ permanecer em nível alto, é iniciado o refresh de apenas $\overline{RAS}$ usando-se um endereço externo.
Se $\overline{CAS}$ for mantido em nível baixo após o ciclo normal de leitura/escrita, o ciclo $\overline{RAS}$ inicia a operação refresh de apenas $\overline{RAS}$ usando um endereço interno de refresh e especialmente após o ciclo normal de leitura, isto torna-se um refresh oculto com endereço interno. A saída estará disponível até que $\overline{CAS}$ seja levado para um nível alto.

4) Refresh Oculto — O refresh oculto consiste em se manter o último dado válido na saída, mantendo o sinal $\overline{CAS}$ ativo após um ciclo de leitura.
O refresh oculto é executado mantendo $\overline{CAS}$ em V_{IL}, levando $\overline{RAS}$ para um nível alto e após um período de pré-carga especificado executar um ciclo de $\overline{RAS}$, mas com $\overline{CAS}$ em nível baixo.
A vantagem deste modo de refresh é que o dado pode ser mantido válido no port de saída de dados indefinidamente com o $\overline{CAS}$ ativado. Em muitas aplicações isto elimina a necessidade de latches externos à ICM 41256A.

Dissipação de Potência

A maioria dos circuitos na ICM 41256A são dinâmicos e a maior parte da potência é dissipada durante o endereçamento.
Ambos os sinais $\overline{RAS}$ e o $\overline{CAS}$ podem ser decodificados e aplicados na ICM 41256A como um chip-select no sistema de memória, mas, se o $\overline{RAS}$ for decodificado, todos os dispositivos não selecionados vão para o estado de standby, independentemente da condição do $\overline{CAS}$, minimizando a dissipação de potência do sistema.

Alimentação da ICM 41256A

A ICM 41256A opera com uma fonte única de 5V. É necessário um atraso de 500 μs e oito ou mais ciclos de $\overline{RAS}$ logo após a alimentação do dispositivo antes de ser ativada a operação da memória.

VALORES MÁXIMOS ABSOLUTOS

Tensão em qualquer pino em relação a V_{ss}	– 1,0 a 7,0 V
Corrente de saída	50 mA
Dissipação de potência (T_A = 25°C)	1,0 W
Temperatura de armazenamento	– 65°C a 150°C
Temperatura de operação	0°C a 70°C

OBSERVAÇÃO:
Os valores máximos absolutos representam limites acima dos quais a utilização do componente fica comprometida. Os valores de operação devem ser restritos às condições descritas ao longo desta especificação de produto. A ICM 41256A dispõe de circuito de proteção contra altas cargas estáticas, entretanto aconselha-se não expô-la à tensões maiores que as especificadas.

MODOS DE OPERAÇÃO

PINOS / MODO	ENTRADAS				ENDEREÇO DE LINHA	ENDEREÇO DE COLUNA	SAÍDA Q	REFRESH
	$\overline{RAS}$	$\overline{CAS}$	R/$\overline{W}$	D				
LEITURA[1]	L	L	H	X	Aplicada	Aplicada	Válida	Sim
ESCRITA[1]	L	L	L	Válido	Aplicada	Aplicada	Alta imped.	Sim
LEITURA - MODIFICAÇÃO - ESCRITA[1]	L	L	L	Válido	Aplicada	Aplicada	Válida	Sim
REFRESH DE APENAS $\overline{RAS}$	L	H	X	X	Aplicada	X	Alta imped.	Sim
REFRESH OCULTO	L	L	X	X	X	X	Válida	Sim
REFRESH DE $\overline{RAS}$ APÓS $\overline{CAS}$	L	L	X	X	X	X	Alta imped.	Sim
STANDBY	H	X	X	X	X	X	Alta imped.	Não

OBSERVAÇÕES:
1) Modo paginado idêntico exceto que não há refresh. L = nível baixo; H = nível alto; X = irrelevante.

CONDIÇÕES DE OPERAÇÃO RECOMENDADAS — (T_A = 0°C a 70°C)

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	NOM.	MÁX.	
V_{CC}	Tensão de Alimentação	4,5	5	5,5	V
V_{SS}		0	0	0	V
V_{IH}	Tensão de entrada - nível alto (todas as entradas)	2,4		6,5	V
V_{IL}	Tensão de entrada - nível baixo (todas as entradas)	−2		0,8	V

CARACTERÍSTICAS DC — (T_A = 0°C a 70°C, V_{CC} = 5V ± 10%, V_{SS} = 0 V)[3]

SÍMBOLO	PARÂMETRO	ICM 41256A-8		ICM 41256A-10		ICM 41256A-12		ICM 41256A-15		UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	MÁX.	MÍN.	MÁX.	MÍN.	MÁX.	MÍN.	MÁX.		
V_{OH}	Tensão de saída - nível alto	2,4	V_{CC}	2,4	V_{CC}	2,4	V_{CC}	2,4	V_{CC}	V	I_{OH} = 5 mA
V_{OL}	Tensão de saída - nível baixo	0	0,4	0	0,4	0	0,4	0	0,4	V	I_{OL} = 4,2 mA
I_I	Corrente de entrada	−10	10	−10	10	−10	10	−10	10	μA	V_I = 0 V a V_{CC} demais pinos = 0V
I_{OZ}	Corrente de saída em tri-state	−10	10	−10	10	−10	10	−10	10	μA	V_O = 0V a 5,5 V dados desabilitados
I_{CC1}	Corrente média de operação[1] [2]		70		65		60		55	mA	$\overline{RAS}$,$\overline{CAS}$ = Alternando t_{CR} = t_{CW} = Mín.
I_{CC2}	Corrente em standby[2]		4,5		4,5		4,5		4,5	mA	$\overline{RAS}$, $\overline{CAS}$ = V_{IH}
I_{CC3}	Corrente média de refresh[1] [2]		60		55		50		45	mA	$\overline{RAS}$ = Alternando $\overline{CAS}$ = V_{IH} $t_{C(RAS)}$ = Mín
I_{CC4}	Corrente média do modo paginado [1] [2]		55		50		45		40	mA	$\overline{RAS}$ = V_{IL}, $\overline{CAS}$ = Alternando t_{CPG} = Mín.
I_{CC5}	Corrente média de refresh[1] [2]		65		60		55		50	mA	$\overline{RAS}$ após $\overline{CAS}$ $t_{C(RAS)}$ = Mín.

OBSERVAÇÕES:
1) I_{CC} depende da carga na saída e da freqüência. A corrente máxima é medida na freqüência do ciclo mais rápido.
2) Os valores especificados são obtidos com as saídas abertas.
3) A corrente entrando no chip é positiva, saindo é negativa.

CAPACITÂNCIA — (T_A = 0°C a 70°C, V_{CC} = 5 V ± 10%, V_{SS} = 0V)

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TÍP.	MÁX.		
$C_{I(A)}$	Capacitância de entrada - Endereços			5	pF	$V_I = V_{SS}$
$C_{I(D)}$	Capacitância de entrada - Dados			5	pF	f = 1 MHz
$C_{I(W)}$	Capacitância de entrada - R/$\overline{W}$			7	pF	$V_I = 25_m\ V_{RmS}$
$C_{I(RAS-CAS)}$	Capacitância das entradas ($\overline{RAS}$-$\overline{CAS}$)			10	pF	
C_O	Capacitância de saída - Q			7	pF	$V_O = V_{SS}$, f = 1 MHz, $V_I = 25_m\ V_{RmS}$

OBSERVAÇÃO:
A corrente interna no chip é positiva, na saída é negativa

TEMPOS REQUERIDOS NAS FAIXAS DE TENSÃO E TEMPERATURA RECOMENDADAS(1) (2) (3)

SÍMBOLO	PARÂMETRO	ICM 41256A-8		ICM 41256A-10		ICM 41256A-12		ICM 41256A-15		UNIDADE
		MÍN.	MÁX.	MÍN.	MÁX.	MÍN.	MÁX.	MÍN.	MÁX.	
t_{CRF}	Tempo do intervalo de refresh		4		4		4		4	ms
$t_{W(RASH)}$	Largura do pulso $\overline{RAS}$ — nível alto	65		80		90		100		ns
$t_{W(RASL)}$	Largura do pulso $\overline{RAS}$ — nível baixo	85	10^4	100	10^4	120	10^4	150	10^4	ns
$t_{W(CASH)}$	Largura do pulso $\overline{CAS}$ — nível alto(4)	20		20		25		25		ns
$t_{W(CASL)}$	Largura do pulso $\overline{CAS}$ — nível baixo	45	10^4	50	10^4	60	10^4	75	10^4	ns
$t_{h(RAS-CAS)}$	Tempo de hold de $\overline{CAS}$ após $\overline{RAS}$	85		100		120		150		ns
$t_{h(CAS-RAS)}$	Tempo de hold de $\overline{RAS}$ após $\overline{CAS}$	45		50		60		75		ns
$t_{d(CAS-RAS)}$	Tempo de atraso, $\overline{CAS}$ para $\overline{RAS}$(5)	10		10		10		10		ns
$t_{d(RAS-CAS)}$	Tempo de atraso, $\overline{RAS}$ para $\overline{CAS}$(6)	15	40	15	50	20	60	25	75	ns
$t_{SU(RA-RAS)}$	Tempo de set up de endereço da linha antes de $\overline{RAS}$	0		0		0		0		ns
$t_{SU(CA-CAS)}$	Tempo de set up de endereço de coluna antes de $\overline{CAS}$	− 5		− 5		− 5		− 5		ns
$t_{h(RAS-RA)}$	Tempo de hold de endereço de linha após $\overline{RAS}$	10		10		15		20		ns
$t_{h(CAS-CA)}$	Tempo de hold de endereço de coluna após $\overline{CAS}$	15		15		20		25		ns
$t_{h(RAS-CA)}$	Tempo de hold de endereço de coluna após $\overline{RAS}$	55		65		80		100		ns
t_{THL}, t_{TLH}	Tempo de transição	3	50	3	50	3	50	3	50	ns

OBSERVAÇÕES:
1) É necessário uma pausa de 500μs após a alimentação ser ligada, seguida de oito ciclos de $\overline{RAS}$ ou $\overline{RAS}$/$\overline{CAS}$ para a operação adequada do dispositivo.
2) Nas características AC está implícito $t_{THL} = t_{TLH}$ = 5ns.
3) Os parâmetros $V_{IH(MIN)}$ e $V_{IL(MAX)}$ representam os níveis de referência para as medidas de timing dos sinais de entrada. Os tempos de transição são medidos entre V_{IH} e V_{IL}.
4) Exceto para o modo paginado.
5) $t_{d(CAS-RAS)}$ é aplicado para todos os ciclos $\overline{RAS}$/$\overline{CAS}$.
6) Operação com $t_{d(RAS-CAS)MAX.}$ no limite, assegura encontrar-se o valor $t_{a(RAS)MAX.}$. $t_{d(RAS-CAS)}$ é especificado com um ponto de referência se:
— $t_{d(RAS-CAS)}$ maior que o limite $t_{d(RAS-CAS)MAX.}$, então o tempo de acesso é controlado apenas por $t_{a(CAS)}$.
— $t_{d(RAS-CAS)MIN.} = t_{h(RAS-RA)MIN.} + 2t_{THL}t_{(TLH)} + t_{SU(CA-CAS)MIN}$

CARACTERÍSTICAS AC — (T_A = 0°C a 70°C, V_{CC} = 5V ± 10%, V_{SS} = 0 V)

LEITURA

SÍMBOLO	PARÂMETRO	ICM 41256A-8		ICM 41256A-10		ICM 41256A-12		ICM 41256A-15		UNIDADE
		MÍN.	MÁX.	MÍN.	MÁX.	MÍN.	MÁX.	MÍN.	MÁX.	
t_{CR}	Tempo do ciclo de leitura	160		190		220		260		ns
$t_{SU(R-CAS)}$	Tempo de set up do comando de leitura antes de $\overline{CAS}$	0		0		0		0		ns
$t_{h(CAS-R)}$	Tempo de hold do comando de leitura após $\overline{CAS}$(1)	0		0		0		0		ns
$t_{h(RAS-R)}$	Tempo de hold do comando de leitura após $\overline{RAS}$(1)	10		10		10		10		ns
$t_{DIS(CAS)}$	Tempo de desabilitação da saída(2)	0	20	0	25	0	30	0	35	ns
$t_{a(CAS)}$	Tempo de acesso do $\overline{CAS}$(3)		45		50		60		75	ns
$t_{a(RAS)}$	Tempo de acesso do $\overline{RAS}$(4)		85		100		120		150	ns

OBSERVAÇÕES:
1) Ou $t_{h(RAS-R)}$ ou $t_{h(CAS-R)}$ devem ser satisfeitos para um ciclo de leitura.
2) $t_{DIS(CAS)MAX.}$ define o tempo no qual a saída atinge o estado de alta impedância.
3) Este é o valor quando $t_{d(RAS-CAS)} \geqslant t_{d(RAS-CAS)MÁX.}$, medido com uma carga equivalente a 2 cargas TTL e 100pF.
4) Este é o valor quando $t_{d(RAS-CAS)} < t_{d(RAS-CAS)MÁX.}$ Quando $t_{d(RAS-CAS)} \geqslant t_{d(RAS-CAS)MÁX.}$, $t_{a(RAS)}$ será incrementado pelo valor que exceder $t_{d(RAS-CAS)}$ mostrado. Medido com uma carga equivalente a 2 cargas TTL e 100pF.

ESCRITA

SÍMBOLO	PARÂMETRO	ICM 41256A-8		ICM 41256A-10		ICM 41256A-12		ICM 41256A-15		UNIDADE
		MÍN.	MÁX.	MÍN.	MÁX.	MÍN.	MÁX.	MÍN.	MÁX.	
t_{CW}	Tempo do ciclo de escrita	160		190		220		260		ns
$t_{SU(W-CAS)}$	Tempo de set up do comando de escrita antes de $\overline{CAS}$[1]	−10		−10		−10		−10		ns
$t_{h(CAS-W)}$	Tempo de hold do comando de escrita após $\overline{CAS}$	15		20		25		30		ns
$t_{h(RAS-W)}$	Tempo de hold do comando de escrita após $\overline{RAS}$	55		70		85		105		ns
$t_{h(W-RAS)}$	Tempo de hold $\overline{RAS}$ após comando de escrita	30		35		40		45		ns
$t_{h(W-CAS)}$	Tempo de hold $\overline{CAS}$ após o comando de escrita	30		35		40		45		ns
$t_{W(W)}$	Largura do pulso de escrita	15		20		25		30		ns
$t_{SU(D-CAS)}$	Tempo de set up da entrada de dados antes de $\overline{CAS}$	0		0		0		0		ns
$t_{h(CAS-D)}$	Tempo de hold da entrada de dados após $\overline{CAS}$	15		20		25		30		ns
$t_{h(RAS-D)}$	Tempo de hold da entrada de dados após $\overline{RAS}$	55		70		85		105		ns

OBSERVAÇÃO:

1) Quando $t_{SU(W-CAS)} \geqslant t_{SU(W-CAS)\ MIN.}$, um ciclo de escrita antecipada é executado e o dado do endereço selecionado será lido na saída de dados. A condição da saída de dados (para o tempo de acesso e até $\overline{CAS}$ voltar para V_{IH}) não é definida.

LEITURA - ESCRITA/LEITURA - MODIFICAÇÃO - ESCRITA

SÍMBOLO	PARÂMETRO	ICM 41256A-8		ICM 41256A-10		ICM 41256A-12		ICM 41256A-15		UNIDADE
		MÍN.	MÁX.	MÍN.	MÁX.	MÍN.	MÁX.	MÍN.	MÁX.	
t_{CRW}	Tempo do ciclo de leitura — escrita[1]	185		220		255		295		ns
t_{CRMW}	Tempo do ciclo de leitura - modificação - escrita[2]	195		235		265		310		ns
$t_{h(W-RAS)}$	Tempo de hold de $\overline{RAS}$ após o comando de escrita	30		35		40		45		ns
$t_{h(W-CAS)}$	Tempo de hold de $\overline{CAS}$ após o comando de escrita	30		35		40		45		ns
$t_{W(W)}$	Largura do pulso de escrita	15		20		25		30		ns
$t_{SU(R-CAS)}$	Tempo de set up do comando de leitura antes de $\overline{CAS}$	0		0		0		0		ns
$t_{d(RAS-W)}$	Tempo de atraso, $\overline{RAS}$ para o comando de escrita[3]	70		90		110		135		ns
$t_{d(CAS-W)}$	Tempo de atraso, $\overline{CAS}$ para o comando de escrita[3]	30		40		50		60		ns
$t_{SU(D-W)}$	Tempo de set up da entrada de dados antes do comando de escrita	0		0		0		0		ns
$t_{h(W-D)}$	Tempo de hold da entrada de dados após o comando de escrita	15		20		25		30		ns
$t_{dis(CAS)}$	Tempo de desabilitação da saída	0	20	0	25	0	30	0	35	ns
$t_{a(CAS)}$	Tempo de acesso do $\overline{CAS}$[4]		45		50		60		75	ns
$t_{a(RAS)}$	Tempo de acesso do $\overline{RAS}$[5]		85		100		120		150	ns

OBSERVAÇÕES:

1) $t_{CRW\ MIN.}$ é definido como $t_{CRW\ MIN.} = t_{d(RAS-CAS)\ MAX.} + t_{d(CAS-W)\ MIN.} + t_{h(W-RAS)} + t_{W(RASH)} + 3t_{TLH}t_{(THL)}$.
2) $t_{CRMW\ MIN.}$ é definido como $t_{CRMW\ MIN.} = t_{a(RAS)\ MÁX.} + t_{h(W-RAS)} + t_{w(RASH)} + 3t_{TLH}t_{(THL)}$.
3) $t_{SU(W-CAS)}$, $t_{d(RAS-W)}$ e $t_{d(CAS-W)}$ não definem os limites de operação mas são inclusas somente as características elétricas.
   Quando $t_{SU(W-CAS)} \geqslant t_{SU(W-CAS)\ MIN.}$, um ciclo de escrita antecipada é executado e o dado do endereço selecionado será lido na saída de dados.
   Para todas as condições acima descritas, a condição da saída de dados (para o tempo de acesso e até $\overline{CAS}$ voltar para V_{IH}) não é definido.
4) Este é o valor quando $t_{d(RAS-CAS)} \geqslant t_{d(RAS-CAS)\ MAX.}$, medido com uma carga equivalente a 2 cargas TTL e 100 pF.
5) Este é o valor quando $t_{d(RAS-CAS)} < t_{d(RAS-CAS)\ MAX.}$
   Quando $t_{d(RAS-CAS)} \geqslant t_{d(RAS-CAS)\ MAX.}$, $t_{a(RAS)}$ será incrementado pelo valor que exceder $t_{d(RAS-CAS)}$ mostrado. Medido com uma carga equivalente a 2 cargas TTL e 100 pF.

MODO PAGINADO

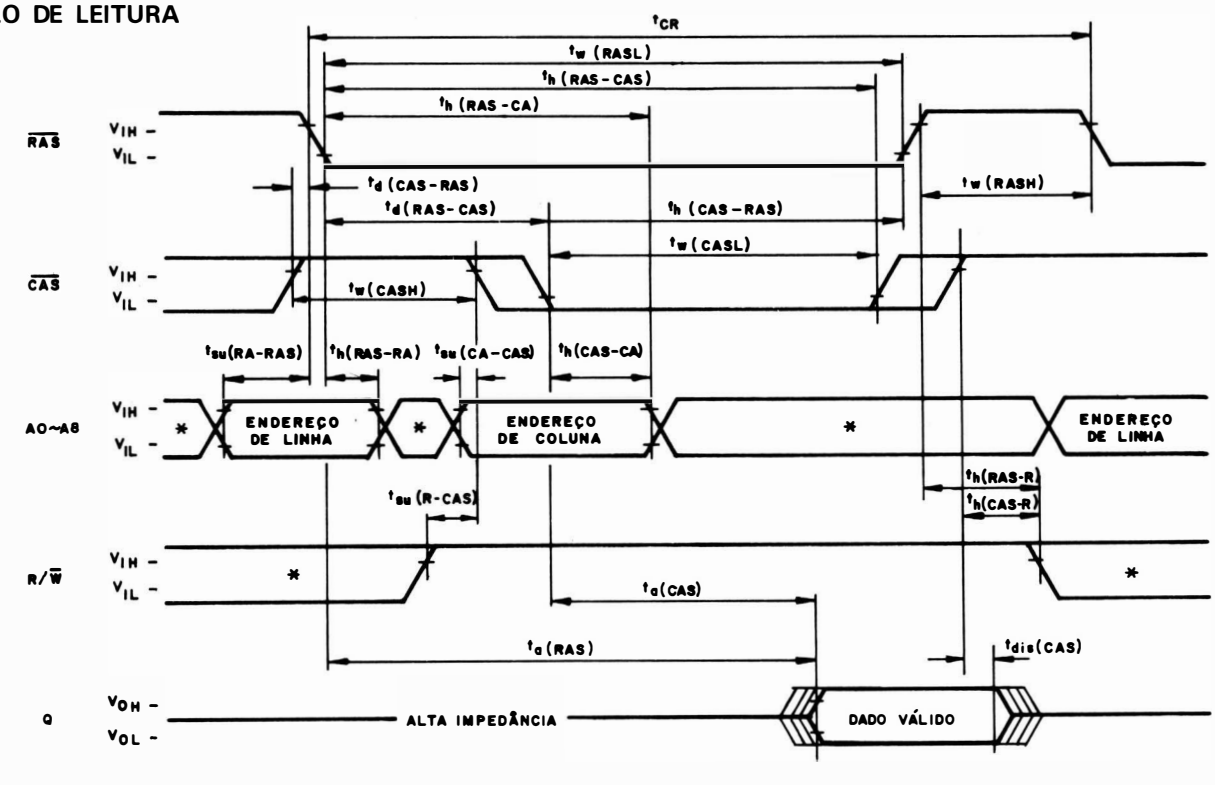
SÍMBOLO	PARÂMETRO	ICM 41256A-8		ICM 41256A-10		ICM 41256A-12		ICM 41256A-15		UNIDADE
		MÍN.	MÁX.	MÍN.	MÁX.	MÍN.	MÁX.	MÍN.	MÁX.	
t_{CPG}	Tempo do ciclo modo paginado	80		100		120		145		ns
$t_{W(CASH)}$	Largura do pulso $\overline{CAS}$ — nível alto	25		40		50		60		ns
t_{CPGRW}	Tempo do ciclo RW no modo paginado	105		130		155		180		ns
t_{CPGRMW}	Tempo do ciclo RMW no modo paginado	115		140		165		195		ns

REFRESH $\overline{RAS}$ APÓS $\overline{CAS}$

SÍMBOLO	PARÂMETRO	ICM 41256A-8		ICM 41256A-10		ICM 41256A-12		ICM 41256A-15		UNIDADE
		MÍN.	MÁX.	MÍN.	MÁX.	MÍN.	MÁX.	MÍN.	MÁX.	
$t_{SUR(CAS-RAS)}$	Tempo de set up do $\overline{CAS}$ para auto refresh	10		10		10		10		ns
$t_{hR(RAS-CAS)}$	Tempo de hold $\overline{CAS}$ para auto refresh	15		20		25		30		ns
$t_{dR(RAS-CAS)}$	Tempo de pré-carga para $\overline{CAS}$ ativo	0		0		0		0		ns

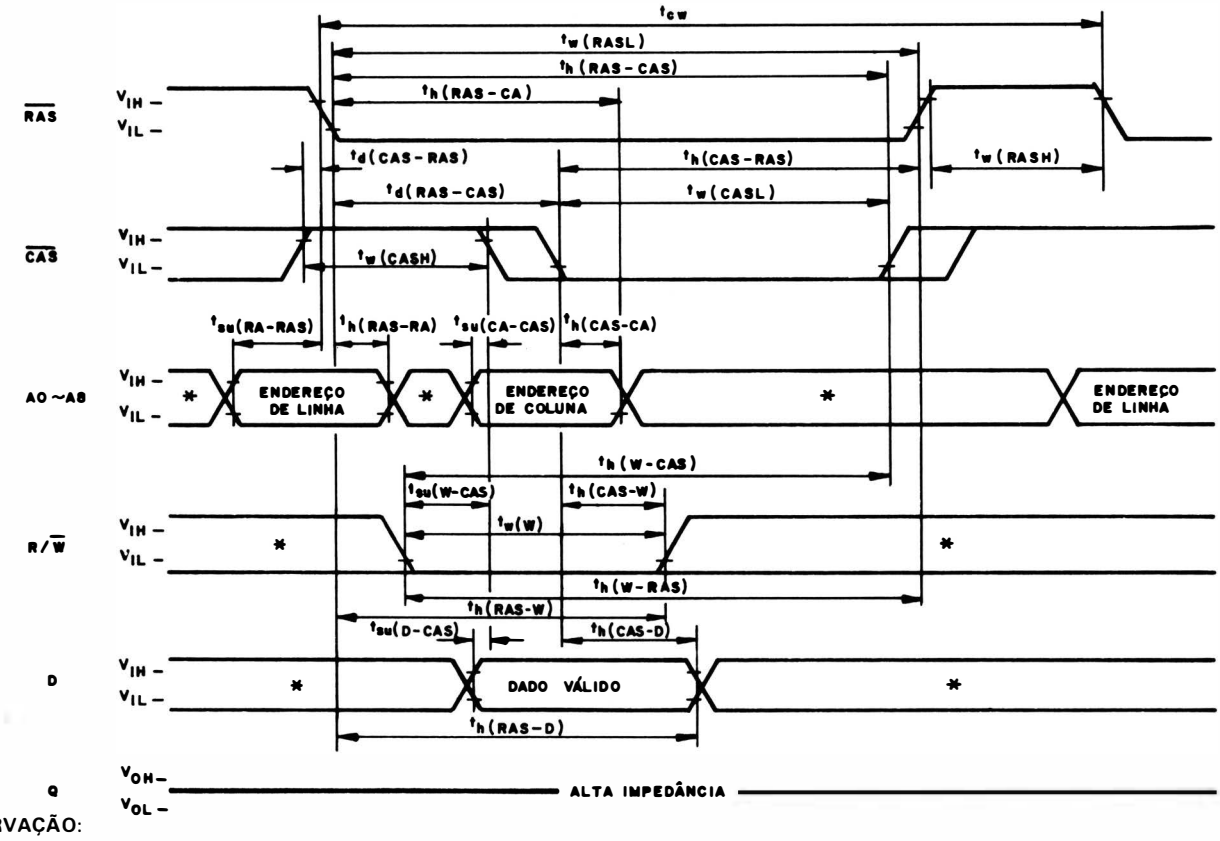
OBSERVAÇÃO:
Oito ou mais ciclos de $\overline{RAS}$ após $\overline{CAS}$ são necessários para a operação própria do modo de refresh de $\overline{RAS}$ após $\overline{CAS}$.

CICLO DE LEITURA



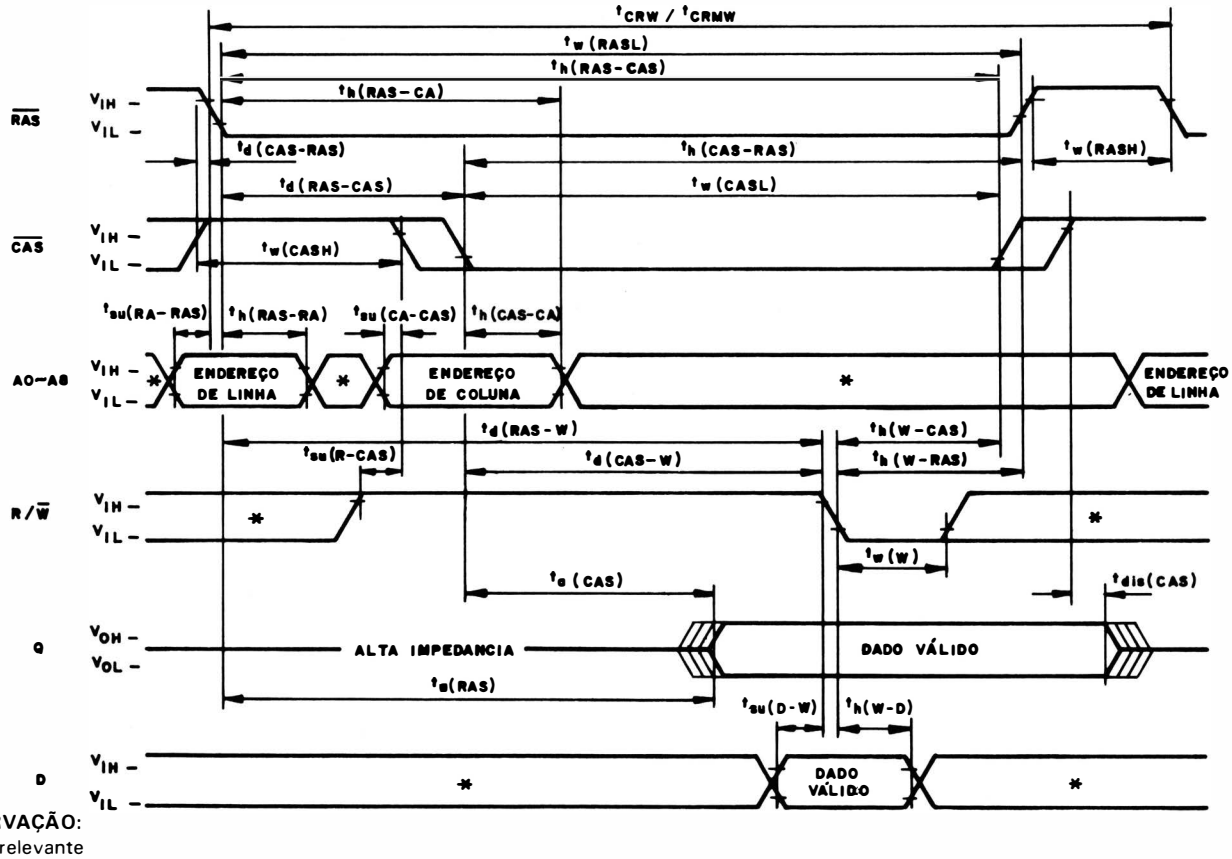
OBSERVAÇÃO:
* = irrelevante

CICLO DE ESCRITA (ESCRITA ANTECIPADA)



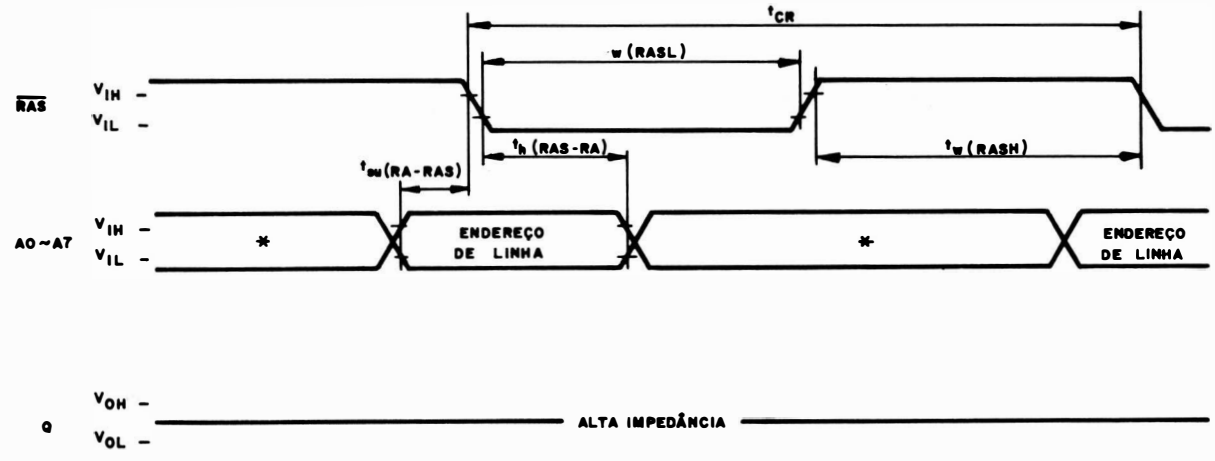
OBSERVAÇÃO:
* = Irrelevante

CICLO DE LEITURA - ESCRITA/LEITURA - MODIFICAÇÃO - ESCRITA



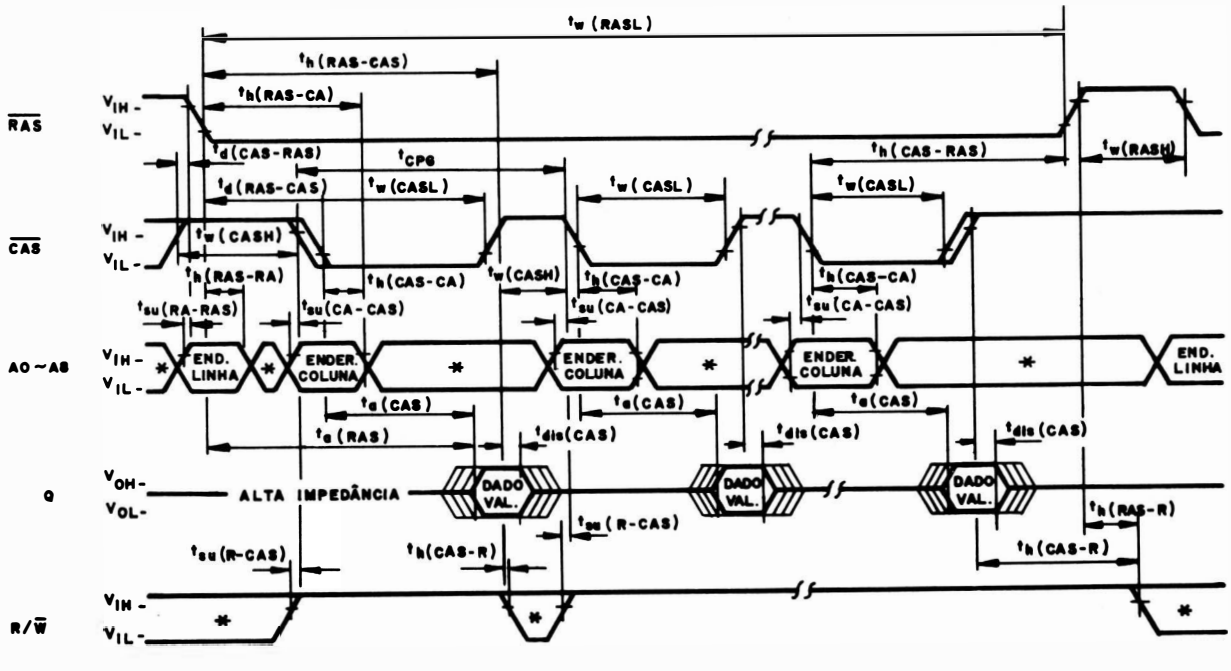
OBSERVAÇÃO:
* = Irrelevante

CICLO DE REFRESH DE APENAS RAS



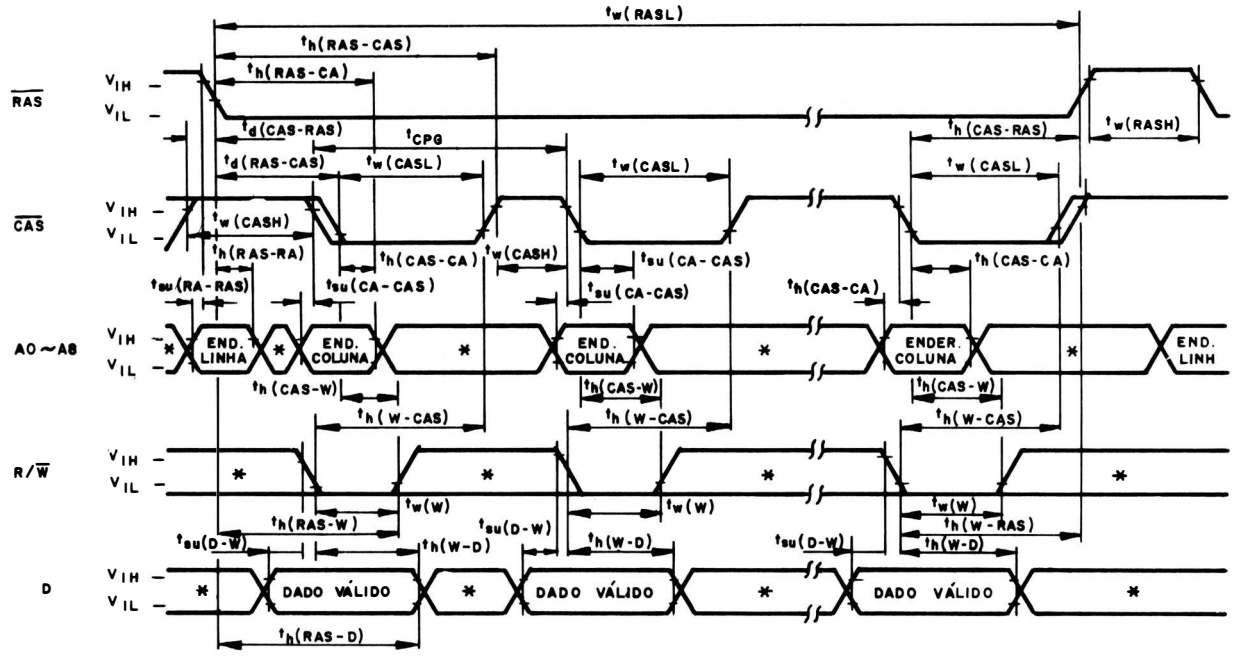
OBSERVAÇÕES:
$\overline{CAS}$ = V_{IH}; R/$\overline{W}$, D = irrelevante
A_8 pode ser V_{IH} ou V_{IL}
* = irrelevante

CICLO DE LEITURA - MODO PAGINADO



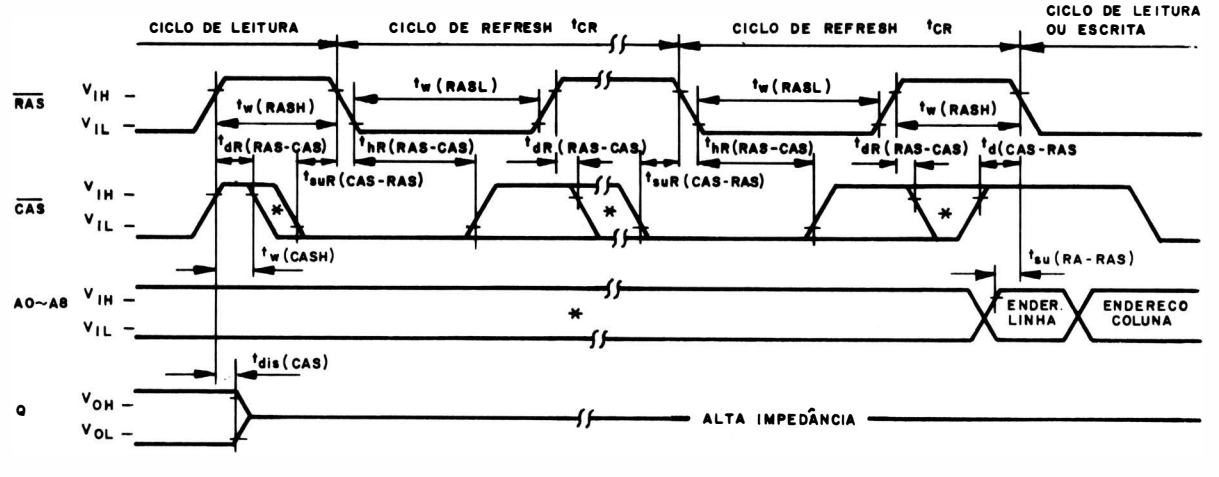
OBSERVAÇÃO:
* = irrelevante

CICLO DE ESCRITA - MODO PAGINADO



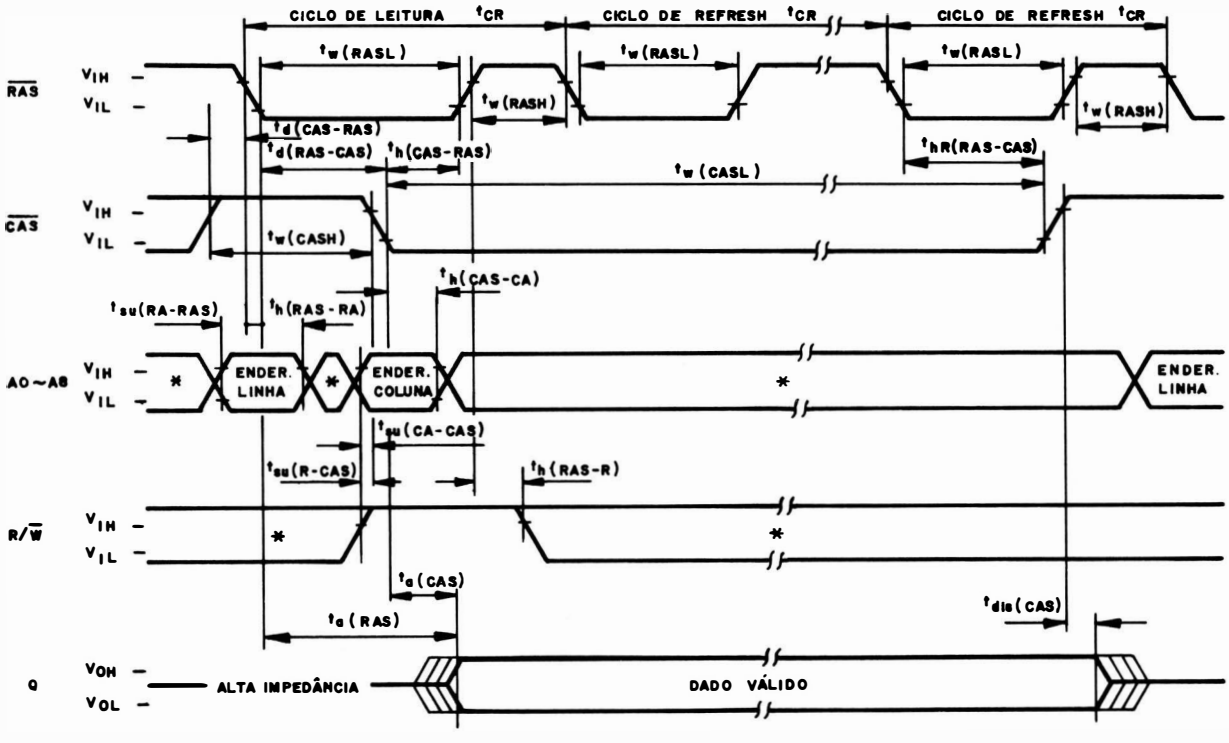
OBSERVAÇÃO:
* = irrelevante

CICLO DE REFRESH DE $\overline{RAS}$ APÓS $\overline{CAS}$



OBSERVAÇÃO:
R/$\overline{W}$, D = irrelevante
* = irrelevante

CICLO DE REFRESH OCULTO



OBSERVAÇÃO
* = Irrelevante

ICM 44256

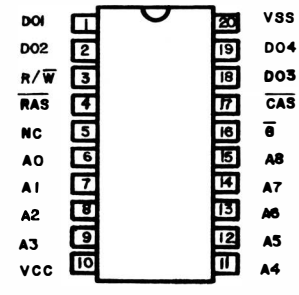
RAM DINÂMICA DE 1M

PRELIMINAR

Características:

- ☐ Três opções de tempo de acesso;
- ☐ Baixo consumo de standby: 2,75 mW (máx.);
- ☐ Entradas e saídas compatíveis com TTL e de baixa capacitância;
- ☐ Saída de três estados, sem latch;
- ☐ 512 ciclos de refresh/8 ms;
- ☐ Possibilidades de refresh:
  - *apenas em $\overline{RAS}$.
  - *$\overline{CAS}$ antes de $\overline{RAS}$.
  - *"hidden".
- ☐ Recursos de read-modify-write e fast-page.

PINAGEM



Descrição Geral:

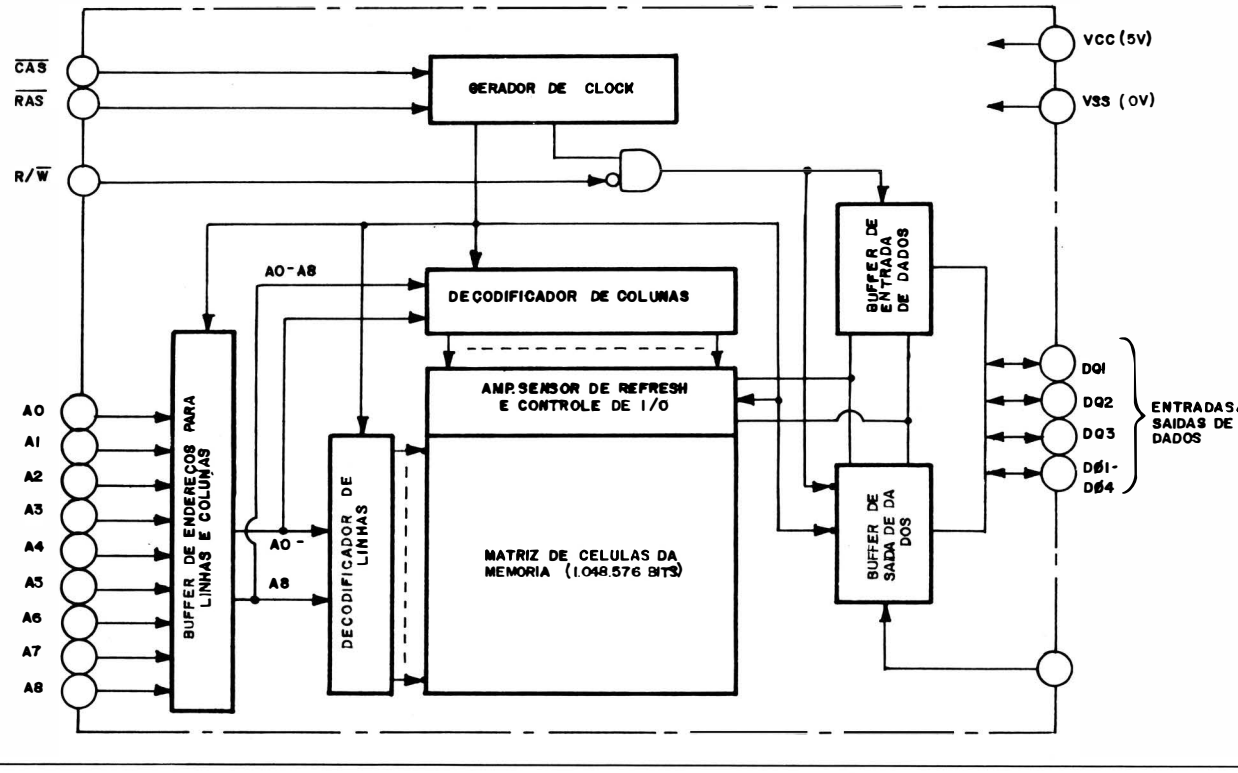
A ICM 44256 é uma memória RAM dinâmica, organizada em 262.144 palavras de 4 bits e produzida em três versões, segundo o tempo de acesso (veja tabela).
Ela se mostra ideal para sistemas com grande capacidade de memória, onde são essenciais uma alta velocidade e uma baixa dissipação de potência. Suas entradas multiplexadas permitiram uma redução do número de pinos, juntamente com a elevação da densidade de armazenagem. Prevê também várias modalidades de refresh e alguns recursos adicionais.

VERSÕES DA ICM 44256

Código	Tempo de acesso $\overline{RAS}$ (ns)	Tempo de acesso $\overline{CAS}$ (ns)	Tempo de acesso end. (ns)	Tempo de acesso $\overline{OE}$ (ns)	Tempo de de ciclo mín. (ns)	Dissipação de potência típica (mW)
ICM44256-8	80	20	40	20	160	200
ICM44256-10	100	25	50	25	110	175
ICM44256-12	120	30	60	30	220	150

OBSERVAÇÕES:
Os valores dos tempos de acesso são máximos.

DIAGRAMA DE BLOCOS



ICM 6116A

PRELIMINAR

Características:

- ☐ Tempos de acesso de: 55, 70 e 90 ns;
- ☐ Baixo consumo em standby: 5 μW típ.;
- ☐ Entradas e saídas compatíveis com TTL;
- ☐ Saídas tristate;
- ☐ Tensão de retenção de dados 2 - 5,5V;
- ☐ Alimentação única de +5V.

Descrição Geral:

A ICM 6116A é uma memória RAM estática, organizada em 2048 palavras de 8 bits. Suas saídas tristate e suas entradas são plenamente compatíveis com os níveis TTL e permitem um interfaceamento direto com as estruturas de bus convencionais. Além disso, sua modalidade de standby permite reduzir o consumo do valor ativo de 250 mW para apenas 5 μW.

PINAGEM

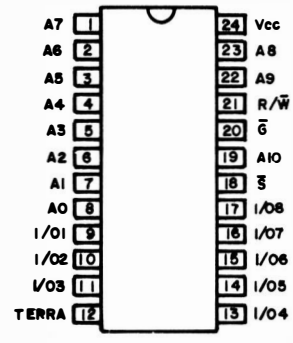
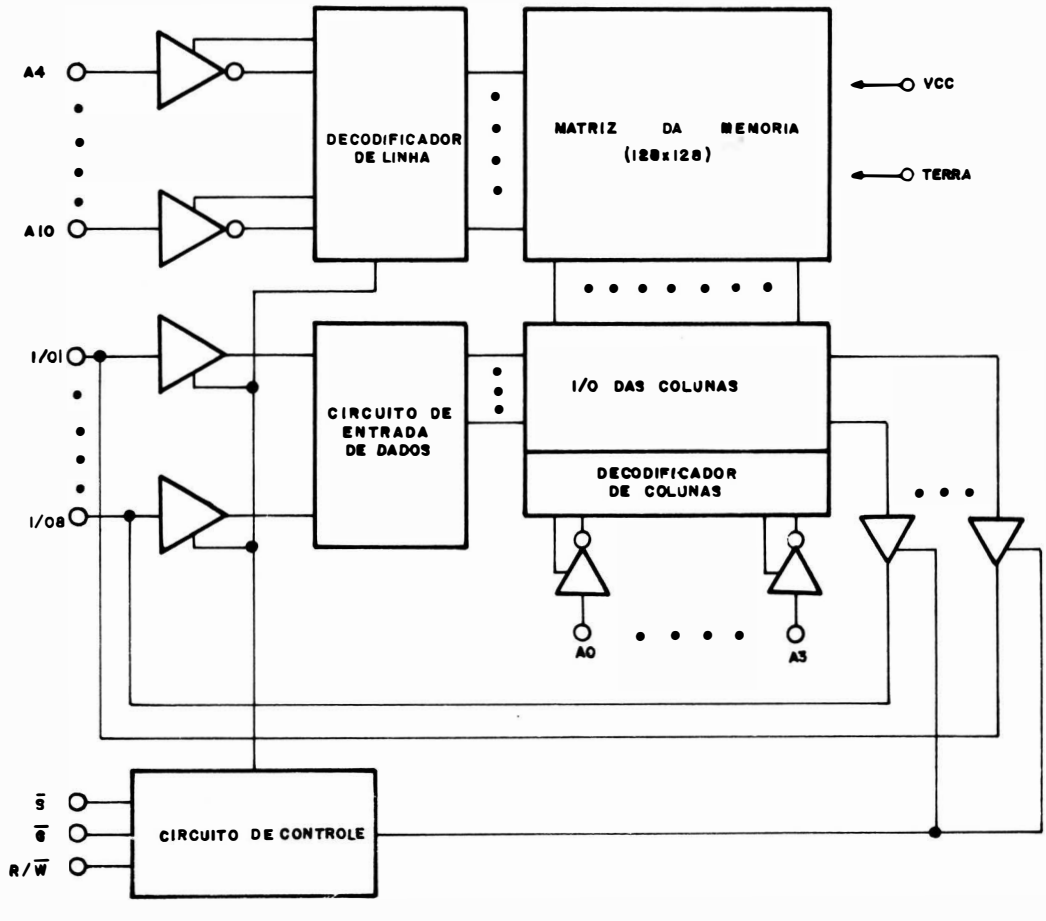


DIAGRAMA DE BLOCOS

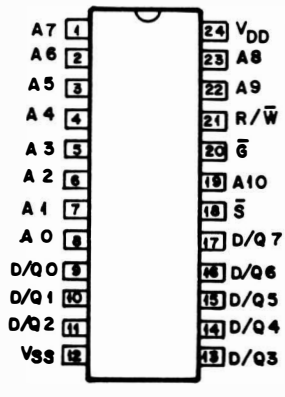


ICM 6116L

Características:

- ☐ Organização 2048 x 8;
- ☐ Alimentação única 5 V (± 10%);
- ☐ Todas as entradas e saídas compatíveis com as dos dispositivos TTL;
- ☐ Baixa corrente de ativação
  Estado Ativo ——— ICM 6116L-10 — 30 mA (típico)
  ICM 6116L-12 — 25 mA (típico)
  Em standby ——— 1 μA (típico)
- ☐ Completamente estática.

PINAGEM



SIMBOLOGIA IEC

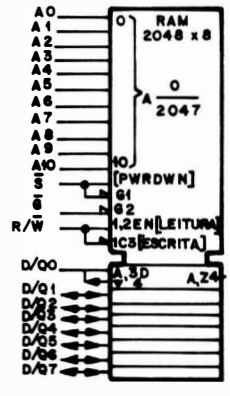
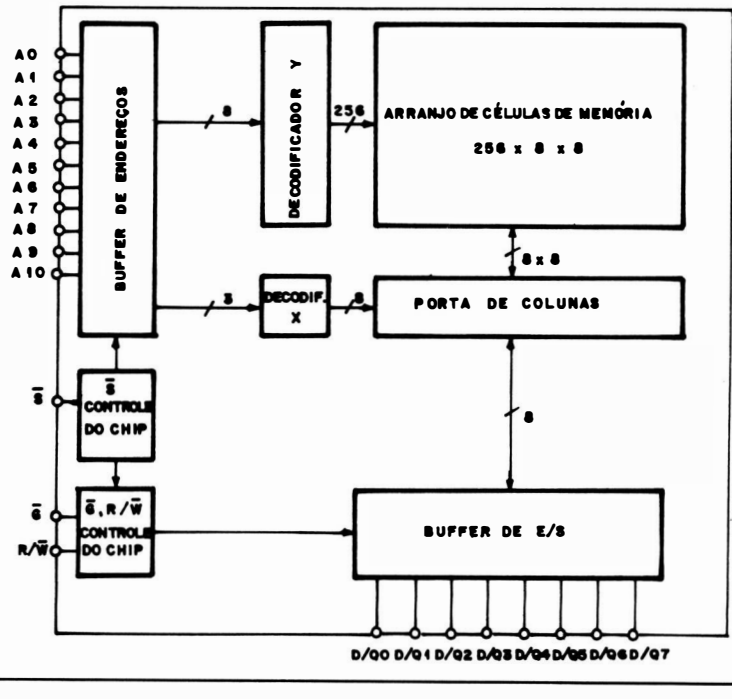


DIAGRAMA DE BLOCOS



TEMPOS DE ACESSO

CÓDIGO	ta(ns)
ICM 6116L-10	100
ICM 6116L-12	120

NOMENCLATURA DOS PINOS

A0-A10	Endereços
R/$\overline{W}$	Leitura/Escrita
$\overline{G}$	Habilita as saídas
$\overline{S}$	Chip select
D/Q0-7	Dados
V_{DD}	Alimentação (+ 5 V)
V_{SS}	Alimentação (0 V)

Descrição Geral:

A ICM 6116L é uma RAM estática e assíncrona de 16 K, organizada em 2.048 palavras de 8 bits cada.

O seu baixo consumo quando no Modo Standby a torna ideal para aplicações onde se faz necessária uma memória não volátil com baterias de back up. Por ser estática e assíncrona, dispensa clocks e circuitos de refresh. Suas entradas e saídas são compatíveis com os níveis TTL, e a expansão da capacidade de memória fica facilitada com as saídas tri-state.

Descrição Funcional

A tabela 1 apresenta os modos de operação da ICM 6116L. Se requer apenas uma fonte de alimentação única de 5 V para a operação.

Modo de Escrita

Existem três maneiras de se gravar os dados na memória:

1 — Manter a entrada $\overline{S}$ em nível baixo, posicionar os endereços e aplicar um pulso em nível baixo em R/$\overline{W}$.

2 — Manter a entrada R/$\overline{W}$ em nível baixo, posicionar os endereços e aplicar um pulso em nível baixo em $\overline{S}$.

3 — Posicionar os endereços e aplicar pulsos em nível baixo em $\overline{S}$ e R/$\overline{W}$.

Com qualquer destes métodos, os dados presentes nos terminais de entrada/saída de dados são armazenados na ICM 6116L no final do período em que $\overline{S}$ e R/$\overline{W}$ estão em nível baixo.

Modo de Leitura

Os dados estarão disponíveis nas saídas, assim que os endereços estiverem posicionados, mantendo $\overline{S}$ e $\overline{G}$ em nível baixo e R/$\overline{W}$ em nível alto.

Quando $\overline{S}$ estiver em nível alto, os terminais de entrada/saída de dados apresentarão alta impedância, liberando o data bus para outros fins.

Modo Standby

Quando $\overline{S}$ estiver em nível alto, a ICM 6116L estará no Modo Standby e apenas retém os dados. Nesta situação os terminais de entrada/saída de dados apresentam alta impedância e todas as entradas de endereço, R/$\overline{W}$ e de dados são ignoradas.

Quando o nível de tensão na entrada $\overline{S}$ estiver acima de $V_{DD} - 0{,}2$ V, haverá um ínfimo fluxo de corrente na ICM 6116L através das patres da memória de alta resistência, e correntes de fuga.

TABELA 1

MODOS DE OPERAÇÃO

PINOS / MODO	$\overline{S}$ (18)	$\overline{G}$ (20)	R/$\overline{W}$ (21)	ENDEREÇOS (1-8,19,22,23)	DADOS (9-11,13-17)
STANDBY	V_{IH}	——	——	——	ALTA IMPEDÂNCIA
LEITURA	V_{IL}	V_{IL}	V_{IH}	ESTÁVEIS	DADOS (SAINDO)
ESCRITA	V_{IL}	V_{IH}	V_{IL}	ESTÁVEIS	DADOS (ENTRANDO)
ESCRITA	V_{IL}	V_{IL}	V_{IL}	ESTÁVEIS	DADOS (ENTRANDO)

OBSERVAÇÕES:

V_{IH} = Tensão de entrada - nível alto.

V_{IL} = Tensão de entrada - nível baixo.

— = Nível alto, baixo ou alta impedância.

VALORES MÁXIMOS ABSOLUTOS

Tensão de alimentação	— 0,5 V a 7 V
Tensão de entrada	— 0,5 V a 7 V
Tensão de entrada/saída de dados	— 0,5 V a V_{DD} + 0,3 V
Potência dissipada	1 W
Temperatura e tempo de soldagem	260°C a 10 s
Temperatura de armazenamento	— 65°C a 150°C
Temperatura de operação	0°C a 70°C

CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	TÍP.	MÁX.	
V_{DD}	Tensão de alimentação	4,5	5,0	5,5	V
V_{SS}	Tensão de alimentação	0	0	0	V
V_{IH}	Tensão de entrada - nível alto	2,2	3,5	$V_{DD}+0,3$	V
V_{IL}	Tensão de entrada - nível baixo	$-0,3^{(1)}$		0,8	V

OBSERVAÇÃO:
1) V_{IL} (mín.) = − 1,0 V, quando a largura do pulso for 50 ns.

CARACTERÍSTICAS DC − V_{DD} = 5 V ± 10%; V_{SS} = 0 V; T_A = 0 a 70°C

SÍMBOLO	PARÂMETRO	ICM 6116L-10			ICM 6116L-12			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TÍP.(1)	MÁX.	MÍN.	TÍP.(1)	MÁX.		
I_I	Corrente de entrada	−1		1	−1		1	µA	V_{DD} = 5,5 V; V_I = 0 a V_{DD}
I_{LC}	Corrente de fuga de saída	−1		1	−1		1	µA	$\overline{S}$ = V_{IH} ou $\overline{G}$ = V_{IH}; $V_{I/O}$ = 0 a V_{DD}
I_{DDO}	Corrente de alimentação		30	60		25	50	mA	$\overline{S}$ = V_{IL}; $I_{I/O}$ = 0 mA
I_{DDOI}	Corrente de alimentação		16			16		mA	V_{IH} = 3,5 V; V_{IL} = 0,6 V; $I_{I/O}$ = 0 mA
I_{DDA}	Corrente média de operação		30	60		25	50	mA	Ciclo duty mín. = 100%; $I_{I/O}$ = 0 mA
I_{DDS}	Corrente de alimentação standby		1,5	3,0		1,5	3,0	mA	$\overline{S}$ = V_{IH}
I_{DDSI}	Corrente de alimentação standby		1	50		1	50	µA	$\overline{S}$ = V_{DD} − 0,2 V
V_{OL}	Tensão de saída - nível baixo			0,4			0,4	V	I_{OL} = 4,0 mA
V_{OH}	Tensão de saída - nível alto	2,4			2,4			V	I_{OH} = − 1,0 mA

OBSERVAÇÃO:
1) Valores típicos obtidos com V_{DD} = 5 V e T_A = 25°C.

CARACTERÍSTICAS AC

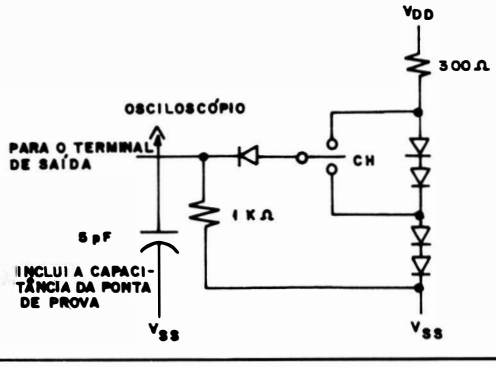
LEITURA

SÍMBOLO	PARÂMETRO	ICM 6116L-10		ICM 6116L-12		UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	MÁX.	MÍN.	MÁX.		
$t_{c(R)}$	Tempo do ciclo de leitura	100		120		ns	Nível do pulso de entrada 0,8 V a 2,2 V; t_r = t_f = 10 ns; Nível de referência I/O = 1,5 V; Carga = TTL + C_L = 100 pF
$t_{a(A)}$	Tempo de acesso de endereços		100		120	ns	
$t_{a(S)}$	Tempo de acesso de $\overline{S}$		100		120	ns	
$t_{a(G)}$	Tempo de acesso de $\overline{G}$		55		60	ns	
$t_{h(O)}$	Tempo de hold das saídas	10		10		ns	
$t_{su(S)}$	Tempo de set up de $\overline{S}$	10		10		ns	Nível do pulso de entrada 0,8 V a 2,2 V; t_r = t_f = 10 ns; Circuito de teste 2
$t_{su(G)}$	Tempo de set up de $\overline{G}$	5		10		ns	
$t_{dis(S)}$	Tempo de desabilitação das saídas após $\overline{S}$ em nível alto	0	40	0	40	ns	
$t_{dis(G)}$	Tempo de desabilitação das saídas após $\overline{G}$ em nível alto	0	40	0	40	ns	

ESCRITA

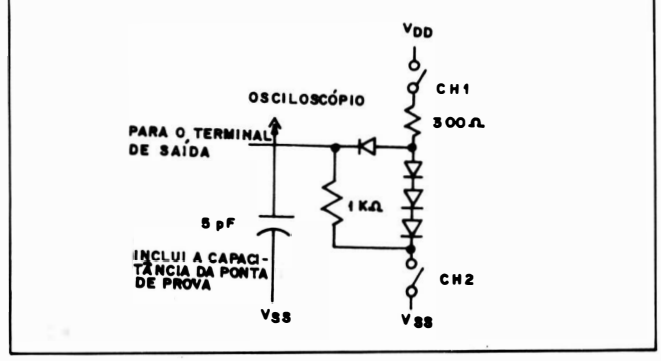
SÍMBOLO	PARÂMETRO	ICM 6116L-10		ICM 6116L-12		UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	MÁX.	MÍN.	MÁX.		
$t_{c(W)}$	Tempo do ciclo de escrita	100		120		ns	Nível do pulso de entrada 0,8 V a 2,2 V $t_r = t_f = 10$ ns Níveis de referência I/O = 1,5 V Carga = TTL + C_L = 100 pF
$t_{w(S)}$	Largura do pulso de chip select	80		85		ns	
$t_{v(A)}$	Tempo de validade de endereços para o fim da escrita	80		85		ns	
$t_{su(A)}$	Tempo de set up de endereços	0		0		ns	
$t_{w(W)}$	Largura do pulso de escrita	65		70		ns	
$t_{su(D)}$	Tempo de set up de dados	45		50		ns	
$t_{h(D)}$	Tempo de hold de dados	0		0		ns	
$t_{h(A)}$	Tempo de hold de endereços	5		5		ns	
$t_{dis(W)}$	Tempo de desabilitação das saídas após R/$\overline{W}$ baixo	0	45	0	50	ns	Nível do pulso de entrada 0,8 V a 2,2 V $t_r = t_f = 10$ ns Circuito de teste 1
$t_{en(W)}$	Tempo de habilitação das saídas por R/$\overline{W}$	5		10		ns	
$t_{dis(G)}$	Tempo de desabilitação das saídas por $\overline{G}$	0	40	0	40	ns	Nível do pulso de entrada 0,8 V a 2,2 V $t_r = t_f = 10$ ns Circuito de teste 2

Circuito de teste 1



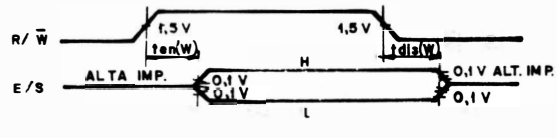
testes: $t_{en(W)}$, $t_{dis(W)}$ Hi-Z ⟶ H e H ⟶ Hi-Z, CH em V_{DD}
$t_{en(W)}$, $t_{dis(W)}$ Hi-Z ⟶ L e L ⟶ Hi-Z, CH em V_{SS}

Circuito de teste 2

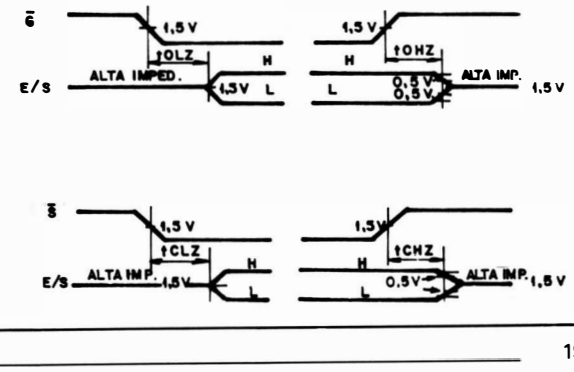


testes: $t_{dis(S)}$ ou $t_{dis(G)}$ CH1 e CH2 fechadas
$t_{su(S)}$ ou $t_{su(G)}$ Hi-Z ⟶ H CH1 aberta, CH2 fechada
$t_{su(S)}$ ou $t_{su(G)}$ Hi-Z ⟶ L CH1 fechada, CH2 aberta

Tempos de Ativação/Desativação das Saídas



Tempos de Ativação/Desativação das Saídas



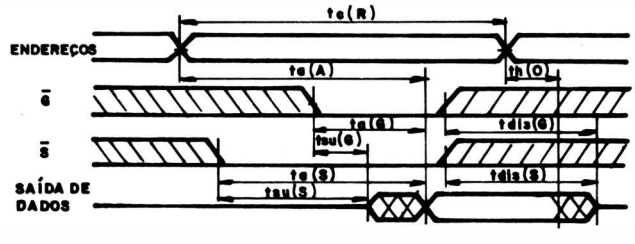
CAPACITÂNCIA T_A = 25°C f = 1 MHz

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TÍP.	MÁX.		
C_I	Capacitância de entrada		4	6	pF	V_I = 0 V
$C_{I/O}$	Capacitância dos acessos de dados		6	8	pF	$V_{I/O}$ = 0 V

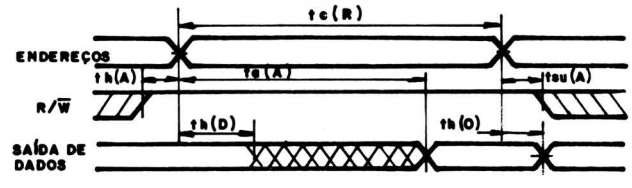
CARACTERÍSTICAS DE RETENÇÃO DE DADOS COM BAIXA TENSÃO DE ALIMENTAÇÃO

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TÍP.	MÁX.		
V_{DDR}	Tensão de alimentação de retenção de dados	2,0		5,5	V	$\overline{S} \geqslant V_{DDR} - 0{,}2$ V
I_{DDR}	Corrente de retenção de dados			25	µA	V_{DD} = 3,0 V, S ⩾ 2,8 V
t_{cDR}	Chip select tempo de hold de dados	0			ns	Vide figura
t_R	Tempo de recuperação de operação	$t_{c(R)}$			ns	

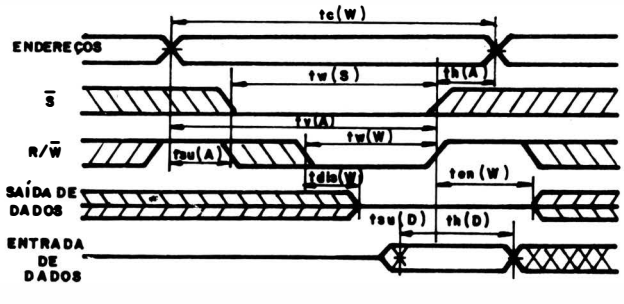
Ciclo de Leitura 1 (controle $\overline{G}$, $\overline{S}$; R/$\overline{W}$ = H)



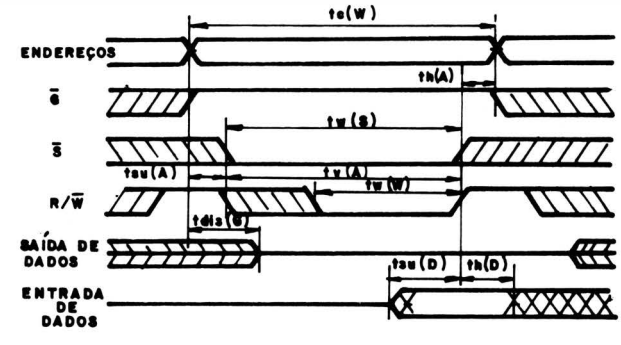
Ciclo de Leitura 2 (controle R/$\overline{W}$; $\overline{G}$ = $\overline{S}$ = L)



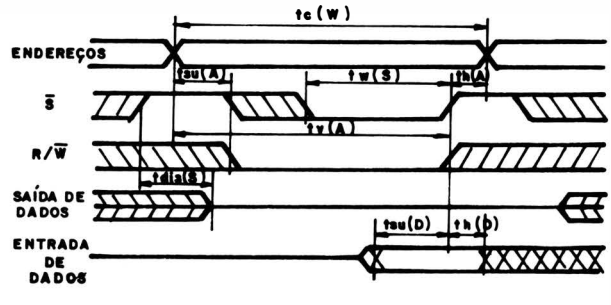
Ciclo de Escrita 1 (controle R/$\overline{W}$; $\overline{G}$ = L)



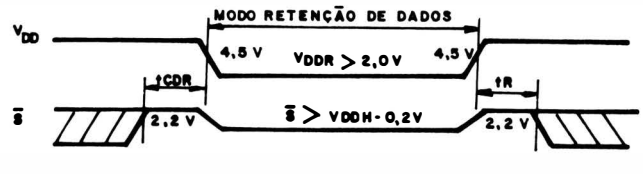
Ciclo de Escrita 2 (controle R/$\overline{W}$)



Ciclo de Escrita 3 (controle $\overline{S}$; $\overline{G}$ = L)

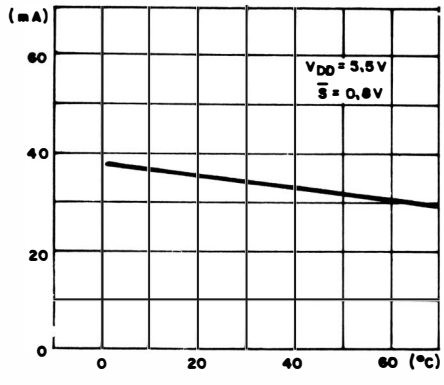


Tempos de Retenção de Dados

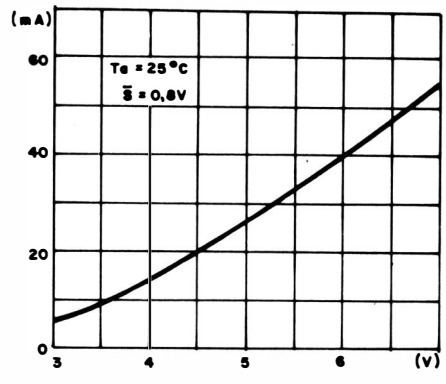


CURVAS DE DESEMPENHO

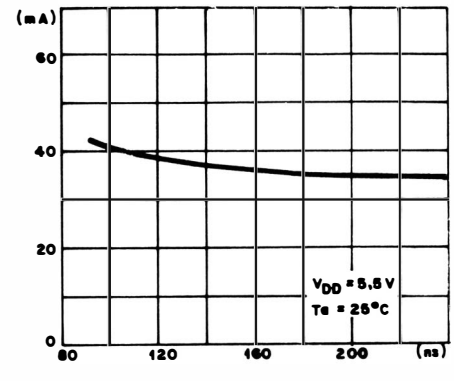
$I_{DDO} - T_A$



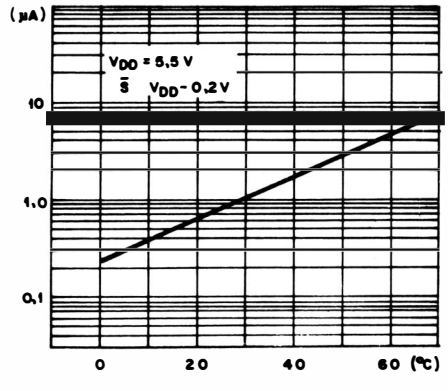
$I_{DDO} - V_{DD}$



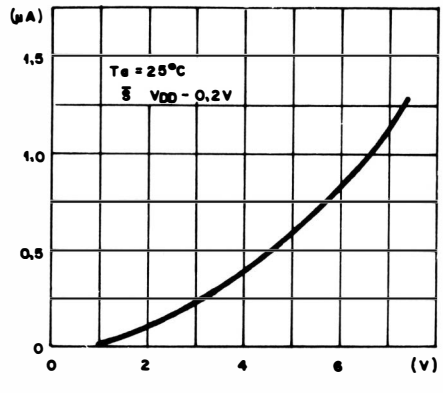
$I_{DDA} - t_{cyc}$



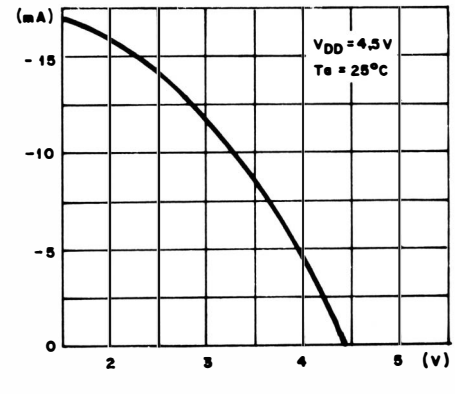
$I_{DDS1} - T_A$



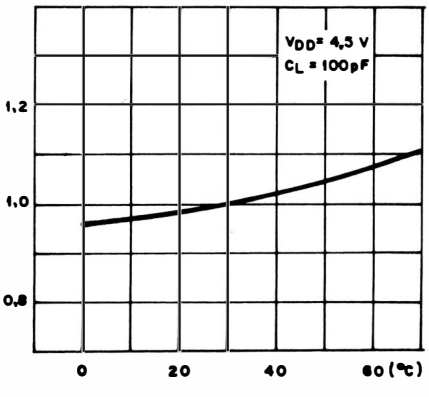
$I_{DDS1} - V_{DD}$



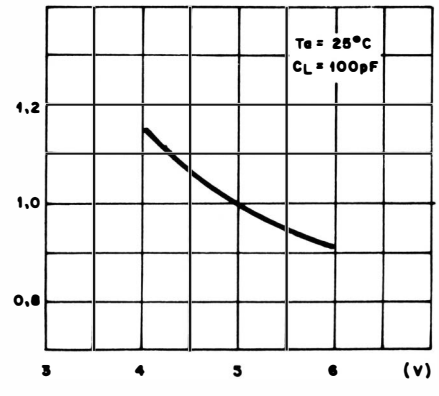
$I_{OH} - V_{OH}$



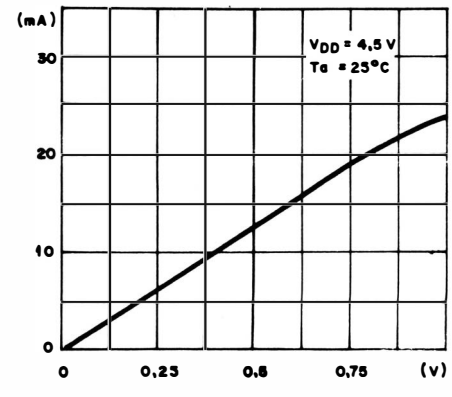
$t_{a(A)}, t_{a(S)}, t_{a(G)} - T_A$
NORMALIZADO



$t_{a(A)}, t_{a(S)}, t_{a(G)} - V_{DD}$
NORMALIZADO



$I_{OL} - V_{OL}$



ICM 6116L

Características:

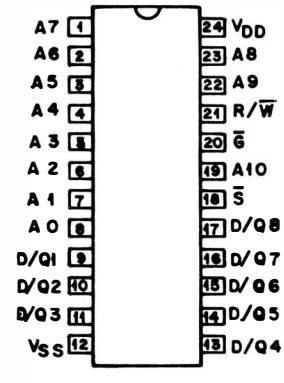
- ☐ Organização 2048 x 8;
- ☐ Alimentação única 5V;
- ☐ Todas as entradas e saídas compatíveis com as dos dispositivos TTL ;
- ☐ Baixa corrente de ativação
  Estado Ativo _____ 20 mA (típico)
  Em Standby _____ 1 μA (típico)

Descrição:

A ICM 6116L é uma RAM estática e assíncrona de 2048 palavras × 8 bits. Ela é ideal para aplicações onde se faz necessária uma memória não volátil com baterias de back-up, devido ao seu baixo consumo quando em stand-by. Por ser estática e assíncrona, dispensa clocks e circuitos de refresh.

Suas entradas e saídas são compatíveis com os níveis TTL, e a expansão da capacidade de memória fica facilitada com as saídas tri-state.

PINAGEM



SIMBOLOGIA IEC

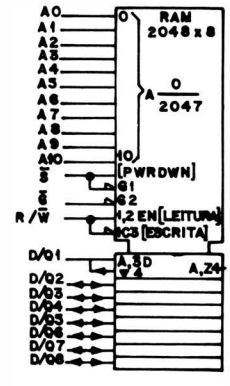
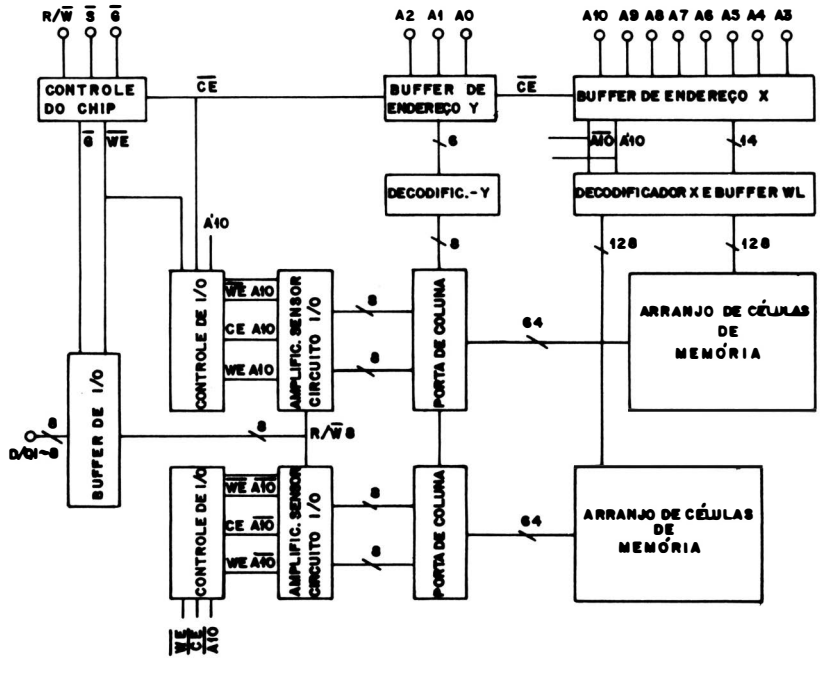


DIAGRAMA DE BLOCOS



TEMPOS DE ACESSO

CÓDIGO	t_a (ns)
ICM 6116L-15	150
ICM 6116L-20	200
ICM 6116L-25	250

NOMENCLATURA DOS PINOS

A0-A10	Endereços
R/$\overline{W}$	Leitura/Escrita
$\overline{G}$	Habilita as Saídas
$\overline{S}$	Chip Select
D/Q1 - 8	Dados
V_{DD}	Alimentação (+5V)
V_{SS}	Alimentação (0V)

TABELA DA VERDADE

$\overline{S}$	$\overline{G}$	R/$\overline{W}$	A0 - A10	DADOS	MODO	I_{DD}
H	X	X	X	ALTA IMPED.	NÃO SELECIONADO	STANDBY
L	L	H	ESTÁVEIS	DADOS SAINDO	LEITURA	ATIVO
L	H	L	ESTÁVEIS	DADOS ENTRANDO	ESCRITA	ATIVO
L	L	L	ESTÁVEIS	DADOS ENTRANDO	ESCRITA	ATIVO

VALORES MÁXIMOS ABSOLUTOS

Tensão de alimentação	−0,5 V a 7,0 V
Tensão de entrada	−0,5 V a 7,0 V
Tensão nas entradas/saídas de dados	−0,5 V a V_{DD} + 0,3 V
Dissipação de potência	1W
Temperatura e tempo de soldagem (apenas 1 terminal)	260°C a 10s
Temperatura de armazenamento	−65°C a 150°C
Temperatura de operação	0°C a 70°C

CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	TIP.	MÁX.	
V_{DD}	Tensão de alimentação	4,5	5	5,5	V
V_{SS}	Tensão de alimentação	0	0	0	V
V_{IH}	Tensão de entrada - nível alto	2,2	3,5	V_{DD}+0,3	V
V_{IL}	Tensão de entrada - nível baixo	−0,3		0,8	V

CARACTERÍSTICAS DC — V_{DD} = 5 V ± 10%, V_{SS} = 0 V; T_A = 0 a 70°C

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TIP.	MÁX.		
V_{OH}	Tensão de saída - nível alto	2,4			V	I_{OH} = −1 mA
V_{OL}	Tensão de saída - nível baixo			0,4	V	I_{OL} = 4 mA
I_I	Corrente de fuga na entrada	−2		2	µA	V_{DD} = 5,5 V, V_I = V_{SS} a V_{DD}
I_O	Corrente de fuga na saída	−2		2	µA	$\overline{S}$ = V_{IH}, $V_{I/O}$ = V_{SS} a V_{DD}
I_{DD1}	Corrente de alimentação de operação		17	35	mA	$\overline{S}$ = V_{IL}, $I_{I/O}$ = 0
			15		mA	V_{IH} = 3,5V, V_{IL} = 0,6 V, $I_{I/O}$ = 0
I_{DD2}	Corrente média de operação		20	35	mA	$I_{I/O}$ = 0; ciclo mínimo duty = 100%
I_{DD3}	Corrente de alimentação em standby		0,3	2	mA	$\overline{S}$ = V_{IH}
			1	50	µA	$\overline{S}$ = V_{DD} − 0,2V

CARACTERÍSTICAS AC — $V_{DD} = 5\ V \pm 10\%$, $V_{SS} = 0\ V$, $0 \leqslant T_A \leqslant 70°C$

CICLO DE ESCRITA

SÍMBOLO	PARÂMETRO	ICM 6116L-15		ICM 6116L-20		ICM 6116L-25		UNIDADE
		MÍN.	MÁX.	MÍN.	MÁX.	MÍN.	MÁX.	
$t_{c(\overline{W})}$	Tempo do ciclo de escrita	150		200		250		ns
$t_{w(\overline{S})}$	Largura do pulso de Chip Select	90		120		150		ns
$t_{v(\overline{W})}$	Tempo de validade de endereços para o fim da escrita	90		120		150		ns
$t_{su(A)}$	Tempo de set up de endereços	0		0		0		ns
$t_{w(\overline{W})}$	Largura do pulso de escrita	90		100		150		ns
$t_{dis(\overline{G})}$	Tempo de desabilitação das saídas por $\overline{G}$	0	50	0	60	0	80	ns
$t_{dis(\overline{W})}$	Tempo de desabilitação das saídas após R/$\overline{W}$ baixo	0	40	0	50	0	70	ns
$t_{su(D)}$	Tempo de set up de dados	50		60		80		ns
$t_{h(A)}$	Tempo de hold de endereços	0		0		0		ns
$t_{h(D)}$	Tempo de hold de dados	5		10		10		ns
$t_{en(\overline{W})}$	Tempo de habilitação de saídas por R/$\overline{W}$	10		10		10		ns

CICLO DE LEITURA

SÍMBOLO	PARÂMETRO	ICM 6116L-15		ICM 6116L-20		ICM 6116L-25		UNIDADE
		MÍN.	MÁX.	MÍN.	MÁX.	MÍN.	MÁX.	
$t_{c(R)}$	Tempo do ciclo de leitura	150		200		250		ns
$t_{a(A)}$	Tempo de acesso de endereços		150*		200		250	ns
$t_{a(\overline{S})}$	Tempo de acesso de Chip Select		150		200		250	ns
$t_{su(O)}$	Tempo de set up de saídas após $\overline{S}$ em nível baixo	15		15		15		ns
$t_{a(\overline{G})}$	Tempo de acesso de $\overline{G}$		60		80		100	ns
$t_{en(\overline{G})}$	Tempo de habilitação de saídas	15		15		15		ns
$t_{dis(\overline{S})}$	Tempo de desabilitação das saídas após $\overline{S}$ em nível alto	0	50	0	60	0	80	ns
$t_{dis(\overline{G})}$	Tempo de desabilitação das saídas após $\overline{G}$ em nível alto	0	50	0	60	0	80	ns
$t_{h(O)}$	Tempo de hold das saídas	15		15		15		ns

OBSERVAÇÕES:

Nível do pulso de entrada - 0,8 a 2,2 V.

Tempo de subida e de descida - 10 ns.

Nível de referência dos tempos de entrada e saída - 1,5 V.

Carga na saída - 1 porta TTL e $C_L = 100\ pF$.

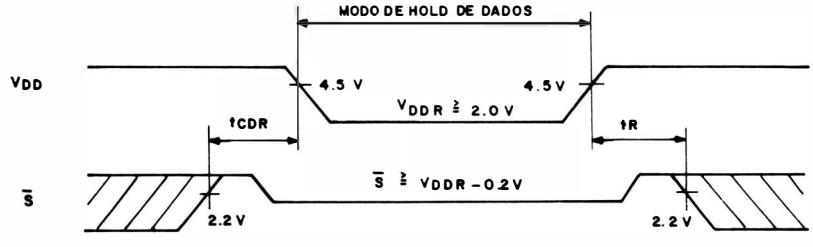
CAPACITÂNCIA DOS TERMINAIS — $T_A = 25°C$, $f = 1MHz$

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TIP.	MÁX.		
C_I	Capacitância de entrada		3	5	pF	$V_I = 0V$
$C_{I/O}$	Capacitância dos acessos de dados		5	7	pF	$V_{I/O} = 0V$

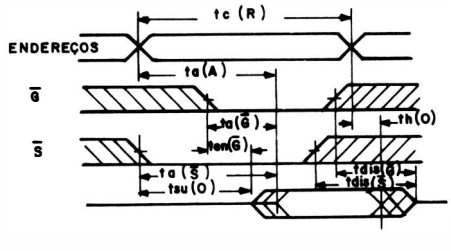
CARACTERÍSTICAS DE RETENÇÃO DE DADOS

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TIP.	MÁX.		
V_{DDR}	Tensão de alimentação de retenção de dados	2,0		5,5	V	$\overline{S} \geqslant V_{DDR} - 0{,}2V$
I_{DDR}	Corrente de retenção de dados			25	µA	$V_{DD} = 3{,}0V$, $\overline{S} \geqslant 2{,}8V$
t_{CDR}	Chip Select tempo de hold de dados	0			ns	Retenção de
t_R	Tempo de recuperação de operação	$t_{c(R)}$			ns	apresentação de dados

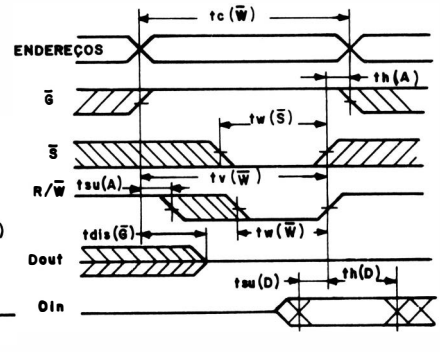
Tempo de Retenção de Dados



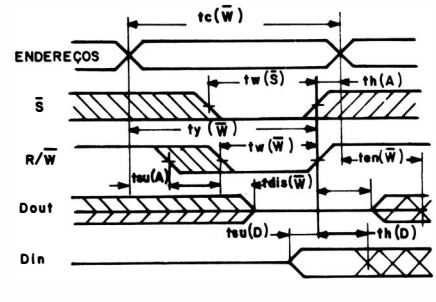
Tempos-Leitura



Tempos-Escrita (1)



Tempos-Escrita (2) ($\overline{G}$ = L)



ICM 6264L

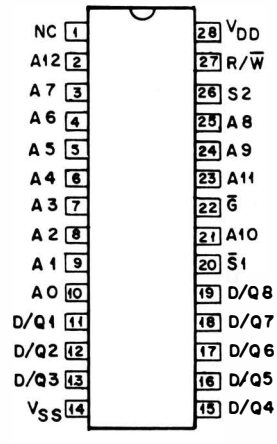
Características:

- ☐ Organização 8192 x 8;
- ☐ Alimentação única + 5 V;
- ☐ Todas as entradas e saídas compatíveis com as dos dispositivos TTL;
- ☐ Saídas tri-state;
- ☐ Baixa corrente de ativação:

Estado Ativo ——— 3 mA/MHz (típico)
Em Standby ——— 2 μA (típico)

- ☐ Completamente estática

PINAGEM



SIMBOLOGIA IEC

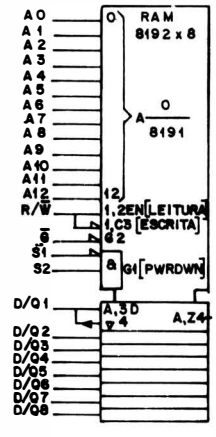
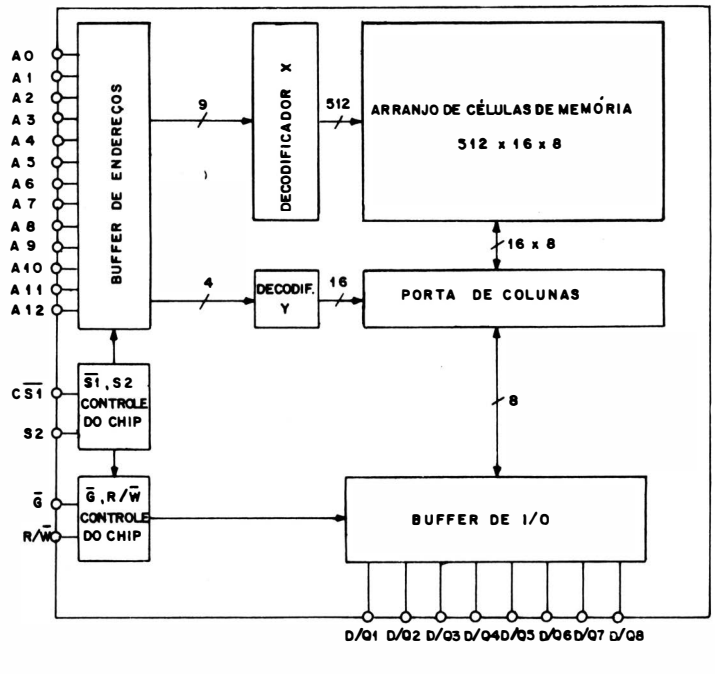


DIAGRAMA DE BLOCOS



NOMENCLATURA DOS PINOS

A0-A12	Endereços
R/$\overline{W}$	Leitura/Escrita
$\overline{G}$	Habilita as Saídas
$\overline{S}_1$, S_2	Chip Select's
D/Q1-8	Dados
V_{DD}	Alimentação (+5V)
V_{SS}	Alimentação (0V)
NC	Não Conectado

TEMPOS DE ACESSO

CÓDIGO	t_a (ns)
ICM 6264L-12	120
ICM 6264L-15	150

Descrição:

A ICM 6264L é uma RAM estática e assíncrona de 8192 palavras x 8 bits. Ela é ideal para aplicações onde se faz necessária uma memória não volátil com baterias de back up, devido ao seu baixo consumo quando em standby. Por ser estática e assíncrona, dispensa clocks e circuitos de refresh. Suas entradas e saídas são compatíveis com os níveis TTL, e a expansão da capacidade de memória fica facilitada com as saídas tri-state.

Gravação de dados:

Existem quatro maneiras de se gravar dados na memória:

1 — Durante o holding S2 = H, R/$\overline{W}$ = L, posicionar os endereços e aplicar um pulso L em $\overline{S1}$.

2 — Durante o holding $\overline{S1}$ = L, R/$\overline{W}$ = L, posicionar os endereços e aplicar um pulso H em S2.

3 — Durante o holding $\overline{S1}$ = L, S2 = H, posicionar os endereços e aplicar um pulso L em R/$\overline{W}$.

4 — Após o posicionamento dos endereços, aplicar um pulso L em $\overline{S1}$ e R/$\overline{W}$, e aplicar um pulso H em S2.

Com qualquer dos métodos anteriores, os dados presentes nos terminais de entrada/saída de dados são armazenados na ICM 6264L no final do período em que $\overline{S1}$ e R/$\overline{W}$ estão em nível baixo (L) e S2 em nível alto (H).

Os terminais de entrada/saída de dados apresentam alta impedância quando $\overline{S1}$ ou $\overline{G}$, estão em nível alto ou S2 está em nível baixo, isto evita a disputa do driver de dados com o bus de saída da memória.

Standby:

Quando $\overline{S1}$ está em nível alto ou S2 está em nível baixo, a ICM 6264L está no modo standby e apenas retém os dados. Nesta situação os terminais de entrada/saída de dados apresentam alta impedância, e todas as entradas de endereços, R/$\overline{W}$ e de dados são ignoradas.

Quando os níveis de $\overline{S1}$ e S2 estão na faixa acima de V_{DD} −0,2 V, ou o nível de S2 está na faixa abaixo de 0,2 V, há um ínfimo fluxo de corrente na ICM 6264L através das partes da memória de alta resistência.

Leitura dos dados:

Os dados estão disponíveis para leitura, assim que os endereços estiverem posicionados durante o holding $\overline{S1}$ em nível baixo, S2 em nível alto, $\overline{G}$ em nível baixo e R/$\overline{W}$ em nível alto.

Quando $\overline{G}$ está em nível alto, os terminais de entrada/saída de dados apresentam alta impedância, liberando o data bus para outros fins.

TABELA DA VERDADE

$\overline{S1}$	S2	$\overline{G}$	R/$\overline{W}$	A0 - A12	DADOS	MODO
H	X	—	—	—	ALTA IMPED.	STANDBY
—	L	—	—	—	ALTA IMPED.	STANDBY
L	H	X	L	ESTÁVEIS	DADOS ENTRANDO	ESCRITA
L	H	L	H	ESTÁVEIS	DADOS SAINDO	LEITURA
L	H	H	H	ESTÁVEIS	ALTA IMPED.	SAÍDAS DESAB.

H = nível alto; L = nível baixo; X = irrelevante; — = H,L ou alta impedância

VALORES MÁXIMOS ABSOLUTOS

Tensão de alimentação	−0,5 V a 7,0 V
Tensão de entrada	−0,5 V a 7,0 V
Tensão nas entradas/saídas de dados	−0,5 V a V_{DD} + 0,3 V
Dissipação de potência	1W
Temperatura e tempo de soldagem (apenas 1 terminal)	260°C a 10 s
Temperatura de armazenamento	−65°C a 150°C
Temperatura de operação	0°C a 70°C

CONDIÇÕES DE OPERAÇÃO RECOMENDADAS — T_A = 0 a 70°C

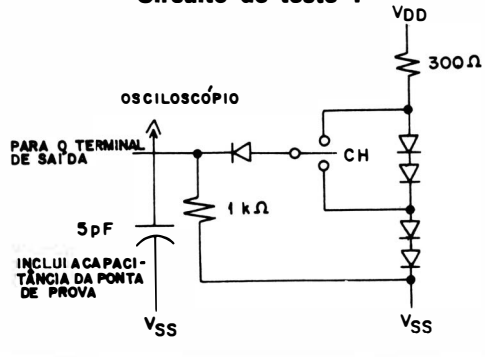
SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	TÍP.	MÁX.	
V_{DD}	Tensão de alimentação	4,5	5,0	5,5	V
V_{SS}		0	0	0	V
V_{IH}	Tensão de entrada - nível alto	2,2	3,5	$V_{DD}+0,3$	V
V_{IL}	Tensão de entrada - nível baixo	−0,3	0	0,8	V

CARACTERÍSTICAS DC — V_{DD} = 5 V ± 10%, T_A = 0 a 70°C

SÍMBOLO	PARÂMETRO	ICM 6264L-12			ICM 6264L-15			UNIDADE	CONDIÇÕES DE TESTE	
		MÍN.	TÍP.(1)	MÁX.	MÍN.	TÍP.(1)	MÁX.			
I_I	Corrente de entrada	−1		1	−1		1	µA	V_I = 0 a V_{DD}	
I_{DDS}	Corrente de alimentação em standby		1,5	3,0		1,5	3,0	mA	$\overline{S1}$ = V_{IH} ou S2 = V_{IL}	
			2	100		2	100	µA	$\overline{S1}$ = S2 ⩾ V_{DD} −0,2 V ou S2 ⩽ 0,2 V	
I_{DDA}	Corrente de alimentação média no estado ativo		6	10		6	10	mA	t_{CYC} = 1 µ	V_I = V_{IH}, V_{IL}
			30	45		25	40	mA	t_{CYC} = MÍN.	$I_{I/O}$ = 0 mA
			3	5		3	5	mA	t_{CYC} = 1 µs	V_I = 0,2 V V_{DD} = −0,2 V
			25	40		20	35	mA	t_{CYC} = MÍN.	$I_{I/O}$ = 0 mA
I_{LO}	Corrente de fuga de saída	−1		1	−1		1	µA	$\overline{S1}$ = V_{IH} ou S2 = V_{IL} ou R/$\overline{W}$ = V_{IL} ou $\overline{G}$ = V_{IH} $V_{I/O}$ = 0 a V_{DD}	
V_{OH}	Tensão de saída - nível alto	2,4	$V_{DD}-0,1$		2,4	$V_{DD}-0,1$		V	I_{OH} = −1 mA	
V_{OL}	Tensão de saída - nível baixo		0,2	0,4		0,2	0,4	V	I_{OL} = 4 mA	

OBSERVAÇÃO:
1) Obtidos com V_{DD} = 5 V e T_A = 25°C.

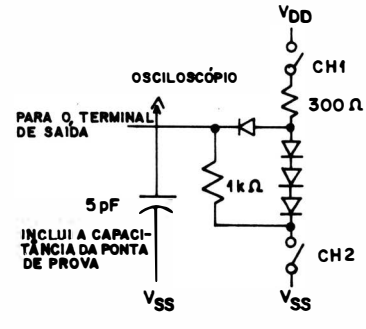
Circuito de teste 1



testes: $t_{en(\overline{W})}$, $t_{dis(\overline{W})}$ Hi-Z → H e H → Hi-Z CH em V_{DD}

$t_{en(\overline{W})}$, $t_{dis(\overline{W})}$ Hi-Z → L e L → Hi-Z CH em V_{SS}

Circuito de teste 2

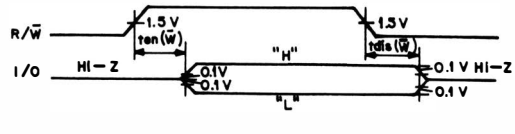


testes: $t_{dis(\overline{S1})}$, $t_{dis(S2)}$, $t_{dis(\overline{G})}$ CH1 e CH2 fechadas

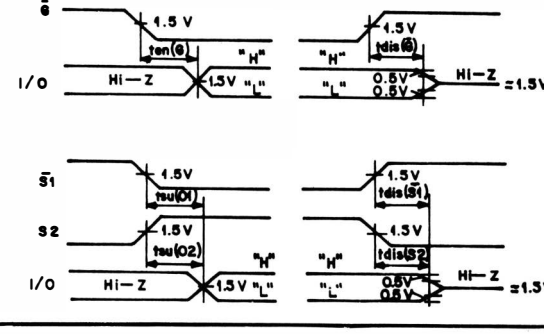
$t_{su(O1)}$, $t_{su(O2)}$, $t_{en(\overline{G})}$ Hi-Z → H CH1 aberta, CH2 fechada

$t_{su(O1)}$, $t_{su(O2)}$, $t_{en(\overline{G})}$ Hi-Z → L CH1 fechada, CH2 aberta

Tempo de Ativação/Desativação das Saídas



Tempo de Ativação/Desativação das Saídas



CARACTERÍSTICAS AC — $V_{DD} = 5\ V \pm 10\%$, $T_A = 0$ a 70°C

LEITURA

SÍMBOLO	PARÂMETRO	ICM 6264L-12		ICM 6264L-15		UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	MÁX.	MÍN.	MÁX.		
$t_{c(R)}$	Tempo do ciclo de leitura	120		150		ns	Nível do pulso de entrada 0,8 V – 2,4 V; $t_r = t_f = 10$ ns; níveis de ref. I/O = 1,5 V; Carga = TTL + C_L = 100 pF
$t_{a(A)}$	Tempo de acesso de endereços		120		150	ns	
$t_{a(\overline{S1})}$	Tempo de acesso de Chip Select - 1		120		150	ns	
$t_{a(S2)}$	Tempo de acesso de Chip Select - 2		120		150	ns	
$t_{a(\overline{G})}$	Tempo de acesso de $\overline{G}$		60		70	ns	
$t_{h(O)}$	Tempo de hold das saídas	30		30		ns	
$t_{su(O1)}$	Tempo de set up das saídas após $\overline{S1}$ em nível baixo	10		10		ns	Nível do pulso de entrada 0,8 V – 2,4 V; $t_r = t_f = 10$ ns; Circuito de teste 1
$t_{dis(\overline{S1})}$	Tempo de desabilitação das saídas após $\overline{S1}$ em nível alto		60		70	ns	
$t_{su(O2)}$	Tempo de set up das saídas após S2 em nível alto	10		10		ns	
$t_{dis(S2)}$	Tempo de desabilitação das saídas após S2 em nível baixo		60		70	ns	
$t_{en(\overline{G})}$	Tempo de habilitação de saídas	5		5		ns	
$t_{dis(\overline{G})}$	Tempo de desabilitação de saídas após $\overline{G}$ em nível alto		50		60	ns	

ESCRITA

SÍMBOLO	PARÂMETRO	ICM 6264L-12		ICM 6264L-15		UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	MÁX.	MÍN.	MÁX.		
$t_{c(w)}$	Tempo do ciclo de escrita	120		150		ns	Nível do pulso de entrada 0,8 V – 2,4 V; $t_r = t_f = 10$ ns; Nível de referência p/ medida dos tempos = 1,5 V; Carga = TTL + C_L = 100 pF
$t_{w(\overline{S1})}$	Largura do pulso de Chip Select - 1	100		120		ns	
$t_{w(S2)}$	Largura do pulso de Chip Select - 2	100		120		ns	
$t_{v(w)}$	Tempo de validade de endereços para o fim da escrita	100		120		ns	
$t_{su(A)}$	Tempo de set up de endereços	0		0		ns	
$t_{w(W)}$	Largura do pulso de escrita	80		100		ns	
$t_{h(A)}$	Tempo de hold de endereços	0		0		ns	
$t_{su(D)}$	Tempo de set up de dados	50		60		ns	
$t_{h(D)}$	Tempo de hold de dados	0		0		ns	
$t_{dis(\overline{W})}$	Tempo de desabilitação das saídas após R/$\overline{W}$ em nível baixo		60		70	ns	Nível do pulso de entrada 0,8 V – 2,4 V; $t_r = t_f = 10$ ns; Circuito de teste 2
$t_{en(\overline{W})}$	Tempo de habilitação de saídas por R/$\overline{W}$	10		10		ns	

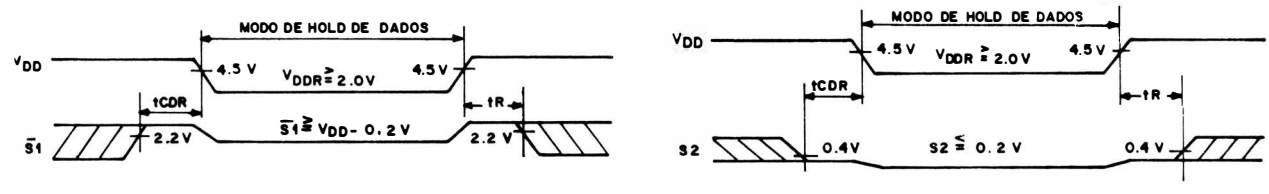
CAPACITÂNCIA DOS TERMINAIS — $T_A = 25°C$, f = 1 MHz

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TÍP.	MÁX.		
C_{AD}	Capacitância das entradas de endereços		3	4	pF	$V_{AD} = 0$ V
C_I	Capacitância das demais entradas		5	7	pF	$V_I = 0$ V
$C_{I/O}$	Capacitância dos acessos de dados		6	8	pF	$V_{I/O} = 0$ V

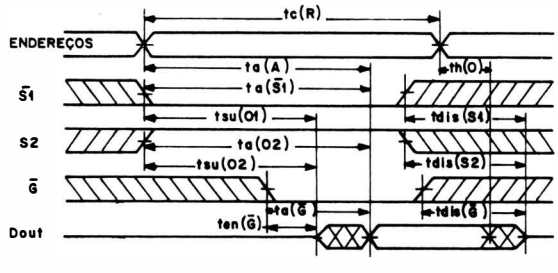
CARACTERÍSTICAS DE RETENÇÃO DE DADOS

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TÍP.	MÁX.		
V_{DDR}	Tensão de alimentação de retenção de dados	2,0		5,5	V	
I_{DDR}	Corrente de retenção de dados			50	µA	V_{DD} = 3,0 V, $\overline{S} \geqslant$ 2,8 V
t_{CDR}	Chip Select tempo de hold de dados	0			ns	
t_R	Tempo de recuperação de operação	$t_{c(R)}$			ns	

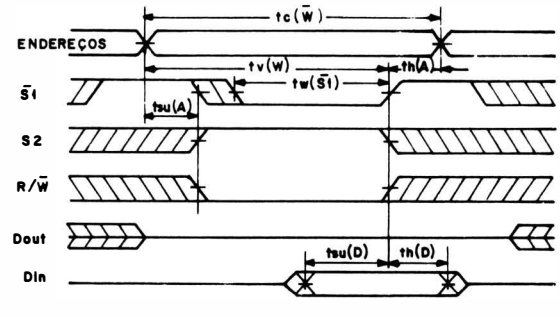
TEMPO DE RETENÇÃO DE DADOS



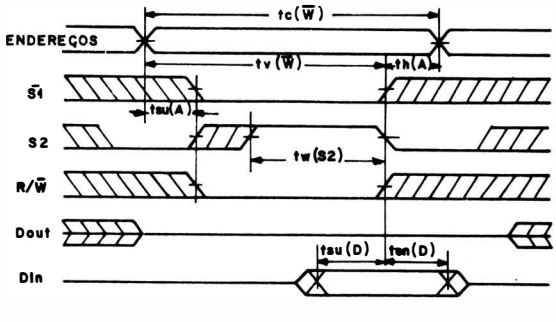
TEMPOS - LEITURA



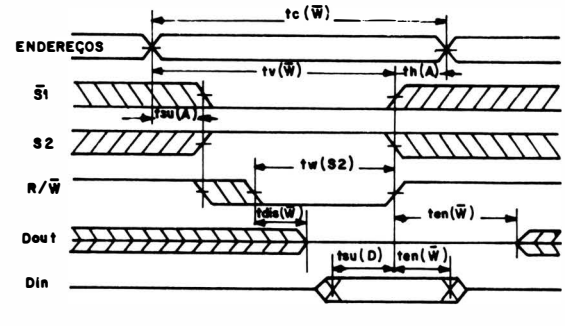
TEMPOS - ESCRITA 1 ($\overline{S1}$)



TEMPOS - ESCRITA 2 (S2)

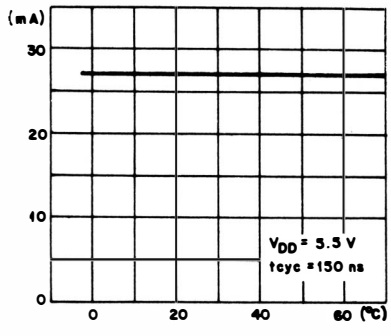


TEMPOS - ESCRITA 3 (R/W)

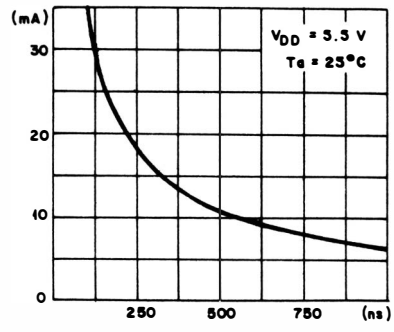


CURVAS DE DESEMPENHO

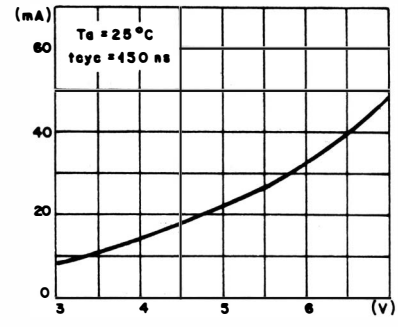
I_{DDA} x T_A



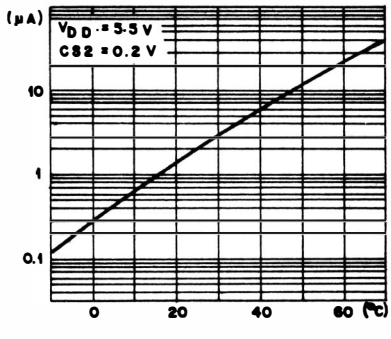
I_{DDA} x t_{CYC}



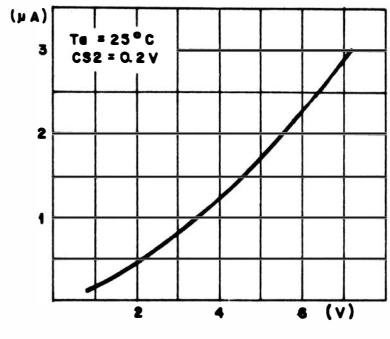
I_{DDA} x V_{DD}



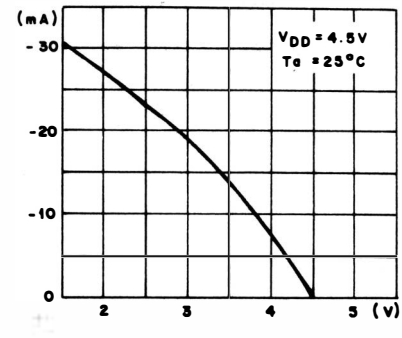
I_{DDS} x T_A



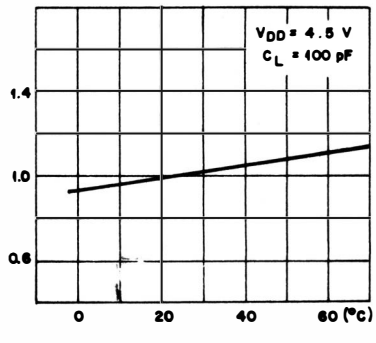
I_{DDS} x V_{DD}



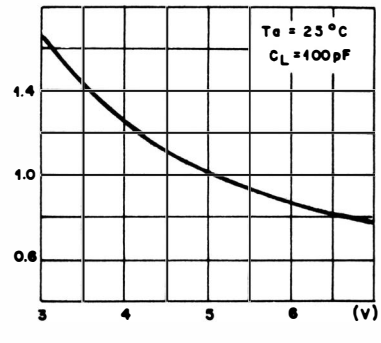
I_{OH} x V_{OH}



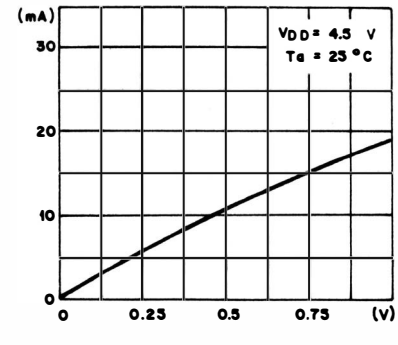
$t_{a\,(A)}$, $t_{a\,(\overline{S1})}$, $t_{a\,(S2)}$
x T_A (NORMALIZADO)



$t_{a\,(A)}$, $t_{a\,(\overline{S1})}$, $t_{a\,(S2)}$
x V_{DD} (NORMALIZADO)

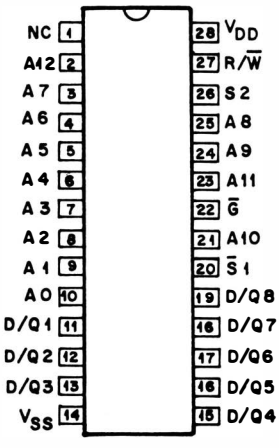


I_{OL} x V_{OL}

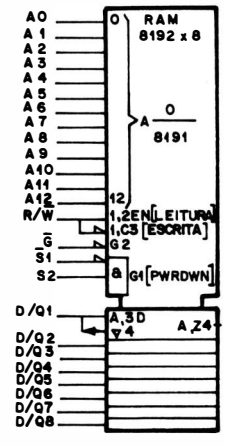


ICM 6264LD

PINAGEM



SIMBOLOGIA IEC



Características:

- ☐ Organização 8192 × 8;
- ☐ Alimentação única +5V ± 10%;
- ☐ Entradas e saídas compatíveis com as dos dispositivos TTL;
- ☐ Saídas tristate;
- ☐ Baixo consumo de corrente

  Estado ativo: 50mA _____ 90ns.
  47mA _____ 100ns.
  45mA _____ 120ns.
  Standby: 0.5μA
- ☐ Completamente estática.

Descrição:

A ICM6264LD é uma RAM estática assíncrona de 8192 palavras × 8 bits, ideal para aplicações onde se requer uma memória não volátil com baterias de backup, devido ao seu baixo consumo quando em standby. Por ser estática e assíncrona, dispensa clocks e circuitos de refresh. Suas entradas e saídas são compatíveis com os níveis TTL, e a expansão da capacidade de memória fica facilitada com as saídas tristate.

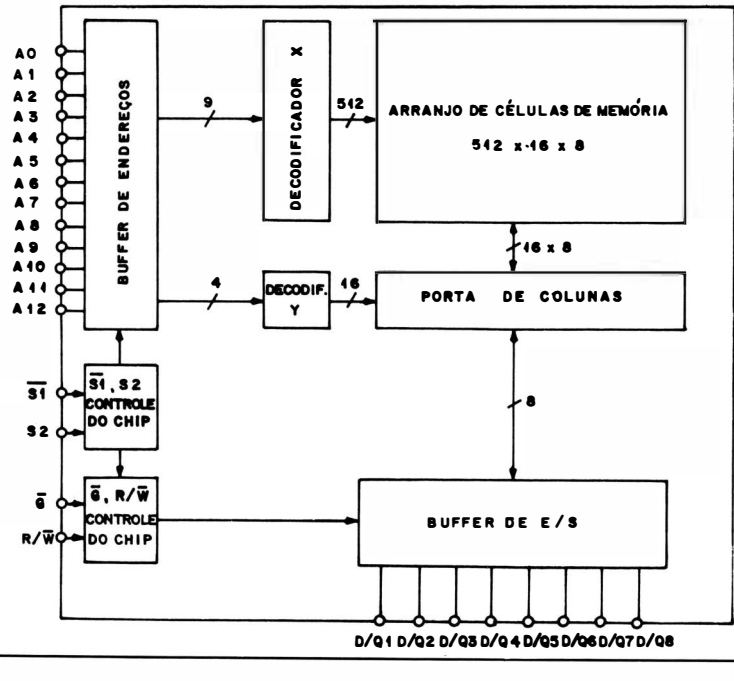
Gravação de dados:

Existem quatro maneiras de se gravar dados na memória:

1 - Durante o holding S2=H, R/$\overline{W}$=L, posicionar os endereços e aplicar um pulso L em $\overline{S1}$.
2 - Durante o holding $\overline{S1}$=L, R/$\overline{W}$=L, posicionar os endereços e aplicar um pulso H em S2.
3 - Durante o holding $\overline{S1}$=L, S2=H, posicionar os endereços e aplicar um pulso L em R/$\overline{W}$.
4 - Após posicionamento dos endereços, aplicar um pulso L em $\overline{S1}$ e R/$\overline{W}$, e um pulso H em S2.

Com qualquer dos métodos anteriores, os dados presentes nos terminais de entrada/saída de dados são armazenados na ICM6264LD no final do período em que $\overline{S1}$ e R/$\overline{W}$ estiveram em nível baixo (L) e S2 em nível alto (H).

DIAGRAMA DE BLOCOS



NOMENCLATURA DOS PINOS

A0-A12	Endereços
R/$\overline{W}$	Leitura/Ecrita
$\overline{G}$	Habitação das saídas
$\overline{S1}$,S2	Chip Select
D/Q1-6	Dados
V_{DD}	Alimentação (+5V)
V_{SS}	Alimentação (0V)
NC	Não Conectado

TEMPOS DE ACESSO

CÓDIGO	t_A(ns)
ICM 6264LD-9	90
ICM 6264LD-10	100
ICM 6264LD-12	120

Os terminais de entrada/saída de dados apresentarão alta impedância quando $\overline{S1}$ ou $\overline{G}$ estiverem em nível alto ou S2 estiver em nível baixo, isto evita a disputa do driver de dados com o bus de saída da memória.

Standby:

Quando $\overline{S1}$ estiver em nível alto ou S2 estiver em nível baixo, a ICM 6264LD estará no modo standby e apenas reterá o dado. Nesta situação os terminais de entrada/saída de dados apresentarão alta impedância e todas as entradas de endereço, R/$\overline{W}$ e de dados serão ignoradas.
Quando os níveis de $\overline{S1}$ e S2 estiverem na faixa acima de V_{DD}-0,2V, ou o nível de S2 estiver na faixa abaixo de 0,2V, haverá um ínfimo fluxo de corrente alimentando a ICM 6264LD, necessário apenas para manter os dados.

Leitura dos dados:

Os dados estarão disponíveis para a leitura, assim que os endereços estiverem posicionados durante o holding $\overline{S1}$ em nível baixo, S2 em nível alto, $\overline{G}$ em nível baixo e R/$\overline{W}$ em nível alto.
Quando $\overline{G}$ estiver em nível alto, os terminais de entrada/saída de dados apresentarão alta impedância, liberando o bus de dados para outros fins.

TABELA DA VERDADE

$\overline{S}_1$	S_2	$\overline{G}$	R/$\overline{W}$	A0 - A12	Dados E/S	Modo	I_{DD}
H	X	—	—	—	Alta impedância	Standby	I_{DDS1}
—	L	—	—	—	Alta impedância	Standby	I_{DDS1}
L	H	X	L	Estáveis	Dados entrando	Escrita	I_{DDA}
L	H	L	H	Estáveis	Dados saindo	Leitura	I_{DDA}
L	H	H	H	Estáveis	Alta impedância	Saídas desabilitadas	I_{DDA}

OBSERVAÇÕES:
H = Nível alto; L = Nível baixo; X = Irrelevante; "—" = H, L ou alta impedância

VALORES MÁXIMOS ABSOLUTOS

Tensão de alimentação	−0,5 V a 7,0 V
Tensão de entrada(1)	−0,5 V a 7,0 V
Tensão de entradas/saídas(1)	−0,5 V a V_{DD} + 0,3 V
Dissipação de potência	1W
Temperatura de soldagem (soldagem por 10s - apenas um terminal)	260°C
Temperatura de armazenamento	−65°C a 150°C
Temperatura de operação	0°C a 70°C

OBSERVAÇÃO:
1) Se a largura do pulso for 50 ns o limite inferior será −1,0 V

CARACTERÍSTICAS DC (V_{DD} = 5V ± 10%, T_A = 0 A 70°C)

SÍMBOLO	PARÂMETRO	ICM 6264LD-9			ICM 6264LD-10			ICM 6264LD-12			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TÍP.	MÁX.	MÍN.	TÍP.	MÁX.	MÍN.	TÍP.	MÁX.		
I_I	Corrente de entrada	−1		1	−1		1	−1		1	µA	V_I=0 a V_{DD}
I_{DDS}	Corrente de alimentação em standby		0,5	1,0		0,5	1,0		0,5	1,0	mA	$\overline{S_1}$ = V_{IH} ou S2 = V_{IL}
I_{DDS1}			0,5	20		0,5	20		0,5	20	µA	$\overline{S1}$ = S2 ≥ V_{DD} − 0,2V ou S2 ≤ 0,2V
I_{DDA}	Corrente de alimentação média no estado ativo		50	85		47	82		45	80	mA	V_I = V_{IL}, V_{IH} $I_{D/Q}$ = 0 t_{CYC} = Mín.
I_{DDO}	Corrente de alimentação em operação		35	60		35	60		35	60	mA	V_I = V_{IL}, V_{IH} $I_{D/Q}$ = 0
I_{LO}	Corrente de fuga na saída	−1		1	−1		1	−1		1	µA	$\overline{S1}$ = V_{IH} ou S2 = V_{IL} ou R/$\overline{W}$ = V_{IL} ou $\overline{G}$ = V_{IH} $V_{D/Q}$ = 0 a V_{VDD}
V_{OH}	Tensão de saída - nível alto	2,4	V_{DD} − 0,1		2,4	V_{DD} − 0,1		2,4	V_{DD} − 0,1		V	I_{OH} = −1,0mA
V_{OL}	Tensão de saída - nível baixo		0.2	0.4		0.2	0.4		0.2	0.4	V	I_{OL} = 4.0mA

OBSERVAÇÃO:
Valores típicos obtidos com V_{CC} = 5,0V e T_A = 25°C

CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	TÍP.	MÁX.	
V_{DD}	Tensão de alimentação	4,5	5,0	5,5	V
V_{SS}	Tensão de alimentação	0	0	0	V
V_{IH}	Tensão de - entrada nível alto	2,2	3,5	$V_{DD}+0,3V$	V
V_{IL}	Tensão de entrada - nível baixo	$-0,3^{(1)}$	0	0,8	V

OBSERVAÇÃO:
1) Se a largura do pulso for 50 ns o limite inferior será −1,0 V

CAPACITÂNCIA DOS TERMINAIS - (f = 1MHz, T_A = 25°C)

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES TESTE
		MÍN.	TÍP.	MÁX.		
C_{ADD}	Capacitância dos endereços		3	5	pF	V_{AD} = 0V
C_I	Capacitância de entrada		5	6	pF	V_I = 0V
$C_{D/Q}$	Capacitância dos acessos de dados		6	7	pF	$V_{D/Q}$ = 0V

CARACTERÍSTICAS AC

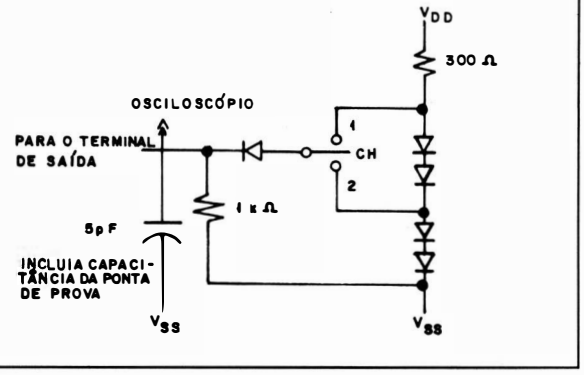
LEITURA

SÍMBOLO	PARÂMETRO	ICM 6264LD-9		ICM 6264LD-10		ICM 6264LD-12		UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	MÁX.	MÍN.	MÁX.	MÍN.	MÁX.		
$t_{c(R)}$	Tempo do ciclo de leitura	90		100		120		ns	Nível do pulso de entrada 0,8V ~ 2,4V $t_r = t_f$ = 10ns Níveis de ref. D/Q = 1,5V carga = 1TTL + C_L = 100 pF
$t_{a(A)}$	Tempo de acesso de endereços		90		100		120	ns	
$t_{a(S1)}$	Tempo de acesso de $\overline{S1}$		90		100		120	ns	
$t_{a(S2)}$	Tempo de acesso de S2		90		100		120	ns	
$t_{a(G)}$	Tempo de acesso de $\overline{G}$		50		50		60	ns	
$t_{h(Q)}$	Tempo de hold das saídas	10		10		10		ns	
$t_{en(S)}$	Tempo de habilitação das saídas por $\overline{S1}$	10		10		10		ns	Nível do pulso de entrada 0,8V ~ 2,4V $t_r = t_f$ = 10ns Circuito de teste 2
$t_{dis(S1)}$	Tempo de desabilitação das saídas por $\overline{S1}$		35		35		40	ns	
$t_{en(S2)}$	Tempo de habilitação das saídas por S2	10		10		10		ns	
$t_{dis(S2)}$	Tempo de desabilitação das saídas por S2		35		35		40	ns	
$t_{en(G)}$	Tempo de habilitação das saídas por $\overline{G}$	5		5		5		ns	
$t_{dis(G}$	Tempo de desabilitação das saídas por $\overline{G}$		35		35		40	ns	

ESCRITA

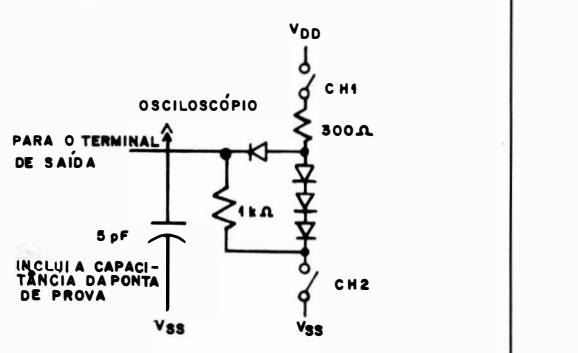
SÍMBOLO	PARÂMETRO	ICM 6264LD-9		ICM 6264LD-10		ICM 6264LD-12		UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	MÁX.	MÍN.	MÁX.	MÍN.	MÁX.		
$t_{c(W)}$	Tempo do ciclo de escrita	90		100		120		ns	Nível do pulso de entrada 0,8V ~ 2,4V $t_r = t_f$ = 10ns Níveis de ref. D/Q = 1,5V Carga = 1TTL + C_L = 100 pF
$t_{w(S1)}$	Largura do pulso S1	75		80		85		ns	
$t_{w(S2)}$	Largura do pulso S2	75		80		85		ns	
$t_{v(W)}$	Tempo de manutenção dos endereços até o fim da escrita	75		80		85		ns	
$t_{su(A)}$	Tempo de setup de endereços	0		0		0		ns	
$t_{w(W)}$	Largura do pulso de escrita	60		60		70		ns	
$t_{h(A)}$	Tempo de hold de endereço	0		0		0		ns	
$t_{su(D)}$	Tempo de setup de dados	50		50		50		ns	
$t_{h(D)}$	Tempo de hold de dados	0		0		0		ns	
$t_{dis(W)}$	Tempo de desabilitação das saídas por R/$\overline{W}$		35		35		40	ns	Nível do pulso de entrada 0,8V ~ 2,4V; $t_r = t_f$ = 10ns Circuito de teste 1
$t_{en(G)}$	Tempo de habilitação das saídas por R/$\overline{W}$	5		5		5		ns	

Circuito de teste 1



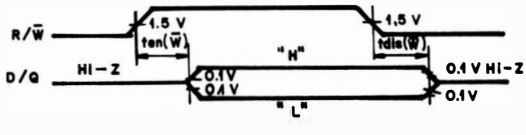
teste: $t_{en(W)}$, $t_{DIS(W)}$ H. — Z → H e H → H. — Z CH na posição 1
$t_{en(W)}$, $t_{DIS(W)}$ H. — Z → H e H → H. — Z CH na posição 1

Circuito de teste 2

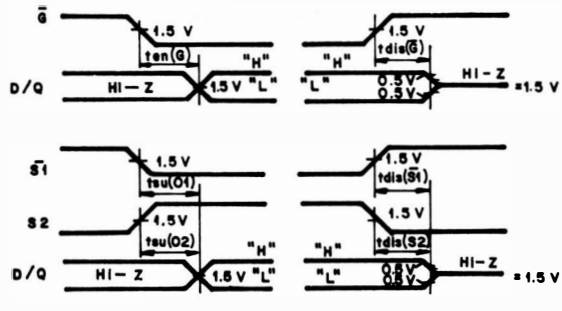


testes: $t_{dis(S1}$, $t_{dis(S2)}$, $t_{dis(G)}$ CH1 e CH2 Fechadas
$t_{su(O1)}$, $t_{su(O2)}$, $t_{en(G}$ H, — Z → H — CH1 aberta, CH2 fechada
$t_{su(O1)}$, $t_{su(O2)}$, $t_{en(G)}$ H, — Z → L — CH1 aberta, CH2 aberta

Tempo de Ativação/Desativação das Saídas



Tempo de Ativação/Desativação das Saídas



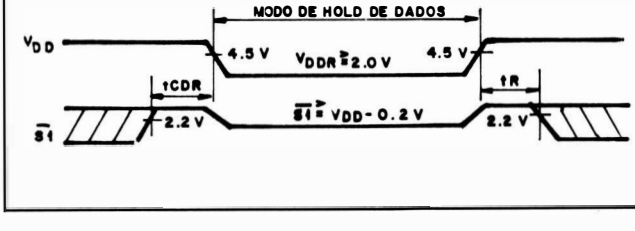
CARACTERÍSTICAS DE RETENÇÃO DE DADOS — (T_A = 0 a 70°C)

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TÍP.	MÁX.		
V_{DDR}	Tensão de alimentação de retenção de dados	2		5,5	V	
I_{DDS2}	Corrente de retenção de dados			10	μA	V_{DD} = 3 V $\overline{S_1}$ = $S_2 \geqslant V_{DD}$ — 0,2 V ou $S_2 \leqslant$ 0,2 V
t_{CDR}	Chip select - Tempo de hold de dados	0			ns	
t_R(1)	Tensão de recuperação de operação	$t_{C(R}$(1)			ns	

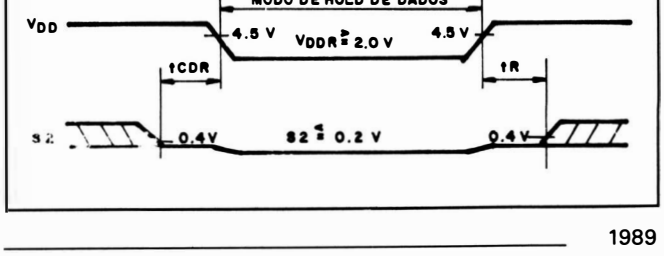
OBSERVAÇÃO:
1) $t_{C(S)}$ = Tempo do ciclo de leitura.

TEMPO DE RETENÇÃO DE DADOS

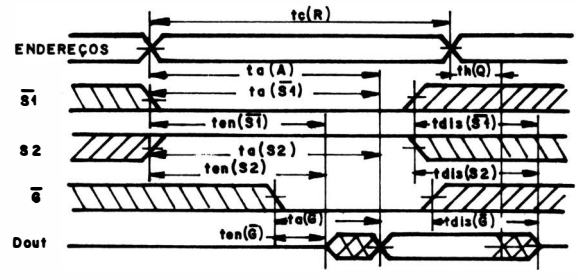
Controle por $\overline{S1}$



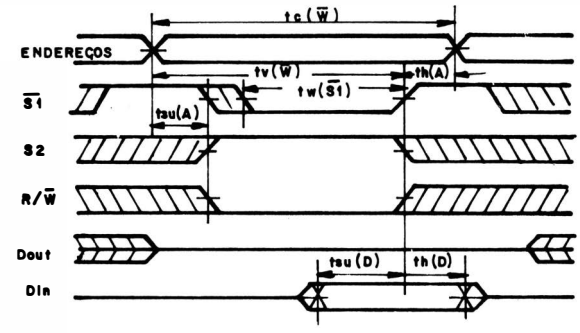
Controle por S2



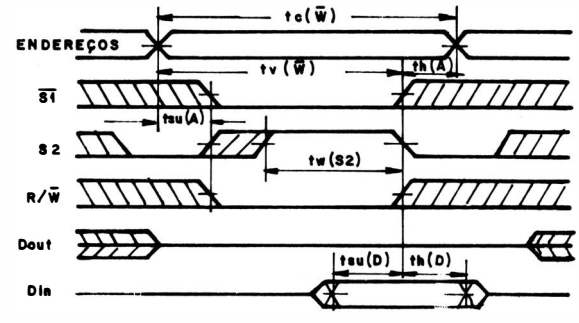
Ciclo de Leitura



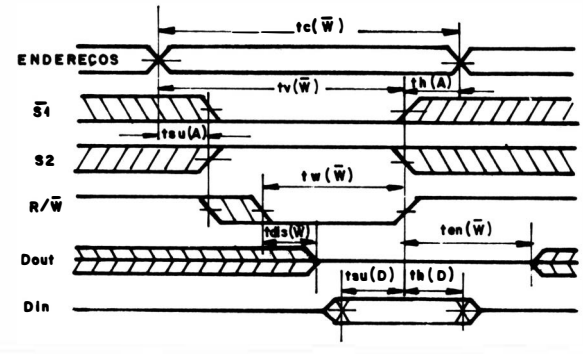
Ciclo de Escrita ($\overline{S1}$)



Ciclo de Escrita 2 (S2)



Ciclo de Escrita 3 (R/$\overline{W}$)



ICM 62256

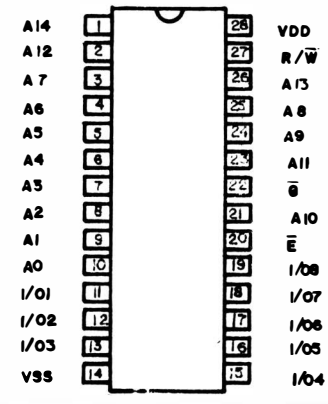
Características:

- ☐ Baixo tempo de acesso;
- ☐ Consumo reduzido de corrente (2 μA em standby e 37/40 mA em operação);
- ☐ Totalmente estática, dispensando qualquer tipo de clock;
- ☐ Entradas e saídas compatíveis com TTL;
- ☐ Saídas de três estados;
- ☐ Back-up por bateria;
- ☐ Alimentação única de +5 V ± 10%.

Descrição Geral:

A ICM 62256 é uma memória RAM estática e assíncrona, organizada em 32.768 palavras de 8 bits e produzida em duas versões: 100 e 120 ns de tempo de acesso (veja tabela). Pelo seu baixíssimo consumo de potência em standby, é recomendável para aplicações que requerem armazenagem não volátil, por meio de baterias de back-up. Graças à sua natureza assíncrona e estática, ela dispensa qualquer clock ou sistema de refresh externo. Suas portas de entrada e saída são compatíveis com a lógica TTL e a saída de três estados simplifica a expansão da capacidade de memória.

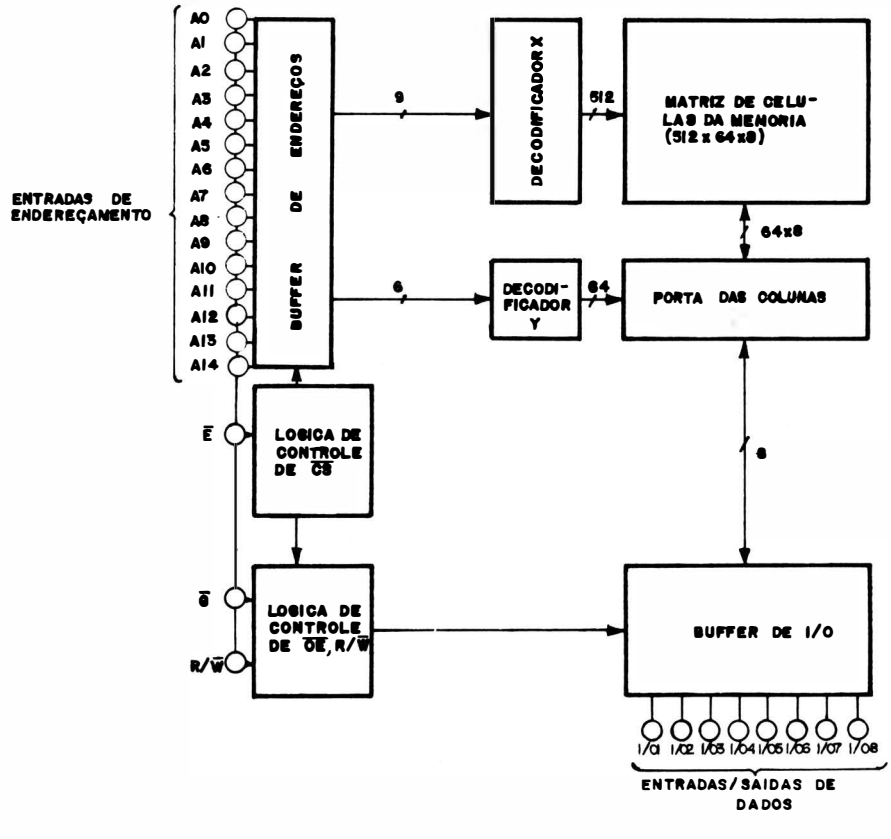
PINAGEM

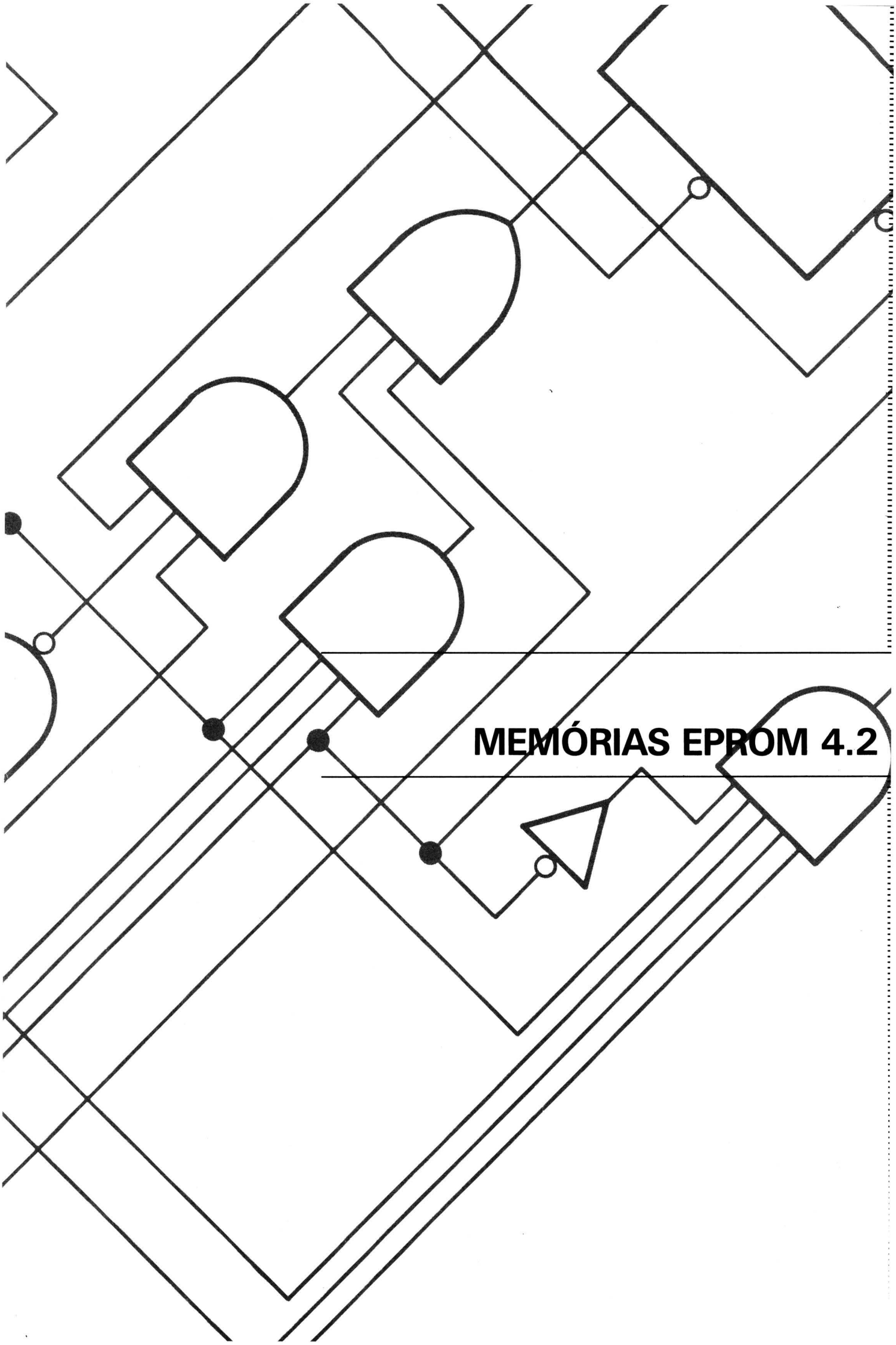


VERSÕES DA ICM 62256

Código	Tempo de acesso	Consumo típico
ICM 62256-10	100 ns	40 mA
ICM62256-12	120 ns	37 mA

DIAGRAMA DE BLOCOS





MEMÓRIAS EPROM 4.2

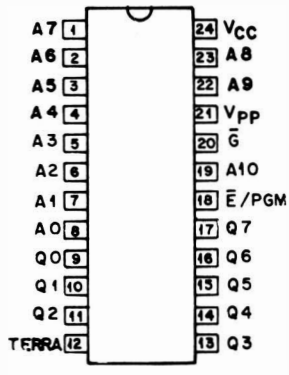
MEMÓRIAS EPROM

Permitindo tanto a inserção como o apagamento de informações pelo próprio usuário, as memórias EPROM são de grande valia durante a fase de desenvolvimento de um sistema — ou mesmo na etapa de produção, quando é preciso alterar a programação de um determinado equipamento. O catálogo ITAUCOM é um dos mais completos nessa área, oferecendo EPROMs com várias capacidades de armazenagem.

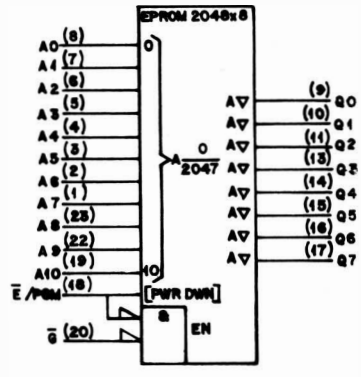
ICM 2716 ____ 272
ICM 2732A ____ 278
ICM 2764AS ____ 284
ICM 27128AS ____ 285
ICM 27256S ____ 286

ICM 2716

PINAGEM



SIMBOLOGIA IEC



Características:

- ☐ Organização 2048 x 8;
- ☐ Alimentação única 5 V;
- ☐ Todas as entradas e saídas compatíveis com as dos dispositivos TTL durante a leitura;
- ☐ Operação estática (sem clocks e sem refresh);
- ☐ Saída de 8 bits para sistemas baseados em microprocessadores;
- ☐ Tensão de programação V_{PP} = 25 V;
- ☐ Baixa dissipação de potência:

Estado Ativo ——— 525 mW
Em Standby ——— 132 mW

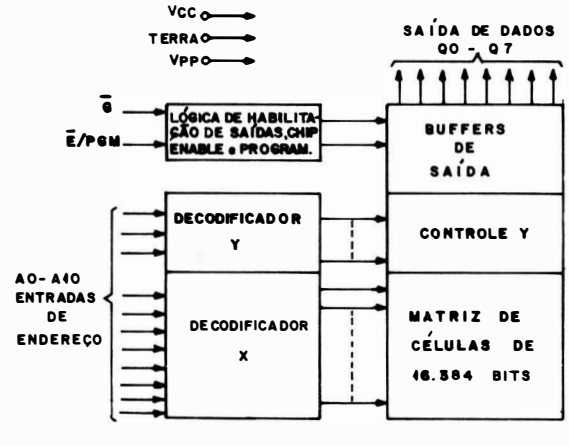
TEMPOS DE ACESSO

CÓDIGO	t_a (ns)
ICM 2716-35	350
ICM 2716-45	450

NOMENCLATURA DOS PINOS

A0-A10	Endereços
$\overline{E}$/PGM	Chip Enable/Program.
$\overline{G}$	Habilita saídas
Q0-Q7	Saídas

DIAGRAMA DE BLOCOS



Descrição Geral:

A ICM 2716 é uma EPROM de 16 K organizada em 2048 palavras de 8 bits cada.

Quando estocada virgem, a ICM 2716 pode ser rápida e eficientemente programada, evitando os custos introduzidos pelas máscaras de ROM e estoques de ROM's obsoletas quando surge a necessidade de se alterar a programação.

Quando no Modo Standby a corrente consumida, que no estado ativo é de 100 mA, cai para 25 mA, o que significa uma redução de 75%. O Modo Standby é ativado mediante a aplicação de um sinal em nível alto TTL na entrada $\overline{E}$.

Descrição Funcional:

A tabela 1 apresenta os cinco modos de operação da ICM 2716. Se requer apenas uma fonte de alimentação única de 5 V para a operação no Modo de Leitura. Todas as entradas operam com níveis TTL, exceto a entrada V_{PP}, que no Modo de Programação opera com uma tensão de 25 V.

Modo de Leitura:

A ICM 2716 possui duas funções de controle que devem ser ativadas de maneira conveniente a fim de se obter corretamente os dados nas saídas. A entrada $\overline{E}$ (Chip Enable) é o controle de alimentação e deve ser usada para selecionar o dispositivo. A entrada $\overline{G}$ (Output Enable) por sua vez, é a entrada de controle das saídas e deve ser usada para desligar as saídas, independentemente do dispositivo de seleção.

Os dados estarão disponíveis nas saídas após a borda de descida do sinal em $\overline{G}$, supondo que $\overline{E}$ está em nível baixo e os endereços estão estáveis.

Modo Standby:

Através do Modo Standby, a potência dissipada pela ICM 2716 pode ser reduzida em 75%, baixando a potência de 525 mW para 132 mW. A ICM 2716 entra no Modo Standby mediante a aplicação de um nível alto TTL na entrada $\overline{E}$.

Quando no Modo Standby, as saídas apresentam alta impedância independentemente do nível da entrada $\overline{G}$.

Controle de Saídas:

Devido ao uso das EPROM's em arranjos de memória maiores, dois ou mais dispositivos podem estar conectados ao mesmo bus. A ICM 2716 possui duas linhas de controle de saídas, que permitem a leitura das saídas de qualquer dispositivo particular do arranjo, sem interferência das saídas dos dispositivos concorrentes. As duas linhas de controle possibilitam:

— Uma dissipação de potência mais baixa.

— Certeza absoluta de que não ocorrerá conexão ao bus de saída.

Para que estas duas linhas sejam usadas com mais eficiência, $\overline{E}$ (pino 18) deve ser decodificada e usada como elemento selecionador primário, ao passo que com $\overline{G}$ (pino 20) deve ser feita uma conexão comum a todos os dispositivos do arranjo e ligá-la à linha READ do sistema de controle do bus.

Desta maneira todos os dispositivos de memória não selecionados, permanecem no Modo Standby, e os pinos de saída são ativados apenas quando o dado é desejado de um dispositivo de memória particular.

Modo de Programação:

Inicialmente todos os bits da ICM 2716 apresentam o estado interno 1. O dispositivo é programado gravando-se "0's" nos bits selecionados. A ICM 2716 assumirá o Modo de Programação quando na entrada V_{PP} for aplicada uma tensão de 25 V e $\overline{G}$ estiver com V_{IH}. O dado de 8 bits a ser programado é aplicado em paralelo com os pinos de saída de dados.

As entradas de dados e endereços requerem níveis TTL. Quando dados e endereços estiverem estáveis deve-se aplicar na entrada $\overline{E}$/PGM, um pulso em nível alto TTL com 50 ms de duração. Desta maneira o dado ficará gravado na posição indicada pelo endereço. Esta operação deve ser repetida a cada nova posição de endereço a ser programada. As posições podem ser programadas em qualquer ordem, e a largura máxima do pulso de programação não deve ser superior a 55 ms. A ICM 2716 não deve ser programada com um sinal DC contínuo aplicado à entrada $\overline{E}$/PGM.

Se os dados forem idênticos, é possível a programação simultânea de várias ICM 2716. Para tal, as entradas correspondentes das várias ICM 2716 devem ser ligadas em paralelo. Um pulso em nível alto aplicado à entrada $\overline{E}$/PGM gravará a informação em todos os dispositivos simultaneamente.

Modo Programação Inibida:

A programação de várias ICM 2716 com dados diferentes é também facilmente exequível, ligando-se em paralelo as entradas correspondentes (inclusive $\overline{G}$), excetuando-se a entrada $\overline{E}$/PGM.

O pulso de programação aplicado à entrada $\overline{E}$/PGM irá programar o dispositivo destinado a ter determinado código em um endereço específico. Os dispositivos não selecionados para a gravação terão nas suas respectivas entradas $\overline{E}$/PGM um nível baixo que impedirá a gravação.

Modo Verificação:

A fim de determinar se a programação está correta pode ser feita uma verificação sobre os bits programados. A verificação pode ser feita com $V_{PP} = 25$ V. Exceto durante a programação e verificação V_{PP} deve igual a 5 V.

Operação de Apagamento:

Devido às características da ICM 2716, o apagamento começa a ocorrer quando o dispositivo é exposto à luz cujo comprimento de onda é de aproximadamente 4000 Angstrons (Å). Deve-se observar que a luz do sol bem como a de certos tipos de lâmpadas fluorescentes têm comprimentos de onda dentro da faixa de 3000 Å a 4000 Å. A exposição contínua do dispositivo em uma sala com iluminação fluorescente pode apagá-lo em aproximadamente 3 anos, ao passo que sob a luz do

sol este tempo se reduz a uma semana. Quando a ICM 2716 for submetida a estes tipos de condições de luminosidade, é conveniente cobrir a janela do dispositivo com um selo opaco, a fim de evitar um apagamento indesejável.

Para o apagamento da ICM 2716 recomenda-se a exposição à luz ultra violeta com comprimento de onda de 2537 Angtrons (Å). Para o apagamento, o produto: intensidade da luz U.V. × tempo de exposição deve ser no mínimo de 15 Ws/cm². Nestas condições o tempo de apagamento deve durar aproximadamente de 15 a 20 minutos usando uma lâmpada ultra violeta com uma taxa de potência de 12.000 μW/cm².

Durante o apagamento a ICM 2716 deve ser colocada a 2,5 cm de distância dos tubos da lâmpada.

Algumas lâmpadas possuem um filtro sobre os tubos, que deve ser retirado antes do apagamento.

Considerações Sobre o Sistema:

As características de chaveamento destes dispositivos exigem certos cuidados no desacoplamento.

A corrente de alimentação pode ser dividida em três componentes de interesse para o projeto de sistemas:
— O nível de corrente em Standby
— O nível de corrente no Estado Ativo;
— Picos transientes de corrente gerados pelas bordas de subida e descida do sinal em $\overline{E}$.

A magnitude dos picos de transientes de corrente depende da carga capacitiva na saída do dispositivo. Os picos de transientes de tensão associados podem ser suprimidos através de capacitores devidamente selecionados.

Recomenda-se o uso de um capacitor cerâmico de 0,1 μF entre V_{CC} e terra para cada dispositivo. Este deve ser um capacitor para alta frequência e de baixa indutância interna colocado tão próximo do dispositivo quanto possível. Em adição deve ser usado um capacitor eletrolítico maior de 4,7 μF, para cada 8 dispositivos. Este capacitor pode ser colocado próximo à conexão entre a fonte de alimentação e o arranjo. A função deste capacitor maior é compensar a queda de tensão causada pelos efeitos indutivos das pistas do circuito impresso.

VALORES MÁXIMOS ABSOLUTOS

Tensão em todas as entradas e saídas	— 0,3 V a 6 V
Tensão em V_{PP} durante a programação	— 0,3 V a 26,5 V
Temperatura de armazenamento	— 65°C a 125°C
Temperatura de operação	— 10°C a 80°C

OBSERVAÇÕES:

Os Valores Máximos Absolutos representam tensões acima das quais a utilização do componente fica comprometida. O funcionamento do dispositivo em condições de Valores Máximos Absolutos por períodos extensos é desaconselhável e pode afetar a confiabilidade do dispositivo.

TABELA 1

MODOS DE OPERAÇÃO

PINOS / MODO	$\overline{E}$/PGM (18)	$\overline{G}$ (20)	V_{PP} (21)	V_{CC} (24)	SAÍDAS (9-11, 13-17)
LEITURA	V_{IL}	V_{IL}	5	5	DADOS (SAINDO)
STANDBY	V_{IH}	×	5	5	ALTA IMPED.
PROGRAMAÇÃO	PULSO V_{IL} a V_{IH}	V_{IH}	25	5	DADOS (ENTRANDO)
VERIFICAÇÃO	V_{IL}	V_{IL}	25	5	DADOS (SAINDO)
PROGRAMAÇÃO INIBIDA	V_{IL}	V_{IH}	25	5	ALTA IMPED.

CARACTERÍSTICAS DC

LEITURA

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TÍP.	MÁX.		
I_I	Corrente de entrada			10	µA	$V_I = 5{,}25$ V
I_O	Corrente de saída			10	µA	$V_O = 5{,}25$ V
I_{PP1} (2)	Corrente em V_{PP}			5	mA	$V_{PP} = 5{,}25$ V
I_{CC1} (2)	Corrente de alimentação (Standby)		10	25	mA	$\overline{E} = V_{IH}$; $\overline{G} = V_{IL}$
I_{CC2} (2)	Corrente de alimentação (est. ativo)		57	100	mA	$\overline{G} = \overline{E} = V_{IL}$
V_{IL}	Tensão de entrada - nível baixo	−0,1		0,8	V	
V_{IH}	Tensão de entrada - nível alto	2,0		$V_{CC}+1$	V	
V_{OL}	Tensão de saída - nível baixo			0,45	V	$I_{OL} = 2{,}1$ mA
V_{OH}	Tensão de saída - nível alto	2,4			V	$I_{OH} = -400$ µA

PROGRAMAÇÃO

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TÍP.	MÁX.		
I_I	Corrente de entrada (qualquer entrada)			10	µA	$V_I = 5{,}25$ V/0,45
V_{IL}	Tensão de entrada - nível baixo	−0,1		0,8	V	
V_{IH}	Tensão de entrada - nível alto	2,0		$V_{CC}+1$	V	
I_{CC}	Corrente de alimentação			100	mA	
I_{PP1}	Corrente em V_{PP}			5	mA	$\overline{E}$/PGM = V_{IL}
I_{PP2}	Corrente em V_{PP} durante o pulso de programação			30	mA	$\overline{E}$/PGM = V_{IH}

OBSERVAÇÕES:

Valores típicos obtidos com $T_A = 25°C$ e tensões nominais.

CARACTERÍSTICAS AC

LEITURA

SÍMBOLO	PARÂMETRO	ICM 2716-35			ICM 2716-45			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TÍP.	MÁX.	MÍN.	TÍP.	MÁX.		
$t_{a(A)}$	Tempo de acesso de endereços			350			450	ns	$\overline{E} = \overline{G} = V_{IL}$
$t_{a(E)}$	Tempo de acesso de $\overline{E}$			350			450	ns	$\overline{G} = V_{IL}$
$t_{a(G)}$	Tempo de acesso de $\overline{G}$			120			120	ns	$\overline{E} = V_{IL}$
$t_{dis(G)}$	Tempo de desabilitação das saídas após $\overline{G}$ em nível alto	0		100		0	100	ns	$\overline{E} = V_{IL}$
$t_{h(D)}$	Tempo de hold de dados	0				0		ns	$\overline{E} = \overline{G} = V_{IL}$

PROGRAMAÇÃO

SÍMBOLO	PARÂMETRO	ICM 2716-35			ICM 2716-45			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TÍP.	MÁX.	MÍN.	TÍP.	MÁX.		
$t_{su(A)}$	Tempo de set up de endereços	2			2			µs	
$t_{su(G)}$	Tempo de set up de $\overline{G}$	2			2			µs	
$t_{su(D)}$	Tempo de set up de dados	2			2			µs	
$t_{h(A)}$	Tempo de hold de endereços	2			2			µs	
$t_{h(G)}$	Tempo de hold de $\overline{G}$	2			2			µs	
$t_{h(D)}$	Tempo de hold de dados	2			2			µs	
$t_{dis(G)}$	Tempo de desabilitação das saídas após $\overline{G}$ em nível alto	0		120	0		120	ns	$\overline{G}/PGM = V_{IL}$
$t_{en(G)}$	Tempo de habilitação das saídas por $\overline{G}$			120			120	ns	$\overline{E}/PGM = V_{IL}$
$t_{w(PGM)}$	Largura do pulso de programação	45	50	55	45	50	55	ms	
$t_{r(PGM)}$	Tempo de transição do pulso de programação	5			5			ns	

OBSERVAÇÕES:

$V_{CC} = 5\,V \pm 5\%$; $V_{PP} = 25\,V \pm 1\,V$; nível do pulso de entrada = 0,8 V a 2,2 V.
Nível de referência do pulso de entrada para a medida de tempos = 1 V e 2 V.
Nível de referência do pulso de saída para a medida de tempos = 0,8 V e 2 V.

CAPACITÂNCIA $T_A = 25°C$, f = 1MHz

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TÍP.	MÁX.		
C_I	Capacitância de entrada		4	6	pF	$V_I = 0V$
C_O	Capacitância de saída		8	12	pF	$V_O = 0V$

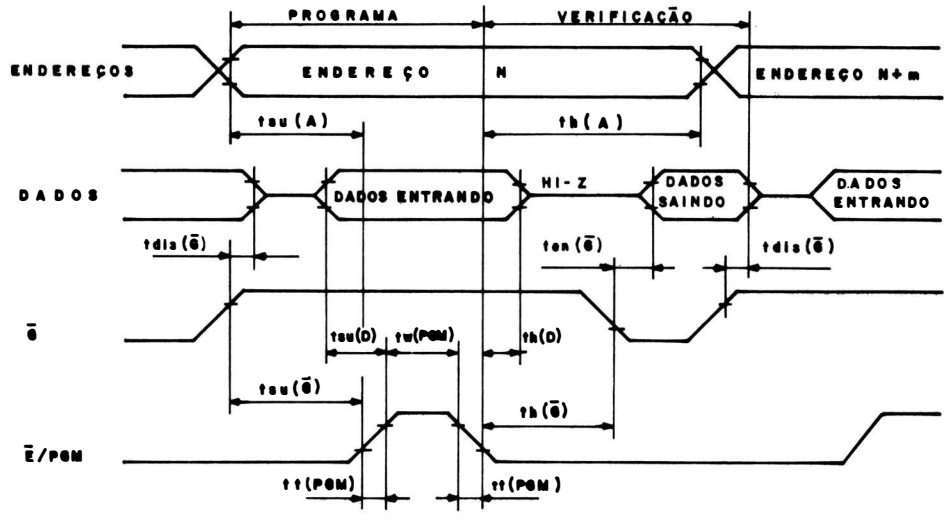
CONDIÇÕES DE OPERAÇÃO DC E AC DURANTE A LEITURA

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	TÍP.	MÁX.	
V_{CC}	Tensão de alimentação	4,75	5	5,25	V
V_{PP}	Tensão de alimentação	$V_{CC} - 0,6$		$V_{CC} + 0,6$	V
T_A	Temperatura de operação	0		70	°C

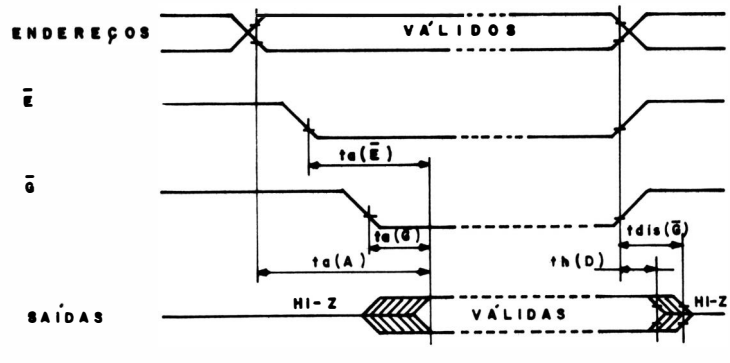
OBSERVAÇÕES:

1) V_{CC} deve ser aplicado simultaneamente ou antes de V_{PP} e removida simultaneamente ou após remover V_{PP}. O dispositivo não deve ser inserido ou removido da placa com V_{PP} ou V_{CC} aplicados.
2) V_{PP} pode ser conectado diretamente a V_{CC} (exceto no Modo de Programação). Neste caso a corrente de alimentação pode ser considerada como sendo $I_{CC} + I_{PP1}$.
3) No Modo de Programação V_{PP} não deve ter uma tensão superior a 26 V, portanto deve-se tomar cuidado com picos quando do chaveamento de V_{PP}.

TEMPOS - CICLO DE PROGRAMAÇÃO



TEMPOS - CICLO DE LEITURA



ICM 2732A

Características:

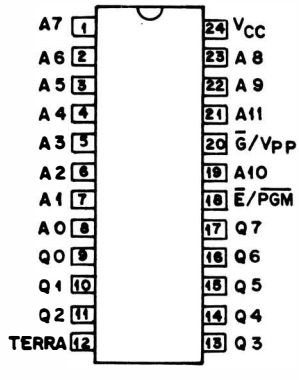
- ☐ Organização 4096 x 8;
- ☐ Alimentação única 5 V;
- ☐ Entradas compatíveis com as dos dispositivos TTL durante a leitura;
- ☐ Operação estática (sem clocks e sem refresh);
- ☐ Saída de 8 bits para sistemas baseados em microprocessadores;
- ☐ Tensão de programação V_{PP} = 21 V;
- ☐ Baixo consumo de corrente:

Estado ativo ——— 125 mA
Em standby ——— 35 mA

TEMPOS DE ACESSO

CÓDIGO	t_A (ns)
ICM 2732A-20	200
ICM 2732A-25	250
ICM 2732A-30	300
ICM 2732A-45	450

PINAGEM



SIMBOLOGIA IEC

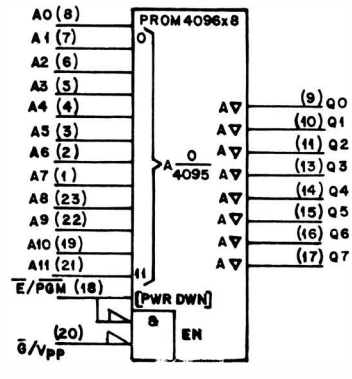
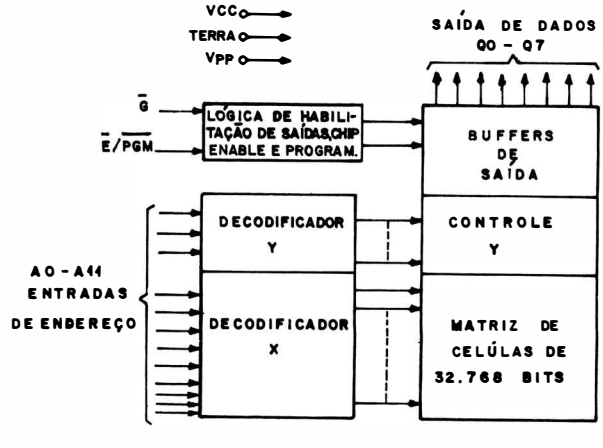


DIAGRAMA DE BLOCOS



Descrição Geral:

A ICM 2732A é uma EPROM de 32 K organizada em 4096 palavras de 8 bits cada.
Quando estocada virgem, a ICM 2732A pode ser rápida e eficientemente programada, evitando os custos introduzidos pelas máscaras de ROM e estoques de ROM's obsoletas quando surge necessidade de se alterar a programação.
Quando no Modo Standby a corrente consumida, que no estado ativo é de 125 mA, cai para 35 mA o que significa uma redução de 70%. O Modo Standby é ativado mediante a aplicação de um sinal em nível alto TTL na entrada $\overline{E}$.

Descrição Funcional:

A tabela 1 apresenta os cinco modos de operação da ICM 2732A. Se requer apenas uma fonte de alimentação única de 5 V para a operação no Modo de Leitura. Todas as entradas operam com níveis TTL, exceto a entrada V_{PP}, que no Modo de Programação opera com uma tensão de 21 V.

Modo de Leitura:

A ICM 2732A possui duas funções de controle que devem ser ativadas de maneira conveniente a fim de se obter corretamente os dados nas saídas. A entrada $\overline{E}$ (Chip Enable) é o controle de alimentação e deve ser usada para selecionar o dispositivo. A entrada $\overline{G}$ (Output Enable) por sua vez, é a entrada de controle das saídas e deve ser usada para desligar as saídas, independentemente do dispositivo de seleção.
Os dados estarão disponíveis nas saídas após a borda de descida do sinal em $\overline{G}$, supondo que $\overline{E}$ está em nível baixo e os endereços estão estáveis.

Modo Standby:

Através do Modo Standby, a corrente de alimentação da ICM 2732A pode ser reduzida em 70%, baixando a corrente de 125 mA para 35 mA. A ICM 2732A entra no Modo Standby mediante a aplicação de um nível alto TTL na entrada $\overline{E}$.
Quando no Modo Standby, as saídas apresentam alta impedância independentemente do nível da entrada $\overline{G}$.

Controle de Saída:

Devido ao uso das EPROM's em arranjos de memória maiores, dois ou mais dispositivos podem estar conectados ao mesmo bus. A ICM 2732A possui duas linhas de controle de saídas, que permitem a leitura das saídas de qualquer dispositivo particular do arranjo, sem interferência das saídas dos dispositivos concorrentes.
As duas linhas de controle possibilitam:
— Uma dissipação de potência mais baixa;
— Certeza absoluta de que não ocorrerá conexão ao bus de saída.
Para que estas duas linhas sejam usadas com mais eficiência, $\overline{E}$ (pino 18) deve ser decodificado e usado como elemento selecionador primário, ao passo que com $\overline{G}$ (pino 20) deve ser feita uma conexão comum a todos os dispositivos do arranjo e ligá-la à linha READ do sistema de controle de bus.
Desta maneira todos os dispositivos de memória não selecionados, permanecem no Modo Standby, e os pinos de saída são ativados apenas quando o dado é desejado de um dispositivo de memória particular.

Modo de Programação:

Inicialmente todos os bits da ICM 2732A apresentam o estado interno 1. O dispositivo é programado gravando-se "0's" nos bits selecionados. A ICM 2732A assumirá o Modo de Programação quando na entrada $\overline{G}/V_{PP}$ for aplicada uma tensão de 21 V. É necessário um capacitor de 0,1 μF conectado entre $\overline{G}/V_{PP}$ e Terra para suprimir transientes espúrios que podem danificar o dispositivo. O dado de 8 bits a ser programado é aplicado em paralelo com os pinos de saída de dados.
As entradas de dados e endereços requerem níveis TTL. Quando dados e endereços estiverem estáveis deve-se aplicar na entrada $\overline{E}/\overline{PGM}$, um pulso em nível baixo TTL com 50 ms de duração. Desta maneira o dado ficará gravado na posição indicada pelo endereço. Esta operação deve ser repetida a cada nova posição de endereço a ser programada. As posições podem ser programadas em qualquer ordem, e a largura máxima do pulso de programação não deve ser superior a 55 ms. A ICM 2732A não deve ser programada com um sinal DC contínuo aplicado à entrada $\overline{E}/\overline{PGM}$.
Se os dados forem idênticos, é possível a programação simultânea de várias ICM 2732A. Para tal, as entradas correspondentes das várias ICM 2732A devem ser ligadas em paralelo. Um pulso em nível baixo TTL aplicado à entrada $\overline{E}/\overline{PGM}$ gravará a informação em todos os dispositivos simultaneamente.

Modo Programação Inibida:

A programação de várias ICM 2732A com dados diferentes é também facilmente exequível, ligando-se em paralelo as entradas correspondentes (inclusive $\overline{G}$), excetuando-se a entrada $\overline{E}/\overline{PGM}$.
O pulso de programação aplicado à entrada $\overline{E}/\overline{PGM}$ irá programar o dispositivo destinado a ter determinado código em um endereço específico. Os dispositivos não selecionados para a gravação terão nas suas respectivas entradas $\overline{E}/\overline{PGM}$ um nível alto que impedirá a gravação.

Modo Verificação:

A fim de determinar se a programação está correta pode ser feita uma verificação sobre os bits programados. A verificação pode ser feita com $\overline{G}/V_{PP} = \overline{E}/\overline{PGM} = V_{IL}$.

Operação de Apagamento:

Devido às características da ICM 2732A, o apagamento começa a ocorrer quando o dispositivo é exposto à luz cujo comprimento de onda é de aproximadamente 4000 Angstrons (Å). Deve-se observar que a luz do sol bem como a de certos tipos de lâmpadas fluorescentes têm comprimentos de onda dentro da faixa de 3000 Å a 4000 Å. A exposição contínua do dispositivo em uma sala com iluminação fluorescente pode apagá-lo em aproximadamente 3 anos, ao passo que sob a luz do sol este tempo se reduz a uma semana. Quando a ICM 2732A for submetida a estes tipos de condições de luminosidade, é conveniente cobrir a janela do disposi-

tivo com um selo opaco, a fim de evitar um apagamento indesejável.
Para o apagamento da ICM 2732A recomenda-se a exposição à luz ultravioleta com comprimento de onda de 2537 Angstrons (Å). Para o apagamento, o produto: intensidade da luz U.V. × Tempo de exposição deve ser no mínimo de 15 Ws/cm². Nestas condições o tempo de apagamento deve durar aproximadamente de 15 a 20 minutos usando uma lâmpada ultra violeta com uma taxa de potência de 12.000 μW/cm².
Durante o apagamento a ICM 2732A deve ser colocada a 2,5 cm de distância dos tubos da lâmpada.
Algumas lâmpadas possuem um filtro sobre os tubos, que deve ser retirado antes do apagamento.

Considerações Sobre o Sistema:

As características de chaveamento destes dispositivos exigem certos cuidados no desacoplamento.
A corrente de alimentação pode ser dividida em três componentes de interesse para o projeto de sistemas:

— O nível de corrente em standby
— O nível de corrente no Estado Ativo;
— Picos transientes de corrente gerados pelas bordas de subida e descida do sinal em $\overline{E}$.

A magnitude dos picos de transientes de corrente depende da carga capacitiva na saída do dispositivo. Os picos de transientes de tensão associados podem ser suprimidos através de capacitores devidamente selecionados.

Recomenda-se o uso de um capacitor cerâmico de 0,1 μF entre V_{CC} e terra para cada dispositivo. Este deve ser um capacitor para alta frequência e de baixa indutância interna colocado tão próximo do dispositivo quanto possível. Em adição deve ser usado um capacitor eletrolítico maior de 4,7 μF, para cada 8 dispositivos. Este capacitor pode ser colocado próximo à conexão entre a fonte de alimentação e o arranjo. A função deste capacitor maior é compensar a queda de tensão causada pelos efeitos indutivos das pistas do circuito impresso.

VALORES MÁXIMOS ABSOLUTOS

Tensão em todas as entradas e saídas	— 0,6 V a 6 V
Tensão em V_{PP} durante a programação	— 0,6 V a 22 V
Temperatura de armazenamento	— 65°C a 125°C
Temperatura de operação	— 10°C a 80°C

OBSERVAÇÕES:
Os Valores Máximos Absolutos representam tensões acima das quais a utilização do componente fica comprometida. O funcionamento do dispositivo em condições de Valores Máximos Absolutos por períodos extensos é desaconselhável e pode afetar a confiabilidade do dispositivo.

TABELA 1

MODOS DE OPERAÇÃO

PINOS / MODO	$\overline{E}/\overline{PGM}$ (18)	$\overline{G}/V_{PP}$ (20)	V_{CC} (24)	SAÍDAS (9-11, 13-17)
LEITURA	V_{IL}	V_{IL}	5	DADOS (SAINDO)
STANDBY	V_{IH}	X	5	ALTA IMPED.
PROGRAMAÇÃO	V_{IL}	V_{PP}	5	DADOS (ENTRANDO)
VERIFICAÇÃO	V_{IL}	V_{IL}	5	DADOS (SAINDO)
PROGRAMAÇÃO INIBIDA	V_{IH}	V_{PP}	5	ALTA IMPED.

CARACTERÍSTICAS DC

LEITURA

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TÍP.	MÁX.		
I_I	Corrente de entrada			10	µA	$V_I = 5{,}5$ V
I_O	Corrente de saída			10	µA	$V_{OUT} = 5{,}5$ V
I_{CC1}	Corrente de alimentação (Standby)			35	mA	$\overline{E} = V_{IH}$; $\overline{G} = V_{IL}$
I_{CC2}	Corrente de alimentação (est. ativo)		70	125	mA	$\overline{E} = \overline{G} = V_{IL}$
V_{IL}	Tensão de entrada - nível baixo	−0,1		+0,8	V	
V_{IH}	Tensão de entrada - nível alto	2,0		$V_{CC}+1$	V	
V_{OL}	Tensão de saída - nível baixo			0,45	V	$I_{OL} = 2{,}1$ mA
V_{OH}	Tensão de saída - nível alto	2,4			V	$I_{OH} = -400$ µA

PROGRAMAÇÃO

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TÍP.	MÁX.		
I_I	Corrente de entrada (qualquer entrada)			10	µA	$V_I = V_{IL}/V_{IH}$
V_{IL}	Tensão de entrada - nível baixo	−0,1		0,8	V	
V_{IH}	Tensão de entrada - nível alto	2,0		$V_{CC}+1$	V	
V_{OL}	Tensão de saída - nível baixo (durante a verificação)			0,45	V	$I_{OL} = 2{,}1$ mA
V_{OH}	Tensão de saída - nível alto (durante a verificação)	2,4			V	$I_{OH} = -400$ µA
I_{CC2}	Corrente de alimentação (est. ativo)		70	125	mA	
I_{PP}	Corrente em V_{PP}			30	mA	$\overline{E} = V_{IL}$, $\overline{G}/V_{PP} = V_{PP}$

OBSERVAÇÃO:
Valores típicos obtidos com $T_A = 25°C$ e tensões nominais.

CARACTERÍSTICAS AC

LEITURA

SÍMBOLO	PARÂMETRO	ICM 2732A-20		ICM 2732A-25		ICM 2732A-30		ICM 2732A-45		UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	MÁX.	MÍN.	MÁX.	MÍN.	MÁX.	MÍN.	MÁX.		
$t_{a(A)}$	Tempo de acesso de endereços		200		250		300		450	ns	$\overline{E} = \overline{G} = V_{IL}$
$t_{a(E)}$	Tempo de acesso de $\overline{E}$		200		250		300		450	ns	$\overline{G} = V_{IL}$
$t_{a(G)}$	Tempo de acesso de $\overline{G}$		100		100		150		150	ns	$\overline{E} = V_{IL}$
$t_{dis(G)}$	Tempo de desabilitação das saídas após $\overline{G}$ em nível alto	0	60	0	60	0	130	0	130	ns	$\overline{E} = V_{IL}$
$t_{h(D)}$	Tempo de hold de dados	0		0		0		0		ns	$\overline{E} = \overline{G} = V_{IL}$

PROGRAMAÇÃO

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TÍP.	MÁX.		
$t_{su(A)}$	Tempo de set up de endereços	2			µs	
$t_{su(G)}$	Tempo de set up de $\overline{G}$	2			µs	
$t_{su(D)}$	Tempo de set up de dados	2			µs	
$t_{h(A)}$	Tempo de hold de endereços	0			µs	
$t_{h(D)}$	Tempo de hold de dados	2			µs	
$t_{dis(E)}$	Tempo de desabilitação das saídas após $\overline{E}$ em nível alto	0		130	ns	
$t_{v(E)}$	Tempo de dados válidos após $\overline{E}$ em nível baixo			1	µs	$\overline{E} = V_{IL}$, $\overline{G} = V_{IL}$
$t_{w(PGM)}$	Largura do pulso de programação	45	50	55	ms	
$t_{t(G)}$	Tempo de transição do sinal em $\overline{G}$	50			ns	
$t_{rec(GP)}$	Tempo de recuperação de V_{PP}	2			µs	

CONDIÇÕES DE OPERAÇÃO DC E AC DURANTE A LEITURA

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	TÍP.	MÁX.	
V_{CC}	Tensão de alimentação	4,75	5	5,25	V
V_{PP}	Tensão de alimentação		V_{CC}		V
T_A	Temperatura de operação	0		70	°C

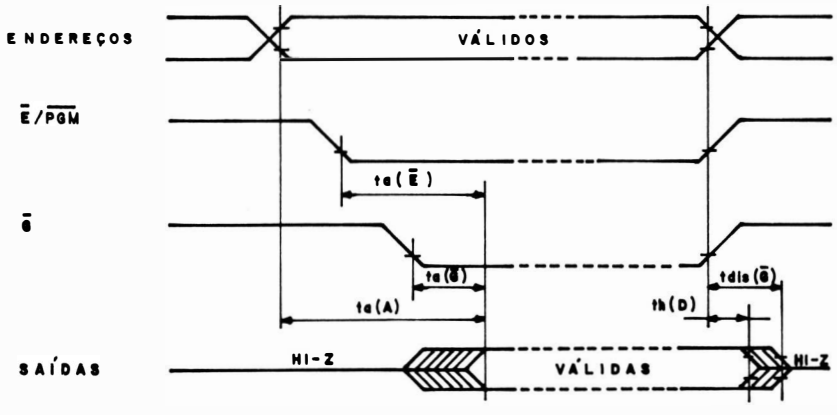
CAPACITÂNCIA $T_A = 25°C$, $f = 1MHz$

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TÍP.	MÁX.		
C_{I1}	Capacitância de entrada exceto $\overline{G}/V_{PP}$		4	6	pF	$V_I = 0V$
C_{I2}	Capacitância da entrada $\overline{G}$			20	pF	$V_I = 0V$
C_O	Capacitância de saída		8	12	pF	$V_O = 0V$

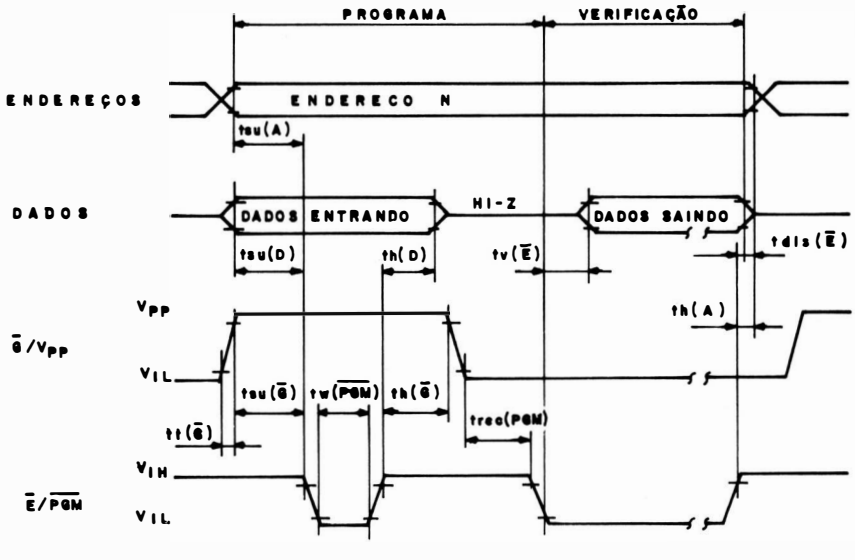
OBSERVAÇÃO:

V_{CC} deve ser aplicado simultaneamente ou antes de V_{PP} e removida simultaneamente ou após V_{PP}.
O dispositivo não deve ser inserido ou removido da placa com V_{PP} ou V_{CC} aplicados.
V_{PP} pode ser conectado diretamente a V_{CC} (exceto no Modo de Programação). Neste caso a corrente de alimentação pode ser considerada como sendo $I_{CC} + I_{PP}$.
No Modo de Programação V_{PP} não deve ultrapassar uma tensão superior a 22 V, portanto deve-se tomar cuidado com picos causados pelo chaveamento de V_{PP}.

TEMPOS - LEITURA



TEMPOS - PROGRAMAÇÃO



ICM 2764AS

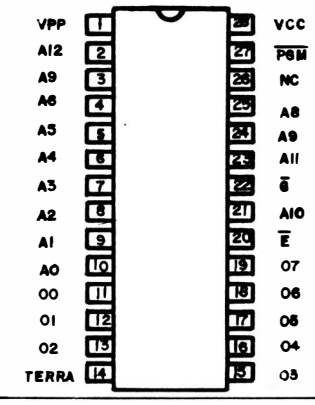
EPROM DE 64k

PRELIMINAR

Características:

- ☐ Quatro opções de tempo de acesso;
- ☐ Baixo consumo em standby: 35 mA máx.;
- ☐ Entradas e saídas compatíveis com TTL;
- ☐ Algoritmo de programação rápida;
- ☐ Alimentação única de +5 V.

PINAGEM



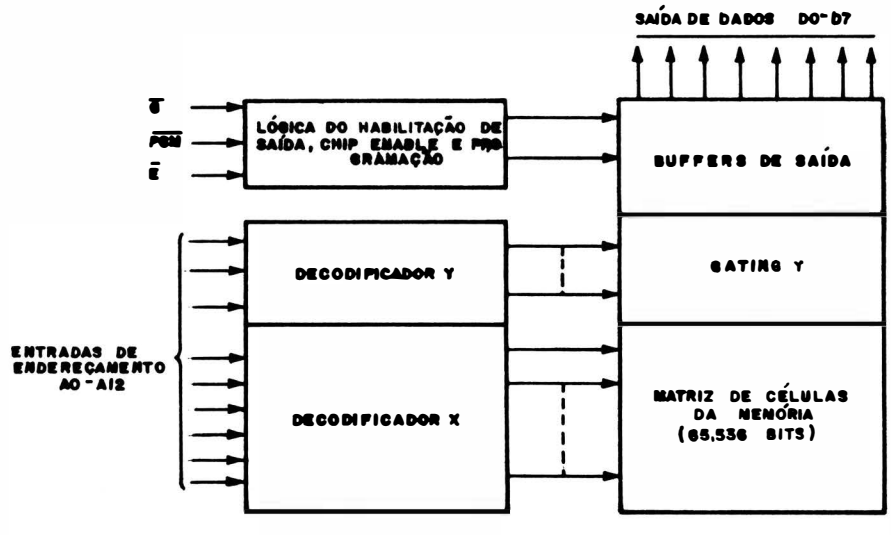
Descrição Geral:

A ICM 2764AS é uma memória EPROM, organizada em 8.192 palavras de 8 bits e produzida em quatro versões, segundo o tempo de acesso (veja tabela). Uma de suas características mais importantes é a separação entre os controles $\overline{G}$ (Output Enable) e $\overline{E}$ (Chip Enable); como se sabe, o controle de saída $\overline{G}$ elimina a contenção de bus em sistemas de microprocessadores com bus múltiplo. Essa memória também exibe uma modalidade de standby, que reduz a dissipação de potência, mantendo inalterado o tempo de acesso (a corrente em estado ativo é de 75 mA, ao passo que a de standby não passa dos 35 mA).

VERSÕES DA ICM 2764AS

CÓDIGO	TEMPO DE ACESSO (ns)
ICM2764AS-20	200
ICM2764AS-25	250
ICM2764AS-30	300
ICM2764AS-45	450

DIAGRAMA DE BLOCOS



ICM 27128AS

PRELIMINAR

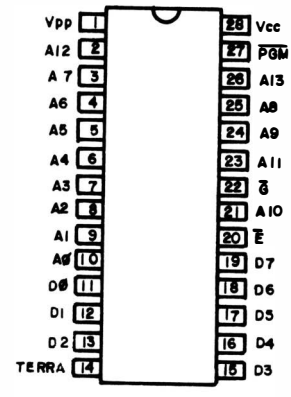
Características:

- ☐ Quatro opções de tempo de acesso;
- ☐ Baixo consumo em standby: 40 mA máx.;
- ☐ Totalmente compatível com os níveis TTL;
- ☐ Algoritmo de programação rápida;
- ☐ Alimentação única de +5V.

Descrição Geral:

A ICM 27128AS é uma memória EPROM organizada em 16.384 palavras de 8 bits e produzida em quatro versões, segundo o tempo de acesso (veja tabela). Uma de suas características importantes reside na separação entre o controle de habilitação de saída ($\overline{G}$) e o controle de habilitação do chip ($\overline{E}$). O controle $\overline{G}$ elimina a contenção de bus nos sistemas de microprocessadores com barramento múltiplo.
Essa memória exibe ainda uma modalidade de standby que reduz a dissipação de potência sem elevar o tempo de acesso; sua corrente ativa é de 85 mA, enquanto a de standby não passa dos 40 mA, representando uma economia de 53%.

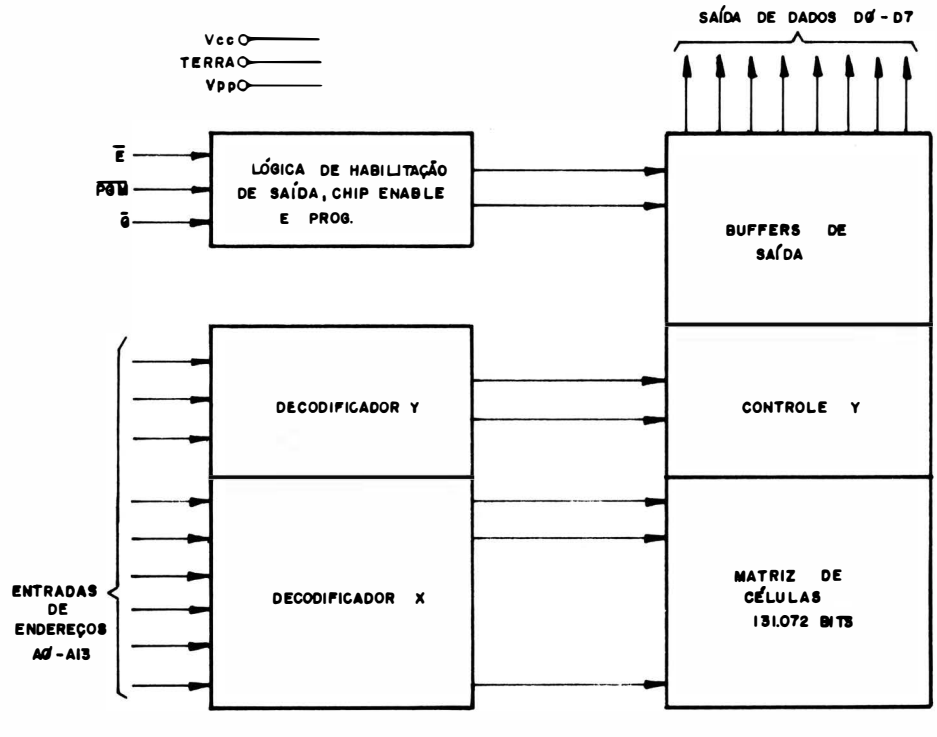
PINAGEM



VERSÕES DA ICM 27128AS

CÓDIGO	TEMPO DE ACESSO (ns)
ICM 27128AS-20	200
ICM 27128AS-25	250
ICM 27128AS-30	300
ICM 27128AS-45	450

DIAGRAMA DE BLOCOS



ICM 27256S

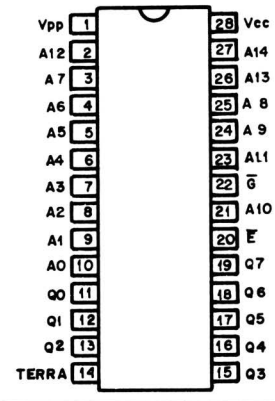
Características:

- ☐ Organização: 32.768 × 8;
- ☐ Alimentação única 5V;
- ☐ Entradas e saídas compatíveis com as dos dispositivos TTL;
- ☐ Duas linhas de controle: $\overline{G}$ e $\overline{E}$;
- ☐ Tensão de programação: V_{PP} = 12,5V
- ☐ Saídas tristate
- ☐ Baixo consumo de corrente (I_{CC}):
  Estado Ativo _____ 100 mA (max.)
  Standby _____ 40 mA (max.)
- ☐ Encapsulamento: 28 pinos (DIP, com janela transparente).

Descrição Geral

A ICM 27256S é uma EPROM de 256K bits organizados em 32768 palavras de 8 bits.
Uma importante característica da ICM 27256S é ter o controle de habilitação das saídas ($\overline{G}$) separado do controle $\overline{E}$ (habilitação do chip). A entrada $\overline{G}$ elimina os problemas de disputa pelo bus em sistemas a microprocessador.
Quando no modo standby, o consumo de corrente, que no estado ativo é de 100 mA, cai para 40 mA, o que representa uma economia de 60% proporcionando a redução da potência dissipada sem aumentar o tempo de acesso. O modo standby é ativado mediante a aplicação de um sinal em nível alto TTL na entrada $\overline{E}$.
A alta capacidade de armazenamento permite que: sistemas operacionais completos, programas em linguagem de alto nível e software de aplicações especiais residam diretamente na ICM 27256S. Isto poupa o tempo de acesso ao disco e de transferência de dados para a memória.

PINAGEM



SIMBOLOGIA IEC

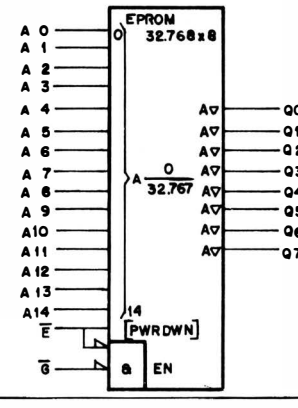
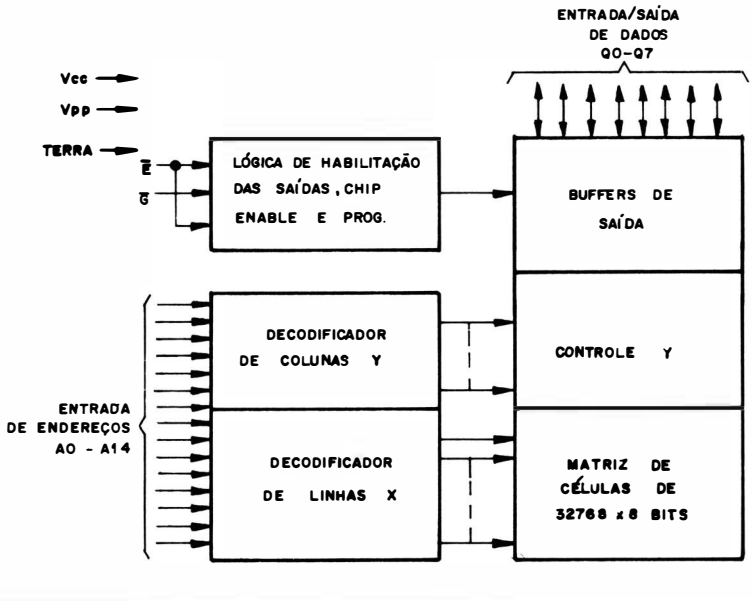


DIAGRAMA DE BLOCOS



TEMPOS DE ACESSO

CÓDIGOS	t_A (ns)
ICM 27256S-20	200
ICM 27256S-25	250
ICM 27256S-30	300
ICM 27256S-45	450

NOMENCLATURA DOS PINOS

A0-A14	Endereços
$\overline{E}$	Habilitação do chip
$\overline{G}$	Habilitação das saídas
Q0-Q7	Saídas

Descrição Funcional

A tabela 1 apresenta os modos de operação da ICM 27256S.

Modo de Leitura
A ICM 27256S possui duas funções de controle que devem ser ativadas de maneira conveniente a fim de se obter corretamente os dados nas saídas. A entrada $\overline{E}$ (Chip Enable) é o controle de alimentação e deve ser usada para a seleção do dispositivo, ao passo que $\overline{G}$ é o controle de saídas e deve ser usada para liberar os dados para os pinos de saída independentemente da seleção do dispositivo. Supondo que os endereços estejam estáveis, o tempo de acesso de endereço $t_{a(A)}$ é igual ao atraso de $\overline{E}$ para as saídas $t_{en(E)}$. O dado estará disponível nas saídas após a borda de descida de $\overline{G}$, assumindo que $\overline{E}$ está em nível baixo e os endereços permaneceram estáveis no mínimo $t_{a(A)} - t_{en(G)}$.

Modo Standby
Um nível alto TTL aplicado à entrada $\overline{E}$ coloca a ICM 27256S no modo Standby, o qual reduz o consumo de corrente de 100 mA para 40 mA. Nesta situação, as saídas apresentam alta impendância, independentemente do estado da entrada $\overline{G}$.

Controle de Saída
Devido ao uso das EPROM's em arranjos de memória maiores, dois ou mais dispositivos podem estar conectados ao mesmo bus. A ICM 27256S possui duas linhas de controle de saída, que permitem a leitura das saídas de qualquer dispositivo particular do arranjo, sem interferência das saídas dos dispositivos concorrentes.
As duas linhas de controle possibilitam:
— Uma dissipação de potência mais baixa;
— Certeza absoluta de que não ocorrerá conexão ao bus de saída.
Para que estas duas linha sejam usadas com mais eficiência, $\overline{E}$ deve ser decodificada e usada como elemento selecionador primário, ao passo que com $\overline{G}$ deve ser feita uma conexão comum a todos os dispositivos do arranjo e ligá-la a linha READ do sistema de controle do bus.
Desta maneira todos os dispositivos de memória não selecionados permanecem no Modo Standby e os pinos de saída são ativados apenas quando o dado é desejado de um dispositivo de memória particular.

Modo de Programação
Cuidado: se a tensão em V_{PP} exceder o valor de 13V o dispositivo poderá ser danificado.
Inicialmente todos os bits da ICM 27256S apresentam o estado intero 1. O dispositivo é programado gravando-se "0's" nos bits selecionados. A única maneira de mudar o valor de um bit programado de 0 para 1 é através do apagamento por meio de luz ultravioleta. A ICM 27256S assumirá o modo de programação quando for aplicada uma tensão de 12,5V na entrada V_{PP} e um nível baixo TTL na entrada $\overline{E}$. O dado de 8 bits a ser programado é aplicado em paralelo com os pinos de saída de dados. Os pinos de dados e endereços requerem níveis TTL.

Algorítmo de Programação Rápida
O Algorítmo de programação rápida programa rapidamente EPROM's ICM 27256S usando um método eficiente e confiável voltado para condições de alta produção.
A confiabilidade da programação também é garantida pela monitoração constante de cada byte a fim de determinar quando o mesmo foi programado com sucesso.
A figura 1 apresenta um fluxograma do algorítmo de programação rápida da ICM 27256S. Este algorítmo apresenta dois diferentes tipos de pulso de programação: o de início e o de fim de programação. Os pulsos $\overline{E}$ iniciais têm a duração de 1ms e serão seguidos por um pulso de fim de programa mais longo de 3Xms. (X é um contador iterativo e é igual ao número de pulsos iniciais de 1ms aplicados a uma posição particular da ICM 27256S), antes porém ocorre uma verificação. Até 25 pulsos de 1m por byte são liberados antes da aplicação do pulso de fim de programação. A execução completa da seqüência dos pulsos de programação e verificação dos bytes se dá com V_{CC} = 6V e V_{PP} = 12,5V. Após o término do ciclo de programação rápida, todos os bytes devem ser comparados ao dado original com $V_{CC} = V_{PP}$ = 5V.

Modo programação Inibida
A programação de várias ICM 27256S com dados diferentes é também facilmente exeqüível, ligando-se em paralelos os pinos correspondentes, excetuando-se o pino $\overline{E}$. Os dispositivos não selecionados para a gravação terão um nível alto aplicado à entrada $\overline{E}$, que impedirá a gravação.

TABELA 1
Modos de Operação

PINOS / MODO	$\overline{E}$ (20)	$\overline{G}$ (22)	V_{PP} (1)	V_{CC} (28)	SAÍDAS (11-13, 15-19)
LEITURA	V_{IL}	V_{IL}	V_{CC}	V_{CC}	Dado saindo
SAÍDAS DESABILITADAS	V_{IL}	V_{IH}	V_{CC}	V_{CC}	Alta impedância
STANDBY	V_{IH}	X	V_{CC}	V_{CC}	Alta impedância
PROGRAMAÇÃO	V_{IL}	V_{IH}	V_{PP}	V_{CC}	Dado entrando
VERIFICAÇÃO	V_{IH}	V_{IL}	V_{PP}	V_{CC}	Dado Saindo
VERIFICAÇÃO OPCIONAL	V_{IL}	V_{IL}	V_{PP}	V_{CC}	Dado Saindo
PROGRAMAÇÃO INIBIDA	V_{IH}	V_{IH}	V_{PP}	V_{CC}	Alta impedância

Verificação da programação

Com $\overline{G}$ em nível baixo, $\overline{E}$ em nível alto e V_{PP} em 12,5V é possível verificar se os bits programados estão corretos.

Verificação Opcional

Ao invés da verificação pode-se executar a verificação opcional. A verificação opcional se dá com $\overline{G}$ em nível baixo, $\overline{E}$ em nível baixo (em oposição ao modo de verificação convencional, onde $\overline{E}$ está em nível alto) e V_{PP} em 12,5V. As saídas permanecerão em tristate de acordo com o sinal presente em $\overline{G}$. Portanto, todos os dispositivos com V_{PP} = 12,5V e $\overline{G}$ em nível baixo apresentarão os dados no bus independentemente do estado de $\overline{E}$. Ao se programar vários dispositivos ligados em paralelo compartilhando o mesmo bus, é possível efetuar-se uma verificação baixando-se a tensão de V_{PP} para 6V e executando-se uma operação normal de leitura.

Operação de Apagamento

Devido às características da ICM 27256S, o apagamento começa a ocorrer quando o dispositivo é exposto à luz cujo comprimento de onda é de aproximadamente 4000 Angstrons (Å). Deve-se observar que a luz do sol bem como a de certos tipos de lâmpadas fluorescentes têm comprimentos de onda dentro da faixa de 3000 Å a 4000 A. A exposição contínua do dispositivo em uma sala com iluminação fluorescente pode apagá-lo em aproximadamente 3 anos, ao passo que sob a luz do sol este tempo se reduz a uma semana. Quando a ICM 27256S for submetida a estes tipos de condições de luminosidade, é conveniente cobrir a janela do dispositivo com um selo opaco, a fim de evitar um apagamento indesejável.
Para o apagamento da ICM 27256S recomenda-se a exposição à luz ultravioleta com comprimento de onda de 2537 Angstrons (Å). Para o apagamento, o produto intensidade da luz U.V. x tempo de exposição deve ser no mínimo de 15Ws/cm². Nestas condições o apagamento deve durar aproximadamente de 15 a 20 minutos usando uma lâmpada ultravioleta com uma taxa de potência de 12.000 μW/cm².
Durante o apagamento a ICM 27256S deve ser colocada a 2,5 cm de distância dos tubos das lâmpadas. Algumas lâmpadas possuem um filtro sobre os tubos, que deve ser retirado antes do apagamento.

Considerações Sobre o Sistema

As características de chaveamento destes dispositivos exigem certos cuidados no desacoplamento.
A corrente de alimentação pode ser dividida em três componentes de interesse para o projeto do sistema:
— o nível de corrente em standby;
— o nível de corrente no estado ativo;
— picos transientes de corrente gerados pelas bordas de descida do sinal em $\overline{E}$.

A magnitude destes picos transientes de corrente depende da carga capacitiva na saída do dispositivo. Os picos transientes de tensão associados, podem ser suprimidos pelo uso de capacitores devidamente selecionados. Recomenda-se o uso de um capacitor cerâmico de 0,1uF entre V_{CC} e terra para cada dispositivo. Este deve ser um capacitor para alta freqüência e de baixa indutância interna, colocado tão próximo do dispositivo quanto possível. Em adição pode ser usado um capacitor eletrolítico maior de 4,7 μF, para cada 8 dispositivos. Este capacitor pode ser colocado próximo à conexão entre a fonte de alimentação e o arranjo. A função deste capacitor maior é compensar a queda de tensão causada pelos efeitos indutivos das pistas do circuito impresso.

VALORES MÁXIMOS ABSOLUTOS

Tensão em todas as entradas e saídas	– 0,6V a 6,25V
Tensão de alimentação (durante a programação), V_{PP}	– 0,6V a 14V
Temperatura de armazenamento	– 65°C a 125°C
Temperatura de operação	– 10°C a 80°C

OBSERVAÇÕES:
1) Os valores Máximos Absolutos representam condições acima das quais a utilização do dispositivo fica comprometida. O funcionamento do dispositivo em condições de Valores Máximos Absolutos por períodos extensos é desaconselhável e pode afetar a confiabilidade do dispositivo.

CARACTERÍSTICAS DC

LEITURA

SÍMBOLO	PARÂMETROS	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TÍP.(4)	MÁX.		
I_I	Corrente de carga na entrada			10	μA	V_I = 5,5V
I_O	Corrente de fuga na saída			10	μA	V_O = 5,5V
I_{PP1}(5)	Corrente em V_{PP} durante a leitura ou standby			5	mA	V_{PP} = 5,5V
I_{CC1}(5)	Corrente em V_{CC} (standby)		20	40	mA	$\overline{E}$ = V_{IH}
I_{CC2}(5)	Corrente em V_{CC} (estado ativo)		45	100	mA	$\overline{E}$ = $\overline{G}$ = V_{IL}; V_{PP} = V_{CC}
V_{IL}	Tensão de entrada - nível baixo	– 0,1		0,8	V	
V_{IH}	Tensão de entrada - nível alto	2,0		V_{CC} + 1	V	
V_{OL}	Tensão de saída - nível baixo			0,45	V	I_{OL} = 2,1 mA
V_{OH}	Tensão de saída - nível alto	2,4			V	I_{OH} = – 400 μA
V_{PP}(5)	Tensão em V_{PP} durante a leitura	3,8		V_{CC}	V	V_{CC} = 5V ± 0,25V

PROGRAMAÇÃO

SÍMBOLO	PARÂMETROS	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TÍP.	MÁX.		
I_I	Corrente de entrada (todas as entradas)			10	μA	$V_I = V_{IL}$ ou V_{IH}
V_{IL}	Tensão de entrada - nível baixo (todas as entradas)	−0,1		0,8	V	
V_{IH}	Tensão de entrada - nível alto (todas as entradas)	2,0		V_{CC} + 1	V	
V_{OL}	Tensão de saída - nível baixo (durante a verificação)			0,45	V	I_{OL} = 2,1 mA
V_{OH}	Tensão de saída - nível alto (durante a verificação)	2,4			V	I_{OH} = −400 μA
I_{CC2}	Corrente em V_{CC} (durante programação e verificação)			100	mA	
I_{PP2}	Corrente em V_{PP} (durante a programação)			50	mA	$\overline{E} = V_{IL}$

OBSERVAÇÕES:

1) V_{CC} deve ser aplicado simultaneamente ou antes de V_{PP} e removida simultaneamente ou após V_{PP}.
2) Condições de operação em leitura: T_A = + 0°C a 70°C, V_{CC} = 5V ± 5%, $V_{PP} = V_{CC}$.
3) Condições de operação em programação: T_A = 25°C ± 5°C, V_{CC} = 6V + 0,25V, V_{PP} = 12,5V + 0,3V.
4) Valores típicos obtidos com T_A = 25°C e tensão de alimentação nominal.
5) V_{PP} pode ser conectada diretamente a V_{CC} (exceto durante a programação). Neste caso a corrente de alimentação pode ser considerada como sendo $I_{CC} + I_{PP}$.

CARACTERÍSTICAS AC

LEITURA

SÍMBOLO	PARÂMETROS	ICM 27256S-20		ICM 27256S-25		ICM 27256S-30		ICM 27256S-45		UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	MÁX.	MÍN.	MÁX.	MÍN.	MÁX.	MÍN.	MÁX.		
$t_{a(A)}$	Tempo de acesso de endereços		200		250		300		450	ns	$\overline{E} = \overline{G} = V_{IL}$
$t_{en(E)}$	Tempo de habilitação de dados após $\overline{E}$ em nível baixo		200		250		300		450	ns	$\overline{G} = V_{IL}$
$t_{en(G)}$	Tempo de habilitação de dados após $\overline{G}$ em nível baixo		75		100		120		150	ns	$\overline{E} = V_{IL}$
$t_{dis(E)}$	Tempo de desabilitação das saídas após $\overline{G}$ em nível alto	0	55	0	60	0	105	0	130	ns	$\overline{E} = V_{IL}$
$t_{h(D)}$	Tempo de hold dos dados após os endereços ou $\overline{E}$ ou $\overline{G}$ seja qual for o primeiro	0		0		0		0		ns	$\overline{G} = \overline{E} = V_{IL}$

PROGRAMAÇÃO

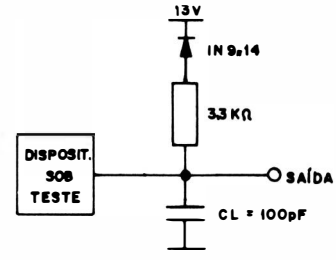
SÍMBOLO	PARÂMETROS	LIMITES			UNIDADE	CONDIÇÕES DE TESTE[1]
		MÍN.	TÍP.	MÁX.		
$t_{su(A)}$	Tempo de setup de endereços	2			μs	
$t_{su(G)}$	Tempo de setup de $\overline{G}$	2			μs	
$t_{su(D)}$	Tempo de setup de dados	2			μs	
$t_{h(A)}$	Tempo de hold de endereços	0			μs	
$t_{h(D)}$	Tempo de hold de dados	2			μs	
$t_{dis(G)}$	Tempo de desabilitação das saídas após $\overline{G}$ em nível alto[2]	0		130	ns	
$t_{su(Vpp)}$	Tempo de setup de V_{PP}	2			μs	
$t_{su(Vcc)}$	Tempo de setup de V_{CC}	2			μs	
$t_{w(IPGM)}$	Largura do pulso de programação inicial[3]	0,95	1,0	1,05	ms	
$t_{w(FPGM)}$	Largura do pulso de programação final[4]	2,85		78,75	ms	
$t_{en(G)}$	Tempo de habilitação dos dados após $\overline{G}$ em nível baixo			150	ns	

OBSERVAÇÕES:

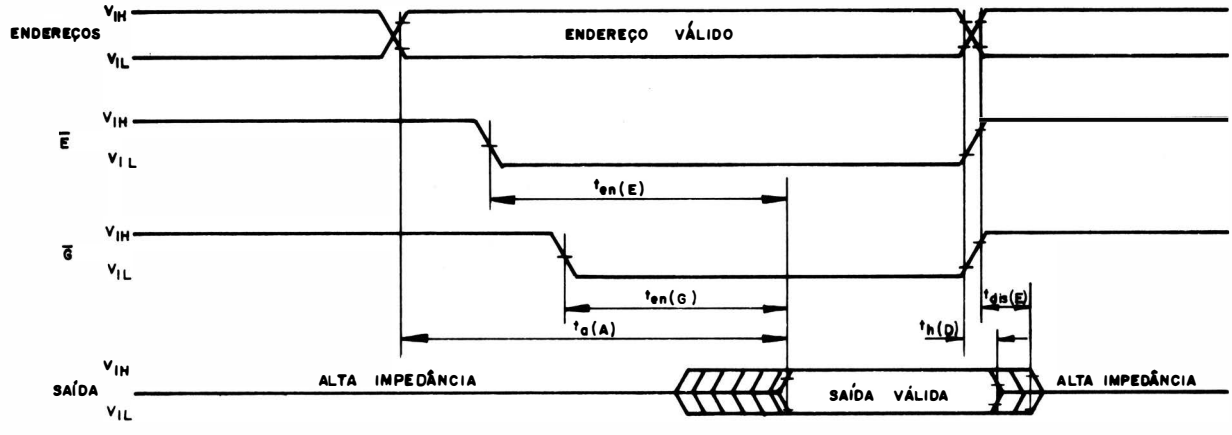
1) V_{CC} deve ser aplicado simultaneamente ou antes de V_{PP} e removida simultaneamente ou após V_{PP}.
2) Este parâmetro é apenas amostrado e não 100% testado.
3) A tolerância do pulso inicial de programação é de 1ms + 5%.
4) O comprimento do pulso final de programação pode variar de 2,85 ms a 78,75 ms em função do valor do contador iterativo X.
5) Este parâmetro é apenas amostrado e não 100% testado.

FORMA DE ONDA PARA O TESTE AC (E/S)

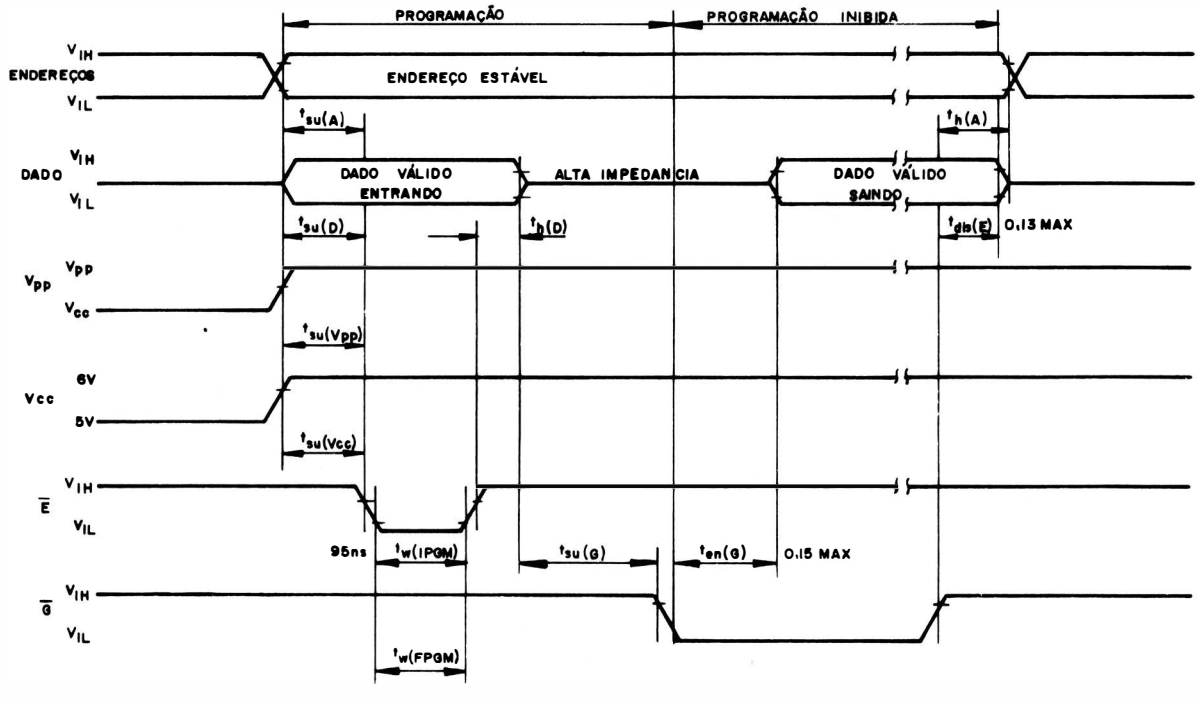
CIRCUITO DE CARGA PARA O TESTE AC



TEMPOS: LEITURA



TEMPOS: PROGRAMAÇÃO



Fluxograma da Rotina de Programação Rápida

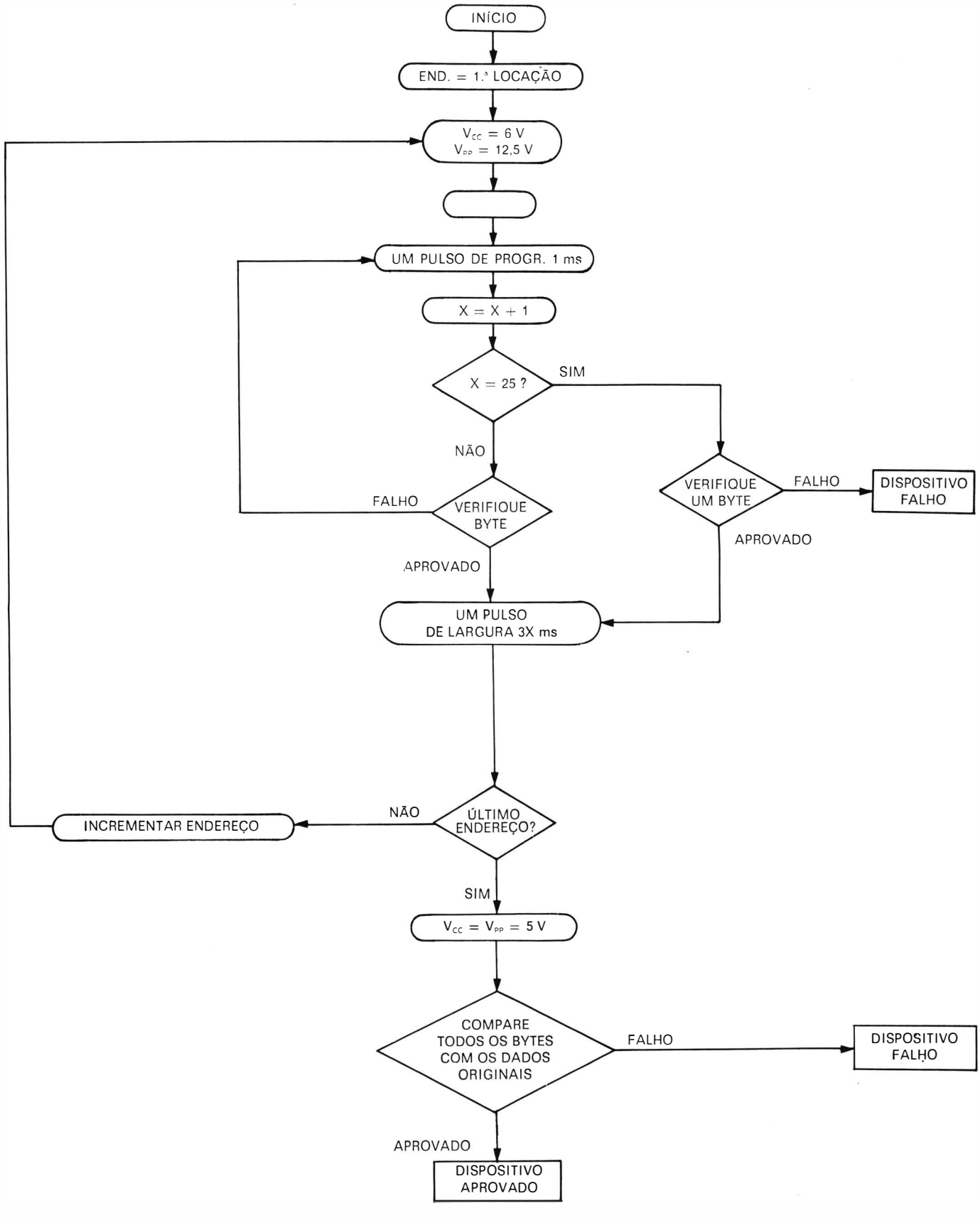
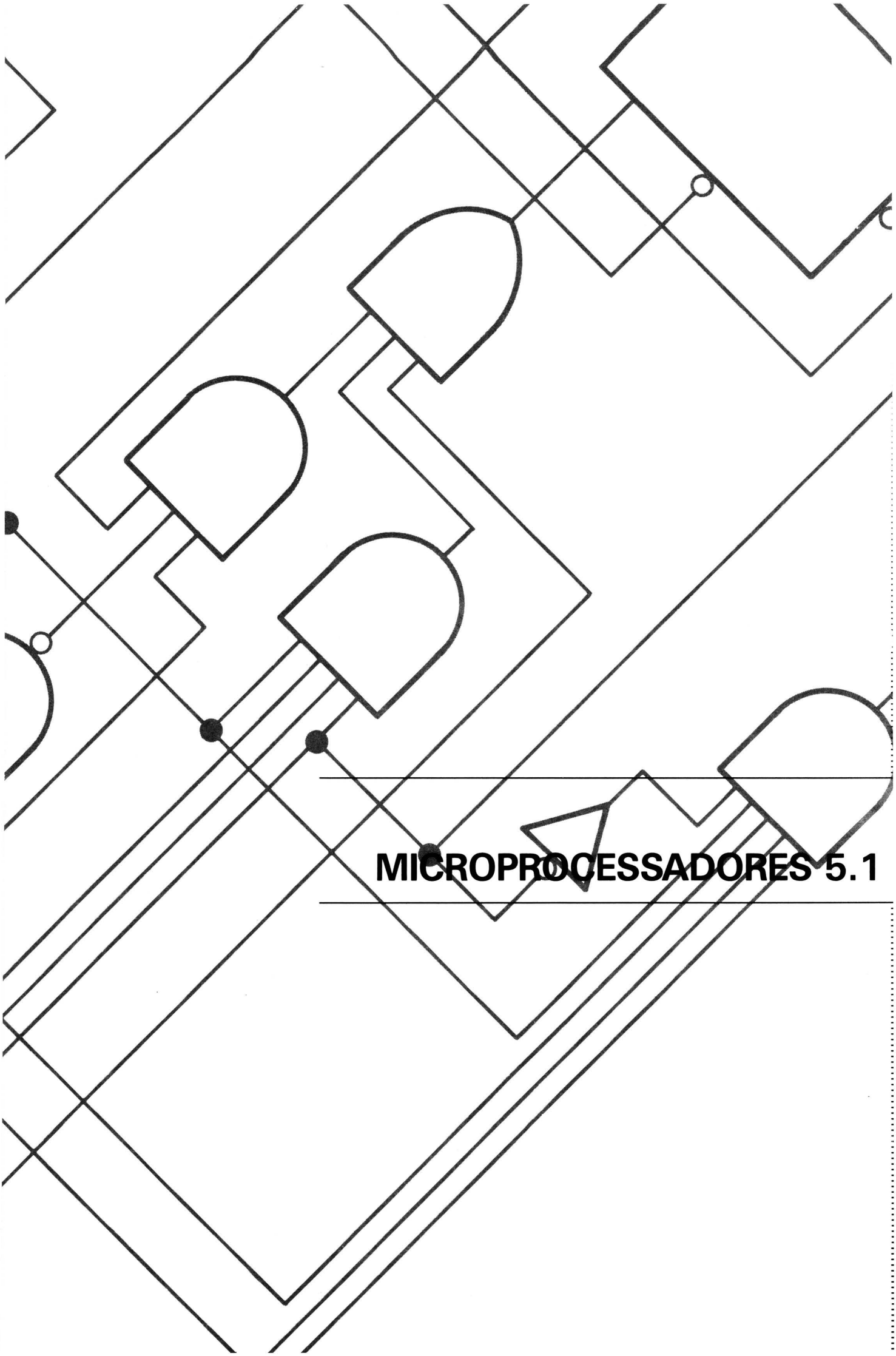


FIGURA 1

MICROPROCESSADORES E PERIFÉRICOS 5

MICROPROCESSADORES 5.1
PERIFÉRICOS 5.2



MICROPROCESSADORES 5.1

MICROPROCESSADORES

Os projetos em lógica discreta estão cedendo terreno rapidamente para os microprocessadores, com grandes vantagens. Para satisfazer essa tendência, a ITAUCOM possui uma linha diversificada de tais componentes, incluindo os de última geração.

IC 8085AH _____ 298

IC 8086 _____ 299

IC 8088 _____ 300

IC 80L286 _____ 301

IC 8085AH-2

MICROPROCESSADOR DE 8 BITS

PRELIMINAR

Características:

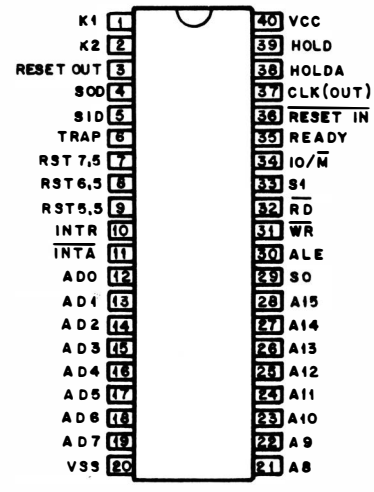
- ☐ Opera em 3 e 5 MHz;
- ☐ Controlador de sistema no próprio chip, incorporando as funções do 8228;
- ☐ Quatro interrupções vetoradas (sendo uma não mascarável);
- ☐ Gerador de clock interno (com cristal ou rede LC/RC externa);
- ☐ Porta de entrada e saída seriais;
- ☐ Aritméticas decimal, binária e de dupla precisão;
- ☐ Capacidade de endereçamento direto de 64 kbytes de memória;
- ☐ Ciclo de instrução de 0,8 μs;
- ☐ Software 100% compatível com o 8080A;
- ☐ Alimentação única de +5 V.

Descrição Geral:

O IC 8085AH-2 é uma unidade central de processamento (CPU) completa, de 8 bits, com um conjunto de instruções totalmente compatível (em software) com o microprocessador 8080A. Além disso, o IC 8085AH-2 incorpora todos os recursos fornecidos pelo 8224, (gerador de clock) e pelo 8228 (controlador de sistema) ao 8080A. Sua freqüência básica de clock é de 3MHz, mas pode ser comutada para 5 MHz.

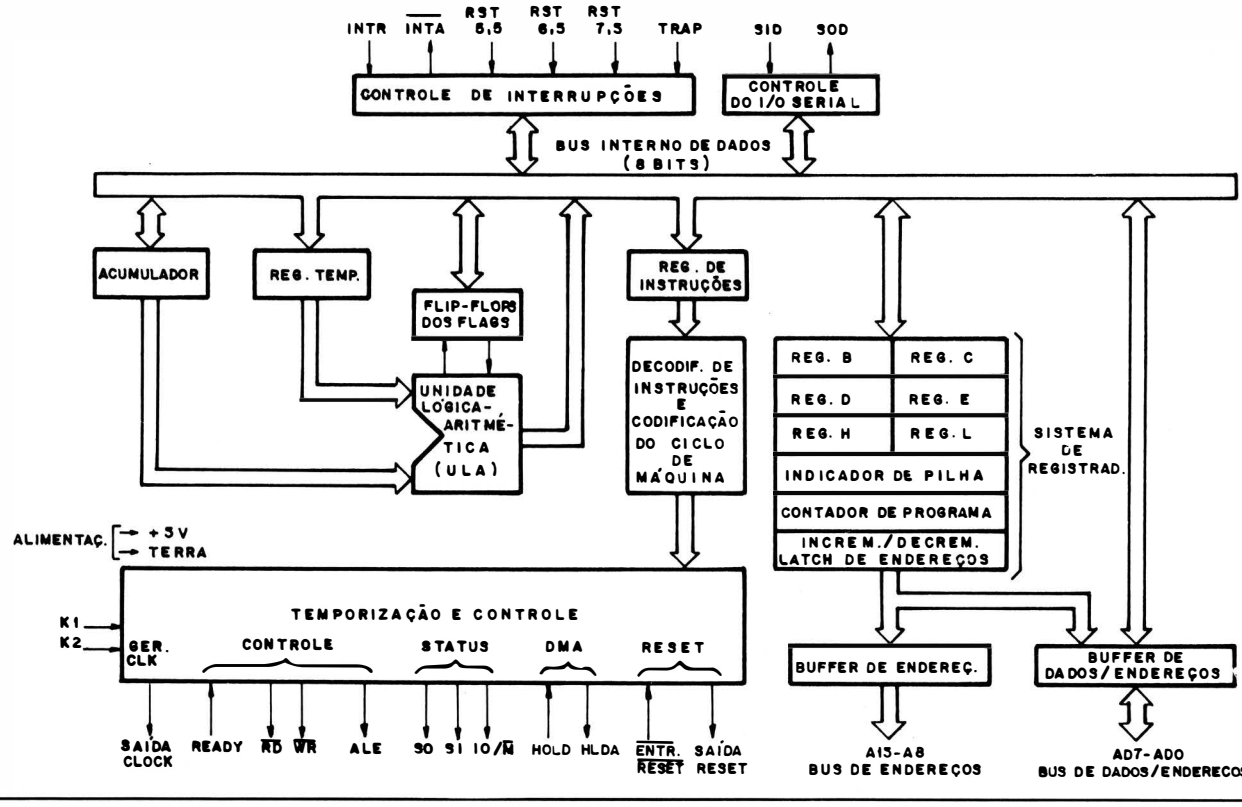
Utiliza um bus de dados de 8 bits multiplexado com os 8 bits menos significativos do bus de endereços. Durante o primeiro ciclo de clock, o endereço é apresentado; os oito bits inferiores são então introduzidos nos periféricos, via latches, pelo Address Latch Enable (ALE). Ao longo do restante do ciclo de máquina, o barramento de dados é usado para os dados da memória ou de I/O.

PINAGEM



O IC 8085AH-2 fornece ainda os sinais RD, WR e IO/Memory, destinados ao controle de bus, além de um sinal para reconhecimento de interrupções (INTA). Dispõe também de terminais para entrada e saída seriais de dados, permitindo assim o acoplamento de interfaces simples do tipo serial. Por fim, ele oferece ainda três interrupções mascaráveis e uma não mascarável, do tipo trap.

DIAGRAMA DE BLOCOS



IC 8086

PRELIMINAR

Características:

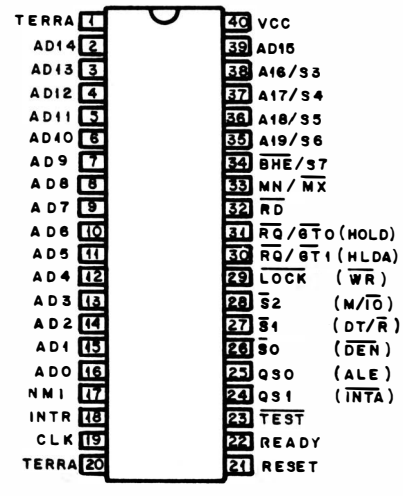
- Endereçamento direto de até 1 Mbyte de memória;
- 24 modalidades de endereçamento de operandos;
- Eficiente implementação de linguagens de alto nível;
- Conjunto de instruções compatível com o software do 8080;
- Operações com bits, bytes, palavras e blocos;
- Aritmética de 8 e 16 bits, com ou sem sinal, em binário ou decimal;
- Interface com o sistema Multibus;
- Disponível em duas versões de clock: 8 MHz (IC 8086-2) e 10 MHz (IC 8086-1).

Descrição Geral:

O IC 8086 é um microprocessador de 16 bits voltado para aplicações gerais. Sua arquitetura está baseada em treze registradores de 16 bits e nove flags de 1 bit. A CPU opera com espaços de endereçamento de 16 bits, podendo endereçar até 1 megabyte, utilizando endereços offset dentro de quatro segmentos distintos da memória, designados como "código", "dados", "pilha" e "código extra". Ele dispõe também de um poderoso conjunto de instruções, com 24 modalidades de endereçamento de operandos e compatível com os do 8080 e 8085. Além disso, o IC 8086 mostra-se particularmente eficiente na execução de linguagens de alto nível.

Este microprocessador é capaz de operar nas modalidades máxima e mínima. A modalidade máxima desloca certas funções de controle do bus para um dispositivo periférico e permite que a CPU opere de modo eficiente em sistemas multiprocessadores. Tanto a CPU como seus periféricos de alto desempenho são compatíveis com o sistema MULTIBUS, da Intel.

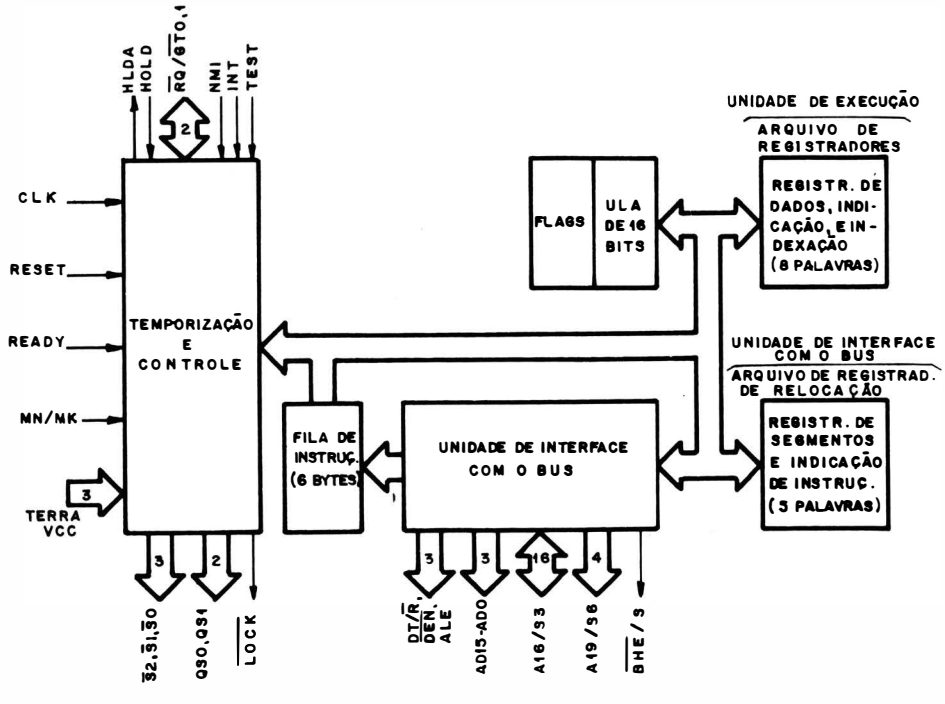
PINAGEM



Ela foi organizada internamente em duas unidades processadoras: a Unidade de Interface com o Bus (BIU) e a Unidade de Execução (EU). A BIU efetua busca e alinhamento de instruções, busca e armazenagem de operandos, relocação de endereços e controle básico de bus.

A EU recebe operandos e instruções da BIU e os processa em uma ULA de 16 bits. Ela também abre acesso à memória e dispositivos periféricos, mediante requisição da BIU. Essas duas unidades trabalham de forma assíncrona, permitindo que o 8086 sobreponha a busca de instruções e a execução.

DIAGRAMA DE BLOCOS



IC 8088

MICROPROCESSADOR DE 16 BITS

PRELIMINAR

Características:

- ☐ Poderoso conjunto de instruções;
- ☐ Bus de dados de 8 bits, arquitetura interna de 16 bits;
- ☐ Endereça diretamente 1 Mbyte de memória;
- ☐ Software compatível com o IC 8086;
- ☐ Operações com: byte, palavra e bloco;
- ☐ Implementação eficiente de linguagens de alto nível;
- ☐ Modalidades de endereçamento de 24 operadores.

Descrição Geral:

O IC 8088 é um microprocessador de 8 bits projetado seguindo a estrutura interna do 8086. A maioria das funções do IC 8088 são idênticas às suas equivalentes do 8086. A pinagem difere difere levemente. O IC 8088 opera com o bus externo da mesma maneira que o 8086, porém trabalha com apenas 8 bits de cada vez. A busca ou a escrita de palavras de 16 bits é efetuada em dois ciclos de bus consecutivos. Para o engenheiro de software ambos os processadores parecerão idênticos, exceto quanto ao tempo de execução.

PINAGEM

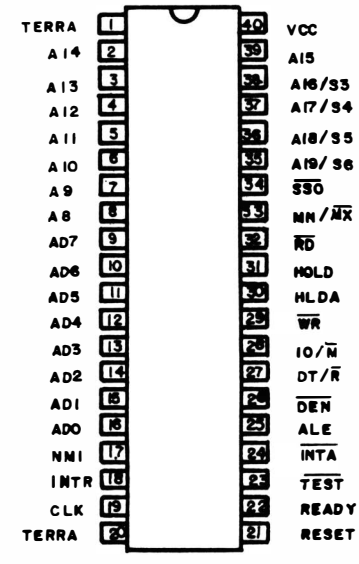
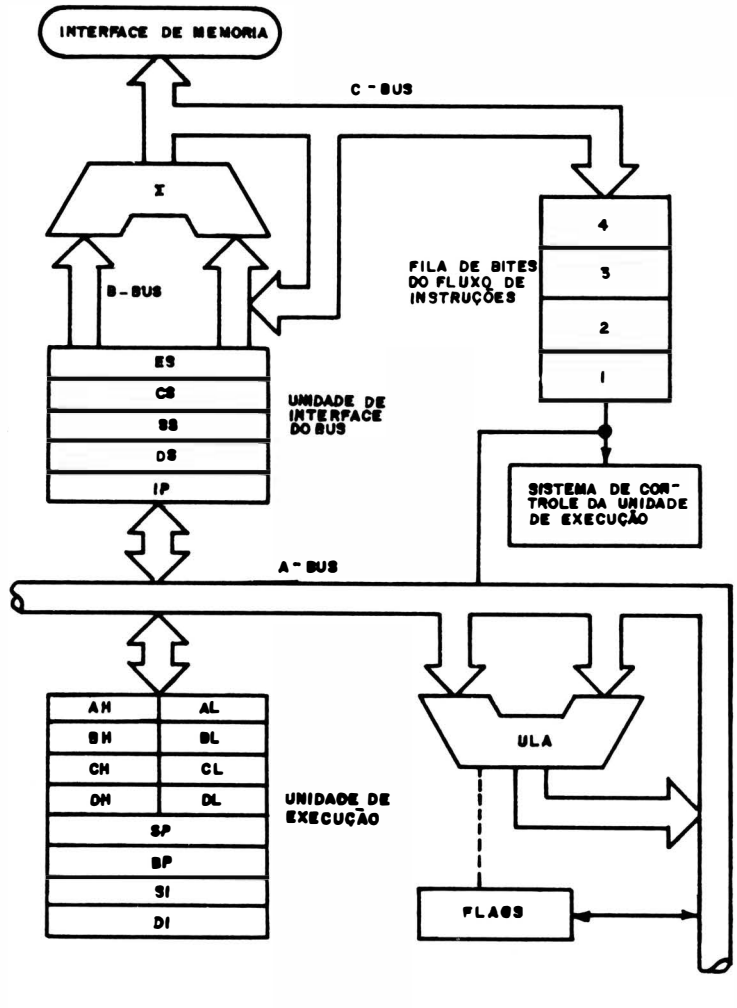


DIAGRAMA DE BLOCOS



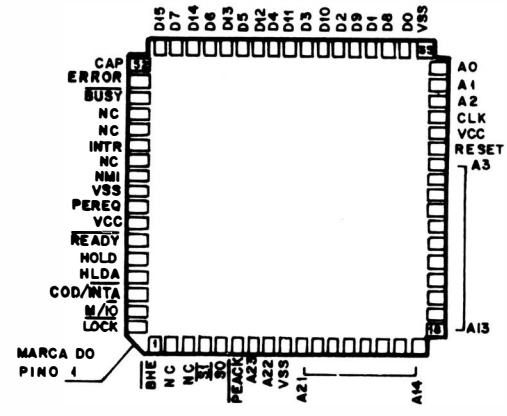
IC 80L286

PRELIMINAR

Características:

- ☐ Microprocessador de alta performance;
- ☐ Idêntico ao 80286, porém consome 37% menos potência;
- ☐ Encapsulado em PLCC de 68 pinos;
- ☐ Endereça até 16 Mbytes de memória física;
- ☐ Software compatível com o IC 8086/88;
- ☐ Grande espaço de endereçamento;
- ☐ 16 Mbytes de memória física;
- ☐ 1 Gbyte de memória virtual.

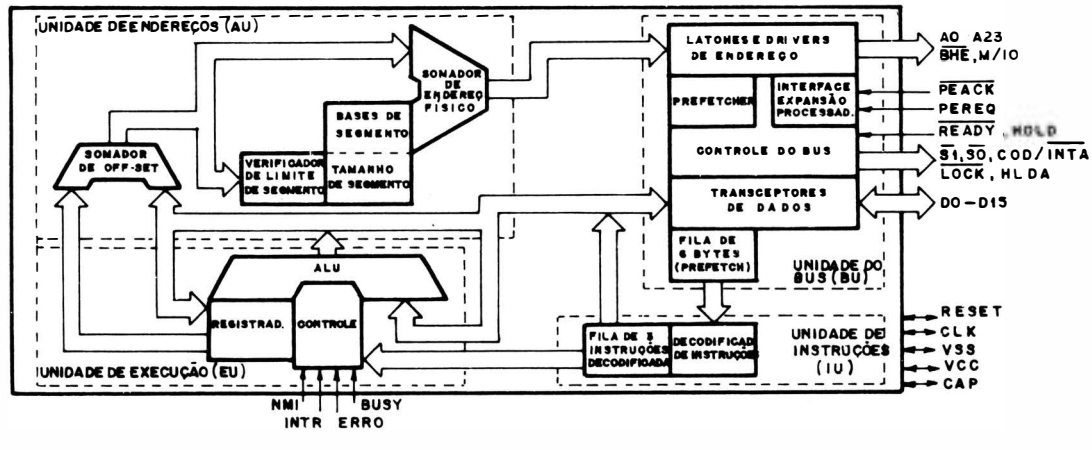
PINAGEM

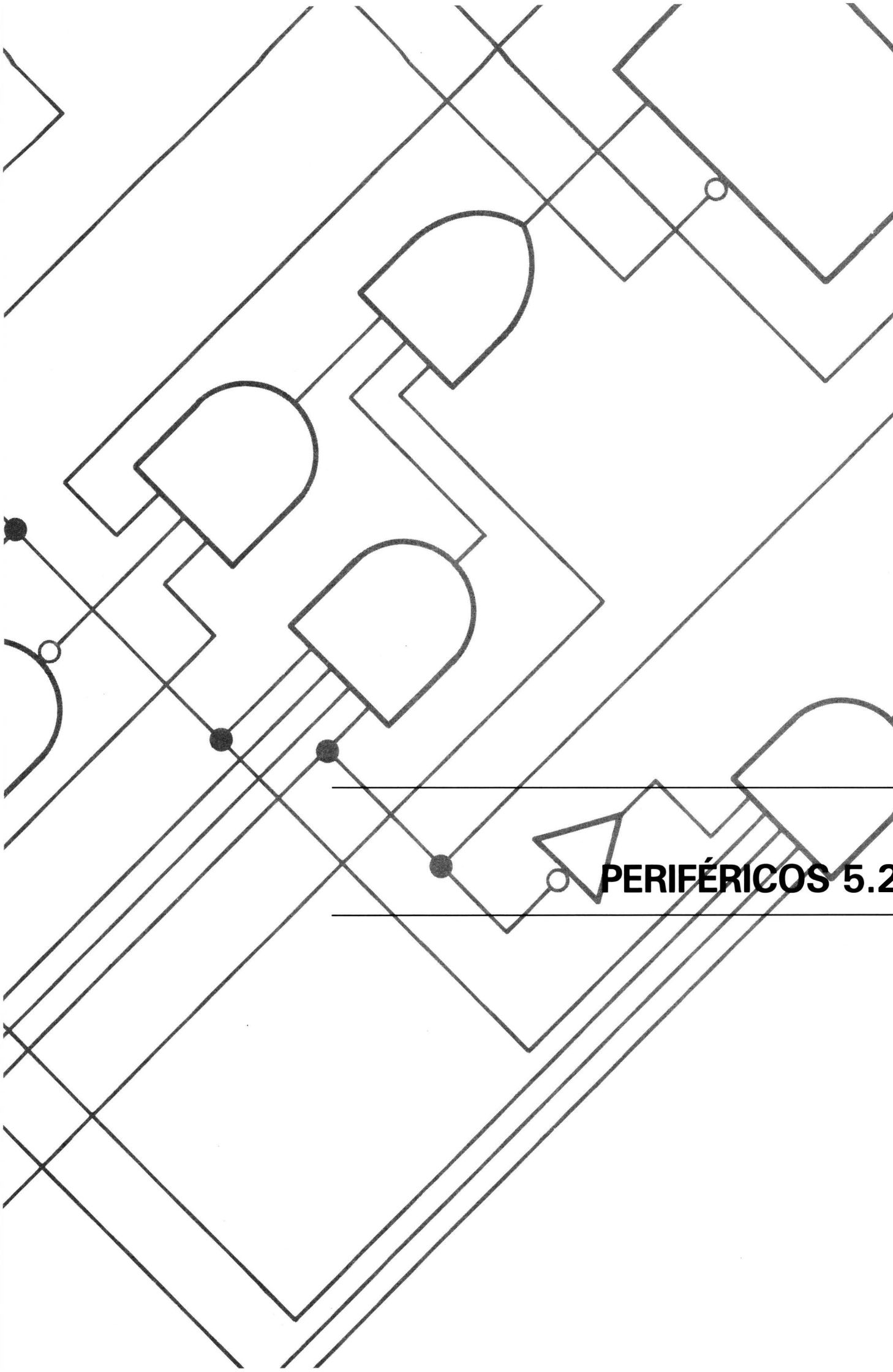


Descrição Geral:

O IC 80L286 é um microprocessador idêntico ao 80286, apresentando porém um consumo de potência muito menor. O IC 80L286 consome menos de 2W a 55°C, (37% menos que o 80286). Esta redução de potência permite o encapsulamento em plástico (PLCC) de baixo custo sem a necessidade de dissipadores de calor, e melhora a confiabilidade devido à operação em temperatura mais baixa. O IC 80L286 proporciona operações especiais para a implementação eficiente e a execução de sistemas operacionais. Por exemplo, uma instrução pode completar a execução de uma tarefa, salvar seu estado, mudar para uma nova tarefa, carregar seu estado e iniciar a execução de uma nova tarefa. O IC 80L286 também suporta sistemas de memória virtual proporcionando interrupção por ausência de segmento e instruções reiniciáveis.

DIAGRAMA DE BLOCOS





PERIFÉRICOS 5.2

PERIFÉRICOS

Neste sub-capítulo está reunida a linha ITAUCOM de periféricos para microcomputadores e outros dispositivos de 16 bits, necessária para complementar os microprocessadores apresentados neste mesmo capítulo.

IC 6845P ____ 306
IC 8155H ____ 329
IC 8237A-5 ____ 330
IC 8250 ____ 344
IC 8251A-5 ____ 345
IC 8253-2 ____ 360
IC 8253-5 ____ 361
IC 8255A-5 ____ 370
IC 8259A ____ 382
IC 8284A ____ 397
IC 8288 ____ 398

IC 6845P

Características:

- ☐ Opera com tubos de raios catódicos monocromáticos ou coloridos;
- ☐ Totalmente programável através do bus de dados do microprocessador. O timing pode ser programável para a maioria dos formatos de tela alfanumérica, ex: 80x24, 72x64, 132x20;
- ☐ Alimentação única +5V;
- ☐ Entradas e saídas compatíveis com os dispositivos TTL;
- ☐ Registrador de cursor programável permite controlar o formato bem como a freqüência do piscar;
- ☐ Registrador para light pen;
- ☐ Modos de varredura programáveis com ou sem entrelaçamento;
- ☐ Endereço de linha de 5 bits permite até 32 linhas de varredura por bloco de caracteres.

Descrição Geral:

O IC 6845P proporciona a interace entre o microprocessador e os circuitos de varredura de um tubo de raios catódicos.

O IC 6845P fornece os recursos de hardware e software necessários para proporcionar ao projetista a máxima flexibilidade.

Todas as funções do teclado, leituras, escritas, movimentos do cursor e edições obedecem ao controle do microprocessador. O IC 6845P fornece o timing de vídeo e o endereçamento da memória de refresh.

Descrição Funcional:

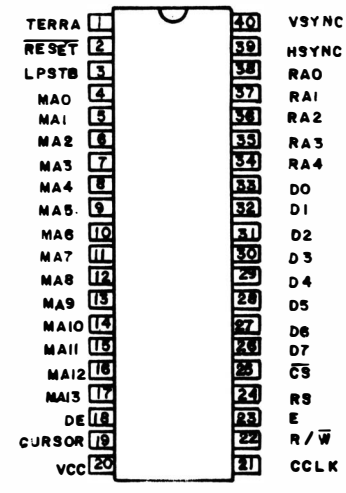
A imagem em um tubo de raios catódicos é composta por várias linhas dispostas uma sob a outra, produzidas por um feixe de elétrons que se desloca velozmente pela tela, partindo do canto superior esquerdo em direção à borda direita, voltando a seguir para a borda esquerda. Este movimento é conhecido como varredura horizontal.

À medida que as varreduras horizontais vão acontecendo, o feixe é simultaneamente deslocado para baixo, porém mais lentamente, até atingir a base da tela. Neste ponto um campo foi exposto. Deste modo um campo corresponde a uma varredura vertical e contém várias varreduras horizontais.

Existem dois tipos de varredura: a varredura entrelaçada e a varredura não entrelaçada.

Na varredura não entrelaçada um quadro é composto de apenas um campo. A figura 1A ilustra um esquema de varredura não entrelaçada, onde as linhas cheias representam as linhas de varredura visíveis, enquanto as pontilhadas representam o retorno do feixe, efetuado durante o tempo de apagamento.

PINAGEM



O aumento do número de campos por segundo diminui o efeito de cintilação. Normalmente usa-se uma taxa de refresh de 50 ou 60 campos por segundo, de modo a minimizar as interferências (sob a forma de ondulações) causada pela linha de alimentação.

A varredura entrelaçada é usada em transmissões de TV e em monitores onde se requer alta densidade ou alta resolução. Neste tipo de varredura os dois campos (ou varreduras verticais) se sobrepõem para compor uma única imagem ou quadro. O primeiro campo (chamado campo par) parte do canto superior esquerdo da tela, o segundo campo (campo ímpar) parte do centro superior da tela. A figura 1B apresenta um esquema de varredura entrelaçada, onde as linhas cheias representam campos pares e as linhas pontilhadas os campos ímpares.

A fim de que a imagem dos caracteres seja vista na tela, os campos devem ser repetidos continuamente. O dado a ser exposto é armazenado na memória de refresh (de vídeo) pelo microprocessador.

Por estarem os dados habitualmente escritos no código ASCII, não é possível apresentá-los diretamente como caracteres. Assim, normalmente recorre-se ao uso de uma ROM geradora de caracteres para converter o código ASCII nos diversos pontos que formam o caractere.

O método mais comum de geração de caractere é a criação de uma matriz de pontos com X pontos de largura (X colunas) e Y pontos de altura (Y linhas).

Cada caractere é criado pela ativação de determinados pontos da matriz. Duas dimensões muito usadas para matrizes são: 5x7 e 7x9. Variações deste padrão permitem a geração de caracteres japoneses, chineses ou arábicos.

Como as linhas de caracteres requerem um certo espaço entre si, em geral usa-se um bloco do tamanho de um caractere como se vê na figura 2, que também apresenta trechos dos sinais de vídeo da primeira e da segunda linha que compõem os caracteres.

DIAGRAMA DE BLOCOS

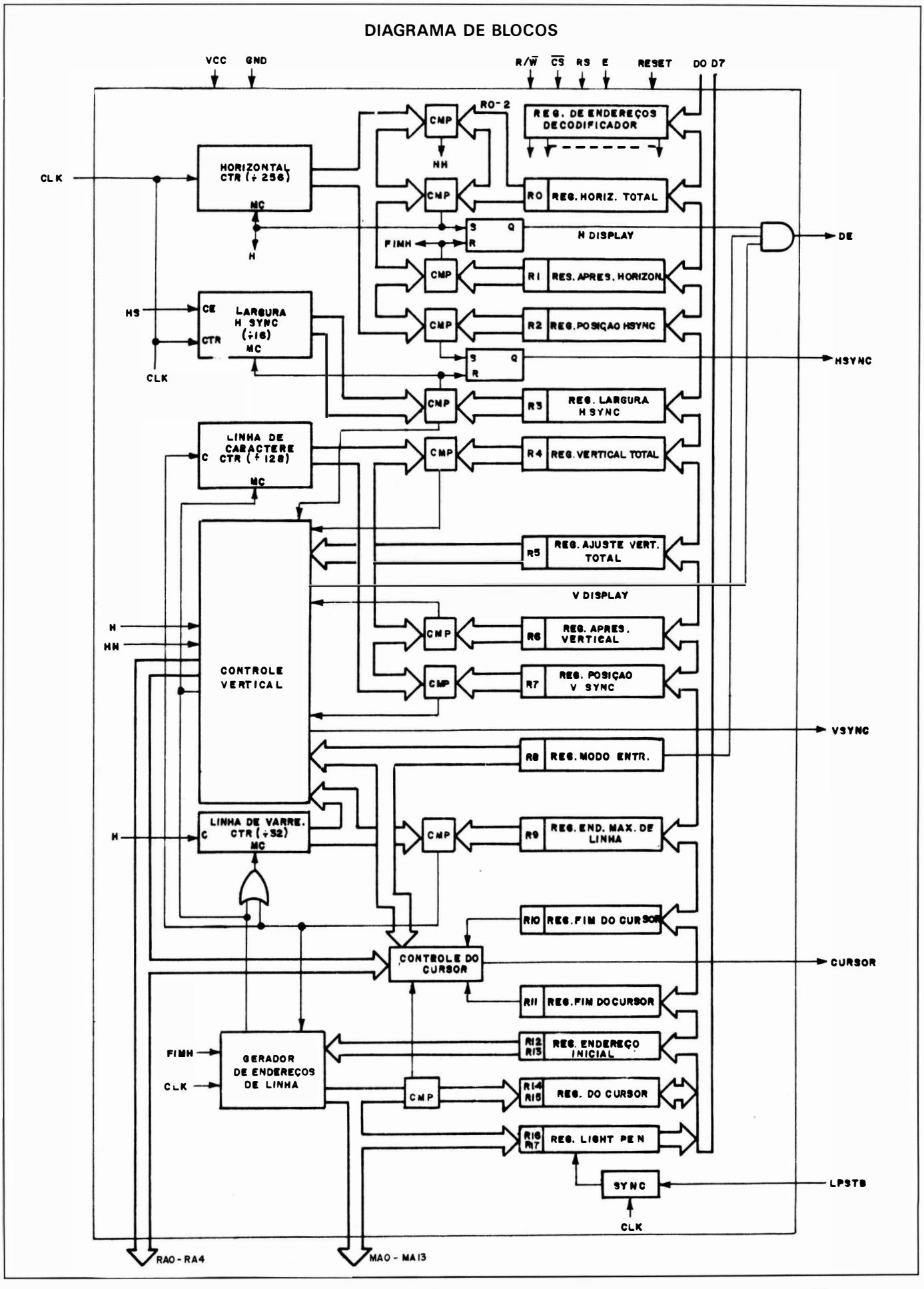


TABELA 1
Descrição da Pinagem

PINO	NOME	DESCRIÇÃO
33-26	D0-D7	BUS DE DADOS — Os pinos DB0 a DB7 constituem as 8 linhas bidirecionais de dados, usadas na transferência de dados entre o microprocessador e os registradores internos do controlador de vídeo. Normalmente estes pinos permanecem em alta impendância, saindo deste estado durante os ciclos de leitura, quando o componente está selecionado.
23	E	HABILITAÇÃO (Enable) — Esta entrada é usada para disparar todas as transferências de dados entre o microprocessador e o controlador de vídeo, habilitando os buffers de entrada e saída do bus de dados. Este sinal é geralmente derivado do clock do microprocessador.
25	$\overline{CS}$	SELEÇÃO DO DISPOSITIVO (Chip Select) — A entrada $\overline{CS}$, quando em nível baixo, seleciona o IC 6845P para leitura ou escrita nos registradores internos.
24	RS	SELEÇÃO DE REGISTRADOR (Register Select) — A entrada RS permite acesso aos registradores internos. Um nível baixo aplicado a este pino, permite a escrita no Registrador de Endereço. Quando RS for para nível alto o registrador indicado pelo registrador de endereço estará disponível para escrita ou leitura.
22	R/$\overline{W}$	LEITURA/ESCRITA (Read/Write) — Esta entrada, cujo sinal é gerado pelo microprocessador, determina a direção do fluxo de dados. Em nível alto, libera a leitura dos dados fornecidos pelo IC 6845P, em nível baixo permite a escrita nos seus registradores.
39	HSYNC	SINCRONISMO HORIZONTAL — Esta saída libera um sinal, ativo em nível alto, usado para determinar a posição horizontal do texto apresentado. Este sinal pode tanto acionar diretamente o monitor de vídeo, como ser usado para gerar o sinal composto de vídeo.
40	VSYNC	SINCRONISMO VERTICAL — Esta saída libera um sinal, ativo em nível alto, usado para determinar a posição vertical do texto apresentado. Do mesmo modo que HSYNC, VSYNC pode ser usado para controlar um monitor de vídeo ou para gerar o sinal composto de vídeo.
18	DE	HABILITAÇÃO DE TELA (Display Enable) — Esta saída libera um sinal, ativo em nível alto, indicando quando o IC 6845P está enviando informações na área ativa da tela.
4-17	MA0-MA13	ENDEREÇOS DA MEMÓRIA DE REFRESH (Refresh Memory Addresses) — As saídas MA0-MA13 endereçam a RAM de vídeo para armazenamento de caracteres e operações de vídeo. O início dos endereços de varredura é completamente programável e o endereço final de varredura é determinado pelo número total de caracteres expostos, o qual é também programável em termos de caracteres por linha e linhas por campo.
38-34	RA0-RA4	ENDEREÇOS DAS LINHAS DE VARREDURA (Row Addresses) — Estas 5 saídas provenientes do contador interno de endereços de linha são usadas para selecionar uma das linhas de varredura que compõem a linha de caracteres. Estas saídas endereçam a ROM geradora de caracteres. O número de linhas de varredura é programável e determina a altura do caractere, incluindo o espaço entre as linhas de caracteres.
19	CURSOR	CURSOS — Este sinal, ativo em nível alto, indica quando a varredura coincide com a posição programada do cursor. A posição do cursor pode ser programada para qualquer caractere no campo de caracteres.
21	CCLK	CLOCK — A entrada CCLK sincroniza as funções do controlador de vídeo. Este sinal, ativo na borda de descida é derivado de um contador de pontos externo e o seu período é geralmente igual ao tempo de exposição de um caractere de vídeo alfanumérico.
3	LPEN	LIGHT PEN — O pino LPEN é uma entrada sensível à transição positiva, usada para carregar o registrador interno de light pen com o endereço do refresh de varredura assim que a transição ativa ocorrer.
20	V_{CC}	ALIMENTAÇÃO — +5V.
1	TERRA	TERRA.
2	$\overline{RESET}$	RESET — Um nível baixo nesta entrada produz os seguintes efeitos: a) Todos os contadores são zerados e a operação de apresentação é interrompida; b) Todas as saídas vão para nível baixo; c) Os registradores de controle do IC 6845P não são afetados e permanecem inalterados. Esta entrada é usada para inicializar os circuitos internos dos contadores de varredura. O sinal $\overline{RESET}$ deve permanecer em nível baixo no mínimo durante um período do sinal de clock. Todo o processo de varredura é iniciado quando RESET vai para nível alto. Deste modo esta entrada pode ser usada para sincronizar os campos de varredura com a freqüência da linha.

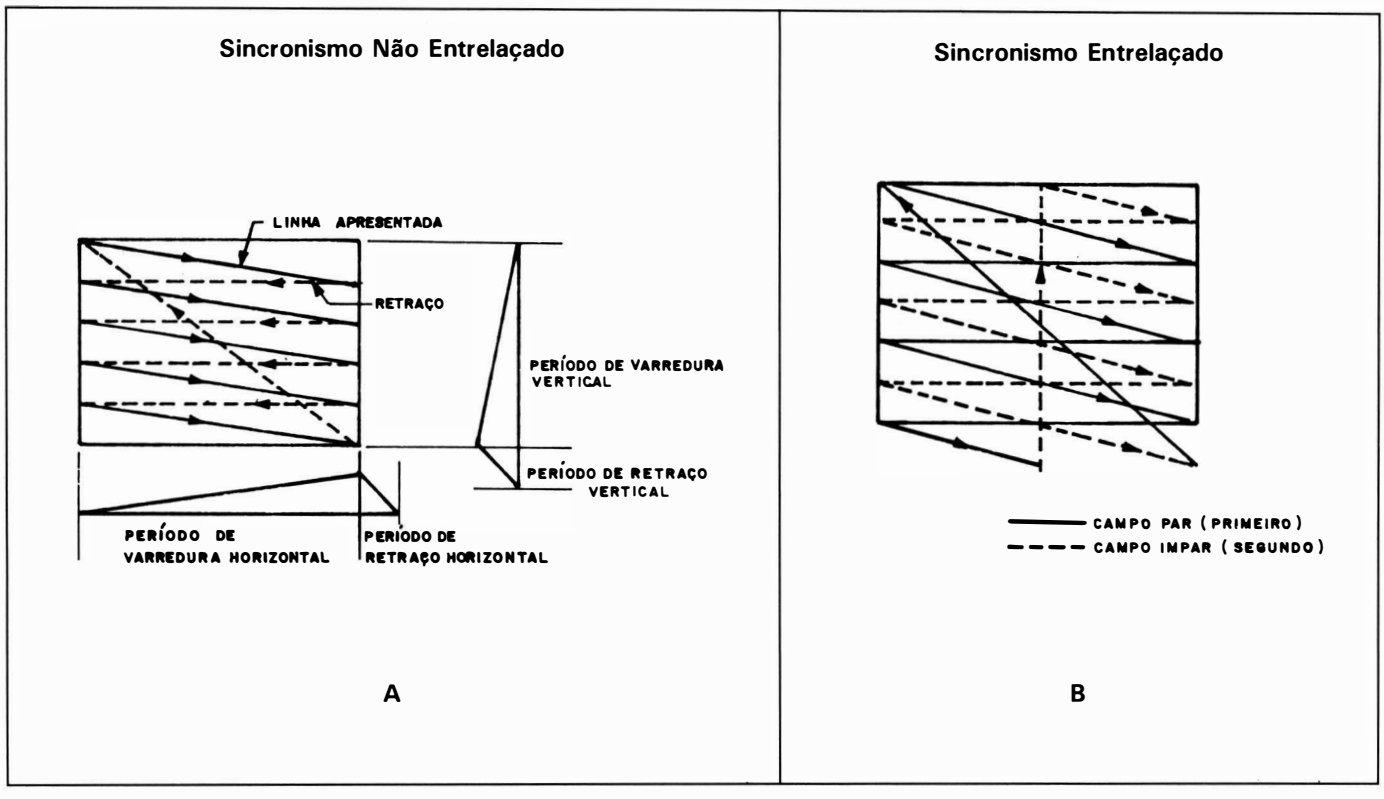


FIGURA 1

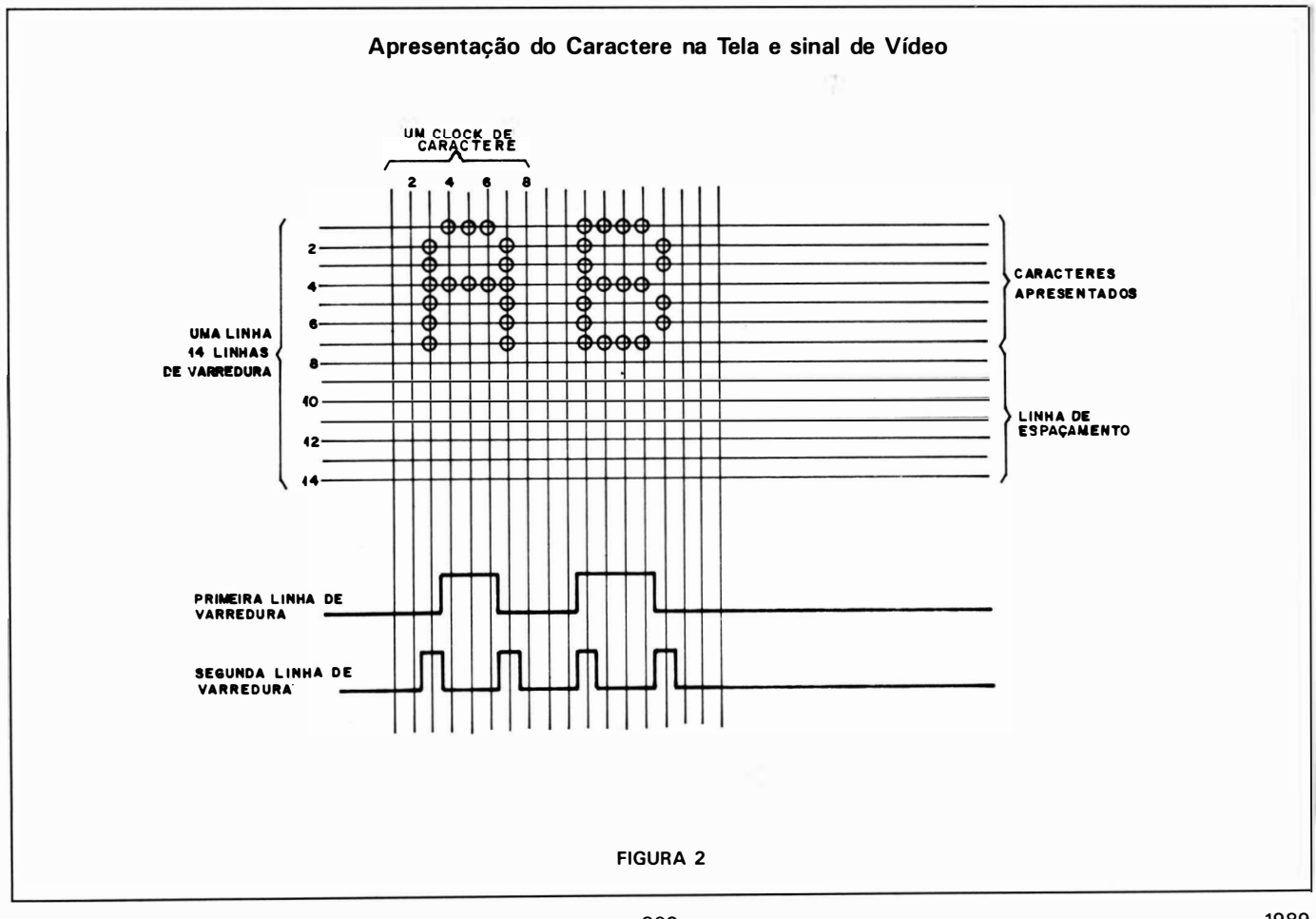


FIGURA 2

A figura 3 ilustra uma aplicação típica do IC 6845P. Com relação a essa figura, o IC 6845P gera os endereços de refresh (MA0-MA13) para varrer a RAM de refresh, os endereços das linhas de varredura que compõem as linhas de caracteres (RA0-RA4) para a ROM de caracteres e o timing de vídeo (sincronismo horizontal HSYNC, sincronismo vertical VSYNC e habilitação de tela DE). Num sistema gráfico tanto os endereços da memória quanto os de linha devem ser usados para varrer a RAM de refresh, e ambos continuam a correr durante o retraço vertical, isto permite o contínuo fornecimento dos endereços para o refresh das RAMs dinâmicas.
Outras funções incluem: lógica de cursor programável, registrador de captura para light pen e circuitos de controle para interface com o bus do microprocessador.

Todo o timing do IC 6845P é derivado de CCLK. Em terminais alfanuméricos este sinal é a taxa de caracteres e é obtido externamente pela divisão de um contador de pontos de alta velocidade (TTL). Esta lógica de alta velocidade deve também fornecer sinais de timing e controle necessários ao registrador de deslocamento, latch e controle do MUX.

O microprocessador comunica-se com o IC 6845P através de um bus de dados de 8 bits (D0-D7).

Os endereços da memória de refresh são multiplexados entre o processador e o IC 6845P. Os dados surgem em um bus de dados secundário separado do bus de dados do microprocessador.

Aplicação Típica do IC 6845P

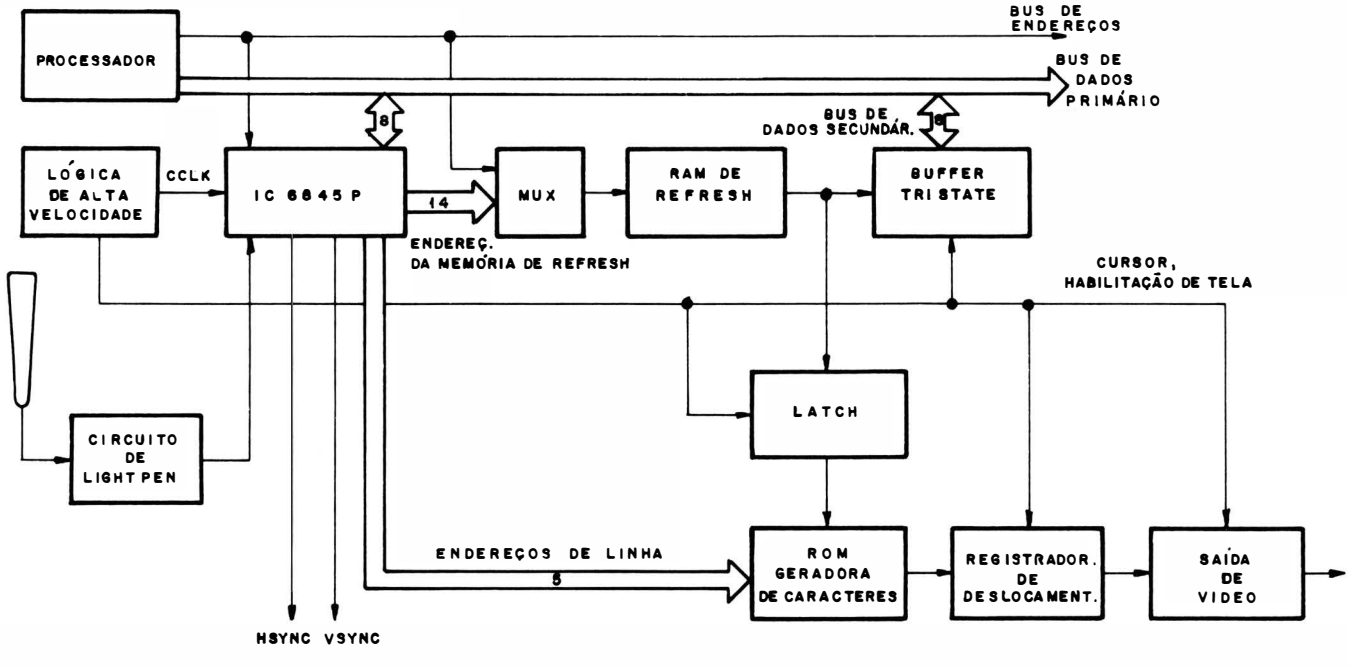


FIGURA 3

Circuitos de coincidência comparam continuamente o conteúdo do contador de pontos externo com o conteúdo dos registradores programáveis R0-R17. Para a geração do timing horizontal as comparações resultam em:

1 - pulso de sincronismo horizontal (HSYNC) com freqüência, posição e largura determinadas pelos registradores;

2 - Sinal de vídeo de freqüência, posição e duração determinada pelos registradores.

O contador horizontal produz um sinal (HCLOCK) que aciona o contador de linhas de varredura e o controle vertical. O conteúdo do contador de linhas de varredura é continuamente comparado com o registrador do máximo endereço de linha de varredura. Uma coincidência produz um reset no contador de linhas de varredura e um pulso no contador vertical.

Comparações entre os conteúdos do contador vertical e dos registradores verticais resultam em:

1 - Pulso de sincronismo vertical (VSYNC) de freqüência, largura e posição determinadas pelos registradores.

2 - Um campo com freqüência e posição determinadas pelos registradores.

A lógica de controle vertical tem ainda outras funções:

— Seleção de linha (RA0-RA4) do contador de linhas de varredura para os correspondentes modos entrelaçados ou não entrelaçado.

— Expansão do número de linhas de varredura no vertical total para a quantidade programada no registrador de ajuste do vertical total.

CCLK aciona o gerador de endereços de linha, que posiciona os caracteres na memória de acordo com suas posições a serem assumidas na tela. As 14 linhas MA0-MA13 permitem endereçar até 4 páginas de 4K caracteres, 8 páginas de 2K caracteres, etc. Usando-se o registrador de endereço inicial torna-se possível o rolamento por hardware dos 16K caracteres. O gerador de endereços de linha repete a mesma seqüência de endereços para cada linha de varredura da linha de caracteres.

A lógica de cursor determina a posição do cursor, tamanho e freqüência de piscagem na tela. Todos estes parâmetros são programáveis.

Quando o strobe do light pen for para nível alto, o registrador de light pen receberá o conteúdo do contador de endereços que então poderá ser lido pelo microprocessador.

Registradores Internos:
O microprocessador pode programar os 19 registradores internos através do bus de dados D0-D7 e dos sinais de controle R/$\overline{W}$, $\overline{CS}$, $\overline{RS}$ e E.

Um destes registradores internos serve para apontar para o endereço dos 18 restantes, os quais controlam o timing horizontal, vertical, a operação de entrelaçamento, endereçamento de linhas e definem o cursor, seu endereço, o endereço inicial, o registrador de light pen.

A tabela 2 apresenta uma descrição dos registradores.

Registrador de Endereços:
O registrador de endereços é um registrador de apenas escrita 5 bits usado como ponteiro para a transferência de dados entre o IC 6845P e o microprocessador.

O seu conteúdo é o endereço de um dos outros 18 registradores ao qual se deseja ter acesso. Quando as entradas $\overline{RS}$ e $\overline{CS}$ estiverem ambas em nível baixo, o registrador de endereços estará selecionado e poderá ser carregado. Quando $\overline{CS}$ estiver em nível baixo e $\overline{RS}$ em nível alto, o registrador selecionado será aquele cuja identidade estiver armazenada no registrador de endereços.

Registradores de Timing:
A figura 4, apresenta a área visível da tela de um tubo de raios catódicos de um monitor típico, e dá o ponto de referência para os registradores horizontais como sendo a posição de caractere apresentado mais à esquerda.

Os registradores horizontais são programados em unidades de tempos de clock de caracteres em relação à referência como mostra a figura 5.

O ponto de referência para os registradores verticais é a posição do caractere do topo. Os registradores verticais são programados em tempos de linha de varredura em relação à referência como se vê na figura 6.

Registrador Horizontal Total (R0) — R0 é um registrador de apenas escrita de 8 bits contendo o total de caracteres apresentados e não apresentados por linha horizontal menos um. Portanto este registrador determina a freqüência de HSYNC.

Registrador de Apresentação Horizontal (R1) — R1 é um registrador de apenas escrita de 8 bits contendo o número total de caracteres apresentados por linha horizontal. Pode-se programar qualquer número de 8 bits desde que o conteúdo de R0 seja maior que o de R1.

Registrador da Posição do Sincronismo Horizontal (R2) — Este registrador de apenas escrita de 8 bits controla a posição do pulso de sincronismo horizontal HSYNC. A posição de HSYNC define o atraso do sincronismo horizontal (pórtico anterior) e o atraso da linha de varredura horizontal (pórtico posterior).

TABELA 2
Descrição dos Registradores Internos

$\overline{CS}$	RS	ENDEREÇOS 4	3	2	1	0	REGIS-TRADOR	NOME	UNIDADE	LEITURA	ESCRITA	NÚMERO DE BITS 7	6	5	4	3	2	1	0
1	X	X	X	X	X	X	X	—	—	—	—	★	★	★	★	★	★	★	★
0	0	X	X	X	X	X	RE	REG. END.	—	NÃO	SIM	★	★	★					
0	1	0	0	0	0	0	R0	HOR. TOT.	CARACT.	NÃO	SIM								
0	1	0	0	0	0	1	R1	APR. HOR.	CARACT.	NÃO	SIM								
0	1	0	0	0	1	0	R2	POS. SINC. HOR.	CARACT.	NÃO	SIM								
0	1	0	0	0	1	1	R3	LARG. SINC. HOR.	—	NÃO	SIM	★	★	★	★	H	H	H	H
0	1	0	0	1	0	0	R4	VER. TOT.	LIN. CAR.	NÃO	SIM	★							
0	1	0	0	1	0	1	R5	AJS. VER. TOT.	LIN. VAR.	NÃO	SIM	★	★	★					
0	1	0	0	1	1	0	R6	APR. VER.	LIN. CAR.	NÃO	SIM	★							
0	1	0	0	1	1	1	R7	POS. SINC. VER.	LIN. CAR.	NÃO	SIM	★							
0	1	0	1	0	0	0	R8	MODO ENTR.	(1)	NÃO	SIM	★	★	★	★	★	★	I	I
0	1	0	1	0	0	1	R9	END. LIN. VAR. MAX.	LIN. VAR.	NÃO	SIM	★	★	★	★	★	★		
0	1	0	1	0	1	0	R10	INIC. CURSOR	LIN. VAR.	NÃO	SIM	★	B	P					(2)
0	1	0	1	0	1	1	R11	FIM CURSOR	LIN. VAR.	NÃO	SIM	★	★	★					
0	1	0	1	1	0	0	R12	END. INIC. (H)	—	NÃO	SIM	0	0						
0	1	0	1	1	0	1	R13	END. FIN. (L)	—	NÃO	SIM								
0	1	0	1	1	1	0	R14	CURSOR (H)	—	SIM	SIM	0	0						
0	1	0	1	1	1	1	R15	CURSOR (L)	—	SIM	SIM								
0	1	1	0	0	0	0	R16	LPEN (H)	—	SIM	NÃO	0	0						
0	1	1	0	0	0	1	R17	LPEN (L)	—	SIM	NÃO								

OBSERVAÇÕES:

1) A tabela 4 apresenta os modos de entrelaçamento.

2) O bit 5 do registrador de início do cursor controla o período do piscar, e o bit 6 seleciona ou inibe a piscagem.

Formato da Tela

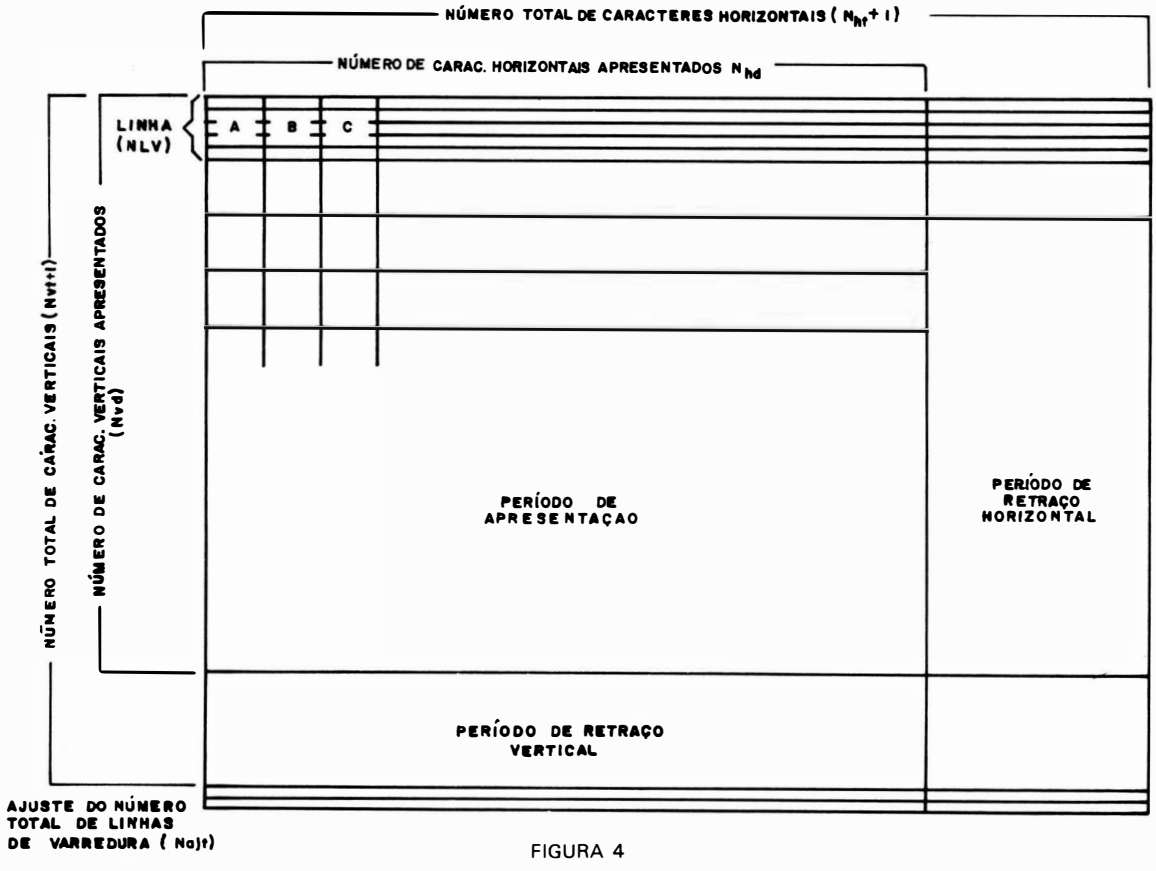


FIGURA 4

TABELA 3

REG	NOME	VALOR	VALOR PROGR.
R0	Horizontal Total	Nht+1	Nht
R1	Apres. Horizontal	Nah	Nah
R2	Pos. Sincr. Horiz.	Npsh	Npsh
R3	Larg. Sincr. Horiz.	Nish	Nish
R4	Vertical Total	Nvt+1	Nvt
R5	Ajuste do Vert. Tot.	Najt	Najt
R6	Apres. Vertical	Nav	Nav
R7	Pos. Sincr. Vertical	Npsv	Npsv
R8	Entrelaçamento		
R9	End. Máx. Lin. Varred.	Niv	Niv
R10	Início do Cursor		
R11	Fim do Cursor		
R12	Endereço Inicial (H)		
R13	Endereço Inicial (L)		
R14	Cursor (H)		
R15	Cursor (L)		
R16	Light Pen (H)		
R17	Light Pen (L)		

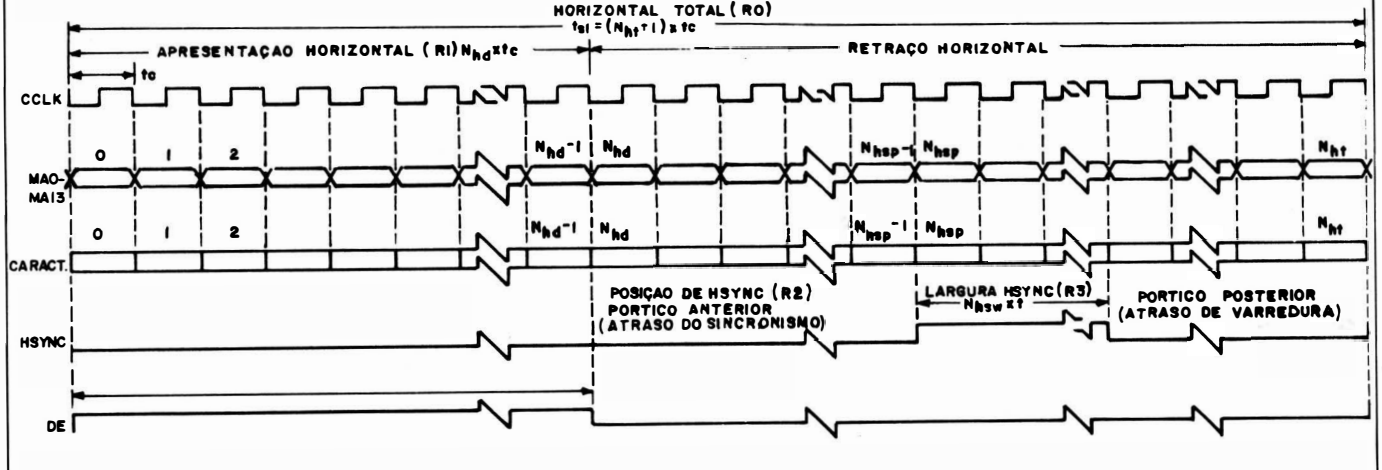
Quando o valor programado neste registrador aumenta, a imagem na tela do vídeo desloca-se para a esquerda. Quando o valor programado diminui, a imagem se desloca para a direita.

Qualquer número de 8 bits pode ser programado, desde que a soma dos conteúdos de R2 e R3 seja menor que o conteúdo de R0, e R2 seja maior que R1.

Registrador da Largura do Sincronismo Horizontal (R3) — Os 4 bits menos significativos deste registrador de apenas escrita determinam a largura de HSYNC e VSYNC.

R3 permite programar HSYNC com uma largura de 1 a 15 períodos de clock de caractere, o que facilita a compatibilidade com as especificações da largura do pulso de sincronismo horizontal de diversos monitores. Se R3 for programado com zero, HSYNC não existirá. A largura de

Timing Horizontal do IC 6845P

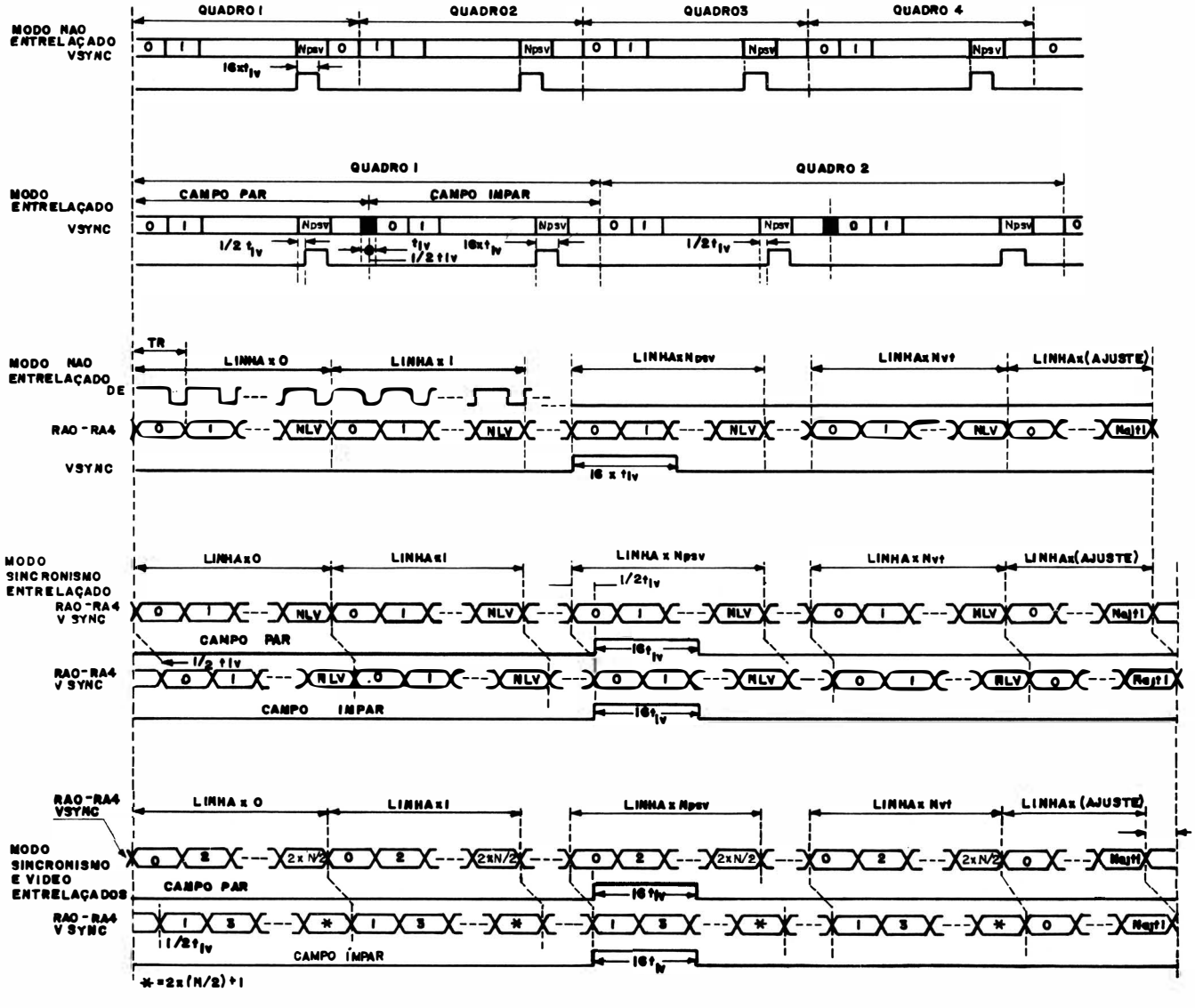


OBSERVAÇÕES:

1) O valor inicial MA é determinado pelo conteúdo dos Registradores do endereço inicial R12/R13. Estas formas de onda valem para R12/R13=0 (Primeira linha de varredura apresentada).
2) A tabela 8 relaciona os registradores com seus valores.

FIGURA 5

Timing Vertical do IC 6845P



OBSERVAÇÕES:

1) No modo sincronismo e vídeo entrelaçados o endereço máximo de linha de varredura (N_{LV}) deve ser ímpar.
2) No modo entrelaçado, N_{ht} deve ser ímpar.

FIGURA 6

VSYNC é ajustada para ser igual à duração de 16 linhas varredura.

Resumo do Timing Horizontal (fig. 5) — A diferença entre R0 e R1 resulta no intervalo de apagamento horizontal. Este intervalo, no período de varredura horizontal, permite o retorno do feixe de elétrons (retraço) para o canto esquerdo da tela. O tempo de retraço é determinado pelos componentes da varredura horizontal do monitor. O tempo de retraço é menor que o intervalo de apagamento horizontal. Uma boa regra prática é fazer o apagamento horizontal cerca de 20% do período total de varredura horizontal.

O atraso e a largura de HSYNC, bem como o atraso da varredura horizontal são programados tipicamente com uma taxa de 1:2:2.

Registrador Vertical Total (R4) e Registrador de Ajuste do Vertical Total (R5) — R4 e R5 determinam a freqüência de VSYNC.

O número de linhas de caracteres por campo é geralmente um inteiro mais uma fração, para se conseguir exatamente 50 ou 60 Hz de freqüência de varredura vertical.

R4 é um registrador de apenas escrita de 7 bits que contém o número inteiro de linhas de caracteres menos um. R5 é um registrador de apenas escrita de 5 bits que contém a fração de linha de caracteres. Apenas para o modo de entrelaçamento de sincronismo e vídeo, R4 deve conter a metade do número total de linhas de caractere menos um.

Diagramas de Tempo Vertical e Horizontal

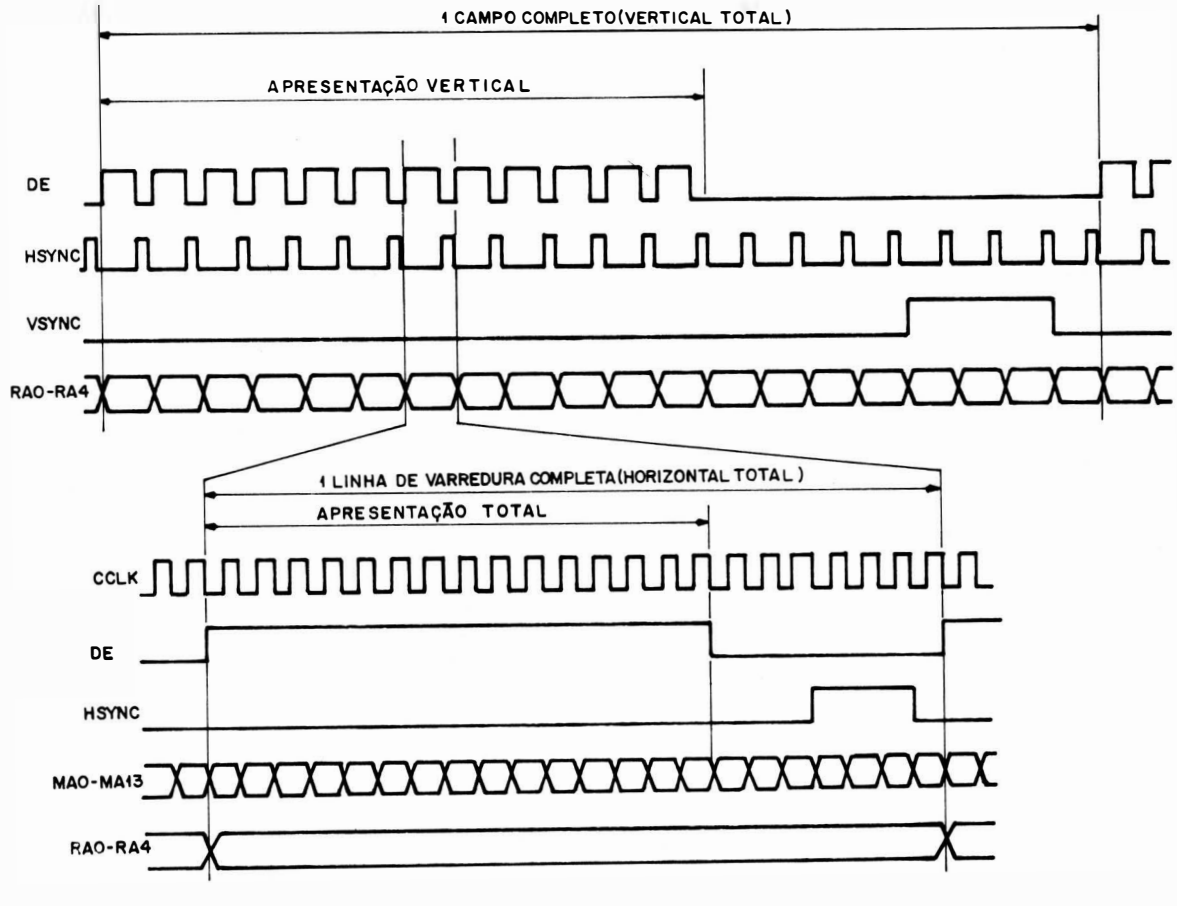


FIGURA 7

Registrador de Apresentação Vertical (R6) — R6 é um registrador de apenas escrita de 7 bits, que contém o número de linhas de caracteres apresentadas em cada quadro. Desta maneira fica determinado o tamanho do texto apresentado.

Qualquer número menor que o conteúdo de R4 pode ser programado.

Registrador da Posição do Sincronismo Vertical (R7) — Este registrador de apenas escrita de 7 bits controla a posição do sincronismo vertical relativo à referência. O valor programado no registrador deve ser o número de linhas de caracteres computado menos um. Apenas para o modo de entrelaçamento de sincronismo e vídeo o valor de R7 deve ser a metade do número de linhas de caracteres menos um.

Aumentando-se o conteúdo de R7 a posição da imagem na tela do vídeo desloca-se para cima. Diminuindo-se esse conteúdo a imagem desloca-se para baixo.

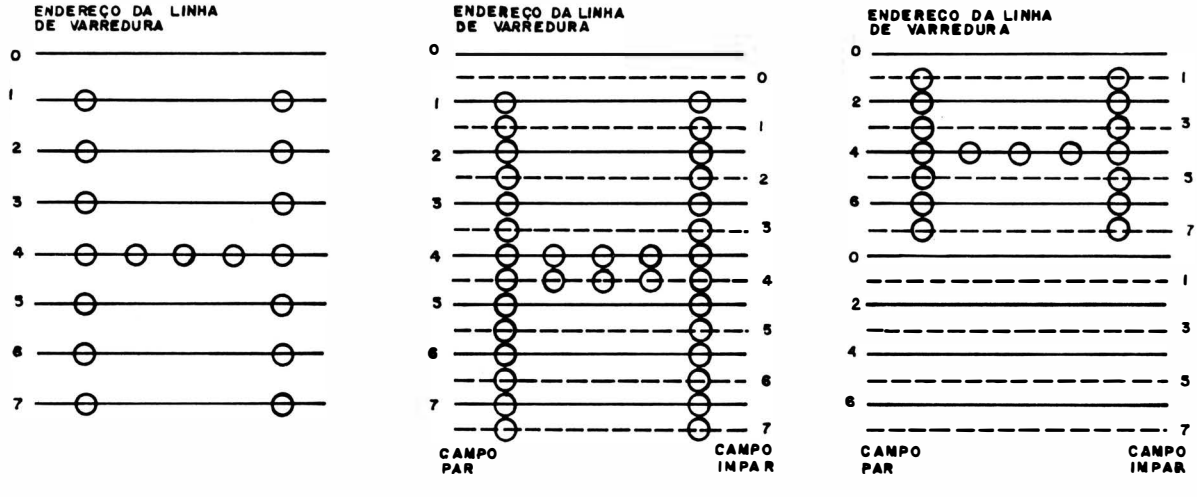
Qualquer número menor ou igual a R4 pode ser usado.

Registrador de Controle de Modo (R8) — Os dois bits menos significativos deste registrador de apenas escrita de 5 bits controlam os modos de entrelaçamento de acordo com o exposto na tabela 4.

TABELA 4
R8 — Modos de Entrelaçamento

BIT 1	BIT 0	MODO
0	0	Não Entrelaçado
1	0	
0	1	Sincronismo entrelaçado
1	1	Entrelaçamento de sincronismo e vídeo

Modos de Entrelaçamento



A
SINCRONISMO NORMAL

B
SINCRONISMO ENTRELAÇADO

C
ENTRELAÇAMENTO DE SINCRONISMO E VÍDEO

FIGURA 8

No modo não entrelaçado, há apenas um campo por quadro, como se pode observar nas figuras 1A e 7A. O feixe passa sobre a linha de varredura com a freqüência de VSYNC (por ex.: 50 ou 60Hz).

Os modos entrelaçados disponíveis são de dois tipos, ilustrados nas figuras 1B, 8B e 8C. A relação entre as varreduras horizontais e vertical (VSYNC atrasado de meia linha de varredura) provoca o entrelaçamento dos campos pares e ímpares.

No modo sincronismo entrelaçado, a mesma informação aparece exposta em ambos os campos (figura 8B). Isto produz uma melhor resolução.

No modo sincronismo e vídeo entrelaçados, as linhas alternadas de um caractere aparecem no campo par e no campo ímpar (figura 8C). Isto dobra a largura de banda do monitor de vídeo.

No uso de qualquer dos modos de entrelaçamento deve-se ter o cuidado de evitar o efeito de cintilação. Este efeito surge como conseqüência da diminuição da freqüência com que o feixe de elétrons varre cada linha (por exemplo: se no modo não entrelaçado essa freqüência for de 60Hz, com entrelaçamento será de 30Hz).

A cintilação pode ser minimizada no próprio projeto do monitor (por exemplo: empregando um fósforo de maior persistência).

Algumas restrições devem ser consideradas quanto à programação dos registradores do IC 6845P operando no modo entrelaçado.

1 - O valor de R0 deve ser ímpar (isto é: um número par de caracteres).

2 - Apenas no modo de entrelaçamento de sincronismo e vídeo o conteúdo de R9 deve ser ímpar (isto é: um número par de linhas de varredura).

3 - Apenas no modo de entrelaçamento de sincronismo e vídeo o conteúdo de R6 deve ser a metade do número atual requerido. O campo par apresenta o número de linhas pares e o campo ímpar apresenta o número de linhas ímpar.

4 - Apenas no modo de entrelaçamento de sincronismo e vídeo, R10 e R11 devem ser ambos pares ou ímpares dependendo do campo no qual o cursor aparecerá. Quando o conteúdo de R11 for maior que o de R9 um cursor ocupando um bloco completo aparecerá em ambos os campos, par e ímpar.

5 - Apenas no modo de entrelaçamento de sincronismo e vídeo R4 deve conter a metade do número total de linhas de caracteres menos um.

TABELA 5

BIT		MODO DO CURSOR
6	5	
0	0	Fixo
0	1	Apagado
1	0	Piscando 16 x o período do campo
1	1	Piscando 32 x o período do campo

Registrador do Endereço Máximo de Linha de Varredura (R9) — R9 é um registrador de apenas escrita de 5 bits que determina o número de linhas de varredura por linha de caracteres incluindo o espaçamento, controlando portanto, a operação do contador de endereços de linha. O valor programado é o endereço máximo e equivale ao número de linhas de varredura menos um.

Cursor:
Registrador de Início do Cursor (R10) e Registrador de Fim do Cursor (R11) — Estes registradores permitem posicionar um cursor com até 32 linhas de varredura de altura, em qualquer linha de varredura de um bloco de caracteres, como mostra a figura 9. R10 é um registrador de apenas escrita de 7 bits usado para definir a linha de varredura inicial e a freqüência de piscagem. Os bits 5 e 6 do registrador de início do cursor controlam a operação do cursor da maneira exposta na tabela 5. R11 é um registrador de apenas escrita de 5 bits que define a última linha de varredura do cursor.

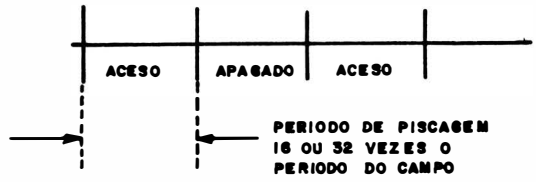
Quando se desejar apresentar os caracteres piscando, pode ser necessário gerar a piscagem do cursor externamente de modo a tornar as duas freqüências de piscagem sincronizadas. Observe que um cursor invertido/não invertido é facilmente implementado programando-se o IC 6845P com cursor piscando e invertendo o sinal de vídeo externamente com uma porta ou exclusivo.

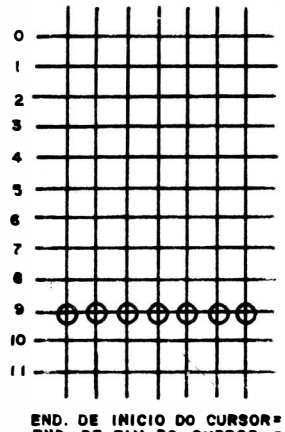
Registradores do Cursor (R14H e R15L) — Este par de registradores de leitura/escrita de 14 bits determina a posição do cursor em qualquer lugar na área da RAM de refresh. Isto permite a marcação de páginas por hardware e o rolamento através da memória sem perda da posição original do cursor.

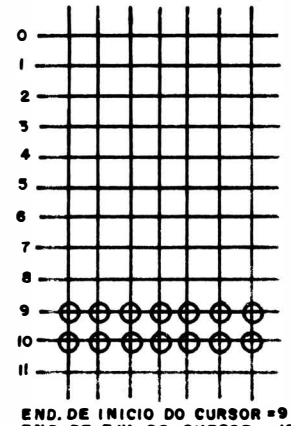
R15 contém os 8 bits menos significativos (MA0-MA7) e R14 os 6 mais significativos (MA0-MA13).

Outros Registradores:
Registradores do Endereço Inicial (R12H e R13L) — Este par de registradores de 14 bits de apenas escrita controla o primeiro endereço a sair do IC 6845P após o apagamento vertical. R13 contém os 8 bits menos significativos (MA0-MA13).

Controle do Cursor







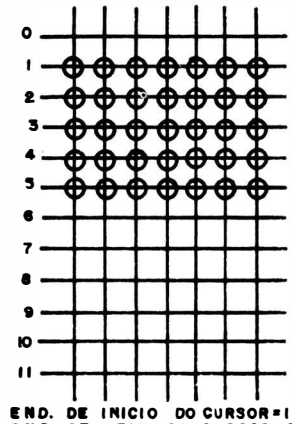


FIGURA 9

O endereço de início determina qual segmento da RAM de refresh será apresentado na tela de vídeo. A modificação do conteúdo de R12 e R13 permite o rolamento por hardware de caracteres, linhas ou páginas.

Registrador de Light Pen (R16H e R17L) — Este par de registradores de apenas leitura de 14 bits captura o endereço de saída enviado pelo IC 6845P na transição positiva de um pulso na entrada LPEN. R17 contém os 8 bits menos significativos (MA0 a MA7) e R16 os 6 mais significativos (MA8 a MA13).

Como o pulso de light pen é assíncrono com referência ao timing dos endereços de refresh, o IC 6845P contém um sincronizador interno. Devido aos atrasos neste circuito (figura 3), o valor de R16 e R17 deve ser corrigido por software.

Inicialização do IC 6845P:
Os registradores R0-R15 devem ser inicializados após a energização do sistema. Normalmente o microprocessador carregará o IC 6845P a partir de uma tabela no firmware. A tabela 6 é extremamente útil para o cálculo dos valores dos registradores do IC 6845P. A tabela 7 mostra a tabela anterior preenchida para uma configuração 80x24, usando um gerador de caracteres 7x9.

Na energização do sistema os registradores do IC 6845P possuem valores aleatórios. Quando se estiver acionando diretamente um monitor (sem oscilador horizontal) esses valores iniciais podem resultar em operação fora de tolerância. A programação do IC 6845P deve se dar imediatamente após a energização especialmente neste tipo de sistema.

TABELA 6

Tabela de Formatação do Controlador de Vídeo

Tabela de Formatação da Tela

1	Caracteres apresentados por linha de caracteres	_____	Caracteres
2	Linhas de caracteres apresentadas por tela	_____	Linhas de Carac.
3	Matriz de caracteres a __ colunas	_____	Colunas
	b __ linhas	_____	Linhas
4	Bloco de caracteres a __ colunas	_____	Colunas
	b __ linhas	_____	Linhas
5	Taxa de refresh do vídeo	_____	Hz
6	Freqüência do oscilador horizontal	_____	Hz
7	Linhas de varredura ativas (linha 2 x linha 4b)	_____	Linhas
8	Total de linhas de varredura (Linha 6 ÷ Linha 5)	_____	Linhas
9	Total de linhas por tela (Linha 8 ÷ Linha 4b)	_____	Lin. de Car. e Linhas
10	Atraso do sincronismo vertical (Linhas de caracteres)	_____	Linhas de Carac.
11	Largura do pulso de sincronismo vertical (Linhas de varredura (16))	_____	Linhas
12	Atraso do sincronismo horizontal (tempos de caractere)	_____	Tempos de Carac.
13	Largura do pulso de sincronismo horizontal (tempos de caractere)	_____	Tempos de Carac.
14	Atraso da varredura horizontal (tempos de caractere)	_____	Tempos de Carac.
15	Total dos tempos de caractere (linha 1+12+13+14)	_____	Tempos de Carac.
16	Taxa de caracteres (linha 6 x linha 15)	_____	MHz
17	Taxa do clock de pontos (linha 4a x linha 16)	_____	MHz

TABELA 6

Tabela de Formatação do Controlador de Vídeo

Registradores do Controlador de Vídeo

		DECIMAL	HEXAD.
R0	Horizontal Total (Linha 15 menos 1)	_____	_____
R1	Apresentação Horizontal (Linha 1)	_____	_____
R2	Posição do Sincronismo Horizontal (Linha 1 + Linha 12)	_____	_____
R3	Largura do Sincronismo Horizontal (Linha 13)	_____	_____
R4	Vertical Total (Linha 9 menos 1)	_____	_____
R5	Ajuste Vertical (Linha 9 Linhas)	_____	_____
R6	Apresentação Vertical (Linha 2)	_____	_____
R7	Posição do Sincronismo Vertical (Linha 2 + Linha 10)	_____	_____
R8	Entrelaçamento (00 não entrelaçado, 01 sincronismo entrelaçado, 03 sincronismo e vídeo entrelaçados)	_____	_____
R9.	Linhas de Varredura por Linha de Caracteres (Linha 4b menos 1)	_____	_____
R10	Início do Cursor	_____	_____
R11	Fim do Cursor	_____	_____
R12,	R13 Incício dos Endereços (alto e baixo)	_____	_____
R14,	R15 Cursor (alto e baixo)	_____	_____

TABELA 7

Tabela para o Formato 80 x 24

Tabela de Formatação da Tela

1	Caracteres apresentados por linha de caracteres	80	Caracteres
2	Linhas de caracteres apresentadas por tela	24	Linhas de Carac.
3	Matris de caracteres a __ colunas	7	Colunas
	b __ linhas	9	Linhas
4	Bloco de caracteres a __ colunas	9	Colunas
	b __ linhas	11	Linhas
5	Taxa de refresh do vídeo	60	Hz
6	Freqüência do oscilador horizontal	18600	Hz
7	Linhas de varredura ativas (linha 2 x linha 4b)	264	Linhas
8	Total de linhas de varredura (Linha 6 ÷ Linha 5)	310	Linhas
9	Total de linhas por tela (Linha 8 ÷ Linha 4b)	28	Lin. de Car. e Linhas
10	Atraso do sincronismo vertical (Linhas de caracteres)	0	Linhas de Carac.
11	Largura do pulso de sincronismo vertical (Linhas de varredura (16))	16	Linhas
12	Atraso do sincronismo horizontal (tempos de caractere)	6	Tempos de Carac.
13	Largura do pulso de sincronismo horizontal (tempos de caractere)	9	Tempos de Carac.
14	Atraso da varredura horizontal (tempos de caractere)	7	Tempos de Carac.
15	Total dos tempos de caractere (linha 1+12+13+14)	102	Tempos de Carac.
16	Taxa de caracteres (linha 6 x linha 15)	18972	MHz
17	Taxa do clock de pontos (linha 4a x linha 16)	17075	MHz

TABELA 7

Tabela para o Formato 80 x 24

Registradores do Controlador de Vídeo

		DECIMAL	HEXAD.
R0	Horizontal Total (Linha 15 menos 1)	101	65
R1	Apresentação Horizontal (Linha 1)	80	50
R2	Posição do Sincronismo Horizontal (Linha 1 + Linha 12)	86	56
R3	Largura do Sincronismo Horizontal (Linha 13)	9	9
R4	Vertical Total (Linha 9 menos 1)	27	1B
R5	Ajuste Vertical (Linha 9 Linhas)	10	0A
R6	Apresentação Vertical (Linha 2)	24	18
R7	Posição do Sincronismo Vertical (Linha 2 + Linha 10)	24	18
R8	Entrelaçamento (00 não entrelaçado, 01 sincronismo entrelaçado, 03 sincronismo e vídeo entrelaçados)		0
R9.	Linhas de Varredura por Linha de Caracteres (Linha 4b menos 1)	10	A
R10	Início do Cursor	0	0
R11	Fim do Cursor	11	B
R12,	R13 Incício dos Endereços (alto e baixo)	128	0080
R14,	R15 Cursor (alto e baixo)	128	0080

VALORES MÁXIMOS ABSOLUTOS

Tensão de alimentação	−0,3 V a 7,0 V
Tensão de entrada	−0,3 V a 7,0 V
Temperatura de armazenamento	−55°C a 150°C
Temperatura de operação	0°C a 70°C

CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	TÍP.	MÁX.	
V_{CC}	Tensão de alimentação	4,75	5	5,25	V
V_{IL}	Tensão de entrada - nível baixo	−0,3		0,8	V
V_{IH}	Tensão de entrada - nível alto	2,0		V_{CC}	V
T_A	Temperatura de operação	0		70	°C

CARACTERÍSTICAS DC

SÍMBOLO	PARÂMETRO		LIMITES			UNIDADE	CONDIÇÕES DE TESTE
			MÍN.	TÍP.	MÁX.		
I_I	Corrente de fuga na entrada			0,1	2,5	μ	
I_{HZ}	Corrente de fuga em tristate		−10		10	μA	V_{CC} = 5,25; V_I = 0,4 a 2,4V
V_{OH}	Tensão de saída - nível alto	D0-D7	2,4	3,0		V	I_I = −205μA
		demais saídas	2,4	3,0		V	I_I = −100μA
V_{OL}	Tensão de saída - nível baixo			0,3	0,4	V	I_I = 1,6mA
P_{IN}	Potência dissipada internamente			600	750	mW	T_A = 0 C
C_I	Capacitância de entrada	D0-D7			12,5	pF	
		demais saídas			10	pF	
C_O	Capacitância de saída	todas as saídas			10	pF	

OBSERVAÇÃO:
Obtidas com V_{CC} = 50V ± 5%, T_A = 0°C a 70°C a menos que indicado o contrário.

CARACTERÍSTICAS AC

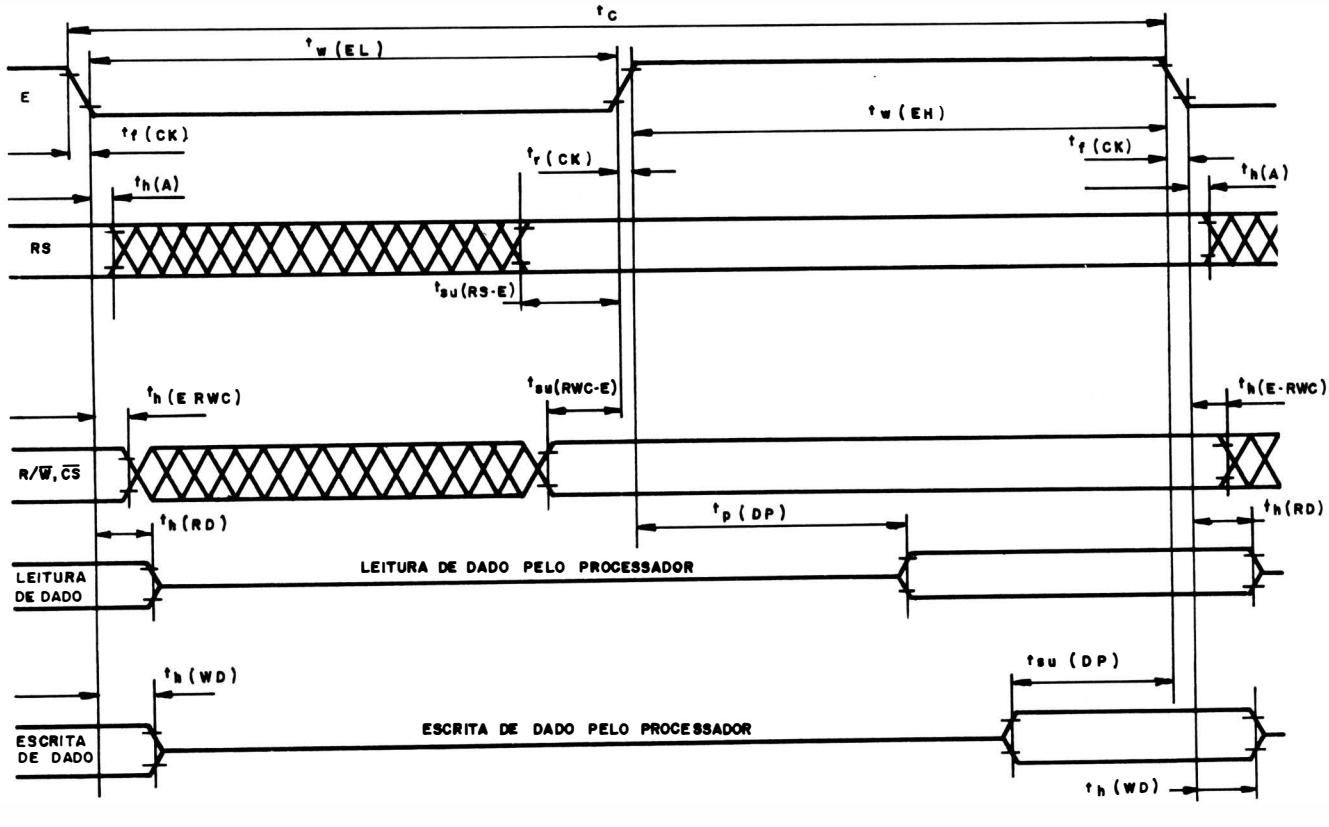
SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TÍP.	MÁX.		
$t_{w(CKL)}$	Largura do pulso de clock - nível baixo	150			ns	
$t_{w(CKH)}$	Largura do pulso de clock - nível alto	150			ns	
f_c	Freqüência de clock			3,0	MHz	
$t_{r(CK)}$	Tempo de subida do sinal de clock			20	ns	
$t_{f(CK)}$	Tempo de descida do sinal de clock			20	ns	
$t_{p(AM)}$	Atraso de propagação dos endereços da memória			160	ns	
$t_{p(AR)}$	Atraso de propagação dos endereços de linha			160	ns	
$t_{p(SV)}$	Atraso de propagação do sinal de vídeo			250	ns	
$t_{p(HS)}$	Atraso de propagação do sincronismo horizontal			250	ns	
$t_{p(VS)}$	Atraso de propagação do sincronismo vertical			250	ns	
$t_{p(SC)}$	Atraso de propagação do sinal do cursor			250	ns	
$t_{w(LP)}$	Largura do pulso de light pen	80			ns	
$t_{p(LP1)}$	Atraso de propagação da desabilitação do pulso de light pen			80	ns	
$t_{p(LP2)}$				10	ns	

OBSERVAÇÃO:
O pulso de light pen deve voltar para nível baixo antes da subida do pulso de sincronismo vertical.

CARACTERÍSTICAS DO TIMING DO BUS

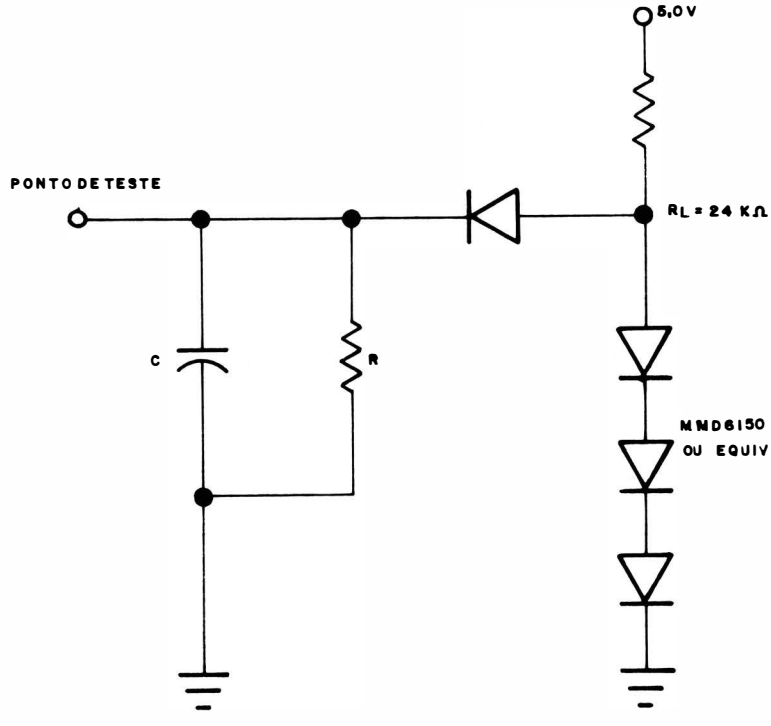
SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	TÍP.	MÁX.	
t_c	Tempo do ciclo	1,0		10	μs
$t_{w(EL)}$	Largura do pùlso E - nível baixo	430		9500	ns
$t_{w(EH)}$	Largura do pulso E - nível alto	450		9500	ns
$t_{w(CK)}$	Tempo de subida do sinal de clock			25	ns
$t_{f(CK)}$	Tempo de subida e descida do sinal de clock			25	ns
$t_{h(A)}$	Tempo de hold de endereço	10		10	ns
$t_{su(RS-E)}$	Tempo de setup de RESET antes de E	80			ns
$t_{su(RWC-E)}$	Tempo de setup de R/W e CS antes de E	80			ns
$t_{h(E-RWC)}$	Tempo de hold de R/W e CS após E	10			ns
$t_{h(RD)}$	Tempo de hold de read data	20		50	ns
$t_{h(WD)}$	Tempo de hold de write data	10			ns
$t_{p(DP)}$	Tempo de atraso do dado de saída do periférico			290	ns
$t_{su(DP)}$	Tempo de setup do dado de entrada do periférico	165			ns

TEMPOS - BUS DO IC 6845P



OBSERVAÇÕES:
1) Níveis de tensão: $V_L \leqslant 0{,}4V$, $V_H \geqslant 2{,}4V$, a menos que indicado o contrário.
2) Pontos de medição: 0,8V e 2,0V, a menos que indicado o contrário.

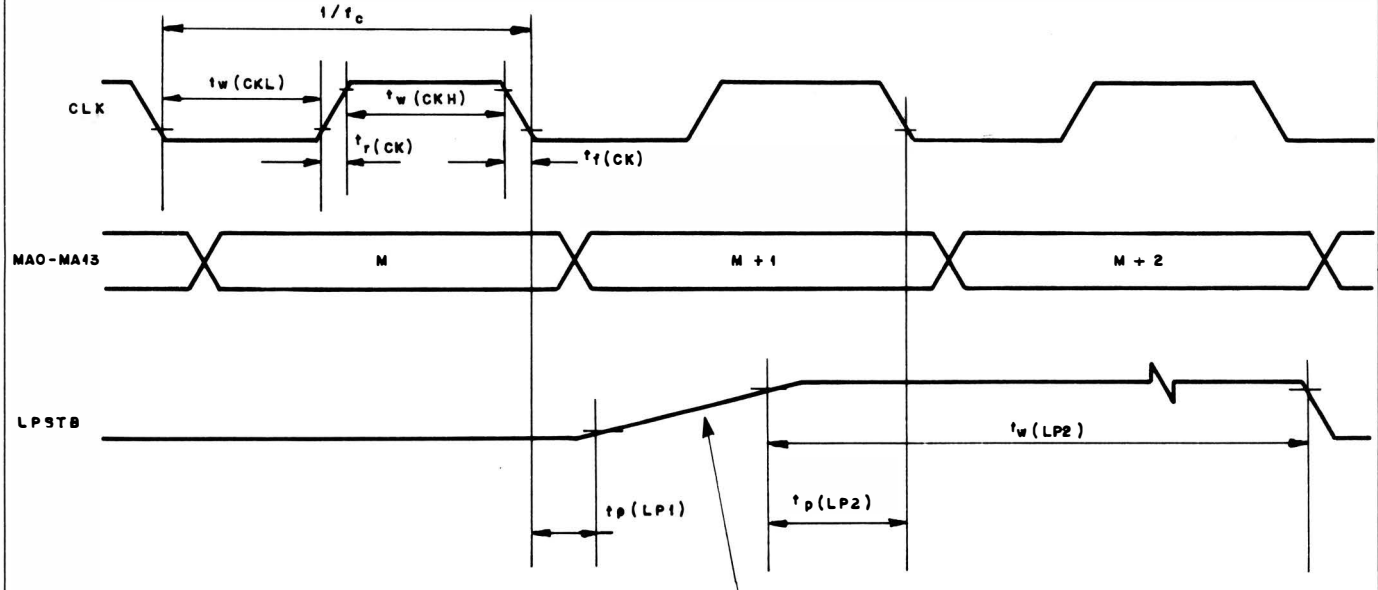
CIRCUITO DE CARGA PARA TESTE DO TIMING DO BUS



C = 130pF para D0-D7
= 30pF para MA0-MA13, RA0-RA7
DE, HSYNC, VSYNC e CURSOR

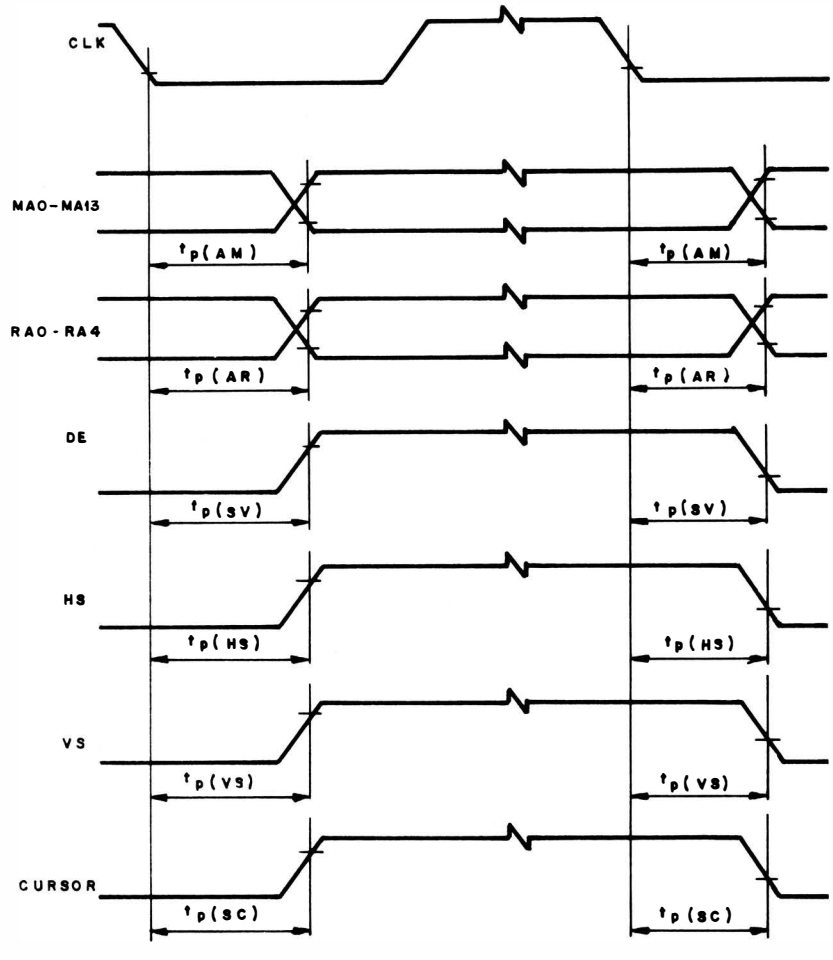
R = 11KΩ para D0-D7
= 24KΩ para todas as outras saídas

CLK, MA0-MA13 e LPEN



Quando detetar a borda de subida em LPEN neste período, o IC 6845P ativará o endereço da memória de refresh "M + 2" no registrador de light P_{en}.
$t_{P(LP1)}$, $t_{P(LP2)}$ = período de incerteza para o endereço da memória de refresh.

CURSOR


CLK
MA0-MA13
RA0-RA4
DE
HS
VS
CURSOR
tp(AM)
tp(AR)
tp(SV)
tp(HS)
tp(VS)
tp(SC)

IC 8155H

PRELIMINAR

Características:

- ☐ Compatível com a lógica TTL;
- ☐ RAM estática com 256 palavras de 8 bits;
- ☐ Duas portas I/O programáveis de 8 bits;
- ☐ Uma porta I/O programável de 6 bits;
- ☐ Contador/temporizador programável de 14 bits;
- ☐ Barramento de endereços/dados multiplexado;
- ☐ Alimentação única de 5 V.

Descrição Geral:

Contendo uma RAM de 2k, 3 portas de I/O e um contador/timer de 14 bits, a interface paralela IC 8155H representa um excelente recurso para ampliar as funções de microcomputadores de 8 bits. A memória é uma RAM estática, organizada em 256 palavras de 8 bits, ao passo que as portas dividem-se em duas de 8 bits e uma de 6 bits. Os terminais desta última podem ser programados para atuar como terminais de controle para as portas de 8 bits, de modo que possam ser operadas na modalidade handshake. O contador/temporizador pode ser usado em contagens decrescentes (de eventos ou tempo), sendo capaz de gerar também pulsos de onda quadrada, próprios para contagem ou temporização.

PINAGEM

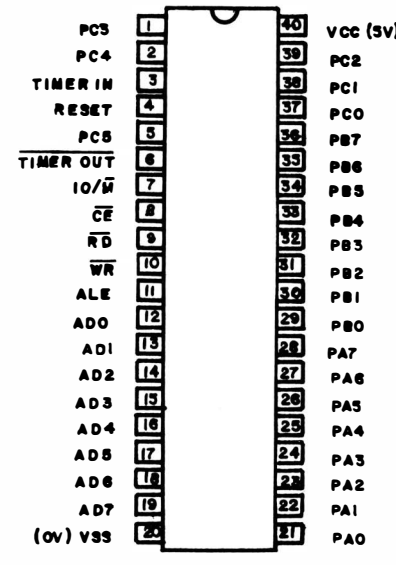
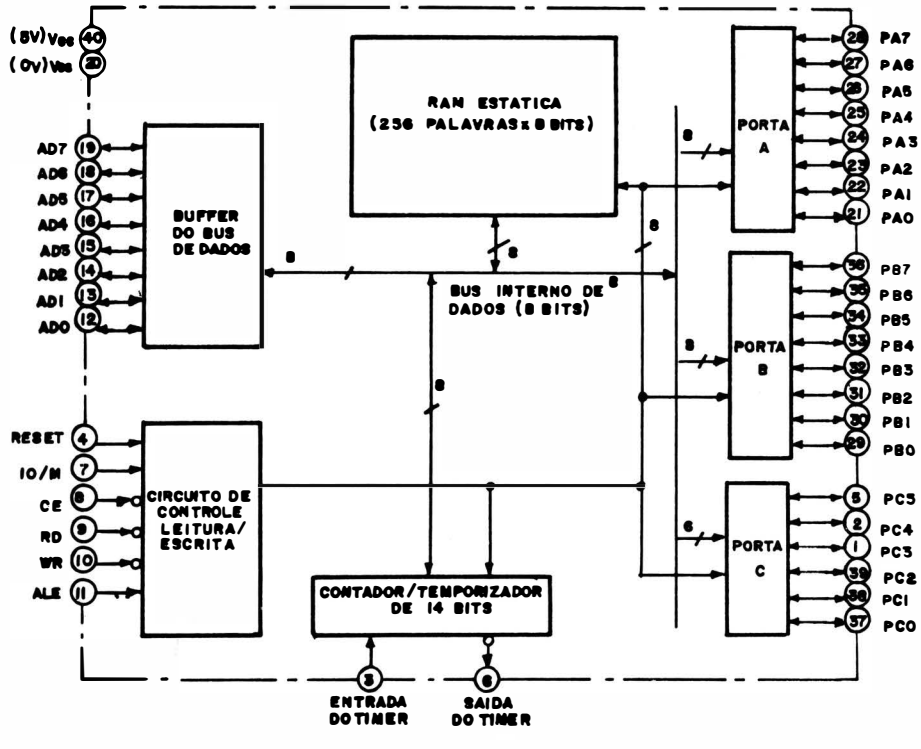


DIAGRAMA DE BLOCOS



IC 8237A-5

Características

- ☐ Quatro canais DMA independentes, cada um com registradores separados para controle de modo, endereço atual, endereço base, contador da palavra atual e contador da palavra base;
- ☐ Modos de transferência: bloco, solicitação, palavra única, cascata;
- ☐ Inicialização automática em todos os canais;
- ☐ Transferência de memória para memória;
- ☐ Inicialização de bloco de memória;
- ☐ Incremento ou decremento de endereço;
- ☐ Desabilitação do sistema principal;
- ☐ Controle de habilitação e desabilitação dos pedidos individuais de DMA;
- ☐ Expansão direta para qualquer número de canais;
- ☐ Possui uma entrada, fim de processo, para finalizar transferências;
- ☐ Possibilidade de pedido de DMA por software;
- ☐ Controle de polaridade independente para os sinais DREQ e DACK;
- ☐ Opção de tempo reduzido para transferências rápidas, até 2,5 Mbytes/segundo;
- ☐ Alimentação única de 5 volts;
- ☐ Freqüência de 5 MHz, compatibilizando-se com os microprocessadores mais rápidos.

PINAGEM

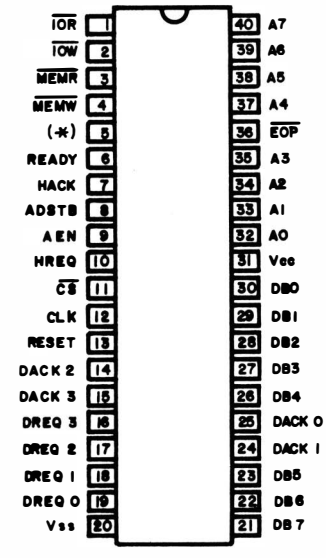
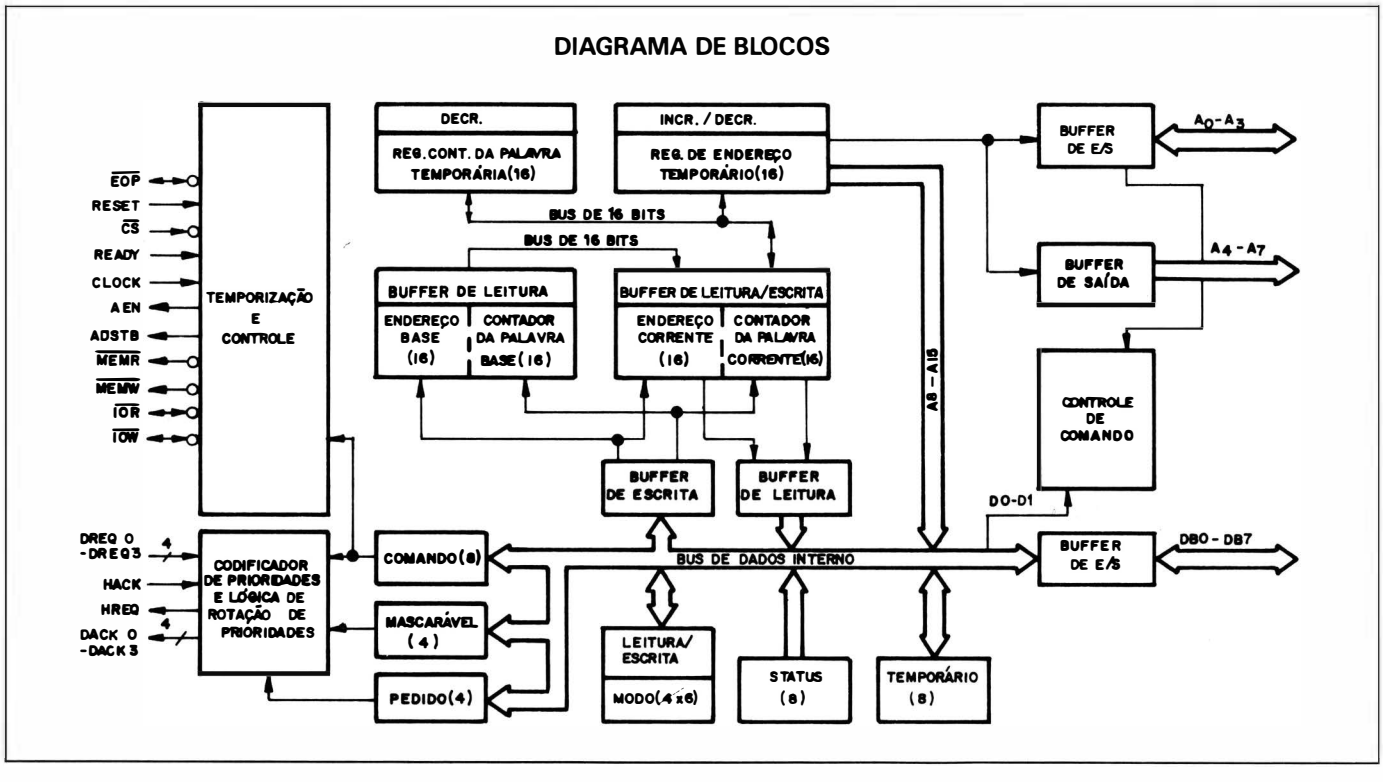


DIAGRAMA DE BLOCOS



(*) Veja observação 4 nas características AC.

Descrição Geral

O IC 8237A-5, controlador de acesso direto à memória (DMA) multimodo, é um circuito periférico de interface para sistemas a microprocessadores. Objetiva melhorar a performance do sistema, permitindo que dispositivos externos se comuniquem diretamente com sistemas de memória. Possibilita ainda a transferência de dados de memória para memória. Este circuito também oferece uma grande variedade de características de controle programáveis, aumentando a capacidade de transferência de dados e otimizando o sistema, além do que, permite uma reconfiguração dinâmica por software.
o IC 8237A-5 deve ser usado em conjunto com um registrador de endereços, externo, de 8 bits. Ele contém quatro canais independentes podendo ser expandido para qualquer número de canais, cascateando-se controladores adicionais.
Os três modos básicos de transferência permitem a programação, pelo usuário, do tipo de transferência de DMA. Cada canal pode ser programado individualmente para se autoinicializar, ou seja, indo para a condição inicial, após um fim de processo ($\overline{EOP}$).
Cada canal possui capacidade para 64K de endereços e contador de palavras transferidas. Um sinal externo de $\overline{EOP}$ pode finalizar um DMA ou uma transferência de memória para memória. Isto é útil para pesquisa de bloco ou operações de comparação usando-se comparadores externos ou para periféricos inteligentes, possibilitando abortar transferências erradas.

TABELA 1

Descrição da Pinagem

PINO	NÚMERO	FUNÇÃO
V_{CC}	31	ALIMENTAÇÃO DE 5 VOLTS
V_{SS}	20	TERRA
CLK	12	ENTRADA DE CLOCK — Esta entrada controla as operações internas do IC 8237A-5 e a taxa de transferência de dados. O valor do clock pode ser de até 5 MHz.
$\overline{CS}$	11	CHIP SELECT — Esta entrada, ativa em nível baixo, é usada para selecionar o IC 8237A-5 como um dispositivo de E/S durante o ciclo inativo. Isto permite a comunicação do microprocessador pelo barramento de dados.
RESET	13	PINO DA ENTRADA DE RESET — Um nível alto nesta entrada limpará os registradores de comando, status, solicitação e o temporário. Ele também limpa o flip flop ("first-last") e ativa o registrador de máscara. Após o RESET o dispositivo entrará no ciclo inativo.
READY	6	PINO DA ENTRADA READY — Esta entrada é utilizada para aumentar a duração dos pulsos de leitura e escrita na memória, provenientes do IC 8237A-5, adaptando-o à memórias mais lentas ou dispositivos periféricos de E/S. O READY não deve sofrer transições durante os tempos especificados de set up e hold.
HACK	7	RECONHECIMENTO DE HOLD — Esta entrada, proveniente do microprocessador e ativa em nível alto, indica que o mesmo deixou de controlar os barramentos do sistema.
DREQ 0 ~ DREQ 3	19 ~ 16	PEDIDO DE DMA — As linhas de solicitação de DMA são entradas individuais assíncronas usadas pelos circuitos periféricos para a obtenção de um serviço de DMA. No modo prioridade fixa, DREQ 0 tem maior prioridade e DREQ 3 menor prioridade. Um pedido é gerado pela ativação de uma linha DREQ de um canal. O DACK indicará o reconhecimento de um DREQ. A polaridade do DREQ é programável e um reset inicializa esta opção para ativo alto. O DREQ deve ser mantido até o DACK correspondente aparecer.
DB0 ~ DB7	30 ~ 26 23 ~ 21	BUS DE DADOS — As linhas do bus de dados são sinais bidirecionais tristate, conectadas ao bus de dados do sistema. As saídas serão habilitadas durante um IOR para mostrar o conteúdo dos registradores de endereços, status, temporários ou do registrador contador de palavras que serão lidos pelo microprocessador. As saídas serão desabilitadas e as entradas lidas, durante um ciclo de escrita em port de E/S, quando o microprocessador estiver programando os registradores de controle do IC 8237A-5. Durante os ciclos de DMA, os 8 bits mais significativos do endereço são colocados no bus de dados e introduzidos num latch externo (através de ADSTB). Em transferências de memória para memória, os dados são enviados da memória para o IC 8237A-5 através do bus de dados durante uma leitura e são transferidos do IC 8237A-5 para uma nova posição de memória durante uma escrita.
$\overline{IOR}$	1	LEITURA EM E/S — IOR é uma linha bidirecional tristate, ativa em nível baixo. No ciclo inativo esta linha atua como entrada de sinal de controle e é usada pelo microprocessador para ler os registradores de controle. No ciclo ativo ela funciona como saída de sinal de controle e é usada pelo IC 8237A-5 para acessar os dados de um periférico, durante um ciclo de leitura de DMA.
$\overline{IOW}$	2	ESCRITA EM E/S — IOW é uma linha bidirecional tristate, ativa em nível baixo. No ciclo inativo esta linha atua como entrada de sinal de controle e é usada pelo microprocessador para carregar uma informação no IC 8237A-5. No ciclo ativo ela funciona como saída de sinal de controle e é usada pelo IC 8237A-5 para carregar um dado num periférico, durante um ciclo de escrita de DMA.

PINO	NÚMERO	FUNÇÃO
$\overline{EOP}$	36	FIM DE PROCESSO — Este é um sinal ativo em nível baixo, bidirecional e com dreno aberto. $\overline{EOP}$ fornece informações sobre a conclusão de um serviço DMA. O IC 8237A-5 permite um sinal externo para concluir um serviço de DMA ativo. Isto é conseguido colocando-se a entrada $\overline{EOP}$ em nível baixo com um sinal de $\overline{EOP}$ externo. O IC 8237A-5 também gera um pulso quando a contagem final (TC) para qualquer canal é alcançada. Isto gera um sinal de fim de processo na linha $\overline{EOP}$. A recepção desse sinal, interno ou externo, fará com que o IC 8237A-5 termine o serviço, apague o pedido e, se a autoinicialização for habilitada, escreva os registradores de base nos registradores atuais daquele canal. O sinal $\overline{EOP}$ ativará o bit mascarado e o bit TC na palavra de status, exceto se o canal estiver programado para autoinicialização. Neste caso, o bit mascarado permanece inalterado. Durante uma transferência de memória para memória, $\overline{EOP}$ será saída quando ocorrer TC para o canal 1. Se $\overline{EOP}$ não for utilizado deve ser mantido em nível alto com um resistor de pull-up para prevenir falsas entradas fim de processo.
A0 ~ A3	32 ~ 35	ENDEREÇOS — A0 ~ A3 são as quatro linhas de endereços menos significativas, bidirecionais e tristate. No ciclo inativo, atuam como entradas e são usadas pelo microprocessador para endereçar os registradores a serem carregados ou lidos. No ciclo ativo, atuam como saídas e fornecem os quatro bits de ordem mais baixa do endereço de saída.
A4 ~ A7	37 ~ 40	ENDEREÇOS — A4 ~ A7 são saídas tristate que fornecem os 4 bits mais significativos de endereço. Estas linhas são habilitadas somente durante uma transferência de DMA.
HREQ	10	PEDIDO DE HOLD — Este é o pedido de hold para o microprocessador e é usado para requisitar o controle do bus do sistema. Se o bit de mascaramento correspondente estiver inativo, a presença de qualquer DREQ válido fará com que o IC 8237A-5 ative o pino HREQ. Após HREQ estar ativo, pelo menos um ciclo de clock (TCY) deve ocorrer antes de HLDA se tornar ativo.
DACK0 - DACK3	25, 24, 14, 15	RECONHECIMENTO DE DMA — É usado para informar individualmente cada periférico quando um ciclo de DMA foi concedido. A polaridade destas linhas é programável e o reset as inicializa para serem ativas em nível baixo.
AEN	9	HABILITAÇÃO DE ENDEREÇOS — Esta linha libera o latch que contém os 8 bits de endereços mais significativos para o bus de endereços do sistema. AEN pode também ser usado para desabilitar outros drivers de bus do sistema durante a transferência de DMA. AEN é ativo em nível alto.
ADSTB	8	STROBE DE ENDEREÇO — Esta saída é usada para registrar o byte de endereço mais significativo num latch externo. Ativa em nível alto.
$\overline{MEMR}$	3	LEITURA EM MEMÓRIA — MEMR é uma saída tristate, ativa em nível baixo, usada para acessar os dados alocados em uma determinada posição de memória durante uma leitura em DMA ou uma transferência de memória para memória.
$\overline{MEMW}$	4	ESCRITA EM MEMÓRIA — MEMW é uma saída tristate, ativa em nível baixo, usada para escrever dados em uma determinada posição de memória durante uma escrita em DMA ou uma transferência de memória para memória.

TABELA 2

Registradores Internos

NOME	TAMANHO	QUANTIDADE
Registradores com Endereço Base	16 bits	4
Registradores de Contagem de Palavras Base	16 bits	4
Registradores com Endereço Atual	16 bits	4
Registradores Atual, Contagem de Palavra	16 bits	4
Registrador de Endereço Temporário	16 bits	1
Registrador Contador da Palavra Temporário	16 bits	1
Registrador de Status	8 bits	1
Registrador de Comando	8 bits	1
Registrador Temporário	8 bits	1
Registrador de Modo	6 bits	4
Registrador de Máscara	4 bits	1
Registrador de Pedido	4 bits	1

Descrição Funcional

O diagrama de blocos do IC 8237A-5 inclui a maioria dos blocos lógicos e todos registradores internos. São mostrados também os caminhos de interconexão dos dados, o que já não ocorre com os vários sinais de controle entre os blocos. O IC 8237A-5 contém 344 bits de memória interna na forma de registradores; a tabela 2 apresenta cada um deles com o nome e tamanho respectivos. A descrição detalhada de cada um destes registradores pode ser encontrada adiante.

O IC 8237A-5 possui três blocos básicos de lógica de controle. O bloco de Controle de Tempo gera o timing interno e os sinais de controle externo do IC 8237A-5.

O bloco de Controle de Comando de Programa decodifica os vários comandos enviados ao IC 8237A-5 pelo microprocessador antes do início dos serviços de DMA. Ele também decodifica a palavra de controle de modo de cada canal. Quando houver vários pedidos de DMA simultâneos, o bloco codificador de prioridades resolverá qual deles será atendido.
O bloco de controle de timing gera o timing interno a partir de uma entrada de clock.

Operação DMA

O IC 8237A-5 é designado para operar nos ciclos ativo e inativo. Cada ciclo do dispositivo é constituído por uma quantidade de estados. O IC 8237A-5 pode assumir sete estados separados, cada um composto por um período de clock completo. O estado I (SI) é o inativo. Ele é acionado quando o IC 8237A-5 não possui pedidos de DMA pendentes. Enquanto em SI, o controlador de DMA está inativo mas pode estar sendo programado pelo microprocessador. O estado 0 (SO) é o primeiro estado de um serviço DMA. O IC 8237A-5 pediu um hold mas o microprocessador ainda não enviou um reconhecimento. Um reconhecimento do microprocessador sinalizará que as transferências podem ser iniciadas. S1, S2, S3 e S4 são os estados de operação de serviço de DMA. Se for necessário um tempo maior do que o disponível pelo timing normal para que seja completada a transferência, estados de wait (SW) podem ser inseridos antes de S4 pelo uso da linha ready no IC 8237A-5.

Transferências de memória para memória requerem uma leitura e uma escrita na memória para que cada transferência seja completada. Os estados, que assemelham-se aos estados de trabalho normal, usam dois dígitos numéricos para sua identificação. Oito estados são requeridos para cada transferência completa.

Os quatro primeiros estados (S11, S12, S13 e S14) são usados para leitura em memória e os quatro últimos estados (S21, S22, S23 e S24) para escrita em memória.

O registrador de dados temporário é usado para armazenamento intermediário durante a transferência.

Ciclo Inativo

Quando nenhum canal estiver requisitando serviço, o IC 8237A-5 entrará no ciclo inativo e executará estados SI. Neste ciclo o IC 8237A-5 pesquisará as linhas DREQ a cada ciclo de clock para determinar qual canal estará requisitando serviço de DMA. O dispositivo também pesquisa $\overline{CS}$, na procura de alguma tentativa feita pelo microprocessador, para escrever ou ler os registradores internos do IC 8237A-5. Quando $\overline{CS}$ e HACK estiverem em nível baixo o IC 8237A-5 entrará na condição de programação. O microprocessador pode então escrever, trocar ou inspecionar o conteúdo dos registradores internos. As linhas de endereços A0 ~ A3 são entradas do dispositivo e selecionam qual registrador será lido ou escrito. As linhas $\overline{IOR}$ e $\overline{IOW}$ são usadas para selecionar leituras e escritas. Devido a quantidade e ao tamanho dos registradores internos, um flip flop interno é usado para gerar um bit adicional de endereço. Este bit é usado para determinar qual dos bytes, se o alto ou o baixo, está sendo acessado. O reset é dado no flip flop pelo master clear ou pelo reset.

Um comando separado de software também pode executar um reset neste flip flop.

Comandos especiais de software podem ser executados pelo IC 8237A-5 na condição de programação.

Estes comandos são decodificados como um grupo de endereços com $\overline{CS}$ e $\overline{IOW}$ ativos e não fazem uso do bus de dados. É possível limpar o flip flop ("first-last") e acionar o master clear.

Ciclo Ativo

Quando o IC 8237A-5 estiver no ciclo inativo e um canal requisitar um serviço DMA, o dispositivo enviará um sinal HREQ para o microprocessador e entrará no ciclo ativo. Neste ciclo o serviço de DMA poderá ser feito de quatro modos:

Modo de Transferência Simples — Neste modo o IC 8237A-5 fará a transferência de um byte durante cada HREQ/HACK.

Quando DREQ estiver ativo, HREQ estará ativo. Após a resposta do microprocessador com HACK ativo, um byte será transferido. Após a transferência, HREQ se tornará inativo, o contador de palavra será decrementado e os endereços serão incrementados ou decrementados. Quando o contador de palavra estiver em zero, um contador terminal (TC) causará uma autoinicialização, isto se o canal tiver sido programado para executar essa tarefa. Para executar uma transferência simples, DREQ tem que estar ativo até o DACK correspondente se tornar ativo. Se DREQ for mantido continuamente ativo, HREQ se tornará inativo após cada transferência, e então, se ativará novamente e uma outra transferência de um byte será executada após cada borda de subida do HACK.

Modo de Transferência de Bloco — Neste modo o IC 8237A-5 fará transferências até um término de contagem (causado por um contador de palavra chegando a zero) ou um $\overline{EOP}$ externo (fim de processo) ser encontrado.

DREQ precisa ficar ativo somente até DACK se tornar ativo. Uma autoinicialização irá ocorrer no final do serviço se o canal tiver sido programado para isto.

Modo de Transferência de Pedido — Neste modo o dispositivo continuará fazendo transferências até um término de contagem ou um $\overline{EOP}$ externo (fim de processo) ser encontrado ou até DREQ se tornar inativo. Então, o dispositivo que está solicitando o serviço pode suspender as transferências fazendo DREQ inativo.

O serviço pode recomeçar novamente colocando-se DREQ ativo. Durante o tempo entre serviços, quando o microprocessador puder operar, os valores intermediários dos endereços e os contadores de palavra poderão ser lidos do IC 8237A-5 através dos registradores de endereços atuais e contadores da palavra atual. A autoinicialização poderá ocorrer somente após um término de contagem ou um $\overline{EOP}$ (fim de processo), ao final do serviço. Após a autoinicialização uma borda ativa de DREQ inicializa um novo serviço DMA.

Modo Cascata — Este modo é usado para cascatear mais de um IC 8237A-5 para expansão do sistema. Os sinais HREQ e HACK dos IC 8237A-5 adicionais são ligados aos sinais DREQ e DACK do IC 8237A-5 inicial. Isto permite que os pedidos de DMA dos dispositivos adicionais possam ser feitos através do circuito de prioridade do dispositivo inicial. A cadeia de prioridades é preservada e o novo dispositivo deve esperar pelos reconhecimentos dos pedidos. Já que o canal da cascata é apenas usado pelo dispositivo inicial para dar prioridades aos dispositivos adicionais, nenhum endereço ou sinal de controle estará presente na saída do dispositivo inicial. Isto poderia conflitar com as saídas do canal ativo do dispositivo adicional. O IC 8237A-5 responderá ao DREQ com DACK e todas as outras saídas, com excessão do HREQ, estarão desabilitadas.

A figura 1 mostra dois dispositivos adicionais cascateados a um primeiro, usando dois dos canais. Isto resulta num sistema DMA de dois níveis. Outros IC 8237A-5 podem ser adicionados ao segundo nível usando-se os canais restantes do primeiro nível. Dispositivos adicionais também podem ser introduzidos, cascateando-se nos canais do segundo nível outros dispositivos, formando um terceiro nível.

Cascateamento de IC 8237A-5

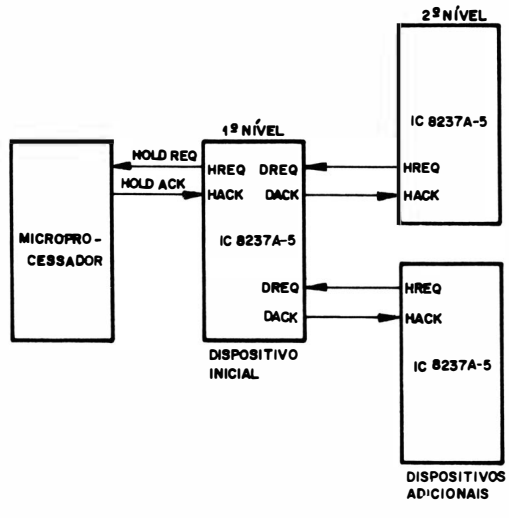


FIGURA 1

Tipos de Transferência

Existem três tipos de transferências associadas a cada modo de funcionamento que são: leitura, escrita e verificação.

Transferências de escrita movem os dados de um dispositivo de E/S para memória, ativando-se $\overline{IOR}$ e $\overline{MEMW}$. Transferências de leitura movem dados da memória para um dispositivo de E/S, ativando-se $\overline{MEMR}$ e $\overline{IOW}$.

Transferências de verificação são pseudo transferências; o IC 8237A-5 opera como nas transferências de leitura ou escrita gerando endereços, respondendo a $\overline{EOP}$, etc. No entanto, as linhas de controle de memória e dispositivos de E/S permanecem inativas.

Memória para Memória — O IC 8237A-5 possui a capacidade de mover blocos, possibilitando que blocos de dados movam-se de uma região apontada por um endereço de memória para outro. Quando o bit C0 no registrador de comando é ativado por um nível lógico 1, os canais 0 e 1 operarão como canais de transferência de memória para memória. O canal 0 forma o endereço fonte e o canal 1 o endereço destino. O contador de palavra do canal 1 é usado. Uma transferência de memória para memória é iniciada pela ativação por software do pedido de DMA para o canal 0.

O modo de transferência de bloco deve ser usado para transferência de memória para memória. Quando o canal 0 for programado para um endereço fonte fixo, uma mesma palavra pode ser escrita no bloco de memória. Quando o IC 8237A-5 estiver programado para operação memória para memória, sugere-se que ambos os canais (0 e 1) estejam mascarados.

Além disso, o contador de palavra do canal 0 deve ser inicializado pelo mesmo valor usado no canal 1. As saídas DACK não estarão ativas durante transferências de memória para memória.

O IC 8237A-5 será sensível a sinais externos $\overline{EOP}$ durante transferências de memória para memória. Veja diagrama de tempos correspondente.

Autoinicialização — Programando um bit no registrador de modo, um canal pode ser ativado para operar no modo autoinicialização. Durante a autoinicialização, os valores originais dos registradores de endereços e dos registradores contadores de palavra atuais, são automaticamente recarregados dos registradores de endereço base e registradores contadores de palavra base.

Os registradores base são carregados simultaneamente com os registradores atuais pelo microprocessador e permanecem inalterados durante o serviço de DMA.

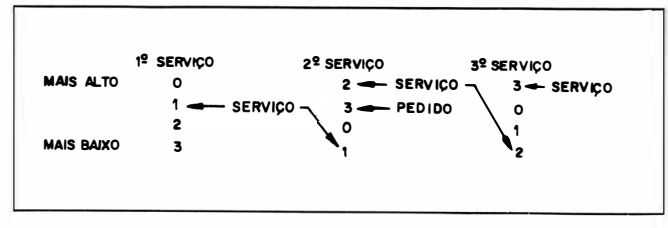
O bit de mascaramento não é ativado por $\overline{EOP}$ quando o canal estiver em autoinicialização. Após a autoinicialização o canal estará pronto para repetir este serviço, sem a intervenção do microprocessador.

Prioridades — O IC 8237A-5 tem dois tipos de prioridades selecionáveis por software.

A primeira opção é a prioridade fixa, a qual fixa os canais com uma prioridade em ordem decrescente. O canal com a menor prioridade é o 3 seguido pelo 2, 1 e o 0, canal este de maior prioridade.

A segunda opção é a prioridade rotativa. O último canal a executar um serviço torna-se o canal de menor prioridade, ocorrendo um giro com os demais canais.

Com a prioridade rotativa, num sistema com um único dispositivo de DMA, garante-se que qualquer dispositivo solicitante de serviço será reconhecido até um intervalo não maior que três serviços de prioridade terem ocorrido. Isto previne que um canal qualquer monopolize o sistema.



O codificador de prioridades seleciona o canal com maior prioridade que está solicitando um serviço em cada borda ativa de HACK. Uma vez o canal ativado, sua operação não será suspensa se for recebido um pedido de um canal de maior prioridade. O canal com maior prioridade somente ganhará o controle após o canal de menor prioridade liberar HREQ. Quando o controle passa de um canal para outro, o microprocessador adquire o controle do bus. Isto assegura que a borda de subida de HACK será usada para iniciar a seleção de um novo canal de maior prioridade.

Tempo Reduzido — Para uma melhor utilização de suas características, o IC 8237A-5 pode diminuir o tempo de transferência para dois ciclos de clock. Pode-se ver no diagrama de tempos que o estado S3 é usado para aumentar o tempo de acesso do pulso de leitura. Com a retirada do estado S3, a largura do pulso de leitura se torna igual a largura do pulso de escrita e a transferência consiste somente do estado S2 para trocar o endereço e o estado S4 para executar a leitura/escrita. O estado S1 ocorrerá quando A8 ~ A15 necessitarem de atualização.

Escrita Estendida — Se o bit 5 do registrador de modo estiver ativado, a duração do tempo de $\overline{MEMW}$ e $\overline{IOW}$ é aumentada. Esse recurso é interessante em sistemas que geram o sinal de ready em resposta à borda de descida do sinal $\overline{IOW}$ ou $\overline{MEMW}$, com isso, o sistema terá um tempo maior para gerar o sinal de ready para o IC 8237A-5.

Geração de Endereços

Para reduzir o número de pinos, o IC 8237A-5 multiplexa os oito bits de endereços de maior ordem nas linhas de dado. O estado S1 é usado para colocar os bits de endereços de maior ordem num latch externo que por sua vez os coloca no bus de endereços. A borda de descida do strobe de endereço (ADSTB) é usada para carregar esses bits, das linhas de dados no latch. A habilitação de endereços (AEN) é usada para colocar os bits de endereço da linha de dados no bus de endereços.

Os bits de endereço de mais baixa ordem são obtidos do IC 8237A-5 diretamente. As linhas A0 ~ A7 devem ser conectadas ao bus de endereços.
Veja nos diagramas de tempos a relação entre CLK, AEN, ADSTB, DB0 ~ DB7, A0 ~ A7.

Durante as transferências de demanda e bloco, que são serviços que incluem múltiplas transferências, os endereços serão gerados sequencialmente. Para muitas transferências os dados contidos no latch de endereços permanecerão os mesmos. Estes dados só necessitam ser mudados quando surgir um carry ou um borrow de A7 para A8 na seqüência normal de endereços.

Para aumentar a velocidade, o IC 8237A-5 executa os estados S1 somente quando for necessário atualizar A8 ~ A15. Isso significa, para serviços longos, que o estado S1 poderá ocorrer apenas 1 vez a cada 256 transferências, uma economia de 255 ciclos de clock para cada 256 transferências.

Descrição dos Registradores

Registradores de Endereços Atuais - Cada canal possui um registrador de endereço atual de 16 bits. Esse registrador guarda o valor do endereço usado durante transferências de DMA. O endereço é automaticamente incrementado ou decrementado após cada transferência e os valores intermediários do endereço são armazenados no registrador de endereço atual durante a transferência. O microprocessador faz operações de escrita ou leitura nesse registrador, de byte em byte. Ele pode também ser reinicializado por uma autoinicialização para seu valor original. A autoinicialização ocorre após um $\overline{EOP}$.

Registradores Contadores da Palavra Atual — Cada canal possui um registrador contador da palavra atual de 16 bits. Esse registrador deve ser programado com um valor que é um a menos do que o número de palavras a serem transferidas. O contador da palavra é decrementado após cada transferência. O valor intermediário do contador da palavra é armazenado no registrador durante a transferência.

Quando o valor no registrador vai para zero, um TC será gerado. Esse registrador é carregado ou lido de byte em byte pelo microprocessador na Condição de Programa. Seguindo o final do serviço DMA, ele pode ser reinicializado por uma autoinicialização voltando ao seu valor original.

A autoinicialização pode ocorrer somente quando ocorrer um $\overline{EOP}$. Note que o conteúdo do registrador contador da palavra deverá ser FFFF (HEX) seguindo uma geração interna de $\overline{EOP}$.

Registradores Contadores da Palavra Base e Endereço Base — Cada canal possui um par desses registradores contadores. São registradores de 16 bits que armazenam os valores originais de seus registradores atuais a ele associados. Durante a autoinicialização esses valores são usados para restabelecer aos registradores atuais seus valores iniciais.

Os registradores base são escritos simultaneamente com seu registrador atual correspondente, de byte em byte, durante um DMA, programado pelo microprocessador.

Consequentemente, serão reescritos os valores intermediários nesses registradores quando os registradores atuais já contiverem valores intermediários. Os registradores base não podem ser lidos pelo microprocessador.

Registrador de Comando — É um registrador de 8 bits que controla a operação do IC 8237A-5.

É programado na condição de programa pelo microprocessador e é limpo pelo reset.

A figura 2 mostra as funções dos bits de comando.
Os códigos de endereços são mostrados na tabela 3.

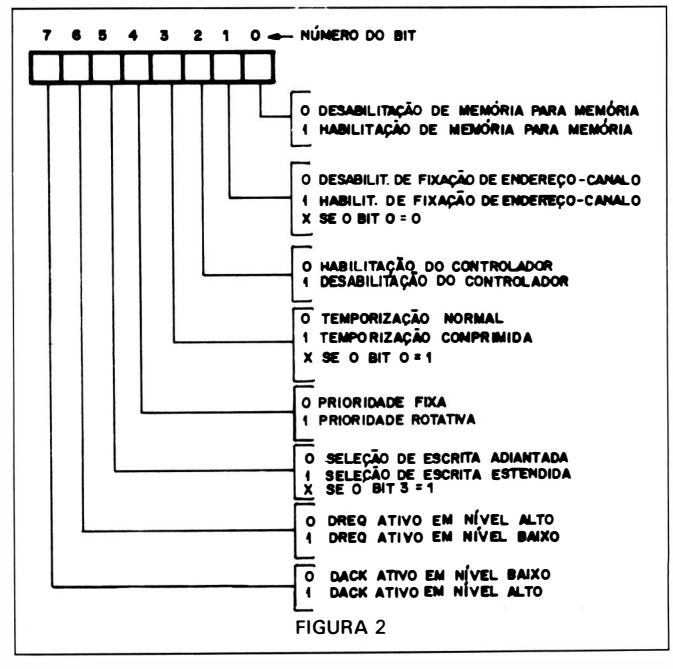


FIGURA 2

Registrador de Modo - Cada canal possui associado a si um registrador de modo de 6 bits. Quando é iniciado a escrita no registrador pelo microprocessador na condição de programa, os bits 0 e 1 determinam em qual canal do registrador de modo será escrito.

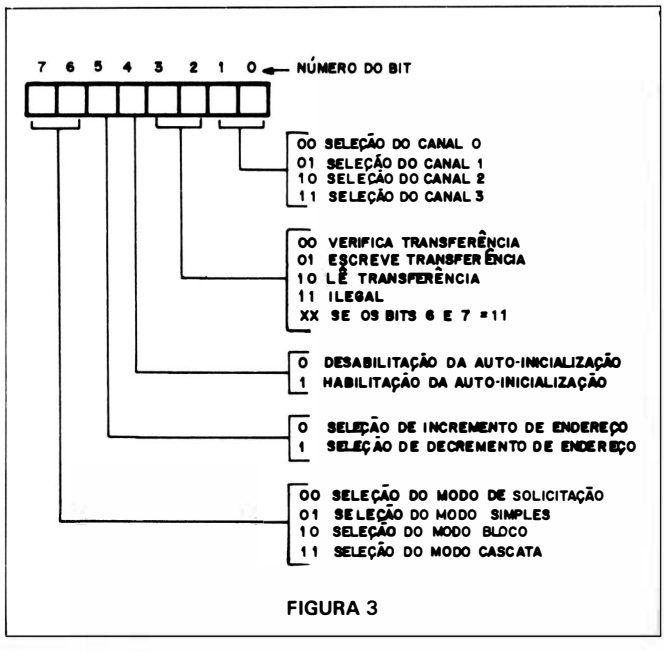


FIGURA 3

Registrador de Pedido - O IC 8237A-5 pode responder aos pedidos de serviço de DMA feitos por software assim como pelo DREQ.

Cada canal possui um bit de pedido associado a si dentro dos 4 bits do registrador de pedido. Esses bits são não mascaráveis e sujeitos a serem priorizados pela rede do codificador de prioridades. Cada bit do registrador é ativado ou desativado separadamente sob controle do software ou é limpo pela geração de um TC ou um EOP externo.

Um reset limpa todo o registrador. Para ativar ou desativar um bit, o software carrega uma forma apropriada de palavra de dado. Veja na tabela 3 os códigos de endereços.

Os pedidos por software só serão aceitos se o canal estiver no modo de bloco. Quando iniciado uma transferência de memória para memória, o pedido por software para o canal 0 deverá ser ativado.

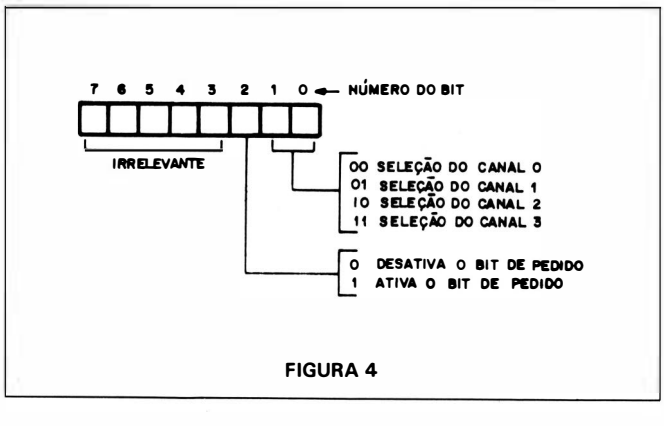


FIGURA 4

Registrador de Máscara — Cada canal tem associado a si um bit de mascaramento, o qual pode ser ativado para desabilitar o novo DREQ. Cada bit de mascaramento é ativado quando o canal associado produz um EOP e se não estiver programado para autoinicialização. Cada bit dentro dos 4 bits do registrador de máscara pode ser ativado ou limpo separadamente por controle do software. Todo o registrador é também ativado por um reset. Isso desabilita todos pedidos de DMA até uma instrução "clear" do registrador de máscara permitir que eles ocorram. A instrução para ativar ou limpar separadamente os bits de mascaramento, têm a forma semelhante à instrução usada com o registrador de pedido.

Para instrução de endereçamento veja a tabela 3.

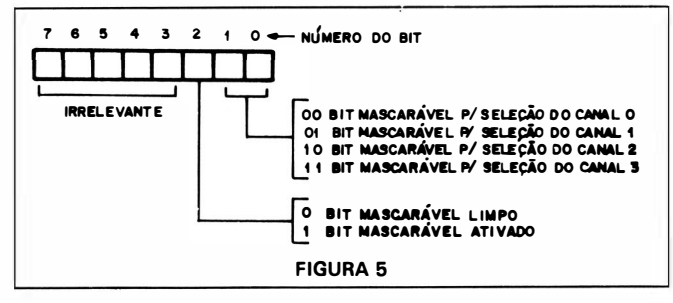


FIGURA 5

Todos os 4 bits do registrador de máscara podem ser escritos com um comando único.

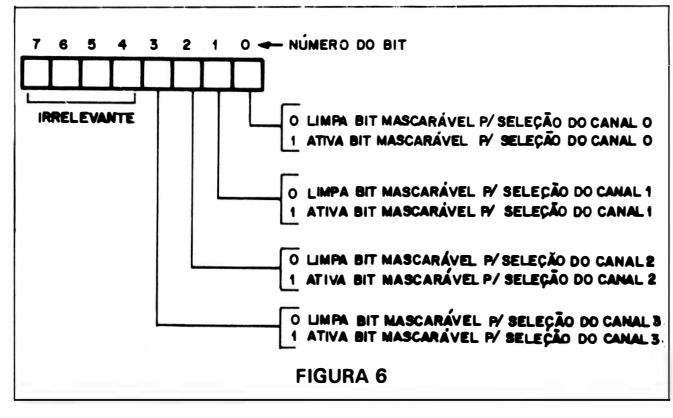


FIGURA 6

Registrador de Status - Os registradores de status podem ser lidos pelo microprocessador. Ele indica quais os canais que já atingiram a contagem final e quais têm pedidos de DMA pendentes. Os bits de 0 a 3 são ativados cada vez que um final de contagem é alcançado. Esses bits são limpos por reset e cada status lido. Os bits de 4 a 7 são ativados sempre que seu canal correspondente estiver pedindo serviço.

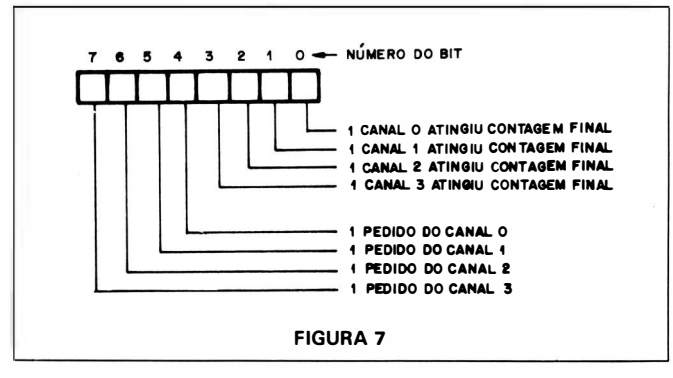


FIGURA 7

Registrador Temporário - Esse registrador é utilizado para armazenar os dados durante transferências de memória para memória. Completada as transferências, a última palavra movida pode ser lida pelo microprocessador na condição de programa. O registrador temporário sempre contém o último byte transferido na operação anterior de memória para memória, a menos que seja limpo por um reset.

Comandos por Software - Existem três comandos de software, os quais podem ser executados na condição de programa. Eles não dependem de qualquer padrão de bits específico no bus de dados.

Os três comandos são:

— Limpa o flip flop ("firs-last"): esse comando deve ser enviado antes de escrever ou ler uma informação de endereço ou palavra de contagem no IC 8237A-5. Isso levará o flip flop para um estado conhecido, assim sendo, os acessos subsequentes ao conteúdo do registrador pelo microprocessador serão feitos com o endereçamento dos bytes de ordem mais baixa e mais alta numa seqüência correta. Quando o flip flop é limpo endereça-se o byte de ordem mais baixa e quando ativado o byte de ordem mais alta.

— Master Clear: essa instrução de software tem o mesmo efeito de um reset por hardware. Os registradores de comando, status, pedido, temporário e o flip flop ("firs-last") interno são limpos e o registrador de máscara é ativado. O IC 8237A-5 entrará num estado inativo.

— Clear do registrador de máscara: esse comando limpa os bits de mascaramento de todos os quatro canais, habilitando-os a receber pedidos de DMA.

TABELA 3

Códigos de Endereços

SINAIS DE INTERFACE						OPERAÇÃO
A3	A2	A1	A0	$\overline{IOR}$	$\overline{IOW}$	
1	0	0	0	0	1	Leitura do Registrador de Status
1	0	0	0	1	0	Escrita no Registrador de Comando
1	0	0	1	0	1	Não válido
1	0	0	1	1	0	Escrita no Registrador de Pedido
1	0	1	0	0	1	Não válido
1	0	1	0	1	0	Escrita num único bit do Registrador de Máscara
1	0	1	1	0	1	Não válido
1	0	1	1	1	0	Escrita no Registrador de Modo
1	1	0	0	0	1	Não válido
1	1	0	0	1	0	Limpa o flip-flop do byte ponteiro
1	1	0	1	0	1	Leitura no Registrador Temporário
1	1	0	1	1	0	Master Clear
1	1	1	0	0	1	Não válido
1	1	1	0	1	0	Limpa o Registrador de Máscara
1	1	1	1	0	1	Não válido
1	1	1	1	1	0	Escrita em todos bits do Registrador de Máscara

VALORES MÁXIMOS ABSOLUTOS

Tensão de alimentação	- 0,5V a 7V
Tensão de entrada	- 0,5V a 7V
Potência dissipada	1,5W
Temperatura de armazenamento	- 65°C a 150°C
Temperatura de operação	0°C a 70°C

CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	TÍP.	MÁX.	
V_{CC}	Tensão de alimentação	4,75	5	5,25	V
V_{IH}	Tensão de entrada - nível alto	2		$V_{CC}+0,5$	V
V_{IL}	Tensão de entrada - nível baixo	−0,5		0,8	V

TABELA 4

Códigos de Comando do Registrador de Endereços e do Contador da Palavra

CANAL	REGISTRADOR	OPERAÇÃO	SINAIS							FLIP FLOP INTERNO	BUS DE DADOS DB0-DB7
			$\overline{CS}$	$\overline{IOR}$	$\overline{IOW}$	A3	A2	A1	A0		
0	Endereço atual e base	Escrita	0 0	1 1	0 0	0 0	0 0	0 0	0 0	0 1	A0-A7 A8-A15
	Endereço atual	Leitura	0 0	0 0	1 1	0 0	0 0	0 0	0 0	0 1	A0-A7 A8-A15
	Contador da palavra atual e base	Escrita	0 0	1 1	0 0	0 0	0 0	0 0	1 1	0 1	W0-W7 W8-W15
	Contador da palavra atual	Leitura	0 0	0 0	1 1	0 0	0 0	0 0	1 1	0 1	W0-W7 W8-W15
1	Endereço atual e base	Escrita	0 0	1 1	0 0	0 0	0 0	1 1	0 0	0 1	A0-A7 A8-A15
	Endereço atual	Leitura	0 0	0 0	1 1	0 0	0 0	1 1	0 0	0 1	A0-A7 A8-A15
	Contador da palavra atual e base	Escrita	0 0	1 1	0 0	0 0	0 0	1 1	1 1	0 1	W0-W7 W8-W15
	Contador da palavra atual	Leitura	0 0	0 0	1 1	0 0	0 0	1 1	1 1	0 1	W0-W7 W8-W15
2	Endereço atual e base	Escrita	0 0	1 1	0 0	0 0	1 1	0 0	0 0	0 1	A0-A7 A8-A15
	Endereço atual	Leitura	0 0	0 0	1 1	0 0	1 1	0 0	0 0	0 1	A0-A7 A8-A15
	Contador da palavra atual e base	Escrita	0 0	1 1	0 0	0 0	1 1	0 0	1 1	0 1	W0-W7 W8-W15
	Contador da palavra atual	Leitura	0 0	0 0	1 1	0 0	1 1	0 0	1 1	0 1	W0-W7 W8-W15
3	Endereço atual e base	Escrita	0 0	1 1	0 0	0 0	1 1	1 1	0 0	0 1	A0-A7 A8-A15
	Endereço atual	Leitura	0 0	0 0	1 1	0 0	1 1	1 1	0 0	0 1	A0-A7 A8-A15
	Contador da palavra atual e base	Escrita	0 0	1 1	0 0	0 0	1 1	1 1	1 1	0 1	W0-W7 W8-W15
	Contador da palavra atual	Leitura	0 0	0 0	1 1	0 0	1 1	1 1	1 1	0 1	W0-W7 W8-W15

CARACTERÍSTICAS DC[1]

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TÍP.	MÁX.		
V_{OH}	Tensão de saída - nível alto	2,4 3,3			V	$I_{OH} = -200\ \mu A$ $I_{OH} = -100\ \mu A$(HREQ)
V_{OL}	Tensão de saída - nível baixo			0,4	V	$I_{OL} = 3{,}2mA$
I_{IX}	Corrente de carga na entrada	−10		10	μA	$V_{SS} \leqslant V_I \leqslant V_{CC}$
I_{OZ}	Corrente de fuga na saída em alta impedância	−10		10	μA	$V_{CC} \leqslant V_O \leqslant V_{SS}+0{,}4$
I_{CC}	Corrente de alimentação		65 75	130 150	mA	$T_A = +25°C$ $T_A = 0°C$
C_O	Capacitância de saída[2]		4	8	pF	F_c = 1MHz Entradas = 0V
C_I	Capacitância de entrada		8	15		
C_{IO}	Capacitância de E/S		10	18		
C_{OHREQ}	Capacitância da saída HREQ		18	20		

OBSERVAÇÕES:
1) Os valores típicos obtidos com $T_A = 25°C$, tensão de alimentação e parâmetros de processamento nominais.
2) Todos os pinos de saída, exceto HREQ.

CARACTERÍSTICAS AC [1]

CICLO ATIVO [2][3][4][5]

SÍMBOLO	PARÂMETRO	LIMITES		UNIDADE
		MÍN.	MÁX.	
$t_{d(CLK-AENH)}$	Tempo de atraso - AEN alto após CLK baixo (S1)		200	ns
$t_{d(CKH-AENL)}$	Tempo de atraso - AEN baixo após CLK alto (S1)		130	ns
$t_{dis(CKH-A)}$	Tempo de desabilitação dos endereços após CLK alto		90	ns
$t_{dis(CKH-R/W)}$	Tempo de desabilitação de $\overline{READ}$ ou $\overline{WRITE}$ após CLK alto		120	ns
$t_{dis(CKH-D)}$	Tempo de desabilitação do bus de dados após CLK alto		170	ns
$t_{h(R-A)}$	Tempo de hold - endereços após $\overline{READ}$ alto	TCY-100		ns
$t_{h(ASTBL-D)}$	Tempo de hold - bus de dados após ADSTB baixo	30		ns
$t_{h(WH-A)}$	Tempo de hold - endereços após $\overline{WRITE}$ alto	TCY-50		ns
$t_{d(CKL-DACK)}$	Tempo de atraso - DACK válido após CLK baixo		170	ns
$t_{d(CKH-EOPH)}$	Tempo de atraso - $\overline{EOP}$ alto após CLK alto		170	ns
$t_{d(CKH-EOPL)}$	Tempo de atraso - $\overline{EOP}$ baixo após CLK alto		170	ns
$t_{d(CKH-A)}$	Endereços estáveis após CLK alto		170	ns
$t_{su(D-ASTBL)}$	Tempo de set up - bus de dados antes de ADSTB baixo	100		ns
$t_{w(CKH)}$	Largura do pulso de clock alto (transições $\leqslant$ 10 ns)	80		ns
$t_{w(CKL)}$	Largura do pulso de clock baixo (transições $\leqslant$ 10ns)	68		ns
$t_{c(CLK)}$	Tempo do ciclo de clock	200		ns
$t_{d(CKH-R/W)}$	Tempo de atraso - $\overline{READ}$ ou $\overline{WRITE}$ baixo após CLK alto [6]		190	ns
$t_{d(CKH-RH)}$	Tempo de atraso - $\overline{READ}$ alto após CLK alto (S4)[6]		190	ns
$t_{d(CKH-WH)}$	Tempo de atraso - $\overline{WRITE}$ alto após CLK alto (S4)[6]		130	ns
$t_{d(CKH-HREQ)1}$	Tempo de atraso - HREQ válido após CLK alto		120	ns
$t_{d(CKH-HREQ)2}$	Tempo de atraso - HREQ válido após CLK alto		120	ns
$t_{su(EOP-CKL)}$	Tempo de set up - $\overline{EOP}$ baixo antes de CLK baixo	40		ns
$t_{w(EOP)}$	Largura do pulso $\overline{EOP}$	220		ns
$t_{en(CKH-A)}$	Tempo de habilitação dos endereços após CLK alto		170	ns
$t_{en(CKH-R/W)}$	Tempo de habilitação de $\overline{READ}$ e $\overline{WRITE}$ após CLK alto		150	ns
$t_{en(CKH-D)}$	Tempo de habilitação do bus de dados após CLK alto		200	ns
$t_{su(HACK-CKH)}$	Tempo de set up - HACK válido antes de CLK alto	75		ns
$t_{h(MRH-D)}$	Tempo de hold - dado na entrada após $\overline{MEMR}$ alto	0		ns
$t_{su(D-MRH)}$	Tempo de set up - dado na entrada antes de $\overline{MEMW}$ alto	170		ns
$t_{h(MWH-D)}$	Tempo de hold - dado na saída após $\overline{MEMW}$ alto	10		ns
$t_{su(D-MWH)}$	Tempo de set up - dado na saída antes de $\overline{MEMW}$ alto[7]	125		ns
$t_{su(DRQ-CKL)}$	Tempo de set up - DREQ antes de CLK baixo (S1)(S4)	0		ns
$t_{h(CK-RDY)}$	Tempo de hold - READY após CLK	20		ns
$t_{su(RDY-CKL)}$	Tempo de set up - READY antes de CLK baixo	60		ns
$t_{d(CKH-ASTBH)}$	Tempo de atraso - ADSTB alto após CLK alto		130	ns
$t_{d(CKH-ASTBL)}$	Tempo de atraso - ADSTB baixo após CLK alto		90	ns

OBSERVAÇÕES:

1) T_A = 0°C a 70°C, V_{CC} = 5V $\pm$ 5%, a menos que especificado o contrário.
2) Os parâmetros dos tempos na entrada assumem tempos de transição iguais ou menores que 20 ns. Os pontos de medida, tanto para os sinais de entrada como de saída, são de 2V para nível alto e 0,8V para nível baixo, a menos que especificado o contrário.
3) Carga de saída = uma porta TTL (padrão) + 50 pF, a menos que especificado o contrário.
4) O pino 5 é uma entrada que deve ser mantida sempre em nível alto. Um resistor interno de pull up o estabilizará em nível alto quando este pino for deixado flutuante. Como alternativa o pino 5 pode ser ligado a V_{CC}.
5) Os sinais $\overline{READ}$ e $\overline{WRITE}$ referem-se, respectivamente, a IOR e $\overline{MEMW}$ para operações de DMA de periférico para memória e $\overline{MEMR}$ e $\overline{IOW}$ para operações de DMA de memória para periférico.
6) A largura do novo pulso de $\overline{IOW}$ ou MEMW para escrita normal será igual a TCY-100ns e para escrita estendida será igual a 2TCY - 100ns. A largura do novo pulso de IOR ou $\overline{MEMR}$ para leitura normal será igual a 2TCY - 50 ns e para leitura reduzida será igual a TCY-50 ns.
7) Se "N" wait states são adicionados durante uma escrita na memória numa transferência de memória para memória, este parâmetro será incrementado por "N" (TCY).
8) $T_{D(CKH-HREQ)}$ é especificado para dois níveis altos de saída diferentes. $T_{D(CKH-HREQ)1}$ é medido em 2V. $T_{D(CKH-HREQ)2}$ é medido em 3,3V. O valor de $T_{D(CKH-HREQ)2}$ foi medido com um resistor externo de pull up de 3,3 KΩ conectado entre HREQ e V_{CC}.

CARACTERÍSTICAS AC [1]

CONDIÇÃO DE PROGRAMA (CICLO INATIVO)[2][3][4]

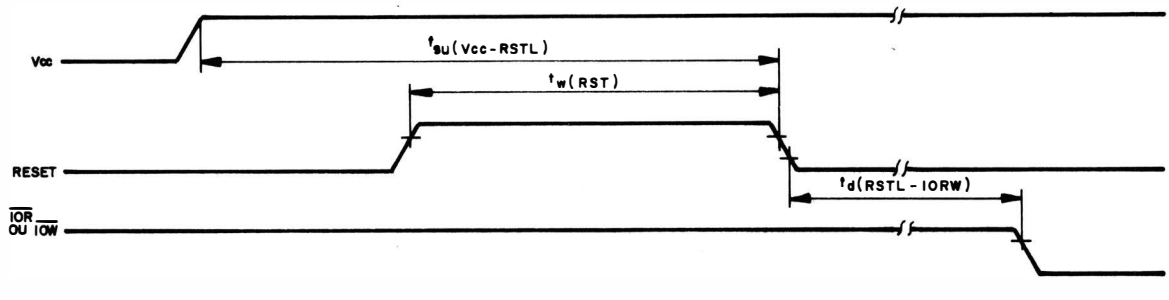
SÍMBOLO	PARÂMETRO	LIMITES		UNIDADE
		MÍN.	MÁX.	
$t_{d(A/CS-RL)}$	Endereço válido ou $\overline{CS}$ baixo antes de $\overline{READ}$	50		ns
$t_{su(A-WH)}$	Tempo de set up - endereço válido antes de $\overline{WRITE}$ alto	130		ns
$t_{su(CSL-WH)}$	Tempo de set up - $\overline{CS}$ baixo antes de $\overline{WRITE}$ alto	130		ns
$t_{su(D-WH)}$	Tempo de set up - dado válido antes de $\overline{WRITE}$ alto	130		ns
$t_{h(A/CS-RH)}$	Tempo de hold de endereço ou $\overline{CS}$ após $\overline{READ}$ alto	0		ns
$t_{en(D-RL)}$	Tempo de habilitação do dado após $\overline{READ}$ baixo [5]		140	ns
$t_{dis(RH-D)}$	Tempo de desabilitação do bus de dados após $\overline{READ}$ alto	0	70	ns
$t_{su(VCC-RSTL)}$	Tempo de set up - alimentação alta antes de reset baixo	500		μs
$t_{d(RSTL-IORW)}$	Tempo de atraso do primeiro $\overline{IOR}$ ou $\overline{IOW}$ baixo após reset baixo	2TCY		ns
$t_{w(RST)}$	Largura do pulso de reset	300		ns
$t_{w(R)}$	Largura do pulso de $\overline{READ}$	200		ns
$t_{h(WH-A)}$	Tempo de hold - endereço após $\overline{WRITE}$ alto	20		ns
$t_{h(WH-CSH)}$	Tempo de hold - $\overline{CS}$ alto após $\overline{WRITE}$ alto	20		ns
$t_{h(WH-D)}$	Tempo de hold - dado após $\overline{WRITE}$ alto	30		ns
$t_{w(W)}$	Largura do pulso de $\overline{WRITE}$	160		ns

OBSERVAÇÕES:

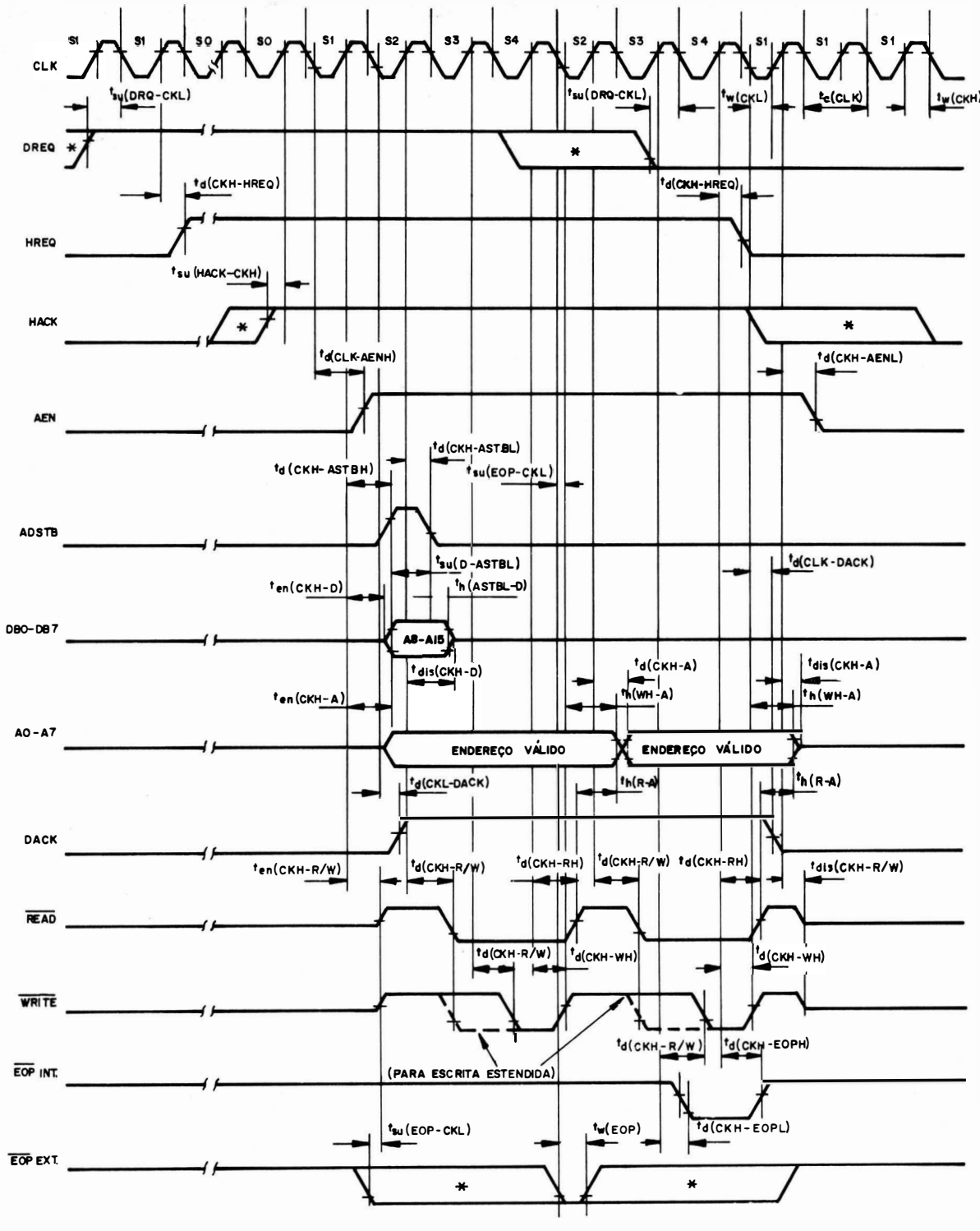
1) T_A = 0°C a 70°C, V_{CC} = 5V $\pm$ 5%, a menos que especificado o contrário.
2) Os parâmetros dos tempos na entrada assumem tempos de transição iguais ou menores que 20 ns. Os pontos de medida, tanto para os sinais de entrada como de saída, são de 2V para nível alto e 0,8V, para nível baixo, a menos que especificado o contrário.
3) Carga de saída = uma porta TTL (padrão) + 50 pF, a menos que especificado o contrário.
4) O pino 5 é uma entrada que deve ser mantida sempre em nível alto. Um resistor interno de pull up o estabilizará em nível alto quando este pino for deixado flutuante.
   Como alternativa o pino 5 pode ser ligado a V_{CC}.
5) Carga de saída no bus de dados = uma porta TTL (padrão) + 15 pF para valor mínimo e, uma porta TTL (padrão) + 100 pF para valor máximo.
6) Nas operações sucessivas de leitura e/ou escrita feitas pelo processador externo para programar ou examinar o IC 8237A-5 deve-se ter o cuidado de manter um tempo mínimo de 400 ns entre os pulsos de leitura e escrita para permitir a recuperação.
7) EOP em nível alto após o clock em nível alto depende da carga; para o teste destes parâmetros deve-se usar um resistor de pull up de 2KΩ e uma capacitância de carga menor ou igual a 50 pF. A constante de tempo RC = 120 ns é adicionada com o valor descrito na especificação do produto.

FORMA DE ONDA NA ENTRADA

TEMPOS: RESET

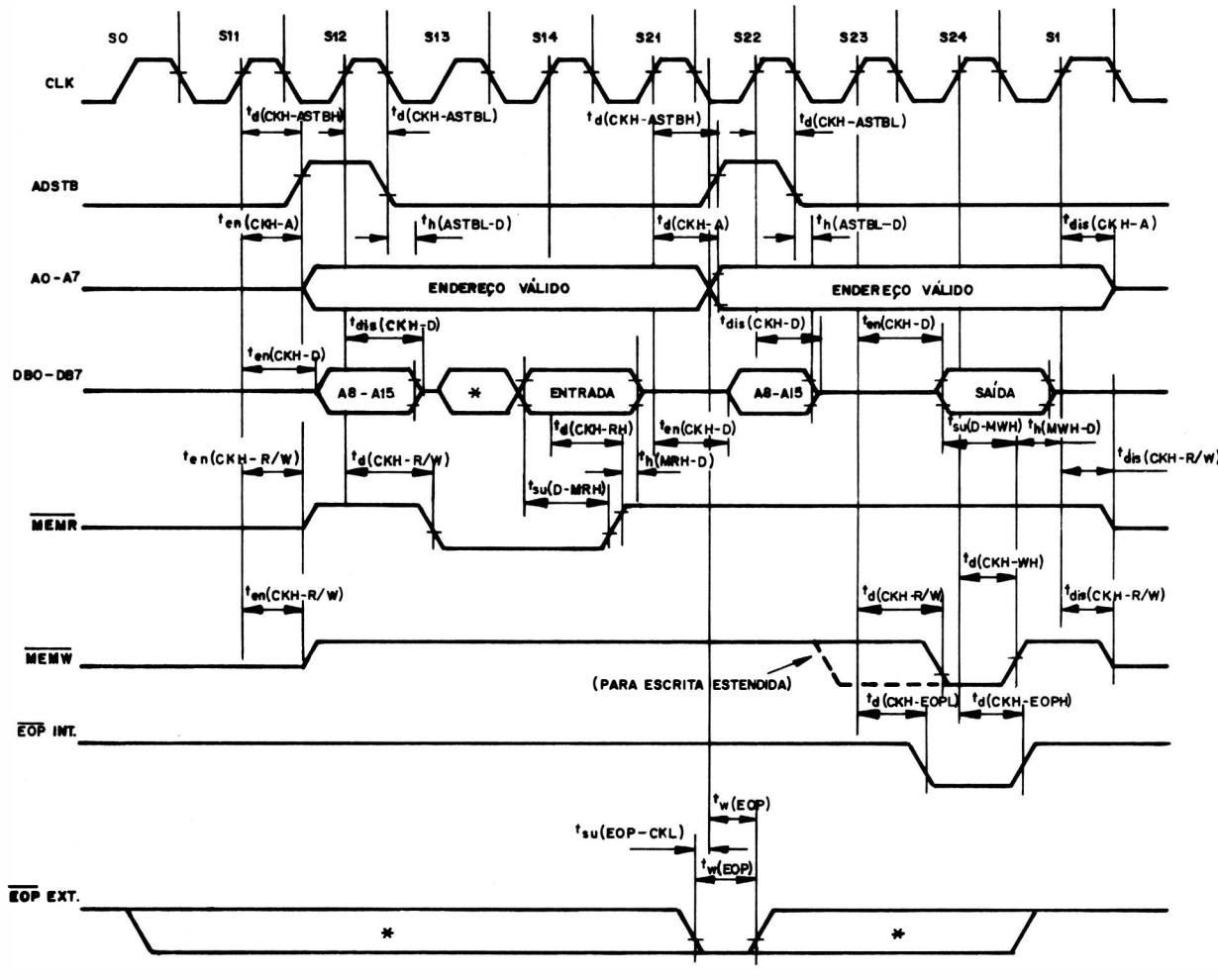


TEMPOS: CICLO ATIVO

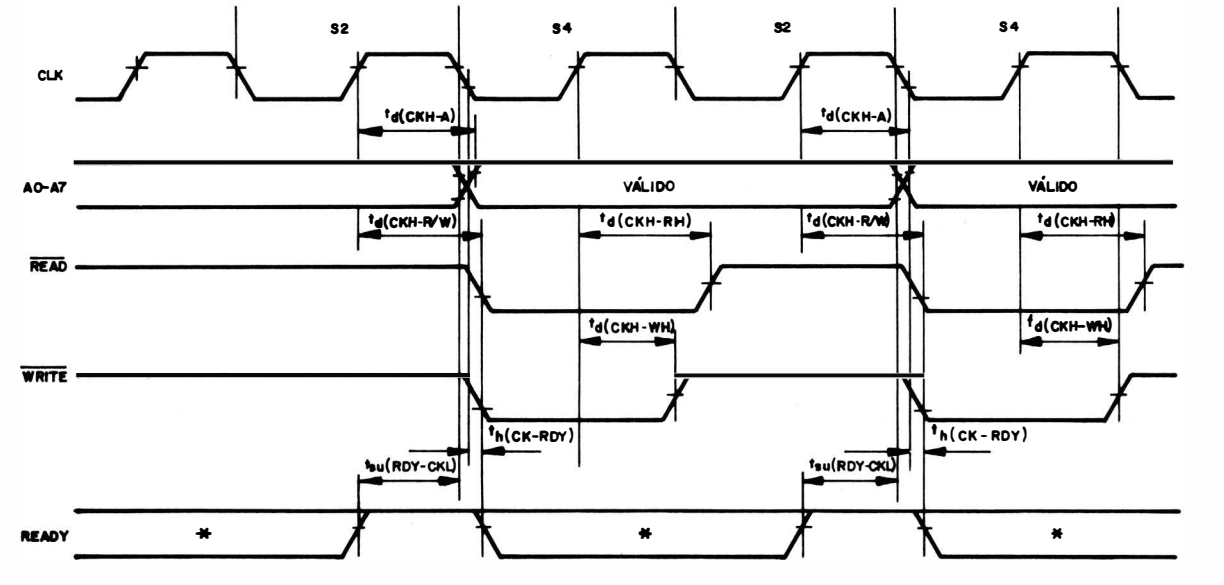


OBSERVAÇÃO:
EOP deve preceder AEN no modo de transferência único.

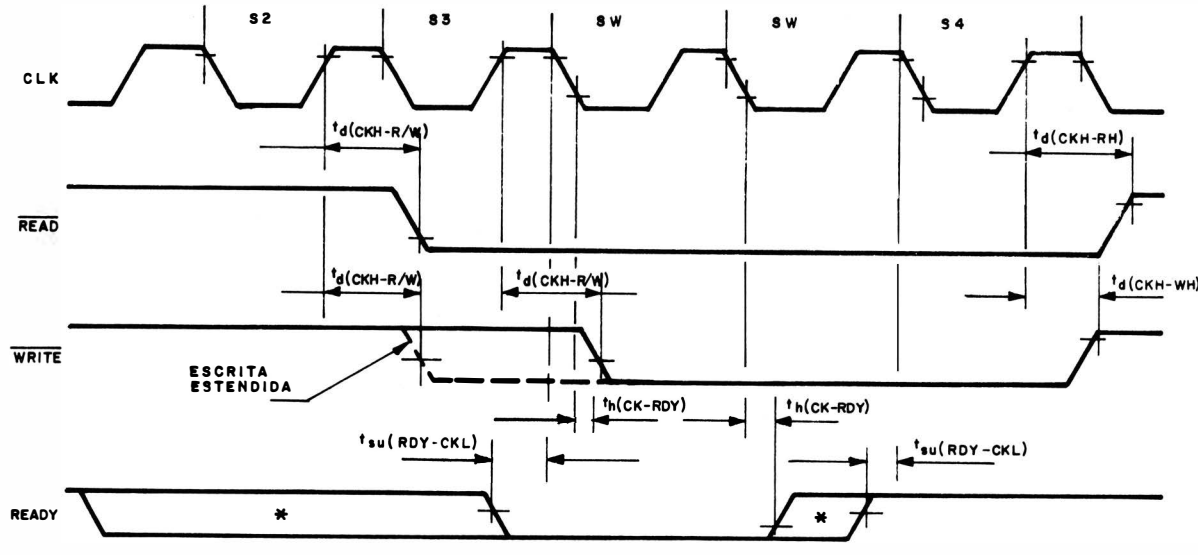
TEMPOS: MEMÓRIA PARA MEMÓRIA



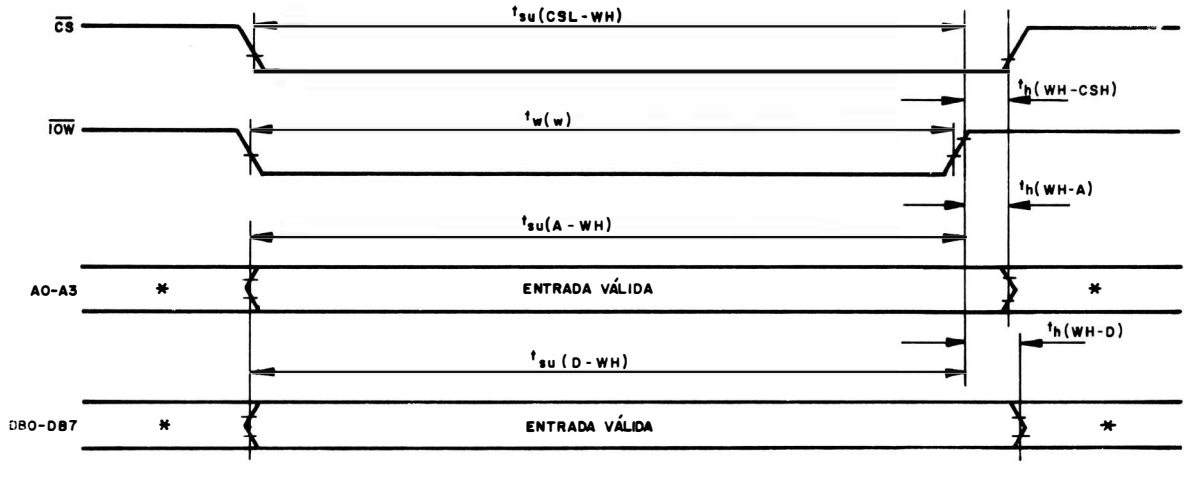
TEMPOS: READY



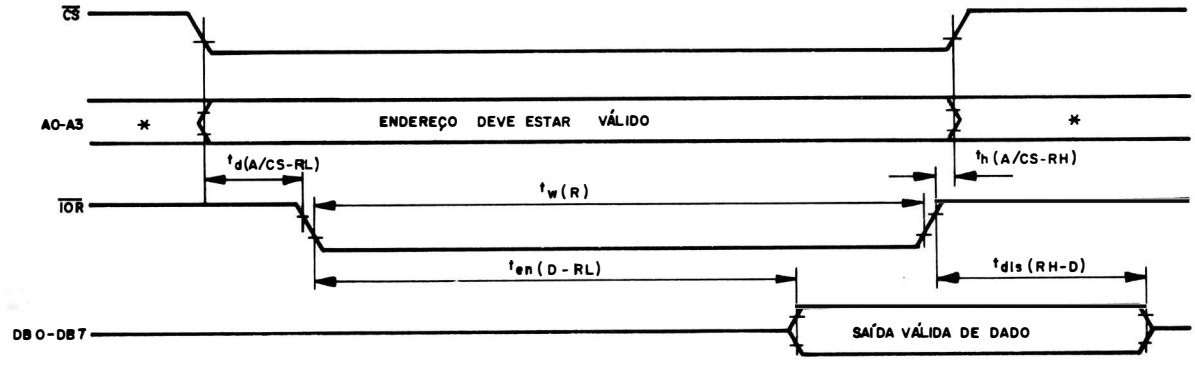
TEMPOS: REDUZIDO



TEMPOS: CONDIÇÃO DE PROGRAMA NA ESCRITA



TEMPOS: CONDIÇÃO DE PROGRAMA NA LEITURA

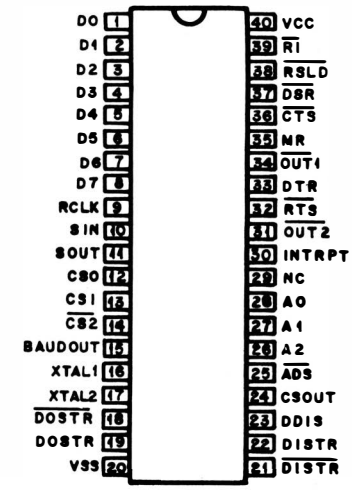


IC 8250

Características:

- ☐ Projetado para servir de interface a vários miniprocessdores (Z-80, 8080A, 6800, etc.);
- ☐ Gerador interno de baud rate permite a divisão do clock de entrada por 1 a (2^{16}-1);
- ☐ Interface serial totalmente programável;
- ☐ Caracteres de 5, 6, 7 ou 8 bits;
- ☐ Detecção e geração de bit de paridade par, impar ou não paridade;
- ☐ Geração de 1, 1 1/2 ou 2 stop bit;
- ☐ Simulação de erro de paridade, overrun, estrutura e quebra.

PINAGEM



Descrição Geral:

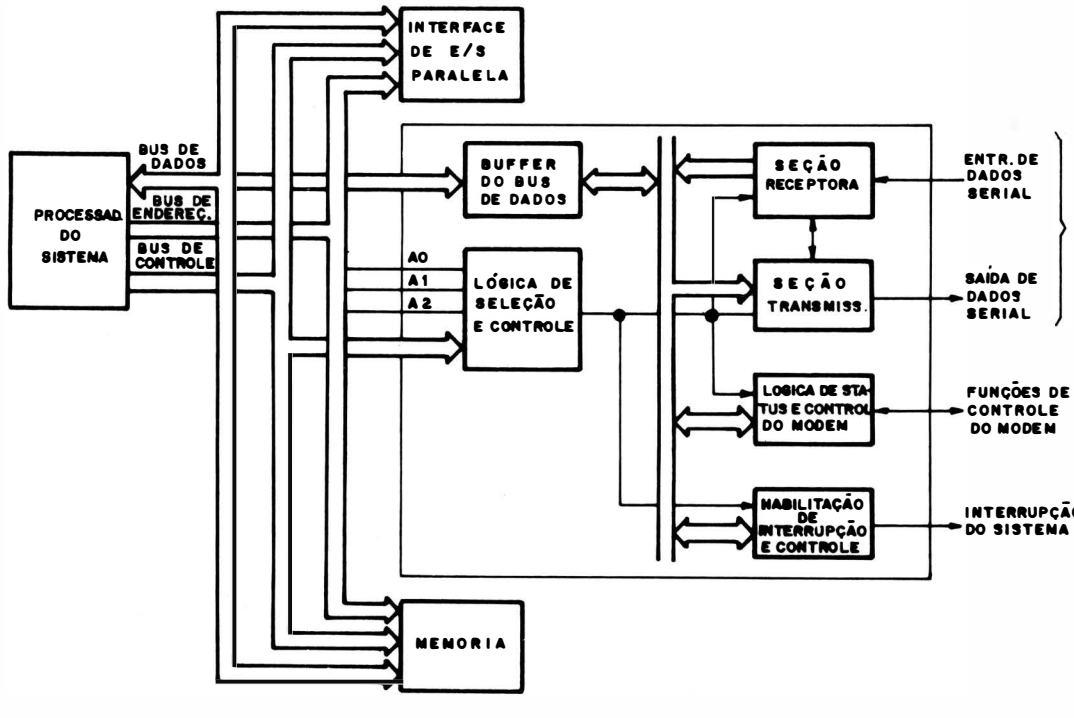
O IC 8250 é um elemento programável de comunicação assíncrona, com um bus de dados de 8 bits bidirecional e tristate. Faz a conversão dos dados do formato paralelo para o serial na transmissão, e converte os dados de serial para paralelo na recepção.

O formato serial pela ordem de transmissão e recepção é um start bit, seguido por cinco a oito bits de dados, um bit de paridade (se programado) e um, um e meio (apenas para o formato de 5 bits) ou dois stop bits. A máxima taxa de transmissão recomendada é de 56 K baud.

Registradores internos permitem ao usuário programar vários tipos de interrupções, controles de modem, e formatos de caractere. O usuário pode ler o status do IC 8250 a qualquer momento monitorando as condições da palavra, interrupções e status do modem.

Uma característica adicional do IC 8250 é possuir um gerador interno de baud rate capaz de dividir um sinal de clock por 1 a 2^{16}-1.

CONFIGURAÇÃO GERAL DO SISTEMA



IC 8251A-5

Características

- ☐ Alimentação única 5V;
- ☐ Operação nos modos síncrono e assíncrono:

Modo Síncrono

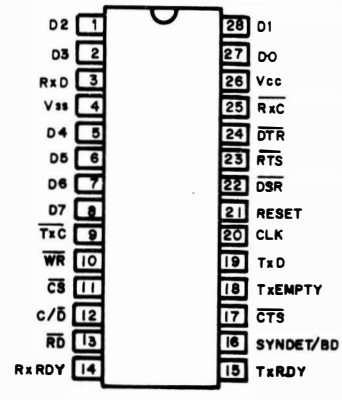
- — Comprimento do caractere — 5 a 8 bits;
- — Sincronização interna ou externa;
- — Inserção automática do caractere de sincronismo.

Modo Assíncrono

- — Comprimento do caractere — 5 a 8 bits;
- — Velocidade de transmissão — 1, 16 ou 64 vezes o baud rate;
- — Número de stop bits — 1, 1 1/2 ou 2;
- — Detecção de falso start bit;
- — Detecção automática de parada forçada de recepção.

- ☐ Baud Rate — DC ~ 64 kbaud;
- ☐ Full duplex, buffers para recepção/transmissão;
- ☐ Detecção de erro de paridade, de sobreposição e de formação.

PINAGEM



Descrição Geral

O IC 8251A-5 é uma interface universal para recepção/transmissão nos modos síncrono e assíncrono (USART), programável por software, projetada para operar como circuito periférico de microprocessadores de 8 bits.

O IC 8251A-5 recebe os dados do microprocessador na forma paralela, converte-os para forma serial, e então, os transmite para algum dispositivo através do pino TxD. Ele também recebe, através do pino RxD, dados na forma serial, converte-os para a forma paralela, e então, os transmite para o microprocessador.

O IC 8251A-5 utiliza os pinos TxRDY e RxRDY para informar ao microprocessador sobre o estado das operações de transmissão e recepção.

A USART pode detectar erros nos dados recebidos e informar ao microprocessador a presença ou não destes erros, assim como seu status.

Os erros que podem ser detectados pela USART incluem: erro de paridade, de sobreposição e de formação.

DIAGRAMA DE BLOCOS

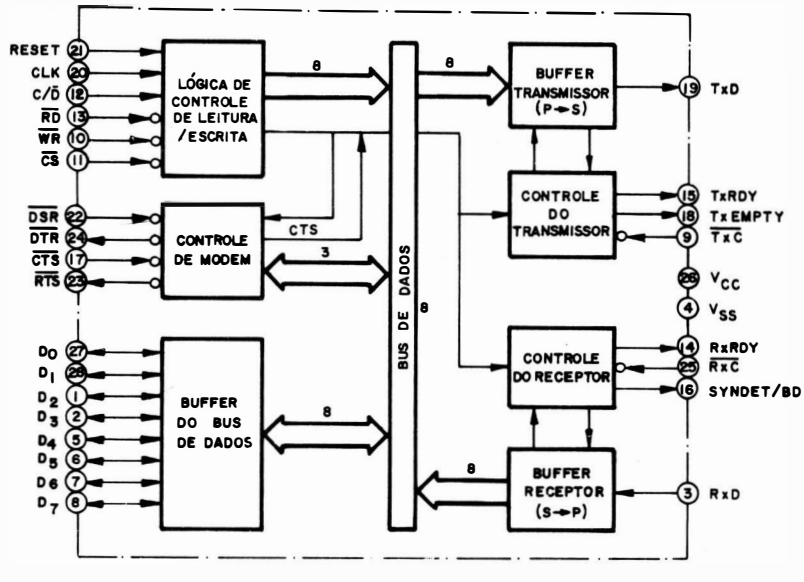


TABELA 1
Descrição da Pinagem

PINO	NÚMERO	FUNÇÃO
D0-D7	27, 28, 1, 2,5 ~ 8	BUS DE DADOS — É um barramento bidirecional de 8 bits, tristate, por onde passam palavras de controle, palavras de comando, informação de status e transferência de dados.
RESET	21	PINO DA ENTRADA DE RESET — Um nível alto nesta entrada levará a USART para um estado inativo, permanecendo assim até que uma nova palavra de controle seja recebida. A entrada de reset necessita de um pulso com largura mínima de 6 clocks.
$\overline{CS}$	11	CHIP SELECT — É um sinal de seleção de dispositivo; um nível baixo aplicado nesta entrada habilitará a comunicação com o microprocessador. Normalmente é conectada diretamente ao barramento de endereços ou através de um decodificador. Quando um nível alto for aplicado nesta entrada a comunicação estará desabilitada.
$\overline{RD}$	13	LEITURA — Um nível baixo aplicado nesta entrada habilitará a USART a enviar dados e informações de status para o microprocessador através do barramento de dados.
$\overline{WR}$	10	ESCRITA — Um nível baixo aplicado nesta entrada habilitará a USART a receber dados e palavras de controle do microprocessador.
C/$\overline{D}$	12	CONTROLE/DADO — Este sinal em conjunto com as entradas $\overline{RD}$ e $\overline{WR}$, informa à USART se o conteúdo do bus de dados é um dado, uma palavra de controle ou uma informação de status, enquanto o microprocessador estiver acessando o IC 8251A-5. Um nível alto identifica uma palavra de controle ou uma informação de status enquanto que um nível baixo identifica um dado.
CLK	20	CLOCK — Nesta entrada é conectado um sinal externo de clock para que a USART trabalhe com uma referência para sua sincronização. Entretanto, não existe uma relação direta entre a velocidade de transferência de dados e a freqüência do clock de entrada, que deve ser 30 vezes maior que a freqüência de transmissão ou recepção se no modo síncrono e maior que 4,5 vezes se no modo assíncrono.
$\overline{DSR}$	22	SINALIZAÇÃO DE MODEM PRONTO (Data Set Ready) — Este é um sinal de entrada de propósito geral usado para testar o status do modem. Através do bit D7 de informação de status podemos ter: $\overline{DSR}$ = L → bit D7 de informação de status = 1 $\overline{DSR}$ = H → bit D7 de informação de status = 0 $\overline{DSR}$ indica o status do modem, ou seja: ON — o modem pode transmitir ou receber, ou seja, está ativado. OFF — o modem está desativado
$\overline{DTR}$	24	TERMINAL DE DADOS PRONTO (Data Terminal Ready) — Este é um sinal de saída de propósito geral usado para controle do modem. $\overline{DTR}$ é controlado pelo bit D1 da instrução de comando; daí podemos ter: D1 do registrador de comando = 1 → $\overline{DTR}$ = L D1 do registrador de comando = 0 → $\overline{DTR}$ = H
$\overline{RTS}$	23	SOLICITAÇÃO PARA ENVIAR DADOS (Request To Send) — Este é um sinal de propósito geral usado na solicitação de envio de dados para o modem. $\overline{RTS}$ é controlado pelo bit D5 do comando de instrução, daí podemos ter: D5 do registrador de comando = 1 → $\overline{RTS}$ = L D5 do registrador de comando = 0 → $\overline{RTS}$ = H $\overline{RTS}$ controla a portadora de transmissão do modem, ou seja: ON — envio da portadora. OFF — não há envio da portadora.

PINO	NÚMERO	FUNÇÃO
$\overline{CTS}$	17	HABILITAÇÃO PARA ENVIAR DADOS (Clear To Send) — Quando TxEN, bit D0 da instrução de comando, estiver em ''1'', e a entrada $\overline{CTS}$ estiver em nível baixo, dados seriais serão enviados pelo pino TxD. Usualmente o $\overline{CTS}$ é usado como sinal para o modem. $\overline{CTS}$ indica o status do modem, ou seja: ON — é possível a transmissão de dados. OFF — não é possível a transmissão de dados.
TxD	19	TRANSMISSÃO DE DADOS (Transmission Data) — Os dados em paralelo são carregados pelo microprocessador na USART, que os converte para a forma serial e os transmite pelo pino TxD. A transmissão se dá somente quando TxEN, bit D0 da instrução de comando for ''1'' e $\overline{CTS}$ estiver em nível baixo. Com um reset este pino é mantido em nível alto até o primeiro caractere ser enviado.
TxRDY	15	TRANSMISSOR PRONTO (Transmitter Ready) — Este sinal indica que os dados estão prontos para serem transmitidos. É possível confirmar o status da transmissão serial de dados usando-o como um sinal de interrupção para o microprocessador ou permitindo a leitura pelo microprocessador do bit D0 de informação de status. O sinal TxRDY indica que o buffer de dados está vazio, portanto, assim que um caractere for carregado na USART pelo microprocessador, TxRDY irá para ''0''. Como mostrado na figura 2, o bit de TxRDY de informação de status informa que o buffer transmissor de dados está vazio, enquanto que o pino TxRDY estará em nível alto somente quando o buffer transmissor de dados estiver vazio, TxEN for igual a ''1'' e um nível baixo for aplicado à entrada $\overline{CTS}$. STATUS (D0) — quando o buffer transmissor de dados (TDB) estiver vazio, se torna igual a ''1''. Pino TxRDY — quando (TDB estiver vazio) . (TxEN = 1) . (CTS = 0) = 1 com reset, se torna ativo.
TxEMPTY	18	BUFFER TRANSMISSOR LIVRE (Transmitter — Empty) — Este pino de saída estará em nível alto quando não houverem caracteres a serem transmitidos no buffer transmissor. No modo assíncrono, o caractere seguinte de transmissão é transferido para o buffer transmissor assim que for carregado pelo microprocessador. Assim sendo, o pino TxEMPTY é automaticamente levado para nível baixo. No modo síncrono, um caractere de sincronismo é carregado automaticamente no buffer transmissor quando não houver transferência de caracteres de dados. Neste caso, entretanto, TxEMPTY não irá para nível baixo, visto que TxEMPTY = H indica o estado no qual não há transferência de caractere e um ou dois caracteres de sincronismo estarão sendo transferidos. TxEMPTY não está relacionado com o bit TxEN de instrução de comando.
$\overline{TxC}$	9	CLOCK DE TRANSMISSÃO (Transmitter Clock) — Este clock controla o baud rate para transmissão de caractere pelo pino TxD. O dado serial é transferido na borda de descida do sinal $\overline{TxC}$. No modo síncrono a freqüência de $\overline{TxC}$ é igual ao baud rate. No modo assíncrono a freqüência é especificada como 1, 16 ou 64 vezes o baud rate. Exemplo: Quando o baud rate for 110 bauds: $\overline{TxC}$ = 110Hz (1 vez) $\overline{TxC}$ = 1,76KHz (16 vezes) $\overline{TxC}$ = 7,04KHz (64 vezes)
RxD	3	RECEPTOR DE DADOS (Receiver Data) — Este pino recebe dados seriais provenientes de outros dispositivos que são convertidos para uma forma paralela e enviados ao microprocessador. A menos que seja detectado nível ''1'' após o master reset (este reset é feito para prevenir operações falsas, como ligação em aberto de RxD com a linha), os caracteres seriais não serão recebidos. Isto se aplica somente ao modo assíncrono. Quando RxD entrar em nível baixo, instantaneamente, devido a um ruído, etc., é acionado o detector de falhas. Isto é, o start bit é detectado na borda de descida mas, antes de dar por correto o start bit, a linha RxD recebe um pulso de strobe no meio do start bit para reconfirmar o estado em nível baixo. Se for detectado um nível alto, é reconhecido como um falso start.

PINO	NÚMERO	FUNÇÃO
RxRDY	14	RECEPTOR PRONTO (Receiver Ready) — Este sinal indica que os caracteres recebidos entraram no buffer receptor localizado no buffer de barramento de dados, mostrado na figura 2. É possível confirmar o status de RxRDY usando este sinal como um sinal de interrupção para o microprocessador ou permitindo a leitura pelo microprocessador do bit D1 de informação de status. RxRDY é automaticamente levado para nível baixo quando um caractere é lido pelo microprocessador. Até mesmo no break state no qual a linha RxD é mantido em nível baixo, RxRDY é mantido ativo. Pode-se mascará-lo fazendo RxE (D2) da instrução de comando igual a ''0''.
$\overline{RxC}$	25	CLOCK DE RECEPÇÃO (Receiver Clock) — Este sinal de clock controla o baud rate de transferência de caracteres pelo pino $\overline{RxD}$. O dado é deslocado na borda de subida do sinal $\overline{RxC}$. No modo síncrono, a freqüência de $\overline{RxC}$ é igual ao baud rate. No modo assíncrono, a freqüência é especificada como 1, 16 ou 64 vezes o baud rate. Este relacionamento é semelhante ao de $\overline{TxC}$ e, nos sistemas usuais de linha de comunicação, o baud rate da transmissão e recepção são iguais. Então, os pinos $\overline{TxC}$ e $\overline{RxC}$ são usualmente conectados ao mesmo gerador de baud rate.
SYNDET/ BD	16	DETECÇÃO DO CARACTERE DE SINCRONISMO (Sync Detect/Break Detect) — Este pino é utilizado no modo síncrono como SYNDET para operações de entrada e saída. Ele operará como saída quando ativado no modo síncrono interno. Como saída, irá para nível alto indicando que um caractere de sincronismo foi recebido através do pino RxD. Se o IC 8251A-5 tiver sido programado para dois caracteres de sincronismo (bi-sync), um nível alto aparecerá no pino no instante correspondente ao meio do último bit do segundo caractere de sincronismo. Este sinal é automaticamente levado para nível baixo após uma leitura de informação de status. Quando usado como entrada, aplicando-se um sinal alto neste pino, o IC 8251A-5 imediatamente começará a recepção dos caracteres de dados na próxima borda de subida de $\overline{RxC}$. No modo assíncrono este pino funciona como saída (BD). Quando os bits de start, dados, paridade e os stop bits estiverem todos em nível baixo, um nível alto é colocado no pino. O sinal BD (Break Detect) pode também ser lido como o bit D6 de informação de status. Este sinal é levado para nível baixo através de um reset geral ou retornando um nível alto na linha RxD.

Descrição Funcional

O IC 8251A-5 faz interface com o barramento do sistema como mostrado na figura 1, posicionando-se entre o microprocessador e o modem ou o equipamento terminal; oferece todas as funções requeridas para comunicação de dados.

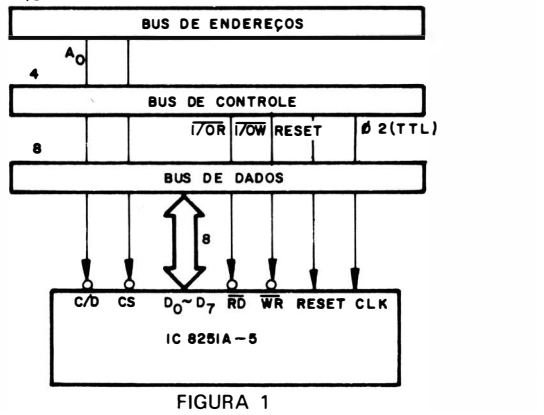


FIGURA 1

Antes de usar o IC 8251A-5 é necessário programá-lo; ou seja, fazer a inicialização, selecionando-se o modo síncrono ou assíncrono, baud rate, comprimento do caractere, verificação e seleção de paridade, ímpar ou par, de acordo com o sistema de comunicação usado. Quando a inicialização da USART for completada, a comunicação de dados será possível de ser realizada. O receptor está sempre habilitado; o transmissor é colocado no estado transmissor habilitado (TxEN) por uma instrução de comando e a aplicação de um nível baixo no pino $\overline{CTS}$. Esta condição deve ser satisfeita, caso contrário, a transmissão não será executada. Na recepção de dados, o receptor informa ao microprocessador que o mesmo poderá executar uma operação de leitura com o pino RxRDY indo para nível ''1''. Durante uma operação de recepção, a USART verifica erros e envia informação de status. Existem três tipos de erros: paridade, sobreposição e formação. Mesmo ocorrendo um erro, a USART continua executando suas operações, o erro é memorizado até que um reset de erro (ER) seja efetuado por uma instrução de comando. Os métodos de acesso do IC 8251A-5 estão descritos na tabela 2.

TABELA 2
Métodos de Acesso do IC 8251A-5

C/D	RD	WR	CS	FUNÇÃO
L	L	H	L	Bus de dados ← Dados da USART
L	H	L	L	USART ← Bus de dados
H	L	H	L	Bus de dados ← Status
H	H	L	L	Controle ← Bus de dados
X	H	H	L	Tristate ← Bus de dados
X	X	X	H	Tristate ← Bus de dados

Lógica de Controle de Leitura/Escrita
Esta lógica consiste num registrador de palavra de controle e um registrador de palavra de comando. Recebe sinais do bus de controle do microprocessador e gera sinais internos de controle para os elementos.

Circuito de Controle de Modem
Este é um circuito de sinais de controle de propósito geral destinado a simplificar a interface com o modem. Quatro tipos de sinais de controle estão disponíveis: os sinais de saída $\overline{DTR}$ e $\overline{RTS}$ são controlados por instruções de comando, o sinal de entrada $\overline{DSR}$ é enviado ao microprocessador como informação de status e o sinal de entrada $\overline{CTS}$ controla diretamente a transmissão.

Buffer do Bus de Dados
Este é um bus bidirecional de 8 bits, tristate, por onde circulam palavras de controle, palavras de comando, informação de status e os dados a serem transferidos.
Na figura 2 é mostrado a estrutura do buffer do bus de dados.

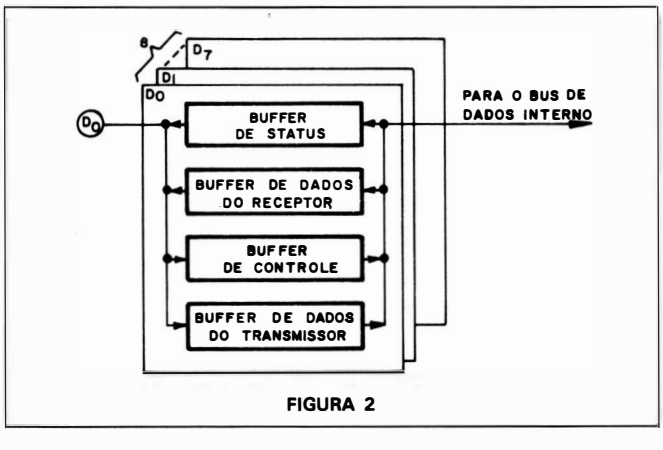


FIGURA 2

Buffer Transmissor
Este buffer converte os dados da forma paralela para a serial e os coloca no buffer do bus de dados juntamente com o start bit, os stop bits e o bit de paridade, enviando esses dados já convertidos através do pino TxD.

Circuito de Controle do Transmissor
Este circuito transmite todos os controles requeridos para a transmissão de dados seriais. Ele controla os dados a serem transmitidos e fornece os sinais requeridos por dispositivos externos de acordo com as instruções da lógica de controle de leitura/escrita.

Circuito de Controle do Receptor
Este circuito contém todos os controles requeridos para recepção normal de dados seriais.
Ele controla os dados a serem recebidos e fornece os sinais requeridos por dispositivos externos de acordo com as instruções da lógica de controle de leitura/escrita.

Buffer Receptor
Este buffer converte os dados da forma serial, recebidos pelo pino RxD, para a forma paralela, verifica os bits e caracteres de acordo com a forma de comunicação e o modo programado, transferindo os caracteres ''montados'' para o microprocessador através do buffer do bus de dados.

Programação da USART
É necessário que o IC 8251A-5 tenha sido carregado com palavras de controle pelo microprocessador antes de se iniciar a transferência de dados. Estas palavras devem ser carregadas logo após uma operação reset (pelo pino externo de reset ou uma instrução de comando IR). Existem dois tipos de palavras de controle: as instruções do modo de operação que definem as características de operações gerais requeridas para a comunicação e as instruções de comando para controlar as operações do IC 8251A-5. Logo após um reset, deve-se estabelecer primeiramente a instrução do modo de operação. Estas instruções definem o tipo de sistema, síncrono ou assíncrono, a ser usado.

No sistema síncrono, um caractere de sincronismo é enviado pelo microprocessador. No caso de sistemas bisync, entretanto, um segundo caractere de sincronismo deve ser enviado.

Após o envio de uma instrução de comando torna-se possível fazer transferência de dados. Esta operação, após um reset, ocasionará uma inicialização no IC 8251A-5. A instrução de comando da USART pode causar um reset interno através de IR (bit D6), que possibilita a USART retornar ao estado de reset. O fluxograma de inicialização é mostrado na figura 3, o formato da instrução de modo e instrução de comando são mostrados respectivamente nas figuras 4 e 5.

Modo de Transmissão Assíncrono
Quando os caracteres de dados são carregados no IC 8251A-5 após uma inicialização, a USART automaticamente acrescenta um start bit (baixo), um bit de paridade, par ou ímpar, especificado pela instrução de modo durante a inicialização e um número específico de stop bits (alto). Em seguida, os caracteres de dados ''montados'' são transferidos como dados seriais pelo pino TxD; a transferência é habilitada se TxEN = 1 e $\overline{CTS}$ = L.
Neste caso, a transferência de dados (baud rate) é mudada pela instrução de modo para uma taxa de 1, 1/16 ou 1/64 vezes o período de $\overline{TxC}$.
Se os caracteres de dados não forem carregados na USART, o pino TxD entra no estado de marca (alto).
Quando SBRK é programado por uma instrução de comando, os caracteres de parada (baixo) serão continuamente enviados pelo pino TxD.

Fluxograma de Inicialização

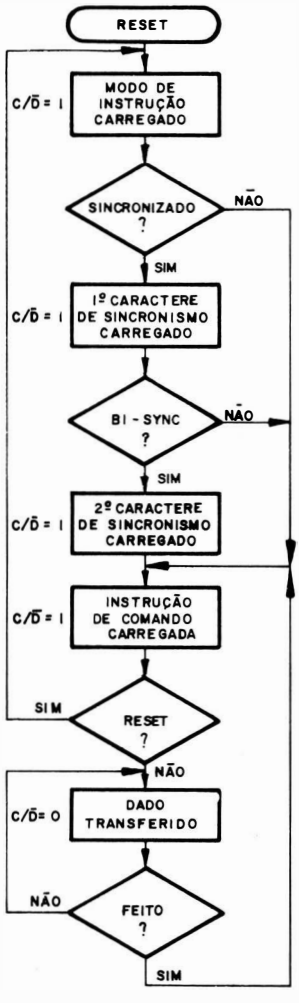


FIGURA 3

Formato da Instrução de Modo C/D = 1; WR = 0

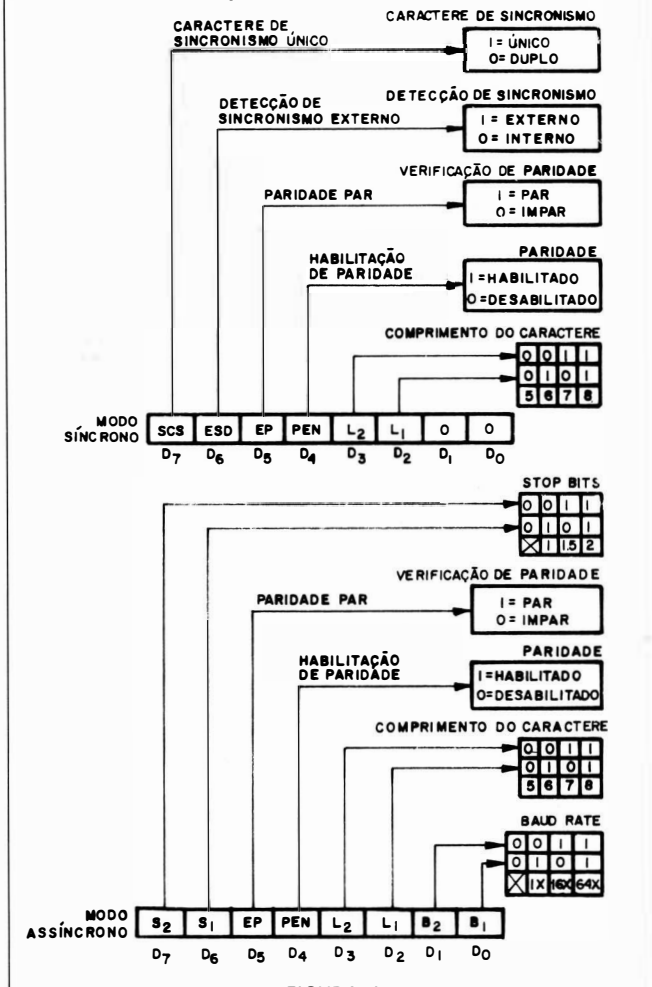


FIGURA 4

Formato da Instrução de Comando C/D = 1: WR = 0

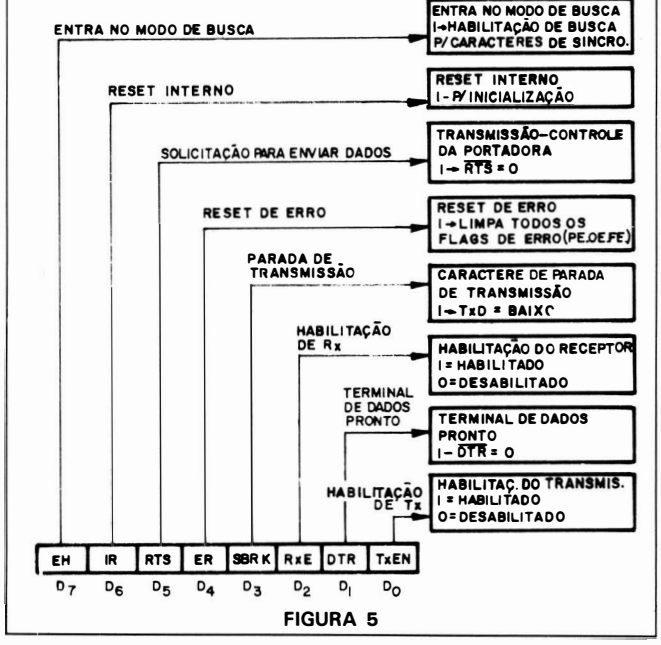


FIGURA 5

Modo de Recepção Assíncrono

A linha RxD usualmente começa a operar no estado marca (alto), gatilhado na borda de descida de um pulso baixo colocado na linha. Este sinal é novamente observado no meio do bit para confirmar que existe um start bit. A detecção de um segundo nível baixo indica a validade do start bit (o disparo é feito somente nos casos de 16 vezes e 64 vezes). Em seguida um contador de bit dentro da USART inicia a operação; cada bit de informação serial na linha RxD é capturado na borda de subida de $\overline{RxC}$, e então os bits de dado, bit de paridade (quando necessário) e stop bit são amostrados no meio de suas posições.

A ocorrência de um erro de paridade ativa uma sinalização de erro de paridade. Se o stop bit estiver em nível baixo, uma sinalização de erro é ativada. Deve-se atentar para o fato de que o receptor necessita somente de um stop bit mesmo quando o programa for designado para 1 1/2 ou 2 stop bits.

A recepção de um stop bit indica que um caractere completo foi recebido. Este caractere é então transferido para o buffer receptor de dados mostrado na figura 2, e RxRDY se torna ativo. Nos casos em que este caractere não estiver pronto para ser transmitido ao microprocessador e um próximo caractere for transferido para o buffer receptor de dados, o caractere anterior é destruído e uma sinalização de erro de sobreposição é ativada.
Estas sinalizações de erro podem ser lidas como informação de status do IC 8251A-5. A ocorrência de um erro não faz com que a USART pare de operar. As sinalizações de erro são retiradas (clear) por ER (bit D4) da instrução de comando. O formato de transferência no sistema assíncrono é mostrado nas figuras 6 e 7.

Formato I de Transmissão Assíncrona (Transmissão)

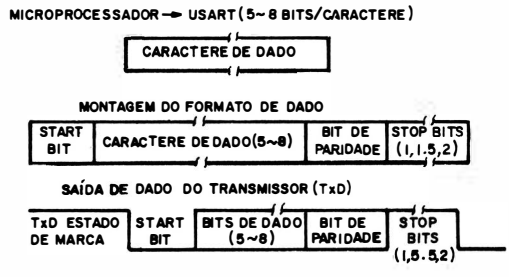


FIGURA 6

Formato II de Transmissão Assíncrona (Recepção)

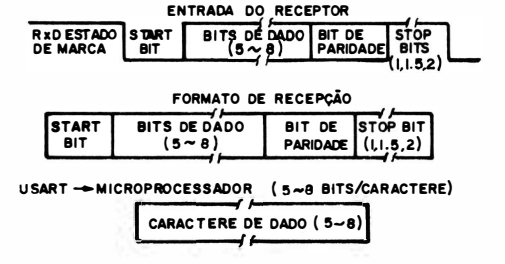


FIGURA 7

OBSERVAÇÃO:
Quando o comprimento do caractere for de 5, 6 ou 7 bits, os bits não utilizados (para USART → Microprocessador) são levados para nível zero.

Modo de Transmissão Síncrono
Neste modo o pino TxD permanece em nível alto até a inicialização ser completada pelo microprocessador. Após esta inicialização, o estado de $\overline{CTS}$ = L e TxEN = H habilita a transmissão serial de caracteres pelo pino TxD. Então, caracteres de dados são enviados na borda de descida do sinal $\overline{TxC}$. A velocidade de transmissão é igual à velocidade de $\overline{TxC}$. Deste modo inicia-se a transferência de um caractere de dados que deve continuar pelo pino TxD na mesma velocidade de $\overline{TxC}$. A menos que caracteres de dados provenientes do microprocessador cheguem antes do buffer transmissor se tornar vazio, um ou dois caracteres SYNC saem automaticamente do pino TxD. Neste caso, deve-se notar que o pino TxEMPTY entra em nível alto quando não houver caracteres de dados deixados na USART para serem transferidos; este pino só vai para nível baixo quando novos caracteres para transmitir forem enviados pelo microprocessador. Deve-se observar que a ativação da instrução de comando não causa inserção de caractere de sincronismo, porque esta inserção é habilitada após o envio do primeiro caractere de dado.
Neste modo, também, caracteres de parada são enviados sucessivamente pelo pino TxD quando SBRK é ativado por uma instrução de comando (D3 = 1).

Modo de Recepção Síncrono
O sincronismo é obtido neste modo internamente ou externamente de acordo com a inicialização feita. A programação no modo síncrono interno requer que uma instrução EH (Enter Hunt — D7 = 1, entra no modo de busca) seja inserida na primeira instrução de comando. O dado no pino RxD aparece na subida do sinal $\overline{RxC}$ e o conteúdo do buffer receptor é comparado com o caractere SYNC a cada momento de entrada de um bit. A comparação continua até que se alcance um ponto de concordância. Quando a USART for programada no modo bi-sync, os dados recebidos em uma nova seqüência são comparados. A detecção de dois caracteres SYNC sucessivos faz a USART sair do modo de busca, levando o pino SYNDET para o estado alto, sendo que uma leitura de status faz com que SYNDET volte para nível baixo. Quando se programar a paridade, SYNDET não é ativado no meio do último bit de dado, mas no meio do bit de paridade.
No modo síncrono externo, o IC 8251A-5 sai do modo de busca quando um sinal de sincronização alto for aplicado ao pino SYNDET. Este sinal requer uma duração mínima de um ciclo de $\overline{RxC}$. No modo assíncrono, entretanto, o sinal EH (Enter Hunt) não afeta a operação. Erros de paridade e sobreposição são verificados da mesma maneira como no modo assíncrono. Durante operações no modo de busca o bit de paridade não é verificado mas, a verificação de paridade está atuante até mesmo quando o receptor está desabilitado.
Se a sincronização for perdida, o microprocessador pode acionar o receptor para que entre no modo de busca. Isto também vai ativar todos os bits do buffer para nível "1", prevenindo assim, que um possível falso SYNDET seja reconhecido devido aos dados que estiverem no buffer Rx no momento em que se entra no modo de busca de sincronismo. Deve-se atentar para o fato de que SYNDET/BD é levado para nível baixo cada vez que uma informação de status é lida, independentemente do modo síncrono ser interno ou externo. Isto, entretanto, não faz a USART retornar ao modo de busca de sincronismo. A detecção de sincronismo existe até mesmo quando não estiver no modo busca. Apenas indicará que um SYNDET existiu desde a última leitura de status.
Os formatos de transferência de sincronismo são mostrados nas figuras 8 e 9.

Instrução de Comando
Esta instrução define a operação presente no modo de comunicação designado pelo "mode setting". A instrução de comando inclui habilitação do transmissor/receptor de reset de erro, reset interno, controle de modem,

Formato I de Transmissão Síncrona (Transmissão)

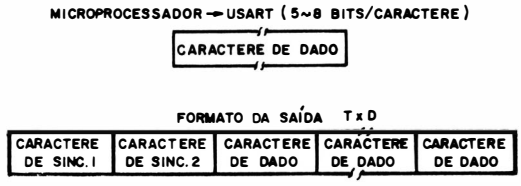


FIGURA 8

Formato II de Transmissão Síncrona (Recepção)

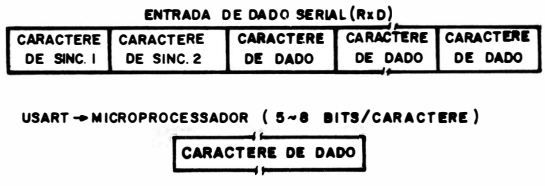


FIGURA 9

OBSERVAÇÃO:
Quando o comprimento do caractere for de 5, 6 ou 7 bits, os bits não utilizados (para USART → Microprocessador) são levados para nível zero.

entrada no modo de busca e instruções de parada de transmissão.
Este modo é programado após a operação de reset. Um caractere de sincronismo é enviado e o nível alto no pino Controle/Dado (C/$\overline{D}$) indica tratar-se de uma instrução de comando. Quando o modo é inicializado um reset na USART poderá ser dado usando o pino de entrada de reset ou pelo reset interno usando uma instrução de comando.

Observações:
1) As operações de comando de reset de erro (ER), reset interno (IR) e a entrada no modo de busca (EH) só são efetivas quando uma instrução de comando é carregada, assim sendo, estes bits não precisarão retornar para ''0''.

2) Quando um caractere ''break'' for enviado por um comando, TxD entra imediatamente em nível baixo independentemente da USART estar enviando ou não dados.

3) Operações com a seção do receptor da USART a qual está sempre no estado habilitado, não podem ser inibidas. A instrução de comando, RxE = 0, não significa que a recepção de dados pelo pino RxD esteja inibida; isto significa que RxRDY é mascarado e os sinalizadores (flags) de erros estão inibidos.

Informação de Status
O microprocessador sempre pode ler o status da USART colocando C/$\overline{D}$ em ''1'' e $\overline{RD}$ em ''0''.
O formato da informação de status é mostrado na figura 10.

Neste formato RxRDY, TxEMPTY e SYNDET têm a mesma definição dos outros pinos. Isto significa que estas três partes de informação de status vão para ''1'' quando cada pino estiver em nível alto. As outras informações de status são definidas como:
DSR — quando o pino $\overline{DSR}$ estiver em nível baixo, a informação de status DSR se torna ''1''.

FE — a ocorrência de um erro de formação na seção do receptor faz a informação de status FE igual a ''1''.

OE — a ocorrência de um erro de sobreposição na seção do receptor faz a informação de status OE igual a ''1''.

PE — a ocorrência de um erro de paridade na seção do receptor faz a informação de status PE igual a ''1''.

TxRDY — esta informação se torna ''1'' quando o buffer transmissor de dados estiver vazio. Atenção, porque isto tem um significado diferente do pino TxRDY que vai para nível alto somente quando o buffer transmissor estiver vazio, o pino $\overline{CTS}$ estiver em nível baixo e TxEN for ''1''.

Informação de Status (C/$\overline{D}$ = 1, $\overline{RD}$ = 0)

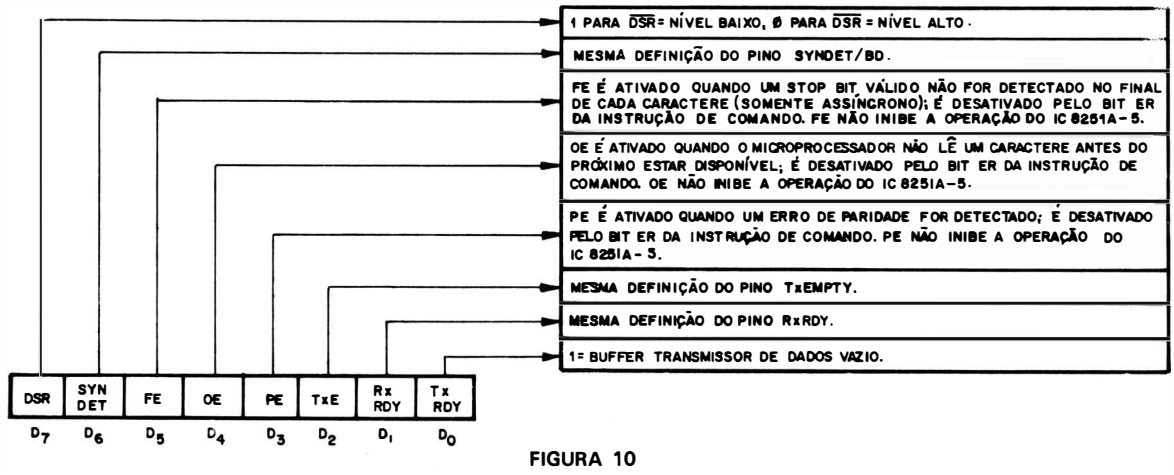


FIGURA 10

VALORES MÁXIMOS ABSOLUTOS

Tensão de alimentação	– 0,5V a 7V
Tensão de entrada	– 0,5V a 7V
Tensão de saída	– 0,5V a 7V
Potência dissipada	1000mW
Temperatura de armazenamento	– 65°C a 150°C
Temperatura de operação	– 20°C a 75°C

CONDIÇÕES DE OPERAÇÃO RECOMENDADAS[1]

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	NOM.	MÁX.	
V_{CC}	Tensão de alimentação	4,75	5,0	5,25	V
V_{SS}			0		
V_{IH}	Tensão de entrada — nível alto	2		V_{CC}	V
V_{IL}	Tensão de entrada — nível baixo	– 0,5		0,8	V

OBSERVAÇÃO:

1) – 20°C ⩽ Ta ⩽ 75°C, a menos que especificado o contrário.

CARACTERÍSTICAS AC[3]

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TÍP.	MÁX.		
$t_{PZV(R-DO)}$	Tempo de habilitação de saída de dado após leitura[1]			200	ns	Cl = 150 pF
$t_{PVZ(R-DO)}$	Tempo de desabilitação de saída de dado após leitura	10		100	ns	
$t_{PZV(TxC-TxD)}$	Tempo de habilitação de TxD após borda de descida de $\overline{TxC}$			1	μs	
$t_{PLH(CLB-TxR)}$	Tempo de propagação do centro do último bit para o clear de TxRDY[2]			8	$t_{C(\varnothing)}$	
$t_{PHL(W-TxR)}$	Tempo de propagação do dado escrito para TxRDY[1]			400	ns	
$t_{PLH(CLB-RxR)}$	Tempo de propagação do centro do último bit para RxRDY[2]			26	$t_{C(\varnothing)}$	
$t_{PHL(R-RxR)}$	Tempo de propagação do dado lido para o clear de RxRDY[2]			400	ns	
$t_{PLH(RxD-SYD)}$	Tempo de propagação da borda de subida em RxC para SYNDET interno[2]			26	$t_{C(\varnothing)}$	
$t_{PLH(CLB-TxE)}$	Tempo de propagação do centro do último bit para TxEMPTY[1]	20			$t_{C(\varnothing)}$	
$t_{PHL(W-C)}$	Tempo de propagação da borda de subida em $\overline{WR}$ para controle[1]	8			$t_{C(\varnothing)}$	

OBSERVAÇÕES:

1) Assume-se que o endereço é válido antes da borda de descida de $\overline{RD}$.
2) Atualização de status pode ter um atraso máximo de 28 períodos de clock do evento relativo ao status.
3) – 20°C ⩽ T_a ⩽ 75°C, V_{cc} = 5V, ± 5%, V_{ss} = 0V, a menos que especificado o contrário.
4) Nível do pulso de entrada — 0,45-2,4V
   Tempo de subida do pulso na entrada — 20 ns
   Tempo de subida do pulso na entrada — 20 ns
   Nível de referência — Entrada
   — Saída V_{1h} = 2V, V_{il} = 0,8V
   — Carga V_{oh} = 2V, V_{ol} = 0,8V

TEMPOS REQUERIDOS[5]

SÍMBOLO	PARÂMETRO		LIMITES MÍN.	LIMITES TÍP.	LIMITES MÁX.	UNIDADE	CONDIÇÕES DE TESTE
$t_{C(\varnothing)}$	Tempo do ciclo de clock [1][2]		320		1350	ns	
$t_{W(\varnothing 1)}$	Largura do pulso de clock — alto		120		$t_{C(\varnothing)}$-90	ns	
$t_{W(\varnothing 2)}$	Largura do pulso de clock — baixo		90			ns	
t_R	Tempo de subida do clock				20	ns	
t_F	Tempo de descida do clock				20	ns	
f_{TX}	Freqüência do clock na entrada do transmissor	1X o baud rate	DC		64	KHz	
		16X o baud rate	DC		310		
		64X o baud rate	DC		615		
$t_{W(TPWL)}$	Largura do pulso baixo do clock na entrada do transmissor	1X o baud rate	12			$t_{C(\varnothing)}$	
		16X, 64X o baud rate	1				
$t_{W(TPWH)}$	Largura do pulso alto do clock na entrada do transmissor	1X o baud rate	15			$t_{C(\varnothing)}$	
		16X, 64X o baud rate	3				
f_{RX}	Freqüência do clock na entrada do receptor	1X o baud rate	DC		64	KHz	
		16X o baud rate	DC		310		
		64X o baud rate	DC		615		
$t_{W(RPWL)}$	Largura do pulso baixo do clock na entrada do receptor	1X o baud rate	12			$t_{C(\varnothing 1)}$	
		16X, 64X o baud rate	1				
$T_{W(RPWH)}$	Largura do pulso alto do clock na entrada do receptor	1X o baud rate	15			$t_{C(\varnothing 1)}$	
		16X, 64X o baud rate	3				
$t_{SU(A-R)}$	Tempo de setup de endereço antes de leitura ($\overline{CS}$, C/$\overline{D}$)[3]		0			ns	
$t_{H(R-A)}$	Tempo de hold de endereço após leitura ($\overline{CS}$, C/$\overline{D}$)[3]		0			ns	
$t_{W(R)}$	Largura do pulso de leitura		250			ns	
$t_{SU(A-W)}$	Tempo de setup de endereço antes de escrita		0			ns	
$t_{H(W-A)}$	Tempo de hold de endereço após escrita		0			ns	
$t_{W(W)}$	Largura do pulso de escrita		250			ns	
$t_{SU(DO-W)}$	Tempo de setup de dado antes de escrita		150			ns	
$t_{H(W-DO)}$	Tempo de hold de dado após escrita		20			ns	
$t_{SU(ESO-RxC)}$	Tempo de setup de SYNDET antes de RxC		18			$t_{C(\varnothing)}$	
$t_{SU(C-R)}$	Tempo de setup de controle antes de leitura		20			$t_{C(\varnothing)}$	
t_{RV}	Tempo de recuperação de escrita entre escritas[4]		6			$t_{C(\varnothing)}$	
$t_{SU(RxD-tS)}$	Tempo de setup de RxD antes de pulso interno amostrado		2			μs	
$t_{H(tS-RxD)}$	Tempo de hold de RxD após pulso interno amostrado		2			μs	

OBSERVAÇÕES:

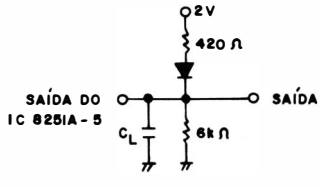
1) As freqüências de $\overline{TxC}$ e $\overline{RxC}$ têm as seguintes limitações com respeito ao CLK.
   Para 1X o baud rate f_{Tx}, $f_{Rx} \leqslant 1/30\ t_{C(\varnothing)}$). Para 16X, 64X o baud rate f_{Tx}, $f_{Rx} \leqslant 1/(4{,}5\ t_{C(\varnothing)})$.
2) Largura do pulso de reset é igual a 6 $t_{C(\varnothing)}$ no mínimo. O clock do sistema tem que estar ''correndo'' durante o reset.
3) $\overline{CS}$, C/$\overline{D}$ são considerados como endereços.
4) Este tempo de recuperação é só para o modo de inicialização. A escrita de dados é permitida somente quando TxRDY = 1. Tempo de recuperação entre escritas para modo assíncrono é de 8 $t_{C(\varnothing)}$ e de 16 $t_{C(\varnothing)}$ para o modo síncrono.
5) $-20°C \leqslant T_a \leqslant 75°C$, $V_{cc} = 5V \pm 5\%$, $V_{ss} = 0V$, a menos que especificado o contrário.

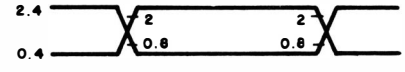
CARACTERÍSTICAS DC[1]

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TÍP.	MÁX.		
V_{oh}	Tensão de saída — nível alto	2,4			V	$I_{oh} = -400\ \mu A$
V_{ol}	Tensão de saída — nível baixo			0,45	V	$I_{ol} = 2,2$ mA
I_{cc}	Corrente de alimentação em V_{cc}			100	mA	Todas as saídas em nível alto
I_{ih}	Corrente de entrada — nível alto	−10		10	μA	$V_i = V_{cc}$
I_{il}	Corrente de entrada — nível baixo	−10		10	μA	$V_i = 0,45V$
I_{oz}	Corrente de saída — alta impedância	−10		10	μA	$V_{ss} = 0V$, $V_i = 0,45V \sim 5,25V$
C_i	Capacitância de entrada			10	pF	$V_{cc} = V_{ss}$, f = 1MHz
$C_{i/o}$	Capacitância do terminal			20	pF	25Vrms, $T_a = 25°C$

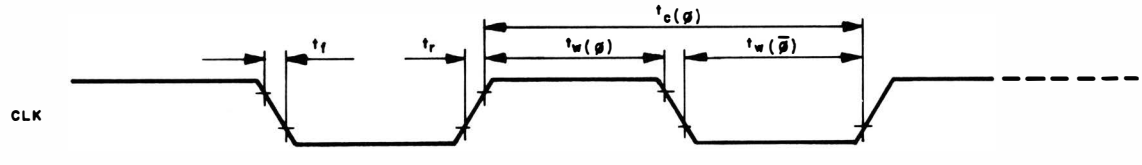
OBSERVAÇÃO:
1) $-20°C \leqslant Ta \leqslant 75°C$, $V_{cc} = 5V \pm 5\%$, $V_{ss} = 0V$, a menos que especificado o contrário.

CIRCUITO DE TESTE

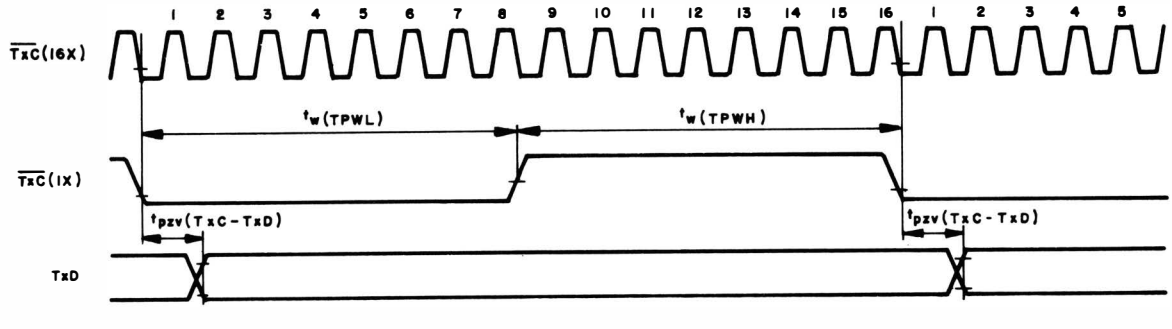




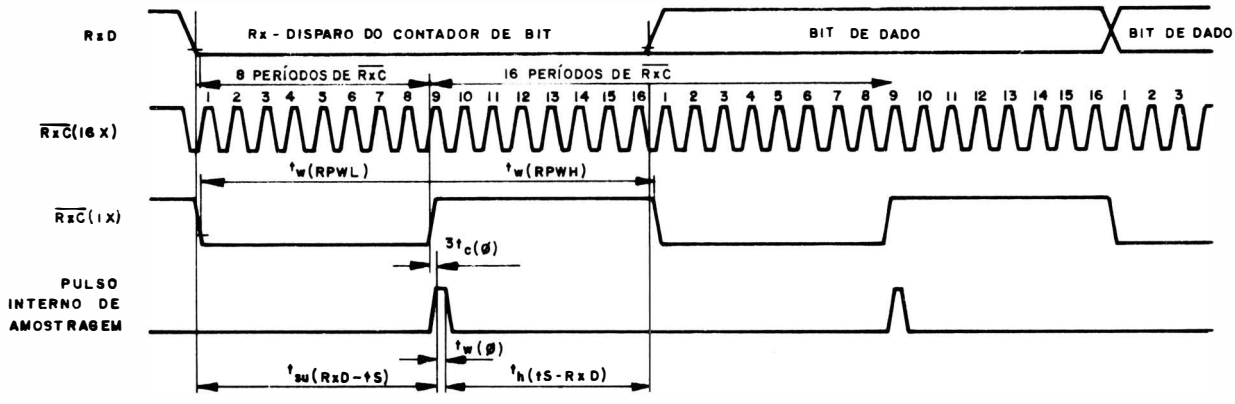
TEMPOS: CLOCK DO SISTEMA



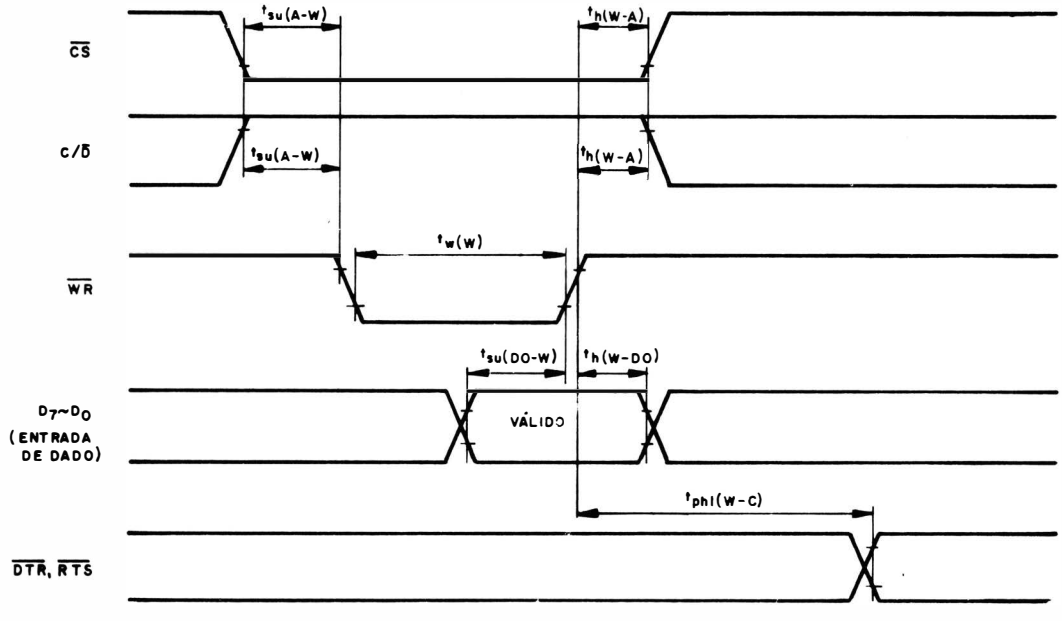
TEMPOS: CLOCK DE TRANSMISSÃO DE DADOS



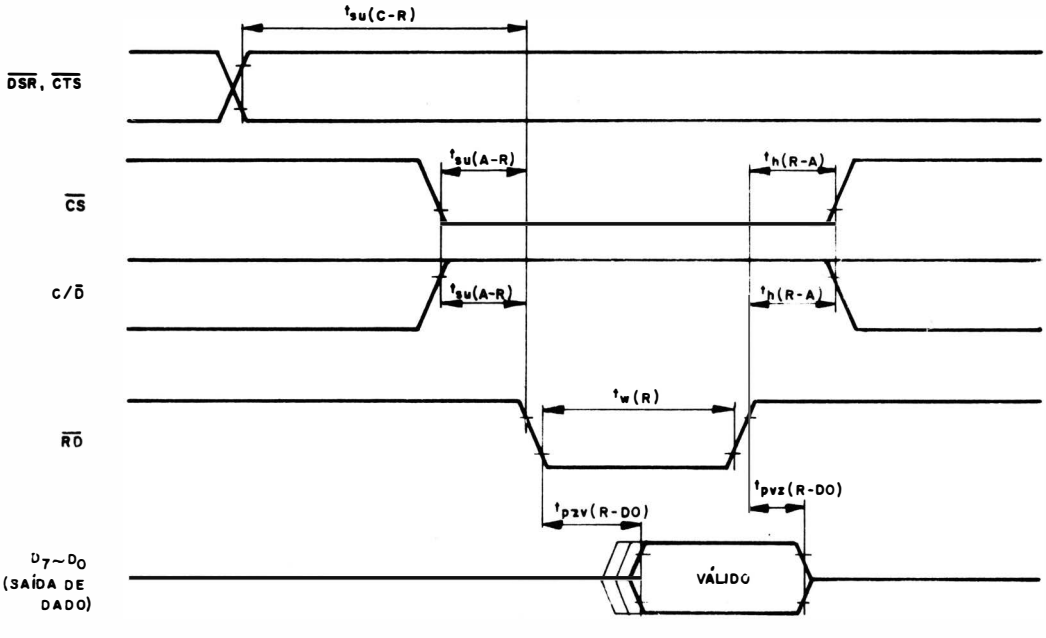
TEMPOS: CLOCK DE RECEPÇÃO DE DADOS



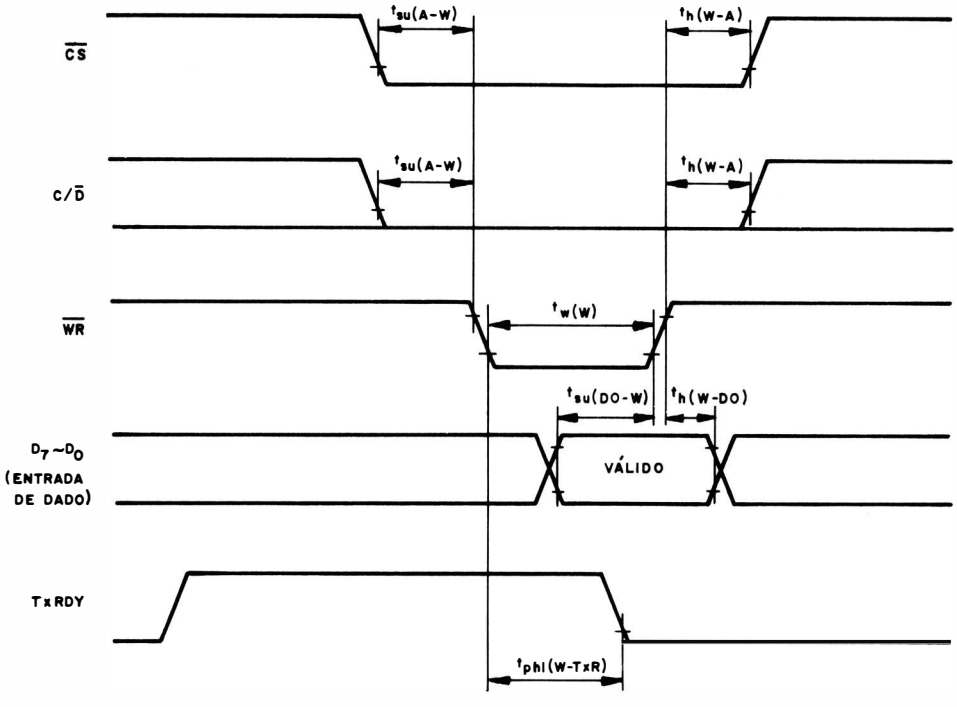
TEMPOS: CICLO DE ESCRITA DE CONTROLE (MICROPROCESSADOR → USART)



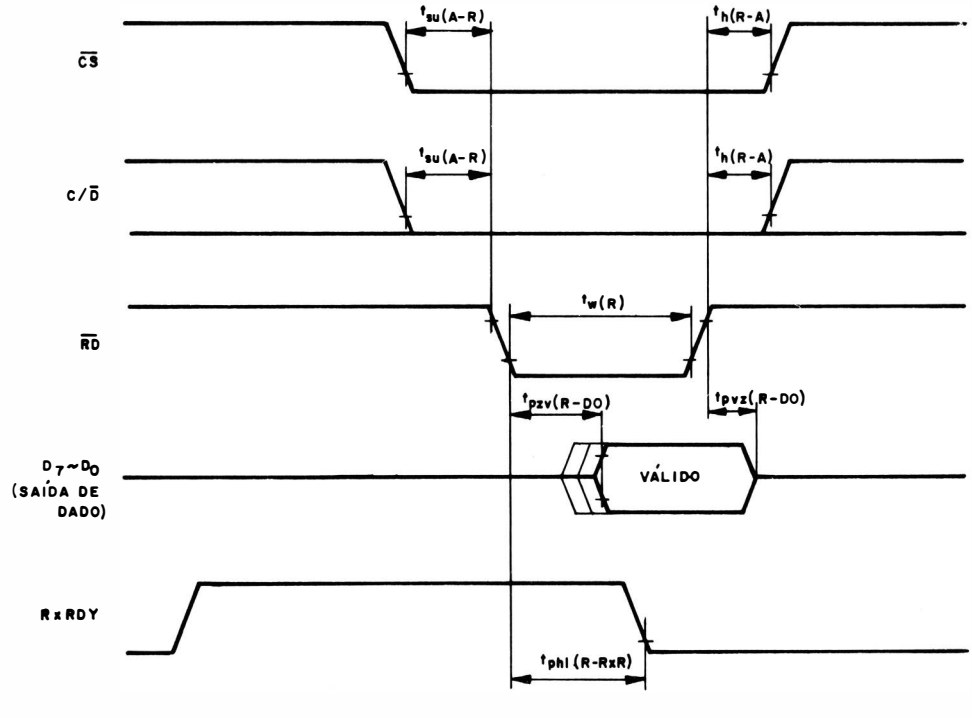
TEMPOS: CICLO DE LEITURA DE CONTROLE (USART → MICROPROCESSADOR)



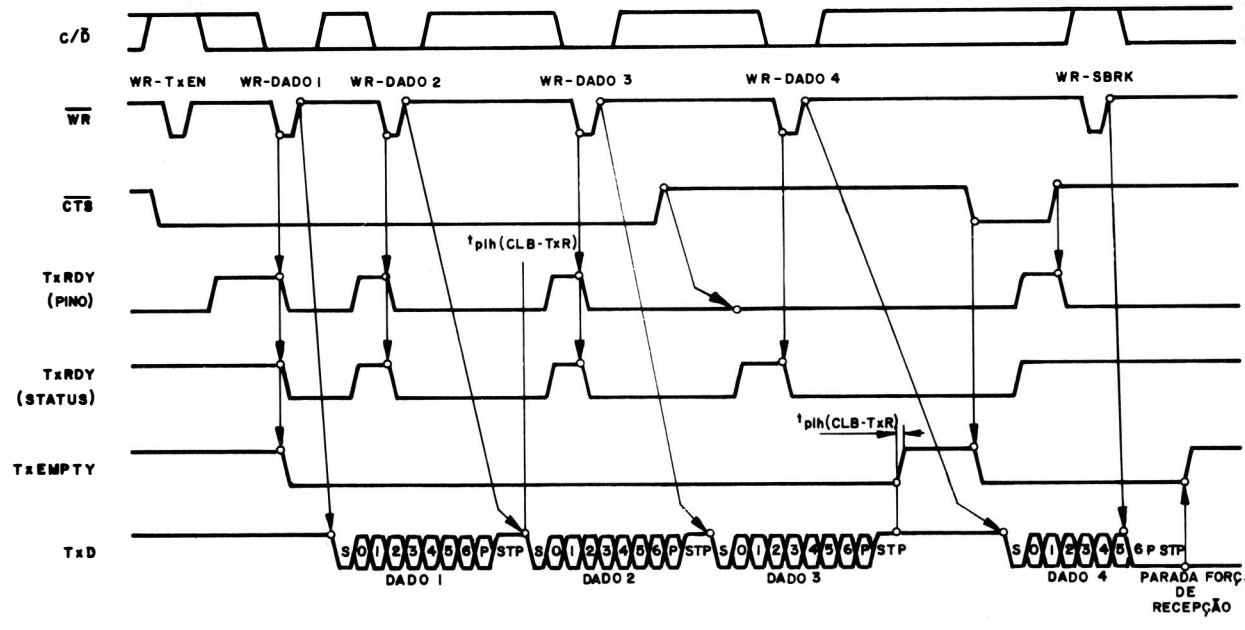
TEMPOS: CICLO DE ESCRITA DE DADO (MICROPROCESSADOR → USART)



TEMPOS: CICLO DE LEITURA DE DADO (USART → MICROPROCESSADOR)

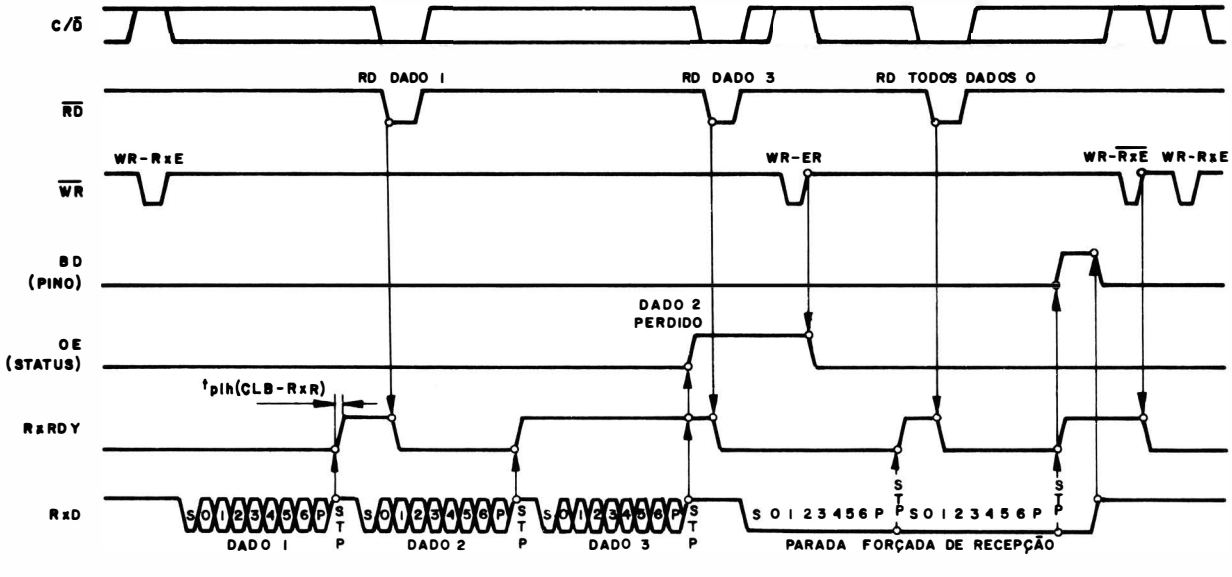


TEMPOS: CONTROLE DE TRANSMISSÃO E FLAG (MODO ASSÍNCRONO)



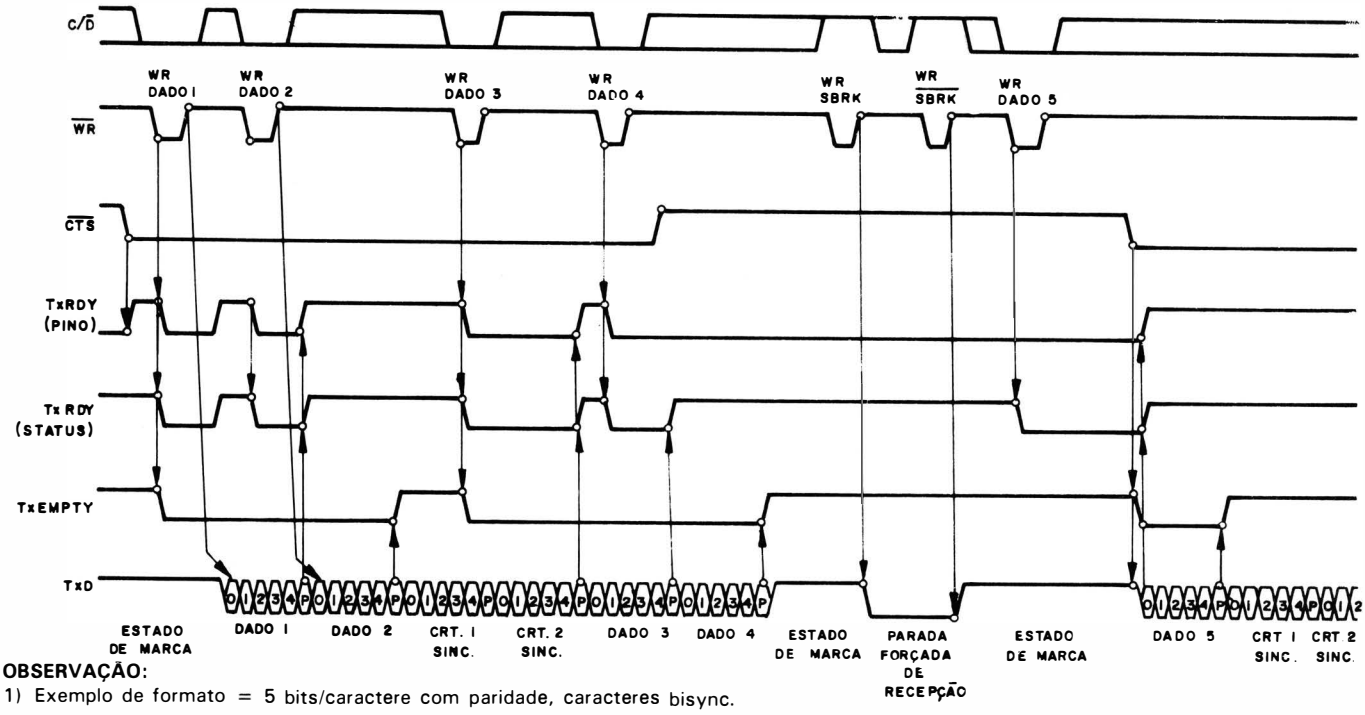
OBSERVAÇÕES:
1) Exemplo de formato = 7 bits/caractere com paridade e 2 stop bits.
2) TxRDY (pino) = 1 ← (buffer transmissor de dados vazio). (TxEN = 1). (CTS = 0) = 1.
3) TxRDY (status) = 1 ← (buffer transmissor de dados vazio) = 1.

TEMPOS: CONTROLE DE RECEPÇÃO E FLAG (MODO ASSÍNCRONO)



OBSERVAÇÃO:
1) Exemplo de formato = 7 bits/caractere com paridade.

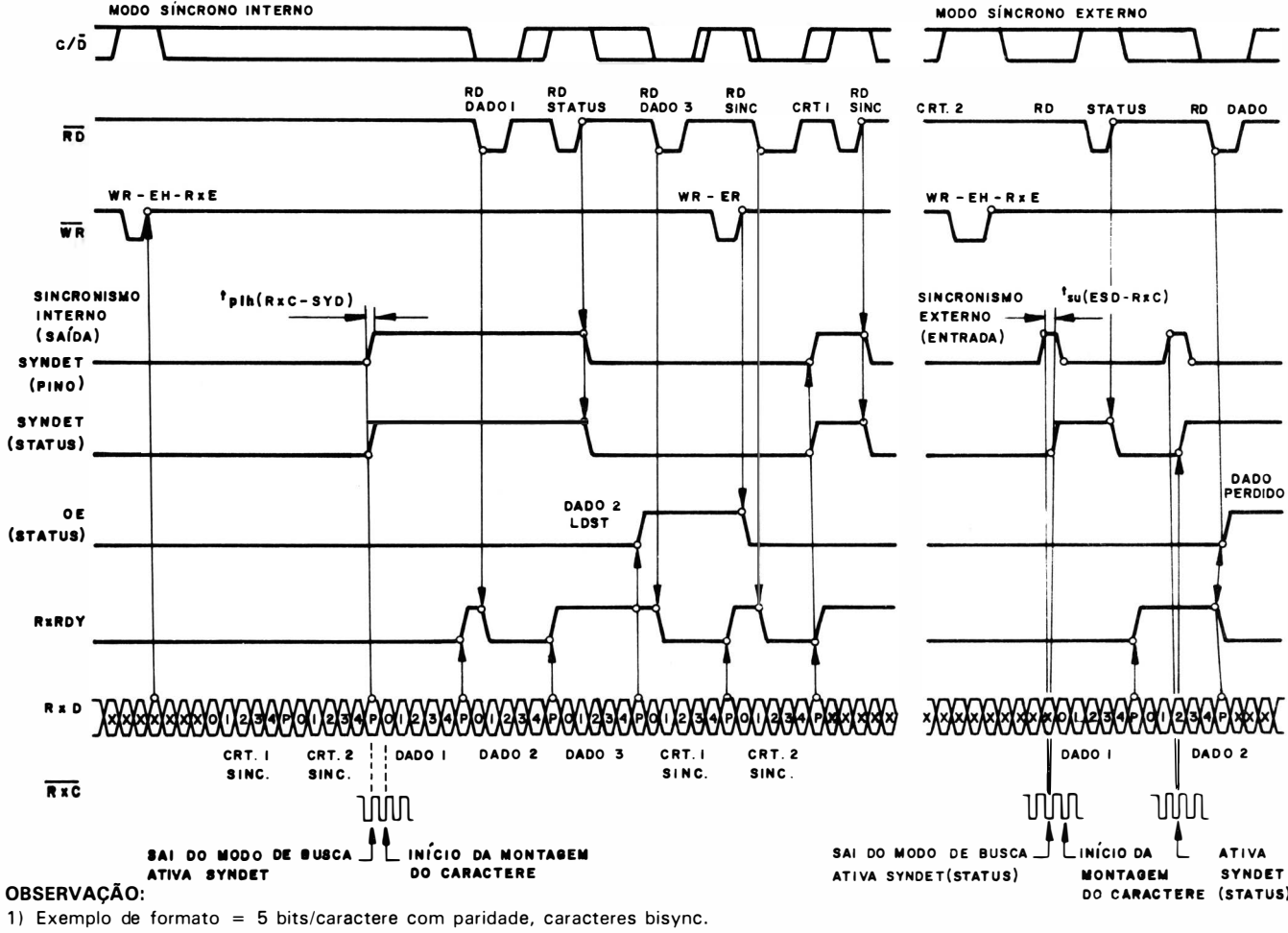
TEMPOS: CONTROLE DE TRANSMISSÃO E FLAG (MODO SÍNCRONO)



OBSERVAÇÃO:

1) Exemplo de formato = 5 bits/caractere com paridade, caracteres bisync.

TEMPOS: CONTROLE DE RECEPÇÃO E FLAG (MODO SÍNCRONO)



OBSERVAÇÃO:

1) Exemplo de formato = 5 bits/caractere com paridade, caracteres bisync.

IC 8253-2

TEMPORIZADOR PROGRAMÁVEL PARA MICROPROCESSADOR

PRELIMINAR

PINAGEM

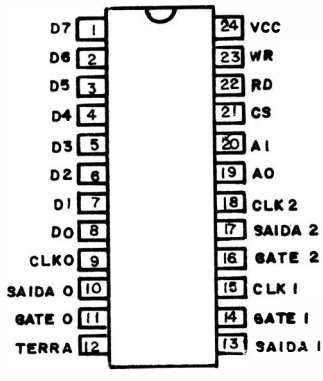
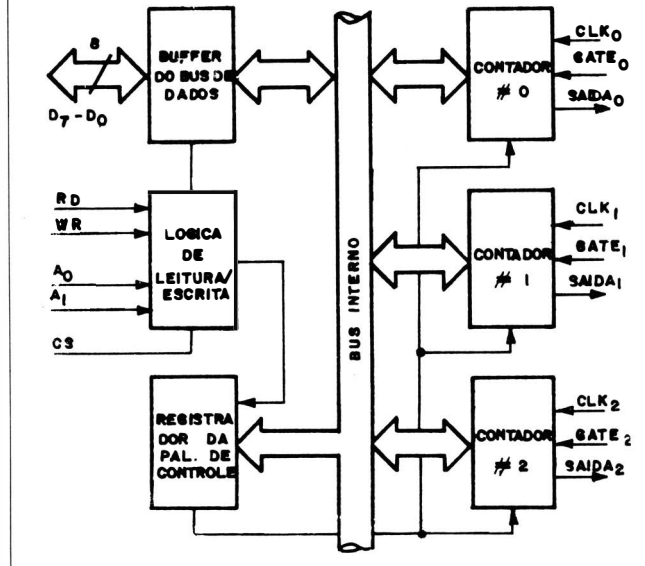


DIAGRAMA DE BLOCOS



Características

- ☐ Alimentação única 5V;
- ☐ Três contadores independentes de 16 bits;
- ☐ Freqüência: DC a 5 MHz;
- ☐ Contagem em binário e BCD;
- ☐ Modos de operação dos contadores programáveis por software;
- ☐ Os contadores são vistos pelo sistema como portas de E/S.

Descrição Geral

O IC 8253-2 é um circuito contador/temporizador programável para ser usado com os microprocessadores 8080A/8085A.

Cada dispositivo é organizado com três contadores independentes de 16 bits, todos eles com uma freqüência de contagem de até 5 MHz. Todos os modos de operação são programáveis por software.

Descrição da Pinagem

PINO	NÚMERO	FUNÇÃO
D7-DO	1-8	Bus de dados
CLK N	9,15,18	Entradas de clock
GATE N	11,14,16	Entradas dos gates
SAÍDA N	10,13,17	Saídas
$\overline{RD}$	22	Leitura
$\overline{WR}$	23	Escrita
$\overline{CS}$	21	Seleção de dispositivo
AO-A1	19,20	Seleção de contador e registrador de palavra de controle
V_{cc}	24	Alimentação + 5V
TERRA	12	Terra

IC 8253-5

PINAGEM

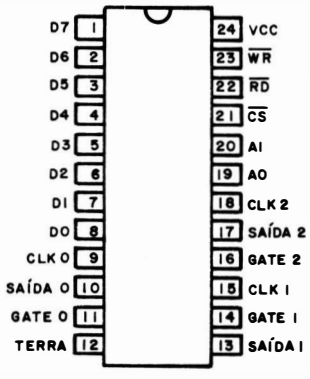
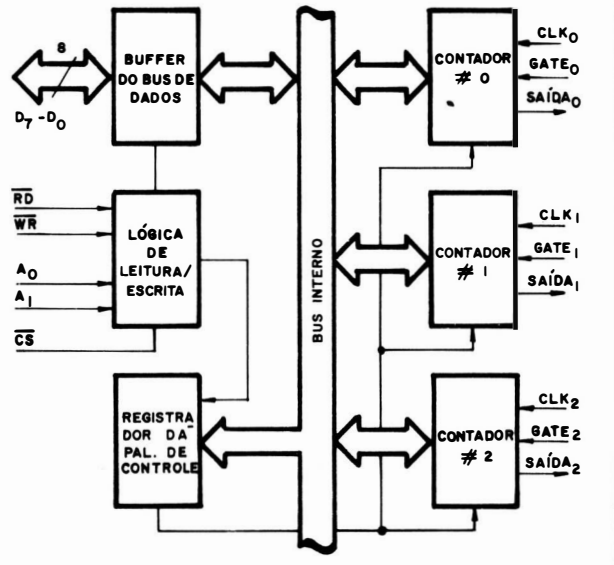


DIAGRAMA DE BLOCOS



Características

- ☐ Alimentação única 5V;
- ☐ Três contadores independentes de 16 bits;
- ☐ Freqüência: DC a 2,6 MHz;
- ☐ Contagem em binário e BCD;
- ☐ Modos de operação dos contadores programáveis por software;
- ☐ Os contadores são vistos pelo sistema como portas de E/S.

Descrição Geral

O IC 8253-5 é um circuito contador/temporizador programável para ser usado com os microprocessadores 8080A/8085A.
Cada dispositivo é organizado com três contadores independentes de 16 bits, todos eles com uma freqüência de contagem de até 2,6 MHz. Todos os modos de operação são programáveis por software.

Descrição Funcional

O IC 8253-5 é um temporizador programável específico para uso em sistemas com microprocessadores 8080A/8085A. Funciona como um multi-timer de propósito geral e que é tratado pelo sistema como um conjunto de portas de E/S. Este circuito resolve um dos problemas mais comuns nos sistemas a microcomputadores: a geração de bases de tempo precisas controlados por software. Ao invés de montar loops no software, o programador configura o IC 8253-5 de acordo com sua necessidade e inicializa seus contadores com a quantidade desejada. Assim sendo, o IC 8253-5 contará, gerando um atraso e, ao final desta operação enviará um sinal para a interrupção do microprocessador. É fácil ver que o software é simplificado e que os múltiplos atrasos

Descrição da Pinagem

PINO	NÚMERO	FUNÇÃO
D7-D0	1-8	Bus de dados
CLK N	9,15,18	Entradas de clock
GATE N	11,14,16	Entradas dos gates
SAÍDA N	10,13,17	Saídas
$\overline{RD}$	22	Leitura
$\overline{WR}$	23	Escrita
$\overline{CS}$	21	Seleção de dispositivo
A0-A1	19,20	Seleção de contador e registrador de palavra de controle
V_{CC}	24	Alimentação +5V
TERRA	12	Terra

gerados poderão ser facilmente gerenciados, trabalhando-se com níveis de prioridade nas interrupções. Pode-se implementar facilmente outras funções com o IC 8253-5, que não a de gerar tempos de atraso, como: gerador de clock programável, contador de eventos, clock de tempo real, monoestável.

Buffer do Bus de Dados

É um buffer tristate, bidirecional, de 8 bits, usado como interface entre o IC 8253-5 e o bus de dados do sistema. O dado é transmitido ou recebido pelo buffer através de instruções, de "Entrada" ou "Saída", do microprocessador. O buffer do bus de dados possui três funções básicas: programação dos modos do IC 8253-5, carregar os registradores dos contadores e leitura dos valores dos contadores.

Lógica de Leitura/Escrita

A lógica de leitura/escrita recebe sinais do bus do sistema e por sua vez gera sinais de controle para a operação interna do dispositivo. Esta lógica é habilitada ou desabilitada por CS (Chip Select), assim sendo, operações de leitura ou escrita não poderão ocorrer a menos que o dispositivo tenha sido selecionado pela lógica do sistema.

Entrada $\overline{RD}$

Um nível baixo nesta entrada informa ao IC 8253-5 que o microprocessador está lendo o conteúdo do contador.

Entrada $\overline{WR}$

Um nível baixo nesta entrada informa ao IC 8253-5 que o microprocessador está carregando os contadores ou o registrador de modo de operação (ou o registrador de palavra de controle).

Entradas A0, A1

Estas entradas normalmente são conectadas ao bus de endereços. Suas funções são: selecionar um dos três contadores e endereçar o registrador da palavra de controle.

Entrada $\overline{CS}$

Um nível baixo nesta entrada habilita o IC 8253-5. Não haverá operação de leitura ou escrita a menos que o dispositivo seja selecionado. A entrada $\overline{CS}$ não afeta a operação de contagem.

Registrador da Palavra de Controle

O registrador da palavra de controle é selecionado quando A0, A1 são "1" "1". Nesta condição ele recebe informação através do buffer do bus de dados sendo armazenado num registrador. A informação armazenada neste registrador controla o modo operacional de cada contador, se a seleção de contagem será em binário ou em BCD e o modo como se carregará cada contador. Somente a operação de escrita pode ser feita no registrador da palavra de controle; não é possível ler diretamente seu conteúdo.

Contador #0, Contador #1, Contador #2

Estes três blocos funcionais têm operação idêntica, assim sendo, somente um contador será descrito. Cada um destes consiste num contador simples de 16 bits, pressetável, contagem decrescente. Os contadores são totalmente independentes, podem operar em binário ou BCD e suas entradas, gates e saídas são configuradas pela seleção de modos, armazenado no registrador da palavra de controle.

Existem também características especiais na palavra de controle que direcionam o valor carregado no contador, assim o software poderá ser beneficiado por estas funções. O conteúdo de cada contador está disponível para o programador, através de simples operação de leitura, para aplicações em contagem de eventos. Comandos especiais e partes lógicas, que estão inclusos no IC 8253-5, possibilitam a leitura do conteúdo de cada contador dinamicamente sem ter que se inibir a contagem.

$\overline{CS}$	$\overline{RD}$	$\overline{WR}$	A1	A0	
0	1	0	0	0	Carrega contador 0
0	1	0	0	1	Carrega contador 1
0	1	0	1	0	Carrega contador 2
0	1	0	1	1	Palavra modo escrita
0	0	1	0	0	Leitura contador 0
0	0	1	0	1	Leitura contador 1
0	0	1	1	0	Leitura contador 2
0	0	1	1	1	Não opera tristate
1	X	X	X	X	Desabilitado tristate
0	1	1	X	X	Não opera tristate

Interface do Sistema com IC 8253-5

O IC 8253-5 é considerado pelo software do sistema como um conjunto de portas de E/S, três são contadores e o quarto é um registrador de controle para programação do modo.

Basicamente, as entradas A0, A1 estão conectadas com os sinais do bus de endereços A0, A1 do microprocessador. $\overline{CS}$ pode derivar diretamente do bus de endereços usando-se o método de seleção linear, ou pode ser conectado à saída de um decodificador.

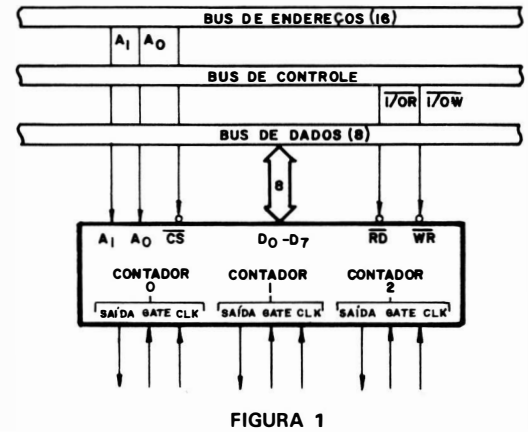


FIGURA 1

Procedimento de Leitura/Escrita no IC 8253-5

Operações de escrita

O software do sistema deve programar cada contador do IC 8253-5 com o modo e a contagem inicial desejada. O programador deve enviar para o IC 8253-5 uma palavra de controle de modo e o número programado de bytes para o registrador contador (1 ou 2 bytes) antes de usar o contador selecionado.

A ordem de programação é bastante flexível.

A palavra de controle de modo pode programar os contadores em qualquer seqüência, por exemplo, o contador #0 não tem necessariamente que ser o primeiro a ser programado ou o contador #2 o último. Cada registrador de palavra de controle de modo de um determinado contador tem um endereço separado, assim, sua programação tem uma seqüência totalmente independente (SCØ, SC1).

Entretanto, a carga do registrador contador com seu valor real tem que ser feita na seqüência programada na palavra de controle de modo (RL0, RL1). O processo de carga do registrador contador pode ser feito em qualquer ordem, como o conteúdo da palavra de controle de modo, mas, quando o registrador contador for selecionado, ele tem que ser carregado com o número de bytes programados na palavra de controle de modo (RL0, RL1). Os bytes carregados, um ou dois, no registrador contador não tem que se seguir associado à palavra de controle de modo, eles podem ser programados a qualquer momento após a carga da palavra de modo, e são válidos depois que o correto número de bytes for enviado.

Todos são contadores decrescentes. Então, o valor carregado no registrador contador será atualizado decrementando-se este valor. Carregando-se com zero todos os registradores contadores, resultará numa contagem máxima (2 em binário ou 10 em BCD).

No ''modo 0'' uma nova contagem não começará até que um novo valor inicial para o contador esteja carregado. O registrador contador aceitará um ou dois bytes dependendo de como as palavras de controle de modo (RL0, RL1) foram programadas.

Formato da Programação

Palavra de Controle de Modo - Contador N

LSB	Byte do registrador contador - Contador N
MSB	Byte do registrador contador - Contador N

OBSERVAÇÃO:
O formato mostrado é um simples exemplo de como carregar o IC 8253-5 e não implica que este seja o único formato que pode ser usado.

FORMATO DE PROGRAMAÇÃO ALTERNADO

			A1	A2
Nº 1		Palavra de controle de modo-Contador 0	1	1
Nº 2		Palavra de controle de modo-Contador 1	1	1
Nº 3		Palavra de controle de modo-Contador 2	1	1
Nº 4	LSB	Byte do registrador contador-Contador 1	0	1
Nº 5	MSB	Byte do registrador contador-Contador 1	0	1
Nº 6	LSB	Byte do registrador contador-Contador 2	1	0
Nº 7	MSB	Byte do registrador contador-Contador 2	1	0
Nº 8	LSB	Byte do registrador contador-Contador 0	0	0
Nº 9	LSB	Byte do registrador contador-Contador 0	0	0

OBSERVAÇÃO:
Os endereços exclusivos de cada registrador contador dos contadores tornam a programação do IC 8253-5 uma tarefa muito simples e o máximo uso efetivo do dispositivo resultará se estas características forem totalmente utilizadas.

Operações de Leitura

Na maioria dos casos em que se aplica contadores torna-se necessário fazer a leitura do valor dos contadores que estão contando e uma decisão computacional baseada nesta quantidade. Os contadores de evento são provavelmente os que usam estas funções mais comumente em suas aplicações.

O IC 8253-5 contém uma lógica que possibilita ao programador uma fácil leitura do conteúdo de qualquer dos três contadores, sem interferir na contagem do contador em funcionamento.

Existem dois métodos para que os programadores possam ler o valor dos contadores.

O primeiro envolve simples operações de leitura de E/S do contador selecionado.

Com o controle das entradas A0, A1 do IC 8253-5, o programador pode selecionar o contador a ser lido (lembrar que a operação de leitura do registrador de modo não é permitida quando A0, A1 = 11). O único requisito neste método é assegurar a estabilidade na leitura do contador em operação através do controle da entrada do gate ou inibindo a entrada de clock pela lógica externa. O conteúdo do contador estará disponível como segue: a primeira leitura de E/S contém o byte menos significativo (LSB). A segunda leitura de E/S contém o byte mais significativo (MSB).

Devido à lógica interna do IC 8253-5 é necessário que o procedimento da operação de leitura seja completo. Se dois bytes forem programados para serem lidos, a leitura deve ser feita antes que um novo conteúdo seja enviado para o mesmo contador, pelo comando WR.

Tabela da Operação de Leitura

A1	A0	RD	
0	0	0	Leitura do contador 0
0	1	0	Leitura do contador 1
1	0	0	Leitura do contador 2
1	1	0	Não válido

Leitura durante Contagem (on the fly)
Para que o programador possa ler o conteúdo de qualquer contador, sem afetar ou interferir na operação de contagem, o IC 8253-5 possui uma lógica interna especial que pode ser acessada usando-se simples comandos WR para o registrador de modo.
Basicamente, quando o programador deseja ler o conteúdo do contador selecionado ''on the fly'', ele carrega o registrador de modo com um código especial que transferirá o valor do contador para um registrador de armazenamento, assim sendo, este conteúdo terá precisão e estabilidade. Então, o programador envia um comando normal de leitura para o contador selecionado e o conteúdo registrado estará disponível.

Modo Registrador Latch para o Contador A0, A1 = 11

D7	D6	D5	D4	D3	D2	D1	D0
SC1	SC0	0	0	X	X	X	X

SC1, SC0 - especifica o contador a ser lido.
D5, D4 - ''0''''0'' desígna uma operação de registro de contagem.
X - irrelevante.

Este método de leitura de contador possui a mesma limitação do método anterior. Isto é, a operação de leitura deve ser realizada por completo, como programado. Este comando não tem efeito na palavra de modo do contador.

Interface de Clock
Se a saída de clock de um 8085 estiver excitando a entrada de clock do IC 8253-5, ele deve ser reduzido para 2MHz ou menos.

Programação

Geral
A definição funcional completa do IC 8253-5 é feita pelo software do sistema.
Um conjunto de palavras de controle deve ser enviado pelo microprocessador para inicializar cada contador do IC 8253-5 com o modo desejado e a informação de valor inicial do contador. Estas palavras de controle programam o modo, sequenciam a carga e selecionam se a contagem será feita em binário ou BCD.
Uma vez programado, o IC 8253-5 está pronto para operar.
A operação de contagem de cada contador é completamente independente e uma lógica adicional está incluída no chip, assim sendo, problemas usuais associados com monitoração e controle de eventos assíncronos ao sistema são eliminados.

Programação do IC 8253-5
Todos os modos, para cada contador, são programados pelo software do sistema através de simples operações de E/S.
Cada contador do IC 8253-5 é programado individualmente escrevendo-se uma palavra de controle no registrador da palavra de controle (A0, A1 = 11).

Formato da Palavra de Controle

D7	D6	D5	D4	D3	D2	D1	D0
SC1	SC0	RL1	RL0	M2	M1	M0	BCD

Definição de Controle

SC - Seleção de Contador

SC1	SC0	
0	0	Seleciona contador 0
0	1	Seleciona contador 1
1	0	Seleciona contador 2
1	1	Não válido

RL - LEITURA/CARGA

RL1	RL0	
0	0	Operação carregar conteúdo do contador no latch
1	0	Leitura/Carga somente do byte mais significativo
0	1	Leitura/Carga somente do byte menos significativo
1	1	Leitura/Carga primeiramente do byte menos significativo, seguido do byte mais significativo

M - Modo

M2	M1	M0	
0	0	0	Modo 0
0	0	1	Modo 1
X	1	0	Modo 2
X	1	1	Modo 3
1	0	0	Modo 4
1	0	1	Modo 5

BCD

0	Contador binário de 16 bits
1	Contador BCD (4 décadas)

Carga do Contador
O registrador do contador não é carregado até que o valor inicial do contador seja escrito (um ou dois bytes, dependendo do modo selecionado pelos bits de RL), seguido por uma borda de subida e descida do clock. Qualquer leitura do contador feita antes da borda de descida do clock pode gerar a leitura de um dado inválido.

Definição do Modo

Modo 0: Interrupção no final da contagem

A saída estará inicialmente em nível baixo após a operação de ajuste do modo.
Após o valor ser carregado no registrador do contador selecionado, a saída permanecerá em nível baixo e o contador contará. Quando chegar no final da contagem, a saída irá para nível alto e permanecerá assim até que o registrador do contador selecionado seja recarregado com o modo ou um novo valor. O contador continua decrementando mesmo após ter alcançado a contagem terminal zero. Reescrever num registrador do contador durante a contagem resulta em:

1) Escrever o primeiro byte causa a paralisação da contagem.
2) Escrever o segundo byte causa o início de uma nova contagem.

Modo 1: Monoestável Programável

A saída irá para nível baixo na contagem seguinte à borda de subida da entrada gate.
A saída irá para nível alto ao término da contagem.
Se um novo valor for carregado no contador enquanto a saída estiver em nível baixo, isto não afetará a duração do pulso do monoestável até o disparo seguinte. A contagem atual poderá ser lida a qualquer momento sem afetar o pulso do monoestável.
O monoestável é redisparável, portanto, a saída permanecerá em nível baixo no intervalo de uma contagem, completa após a subida do sinal de gate.

Modo 2: Gerador de Taxa

Atua como um contador divisor por N. A saída irá para nível baixo durante um período de clock. O período entre um pulso e outro na saída é igual ao número carregado no registrador de contagem. Se este registrador for recarregado entre os pulsos da saída, o período atual não será afetado mas um novo valor será refletido no período subseqüente.
A entrada gate, quando em nível baixo, forçará a saída para nível alto. Quando a entrada gate for para nível alto, o contador começará a contagem a partir da contagem inicial. Assim, a entrada gate poderá ser usada para sincronizar o contador.
Quando este modo for acionado, a saída permanecerá em nível alto mesmo após o registrador de contagem ser carregado. A saída então poderá ser sincronizada pelo software.

Modo 3: Gerador de Taxa de Onda Quadrada

Este modo é similar ao modo 2, exceto que a saída permanecerá em nível alto até que metade da contagem tenha sido completada (para números pares) e irá para nível baixo para a outra metade da contagem. Isto é realizado decrementando-se o contador de dois na borda de descida de cada pulso de clock. Quando o contador atingir a contagem final, o estado da saída é trocado e o contador recarregado com a contagem completa e, todo o processo é repetido.
Se a contagem for ímpar e a saída estiver em nível alto, o primeiro pulso de clock (após o contador ser carregado) decrementa o contador de um. Os pulsos de clock subseqüentes decrementam o contador de dois. Após a contagem final, a saída irá para nível baixo e a contagem inicial será recarregada.
O primeiro pulso de clock (seguinte à recarga) decrementa o contador de três. Os pulsos de clock subseqüentes decrementam o contador de dois até a contagem final. Então, todo o processo é repetido. Neste caso, se a contagem for ímpar, a saída irá para nível alto para contagens $(N+1)/2$ e irá para nível baixo para contagens $(N-1)/2$.

Modo 4: Gatilho por Software

Após este modo ser acionado, a saída irá para nível alto. Quando a contagem for carregada, o contador começará a contagem. Ao término da contagem, a saída irá para nível baixo por um período de clock na entrada, então irá para nível alto novamente.
Se o registrador de contagem for recarregado entre os pulsos da saída, um novo valor será refletido no período subseqüente. A contagem será inibida enquanto a entrada gate estiver em nível baixo. Recarregando-se o registrador do contador será reiniciado uma contagem com o novo número.

Modo 5: Gatilho por Hardware

O contador iniciará a contagem após a borda de subida da entrada de trigger e irá para nível baixo por um período de clock quando a contagem chegar ao final. O contador é redisparável. A saída não irá para nível baixo até que seja feita uma contagem completa após a borda de subida de qualquer trigger.

SINAL DE STATUS

MODO	NÍVEL BAIXO	BORDA DE SUBIDA	NÍVEL ALTO
0	Desabilita contagem	—	Habilita contagem
1	—	1) Inicia contagem 2) Desabilita a saída após próximo clock	—
2	1) Desabilita contagem 2) Coloca saída imediatamente em nível alto	1) Recarrega contador 2) Inicia contagem	Habilita contagem
3	1) Desabilita contagem 2) Coloca saída imediatamente em nível alto	Inicia contagem	Habilita contagem
4	Desabilita contagem	—	Habilita contagem
5	—	Inicia contagem	—

OBSERVAÇÃO:
Vide formas de onda

VALORES MÁXIMOS ABSOLUTOS

Tensão de alimentação _____ 5V ± 10%
Tensão em qualquer pino _____ −0,5V a 7V
Potência dissipada _____ 1000 mW
Temperatura de armazenamento _____ −65°C a 150°C
Temperatura de operação _____ 0°C a 70° C

CARACTERÍSTICAS DC(1)

SÍMBOLO	PARÂMETRO	LIMITES		UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	MÁX.		
V_{IL}	Tensão de entrada - nível baixo	−0,5	0,8	V	
V_{IH}	Tensão de entrada - nível alto	2,2	$V_{cc}+0,5$	V	
V_{OL}	Tensão de saída - nível baixo		0,45	V	$I_{OL}=2,2mA$
V_{OH}	Tensão de saída - nível alto	2,4		V	$I_{OH}=-400\mu A$
I_{IL}	Corrente de entrada - nível baixo		±10	μA	$V_I=V_{cc}$ a 0V
I_{OFL}	Corrente de fuga na saída em tristate		±10	μA	$V_o=V_{cc}$ a 0V
I_{cc}	Corrente de alimentação em V_{cc}		140	mA	

OBSERVAÇÃO:
1) $0°C \leqslant T_a \leqslant 70°CC$, $V_{CC} = 5V \pm 10\%$

CARACTERÍSTICAS AC(1)

LEITURA

SÍMBOLO	PARÂMETRO	LIMITES		UNIDADE
		MÍN.	MÁX.	
t_{AR}	Endereços estáveis antes de $\overline{RD}$	30		ns
t_{RA}	Tempo de hold de endereço após $\overline{RD}$	5		ns
t_{RR}	Largura do pulso $\overline{RD}$	300		ns
t_{RD}	Tempo de habilitação de dados por $\overline{RD}$ (3)		200	ns
t_{DF}	Tempo de desabilitação de dados por $\overline{RD}$	25	100	ns
t_{RV}	Tempo de recuperação entre o sinal $\overline{RD}$ e um outro sinal de controle qualquer	1		μs

ESCRITA

SÍMBOLO	PARÂMETRO	LIMITES		UNIDADE
		MÍN.	MÁX.	
t_{AW}	Endereços estáveis antes de $\overline{WR}$	30		ns
t_{WA}	Tempo de hold de endereço após $\overline{WR}$	30		ns
t_{WW}	Largura do pulso $\overline{WR}$	300		ns
t_{DW}	Tempo de set up de dado antes de $\overline{WR}$	250		ns
t_{WD}	Tempo de hold de dado após $\overline{WR}$	30		ns
t_{RV}	Tempo de recuperação entre o sinal $\overline{WR}$ e um outro sinal de controle qualquer(4)	1		μs

CLOCK E GATE(3)

SÍMBOLO	PARÂMETRO	LIMITES		UNIDDE
		MÍN.	MÁX.	
t_{CLK}	Período de clock	380	DC	ns
t_{PWH}	Largura do pulso - nível alto	230		ns
t_{PWL}	Largura do pulso - nível baixo	150		ns
t_{GW}	Largura do gate - nível alto	150		ns
t_{GL}	Largura do gate - nível baixo	100		ns
t_{GS}	Tempo de set up do gate antes da borda de subida de CLK	100		ns
t_{GH}	Tempo de hold do gate após a borda de subida de CLK	50		ns
t_{OD}	Tempo de atraso de saída após a borda de descida de CLK(2)		400	ns
t_{ODG}	Tempo de atraso de saída após a borda de descida na entrada gate(2)		300	ns
t_{WC}	Tempo de set up de $\overline{WR}$ antes de CLK	350		ns

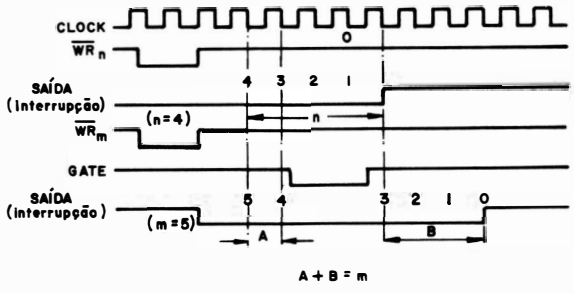
OBSERVAÇÕES:
1) $0°C \leqslant T_a \leqslant 70°C$, $V_{cc} = 5V \pm 10\%$.
2) As medidas de tempo AC foram feitas com $V_{OH} = 2{,}2$, $V_{OL} = 0{,}8$.
3) Condições de teste: $C_L = 150$ pF.
4) t_{RV} aplica-se para qualquer read ou write que ocorre independentemente do estado da entrada CS.
5) Se o clock ocorrer num tempo menor que 100 ns após a borda de subida do read ou write, o contador selecionado durante read ou write poderá ser afetado.

CAPACITÂNCIA(1)

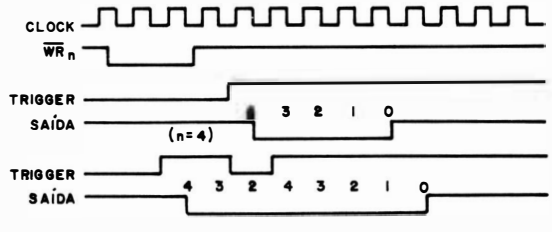
SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TÍP.	MÁX.		
C_I	Capacitância de entrada			10	pF	f_c = 1 MHz
$C_{I/O}$	Capacitância do terminal			20	pF	Os pinos não utilizados na medição são aterrados

OBSERVAÇÃO:
1) $T_a = 25°C$, V_{cc} = terra = 0 V

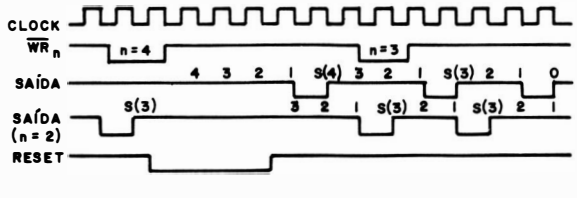
TEMPOS: MODO 0 — INTERRUPÇÃO NO FINAL DA CONTAGEM



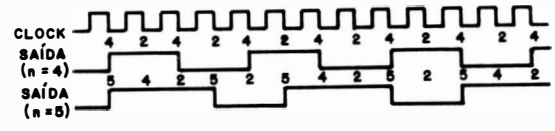
TEMPOS: MODO 1 — MONOESTÁVEL PROGRAMÁVEL



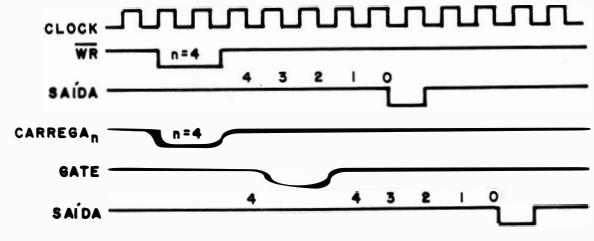
TEMPOS: MODO 2 — GERADOR DE FREQÜÊNCIA



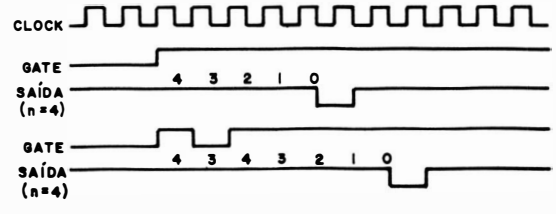
TEMPOS: MODO 3 — GERADOR DE TAXA DE ONDA QUADRADA



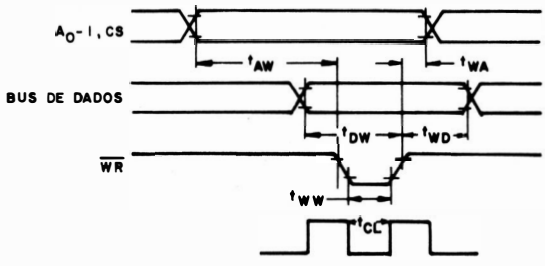
TEMPOS: MODO 4 — GATILHO POR SOFTWARE



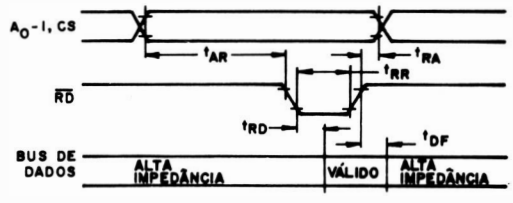
TEMPOS: MODO 5 — GATILHO POR HARDWARE



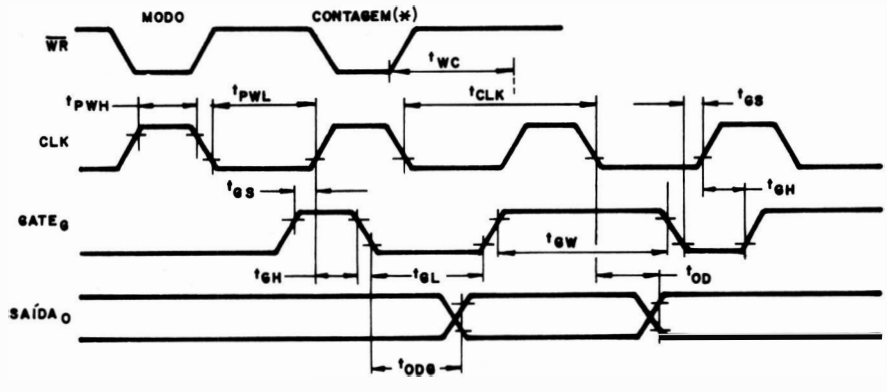
TEMPOS: ESCRITA



TEMPOS: LEITURA



TEMPOS: CLOCK E GATE



*Último byte da contagem escrito.

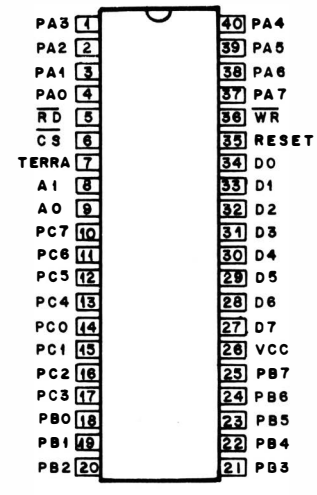
TEMPOS: FORMA DE ONDA NA ENTRADA

IC 8255A-5

Características

- ☐ Alimentação única 5V;
- ☐ Tensões compatíveis com as dos dispositivos TTL;
- ☐ Capacidade de excitação Darlington;
- ☐ 24 pinos de E/S programáveis;
- ☐ Capacidade de set/reset bit.

PINAGEM



Descrição Geral

O IC 8255A-5 é uma interface periférica programável, projetada para operar como um dispositivo de E/S de propósito geral para microprocessadores de 8 ou 16 bits. Possui 24 pinos de entrada/saída, os quais podem ser divididos em 2 grupos programáveis individualmente: o Grupo A (formado pelo Port A e os 4 bits mais significativos do Port C) e o Grupo B (formado pelo Port B e os 4 bits menos significativos do Port C). A programação obedece o Comando de Controle de Modo ditado pelo microprocessador. Existem três modos principais de operação:

MODO 0, MODO 1 E MODO 2.

No primeiro modo de operação (MODO 0) os grupos A e B compõe um conjunto de 4 ports individuais que operam como entradas ou saídas.

No segundo modo (MODO 1) os 24 terminais são divididos em 2 grupos de 12 bits; o Grupo A e o Grupo B, cada grupo contendo um port de dados de 8 bits de entrada ou saída e outro port de 4 bits para controle de interrupção ou protocolo.

O terceiro modo (MODO 2) está disponível apenas para o Grupo A e fornece um port bidirecional de 8 bits e mais 5 linhas (emprestando uma do outro grupo) para protocolo e controle de interrupção.

Descrição Funcional

Controle do Grupo A e Controle do Grupo B

Através de comandos da Lógica de Controle de Leitura/Escrita, a Lógica de Controle do Grupo A e a Lógica de Controle do grupo B recebem palavras de 8 bits do bus de dados interno e envia os comandos apropriados aos ports associados.

O Controle do Grupo A está associado ao Port A e aos quatro bits mais significativos do Port C. O Controle do Grupo B está associado ao Port B e aos quatro bits menos significativos do Port C. O Registrador de Controle, que armazena as palavras de controle, é um registrador apenas de escrita.

DIAGRAMA DE BLOCOS

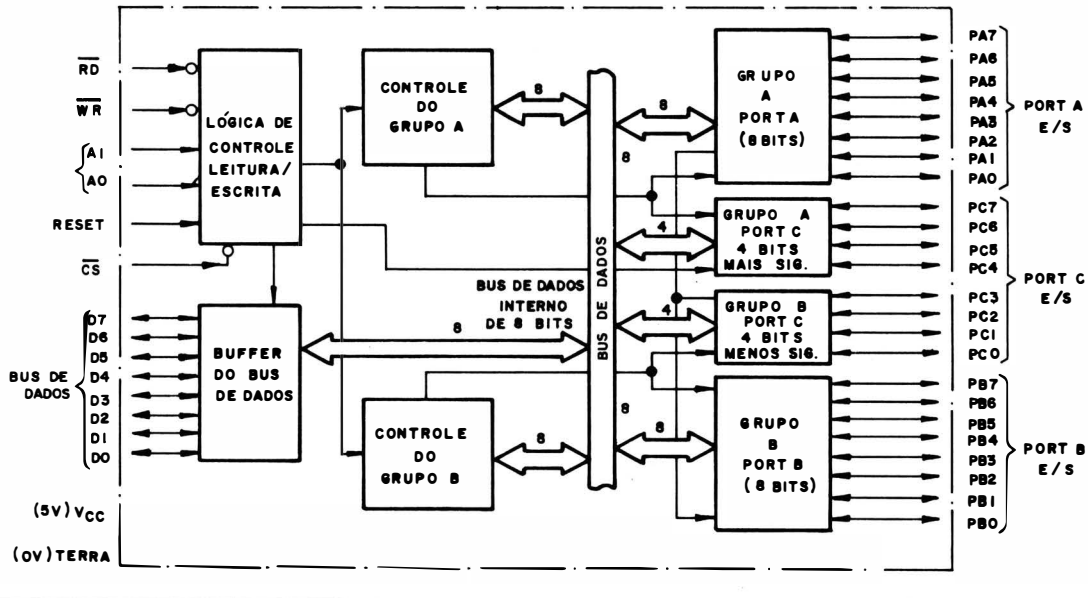


TABELA 1
Descrição da Pinagem

PINO	NÚMERO	FUNÇÃO
D7-D0	27-34	BUS DE DADOS - Estes pinos tristate bidirecionais permitem a transferência de dados entre o IC 8255A-5 e o microprocessador, quando este executa uma instrução de entrada/saída. O bus de dados permite também a transferência de informações de status e palavras de controle.
RESET	35	PINO DA ENTRADA RESET - Um nível alto aplicado a este pino limpa o conteúdo do registrador de controle. Então todos os ports são colocados no modo de entrada (alta impedância).
CS	6	CHIP SELECT - Quando se aplica um nível baixo a esta entrada, habilita-se a comunicação entre o IC 8255A-5 e o microprocessador. Com esta entrada em nível alto, os pinos D0 a D7 permanecem em alta impedância, portanto os comandos vindos da CPU são ignorados. Nesta condição o port de saída mantém o dado anterior.
RD	5	LEITURA - Em nível baixo, esta entrada permite a transferência de dados ou status do IC 8255A-5 para o microprocessador.
WR	36	ESCRITA - Nível baixo nesta entrada permite que o microprocessador escreva dados ou palavras de controle no IC 8255A-5.
A0, A1	8, 9	ENDEREÇOS - Estas entradas permitem acessar o registrador de controle ou um dos três ports (Port A, Port B ou Port C).
PA7-PA0	1-4, 37-40	PORT A - Este port assim como os outros dois (B e C), pode ser designado para trabalhar como entrada ou saída, de acordo com a programação definida pelo software do sistema. O Port A tem um latch/buffer de saída e um latch de entrada.
PB7-PB0	18-20, 21-25	PORT B - O Port B possui um latch/buffer de entrada/saída e um buffer de entrada.
PC7-PC0	10-17	PORT C - O Port C tem um latch/buffer de saída e um buffer de entrada. O Port C pode ser dividido em dois ports de 4 bits usados como ports de sinais de controle para o Port A ou Port B.

Lógica de Controle de Leitura/Escrita

Esta seção do IC 8255A-5 tem por função controlar as transferências de dados e palavras de controle.
Ela aceita os sinais de endereço (A0, A1, CS), sinais de controle de E/S (RD, WR) e o sinal RESET, e então distribui os comandos para o Controle do Grupo A e para o Controle do Grupo B.

TABELA 2
Operações Básicas

A1	A0	CS	RD	WR	OPERAÇÃO
L	L	L	L	H	Bus de dados ← Port A
L	H	L	L	H	Bus de dados ← Port B
H	L	L	L	H	Bus de dados ← Port C
L	L	L	H	L	Port A ← Bus de dados
L	H	L	H	L	Port B ← Bus de dados
H	L	L	H	L	Port C ← Bus de dados
X	X	H	X	X	Bus de dados em alta impedância
H	H	L	L	H	Condição ilegal

H = nível alto; L = nível baixo; X = irrelevante

Set/Reset Bit

Quando o Port C for usado como um port de saída, uma palavra de controle vinda do microprocessador pode ativar (nível alto) ou desativar (nível baixo) qualquer um dos 8 bits.

Esta operação de set/reset bit pode ser efetuada da mesma maneira que a seleção de modo, porém o arranjo da palavra de controle é diferente.
Esta operação também é usada para INTE Set/Reset nos modos 1 e 2.

Formato da Palavra de Controle
Para Set/Reset do Port C

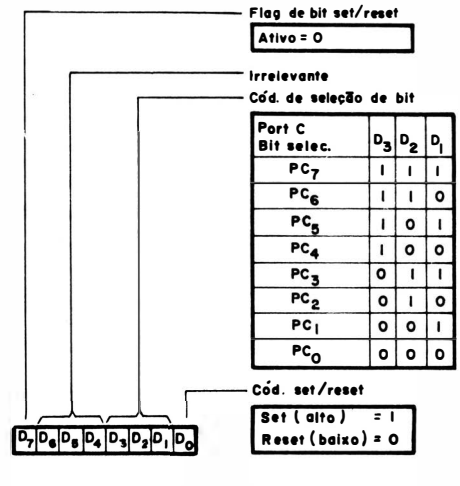


FIGURA 1

Modos Básicos de Operação

O IC 8255A-5 pode operar em qualquer um dos modos básicos selecionados:

MODO 0 — Entrada/saída básica (Grupo A, Grupo B);
MODO 1 — Entrada/saída com strobe (Grupo A, Grupo B);
MODO 2 — Bus bidirecional (apenas Grupo A).

Os modos de operação para o Grupo A e Grupo B podem ser selecionados independentemente. A figura 2 apresenta a configuração da palavra de controle para a seleção do modo.

1 — MODO 0 (Entrada/Saída Básica) — Esta configuração proporciona a cada um dos três ports, operações simples de entrada/saída. O dado pode ser escrito ou lido do port específico, não requerendo handshaking. O dado enviado pelo microprocessador ao port pode ser mantido, porém o dado entrando pelo port em direção ao microprocessador não.
Qualquer um dos ports seja de 8 ou de 4 bits pode operar como port de entrada ou port de saída.

A figura 3 a seguir ilustra as operações de entrada/saída básica para o MODO 0.

Formato da Palavra de Controle para Seleção do MODO

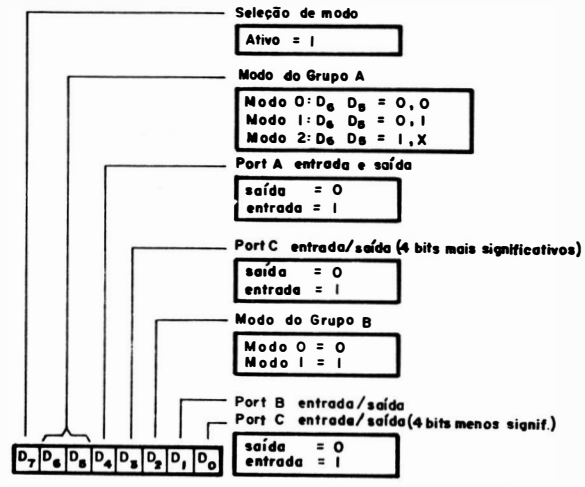


FIGURA 2

Opções de Operação para o MODO 0

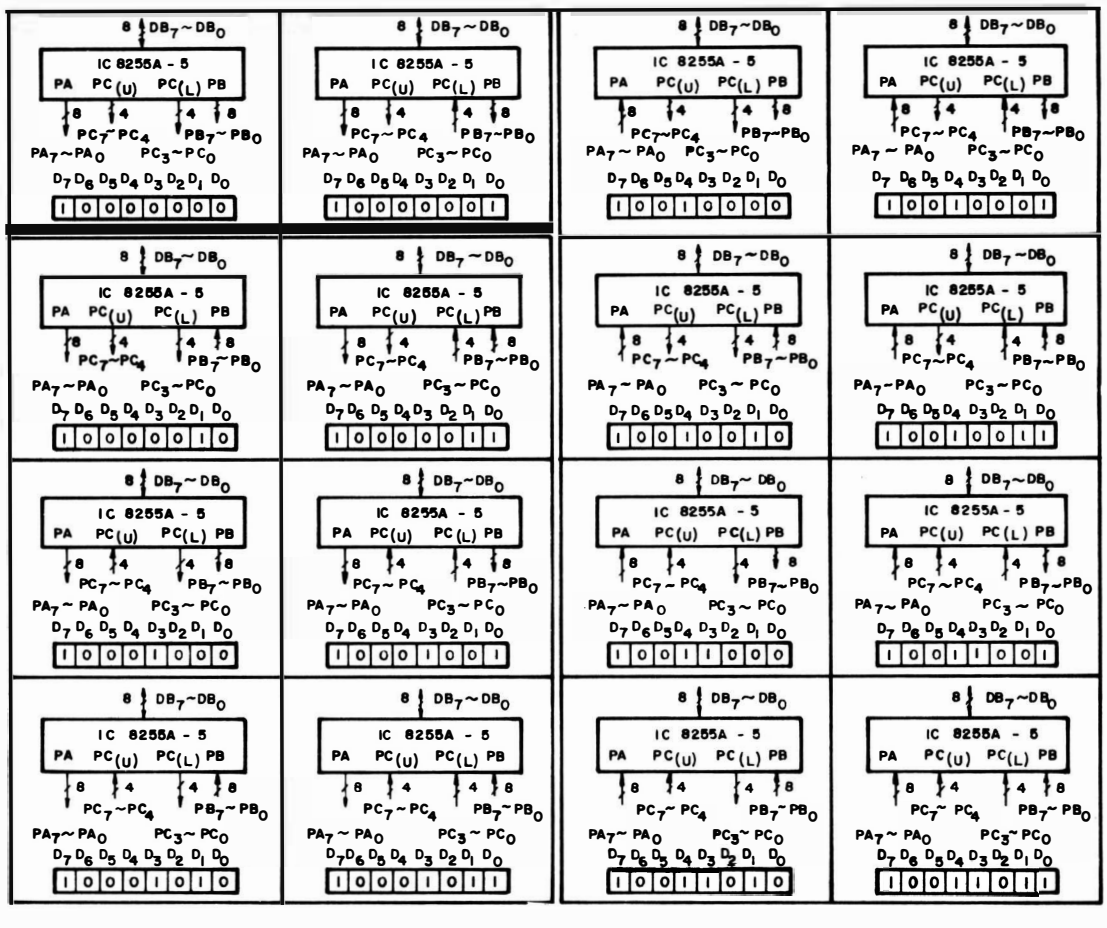


FIGURA 3

2 — MODO 1 (Entrada/Saída com Strobe) — Esta função está disponível para ambos os grupos. O Grupo A, assim como o Grupo B, é constituído por um port de dados de 8 bits e um port de controle de dados de 4 bits. O port de 8 bits pode trabalhar tanto como port de entrada como de saída.

O port de 4 bits destina-se a sinais de controle e status relacionados ao port de dados de 8 bits.

Quando o port de 8 bits opera como entrada no MODO 1, os pinos do Port C apresentam as seguintes funções:

$\overline{STB}$ (Entrada Strobe): Um nível baixo aplicado a esta entrada armazena o dado que chega ao port em seu registrador de entrada. Em suma, trata-se de um clock para o armazenamento do dado no latch.

Os dados nos ports de entrada podem entrar no latch do 8255 independentemente do sinal de controle do microprocessador.

O bus de dados receberá o dado do latch apenas após a execução de uma instrução IN.

IBF (Saída Flag de Buffer de Entrada Carregado): Esta saída em nível alto indica que um dado externo foi armazenado no registrador de entrada do port. IBF vai para nível alto na borda de descida do sinal em STB, e volta para nível baixo na borda de subida do sinal na entrada RD.

INTR (Saída Requisição de Interrupção): O sinal presente nesta saída serve para interromper o microprocessador quando um dispositivo de entrada requisitar serviços. Quando INTE (Flag de Habilitação de Interrupção) do 8255 estiver em nível alto, INTR vai para nível alto na borda de subida do sinal em $\overline{STB}$ e volta para nível baixo na borda de descida do sinal na entrada $\overline{RD}$.

O controle de INTE A do grupo A se dá mediante a ativação de PC4, e a ativação de PC2 controla INTE B do Grupo B.

A figura 4 apresenta o funcionamento do 8255 no MODO 1 e a figura 5 ilustra o diagrama de tempos.

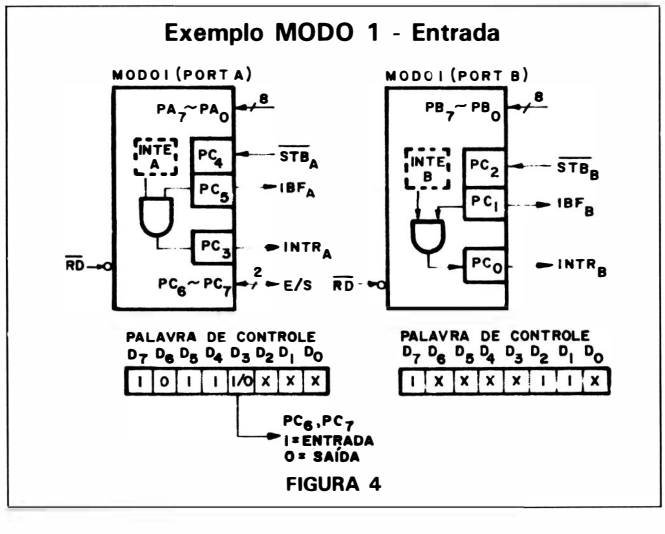


FIGURA 4

Quando o port de 8 bits opera no MODO 1 como saída, os pinos do Port C apresentam as seguintes funções:

$\overline{OBF}$ (Saída Flag de Buffer de Saída Cheio): Através deste pino o IC 8255A-5 informa ao dispositivo externo que o microprocessador está enviando dados para o port.

$\overline{OBF}$ vai para nível baixo na borda de subida do sinal $\overline{WR}$ e retorna ao nível alto na borda de descida de ACK (entrada de reconhecimento).

$\overline{ACK}$ (Entrada Reconhecimento): A função do sinal $\overline{ACK}$, enviado pelo dispositivo externo, é informar ao IC 8255A-5 que este dispositivo aceitou dados do port.

INTR (Saída Requisição de Interrupção): A saída INTR libera um sinal ativo em nível alto que pode ser empregado para interromper o microprocessador quando um dispositivo externo estiver aceitando dados dele.

Quando INTE (Flag de Habilitação de Interrupção) estiver em nível alto e a transição positiva de um sinal ACK levar OBF para nível alto, a transição positiva de $\overline{ACK}$ levará também INTR para nível alto.

INTR voltará para nível baixo na borda de descida do sinal $\overline{WR}$, quando o IC 8255A-5 estiver recebendo dados do microprocessador.

PC6 ativa INTE A do Grupo A.

PC2 ativa INTE B do Grupo B.

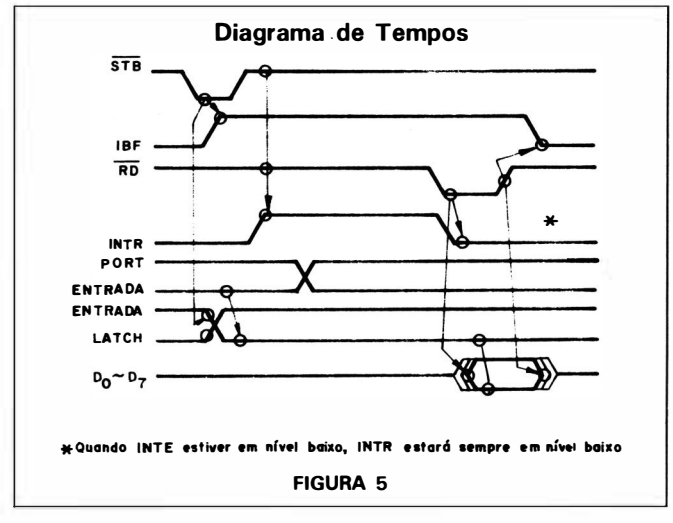


FIGURA 5

A figura 6 apresenta os estados das saídas no MODO 1 e o diagrama de tempos está na figura 7.

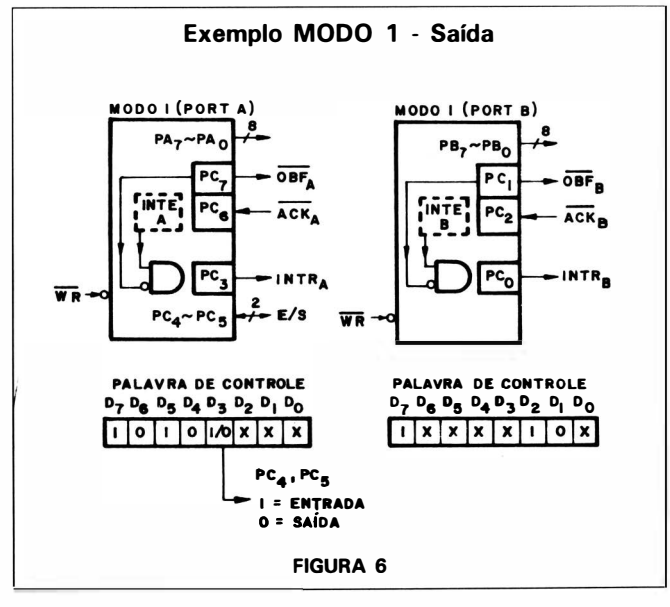
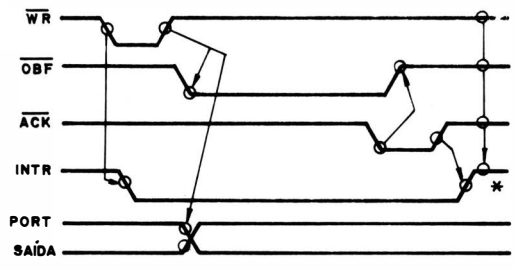


FIGURA 6

Diagrama de Tempos



* Quando INTE estiver em nível baixo, então a saída de INTR estará em nível baixo.

FIGURA 7

As figuras 8 e 9 apresentam combinações de uso dos ports A e B no MODO 1 como entradas ou saídas.

Exemplo de Operação MODO 1 E/S

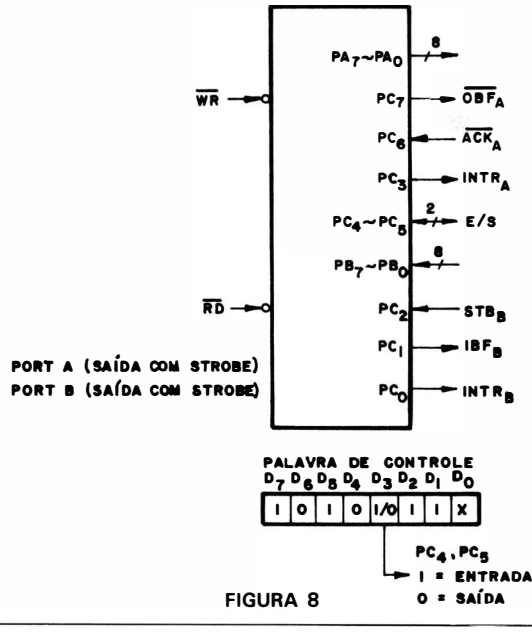


FIGURA 8

3 — MODO 2 (Entrada/Saída Bidirecional com Strobe) — Com o MODO 2 pode-se conseguir operações bidirecionais, usando um bus de 8 bits para comunicação com dispositivos externos. O MODO 2 é válido apenas para o Grupo A e usa o port de bus bidirecional (Port A) e um port de controle de 5 bits (os 5 bits mais significativos do Port C).

O port bus (Port A) possui dois registradores internos; um para entrada e um para saída. Por outro lado, o port de controle (port C) é usado para sinais de controle de comunicação e sinais de status do bus. Esses sinais de controle são similares aos do MODO 1 e também podem ser usados para o controle de interrupção do microprocessador.

Quando o Grupo A estiver programado para operar no MODO 2, o Port B pode, independentemente, estar programado para operar no MODO 0 ou no MODO 1.
Para o Grupo A operando no MODO 2, pode-se usar os seguintes sinais de controle:

$\overline{OBF}$ (Saída Flag do Buffer de Saída Cheio): A saída OBF indicará, quando em nível baixo, que o microprocessador enviou dados para o registrador interno do Port A. Este sinal informa aos dispositivos externos que o dado está pronto para ser transferido.
Neste instante, o Port A permanecerá em alta impedância.

$\overline{ACK}$ (Entrada de Reconhecimento): Em nível baixo, a entrada $\overline{ACK}$ provocará a transferência do dado do registrador interno para o Port A.
Com a entrada $\overline{ACK}$ em nível alto o buffer de saída permanecerá em alta impedância.

$\overline{STB}$ (Entrada de Strobe): Quando a entrada $\overline{STB}$ estiver em nível baixo, o dado do dispositivo externo será armazenado no registrador interno até a ocorrência de um sinal $\overline{RD}$, o que o tornará disponível no bus de dados do sistema.

IBF (Saída Flag do Buffer de Entrada Carregado): Quando o registrador interno estiver carregado com dados de dispositivos externos, IBF estará em nível alto.

INTR (Saída Requisição de Interrupção): INTR é usada para interromper o microprocessador e funciona como no MODO 1. Há dois flags de habilitação de interrupção que correspondem a INTE A para MODO 1 saída e MODO 1 entrada.
INTE 1 é usado para gerar os sinais INTR em combinação com $\overline{OBF}$ e $\overline{ACK}$.
PC6 ativa INTE 1.
INTE 2 é usado para gerar sinais INTR em combinação com $\overline{IBF}$ e $\overline{STB}$.
PC4 ativa INTE 2.

Exemplo de Operação MODO 1 E/S

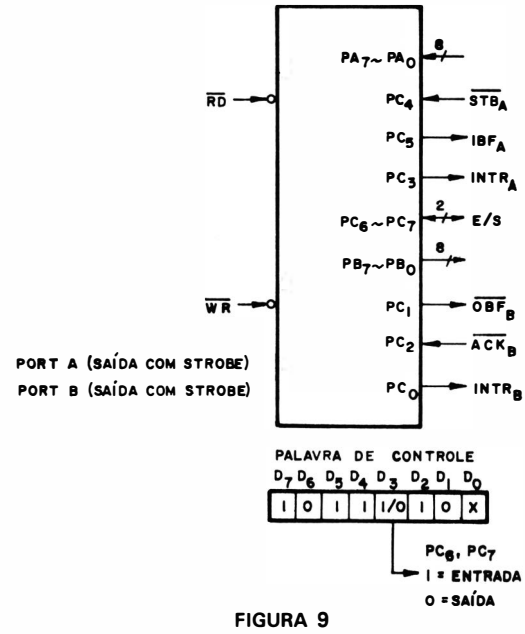


FIGURA 9

A fig. 10 apresenta o diagrama de tempos, do MODO 2, e na fig. 11 há um exemplo de operação no MODO 2.

MODO 2 Diagramas de Tempo

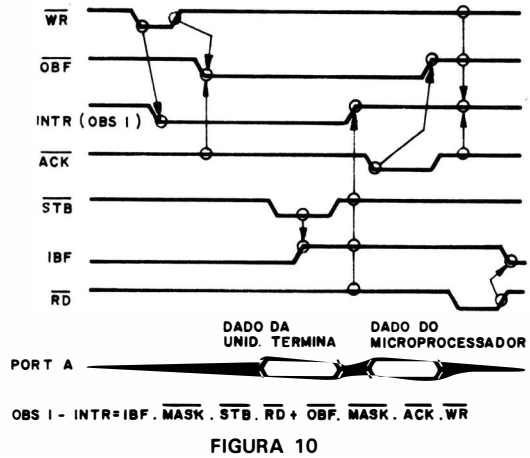


FIGURA 10

Exemplo de Operação MODO 2

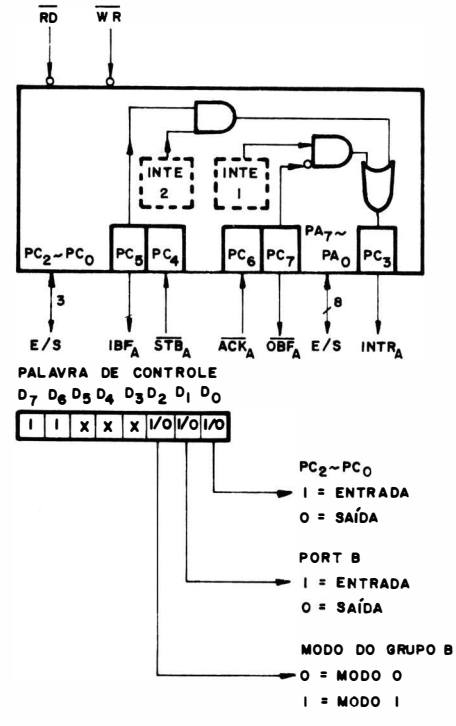


FIGURA 11

Leitura do Sinal de Controle

Com o Port C operando como port de controle no MODO 1 ou no MODO 2 é possível ler cada um dos seus sinais de controle e status de bus por ocasião da execução de uma instrução IN pelo microprocessador.

Tabelas de Palavras de Controle

As tabelas 4, 5, 6 e 7 apresentam os formatos das palavras de controle e os detalhes de operação respectivamente para o MODO 0, MODO 1, MODO 2, e Controle Set/Reset do Port C.

TABELA 3
Sinais de Controle Leitura

MODO \ DADO	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
MODO 1, ENTRADA	E/S	E/S	IBF_A	$INTE_A$	$INTR_A$	$INTE_B$	IBF_B	$INTR_B$
MODO 1, SAÍDA	$\overline{OBF}_A$	$INTE_A$	E/S	E/S	$INTR_A$	$INTE_B$	$\overline{OBF}_B$	$INTR_B$
MODO 2	$\overline{OBF}_A$	$INTE_1$	IBF_A	$INTE_2$	$INTR_A$	DO MODO DO GRUPO B		

TABELA 4
Palavras de Controle MODO 0

PALAVRAS DE CONTROLE									GRUPO A		GRUPO B	
D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0	Hexadecimal	PORT A	PORT C (4 BITS + SIG.)	PORT C (4 BITS – SIG.)	PORT B
1	0	0	0	0	0	0	0	80	SAÍDA	SAÍDA	SAÍDA	SAÍDA
1	0	0	0	0	0	0	1	81	SAÍDA	SAÍDA	ENTRADA	SAÍDA
1	0	0	0	0	0	1	0	82	SAÍDA	SAÍDA	SAÍDA	ENTRADA
1	0	0	0	0	0	1	1	83	SAÍDA	SAÍDA	ENTRADA	ENTRADA
1	0	0	0	1	0	0	0	88	SAÍDA	ENTRADA	SAÍDA	SAÍDA
1	0	0	0	1	0	0	1	89	SAÍDA	ENTRADA	ENTRADA	SAÍDA
1	0	0	0	1	0	1	0	8A	SAÍDA	ENTRADA	SAÍDA	ENTRADA
1	0	0	0	1	0	1	1	8B	SAÍDA	ENTRADA	ENTRADA	ENTRADA
1	0	0	1	0	0	0	0	90	ENTRADA	SAÍDA	SAÍDA	SAÍDA
1	0	0	1	0	0	0	1	91	ENTRADA	SAÍDA	ENTRADA	SAÍDA
1	0	0	1	0	0	1	0	92	ENTRADA	SAÍDA	SAÍDA	ENTRADA
1	0	0	1	0	0	1	1	93	ENTRADA	SAÍDA	ENTRADA	ENTRADA
1	0	0	1	1	0	0	0	98	ENTRADA	ENTRADA	SAÍDA	SAÍDA
1	0	0	1	1	0	0	1	99	ENTRADA	ENTRADA	ENTRADA	SAÍDA
1	0	0	1	1	0	1	0	9A	ENTRADA	ENTRADA	SAÍDA	ENTRADA
1	0	0	1	1	0	1	1	9B	ENTRADA	ENTRADA	ENTRADA	ENTRADA

TABELA 5
Palavras de Controle MODO 1

PALAVRAS DE CONTROLE									GRUPO A					GRUPO B			
										Port C					Port C		
D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0	Hexa-decimal	Port A	PC_7	PC_6	PC_5	PC_4	PC_3	PC_2	PC_1	PC_0	Port B
1	0	1	0	0	1	0	X	A4 A5	SAÍDA	$\overline{OBF}_A$	$\overline{ACK}_A$	SAÍDA		$INTR_A$	$\overline{ACK}_B$	$\overline{OBF}_B$	$INTR_B$	SAÍDA
1	0	1	0	0	1	1	X	A6 A7	SAÍDA	$\overline{OBF}_A$	$\overline{ACK}_A$	SAÍDA		$INTR_A$	$\overline{STB}_B$	IBF_B	$INTR_B$	ENTRADA
1	0	1	0	1	1	0	X	AC AD	SAÍDA	$\overline{OBF}_A$	$\overline{ACK}_A$	ENTRADA		$INTR_A$	$\overline{ACK}_B$	$\overline{OBF}_B$	$INTR_B$	SAÍDA
1	0	1	0	1	1	1	X	AE AF	SAÍDA	$\overline{OBF}_A$	$\overline{ACK}_A$	ENTRADA		$INTR_A$	$\overline{STB}_B$	IBF_B	$INTR_B$	ENTRADA
1	0	1	1	0	1	0	X	B4 B5	ENTRADA	SAÍDA		IBF_A	$\overline{STB}_A$	$INTR_A$	$\overline{ACK}_A$	$\overline{OBF}_B$	$INTR_B$	SAÍDA
1	0	1	1	0	1	1	X	B6 B7	ENTRADA	SAÍDA		IBF_A	$\overline{STB}_A$	$INTR_A$	$\overline{STB}_B$	IBF_B	$INTR_B$	ENTRADA
1	0	1	1	1	1	0	X	BC BD	ENTRADA	ENTRADA		IBF_A	$\overline{STB}_A$	$INTR_A$	$\overline{ACK}_B$	$\overline{OBF}_B$	$INTR_B$	SAÍDA
1	0	1	1	1	1	1	X	BE BF	ENTRADA	ENTRADA		IBF_A	$\overline{STB}_A$	$INTR_A$	$\overline{STB}_B$	IBF_B	$INTR_B$	ENTRADA

OBSERVAÇÕES:
O modo do Grupo A ou Grupo B pode ser programado independentemente. Não é necessário que ambos os grupos A e B estejam no MODO 1.

TABELA 6
Palavras de Controle MODO 2

PALAVRAS DE CONTROLE										GRUPO A					GRUPO B			
										Port C					Port C			
D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0	Hexa-decimal (Ex)	Port A	PC_7	PC_6	PC_5	PC_4	PC_3	PC_2	PC_1	PC_0	Port B
1	1	X	X	X	0	0	0	C0	bus bidirecional	$\overline{OBF}_A$	$\overline{ACK}_A$	IBF_A	$\overline{STB}_A$	$INTR_A$	SAÍDA			SAÍDA
1	1	X	X	X	0	0	1	C1		$\overline{OBF}_A$	$\overline{ACK}_A$	IBF_A	$\overline{STB}_A$	$INTR_A$	ENTRADA			SAÍDA
1	1	X	X	X	0	1	0	C2		$\overline{OBF}_A$	$\overline{ACK}_A$	IBF_A	$\overline{STB}_A$	$INTR_A$	SAÍDA			ENTR.
1	1	X	X	X	0	1	1	C3		$\overline{OBF}_A$	$\overline{ACK}_A$	IBF_A	$\overline{STB}_A$	$INTR_A$	ENTRADA			ENTR.
1	1	X	X	X	1	0	X	C4		$\overline{OBF}_A$	$\overline{ACK}_A$	IBF_A	$\overline{STB}_A$	$INTR_A$	$\overline{ACK}_B$	$\overline{OBF}_B$	$INTR_B$	SAÍDA
1	1	X	X	X	1	1	X	C6		$\overline{OBF}_A$	$\overline{ACK}_A$	IBF_A	$\overline{STB}_A$	$INTR_A$	$\overline{STB}_B$	IBF_B	$INTR_B$	ENTR.

TABELA 7
Palavras de Controle Set/Reset Port C

PALAVRAS DE CONTROLE									Port C								OBSERVAÇÕES
D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0	Hexa-decimal	PC_7	PC_6	PC_5	PC_4	PC_3	PC_2	PC_1	PC_0	
0	X	X	X	0	0	0	0	00								0	
0	X	X	X	0	0	0	1	01								1	
0	X	X	X	0	0	1	0	02							0		
0	X	X	X	0	0	1	1	03							1		
0	X	X	X	0	1	0	0	04						0			$INTE_B$ set/reset para MODO 1 entrada
0	X	X	X	0	1	0	1	05						1			$INTE_B$ set/reset para MODO 1 saída
0	X	X	X	0	1	1	0	06					0				
0	X	X	X	0	1	1	1	07					1				
0	X	X	X	1	0	0	0	08				0					$INTE_A$ set/reset para MODO 1 entrada
0	X	X	X	1	0	0	1	09				1					$INTE_2$ set/reset para MODO 2
0	X	X	X	1	0	1	0	0A			0						
0	X	X	X	1	0	1	1	0B			1						
0	X	X	X	1	1	0	0	0C		0							$INTE_A$ set/reset para MODO 1 saída
0	X	X	X	1	1	0	1	0D		1							$INTE_1$ set/reset para MODO 2
0	X	X	X	1	1	1	0	0E	0								
0	X	X	X	1	1	1	1	0F	1								

OBSERVAÇÕES:
Os terminais do Port C devem ser programados para operarem como saídas, antes da execução da operação de bit set/reset.
Também usada para controle do flag de habilitação de interrupção (INTE).

VALORES MÁXIMOS ABSOLUTOS

Tensão de alimentação	−0,5 V a 7 V
Tensão de entrada	−0,5 V a 7 V
Tensão de saída	−0,5 V a 7 V
Potência dissipada	1000 mW
Temperatura de armazenamento	−65°C a 150°C
Temperatura de operação	−20°C a 75°C

CONDIÇÕES DE OPERAÇÃO RECOMENDADAS(1)

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	NOM.	MÁX.	
V_{CC}	Tensão de alimentação	4,75	5,0	5,25	V
TERRA			0		
V_{IH}	Tensão de entrada — nível alto	2		V_{CC}	V
V_{IL}	Tensão de entrada — nível baixo	−0,5		0,8	V

OBSERVAÇÃO:
1) $20°C \geq T_A \geq 75°C$; $V_{CC} = 5V \pm 5\%$; a menos que especificado o contrário.

CARACTERÍSTICAS DC(1)

SÍMBOLO	PARÂMETRO		LIMITES			UNIDADE	CONDIÇÕES DE TESTE
			MÍN.	TIP.	MÁX.		
V_{OH}	Tensão de saída - nível alto	Bus de dados	2,4			V	$I_{OH} = -400\mu A$
		Port	2,4			V	$I_{OH} = -200\mu A$
V_{OL}	Tensão de saída - nível baixo	Bus de dados			0,45	V	$I_{OL} = 2,5mA$
		Port			0,45	V	$I_{OL} = 1,7mA$
I_{OH}(3)	Corrente de saída - nível alto		−1		− 4	mA	$V_{OH} = 1,5V$; $R_{EXT} = 750$
I_{CC}	Corrente de alimentação em V_{CC}				120	mA	
I_{IH}	Corrente de entrada - nível alto				+10	μA	$V_I = 5,25V$
I_{IL}	Corrente de entrada - nível baixo				+10	μA	$V_I = 0V$
I_{OZ}	Corrente de saída - alta impedância				+10	μA	$V_I = 0 \sim 5,25V$
C_I	Capacitância de entrada				10	pF	$f = 1MHz$, $25mV_{RMS}$; $V_{IL} = 0$; $T_A = 25°C$
$C_{I/O}$	Capacitância do terminal				20	pF	$V_{OL} = 0$; $f = 1MHz$, $25mV_{RMS}$; $T_A = 25°C$

OBSERVAÇÕES:
1) $-20°C \geq T_A \geq 75°C$; $V_{CC} = 5V \pm 5\%$; a menos que especificado o contrário.
2) A corrente entrando no terminal é positiva, saindo é negativa.
3) Válido apenas para qualquer dos 8 pinos de entrada do Port B e Port C.

TEMPOS REQUERIDOS[1]

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TIP.	MÁX.		
$t_{w(R)}$	Largura do pulso de leitura	300			ns	
$t_{su(PE-R)}$	Tempo de setup do periférico antes da leitura	0			ns	
$t_{h(R-PE)}$	Tempo de hold do periférico após a leitura	0			ns	
$t_{su(A-R)}$	Tempo de setup de endereços antes da leitura	0			ns	
$t_{h(ra-A)}$	Tempo de hold de endereços após a leitura	0			ns	
$t_{W(W)}$	Largura do pulso de escrita	300			ns	
$t_{su(DQ-W)}$	Tempo de setup de dados antes da escrita	100			ns	
$t_{h(W-DQ)}$	Tempo de hold de dados após a escrita	30			ns	
$t_{su(A-W)}$	Tempo de setup de endereços antes da escrita	0			ns	
$t_{h(W-A)}$	Tempo de hold de endereços após a escrita	20			ns	
$t_{w(ACK)}$	Largura do pulso de reconhecimento	300			ns	
$t_{w(STB)}$	Largura do pulso de strobe	500			ns	
$t_{su(PE-STB)}$	Tempo de setup do periférico antes do pulso de strobe	0			ns	
$t_{h(STB-PE)}$	Tempo de hold do periférico após o strobe	180			ns	
$t_{C(R/W)}$	Tempo de ciclo de leitura escrita	850			ns	

OBSERVAÇÃO:

1) $-20°C \geqslant T_A \geqslant 75°C$; $V_{CC} = 5V \pm 5\%$

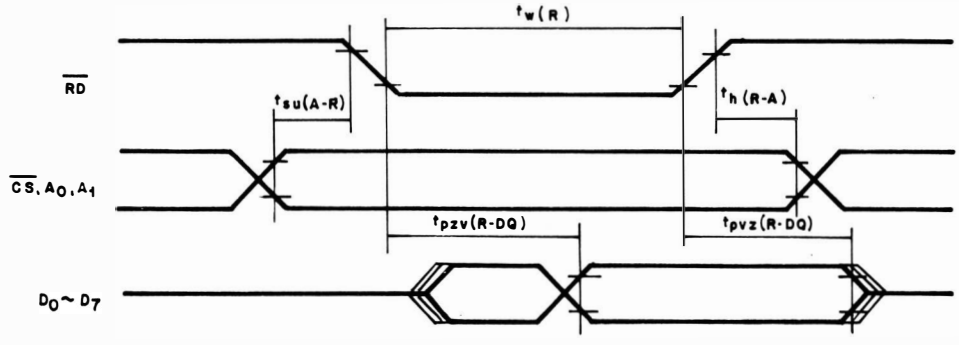
CARACTERÍSTICAS AC

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TIP.	MÁX.		
$t_{PVZ(R-DQ)}$	Atraso de propagação leitura para dado na saída			200	ns	CL = 150pF
$t_{PVZ(R-DQ)}$	Atraso de propagação leitura para dado em alta impedância	10		100	ns	
$t_{phl(W-PE)}$	Atraso de propagação leitura para saída			350	ns	
$t_{plh(STB-IBF)}$	Atraso de propagação strobe para flag IBF			300	ns	
$t_{phl(STB-INTR)}$	Atraso de propagação de strobe para interrupção			300	ns	
$t_{phl(R-INTR)}$	Atraso de propagação leitura para interrupção			400	ns	
$t_{phl(R-IBF)}$	Atraso de propagação leitura para flag IBF			300	ns	
$t_{phl(W-INTR)}$	Atraso de propagação escrita para interrupção			850	ns	
$t_{phl(W-OBF)}$	Atraso de propagação escrita para flag OBF			650	ns	
$t_{phl(ACK-OBF)}$	Atraso de propagação reconhecimento para flag OBF			350	ns	
$t_{phl(ACK-INTR)}$	Atraso de propagação reconhecimento para interrupção			350	ns	
$t_{pzv(ACK-PE)}$	Atraso de propagação reconhecimento para saída de dados			300	ns	
$t_{pvz(ACK-PE)}$	Atraso de propagação reconhecimento para dados em alta impedância	20		250	ns	

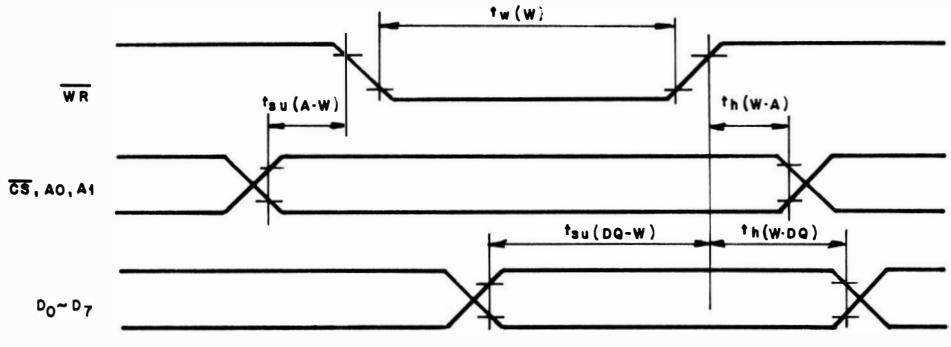
OBSERVAÇÕES:

1) $-20 \geqslant T_A \geqslant 75°C$, $V_{CC} = 5V \pm 5\%$.
2) Pulsos de entrada: tempo de subida = tempo de descida = 20 ns.
   Níveis de referência: $V_{IH} = 2V$; $V_{IL} = 0{,}8V$; $V_{OH} = 2V$; $V_{OL} = 0{,}8V$.

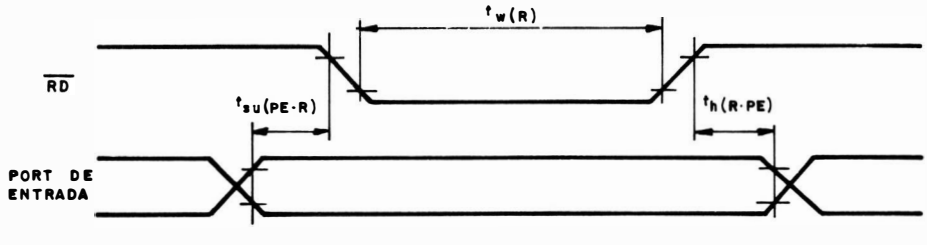
LEITURA — BUS DE DADOS



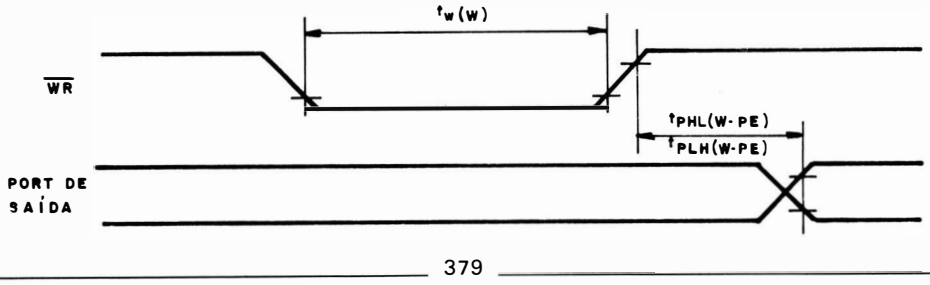
ESCRITA — BUS DE DADOS



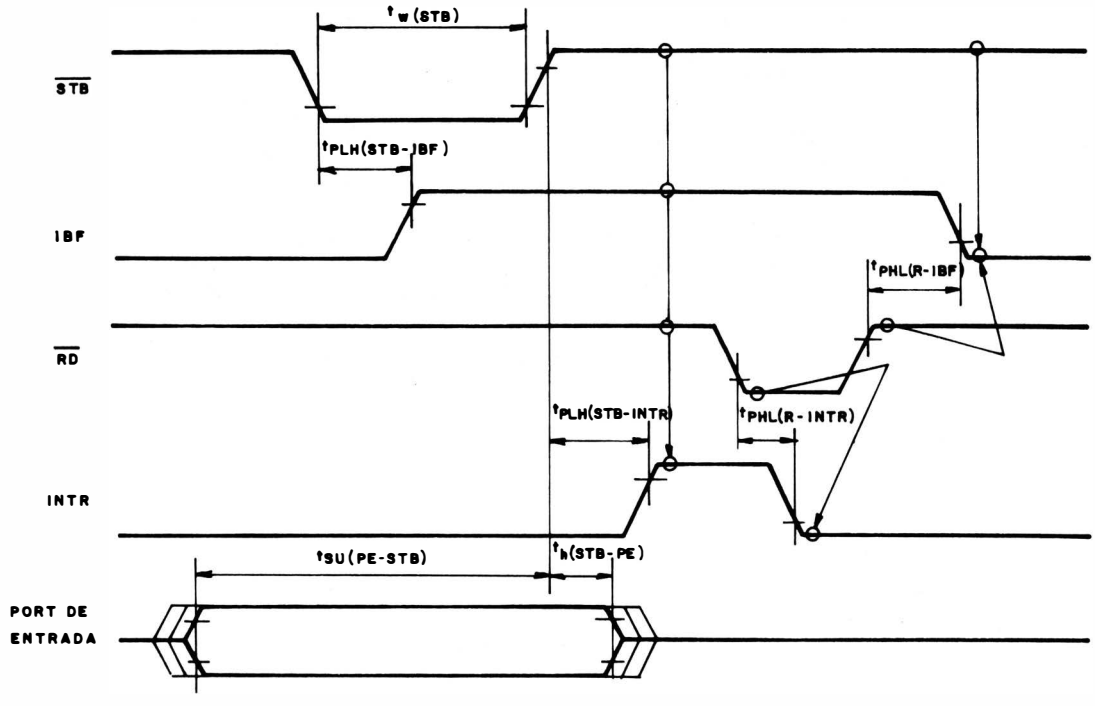
MODO 0 — PORT DE ENTRADA



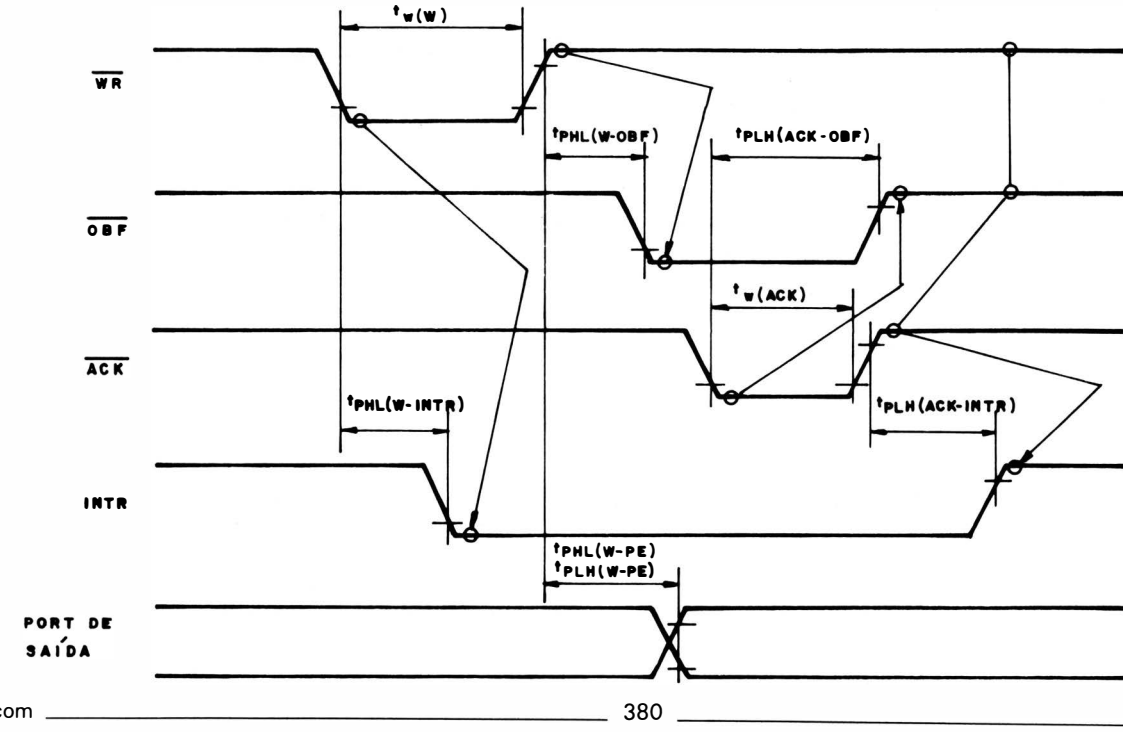
MODO 0, MODO 1 — PORT DE SAÍDA



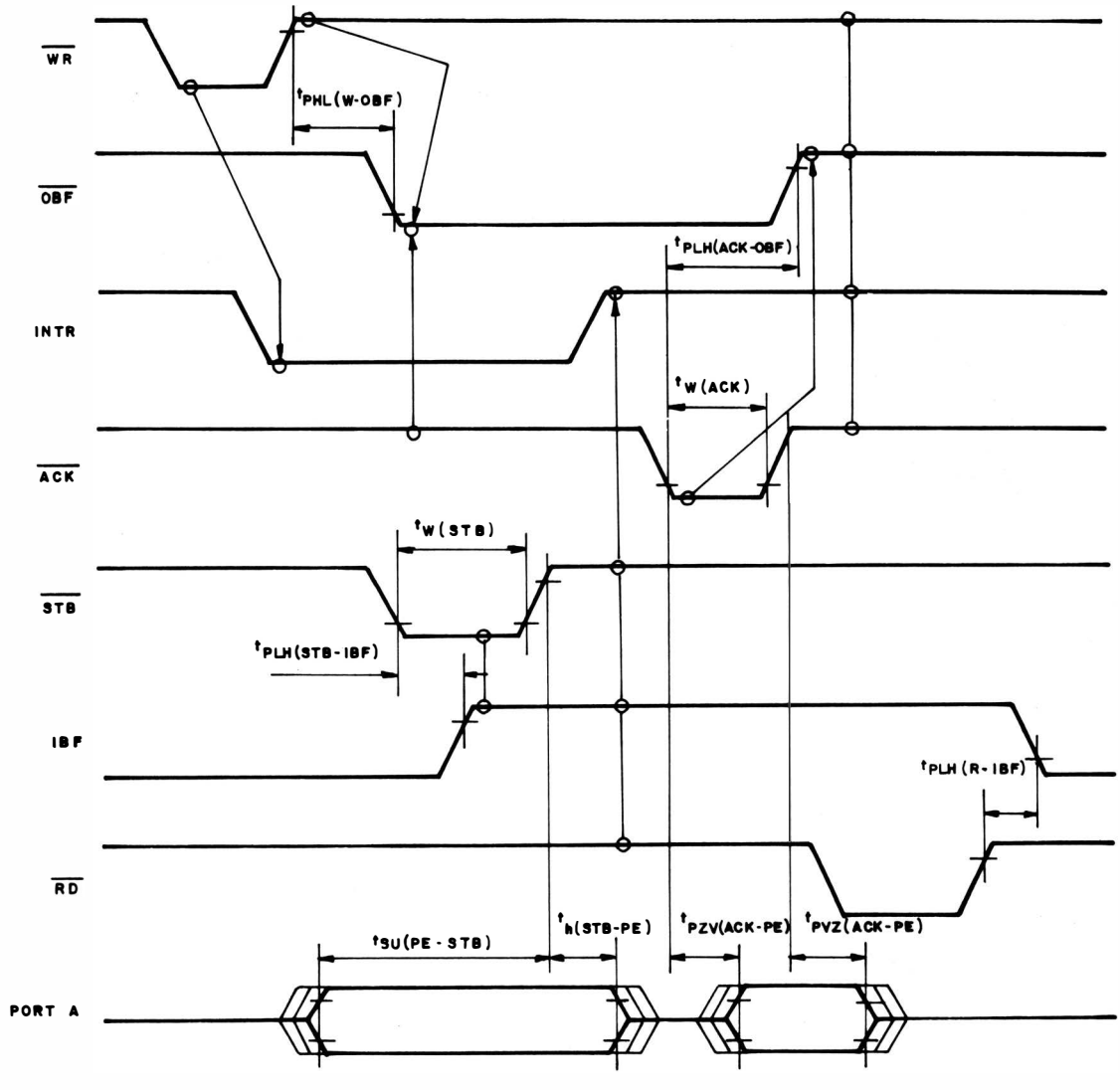
MODO 1 – ENTRADA COM STROBE



MODO 1 – SAÍDA COM STROBE



MODO 2 BIDIRECIONAL



OBSERVAÇÃO:

INTR = IBF • $\overline{MASK}$ • $\overline{STB}$ • $\overline{RD}$ + $\overline{OBF}$ • $\overline{MASK}$ • $\overline{ACK}$ • $\overline{WR}$

IC 8259A

PINAGEM

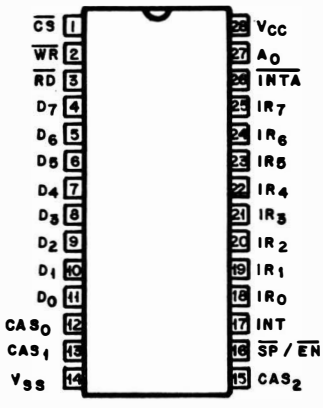
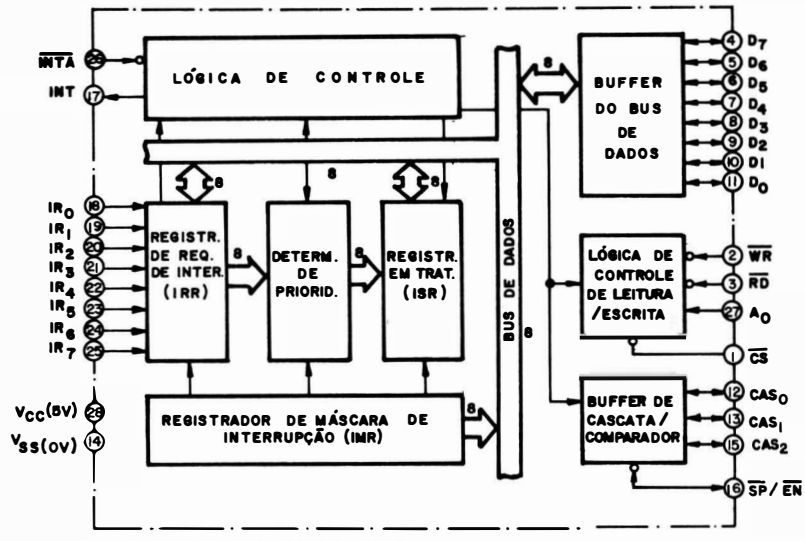


DIAGRAMA DE BLOCOS



Características

- ☐ Alimentação única 5V;
- ☐ Compatível com os dispositivos TTL;
- ☐ Gera automaticamente a instrução CALL para o microprocessador;
- ☐ Modos de interrupção programáveis;
- ☐ Controla 8 níveis de prioridade com possibilidade de expansão para até 64 níveis de interrupção através da ligação em cascata com outros IC 8259A.

Descrição Geral

Um sistema microcomputador requer que dispositivos tais como teclados, displays, sensores, etc., recebam tratamento de maneira eficiente a fim de que esse tratamento pouco ou nada interfira no processamento.

Um método comum para executar tal tratamento é conhecido como polling (varredura), onde o processador deve testar cada dispositivo sequencialmente, verificando, através da linha de status correspondente, se algum necessita de tratamento.

Se o dispositivo necessitar serviço, uma rotina de tratamento específica deve ser executada. Caso contrário o microprocessador deve prosseguir testando os outros dispositivos.

Apesar de econômico, este método apresenta algumas desvantagens:

- — O microprocessador muitas vezes perde tempo testando dispositivos que, no momento, não necessitam de tratamento.
- — Há ocasiões em que um dispositivo, necessitando de tratamento, deve esperar até que os outros sejam testados.
- — Dificuldade no estabelecimento de prioridades, no caso de um dispositivo ter maior prioridade que outro.

Portanto, este método compromete o processamento do sistema, limitando as tarefas que poderiam ser executadas pelo microprocessador.

Um método mais apropriado é deixar o microprocessador executando o programa principal, parando para servir algum dispositivo periférico apenas quando este requisitar tratamento. Tal método deve dispor de uma entrada externa assíncrona que informe ao microprocessador que deve completar a instrução em andamento e buscar uma nova rotina que trata o dispositivo requisitante. Uma vez executada a rotina de tratamento, o microprocessador deve voltar ao mesmo ponto onde deixou o programa principal. Este método é conhecido como interrupção.

Como se pode observar o processamento do sistema pode aumentar consideravelmente, permitindo ao microprocessador executar mais tarefas, embora o custo se eleve.

O IC 8259A é um controlador de interrupção programável projetado para o uso em sistemas baseados em microprocessadores do tipo 8085, 8086 ou 8088.

Ele aceita requisições de circuitos periféricos, determina qual das requisições tem a maior prioridade, verifica se a requisição recebida tem maior prioridade que a em execução, e, baseado nessa análise, envia um sinal de interrupção ao microprocessador.

Além de gerenciar 8 níveis de interrupção, o IC 8259A possui características que permitem expandi-lo a outros IC 8259A.

O programa principal pode mudar ou reconfigurar a prioridade das interrupções a qualquer momento. Isto permite uma ótima adaptação às condições do sistema.

TABELA 1
Descrição da Pinagem

PINO	NÚMERO	FUNÇÃO
$\overline{CS}$	1	CHIP SELECT: Esta entrada habilita o IC 8259A para comunicação de leitura e escrita com o microprocessador. A função INTA independe do Chip Select. Ativa em nível baixo.
$\overline{WR}$	2	CONTROLE DE ESCRITA: $\overline{WR}$ com $\overline{CS}$ em nível baixo, permite que o IC 8259A receba palavras de controle do microprocessador. Ativa em nível baixo.
$\overline{RD}$	3	CONTROLE DE LEITURA: Com $\overline{CS}$ em nível baixo, $\overline{RD}$ libera as informações de status no registrador interno do IC 8259A para o bus de dados. Ativa em nível baixo.
D7-D11	4-11	BUS DE DADOS: Este bus tristate e bidirecional, efetua a transferência de instruções CALL, endereços vetorados, informações de status, etc. entre o IC 8259A e o microprocessador.
CAS2-CAS0	15, 13	LINHAS DE CASCATEAMENTO: Estas linhas operam como saídas para um mestre ou entradas para um escravo. Através delas, o IC 8259A pode fazer o endereçamento individual de cada escravo.
SP/EN	16	ENTRADA DE PROGRAMA DE ESCRAVO/SAÍDA DE HABILITAÇÃO DO BUS: SP: No modo normal um mestre fica definido quando SP/EN = 1 e um escravo quando SP/EN = 0. EN: No modo buffer, o pino SP/EN envia um sinal para habilitar a saída do bus de dados.
INT	17	SAÍDA DE REQUISIÇÃO DE INTERRUPÇÃO: Este pino vai para nível alto sempre que uma interrupção válida for requerida, e é conectado diretamente à entrada de interrupção do microprocessador.
IR7-IR0	18-25	ENTRADA DE REQUISIÇÃO DE INTERRUPÇÃO: Uma requisição de interrupção é efetuada pela borda de subida em uma entrada IR (transição de baixo para alto), e mantendo-se em nível alto até que seja reconhecida (Modo de Disparo por Borda), ou apenas por um nível alto em uma entrada IR (Modo de Disparo por Nível).
INTA	26	ENTRADA DE RECONHECIMENTO DE INTERRUPÇÃO: Ao receber um pulso de reconhecimento de interrupção (INTA), o IC 8259A libera uma instrução CALL ou um endereço vetorado para o bus de dados. Ativa em nível baixo.
A0	27	ENTRADA DE ENDEREÇO: Este pino é normalmente conectado a uma linha de endereço e atua juntamente com $\overline{CS}$, $\overline{WR}$ e $\overline{RD}$. Serve para controlar a escrita de comandos e a leitura de status
V_{CC}	28	ALIMENTAÇÃO: + 5V
V_{SS}	14	TERRA

Descrição Funcional:

Registrador de Requisição de Interrupção (IRR)/Registrador em Tratamento (ISR):

IRR tem por finalidade armazenar todos os níveis de interrupção que estão requisitando tratamento, e ISR armazena todos os níveis de interrupção que estão sendo tratados.

Assim que um ou mais dos pinos IR7-IR0 recebem requisições de interrupção, ocorre a ativação dos bits correspondentes de IRR, e tão logo comece o tratamento de uma requisição de interrupção, o bit correspondente de ISR é ativado.

O status destes dois registradores pode ser lido.

Estes registradores estão interligados através do determinador de prioridades.

O reconhecimento de uma interrupção recebida por IRn pode se dar por transição ou por nível, dependendo do modo em que se estiver operando. Logo após o reconhecimento da requisição, ocorre o envio de um sinal INT e o sinal de requisição de interrupção vai para o latch (o bit correspondente de IRR) se o nível alto permanecer até o recebimento do primeiro pulso INTA. É importante observar que o sinal de requisição de interrupção deve permanecer até o recebimento do primeiro pulso INTA.

O armazenamento da requisição de interrupção em IRR provoca o envio de um sinal ao determinador de prioridades, exceto se estiver mascarado. Ao receber os sinais, o determinador de prioridades seleciona a requisição de interrupção armazenada em IRR de maior prioridade. A ativação de ISR se dá no recebimento do último pulso INTA enquanto o bit correspondente de IRR é desativado. Os demais bits de IRR não são afetados.
O bit de ISR não é desativado durante a rotina de interrupção, e sim no final da rotina, pelo comando EOI (Fim de Interrupção) ou pela transição posterior do último pulso INTA no modo AEOI (explicado adiante).

Determinador de Prioridade:
O determinador de prioridade examina todas as requisições de interrupção contidas em IRR para determinar e selecionar a de maior prioridade. O bit de ISR correspondente à requisição selecionada (de maior prioridade) é ativado pelo último pulso INTA.

Registrador de Mascaramento de Interrupção (IMR):
O conteúdo do registrador de mascaramento de interrupção é usado para mascarar (desabilitar) requisições de interrupção de pinos selecionados. Cada terminal é mascarado independentemente, de modo que o mascaramento de uma interrupção de determinada prioridade não afeta as interrupções de prioridades maiores ou menores.

Buffer do Bus de Dados:
O buffer do bus de dados é um buffer tristate bidirecional que serve como interface para o bus do sistema, transferindo: instruções CALL, endereços vetorados, informações de status, etc.

Lógica de Controle de Leitura/Escrita:
A lógica de controle de leitura/escrita controla funções de comunicação tais como recebimento de palavras de controle do microprocessador e fornecimento de informações sobre status para o bus de dados.

Buffer de Cascata/Comparador:
A função deste bloco é permitir a expansão, através de cascateamento. As três linhas de cascata (CAS0-CAS2) são saídas se o IC 8259A opera como mestre ou entradas se opera como escravo. Através delas o IC 8259A mestre envia o código identificador do escravo responsável pela interrupção. O escravo então liberará o endereço preprogramado da subrotina de tratamento durante os próximos pulsos INTA.

A figura 1 demonstra como o IC 8259A pode ser ligado para controlar interrupções em um sistema padrão, e a tabela 1 resume os sinais de controle para as operações básicas.

Seqüência de Funcionamento:
As características que fazem do IC 8259A um poderoso instrumento num sistema de computador são: a possibilidade de programá-lo e a capacidade de endereçar rotinas de interrupção.
A seqüência de eventos durante uma interrupção depende do tipo de microprocessador em uso.

Conexão do IC 8259A

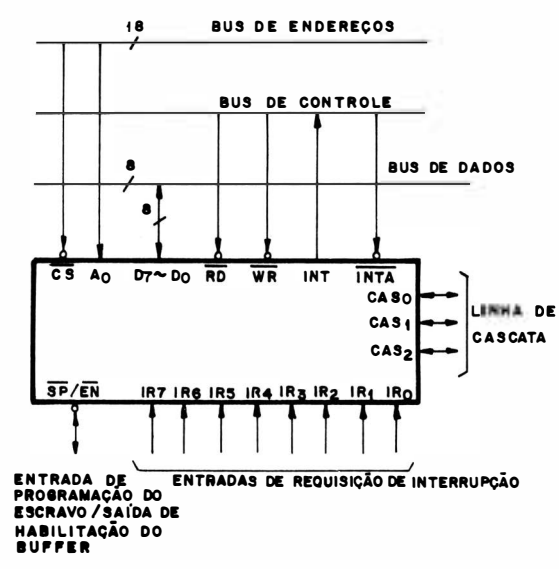


FIGURA 1

TABELA 1
Operação Básica

A0	D4	D3	RD	WR	CS	Operação de entrada (leitura)
0			0	1	0	IRR, ISR ou nível de interrupção → Bus de dados
1			0	1	0	IMR → Bus de dados
						Operação de saída (escrita)
0	0	0	1	0	0	Bus de dados → OCW2
0	0	1	1	0	0	Bus de dados → OCW3
0	1	X	1	0	0	Bus de dados → ICW1
1	X	X	1	0	0	Bus de dados → OCW1, ICW2, ICW3, ICW4
						Desabilitação
X	X	X	1	1	0	Bus de dados → alta impedância
X	X	X	X	X	1	Bus de dados → alta impedância

Quando o microprocessador for um 8085:

1 — Quando uma ou mais das entradas de requisição de interrupção apresentarem nível alto, os bits correspondentes do registrador de requisição de interrupção (IRR) serão ativados.

2 — Observa-se o estado de mascaramento e o nível de prioridade e, se for apropriado, o IC 8259A enviará um sinal INT ao microprocessador.

3 — Ao reconhecer o sinal INT, o microprocessador envia um sinal INTA (reconhecimento de interrupção) para o IC 8259A.

4 — Assim que receber o primeiro pulso INTA do microprocessador, o IC 8259A libera uma instrução CALL para o bus de dados.

5 — CALL é uma instrução de três bytes portanto o microprocessador envia dois pulsos INTA adicionais para o IC 8259A.

6 — Estes dois pulsos INTA permitem ao IC 8259A liberar o endereço da rotina de tratamento para o bus de dados. Os 8 bits menos significativos do endereço vetorado são enviados no segundo pulso INTA e os 8 bits mais significativos são enviados no terceiro. O bit de ISR correspondente à entrada de requisição de interrupção é ativado no terceiro pulso INTA vindo do microprocessador, e o bit de IRR correspondente vai para nível baixo.

7 — Isto conclui a instrução CALL de três bytes e a rotina de interrupção entrará em ação. O bit de ISR vai para nível baixo na borda posterior do terceiro pulso INTA no modo AEOI. Nos outros modos o bit ISR não irá para nível baixo até que o microprocessador envie um comando EOI (fim de interrupção (ver figura 2).

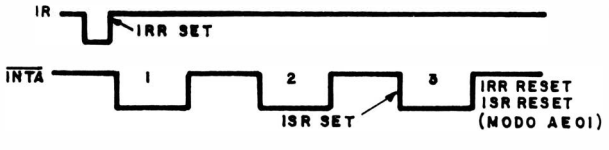


FIGURA 2

Quando o microprocessador for um 8086 ou 8088 os eventos são idênticos até o quarto passo.

4 — No primeiro pulso INTA vindo do microprocessador, o IC 8259A não acionará o bus de dados, que permanecerá em alta impedância.

5 — Quando o microprocessador enviar o segundo pulso INTA, um ponteiro de 8 bits será liberado para o bus de dados.

6 — Isto conclui o ciclo de interrupção e a rotina de interrupção entrará em ação. O bit de ISR (Registrador em Tratamento) vai para nível baixo na borda posterior do segundo pulso INTA no modo AEOI. Nos outros modos, o bit de ISR não irá para nível baixo até que o microprocessador envie um comando EOI (ver figura 3).

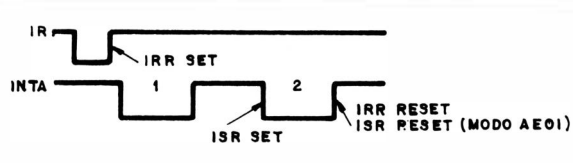


FIGURA 3

Se o nível em qualquer das entradas IR descer antes do primeiro pulso INTA, a interrupção será considerada como sendo gerada pelo pino IR7, exceto que, neste caso, o bit 7 de ISR não será ativado.
Portanto fica possível inibir uma requisição do tipo IR7 gerada por ruído, bastando para isso verificar, por software, na rotina de interrupção de IR7, se o bit de ISR está ativado ou não.
Tratando-se do modo disparado por transição, normalmente as entradas de requisição de interrupção mantém nível alto indo para nível baixo no caso de uma interrupção.

Seqüência de Saída de Interrupção:
Quando o microprocessador for um 8085:
Esta seqüência de interrupção é determinada por três pulsos INTA.
Uma instrução CALL vai para o bus de dados quando do reconhecimento do primeiro pulso INTA. No segundo pulso INTA, os 8 bits menos significativos do endereço vetorado são enviados, e os 8 bits mais significativos irão quando for recebido o terceiro pulso INTA. A tabela 2 apresenta o formato destas três saídas.

TABELA 2

Formatos para Interrupção Instrução CALL e endereços vetorados

Primeiro Pulso INTA (Instrução CALL)

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	1	0	0	1	1	0	1

Segundo Pulso INTA (8 bits menos significativos do endereço vetorado).

IR	INTERVALO = 4							
	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
IR_0	A_7	A_6	A_5	0	0	0	0	0
IR_1	A_7	A_6	A_5	0	0	1	0	0
IR_2	A_7	A_6	A_5	0	1	0	0	0
IR_3	A_7	A_6	A_5	0	1	1	0	0
IR_4	A_7	A_6	A_5	1	0	0	0	0
IR_5	A_7	A_6	A_5	1	0	1	0	0
IR_6	A_7	A_6	A_5	1	1	0	0	0
IR_7	A_7	A_6	A_5	1	1	1	0	0

IR	INTERVALO = 8							
	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
IR_0	A_7	A_6	0	0	0	0	0	0
IR_1	A_7	A_6	0	0	1	0	0	0
IR_2	A_7	A_6	0	1	0	0	0	0
IR_3	A_7	A_6	0	1	1	0	0	0
IR_4	A_7	A_6	1	0	0	0	0	0
IR_5	A_7	A_6	1	0	1	0	0	0
IR_6	A_7	A_6	1	1	0	0	0	0
IR_7	A_7	A_6	1	1	1	0	0	0

Terceiro Pulso INTA (8 bits mais significativos do endereço vetorado).

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
A_{15}	A_{14}	A_{13}	A_{12}	A_{11}	A_{10}	A_9	A_8

Quando o microprocessador for um 8086 ou 8088:
O modo 8086 é semelhante ao modo 8085 exceto que há apenas dois pulsos de reconhecimento de interrupção (INTA) e não existe o envio da instrução CALL.
Quando o IC 8259A receber o primeiro pulso INTA o bus de dados irá para o estado de alta impedância. Então o ponteiro T7-T0 será enviado no próximo pulso INTA.
A tabela 3 apresenta o conteúdo do ponteiro T7-T0. T2-T0 constituem um código binário correspondente ao nível de requisição de interrupção, A10-A5 não são utilizados e o controle de modo ADI (Intervalo Entre Endereços, ver ICW1) é ignorado.

TABELA 3

Conteúdo do Ponteiro de Interrupção Segundo Pulso INTA (Ponteiro de 8 bits).

	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
IR_0	T_7	T_6	T_5	T_4	T_3	0	0	0
IR_1	T_7	T_6	T_5	T_4	T_3	0	0	1
IR_2	T_7	T_6	T_5	T_4	T_3	0	1	0
IR_3	T_7	T_6	T_5	T_4	T_3	0	1	1
IR_4	T_7	T_6	T_5	T_4	T_3	1	0	0
IR_5	T_7	T_6	T_5	T_4	T_3	1	0	1
IR_6	T_7	T_6	T_5	T_4	T_3	1	1	0
IR_7	T_7	T_6	T_5	T_4	T_3	1	1	1

Programação do IC 8259A:
A programação do IC 8259A se dá por meio das palavras de Comando de Inicialização (ICWs) e das Palavras de Comando de Operação (OCWs), ambas contidas no bloco de leitura/escrita.

Palavras de Comando de Inicialização (ICWs):
Antes de entrar em operação normal, cada IC 8259A deve receber, através do bus de dados ou sob o comando de $\overline{WR}$, uma seqüência de 2 a 4 palavras (ICW1, ICW2, ICW3, ICW4) que definem um ponto de partida para o dispositivo.
A figura 4 apresenta a seqüência a ser seguida para o envio das ICWs.
ICW1 — A figura 5 explica o significado e as funções dos bits de ICW1. ICW1 contém os bits A7-A5 do endereço vetorado, um flag que indica se a entrada de interrupção é ativada por transição ou por nível, o intervalo de endereços CALL, além de determinar se se utiliza o modo IC 8259A único ou o cascateado, e se se requer ICW4 ou não.
Sempre que um comando for recebido com A0 = 0 e D4 = 1 este será interpretado como sendo ICW1 e ocorrerá o seguinte:
1 — O registrador de mascaramento de interrupção é limpo (IMR).
2 — A entrada de requisição de interrupção IR7 é designada como a de menor prioridade.
3 — O modo de mascaramento especial é limpo e o status lido é montado no registrador de requisição de interrupção (IRR).
4 — Se IC4 = 0 todos os bits de ICW4 serão iguais a 0.

ICW2 — ICW2 contém os bits A15-A8 dos endereços vetorados ou interrupção tipo T7-T3, a figura 5 apresenta a sua configuração.

ICW3 — Se o bit SNG de ICW1 for igual a 1, isto significa que o sistema possui apenas um único IC 8259A assim sendo ICW3 é ignorada. SNG = 0 torna ICW3 válida e indica conexões em cascata com outros IC 8259A.
No modo mestre, a conexão de um escravo a uma determinada linha do bus de dados é indicada colocando-se um 1 no bit correspondente de ICW3 (ver figura 3).
No caso do microprocessador ser um 8085, o mestre libera a instrução CALL no primeiro pulso INTA, e o escravo envia o endereço vetorado para o bus de dados no segundo e terceiro pulsos INTA.

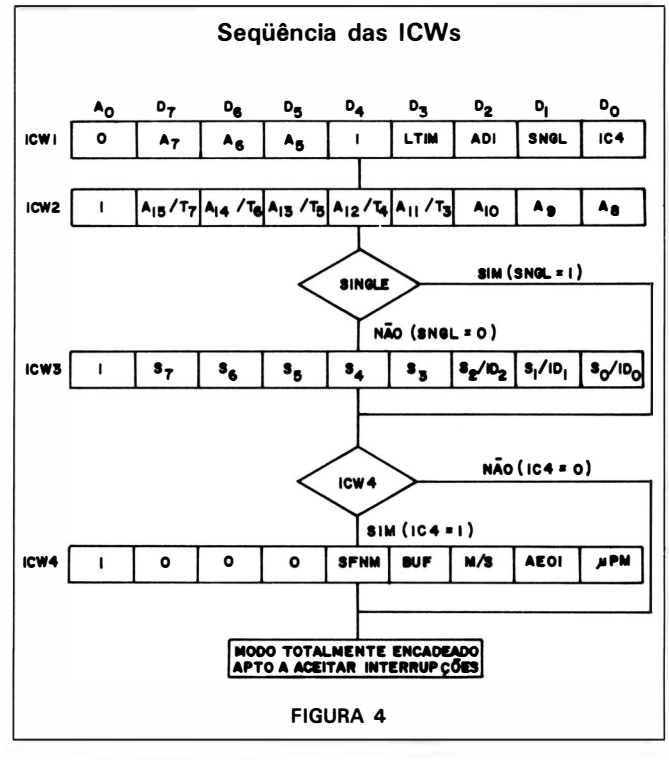


FIGURA 4

Se o microprocessador for um 8086, o mestre e o escravo permanecem em alta impedância no primeiro pulso INTA e o escravo libera o ponteiro para o bus de dados no segundo pulso INTA.
O modo mestre fica definido quando o pino SP/EN estiver em nível alto, ou BUF = 1 e M/S = 1 em ICW4, e o modo escravo quando o pino SP/EN estiver em nível baixo ou BUF = 1 e M/S = 0 em ICW4.
No modo escravo, os três bits ID2-ID0 identificam o escravo. Assim o mestre libera o código do escravo para as linhas do cascateamento (CAS2-CAS0) e o escravo com o código ID correspondente envia o endereço vetorado para o bus de dados no próximo pulso INTA.

ICW4 — ICW4 só é válida quando o bit IC4 de ICW1 for igual a 1 caso contrário todos os bits irão para 0. ICW4, quando válida, especifica o modo totalmente encadeado especial, modo mestre/escravo com buffer, EOI automático e modo microprocessador. A figura 5 mostra o formato de ICW4.

Palavras de Comando de Inicialização (ICWs)

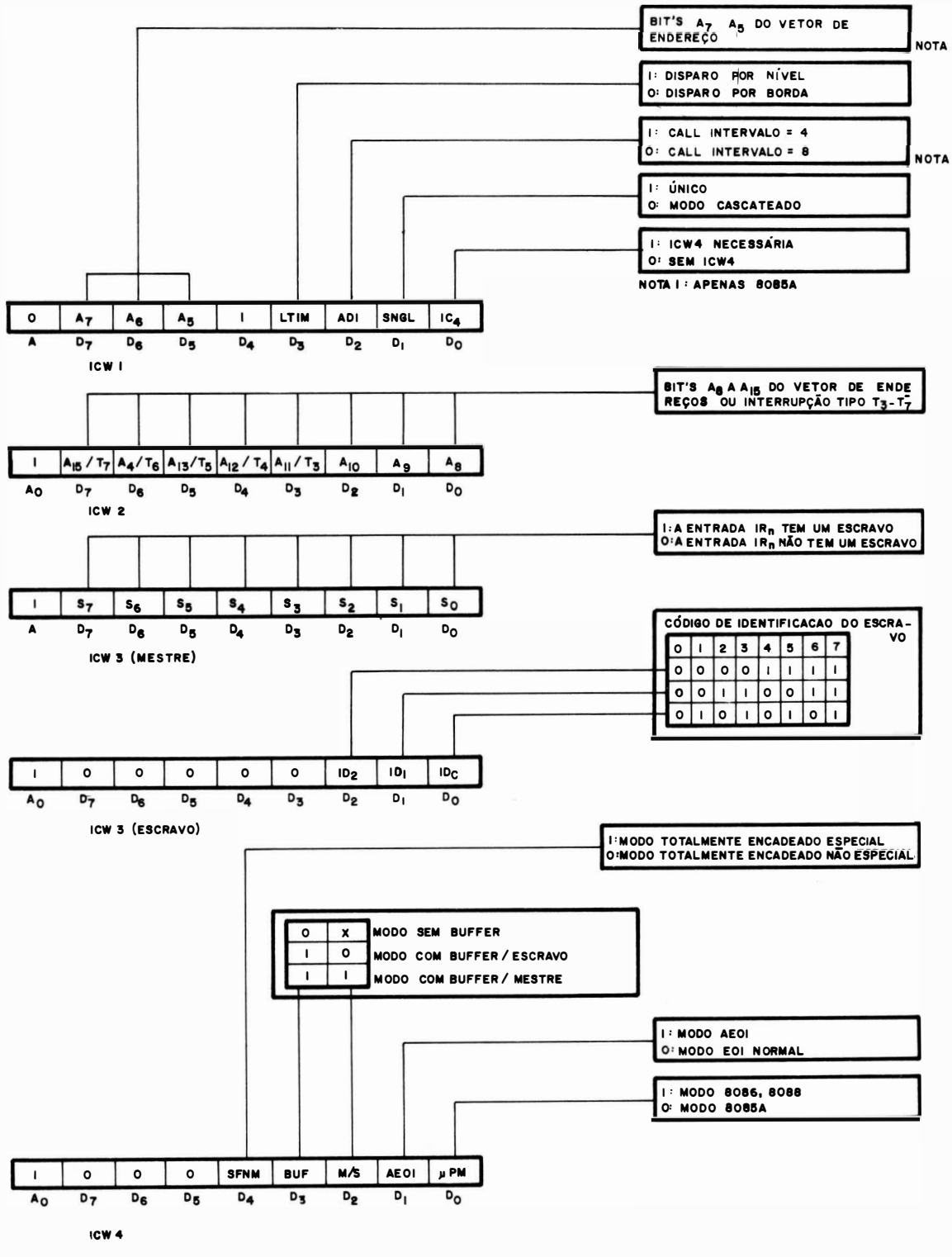


FIGURA 5

Palavras de Comando de Operação (OCWs):
Após a seqüência de inicialização, o IC 8259A está apto a aceitar requisições de interrupção, entretanto durante a operação é possível alterar o modo de trabalho através das palavras de comando de operação.

OCW1 — OCW1 ativa ou desativa os bits do registrador de mascaramento de interrupção (IMR). M7-M0 representam os 8 bits da máscara.

M = 1 indica canal mascarado (inibido).
M = 0 indica canal habilitado.

OCW2 — Através de OCW2 pode-se alterar a prioridade das entradas de interrupção, e também emitir comandos de EOI para o IC 8259A.

OCW3 — OCW3 é usada para especificar o modo de mascaramento especial, modo poll (varredura) e leitura do registrador de status.

Palavra de Comando de Operação (OCWs)

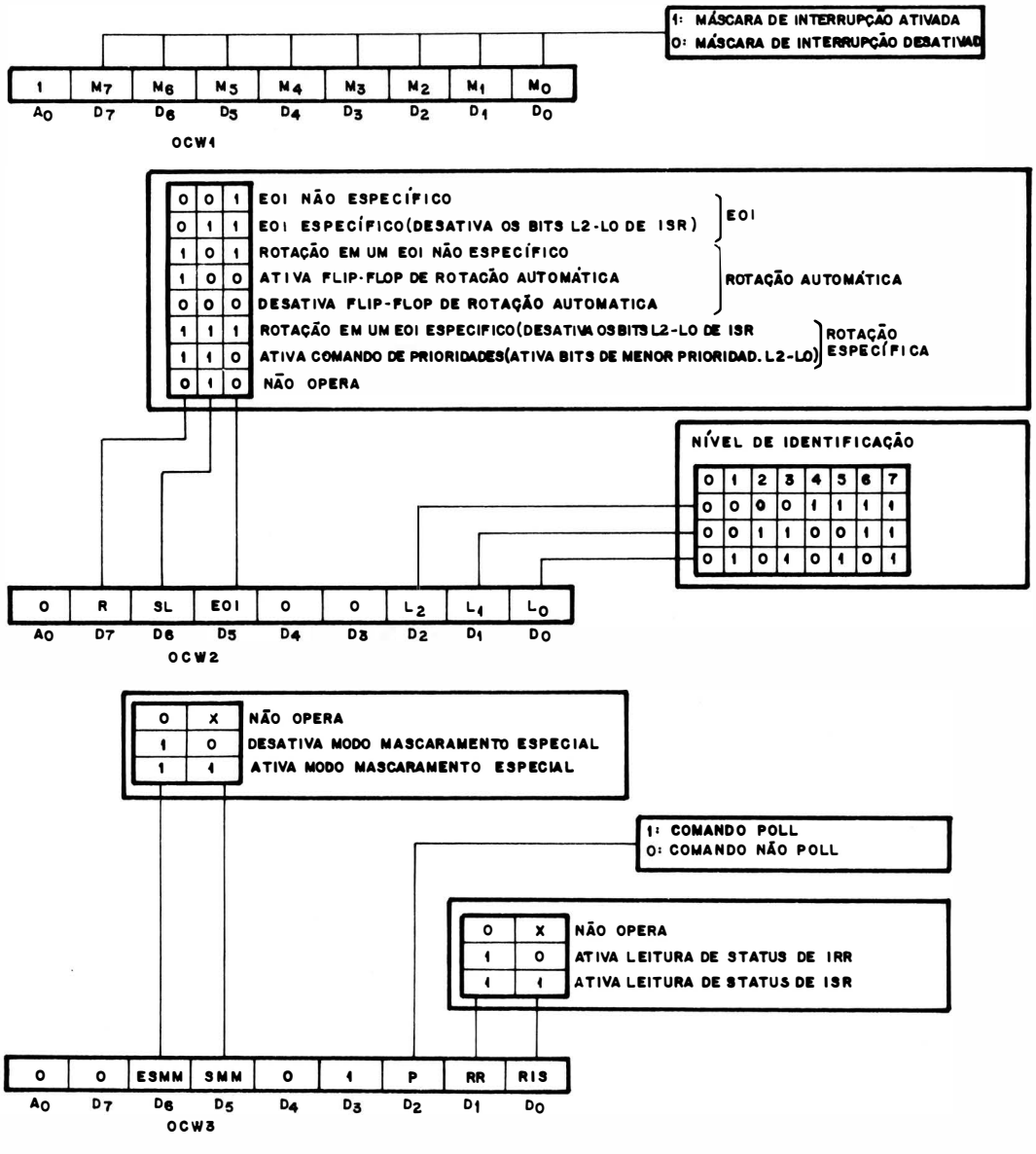


FIGURA 6

Funções de Comando:

Máscaras de Interrupção:

Cada entrada de requisição de interrupção (IR) pode ser mascarada individualmente pelo registrador de máscara de interrupção (IMR), carregado por OCW1.
Cada bit de IMR mascara um canal de interrupção se estiver ativado (1).
O mascaramento de um canal não interfere no outro.

Modo Mascaramento Especial:

Algumas aplicações podem requerer que uma rotina de tratamento de interrupção altere dinamicamente a estrutura de prioridade durante sua execução sob controle do software. Por exemplo: a rotina pode desejar inibir requisições de prioridades inferiores em uma parte da sua execução e habilitar algumas delas em outras. A dificuldade aqui é que se um comando EOI ainda não desativou o bit de ISR (isto é: se a rotina de tratamento está ainda em execução, todas as requisições de prioridade inferior ficarão inibidas e a rotina dificilmente as habilitará. Neste caso emprega-se o Modo Mascaramento Especial.
Quando o bit do registrador de mascaramento de interrupção (IMR), correspondente ao pino cuja requisição está em andamento, for ativado através de OCW1, futuras requisições de interrupção nesse mesmo pino serão desabilitadas. Então ativa-se o Modo Mascaramento Especial através de OCW3 (com ESMM = 1 e SMM = 1), isto habilita todas as outras requisições de interrupção que não estiverem mascaradas, sejam elas de prioridade inferior ou superior.
Portanto, qualquer interrupção pode ser seletivamente habilitada carregando-se o registrador de mascaramento de interrupção (IMR).
O Modo Mascaramento Especial é desativado quando ESMM = 1 e SMM = 0 em OCW3.

Modo Buffer:

O Modo Buffer organiza o IC 8259A de modo que possa enviar um sinal de habilitação através de SP/EN a fim de habilitar o buffer do bus de dados, quando o bus de dados necessitar do buffer ou quando se utilizar o modo cascateado.
No Modo Buffer, quando a saída do bus de dados do IC 8259A for habilitada, a saída SP/EN irá para nível baixo.
O Modo Buffer é ativado ou desativado através de ICW4.

Modo Totalmente Encadeado:

O Modo Totalmente Encadeado é o modo usual de operação quando nenhum outro modo é especificado. Neste modo, a entrada de requisição de interrupção IR7 tem a prioridade mais baixa e IR0 a mais alta. Quando uma requisição de interrupção for reconhecida, a instrução CALL e o endereço vetorado são liberados para o bus de dados. Ao mesmo tempo ocorre a ativação do bit correspondente a interrupção aceita no registrador em tratamento (ISR). Este bit de ISR permanecerá ativado até um comando EOI ou a borda posterior do último pulso INTA no Modo AEOI o desativar.
Durante a execução de uma rotina de tratamento de interupção, requisições de interrupção de ordem semelhante ou inferior são desabilitadas enquanto o bit de ISR permanecer ativado. Pode-se alterar as prioridades através de OCW2.

Modo Totalmente Encadeado Especial:

O Modo Totalmente Encadeado Especial é utilizado quando se emprega o cascateamento, e a programação para o mestre se dá através de ICW4. O Modo Totalmente Encadeado Especial e praticamente igual ao Modo Totalmente Encadeado com duas diferenças:

1 — Durante o tratamento de uma interrupção de um determinado escravo, a lógica de prioridades do mestre não o ignora. O mestre reconhecerá interrupções de prioridade maior dentro do escravo, e iniciará uma requisição de interrupção para o microprocessador. Geralmente, no Modo Totalmente Encadeado normal, a prioridade do mestre ignora um escravo tratado, e portanto interrupções de maior prioridade num mesmo escravo não são tratadas.

2 — Durante o tratamento de uma interrupção de um determinado escravo o software deve verificar ISR para determinar se existem requisições de interrupção adicionais a serem tratadas. Se o bit de ISR for 0 o comando EOI pode ser enviado para o mestre também. Porém se não for 0 o comando EOI não deve ser enviado ao mestre.

Modo Poll:

No Modo Poll (varredura) a entrada INT não é utilizada ou o flip-flop interno do microprocessador é carregado com zero desabilitando sua entrada de interrupção.
O tratamento para o dispositivo é executado por software usando um comando poll para pesquisar os IC 8259A. No Modo Poll o IC 8259A, no próximo pulso $\overline{RD}$, coloca 8 bits no bus de dados, que indica se há uma requisição de interrupção e lê o nível de prioridade.
O formato da informação no bus de dados está ilustrado a seguir:

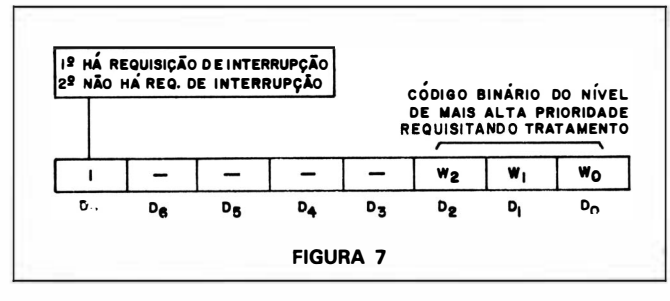


FIGURA 7

Quando I = 0 (não há requisição de interrupção), W2 ~ W0 é 111.
O poll é válido de $\overline{WR}$ para $\overline{RD}$ e a interrupção é congelada.
Este modo pode ser usado para processamento de rotinas de tratamento comum para interrupções de mais que uma linha e não requer qualquer seqüência INTA. O comando poll é enviado fazendo-se P = 1 em OCW3.

EOI (Fim de Interrupção) e SEOI (EOI Específica):

O IC 8259A necessita de um comando EOI para levar o bit de ISR para nível baixo. Portanto antes de retornar

de uma rotina de tratamento de interrupção, o IC 8259A deve receber um comando EOI.
Quando um EOI automático (AEOI) for selecionado em ICW4, o bit de ISR pode ser levado para nível baixo na borda posterior do último pulso INTA. Quando AEOI não for selecionado o bit de ISR é levado para nível baixo pelo comando EOI enviado ao IC 8259A antes do retorno de uma rotina de tratamento de interrupção.
Quando programado no modo cascateado, o comando EOI deve ser enviado uma vez ao mestre e outra ao escravo correspondente. Há duas formas de comando EOI: EOI específico e EOI não específico.
Quando o IC 8259A está no Modo Totalmente Encadeado o bit de ISR sendo servido é levado para nível baixo pelo comando EOI.
Quando EOI não específico for enviado, o IC 8259A automaticamente desativará o mais alto bit de ISR entre os que estiverem ativados. Os outros bits de ISR são desativados por um EOI específico e o bit a ser desativado é especificado em EOI pelo programa. SEOI é útil em outros modos que não o modo totalmente encadeado.
Quando o IC 8259A estiver no modo de mascaramento especial, os bits de ISR mascarados em IMR não serão desativados por EOI.
EOI e SEOI são selecionados por OCW2.

AEOI (EOI Automático):
No modo AEOI o IC 8259A executa automaticamente um comando EOI não específico na borda posterior do último pulso INTA. Quando AEOI = 1 em ICW4, o IC 8259A é continuamente colocado no modo AEOI até a reprogramação de ICW4.
O modo AEOI pode ser usado apenas em um mestre e não em um escravo.

Rotação Automática:
A rotação automática é utilizada em aplicações onde se espera que ocorra muitas requisições de interrupção de mesmo nível (dispositivos de igual prioridade), tais como as de sistemas de comunicação multicanal. Neste modo, quando uma requisição de interrupção for tratada, esta será asinalada como sendo a de menor prioridade. Assim sendo, se houver outras requisições de interrupção, elas terão prioridade maior. Isto significa que a próxima requisição de interrupção, na entrada cuja requisição está sendo tratada, só será atendida após o tratamento de todas as outras (o pior caso é esperar as outras 7 requisições a serem tratadas).
A figura 8 ilustra um exemplo de rotação dos registradores de status e de prioridade.
Há duas maneiras de executar a rotação automática através de OCW2: a rotação no comando EOI não específico (R = 1, SL = 0, EOI = 1) e a rotação no modo EOI automático ativada com R = 1, SL = 0, EOI = 0 e desativada com R = 0, SL = 0, EOI = 0).

Rotação Específica:
A rotação específica oferece ao usuário versatilidade em operações de interrupção controlada. Ela atua em aplicações onde a prioridade de interrupção de um determinado dispositivo deve ser alterada.
Ao contrário da rotação automática que posiciona as prioridades automaticamente, a rotação específica é

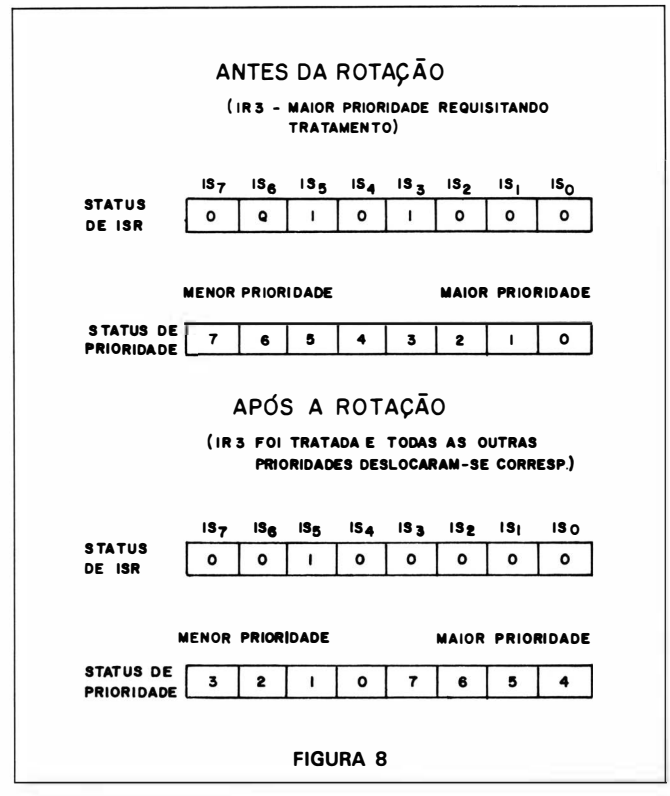


FIGURA 8

completamente controlada pelo usuário. Isto é, o usuário, por software, seleciona o nível de interrupção que deve receber a menor prioridade. Por exemplo: selecionando-se IR5 como a de menor prioridade então IR6 terá a maior. OCW2 permite a execução desta operação, onde: R = 1, SL = 1 e L0-L2 é o código binário da entrada que deverá ter a menor prioridade.

Modo de Disparo por Nível/Modo de Disparo por Borda:
A seleção do modo de disparo por nível ou modo de disparo por borda do IC 8259A é efetuada por ICW1.
Ao usar o modo disparado por borda, além da transição de nível baixo para alto, deve-se ainda manter nível alto até o primeiro pulso INTA. Caso o nível alto não seja mantido até o primeiro INTA, a requisição de interrupção será tratada como se fosse recebida por IR7, exceto que o bit de ISR não será ativado.
O modo de disparo por nível opera de maneira semelhante ao modo de disparo por transição, porém não necessita da transição de nível baixo para alto para que ocorra o disparo da requisição de interrupção.
No modo de disparo por nível e juntamente com o modo AEOI, se o nível alto for mantido por muito tempo, a interrupção ocorrerá imediatamente. A fim de evitar esta situação, as interrupções devem ser mantidas desabilitadas até o fim da rotina de tratamento ou até a entrada IR voltar para nível baixo. No modo de disparo por borda este problema não existe, pois a requisição de interrupção é disparada pela borda.

Leitura do Status Interno do IC 8259A:
A leitura do status interno do IC 8259A permite ao microprocessador verificar o conteúdo de IRR e ISR. Isto se faz através de OCW3.

Para ler o registrador de requisição de interrupção (IRR) o IC 8259A deve receber, antes do pulso RD, uma OCW3 com RR = 1 e RIS = 0. O registrador em tratamento (ISR) pode ser lido enviando-se uma OCW3 com RR = 1 e RIS = 1, antes do pulso RD.
Não há necessidade de um comando especial para ler o conteúdo do registrador de máscara de interrupção (IMR). O conteúdo de IMR irá para o bus de dados quando RD = 0 e A0 = 1 (OCW1).
Também é desnecessário enviar um comando de leitura de registrador cada vez que se for ler IRR ou ISR. Uma vez que o IC 8259A recebeu um comando de leitura, este permanecerá válido até que seja mudado.
Isto não vale para o modo poll.
É importante lembrar que o programador deve enviar um comando poll cada vez que for verificar se há uma requisição de interrupção e ler o nível de prioridade.
O poll prevalece sobre a leitura do status quando P = 1 e RR = 1 em OCW3.

Cascateamento:
O IC 8259A pode estar conectado a um sistema mestre com até 8 escravos permitindo o controle de até 64 níveis de prioridade.
A figura 9 apresenta um sistema de três unidades que pode ser usado com o 8085.

O mestre pode selecionar um escravo emitindo o seu código de identificação por intermédio de três linhas de cascateamento (CAS0, CAS1 e CAS2). Cada escravo tem a sua saída INT conectada à respectiva entrada de requisição de interrupção do mestre.
Quando uma requisição de interrupção de um dos escravos vai ser servida, o mestre libera o código de identificação de escravo através das linhas de cascateamento, então o escravo enviará o endereço vetorado no próximo pulso INTA.
As linhas de cascata do mestre apresentam normalmente nível baixo, e irão conter o código do escravo entre a borda anterior do primeiro pulso INTA e a borda posterior do último pulso INTA. Recomenda-se não ligar um escravo a IR0 a menos que todas as outras entradas IR já possuam um escravo conectado. Isto evita que o escravo em IR0 envie o endereço vetorado juntamente com o mestre no caso de um pedido de interrupção em outra entrada IR não conectada a um escravo. O mestre e o escravo podem estar programados para trabalhar em modos diferentes.
ICWs devem ser liberadas para cada dispositivo e comandos EOI devem ser enviados duas vezes: uma para o mestre e outra para o escravo correspondente.
Cada $\overline{CS}$ dos IC 8259A requer um decodificador de endereço.

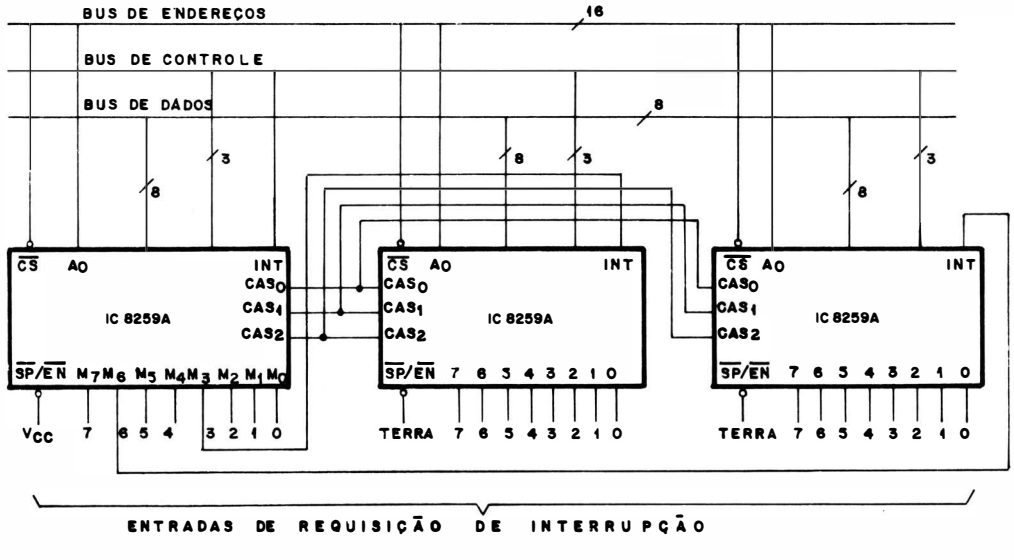


FIGURA 9

Conjunto de Instruções

NÚMERO	MNEMÔNICO	CÓDIGO DA INSTRUÇÃO									FUNÇÃO			
		A_8	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0	ICW4	INTERVALO	ÚNICO	DISPARO
1	ICW1 A	0	A_7	A_6	A_5	1	0	1	1	0	N	4	S	B
2	ICW1 B	0	A_7	A_6	A_5	1	1	1	1	0	N	4	S	L
3	ICW1 C	0	A_7	A_6	A_5	1	0	1	0	0	N	4	N	B
4	ICW1 D	0	A_7	A_6	A_5	1	1	1	0	0	N	4	N	L
5	ICW1 E	0	A_7	A_6	0	1	0	0	1	0	N	8	S	B
6	ICW1 F	0	A_7	A_6	0	1	1	0	1	0	N	8	S	L
7	ICW1 G	0	A_7	A_6	0	1	0	0	0	0	N	8	N	B
8	ICW1 H	0	A_7	A_6	0	1	1	0	0	0	N	8	N	L
9	ICW1 I	0	A_7	A_6	A_5	1	0	1	1	1	S	4	S	B
10	ICW1 J	0	A_7	A_6	A_5	1	1	1	1	1	S	4	S	L
11	ICW1 K	0	A_7	A_6	A_5	1	0	1	0	1	S	4	N	B
12	ICW1 L	0	A_7	A_6	A_5	1	1	1	0	1	S	4	N	L
13	ICW1 M	0	A_7	A_6	0	1	0	0	1	1	S	8	S	B
14	ICW1 N	0	A_7	A_6	0	1	1	0	1	1	S	8	S	L
15	ICW1 O	0	A_7	A_6	0	1	0	0	0	1	S	8	N	B
16	ICW1 P	0	A_7	A_6	0	1	1	0	0	1	S	8	N	L
17	ICW2	1	A_{15}	A_{14}	A_{13}	A_{12}	A_{11}	A_{10}	A_9	A_8	Endereço vetorado - 8 bits			
18	ICW3 M	1	S_7	S_6	S_5	S_4	S_3	S_2	S_1	S_0	Conexões a escravos (modo mestre)			
19	ICW3 S	1	0	0	0	0	0	ID_2	ID_1	ID_0	Código identificador do escravo (modo escravo)			
											SFNM	BUF	AEOI	8086
20	ICW4 A	1	0	0	0	0	0	0	0	0	N	N	N	N
21	ICW4 B	1	0	0	0	0	0	0	0	1	N	N	N	S
22	ICW4 C	1	0	0	0	0	0	0	1	0	N	N	S	N
23	ICW4 D	1	0	0	0	0	0	0	1	1	N	N	S	S
24	ICW4 E	1	0	0	0	0	0	1	0	0	N	N	N	N
25	ICW4 F	1	0	0	0	0	0	1	0	1	N	N	N	S
26	ICW4 G	1	0	0	0	0	0	1	1	0	N	N	S	N
27	ICW4 H	1	0	0	0	0	0	1	1	1	N	N	S	S
28	ICW4 I	1	0	0	0	0	1	0	0	0	N	S E	N	N
29	ICW4 J	1	0	0	0	0	1	0	0	1	N	S E	N	S
30	ICW4 K	1	0	0	0	0	1	0	1	0	N	S E	S	N
31	ICW4 L	1	0	0	0	0	1	0	1	1	N	S E	S	S
32	ICW4 M	1	0	0	0	0	1	1	0	0	N	S M	N	N
33	ICW4 N	1	0	0	0	0	1	1	0	1	N	S M	N	S
34	ICW4 O	1	0	0	0	0	1	1	1	0	N	S M	S	N
35	ICW4 P	1	0	0	0	0	1	1	1	1	N	S M	S	S
36	ICW4 NA	1	0	0	0	1	0	0	0	0	S	N	N	N
37	ICW4 NB	1	0	0	0	1	0	0	0	1	S	N	N	S
38	ICW4 NC	1	0	0	0	1	0	0	1	0	S	N	S	N
39	ICW4 ND	1	0	0	0	1	0	0	1	1	S	N	S	S
40	ICW4 NE	1	0	0	0	1	0	1	0	0	S	N	N	N
41	ICW4 NF	1	0	0	0	1	0	1	0	1	S	N	N	S
42	ICW4 NG	1	0	0	0	1	0	1	1	0	S	N	S	N
43	ICW4 NH	1	0	0	0	1	0	1	1	1	S	N	S	N
44	ICW4 NI	1	0	0	0	1	1	0	0	0	S	S E	N	N
45	ICW4 NJ	1	0	0	0	1	1	0	0	1	S	S E	N	S
46	ICW4 NK	1	0	0	0	1	1	0	1	0	S	S E	S	N
47	ICW4 NL	1	0	0	0	1	1	0	1	1	S	S E	S	S
48	ICW4 NM	1	0	0	0	1	1	1	0	0	S	S M	N	N
49	ICW4 NN	1	0	0	0	1	1	1	0	1	S	S M	N	S
50	ICW4 NO	1	0	0	0	1	1	1	1	0	S	S M	S	N
51	ICW4 NP	1	0	0	0	1	1	1	1	1	S	S M	S	S
52	OCW1	1	M_7	M_6	M_5	M_4	M_3	M_2	M_1	M_0	Máscara de interrupção			
53	OCW2 E	0	0	0	1	0	0	0	0	0	EOI			
54	OCW2 SE	0	0	1	1	0	0	L_2	L_1	L_0	SEOI			
55	OCW2 RE	0	1	0	1	0	0	0	0	0	Rotação no EOI não específico (rotação automática)			
56	OCW2 RSE	0	1	1	1	0	0	L_2	L_1	L_0	Rotação no EOI específico (rotação automática)			
57	OCW2 R	0	1	0	0	0	0	0	0	0	Rotação no Modo AEOI (Set)			
58	OCW2 CR	0	0	0	0	0	0	0	0	0	Rotação no Modo AEOI (Clear)			
59	OCW2 RS	0	1	1	0	0	0	L_2	L_1	L_0	Ativa prioridade sem EOI			
60	OCW3 P	0	0	0	0	0	1	1	0	0				
61	OCW3 RIS	0	0	0	0	0	1	0	1	1				
62	OCW3 RR	0	0	0	0	0	1	0	1	0				
63	OCW3 SM	0	0	1	1	0	1	0	0	0				
64	OCW3 RSM	0	0	1	0	0	1	0	0	0				

OBSERVAÇÕES:
S = Sim, N = Não, B = Borda, L = Nível, M = Mestre, E = Escravo, SFNM = Modo Totalmente Encadeado Especial, BUF = Modo BUFFER, AEOI = EOI Automático

VALORES MÁXIMOS ABSOLUTOS

Tensão de alimentação	−0,5V a 7V
Tensão de entrada	−0,5V a 7V
Tensão de saída	−0,5V a 7V
Potência dissipada (25°C)	1000 mW
Temperatura de armazenamento	−65°C a 150°C
Temperatura de operação	−20°C a 75°C

CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	NOM.	MÁX.	
V_{CC}	Tensão de alimentação	4,5	5	5,5	V
V_{SS}	Tensão de alimentação		0		V
V_{IH}	Tensão de entrada — nível alto	2		$V_{CC}+0,5$	V
V_{IL}	Tensão de entrada — nível baixo	−0,5		0,8	V

OBSERVAÇÃO:
T_A −20°C ~ 75°C

CARACTERÍSTICAS DC

SÍMBOLO	PARÂMETRO		LIMITES			UNIDADE	CONDIÇÕES DE TESTE
			MÍN.	TIP.	MÁX.		
V_{OH}	Tensão de saída nível alto		2,4			V	I_{OH} = −400μA
		Saída INT	3,5			V	I_{OH} = −100μA
			2,4			V	I_{OH} = −400μA
V_{OL}	Tensão de saída — nível baixo				0,45	V	I_{OL} = 2,2 mA
I_{CC}	Corrente de alimentação				85	mA	
I_{IH}	Corrente de entrada nível alto		−10		10	μA	$V_I = V_{CC}$
		Entradas IR			10	μA	
I_{IL}	Corrente de entrada nível baixo		−10		10	μA	V_I = 0V
		Entradas IR	−300			μA	
I_{OZ}	Corrente de saída em tristate		−10		10	μA	$V_{SS}=0$, $V_I=0,45V \sim 5,5V$
C_O	Capacitância de saída				10	pF	$V_{CC}=V_{SS}$, $T_A=25°C$
$C_{I/O}$	Capacitância de entrada/saída				20	pF	f=1MHz, 25mV_{RMS}

OBSERVAÇÃO:
T_A = −20°C ~ 75°C, V_{CC} = 5V ± 10% a menos que indicado o contrário

REQUISITOS DE TIMING

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	TIP.	MÁX.	
$t_{w(W)}$	Largura do pulso de escrita	290			ns
$t_{su(A-W)}$	Tempo de setup de endereços antes da escrita	0			ns
$t_{h(W\ A)}$	Tempo de hold de endereços após a escrita	0			ns
$t_{su(DQ-W)}$	Tempo de setup de dados antes da escrita	240			ns
$t_{h(W-DQ)}$	Tempo de hold de dados após a escrita	0			ns
$t_{w(R)}$	Largura do pulso de leitura	235			ns
$t_{su(A-R)}$	Tempo de setup de endereços antes da leitura	0			ns
$t_{h(R-A)}$	Tempo de hold de endereços após a leitura	0			ns
$t_{w(IR)}$	Largura do pulso em IR, tempo de nível baixo, modo disparado por borda	100			ns
$t_{su(CAS-INTA)}$	Tempo de setup das linhas CAS após INTA (escravo)	55			ns
$t_{rec(W)}$	Tempo de recuperação da escrita	190			ns
$t_{rec(R)}$	Tempo de recuperação da leitura	160			ns
$t_{d(RW)}$	Fim do comando para o próximo comando (não do mesmo tipo)	500			ns
	Fim da seqüência INTA para a próxima seqüência INTA	625			ns

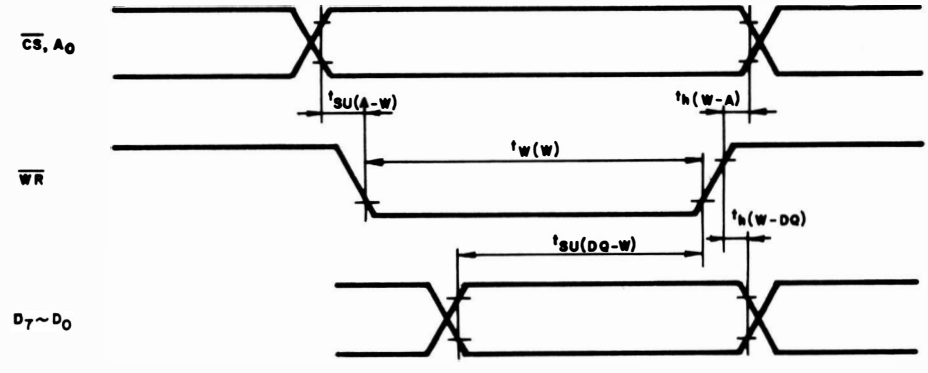
OBSERVAÇÃO:
$T_A = -20°C \sim 75°C$, $V_{CC} = 5 \pm 10\%$, a menos que indicado o contrário

CARACTERÍSTICAS AC

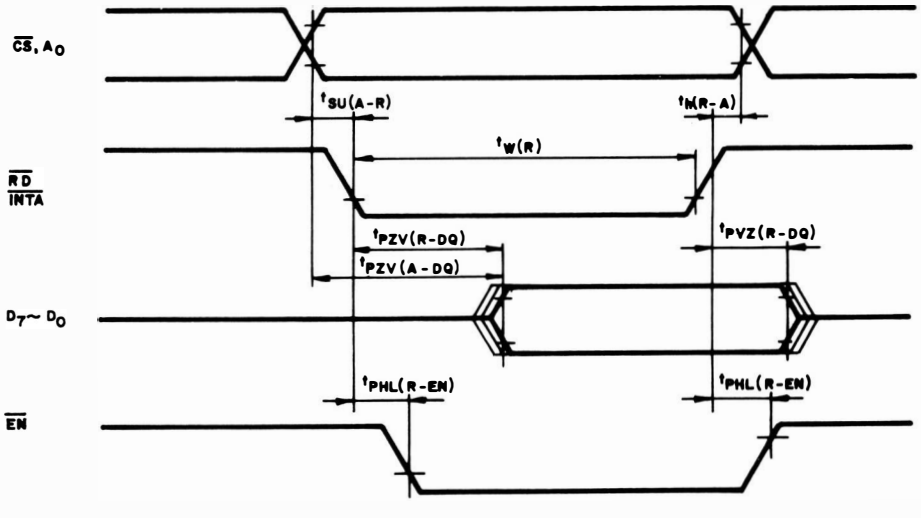
SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	TIP.	MÁX.	
$t_{pzv(R-DQ)}$	Tempo de habilitação dos dados após a leitura			200	ns
$t_{pvz(R-DQ)}$	Tempo de desabilitação dos dados após a leitura	10		100	ns
$t_{pzv(A-DQ)}$	Tempo de habilitação dos dados após os endereços válidos			200	ns
$t_{phl(R-EN)}$	Tempo de atraso: habilitação do sinal de saída após a leitura			125	ns
$t_{plh(R-EN)}$	Tempo de atraso: desabilitação do sinal de saída após a leitura			150	ns
$t_{plh(IR-INT)}$	Tempo de atraso: INT após sinal de requisição de interrupção			350	ns
$t_{plv(INTA-CAS)}$	Tempo de atraso: saídas de cascateamento (mestre) após INTA			565	ns
$t_{pzv(CAS-DQ)}$	Tempo de habilitação dos dados após a saída de cascateamento (escravo)			300	ns

OBSERVAÇÕES:
1) $T_A = -20°C \sim 75°C$; $V_{CC} = 5V \pm 10\%$;
2) O sinal INTA é considerado sinal de leitura; $\overline{CS}$ é considerado sinal de endereço;
3) Nível do pulso de entrada 0,45V ~ 2,4V; tempo de subida ou descida = 20 ns; $C_L = 100$ pF.
   Níveis de referência entrada: $V_{IH} = 2V$, $V_{IL} = 0,8V$
   saída: $V_{OH} = 2V$, $V_{OL} = 0,8V$

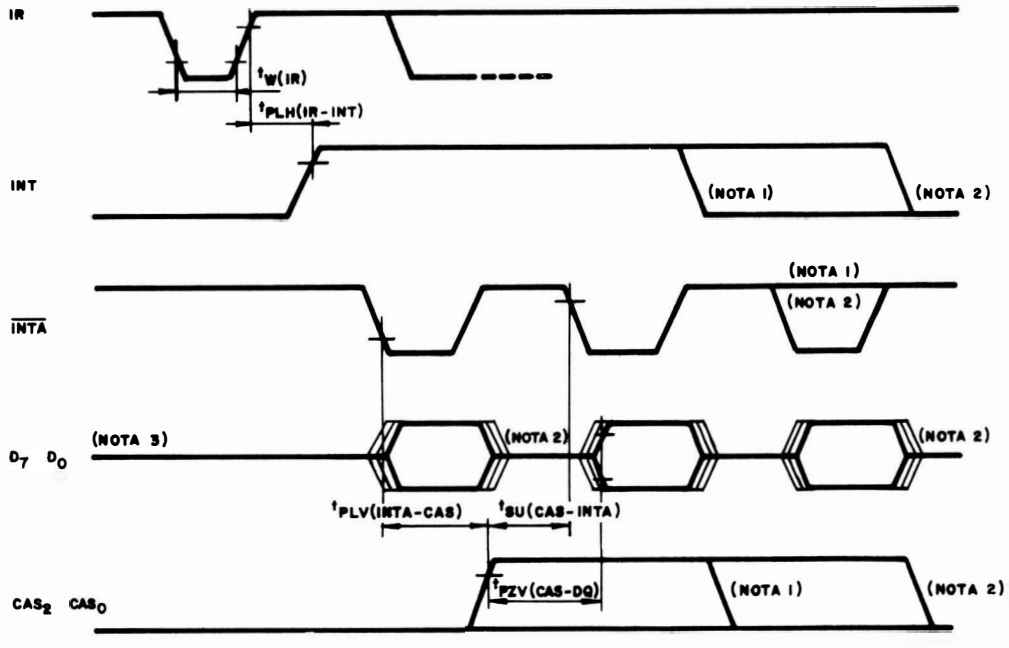
TEMPOS: ESCRITA



TEMPOS: LEITURA



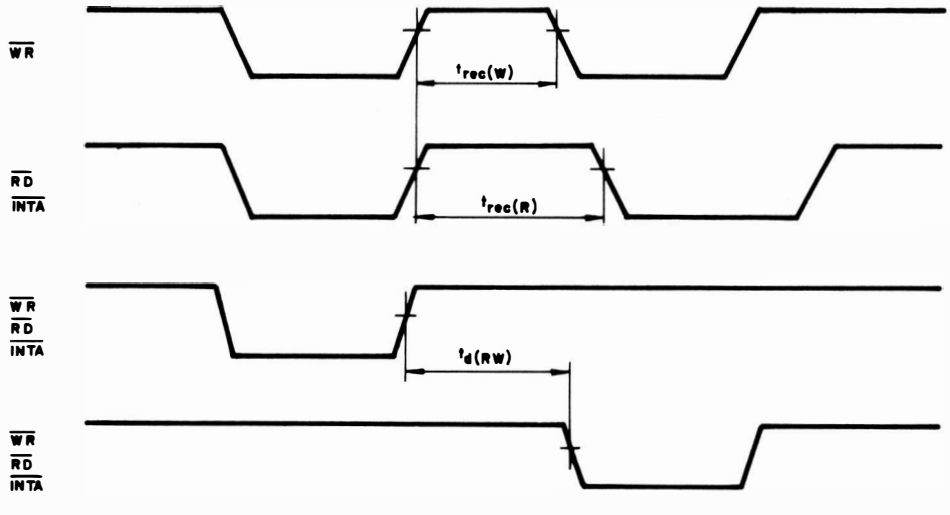
TEMPOS: SEQÜÊNCIA DE INTERRUPÇÃO



OBSERVAÇÕES:

1) Modo 8086, 8088.
2) Modo 8085.
3) No modo 8086, 8088, está em alta impedância, o ponteiro é enviado durante o próximo $\overline{INTA}$. No modo 8085 único, dados são enviados em todos os $\overline{INTA}$S. No modo mestre a instrução CALL é enviada durante o primeiro $\overline{INTA}$, alta impedância durante o segundo e o terceiro $\overline{INTA}$. No modo escravo: alta impedância durante o primeiro $\overline{INTA}$, endereço vetorado é enviado durante os segundo e terceiro $\overline{INTA}$.

TEMPOS: OUTROS



IC 8284A

GERADOR DE CLOCK E DRIVER PARA 8088

PRELIMINAR

Características:

- ☐ Gera o clock do sistema para os processadores 8086 e 8088:
  5/8 MHz →IC 8284A
  10 MHz →IC 8284A-1
- ☐ Utiliza um cristal ou sinal TTL como fonte de freqüência;
- ☐ Produz reset para o sistema a partir da entrada Schmitt Trigger;
- ☐ Permite sincronização de clock com outros IC 8284.

Descrição Geral:

O IC 8284A/8284A-1 é um gerador de clock e driver de um só CI para os microprocessadores IC 8086 e IC 8088. Ele contém um oscilador controlado a cristal, um contador divisor por 3, lógica de reset e sincronização completa para o padrão MULTIBUS, da Intel.

PINAGEM

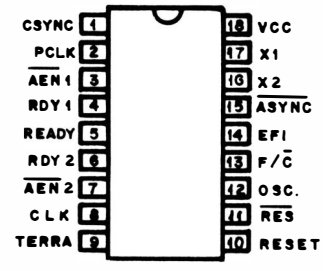
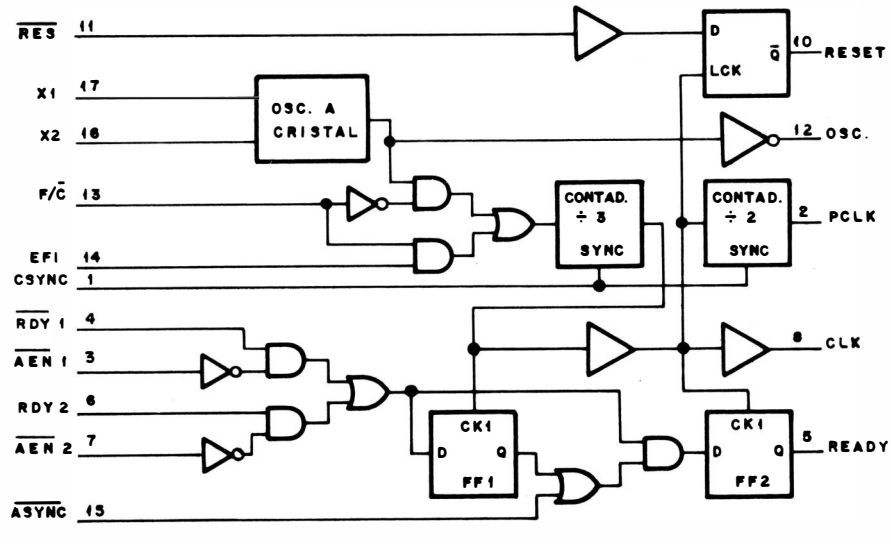


DIAGRAMA DE BLOCOS



IC 8288

Características

- ☐ Capacidade de excitação bipolar;
- ☐ Drivers de saída tristate;
- ☐ Comandos antecipados;
- ☐ Permite flexibilidade de configurações para o sistema.

Descrição geral

O IC 8288 é um circuito integrado destinado a operar como controlador de bus em sistemas de médio a grande porte baseados em microprocessadores do tipo 8086 ou 8088. O IC 8288 otimiza a operação do sistema que utiliza o 8086/88, proporcionando a geração de timing de controle e comando, quando o microprocessador estiver no modo máximo, além de uma poderosa capacidade de excitação bipolar.

PINAGEM

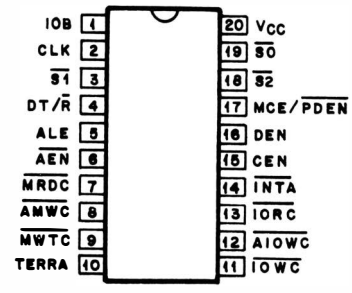


DIAGRAMA DE BLOCOS

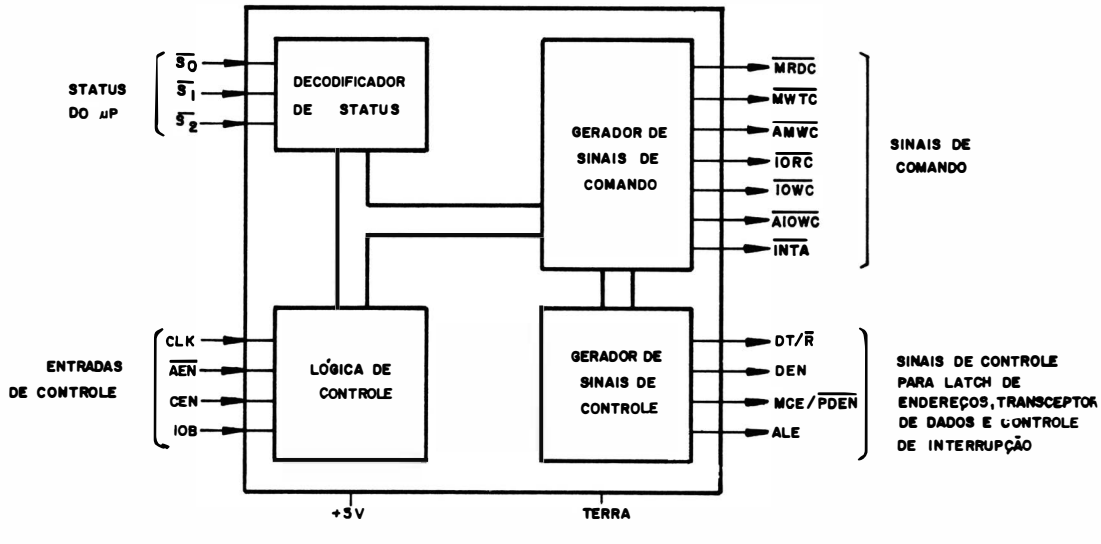


TABELA 1
Descrição da Pinagem

SÍMBOLO	NÚMERO	DESCRIÇÃO
V_{CC}	20	ALIMENTAÇÃO — +5V
TERRA	10	TERRA
$\overline{S0}$, $\overline{S1}$, $\overline{S2}$	19, 3, 18	$\overline{STATUS}$ — Estas entradas devem ser ligadas aos pinos de status do microprocessador. O IC 8288 decodifica estas entradas a fim de gerar os sinais de comando e controle
CLK	2	CLOCK — O sinal do gerador de clock deve ser conectado à esta entrada.
ALE	5	HABILITAÇÃO DO LATCH DE ENDEREÇO (Address Latch Enable) — Na borda de descida do sinal presente nesta saída, o latch de endereço armazenará o endereço disponível no bus. O sinal ALE se destina ao uso com latches transparentes do tipo D.
DEN	16	HABILITAÇÃO DE DADOS (Data Enable) — Esta saída, ativa em nível alto, serve para habilitar os transceptores de dados do bus de dados local ou do bus de dados do sistema.
DT/$\overline{R}$	4	TRANSMISSÃO/RECEPÇÃO DE DADOS (Data Transmit/Receive) — Esta saída determina a direção do fluxo de dados através dos transceptores. Nível alto indica transmissão de dados (escrita em memória ou E/S) e nível baixo indica recepção (leitura).
$\overline{AEN}$	6	HABILITAÇÃO DE ENDEREÇOS (Address Enable) — Esta entrada habilita as saídas de comando do IC 8288 no mínimo 115ns após ir para nível baixo. Quando esta entrada for para nível alto as saídas de comando entrarão em estado de alta impedância.
CEN	15	HABILITAÇÃO DE COMANDO (Command Enable) — Quando um nível baixo for aplicado a esta entrada todas as saídas de comando bem como as saídas de controle DEN e $\overline{PDEN}$ irão para o seu estado inativo.
IOB	1	MODO BUS DE E/S (Input/Output Bus Mode) — Quando esta entrada estiver em nível alto, o IC 8288 passará a operar no modo Bus de E/S. Em nível baixo, esta entrada faz com que o IC 8288 opere no modo Bus do Sistema.
$\overline{AIOWC}$	12	COMANDO ANTECIPADO DE ESCRITA EM E/S (Advanced I/O Write Command) — Esta saída envia, antecipadamente, aos dispositivos de E/S uma indicação de uma instrução de escrita através de um comando de escrita em E/S.
$\overline{IOWC}$	11	ESCRITA EM E/S (I/O Write) — Esta linha de comando determina que um dispositivo de E/S leia o dado no bus de dados.
$\overline{IORC}$	13	LEITURA DE E/S (I/O Read) — Esta linha de comando determina que um dispositivo de E/S coloque o seu dado no bus de dados.
$\overline{AMWC}$	8	COMANDO ANTECIPADO DE ESCRITA NA MEMÓRIA (Advanced Memory Write Command) — A saída de AMWC envia antecipadamente à memória uma indicação de uma instrução de escrita, através de um comando de escrita em memória.
$\overline{MWTC}$	9	ESCRITA EM MEMÓRIA (Memory Write) — Esta saída instrui a memória a armazenar o dado presente no bus de dados.
$\overline{MRDC}$	7	LEITURA DE MEMÓRIA (Memory Read) — Este sinal determina que a memória coloque o dado da posição requerida no bus de dados.
$\overline{INTA}$	14	RECONHECIMENTO DE INTERRUPÇÃO (Interrupt Acknowledge) — Este sinal informa ao dispositivo que requisitou interrupção, que a mesma foi reconhecida e que o vetor de informação deve ser colocado no bus de dados.

SÍMBOLO	NÚMERO	DESCRIÇÃO
MCE/ $\overline{PDEN}$	17	HABILITAÇÃO DE LEITURA DE ENDEREÇO DE CASCATEAMENTO/HABILITAÇÃO DE DADOS PARA PERIFÉRICOS (Master Cascade Enable/Peripheral Data Enable) — Pino com dupla função. MCE (IOB em nível baixo) este sinal ocorre durante uma seqüência de interrupção, sua função é habilitar a leitura, no bus de dados, do endereço de cascateamento de um controlador de interrupção mestre (8259), quando se utilizar a configuração mestre-escravos para o tratamento de interrupções. MCE é ativo em nível alto. $\overline{PDEN}$ (IOB em nível alto). Este sinal habilita o transceptor do bus de dados para o bus de E/S durante instruções de E/S efetuando a mesma função que DEN executa para o bus do sistema. $\overline{PDEN}$ é ativo em nível baixo.

Descrição Funcional

Lógica de Comando e Controle

A Lógica de Comando decodifica as três linhas de status do microprocessador ($\overline{S0}$, $\overline{S1}$ e $\overline{S2}$) para determinar qual comando deve ser enviado. A tabela 2 a seguir apresenta o significado de cada palavra de status.

TABELA 2

$\overline{S2}$	$\overline{S1}$	$\overline{S0}$	STATUS DO MICROPROCESSADOR	COMANDO DO 8288
0	0	0	Reconhecimento de Interrupção	$\overline{INTA}$
0	0	1	Leitura do Port de E/S	$\overline{IORC}$
0	1	0	Escrita no Port de E/S	$\overline{IOWC}$, $\overline{AIOWC}$
0	1	1	Halt	Nenhum
1	0	0	Acesso ao Código	$\overline{MRDC}$
1	0	1	Leitura de Memória	$\overline{MRDC}$
1	1	0	Escrita na Memória	$\overline{MWTC}$, $\overline{AMWC}$
1	1	1	Passivo	Nenhum

Modo Bus de E/S

O IC 8288 opera no modo Bus de E/S quando a entrada IOB estiver em nível alto. Neste modo todas as linhas de comando de E/S ($\overline{INTA}$, $\overline{IORC}$, $\overline{IOWC}$, $\overline{AIOWC}$) estão sempre habilitadas (isto é, não dependem de AEN). Quando o microprocessador iniciar um comando de E/S, o IC 8288 ativa imediatamente as linhas de comando usando os sinais $\overline{PDEN}$ e DT/$\overline{R}$ para controlar o transceptor do bus de E/S. As linhas de comando de E/S, nesta configuração, não devem ser usadas para controlar o bus do sistema pois, não havendo arbitração, neste momento não estão válidas.
Este modo possibilita a um IC 8288 controlar dois buses externos. Não haverá esperas envolvidas quando o microprocessador desejar acessar o bus de E/S.
Para um acesso normal à memória, necessita-se de um sinal $\overline{AEN}$ em nível baixo, indicando que o bus está disponível (BUS READY).
O modo Bus de E/S (IOB) torna-se vantajoso se houver dispositivos de E/S ou periféricos dedicados a um processador em um sistema multiprocessador.

Modo Bus do Sistema

Quando IOB estiver em nível baixo, o IC 8288 entrará no modo Bus do Sistema. Este modo é utilizado quando houver apenas um bus. Neste modo nenhum comando é enviado até 115ns após a ativação da linha $\overline{AEN}$ ($\overline{AEN}$ em nível baixo). Este modo assume a lógica de bus arbitrado, a qual enviará um sinal, através da linha $\overline{AEN}$ informando quando o bus estiver livre para uso.
Nesta condição, tanto a memória quanto E/S podem ser compartilhados por mais de um microprocessador, e seus comandos aguardam pela decisão da lógica de arbitração do bus.

Saídas de Comando

Para evitar que o microprocessador entre desnecessariamente em estados de espera, os comandos antecipados de escrita iniciam os procedimentos de escrita antes no ciclo de máquina.
As saídas de comandos são:

$\overline{MRDC}$ — (Memory Read Command) Comando de leitura de memória.

$\overline{MWTC}$ — (Memory Write Command) Comando de escrita em memória.

$\overline{IORC}$ — (I/O Read Command) Comando de leitura de E/S.

$\overline{IOWC}$ — (I/O Write Command) Comando de escrita em E/S.

$\overline{AMWC}$ — (Advanced Memory Write Command) Comando antecipado de escrita em memória.

$\overline{AIOWC}$ — (Advanced I/O Write Command) Comando antecipado de escrita em E/S.

$\overline{INTA}$ — (Interrupt Acknowledge) Reconhecimento de interrupção.

$\overline{INTA}$ atua como uma leitura de E/S durante um ciclo de interrupção. Sua finalidade é informar a um dispositivo de interrupção que o seu pedido de interrupção foi reconhecido e que deve colocar o vetor de informação no bus de dados.

Saídas de Controle

As saídas de controle do IC 8288 são:
DEN — (Data Enable) Habilitação de dados.
DT/$\overline{R}$ — (Data Transmit/Receive) Transmissão/recepção de dados.
MCE/$\overline{PDEN}$ — (Master Cascade Enable/Peripheral Data Enable) Habilitação do Mestre Cascateado/Habilitação de Dados dos Periféricos.
O sinal DEN determina quando o bus externo deve ser habilitado para o bus local, ao passo que DT/$\overline{R}$ determina o sentido da transferência de dados. Estes dois sinais usualmente vão para os pinos de seleção (chip select) e de direção de um transceptor.
A função de MCE/$\overline{PDEN}$ é determinada pela seleção de IOB. Se IOB estiver em nível alto (selecionando o modo Bus de E/S) $\overline{PDEN}$ opera como um sinal dedicado de habilitação de dados para E/S ou para o Bus do Sistema

Reconhecimento de Interrupção e MCE

O sinal MCE é usado durante um ciclo de reconhecimento de interrupção se o IC 8288 estiver no modo Bus do Sistema (IOB baixo). Uma seqüência de interrupção consiste de dois ciclos sucessivos de reconhecimento de interrupção.
Nenhuma transferência de dado ou endereço ocorre durante o primeiro ciclo. A lógica deve proporcionar o mascaramento de MCE durante este ciclo. Imediatamente antes do início do segundo ciclo o sinal MCE coloca o endereço cascateado no controlador de interrupção mestre no Bus Local, e em seguida o sinal ALE passará esses endereços para os latches de endereço.
Na borda de subida do segundo ciclo de interrupção o controlador de interrupção escravo endereçado coloca um vetor de interrupção no Bus de Dados do Sistema que será lido pelo microprocessador. O sinal MCE não é usado se o sistema possuir apenas um controlador de interrupção. Neste caso o segundo pulso de reconhecimento de interrupção (INTA) colocará o vetor de interrupção no bus do microprocessador.

Habilitação do Latch de Endereços (ALE) e HALT

O sinal ALE ocorre durante cada ciclo de máquina e serve para colocar o endereço atual no latch de endereços. ALE tem também a função de introduzir a palavra de status ($\overline{S0}$, $\overline{S1}$ e $\overline{S2}$) no latch para a decodificação do estado de HALT.

Habilitação de Comando

A entrada de habilitação de comando (CEN) atua como um qualificador de comando para o IC 8288. Se ao pino CEN for aplicado um nível alto, o IC 8288 opera normalmente. Porém se a CEN for aplicado um nível baixo, todas as linhas de comando serão mantidas no estado inativo (não em tristate). Esta característica pode ser usada para implementar a partição de memória e eliminar conflitos de endereço entre os dispositivos do bus do sistema e os do bus residente.

VALORES MÁXIMOS ABSOLUTOS

Tensão de alimentação	−0,5V a 7V
Tensão de entrada	−1,0V a 5,5V
Tensão de saída	−0,5V a V_{CC}
Potência de saída	1500 mW
Temperatura de armazenamento	−65°C a 150°C
Temperatura de operação	0°C a 70°C

OBSERVAÇÃO:
Os Valores Máximos Absolutos representam valores acima dos quais o funcionamento do componente fica comprometido. A exposição do dispositivo a condições de Valores Máximos Absolutos por períodos prolongados é desaconselhável e pode afetar a confiabilidade do dispositivo.

CONDIÇÕES DE OPERAÇÃO RECOMENDADAS[1]

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	NOM.	MÁX.	
V_{CC}	Tensão de alimentação	4,75		5,25	V
V_{IH}	Tensão de entrada — nível alto	2,0			V
V_{IL}	Tensão de entrada — nível baixo			0,8	V

OBSERVAÇÃO:
1) 0°C < Ta < 75°C, a menos que especiicado o contrário.

CARACTERÍSTICAS DC[1]

SÍMBOLO	PARÂMETRO		LIMITES			UNIDADE	CONDIÇÕES DE TESTE
			MÍN.	TÍP.	MÁX.		
V_{IK}	Tensão de grampeamento				−1,0	V	I_I = −5mA
V_{OH}	Tensão de saída — nível alto	saídas de comando	2,4			V	I_{OH} = −5mA
		saídas de controle	2,4			V	I_{OH} = −1mA
V_{OL}	Tensão de saída — nível baixo	saídas de comando			0,5	V	I_{OL} = 32mA
		saídas de controle			0,5	V	I_{OL} = 16mA
I_{IH}	Corrente de entrada — nível alto				50	μA	$V_I = V_{CC}$
I_{IL}	Corrente de entrada — nível baixo				−0,7	mA	V_I = 0,45V
I_{OZ}	Corrente de saída em tri-state				100	μA	V_O = 0,4V a 5,25V
I_{CC}	Corrente de alimentação				230	mA	

OBSERVAÇÃO:
1) 0 °C < Ta < 70 °C, a menos que especificado o contrário.

REQUISITOS DE TIMING[1]

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TÍP.	MÁX.		
$t_{c(CLK)}$	Tempo de ciclo CLK-clock	100			ns	
$t_{w(CLKL)}$	Largura do pulso de clock em nível baixo	50			ns	
$t_{w(CLKH)}$	Largura do pulso de clock em nível alto	30			ns	
$t_{su(S0\text{-}S2L)}$	Tempo de set up do sinal de status ativo ($\overline{S0}$, $\overline{S1}$ ou $\overline{S2}$)	35			ns	
$t_{h(S0\text{-}S2L)}$	Tempo de hold do sinal de status ativo ($\overline{S0}$, $\overline{S1}$ ou $\overline{S2}$)	10			ns	
$t_{su(S0\text{-}S2H)}$	Tempo de set up do sinal de status inativo ($\overline{S0}$, $\overline{S1}$ ou $\overline{S2}$)	35			ns	
$t_{h(S0\text{-}S2H)}$	Tempo de hold do sinal de status inativo ($\overline{S0}$, $\overline{S1}$ ou $\overline{S2}$)	10			ns	
t_r	Tempo de subida do sinal de entrada	20			ns	De 0,8V para 2,0V
t_f	Tempo de descida do sinal de entrada	12			ns	De 2,0V para 0,8V

CARACTERÍSTICAS AC[1]

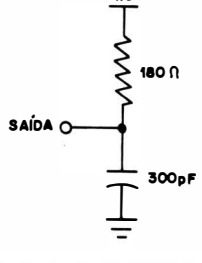
SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TÍP.	MÁX.		
$t_{p(CK\text{-}CTV)}$	Tempo de atraso de propagação saídas de controle ativas	5,0		45	ns	
$t_{p(CK\text{-}CTX)}$	Tempo de atraso de propagação saídas de controle inativas	10		45	ns	
$t_{p(CK\text{-}ALEH)}$ $t_{p(CK\text{-}MCEH)}$	Tempo de atraso de propagação saídas ALE e MCE ativas a partir de CLK			20	ns	
$t_{p(S\text{-}ALEH)}$ $t_{p(S\text{-}MCEH)}$	Tempo de atraso de propagação saídas ALE e MCE ativas a partir dos sinais de status			20	ns	$\overline{MRDC}$, $\overline{IORC}$, $\overline{MWTC}$, $\overline{IOWC}$, $\overline{INTA}$, $\overline{AMWC}$, $\overline{AIOWC}$: I_{OL} = 32mA, i_{OH} = −5mA, C_L = 300pF
$t_{p(CK\text{-}ALEL)}$	Tempo de atraso de propagação ALE inativo	4,0		15	ns	
$t_{p(CK\text{-}CML)}$	Tempo de atraso de propagação saídas de comando ativas	10		35	ns	
$t_{p(CK\text{-}CMH)}$	Tempo de atraso de propagação saídas de comando inativas	10		35	ns	OUTRAS: I_{OL} = 16mA, I_{OH} = −1,0mA, C_L = 80pF
$t_{p(CK\text{-}DTL)}$	Tempo de atraso de propagação controle de direção ativo			50	ns	
$t_{p(CK\text{-}DTH)}$	Tempo de atraso de propagação controle de direção inativo			30	ns	
$t_{en(AEN\text{-}CM)}$	Tempo de habilitação das saídas de comando por $\overline{AEN}$			40	ns	
$t_{dis(AEN\text{-}CM)}$	Tempo de desabilitação das saídas de comando por $\overline{AEN}$			40	ns	
$t_{p(AEN\text{-}CML)}$	Tempo de atraso de propagação $\overline{AEN}$ para saídas de comando válidas	115		200	ns	
$t_{p(AEN\text{-}DEN)}$	Tempo de atraso de propagação de $\overline{AEN}$ para DEN			20	ns	
$t_{p(CEN\text{-}PDEN)}$	Tempo de atraso de propagação CEN para DEN, $\overline{PDEN}$			25	ns	
$t_{en(CEN\text{-}CM)}$ $t_{dis(CEN\text{-}CM)}$	Tempo de desabilitação ou habilitação de comando por CEN			$t_{p(CK\text{-}CML)}$	ns	
t_r	Tempo de subida do sinal de saída			20	ns	de 0,8 a 2,0V
t_f	Tempo de descida do sinal de saída			12	ns	de 2,0 a 0,8V

OBSERVAÇÃO:

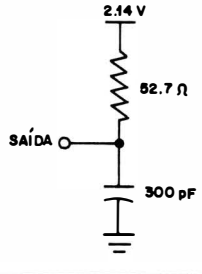
1) T_a = 25 °C, V_{cc} = 5,0V

CIRCUITOS DE TESTE

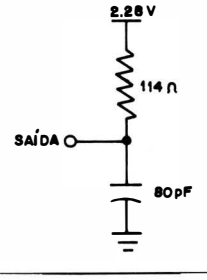
TRISTATE PARA NÍVEL ALTO



CARGA DE TESTE DA SAÍDA DE COMANDO



CARGA DE TESTE DA SAÍDA DE CONTROLE



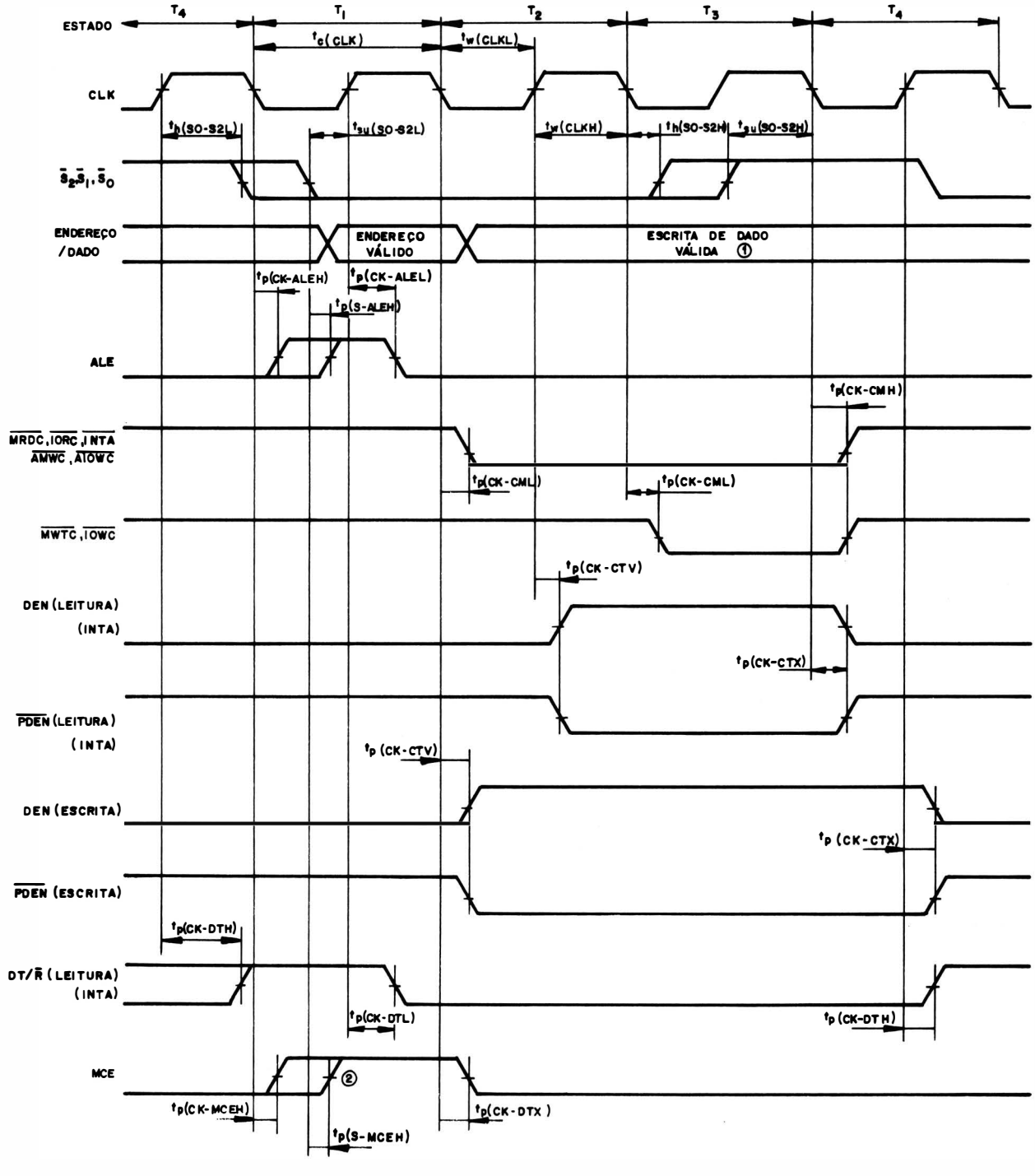
FORMA DE ONDA PARA O TESTE AC

(ENTRADA/SAÍDA)

OBSERVAÇÃO:

Nos testes AC as entradas são colocadas a 2,4 V para nível alto e 0,45 V para nível baixo. O clock colocado a 4,3 V e 0,25 V. As medidas para o timing usam como referência 1,5 V tanto para nível alto como para baixo.

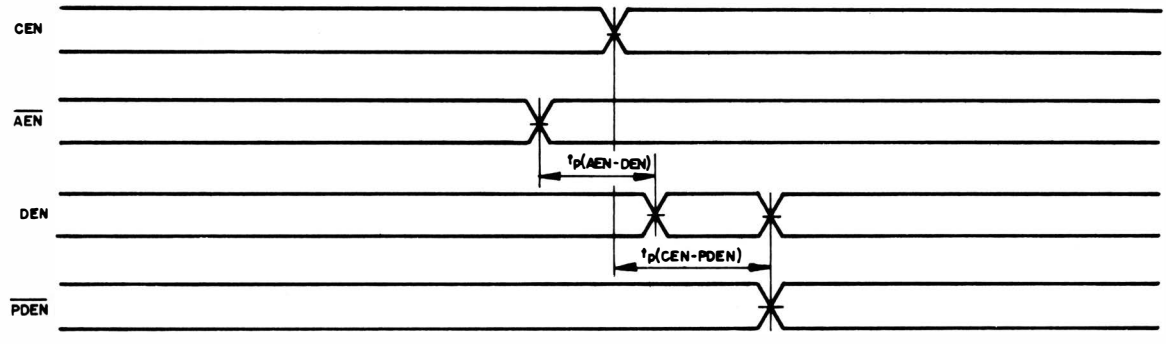
TEMPOS: Operação



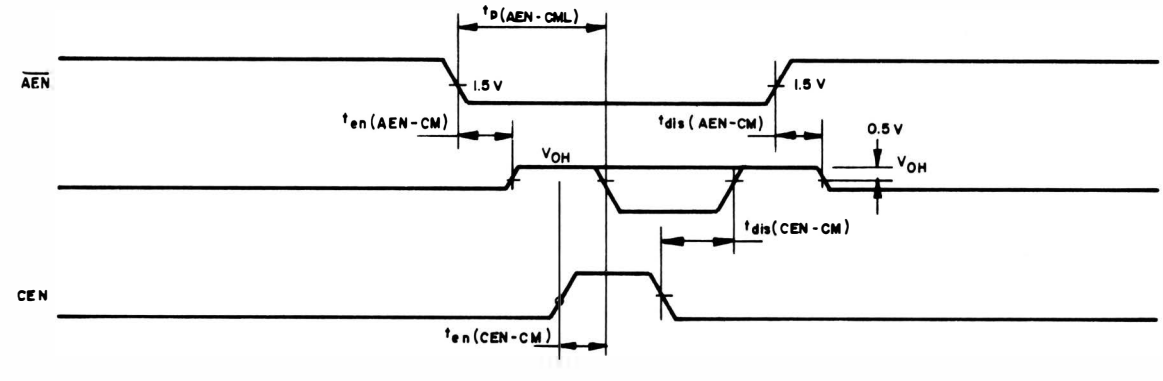
OBSERVAÇÕES:

1) O bus de dados/endereços está aqui representado apenas para referência.
2) A borda de subida dos sinais ALE e MCE depende da ocorrência da borda de descida dos sinais CLK ou do sinal de status ficar ativo, e obedecerá a que vier por último.
3) Todas as medidas de timing são feitas a 1,5 V a menos que especificado o contrário.

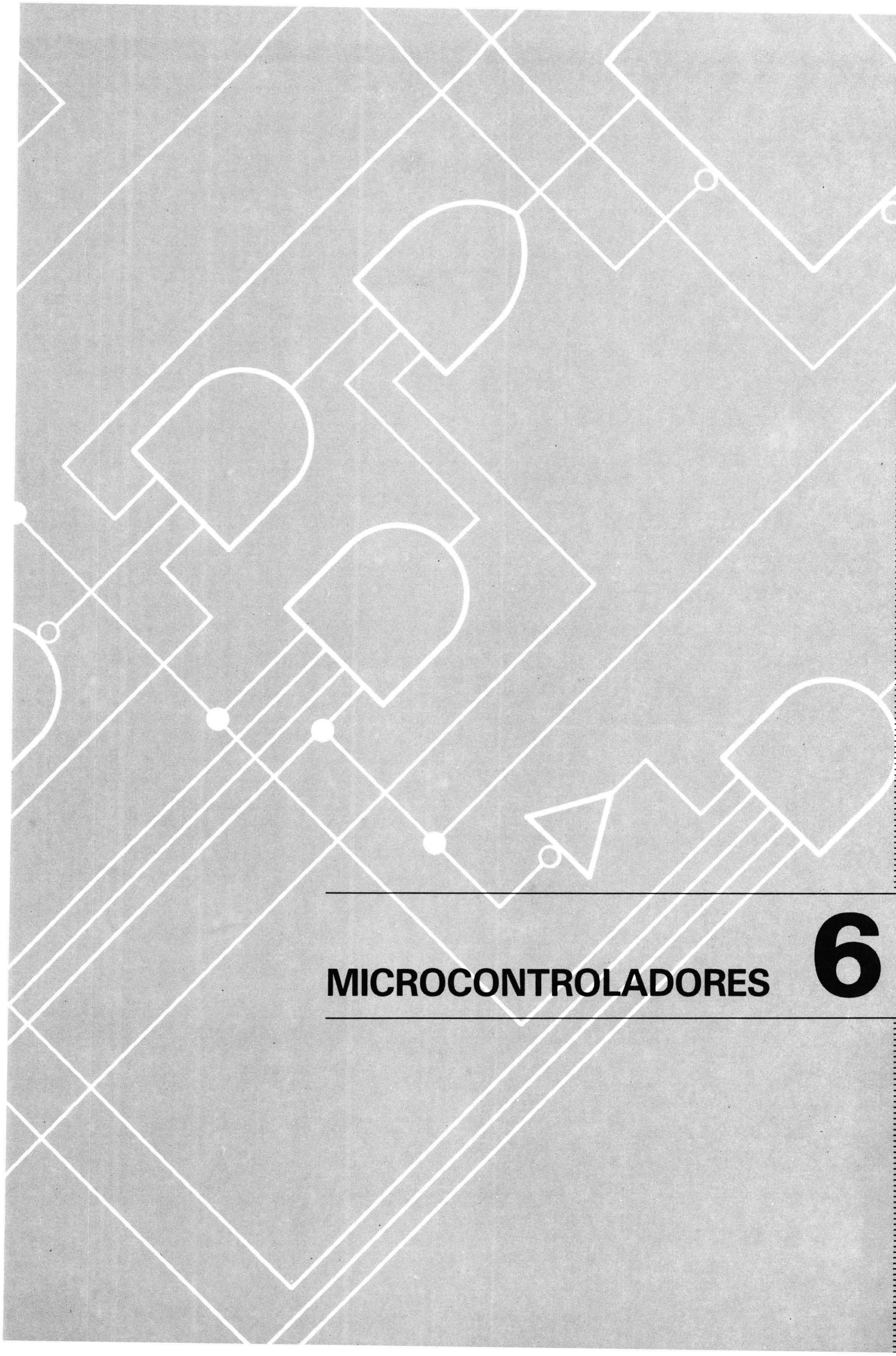
TEMPOS: Qualificação DEN, $\overline{\text{PDEN}}$



TEMPOS: AEN (habilitação/Desabilitação)



OBSERVAÇÃO:
CEN deve estar em nível baixo ou ser válida antes de T2 para evitar a geração de comando.



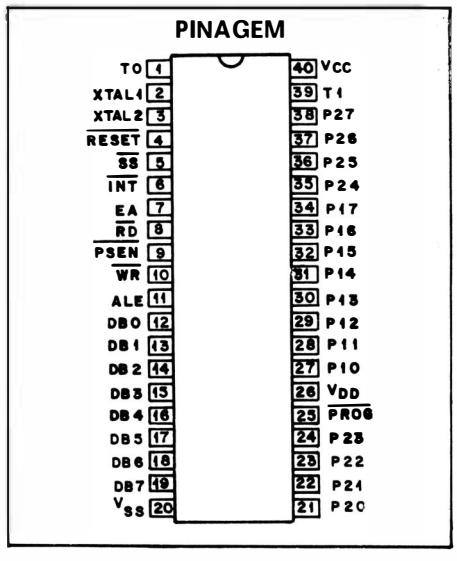
MICROCONTROLADORES 6

MICROCONTROLADORES

Verdadeiros microcomputadores de um só chip, que incluem RAM e ROM internas, além de circuitos de I/O, os microcontroladores vêm sendo usados em ritmo crescente pelos projetistas que desejam reduzir o custo dos sistemas, além de suas dimensões. Embora não tenham necessariamente a flexibilidade dos circuitos convencionais, com vários CIs, exibem suficiente capacidade para controlar uma aplicação específica, poupando assim custos com produção e componentes.

IC 8035/IC 8039 ____ 410
MPG ____ 428
MPG 320L ____ 429
MPG 410L/MPG 411L ____ 430
MPG 420/MPG 421 ____ 447
MPG 444L/MPG 445L ____ 466
MPG 6805 ____ 484
MPG 8048 ____ 485

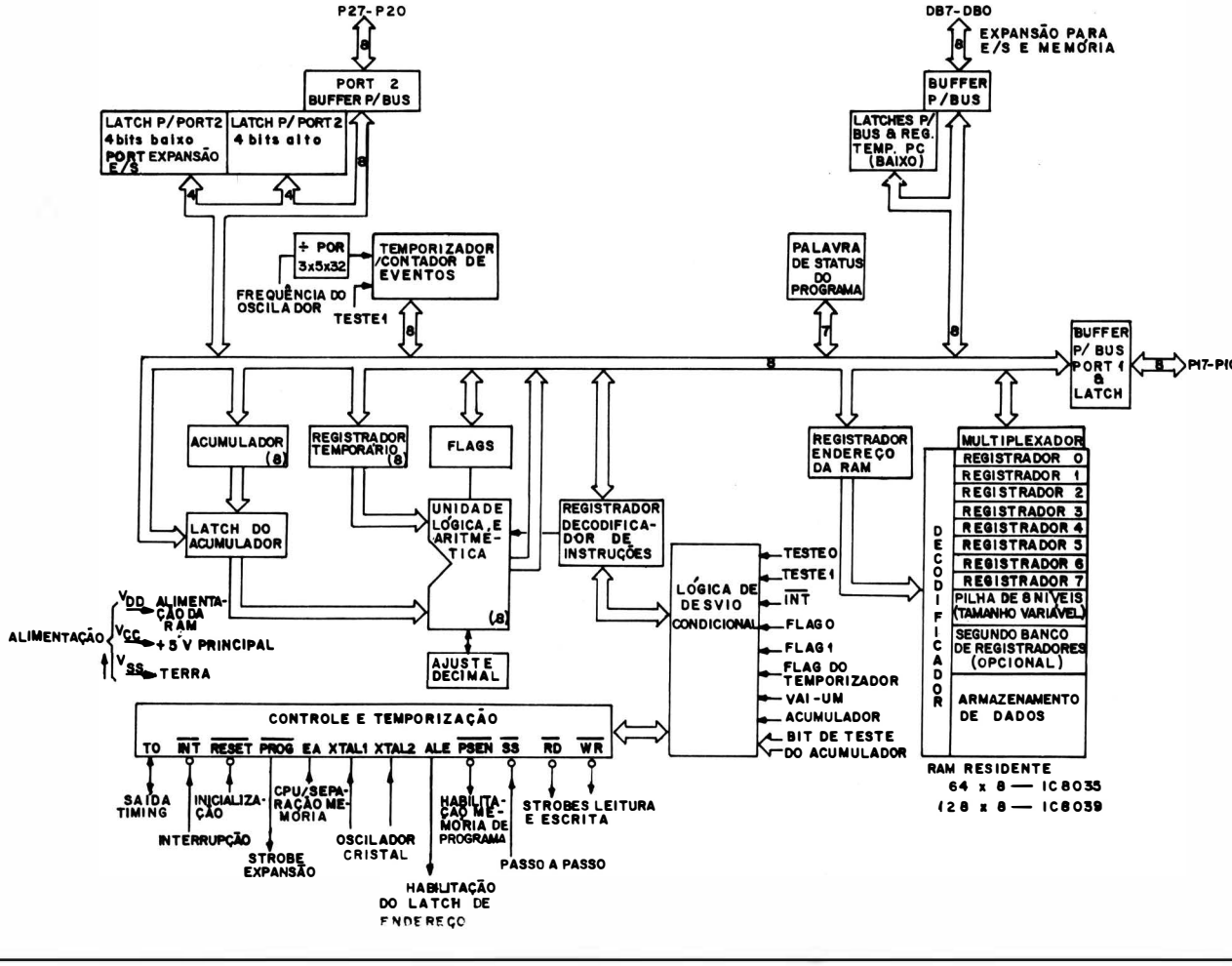
IC 8035/IC 8039



Características

- ☐ CPU de 8 bits, RAM e E/S numa única pastilha de 40 pinos;
- ☐ Contador/temporizador interno;
- ☐ Oscilador interno, saída de clock;
- ☐ Interrupções de nível único: externas e por contador/temporizador;
- ☐ 17 registradores internos: acumulador e 16 registradores endereçáveis;
- ☐ Mais de 90 instruções sendo 70% de 1 byte;
- ☐ Todas as instruções de 1 ou 2 ciclos;
- ☐ Memórias e E/S facilmente expansíveis;
- ☐ Entradas e saídas compatíveis com as dos dispositivos TTL;
- ☐ Alimentação única de 5 V.

DIAGRAMA DE BLOCOS



Descrição Geral

O IC 8035 e o IC 8039 são microcontroladores de 8 bits em uma única pastilha, projetados para serem usados em aplicações como processador de controle ou processador aritmético.

O conjunto de instruções permite ativar ou desativar diretamente as linhas de E/S e testar os bits do acumulador individualmente.

O completo conjunto de instruções possibilita a fácil implementação das funções lógicas padrão. A eficiência na codificação é alta, pois mais de 70% das instruções são de apenas um byte, e as demais de dois bytes.

A tabela 1 apresenta as funções dos pinos destes componentes.

TABELA 1

Descrição da Pinagem

PINO	NÚMERO	FUNÇÃO
DB0-DB7	12-19	BUS - Ports de E/S bidirecionais que podem ser usados para leitura ou escrita através do controle do strobe dos sinais $\overline{RD}$ e $\overline{WR}$. A via de dados também comporta os 8 bits menos significativos de endereçamento durante acesso à memória externa e recebe a instrução endereçada pelo sinal $\overline{PSEN}$. Os sinais $\overline{PSEN}$, ALE, $\overline{RD}$ e $\overline{WR}$ determinam se o acesso é uma instrução de busca (fetch) ou um acesso de leitura/escrita na RAM externa.
P10-P17	27-34	PORT 1 - Port de E/S quasi-bidirecional (8 bits) (vide observação 1).
P20-P27	21-24, 35-38	PORT 2 - Port de E/S quasi-bidirecional (8 bits) (vide observação 1). P20 a P23 contêm 4 bits de endereçamento mais significativos durante um acesso à memória de programas externa e servem como uma expansão de E/S de 4 bits para o 8243.
$\overline{PROG}$	25	STROBE SAÍDA - Ativo em nível baixo para a expansão de E/S para o 8243.
T0	1	PINO DE ENTRADA - É verificado na execução das instruções JT0 e JNT0. PINO DE SAÍDA DO RELÓGIO - Quando assim for definido pela instrução ENT0 CLK.
T1	39	PINO DE ENTRADA - É verificado na execução das instruções JT1 e JNT1. Pode ser definido como a entrada do temporizador/contador pela instrução STRT CNT.
$\overline{INT}$	6	PINO DE ENTRADA DE INTERRUPÇÃO - Quando está em nível baixo, força uma interrupção no programa em andamento se a interrupção externa estiver habilitada. Pode também ser usado como entrada e testado através da instrução JNI. A interrupção é desabilitada durante e após uma reinicialização (RESET).
$\overline{RESET}$	4	PINO DA ENTRADA DE RESET - Utilização para reinicialização do microcontrolador. Ativo em nível baixo. Durante a verificação do programa, o endereço é reconhecido por uma transição de 0 para 1 na ocorrência de um RESET e o dado da posição endereçada é transferido à via de dados (observação 2).
ALE	11	HABILITAÇÃO PARA RECONHECIMENTO DE ENDEREÇO - Ocorre em cada ciclo de clock e é utilizada para a definição de tempos e para contagem. Durante a execução de programas e para acesso aos dados da memória, o ALE é usado para strobe de endereçamento, que é multiplexado nas saídas DB0 a DB7.
$\overline{RD}$	8	LEITURA DO BUS - É um sinal ativo em nível baixo usado para colocar os dados nas vias de dados quando se executa uma operação de leitura de uma fonte externa.
$\overline{WR}$	10	ESCRITA DO BUS - É um sinal ativo em nível baixo usado para escrever os dados presentes nas vias de dados em outro destino.

EA	7	ENTRADA DE ACESSO EXTERNO - Quando em nível alto, força um ciclo de busca de instrução (fetch) numa memória externa.
$\overline{PSEN}$	9	HABILITAÇÃO PARA ARMAZENAMENTO DE PROGRAMA - É um sinal ativo em nível baixo que ocorre apenas durante um ciclo de busca na memória de programas externa.
$\overline{SS}$	5	ENTRADA DE PASSO A PASSO - Sinal ativo em nível baixo que é utilizado juntamente com o sinal ALE para fazer com que o microcontrolador execute uma única instrução.
XTAL1 XTAL2	2 3	ENTRADA PARA CRISTAL: Entradas para um cristal, rede L-C ou sinal externo para determinar a freqüência do oscilador interno (observação 2).
V_{SS}	20	TERRA.
V_{CC}	40	ALIMENTAÇÃO 5 V.
V_{DD}	26	FONTE PARA ALIMENTAÇÃO DA RAM - Em standby pino de saída de Potência Baixa.

OBSERVAÇÕES:
1) Cada linha do port pode ser definida como entrada ou saída. Uma linha é definida como entrada escrevendo-se 1 nesta linha. O sinal $\overline{RESET}$ coloca todas as linhas em estado lógico 1.
2) V_{IH} não é padrão TTL.

Descrição Funcional

Memórias de Programa

A capacidade total de endereçamento é de 4096 bytes. O espaço de endereçamento da memória de programas é dividido em 2 blocos de 2048 bytes, MB0 e MB1 (figura 1). Estes dois blocos, por sua vez, são divididos em 8 páginas de 256 bytes para utilização em desvios condicionais.
Há algumas posições da memória de especial importância.
Estas posições contêm a primeira instrução a ser executada após um entre três eventos:

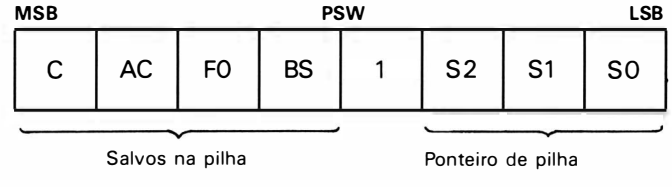
Posição 0 - Se o pino $\overline{RESET}$ é ativado (nível baixo) então a posição 0 é ativada.

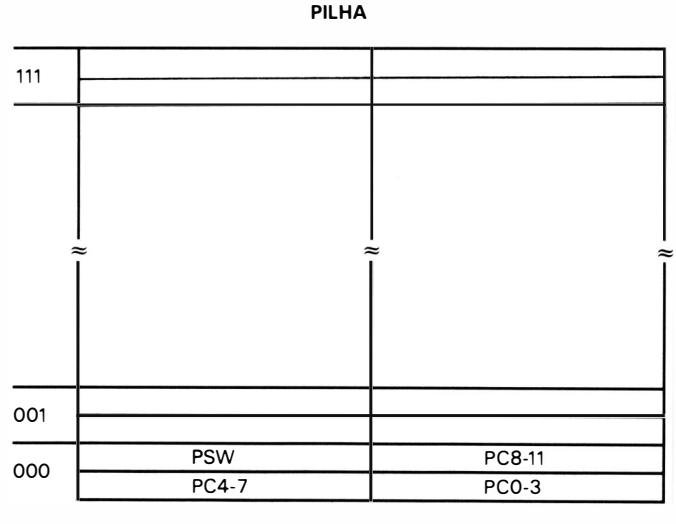
Posição 3 - Se a interrupção externa está habilitada e a linha $\overline{INT}$ está ativada (nível baixo).

Posição 7 - No estouro do temporizador/contador se a interrupção T/C está habilitada.

Palavra de Status do Programa (PSW)

Os bits da palavra de status têm os seguintes significados:
Bits 0-2 — bits do ponteiro de pilha (S0, S1, S2).
Bit 3 — não utilizado (apresenta nível 1 na leitura).
Bit 4 — bit de seleção do banco de registradores (BS):
BS = 0 — Banco 0
BS = 1 — Banco 1
Bit 5 — Flag Auxiliar 0 (F0): flag controlado pelo usuário que pode ser complementado ou limpo, e testado pela instrução de desvio condicional JF0.
Bit 6 — Carry Auxiliar (AC): bit de carry gerado pela instrução ADD e usado pela instrução de ajuste decimal DAA.
Bit 7 — Carry (C): carry flag que indica estouro do acumulador como resultado da operação anterior.





F0 e F1

F0 e F1 são flags auxiliares controlados pelo usuário através das instruções: CPL F0, CPL F1, CLR F0 e CLR F1, e podem ser testados pelas instruções de desvio condicional JF0 ou JF1.

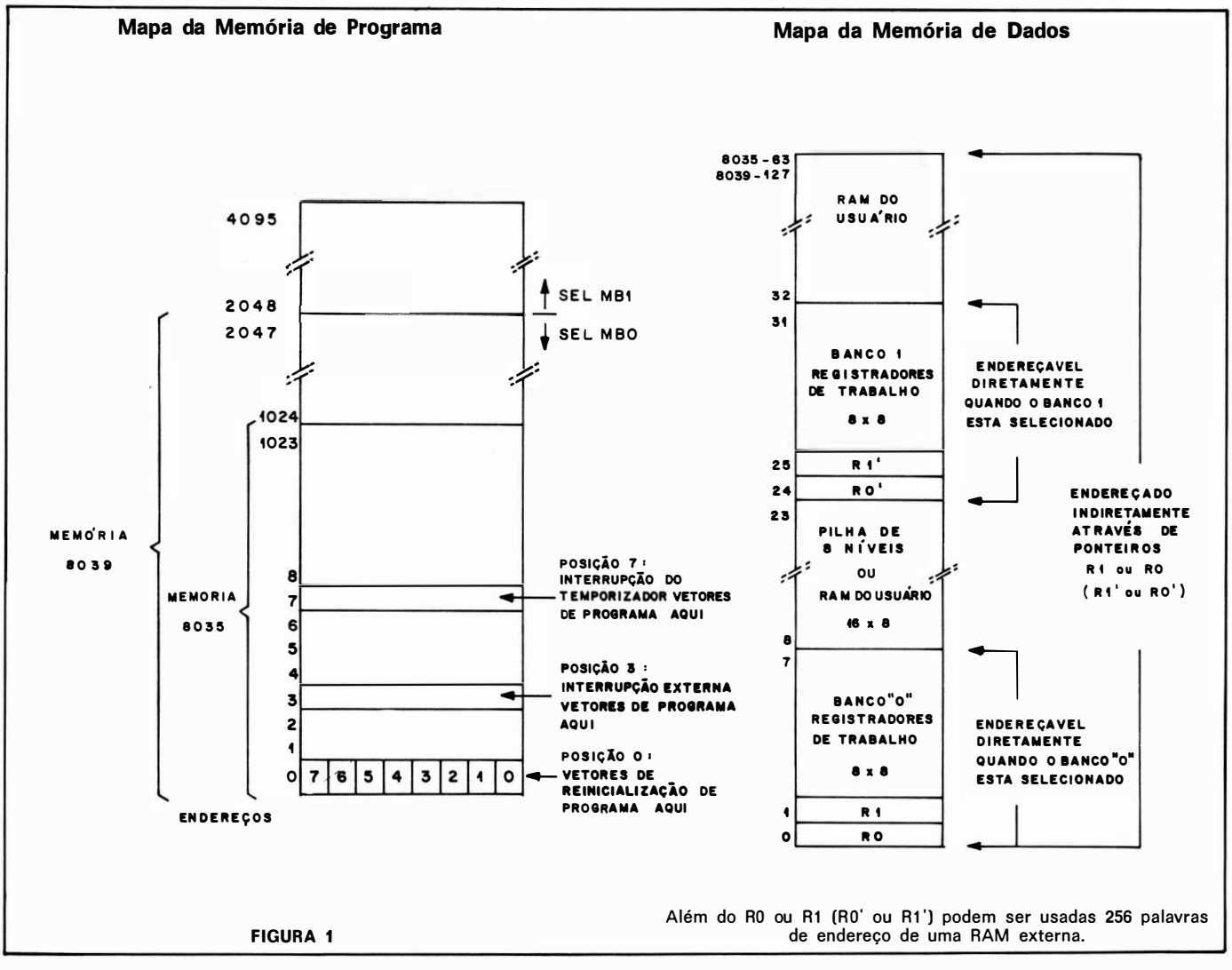


FIGURA 1

Além do R0 ou R1 (R0' ou R1') podem ser usadas 256 palavras de endereço de uma RAM externa.

Memória de Dados

A memória de dados residente, como mostrado na figura 1, consiste de uma RAM de 64 bytes para o IC 8035 ou de 128 bytes para o IC 8039. Todas as posições são endereçáveis indiretamente por qualquer um dos dois ponteiros de RAM, nas posições 0 e 1. As oito primeiras posições de RAM (0 a 7) são designadas como registradores de trabalho e são diretamente endereçáveis por várias instruções. Pela seleção do bloco 1 as posições da RAM de 24 a 31 tornam-se registradores de trabalho, substituindo os registradores usados no bloco 0. As posições de 8 a 23 são usadas como pilha. Duas posições (bytes) são usadas por uma instrução CALL permitindo até 8 níveis de aninhamento de subrotina.

Se for necessária uma RAM adicional, até 256 bytes podem ser incluídos e diretamente acessados através das instruções MOVX. Se mais memória RAM (maior que um total de 384 bytes para o IC 8039 e de 320 bytes para o IC 8035) for necessária, um port de E/S pode ser usado como um banco extra (256 bytes) de memória externa de uma vez.

Contador de Programa e Pilha

O contador de programas (PC) é um contador/registrador de 12 bits que aponta para o endereço no qual deve-se buscar a próxima instrução.

Quando EA = 1, todo o programa é buscado da ROM externa. O espaço total de endereçamento é de 4K bytes.

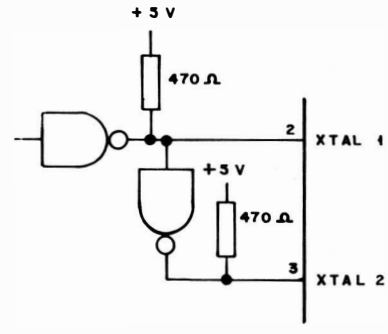
Uma interrupção ou uma chamada para uma subrotina força o conteúdo do contador de programa a ser armazenado em um dos 8 pares de registradores da pilha do contador de programa. O par a ser utilizado é determinado por um ponteiro da pilha de 3 bits que é parte da palavra de status do programa (PSW). Os endereços de 8 a 23 são disponíveis como registradores da pilha e são utilizados para armazenar o contador de programa e os 4 bits da PSW. O ponteiro da pilha, quando inicializado em 000B, aponta para as posições 8 e 9 da RAM. O primeiro desvio para subrotina ou interrupção resulta na transferência do conteúdo do contador de programas para as posições 8 e 9 da RAM. O ponteiro da pilha é então incrementado de um para

apontar para os endereços 10 e 11, antecipando uma nova chamada de subrotina. O aninhamento de subrotinas dentro de subrotinas pode continuar até 8 vezes sem causar estouro da pilha. Se o estouro acontecer, o novo endereço será escrito sobre as posições 8 e 9 da memória, onde estava escrito o último endereço, que será perdido, já que o ponteiro da pilha passa de 111 para 000. Pode também ocorrer que, quando decrementado, o ponteiro passe de 000 para 111.
O final de uma subrotina, que é caracterizado por uma instrução de retorno (RET ou RETR), força o ponteiro da pilha a ser decrementado e o conteúdo do par de registradores a ser transferido para o contador de programa.

Oscilador e Relógio

O IC 8035 e o IC 8039 contêm um oscilador e circuito de relógio internos. Um cristal, indutor ou gerador de pulsos externo determina a freqüência do oscilador (fig. 2, 3 e 4).

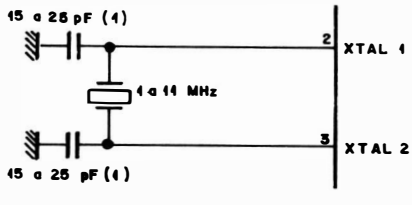
Fonte Externa



Ambas as entradas XTAL 1 e XTAL 2 devem ser ligadas ao circuito gerador. São necessários resistores ligados em V_{CC} (+5 V) para assegurar que $V_{IH} = 3{,}8$ V quando se usa circuito TTL. Os tempos mínimos para nível alto e baixo são de 45%.

FIGURA 4

Modo Oscilador a Cristal



(1) Incluindo a capitância do cristal. A impedância deve ser $< 75\ \Omega$ em 6 MHZ e $< 180\ \Omega$ em 3,6 MHZ. Com osciladores cerâmicos ambos os capacitores devem ser de 30 pF.

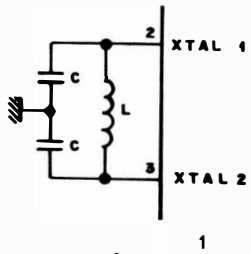
FIGURA 2

A freqüência de saída do oscilador é dividida por 3 e está disponível no pino 1 (T0) mediante a execução da instrução ENT0 CLK. Este sinal de clock (CLK) é dividido por 5 para definir um ciclo de máquina (instrução) e está disponível no pino 11 (ALE).

Temporizador/Contador de Eventos

O IC8035 e o IC8039 possuem um contador interno que permite contar os eventos externos ou ciclos de máquina ($\div 32$). Os ciclos de máquina são divididos por 32 antes de serem aplicados na entrada deste contador de 8 bits. Os eventos externos são diretamente aplicados na entrada do contador. A frequência máxima que pode ser contada é de 1/3 da frequência do ciclo de máquina. O duty cycle mínimo que pode ser detectado é 0,2 vezes o período de um ciclo. O contador fica sob controle de um programa e pode ser programado para gerar uma interrupção do processador quando ocorre estouro.

Modo Oscilador



L (μH)	C (pF)	f (MHz)
45	20	5,2
120	20	3,2

$$f \cong \frac{1}{2\pi\sqrt{LC'}} \; ; \; C' = \frac{C + 3\,C_{PP}}{2}$$

O capacitador C deve estar ao redor de 20 pF, incluindo a capacitância distribuída. $C_{PP} = 5$ a 10 pF (capacitância pino a pino).

FIGURA 3

Interrupção

Pode-se gerar uma interrupção através da entrada externa $\overline{INT}$ (pino 6) ou do estouro do contador externo, quando habilitado. Em ambos os casos, o processador completa a execução da instrução em andamento e em seguida desvia para a rotina de tratamento da interrupção. Após completá-la, uma instrução RETR restaura o estado imediatamente anterior à execução desta rotina. A interrupção externa tem maior prioridade que a interna.

Entrada/Saída

O IC8039 e o IC8035 dispõem de 27 linhas de E/S. Estas linhas são dispostas como três ports de 8 linhas, que podem ser utilizadas como entradas, saídas ou como

ports bidirecionais e três entradas para testes que podem alterar a seqüência do programa quando testados por instruções de desvio condicional.

Ports 1 e 2

Os ports 1 e 2 são ambos de 8 bits e têm características idênticas. Os dados escritos nestes ports são transferidos estaticamente e permanecem inalterados até que novos dados sejam escritos. Quando estes ports funcionam como entrada, não há circuito de latching, ou seja, as entradas devem estar presentes até que sejam lidas por uma instrução de entrada. As entradas são totalmente compatíveis com as dos dispositivos TTL e as saídas podem alimentar uma carga TTL padrão.

As linhas dos ports 1 e 2 são chamadas quasi-bidirecionais devido a uma estrutura de saída especial que permite que cada Linha funcione como entrada, saída, ou ambas, mesmo com o controle estático de saída. A configuração do circuito está mostrada na figura 5. Cada Linha dispõe de um circuito de pull-up contínuo para $+5$ V através de um resistor relativamente grande ($\cong 50\ K\Omega$).

Este circuito de pull-up é suficiente para fornecer corrente para uma carga TTL em nível alto bem como trazida à nível baixo por uma porta TTL padrão, permitindo que o mesmo pino seja utilizado como entrada ou como saída. Para permitir tempos rápidos de chaveamento na transição de 0 para 1, um resistor de impedância relativamente baixa ($\cong 5\ K\Omega$) é chaveado por 1/5 do ciclo de máquina, sempre que se escreve um 1 na Linha. Quando é escrito um 0, um transistor de baixa impedância ($\cong 300\ \Omega$) compensa o pull-up e acaba por permitir a capacidade de drenamento de corrente.

Como o transistor de pull-down é um dispositivo de baixa impedância, deve-se antes escrever um nível 1 em qualquer Linha que seja utilizada como entrada. O $\overline{\text{RESET}}$ inicializa todas as Linhas num estado de alta impedância (1). Este tipo de estrutura permite termos entrada e saída no mesmo pino, bem como uma mistura de entradas e saídas num mesmo port.

Este port quasi-bidirecional, juntamente com as instruções Lógicas ANL e ORL oferecem um modo eficiente para se tratarem as entradas e saídas de Linha num processador de 8 bits.

Vias de Dados/Endereços

Estas vias compõe um port de 8 bits que é realmente bidirecional associado aos strobes de entrada e saída. Se esta característica bidirecional não é necessária, estas vias podem ser utilizadas ou como um port controlado estaticamente ou como um port de entrada sem controle. As Linhas de E/S neste port não podem ser misturadas.

Como port estático, os dados são escritos e transferidos através da instrução OUTL e entradas através da instrução INS. As instruções INS e OUTL geram pulsos nas linhas de strobe de saída $\overline{\text{RD}}$ e $\overline{\text{WR}}$ respectivamente; no modo port estático elas geralmente não são usadas.

Como port bidirecional, as instruções MOVX são utilizadas para leitura e escrita no port. Uma escrita no port gera um pulso na linha de saída $\overline{\text{WR}}$ e os dados na saída tornam-se válidos na borda de subida do sinal $\overline{\text{WR}}$. Uma leitura no port gera um pulso na linha de saída $\overline{\text{RD}}$ e os dados na entrada devem tornar-se válidos na borda de subida de $\overline{\text{RD}}$. Quando não são lidos ou escritos, estas linhas ficam no estado de alta impedância.

Estrutura do Port Quasi-bidirecional

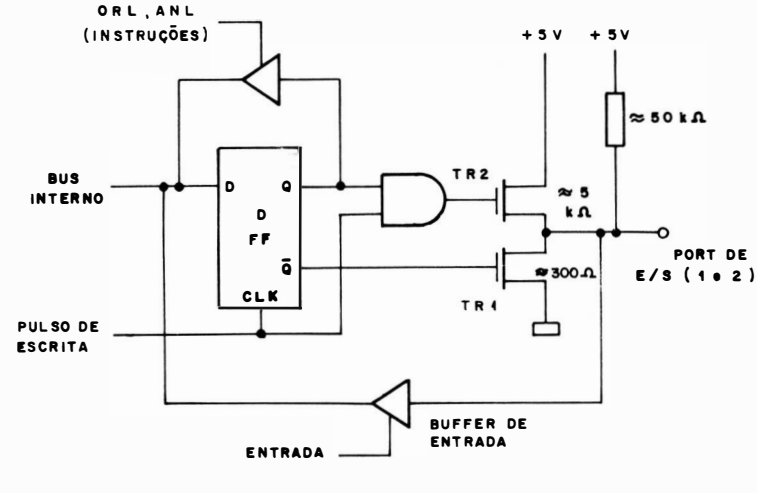


FIGURA 5

Entradas de Teste (T0, T1) e Entrada $\overline{INT}$

Há três pinos de entrada testáveis através de instrução de desvio condicional. Estes pinos são T0, T1 e $\overline{INT}$ e eles permitem que estas entradas forcem desvios no programa sem a necessidade de carregar o conteúdo de um port de entrada no acumulador. Contudo, estas entradas podem assumir outras funções.

Entrada $\overline{RESET}$

A entrada $\overline{RESET}$ oferece um modo de reinicialização do processador. Esta entrada schmitt-trigger tem um resistor de pull-up que, juntamente com um capacitor externo de 1 μF, oferece um pulso de reset interno capaz de garantir a reinicialização de todo o circuito. Se o pulso de reinicialização é gerado externamente, o pino $\overline{RESET}$, deve ser mantido em nível 0 (0,45 V) por no mínimo 10 ms após a tensão de alimentação ter atingido seu limite de tolerância. São necessários apenas cinco ciclos de máquina (12,5 μs a 6 MHz), se a alimentação estiver ativa e o oscilador estabilizado.

O circuito típico é mostrado na figura 6.

A - Circuito de reset externo

B - Circuito de Liga reset

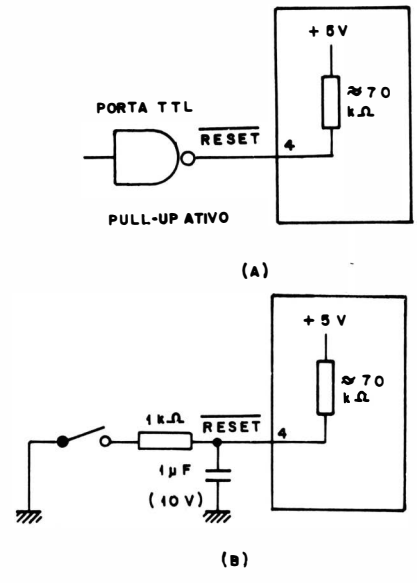


FIGURA 6

Seqüência de Standby

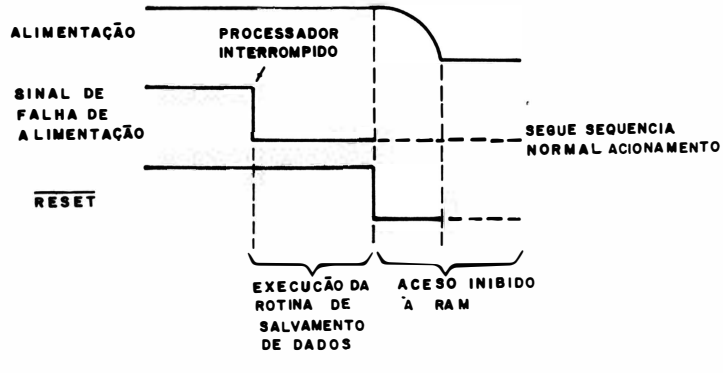


FIGURA 7

Entrada Passo a Passo ($\overline{SS}$)

O processador, através do controle adequado da linha $\overline{SS}$, pode ser forçado a executar uma instrução e esperar até que esta linha seja novamente ativada.

Modo Standby

O IC8035 e o IC8039 permitem a remoção da alimentação de todo o circuito, exceto da RAM dinâmica, para operação em modo standby. Este modo permite que o conteúdo da RAM seja mantido, consumindo-se de 10% a 15% da potência consumida em modo normal.

O pino V_{CC} serve como alimentação para o resto do circuito, enquanto V_{DD} apenas para a memória RAM.

Em operação normal, ambos os pinos permanecem em + 5 V. Em standby, o pino V_{CC} vai para terra e V_{DD} permanece em + 5 V.

Quando o sinal de reinicialização é enviado ao processador, através do pino $\overline{RESET}$, o acesso à RAM é inibido e isto evita que o seu conteúdo seja alterado inadvertidamente quando se retira a alimentação de V_{CC}. Uma seqüência típica de redução de potência é mostrada na figura 7.

Conjunto de Instruções

O Conjunto de instruções do IC8035 e IC8039 consiste de 90 instruções de um e dois bytes. (vide tabela 2).

A eficiência na codificação de programas é alta, devido à:

— registradores de trabalho e variáveis de programa serem armazenadas nas posições de 0 a 127, que requerem apenas um byte para endereçamento.

— Memória de programas dividida em páginas de 256 bytes, o que implica nos endereços de destino dos desvios necessitarem de apenas um byte.

O conjunto de instruções pode testar e manipular bits com eficiência, além de desempenhar operações lógicas e aritméticas. O conjunto de instruções MOVE opera indiretamente sobre RAM ou ROM, o que permite o acesso eficiente de ponteiros e tabelas de dados. A instrução de desvio indireto permite até 256 opções para desvio, a partir do conteúdo do acumulador para os endereços armazenados numa tabela de consultas. A instrução "decrementa registrador e desvia se não for zero" economiza um byte cada vez que é utilizada, diversamente da situação onde se utilizam instruções outras para incremento e teste.

O contador interno habilita tanto eventos externos como tempo a ser contado, independentemente do programa processado. O IC8035 e o IC8039 podem tanto testar o contador sob controle do programa como forçar uma interrupção por estouro do contador. Estas características são altamente desejáveis para aplicações em tempo real.

TABELA 1
Símbolos utilizados na tabela 2

SÍMBOLO	DESCRIÇÃO	SÍMBOLO	DESCRIÇÃO
A	Acumulador	Sn	Registrador de E/S serial
ender.	Endereço da memória de programa	SP	Ponteiro da Pilha
Bb	Designação de bit (b = 0-7)	T	Temporizador
RBS	Registrador de seleção de bloco	TF	Flag do temporizador
C	Flag de vai um	T0	Entrada de teste 0
CNT	Contador de eventos	T1	Entrada de teste 1
D	Nible	#	Prefixo de endereçamento imediato
dado	Número ou expressão (8 bits)	@	Prefixo de endereçamento indireto
I	Interrupção	(X)	Conteúdo de X
MB	Bloco de memória	((X))	Conteúdo da posição endereçada por X
MBFF	Flip flop do banco de memória	←	Substituído por
P	Descritor de operação numa página	↔	Trocado com
PC	Contador de programa		
Pp	Descritor de port (p = 0, 1, 2)		
PSW	Palavra de status do programa		
RB	Bloco de registradores		
Rr	Descritor do registrador (r = 0-7)		

TABELA 2
Conjunto de Instruções

	MNEMÔNICO	FUNÇÃO	DESCRIÇÃO	OPCODE (HEX.)	BYTES/ CICLOS	NOTAS
ACUMULADOR	ADDA, Rr	(A) ← (A) + (Rr) r = 0-7	Soma o conteúdo do registrador especificado com o acumulador	6 *	1/1	1
	ADDA, @ Rr	(A) ← (A) + ((R0)) (A) ← (A) + ((R1))	Soma indiretamente o conteúdo da posição de memória especificada com o acumulador	60 61	1/1	1
	ADD A, # dado	(A) ← (A) + dado	Soma imediata com o acumulador	03 dado	2/2	1
	ADDC A, Rr	(A) ← (A) + (Rr) + (C) r = 0-7	Soma, com vai um, o conteúdo do registrador especificado com o acumulador	7 *	1/1	1
	ADDC A, @ Rr	(A) ← (A) + ((R0)) + (C) (A) ← (A) + ((R1)) + (C)	Soma indiretamente, com vai um, o conteúdo da posição de memória especificada com o acumulador	70 71	1/1	1

	MNEMÔNICO	FUNÇÃO	DESCRIÇÃO	OPCODE (HEX.)	BYTES/ CICLOS	NOTAS
ACUMULADOR	ADDC A, # dado	(A) ← (A) + dados + (C)	Soma imediata, com vai um, dados com o acumulador	13 dado	2/2	1
	ANL A, Rr	(A) ← (A) AND (Rr) r = 0-7	AND lógico de Rr com A	5 ✱	1/1	
	ANL A, @ Rr	(A) ← (A) AND ((R0)) (A) ← (A) AND ((R1))	AND lógico indireto do conteúdo da memória de dados endereçada por Rr, com A	50 51	1/1	
	ANL A, # dado	(A) ← (A) AND dado	AND lógico imediato dos dados com o acumulador	53 dado	2/2	
	ORLA, Rr	(A) ← (A) OR (Rr) r = 0-7	OR lógico de Rr com A	4 ✱	1/1	
	ORLA, @ Rr	(A) ← (A) OR ((R0)) (A) ← (A) OR ((R1))	OR lógico indireto do conteúdo da posição de memória especificada por Rr com A	40 41	1/1	
	ORLA, # dado	(A) ← (A) OR dado	OR lógico imediato dos dados com o acumulador	43 dado	2/2	
	XRL A, Rr	(A) ← (A) XOR (Rr) r = 0-7	XOR lógico de Rr com A	D ✱	1/1	
	XRL A, @ Rr	(A) ← (A) XOR ((R0)) (A) ← (A) XOR ((R1))	XOR lógico indireto do conteúdo da posição de memória especificada por Rr com A	D0 D1	1/1	
	XRLA, # dado	(A) ← (A) XOR dado	XOR lógico imediato dos dados com o acumulador	D3 dado	2/2	
	INCA	(A) ← (A) + 1	Soma 1 ao conteúdo do acumulador	17	1/1	
	DEC A	(A) ← (A) − 1	Subtrai 1 do conteúdo do acumulador	07	1/1	
	CLR A	(A) ← 0	Limpa o conteúdo do acumulador	27	1/1	
	CPL A	(A) ← NOT (A)	Complementa o conteúdo do acumulador	37	1/1	
	RL A	(An + 1) ← (An) n = 0-6 (A0) ← (A7)	Rotação do acumulador 1 bit à esquerda sem vai um	E7	1/1	
	RLC A	(An + 1) ← (An) n = 0-6 (A0) ← (C), (C) ← (A7)	Rotação do acumulador 1 bit à esquerda com vai um	F7	1/1	2
	RR A	(An) ← (An + 1) n = 0-6 (A7) ← (A0)	Rotação do acumulador 1 bit à direita sem vai um	77	1/1	
	RRC A	(An) ← (An + 1) n = 0-6 (A7) ← (C), (C) ← (A0)	Rotação do acumulador 1 bit à direita com vai um	67	1/1	2
	DA A		Ajuste decimal do acumulador	57	1/1	2
TRANSFERÊNCIAS DE DADOS	SWAP A	(A4-7) ↔ (A0-3)	Troca as duas metades (nibles) do acumulador entre si	47	1/1	
	MOV A, Rr	(A) ← (Rr) r = 0-7	Transfere o conteúdo do registrador para o acumulador	F ✱	1/1	
	MOV A, @ Rr	(A) ← ((R0)) (A) ← ((R1))	Transfere indireto o conteúdo da memória de dados externa para o acumulador	F0 F1	1/1	
	MOV A, # dado	(A) ← dado	Transfere imediato dados para o acumulador	23 dado	2/2	
	MOV Rr, A	(Rr) ← (A) r = 0-7	Transfere o conteúdo do acumulador para o registrador especificado	A ✱	1/1	
	MOV @ Rr, A	((R0)) ← (A) ((R1)) ← (A)	Transfere o conteúdo do acumulador para a posição de memória indicada por Rr	A0 A1	1/1	
	MOV Rr, # dado	(Rr) ← dado r = 0-7	Transfere imediato dados para o registrador especificado	B dado	2/2	
	MOV @ Rr, # dado	((R0)) ← dado ((R1)) ← dado	Transfere imediato dados para a posição de memória indicada por Rr	B0 dado B1 dado	2/2	
	XCH A, Rr	(A) ↔ (Rr) r = 0-7	Troca o conteúdo do acumulador com o conteúdo do registrador especificado	2 ✱	1/1	
	XCHA, @ Rr	(A) ↔ ((R0)) (A) ↔ ((R1))	Troca indireto o conteúdo do acumulador com o da posição de memória especificada	20 21	1/1	
	XCHDA, @ Rr	(A0-3) ↔ ((R0-3)) (A0-3) ↔ ((R0-3))	Troca indireto o conteúdo dos 4 bits do acumulador com a memória de dados	30 31	1/1	
	MOV A, PSW	(A) ← (PSW)	Transfere o conteúdo da palavra de status do programa para o acumulador	C7	1/1	

	MNEMÔNICO	FUNÇÃO	DESCRIÇÃO	OPCODE (HEX.)	BYTES/ CICLOS	NOTAS
TRANSF. DE DADOS	MOV PSW, A	(PSW) ← A	Transfere o conteúdo do acumulador para a palavra de status do programa	D7	1/1	3
	MOV PA,@A	(A) ← ((A))	Transfere dados da página corrente para o acumulador	A3	1/2	
	MOVP3A,@A	(A) ← ((A)) na página 3	Transfere dados da página 3 para o acumulador	E3	1/2	
	MOVXA,@ Rr	(A) ← ((R)) r = 0-1	Transfere indireto o conteúdo da memória externa de dados para o acumulador	80 81	1/2	
	MOVX@ Rr,A	((R)) ← (A) r = 0-1	Transfere indireto o conteúdo do acumulador para a memória externa	90 91	1/2	
FLAG. S	CLR C	(C) ← 0	Limpa o conteúdo do bit vai um	97	1/1	2
	CPL C		Complementa o conteúdo do bit vai um	A7	1/1	2
	CLR F0	(F0) ← 0	Limpa o conteúdo do flag auxiliar F0	85	1/1	
	CPL F0		Complementa o conteúdo do flag auxiliar F0	95	1/1	
	CLR F1	(F1) ← 1	Limpa o conteúdo do flag auxiliar F1	A5	1/1	
	CPL F1		Complementa o conteúdo do flag auxiliar F1	B5	1/1	
REGISTRAD.	INC Rr	(Rr) ← (Rr) + 1 r = 0-7	Soma 1 ao conteúdo do registrador especificado	1✱	1/1	
	INC@Rr	((R0)) ← ((R0)) + 1 ((R1)) ← ((R1)) + 1	Soma 1 indireto ao conteúdo da posição de memória especificado	10 11	1/1	
	DEC Rr	(Rr) ← (Rr) − 1 r = 0-7	Subtrai 1 do conteúdo do registrador especificado	C✱	1/1	
DESVIOS	JMP ender.	(PC_{8-10}) ← ender. 8-10 (PC_{0-7}) ← ender. 0-7 (PC_{11-12}) ← MBFF 0-1	Desvio direto para o endereço especificado dentro do bloco de endereçamento de 2K	● 4 ender.	2/2	
	JMPP@A	(PC_{0-7}) ← ((A))	Desvio indireto para o endereço especificado dentro da página de endereço	B3	1/2	
	DJNZ Rr, ender.	(Rr) ← (Rr) − 1 r = 0-7 se(Rr) ≠ 0, (PC_{0-7}) ← ender.	Decrementa o conteúdo do registrador especificado e testa o conteúdo	E ✱ ender.	2/2	
	JF0 ender.	(PC_{0-7}) ← ender se F0 = 1;	Desvia para o endereço especificado se o flag F0 estiver acionado	B6 ender.	2/2	
	JF1 ender.	(PC_{0-7}) ← ender se F1 = 1	Desvia para o endereço especificado se o flag F1 estiver acionado	76 ender.	2/2	
	JNI ender.	(PC_{0-7}) ← ender se $\overline{INT}$ = 0	Desvia para o endereço especificado se a entrada $\overline{INT}$ estiver baixa	86 ender.	2/2	
	JBb ender.	(PC_{0-7}) ← ender se Bb = 1, b = 0-7	Desvia para o endereço especificado se o bit do acumulador estiver acionado	▲ 2 ender.	2/2	
	JC ender.	(PC_{0-7})ender se C = 1	Desvia para o endereço especificado se o flag de vai um estiver acionado	F6 ender.	2/2	
	JNC ender	(PC_{0-7}) ← ender se C = 0	Desvia para o endereço especificado se o flag de vai um estiver baixo	E6 ender.	2/2	
	JZ ender	(PC_{0-7}) ← ender se A = 0	Desvia para o endereço especificado se o conteúdo do acumulador for zero	C6 ender.	2/2	
	JNZ ender.	(PC_{0-7}) ← ender se A ≠ 0	Desvia para o endereço especificado se o conteúdo do acumulador for diferente de zero	96 ender.	2/2	
	JT0 ender.	(PC_{0-7}) ← ender se T0 = 1	Desvia para o endereço especificado se T0 = 1	36 ender.	2/2	
	JNT0 ender.	(PC_{0-7}) ← ender se T0 = 0	Desvia para o endereço especificado se T0 = 0	26 ender.	2/2	
	JT1 ender	(PC_{0-7}) ← ender se T1 = 1	Desvia para o endereço especificado se T1 = 1	56 ender.	2/2	
	JNT1 ender	(PC_{0-7}) ← ender se T1 = 0	Desvia para o endereço especificado se T1 = 0	46 ender.	2/2	
	JTF ender	(PC_{0-7}) ← ender se TF = 1	Desvia para o endereço especificado se o flag do temporizador estiver acionado	16 ender.	2/2	
TEMP.	MOV A, T	(A) ← T	Transfere o conteúdo do temporizador/contador de eventos para o acumulador	42	1/1	
	MOV T, A	(T) ← A	Transfere o conteúdo do acumulador para o temporizador/contador de eventos	62	1/1	

	MNEMÔNICO	FUNÇÃO	DESCRIÇÃO	OPCODE (HEX.)	BYTES/ CICLOS	NOTAS
TEMPORIZADOR	STRT CNT		Inicia o contador de eventos	45	1/1	
	STRT T		Inicia a contagem para o temporizador	55	1/1	
	STOP TCNT		Pára a contagem de eventos ou o temporizador	65	1/1	
	EN TCNTI		Habilita a interrupção do temporizador/contador de eventos	25	1/1	
	DIS TCNTI		Desabilita a interrupção do temporizador/ contador de eventos	35	1/1	
CONTROLES	EN I		Habilita interrupção externa	05	1/1	
	DIS I		Desabilita interrupção externa	15	1/1	
	SEL RB0	(RBS) ← 0	Seleciona bloco de registradores 0	C5	1/1	
	SEL RB1	(RBS) ← 1	Seleciona bloco de registradores 1	D5	1/1	
	SEL MB0	(MBFF0) ← 0, (MBFF1) ← 0	Seleciona bloco 0 da memória de programa	E5	1/1	
	SEL MB1	(MBFF0) ← 1, (MBFF1) ← 1	Seleciona bloco 1 da memória de programa	F5	1/1	
	ENT0 CLK		Habilita saída de clock dependendo de T0	75	1/1	
SUBROTINAS	CALL ender	((SP)) ← (PC), ($PSW_{4,6,7}$) (SP) ← (SP) + 1 (PC_{8-10}) ← ender 8-10 (PC_{0-7}) ← ender 0-7 (PC_{11-12}) ← MBFF 0-1	Chama a subrotina especificada	▲ 4 ender.	2/2	6
	RET	(SP) ← (SP) − 1 (PC) ← ((SP))	Retorna da subrotina	83	1/2	6
	RETR	(SP) ← (SP) − 1 ($PSW_{4,6,7}$) + (PC) ← ((SP))	Retorna da interrupção e restabelece os bits 4, 6, 7 da Palavra de Status do Programa	93	1/2	
ENTRADA/SAÍDA	IN A, Pp	(A) ← (P1) p = 1-2 (A) ← (P2)	Entra os dados do port especificado no acumulador	09 0A	1/2	7
	INS A, BUS	(A) ← (BUS)	Entra os dados do bus para o acumulador	08	2/1	
	OUTL Pp, A	(P1) ← (A) p = 1-2 (P2) ← (A)	Transfere o conteúdo do acumulador para o port especificado	39 3A	1/2	
	ANL BUS, # dado	(BUS) ← (BUS) AND dado	Efetua AND lógico imediato dos dados com o bus	98 99	2/2 2/2	
	ANL Pp, # dado	(P1) ← (P1) AND dado p = 1-2 (P2) ← (P2) AND dado	Efetua AND lógico imediato dos dados com o port especificado	9A		
	ORL Pp, # dado	(P1) ← (P1) OR dado p = 1-2 (P2) ← (P2) OR dado	Efetua um OR lógico imediato dos dados com o port especificado	89 8A	2/2	
	ORL BUS, # dado	(BUS) ← (BUS) OR dado	Efetua um OR lógico imediato dos dados com o bus	88	2/2	
	MOV DA, Pp	(A0-3) ← (Pp) p = 4-7 (A4-7) ← 0	Transfere o conteúdo do port especificado (4-7) para o acumulador	0C 0D 0E 0F	1/2	
	MOV D Pp, A	(Pp) ← (A0-3) p = 4-7	Transfere o conteúdo do acumulador para o port especificado (4-7)	3C 3D 3E 3F	1/1	
	ANL DPp, A	(Pp) ← (Pp) AND (A0-3) p = 4-7	Efetua AND lógico do acumulador com o port especificado (4-7)	9C 9D 9E 9F	1/2	
	ORL DP_P, A	(Pp) ← (Pp) OR (A0-3) p = 4-7	Efetua um OR lógico do acumulador com o port especificado	8C 8D 8E 8F	1/1	
	NOP		Não opera	00	1/1	

OBSERVAÇÕES

1) Afeta PSW, CY, AC
2) Afeta PSW, CY
3) Afeta PSW, PS
4) A execução das instruções JTF e JNTF Limpa o conteúdo do flag do temporizador
5) Afeta PSW, RBS
6) Afeta PSW, SP0, SP1, SP2
7) (A) = 111, P23, P22, P21, P20
8) (S1) tem significados diferentes para as operações de entrada e saída, vide interface serial de E/S

✱ = 8, 9, A, B, C, D, E, F
● = 0, 2, 4, 6, 8, A, C, E
▲ = 1, 3, 5, 7, 9, B, D, F

TABELA 3
Timing de Instruções

	CICLO 1					CICLO 2				
	S1	**S2**	**S3**	**S4**	**S5**	**S1**	**S2**	**S3**	**S4**	**S5**
IN A, P	busca	incrementa contador de programa	—	incrementa temporizador	—	—	leitura do port	(1) —	—	—
OUT P, A	busca	incrementa contador de programa	—	incrementa temporizador	saída para o port	—	—	(1) —	—	—
ANL P, # dado	busca	(1) incrementa contador de programa	—	incrementa temporizador	leitura do port	busca dado imediato	—	(1) incrementa contador de programa	saída para port	—
ORL P, # dado	busca	(1) incrementa contador de programa	—	incrementa temporizador	leitura do port	busca dado imediato	—	(1) incrementa contador de programa	saída para port	—
INS A, BUS	busca	incrementa contador de programa	—	incrementa temporizador	—	—	leitura do port	(1) —	—	—
OUTL BUS, A	busca	incrementa contador de programa	—	incrementa temporizador	saída para o port	—	—	(1) —	—	—
ANL BUS, # dado	busca	(1) incrementa contador de programa	—	incrementa temporizador	leitura do port	busca dado imediato	—	(1) incrementa contador de programa	saída para port	—
ORL BUS, # dado	busca	(1) incrementa contador de programa	—	incrementa temporizador	leitura do port	busca dado imediato	--	(1) incrementa contador de programa	saída para port	—
MOV X @ R, A	busca	incrementa contador de programa	saída do endereço da RAM	incrementa temporizador	saída para a RAM	—	—	(1) —	—	—
MOV X A, @ R	busca	incrementa contador de programa	saída do endereço da RAM	incrementa temporizador	—		leitura de dados	(1) —	—	—
MOVD A, P	busca	incrementa contador de programa	saída do opcode e endereço	incrementa temporizador	—	—	leitura da parte baixa de P2	(1) —	—	—
MOVD P, A	busca	incrementa contador de programa	saída do opcode e endereço	incrementa temporizador	saída de dados para a parte baixa de P2	—	—	(1) —	—	—
ANLD P, A	busca	incrementa contador de programa	saída do opcode e endereço	incrementa temporizador	saída de dados	—	—	(1) —	—	—
ORLD P, A	busca	incrementa contador de programa	saída do opcode e endereço	incrementa temporizador	saída de dados	—	—	(1) —	—	—
J (condicional)	busca	(1) incrementa contador de programa	condição de amostragem	incrementa temporizador	—	busca dado imediato	—	(1) saída para o port	—	—
STRT CNT STRT T	busca	(1) incrementa contador de programa	—	—	inicia contador					
STOP TCNT	busca	(1) incrementa contador de programa	—	—	encerra contador					
EN I	busca	(1) incrementa contador de programa	—	habilita interrupção	—					
DIS I	busca	(1) incrementa contador de programa	—	desabilita interrupção	—					
ENT0 CLK	busca	(1) incrementa contador de programa	—	habilita relógio						

OBSERVAÇÃO
1) Os endereços de instrução válidos estão nas saídas se a memória externa de programa estiver sendo acessada.

Ciclo de Instrução

S5	S1	S2	S3	S4	S5	S1
	INSTRUÇÃO DE ENTRADA	DECODIFI-CAÇÃO	EXECUÇÃO			ENTRADA
ENDEREÇO DE SAÍDA		INCRE-MENTA P.C.	ENDEREÇO DE SAÍDA			

Tempos do Ciclo de Instrução

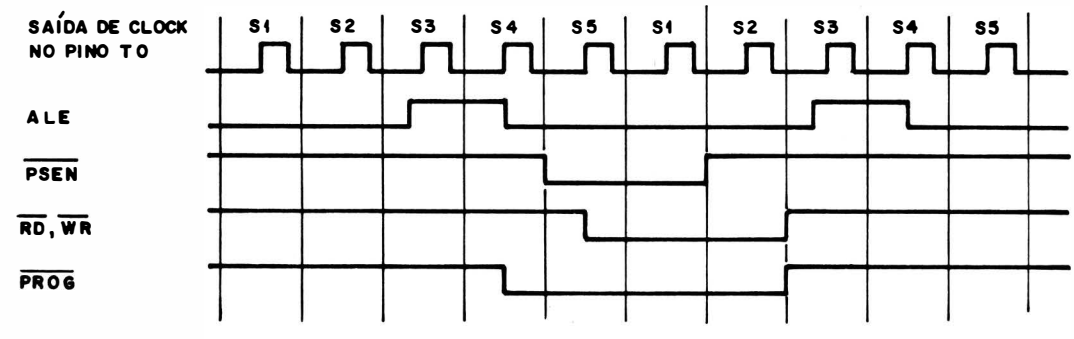


TABELA 4

Mapa de Instruções

primeiro caracter hexadecimal do opcode

segundo caracter hexadecimal do opcode

	0 1	2	3	4	5	6	7	8	9 A B	C D E F
0	NOP	OUTL BUS, A	ADD A, # dado	JMP pag. 0	EN I		DEC A	INS A, BUS	IN A, Pp 1 2	MOVD A, Pp 4 5 6 7
1	INC @ Rr 0 1	JB0 ender	ADDC A, # dado	CALL pag. 0	DIS I	JTF ender.	INCA	INC Rr 0	1 2 3	4 5 6 7
2	XCH A, @ Rr 0 1		MOV A, # dado	JMP pag. 1	EN TCNTI	JNT0 ender.	CLR A	XCH A, Rr 0	1 2 3	4 5 6 7
3	XCHD A, @ Rr 0 1	JB1 ender		CALL pag. 1	DIS TCNTI	JT0 ender.	CPL A		OUTL Pp, A 1 2 3	MOVD Pp, A 4 5 6 7
4	ORL A, @ Rr 0 1	MOV A, T	ORL A, # dado	JMP pag. 2	STRT CNT	JNT1 ender.	SWAP A	ORL A, Rr 0	1 2 3	4 5 6 7
5	ANL A, @ Rr 0 1	JB2 ender	ANL A, # dado	CALL pag. 2	STRT T	JT1 ender.	DA, A	ANL A, Rr 0	1 2 3	4 5 6 7
6	ADD A, @ Rr 0 1	MOV T, A		JMP pag. 3	STOP TCNT		RRC A	ADD A, Rr 0	1 2 3	4 5 6 7
7	ADDC A, @ Rr 0 1	JB3 ender		CALL pag. 3	ENT0 CLK	JF1 ender.	RR A	ADDC A, Rr 0	1 2 3	4 5 6 7
8	MOV A, @ Rr 0 1		RET	JMP pag. 4	CLR F0	JN1 ender.		ORL BUS, # dado	ORL Pp # dado 1 2	ORLD Pp, A 4 5 6 7
9	MOV X @ Rr, A 0 1	JB4 ender	RET R	CALL pag. 4	CPL F0	JNZ ender.	CLR C	ANL BUS, # dado	ANP Pp, # dado 1 2	ANL Pp, A 4 5 6 7
A	MOV @ Rr, A 0 1		MOV P A, @ A	JMP pag. 5	CLR F1		CPL C	MOV Rr, A 0	1 2 3	4 5 6 7
B	MOV @ Rr, # dado 0 1	JB5 ender	JMPP @ A	CALL pag. 5	CLP F1	JF0 ender.		MOVR, # dado 0	1 2 3	4 5 6 7
C				JMP pag. 6	SEL RB0	JZ ender.	MOV A, PSW	DEC Rr 0	1 2 3	4 5 6 7
D	XRL A, @ Rr 0 1	JB6 ender	XRL A, # dado	CALL pag. 6	SEL RB1		MOV PSW, A	XRL A, Rr 0	1 2 3	4 5 6 7
E			MOV P3 A @ A	JMP pag. 7	SEL MB0	JNC ender.	RL A	DJNZ Rr, ender 0	1 2 3	4 5 6 7
F	MOV A, @ Rr 0 1	JB7 ender		CALL pag. 7	SEL MB1	JC ender.	RLC A	MOV A, Rr 0	1 2 3	4 5 6 7

VALORES MÁXIMOS ABSOLUTOS

Tensão de entrada (exceto a entrada EA)	− 0,5 V a 7 V
Tensão na entrada EA	− 0,5 V a 12 V
Corrente DC em qualquer entrada ou saída	± 10 mA
Potência total dissipada	1 W
Temperatura de armazenamento	− 65°C a 150°C
Temperatura de operação	0°C a 70°C

CARACTERÍSTICAS DC $V_{DD} = V_{CC} = 5\ V$ $T_A = 0$ a 70°C

SÍMBOLO	PARÂMETRO		LIMITES MÍN.	LIMITES TÍP.	LIMITES MÁX.	UNIDADE	CONDIÇÕES DE TESTE
I_{DD}	Corrente de alimentação	IC8035			6	mA	$V_{DD} = 5\ V \pm 10\%$
		IC8039			8	mA	$V_{CC} = V_{SS} = 0V$
$I_{CC} + I_{DD}$	Corrente de alimentação Total	IC8035			80	mA	
		IC8039			90	mA	
V_{IL}	Tensão de entrada - nível baixo exceto XTAL 1, XTAL 2 e RESET		−0,5		0,8	V	
$V_{IL\ 1}$	Tensão de entrada - nível baixo XTAL 1, XTAL 2 e RESET		−0,5		0,6	V	
V_{IH}	Tensão de entrada - nível alto exceto XTAL 1, XTAL 2 e RESET		2,0		V_{CC}	V	
$V_{IH\ 1}$	Tensão de entrada - nível alto XTAL 1, XTAL 2 e RESET		3,8		V_{CC}	V	
V_{OL}	Tensão de saída - nível baixo DB0 a DB7				0,45	V	$I_{OL} = 2\ mA$
$V_{OL\ 1}$	Tensão de saída - nível baixo RD, WR, PSEN, ALE				0,45	V	$I_{OL} = 1{,}8\ mA$
$V_{OL\ 2}$	Tensão de saída - nível baixo (PROG)				0,45	V	$I_{OL} = 1\ mA$
$V_{OL\ 3}$	Tensão de entrada - nível baixo nas demais entradas				0,45	V	$I_{OL} = 1{,}6\ mA$
V_{OH}	Tensão de saída - nível alto DB0 a DB7		2,4			V	$I_{OH} = -400\ \mu A$
$V_{OH\ 1}$	Tensão de saída - nível alto (RD, WR, PSEN, ALE)		2,4			V	$I_{OH} = -100\ \mu A$
$V_{OH\ 2}$	Tensão de saída - nível alto nas demais saídas		2,4			V	$I_{OH} = -40\ \mu A$
I_{IL}	Corrente de fuga na entrada (T1, INT)				±10	μA	$V_{SS} < V_I < V_{CC}$
I_{OZ}	Corrente de fuga na saída DB0 a DB7 - alta impedância				±10	μA	$V_{SS} + 0{,}45\ V < V_I < V_{CC}$
I_{LI}	Corrente de carga de entrada - nível baixo (P10 a P17, P20 a P27 EA, SS)				−0,5	mA	$V_{SS} + 0{,}45\ V < V_I < V_{CC}$
$I_{LI\ 1}$	Corrente de carga de entrada - nível baixo (RESET)		0,02		−0,3	mA	$V_{SS} < V_I < V_{CC}$

CARACTERÍSTICAS AC $V_{CC} = V_{DD} = 5\,V\ (\pm 10\%)$; $T_A = 0$ a 70°C (1)

SÍMBOLO	PARÂMETRO	11 MHz		UNIDADE	$f(t_{CY})$ CONDIÇÕES DE TESTE (2)
		MÍN.	MÁX.		
t_{CY}	Período de clock (2)	90,8	1000	ns	$1/f_{XTAL}$
t_{LL}	Largura do pulso ALE	150		ns	$3,5\ t_{CY} - 170$
t_{AL}	Tempo de set up de endereços antes de ALE baixo (3)	70		ns	$2\ t_{CY} - 110$
t_{LA}	Tempo de hold de endereços após ALE baixo	50		ns	$t_{CY} - 40$
t_{CC1}	Largura do pulso de controle $\overline{RD}$, $\overline{WR}$	480		ns	$7,5\ t_{CY} - 200$
t_{CC2}	Largura do pulso de controle $\overline{PSEN}$	350		ns	$6\ t_{CY} - 200$
t_{DW}	Tempo de setup de dados antes de $\overline{WR}$ alto	390		ns	$6,5\ t_{CY} - 200$
t_{WD}	Tempo de hold de dados, após $\overline{WR}$ alto	40		ns	$t_{CY} - 50$
t_{DR}	Tempo de hold de dados após $\overline{RD}$, $\overline{PSEN}$ alto	0	110	ns	$1,5\ t_{CY} - 30$
t_{RD1}	Tempo de hold de dados $\overline{RD}$ para entrada de dados válida		350	ns	$6\ t_{CY} - 170$
t_{RD2}	Tempo de hold de dados $\overline{PSEN}$ para entrada de dados válida		190	ns	$4,5\ t_{CY} - 170$
t_{AW}	Tempo de set up de endereços para $\overline{WR}$	300		ns	$5\ t_{CY} - 150$
t_{AD1}	Tempo de setup de endereços para entrada de dados ($\overline{RD}$)		730	ns	$10,5\ t_{CY} - 220$
t_{AD2}	Tempo de set up de endereços para entrada de dados ($\overline{PSEN}$)		460	ns	$7,5\ t_{CY} - 200$
t_{AFC1}	Tempo de flutuação de endereços para $\overline{RD}$, $\overline{WR}$	140		ns	$2\ t_{CY} - 40$
t_{AFC2}	Tempo de flutuação de endereços para $\overline{PSEN}$ (3)	10		ns	$5\ t_{CY} - 40$
t_{LAFC1}	Tempo de atraso de ALE para o pulso de controle $\overline{RD}$, $\overline{WR}$	200		ns	$3\ t_{CY} - 75$
t_{LAFC2}	Tempo de atraso do ALE para o pulso de controle $\overline{PSEN}$	60		ns	$1,5\ t_{CY} - 75$
t_{CA1}	Tempo de atraso do pulso de controle $\overline{RD}$, $\overline{WR}$, $\overline{PROG}$ para ALE	50		ns	$t_{CY} - 40$
t_{CA2}	Tempo de atraso do pulso de controle $\overline{PSEN}$ para ALE	320		ns	$4\ t_{CY} - 40$
t_{CP}	Tempo de set-up do controle de port para $\overline{PROG}$	50		ns	$1,5\ t_{CY} - 80$
t_{PC}	Tempo de hold do controle de port para $\overline{PROG}$	100		ns	$4\ t_{CY} - 260$
t_{PR}	Tempo de atraso $\overline{PROG}$ para entradas do Port 2 válidas		650	ns	$8,5\ t_{CY} - 120$
t_{PF}	Tempo de hold dos dados de entrada a partir de $\overline{PROG}$	0	150	ns	$1,5\ t_{CY}$
t_{DP}	Tempo de set up da saída de dados	250		ns	$6\ t_{CY} - 290$
t_{PD}	Tempo de hold, da saída de dados	40		ns	$1,5\ t_{CY} - 90$
t_{PP}	Largura do pulso $\overline{PROG}$	700		ns	$10,5\ t_{CY} - 250$
t_{PL}	Tempo de set up de dados de E/S do Port 2 para ALE	160		ns	$4\ t_{CY} - 200$
t_P	Tempo de set up de dados de Port 2 de E/S para ALE	15		ns	$1,5\ t_{CY} - 120$
t_{PV}	Tempo de atraso saída do port a partir de ALE		510	ns	$4,5\ t_{CY} + 100$
t_{OPRR}	Taxa de repetição de T0	270		ns	$3\ t_{CY}$

OBSERVAÇÕES

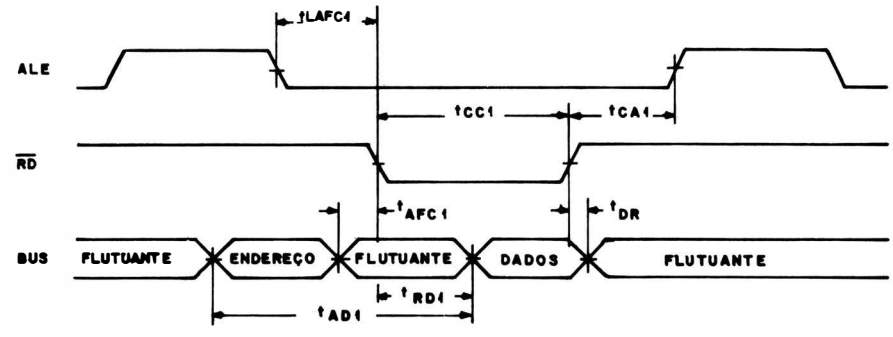
1) Saídas de controle: $C_L = 80$ pF
   Saídas de bus: $C_L = 150$ pF

2) $f(t_{CY})$ é considerado como 50% do duty cicle em XTAL1 e XTAL2; frequência mínima = 1 MHz

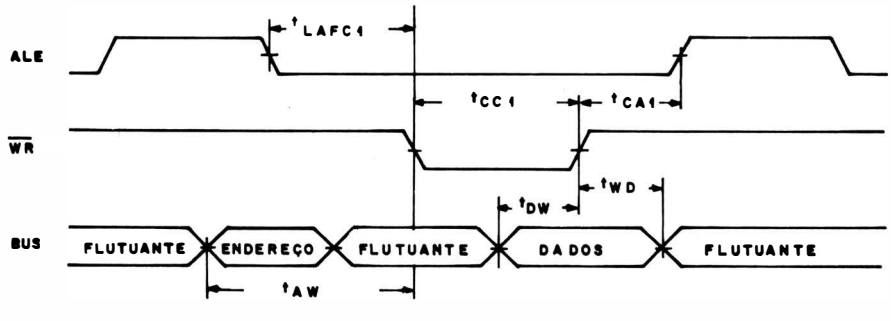
3) Carga do bus em alta impedância = 20 pF

As entradas de teste A.C. são acionadas com 2,4 V para nível lógico 1 e 0,45 V para nível Lógico 0. As medidas dos tempos são tomadas com 2,0 V para nível Lógico 1 e 0,8 V para nível lógico 0.

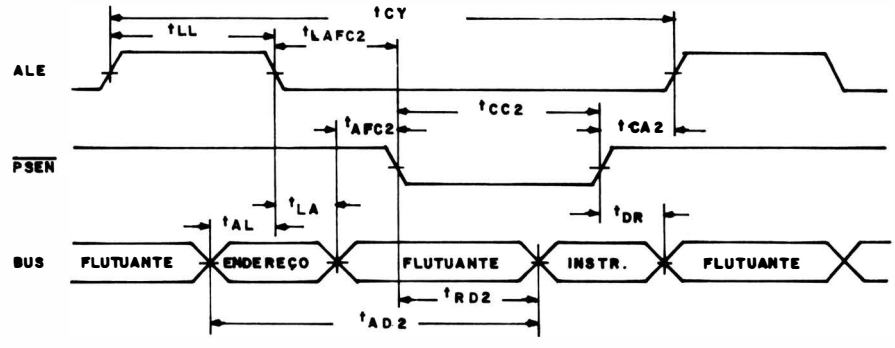
TEMPOS: LEITURA DE DADOS DA MEMÓRIA EXTERNA



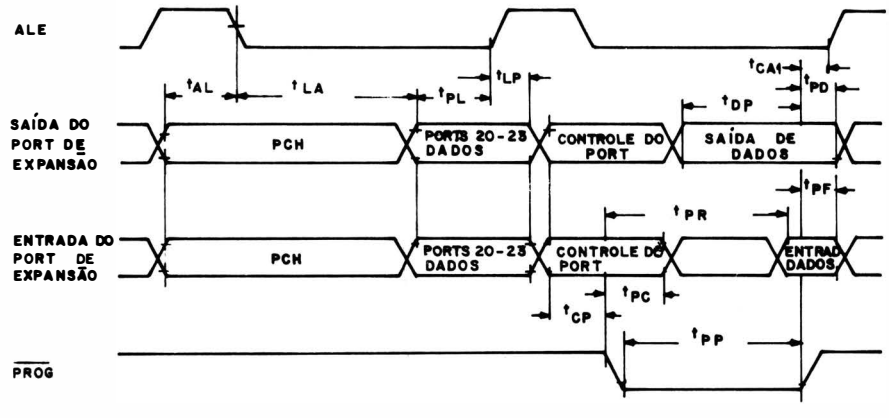
TEMPOS: ESCRITA NA MEMÓRIA EXTERNA



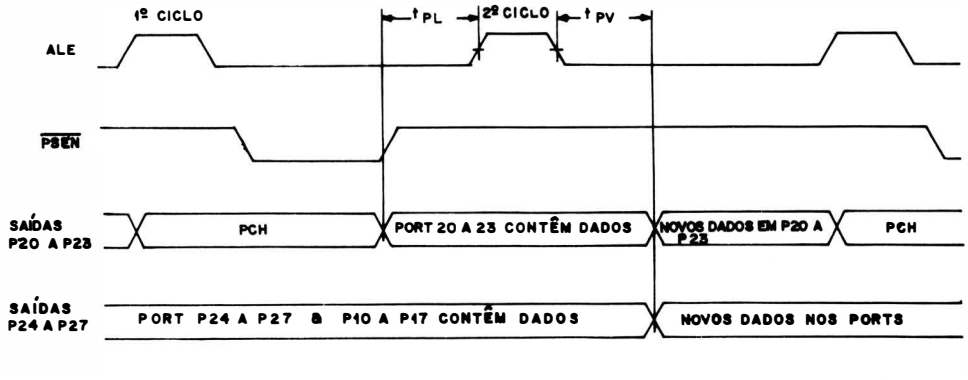
TEMPOS: BUSCA DA INSTRUÇÃO NA MEMÓRIA DE PROGRAMAS



TEMPOS: PORT 2



TEMPOS: PORT DE E/S



Microcontroladores e microprocessadores constituem duas áreas distintas de uma mesma categoria de componentes eletrônicos. Muito embora a divisão entre ambas seja algumas vezes não muito clara, esta distinção de fato existe.

Os microcontroladores geralmente apresentam sua arquitetura com um bus para dados e outro para programa, ao contrário da arquitetura de memória mapeada segundo von Neuman, comum a muitos microprocessadores. Para aplicações em controle, os microcontroladores são geralmente mais eficientes que os microprocessadores. O conjunto de instruções dos microcontroladores tem uma filosofia diferente da dos microprocessadores. Invariavelmente os microcontroladores são dispositivos em pastilha única (contendo internamente memórias e E/S), ao passo que os microprocessadores geralmente são dispositivos multi chip.

Os dispositivos MPG — Microcontroladores de Propósito Geral — pertencem, como o próprio nome indica, à classe dos microcontroladores. São circuitos integrados contendo numa única pastilha: todo o sistema de timing, lógica interna, ROM, RAM e entradas/saídas (E/S) necessários à implementação de funções de controle dedicadas em uma ampla variedade de aplicações.

A diversificação dos microcontroladores da família MPG possibilita ao usuário escolher a melhor combinação possível para uma aplicação particular, pois além das opções de escolha de capacidades para ROM, RAM e de número de entradas/saídas (E/S), há também diversas opções de escolha de características elétricas para os pinos do circuito integrado. As características elétricas específicas de cada pino, selecionadas pelo usuário, serão implementadas por máscara durante a fabricação, simultaneamente à programação da ROM.

A flexibilidade da configuração das linhas de E/S reduz o interfaceamento com dispositivos externos, minimizando os componentes de seleção e os drivers normalmente usados.

Os dispositivos típicos de interface incluem: teclados e displays (possibilidade de acionamento direto de segmentos para vários dígitos), memórias externas de dados, impressoras, conversores A/D e D/A, dispositivos para controle de potência (SCR's e TRIAC's), atuadores mecânicos, comunicação com CPU's mestres através do sistema MICROBUS, etc.

A fim de facilitar a fase de desenvolvimento do projeto, existem dispositivos destinados a protótipos, que operam como um MPG sem a ROM interna e que se tornam completos com uma EPROM externa; e ainda os piggy backs que permitem o acoplamento, diretamente em seu dorso, de uma EPROM com o software residente.

Os componentes da família MPG são a solução de baixo custo para automação de produtos de uso geral. Suas aplicações são inúmeras, dentre algumas áreas de aplicação estão: indústria automotiva (computador de bordo, sistemas de ignição eletrônica), indústria eletro-eletrônica (controles de fornos de microondas, de lavadoras, de secadoras, etc.), indústria eletrônica (gravadores, vídeocassetes, sistemas estéreo, sintonia eletrônica de rádios, jogos eletrônicos, instrumentos de laboratório, e muitas outras apllcações).

MPG DE 4 BITS COM ROM = 1kx8,
RAM = 64x4 e E/S=23

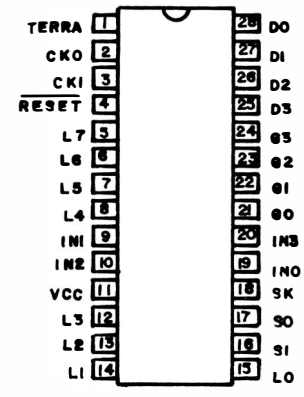
MPG 320L

PRELIMINAR

Características:

- ☐ Faixa ampliada de temperatura: −40 a +85°C;
- ☐ ROM de 1kx8 e RAM de 64x4;
- ☐ Pilha para três níveis de sub-rotinas;
- ☐ Tempo de instrução de 4 μs;
- ☐ Contador de base de tempo interno, para processamento em tempo real;
- ☐ Registrador-contador binário interno, com capacidade de E/S serial;
- ☐ Saídas tristate, de aplicação geral;
- ☐ Compatibilidade com TTL/CMOS e com o sistema MICROBUS;
- ☐ Saídas para acionamento direto de LEDs;
- ☐ Alimentação única de 4,5 a 6,3V.

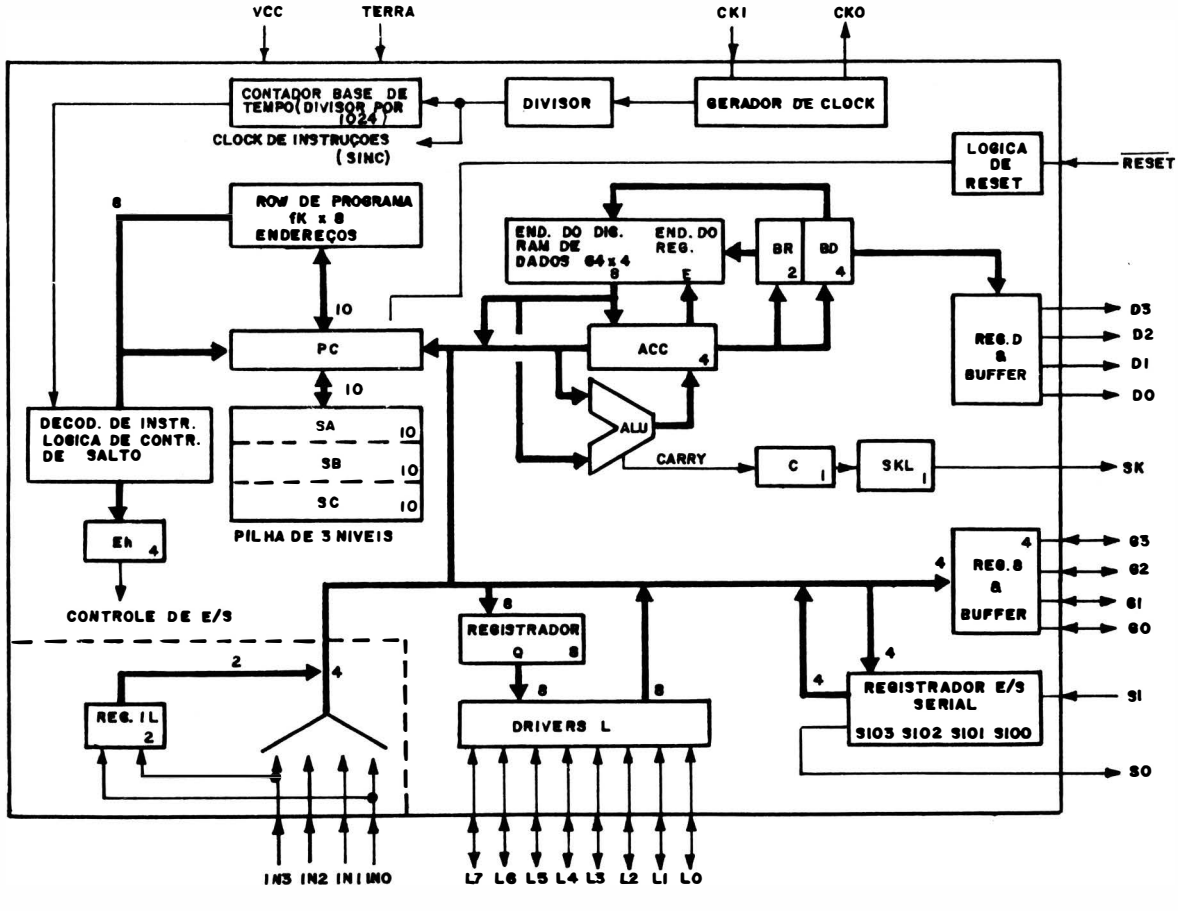
PINAGEM



Descrição Geral:

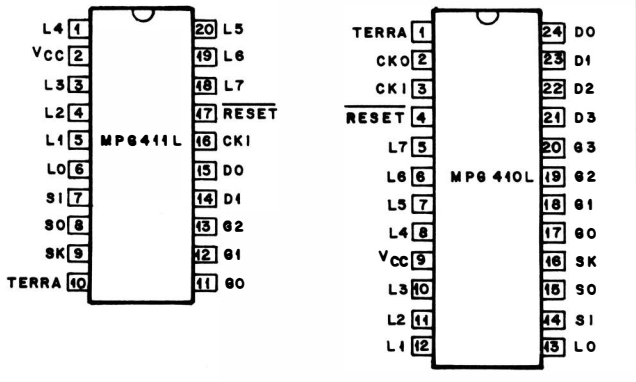
O MPG 320L é um microcomputador (microcontrolador de propósito geral) completo, incluindo todo o sistema de temporização, lógica interna, ROM, RAM e E/S necessário para a implementação de funções dedicadas de controle, para as mais diversas aplicações. Entre suas características, podemos citar diversas opções de configuração das saídas, mediante um conjunto de instruções, arquitetura interna e esquema de E/S projetados para facilitar a entrada via teclado, saída para display e manipulação de dados em BCD. O MPG 320L é idêntico ao MPG 420, exceto pelo fato de trabalhar dentro de uma faixa mais ampla de temperatura (de −40 a +85°C).

DIAGRAMA DE BLOCOS



MPG 410L/MPG 411L

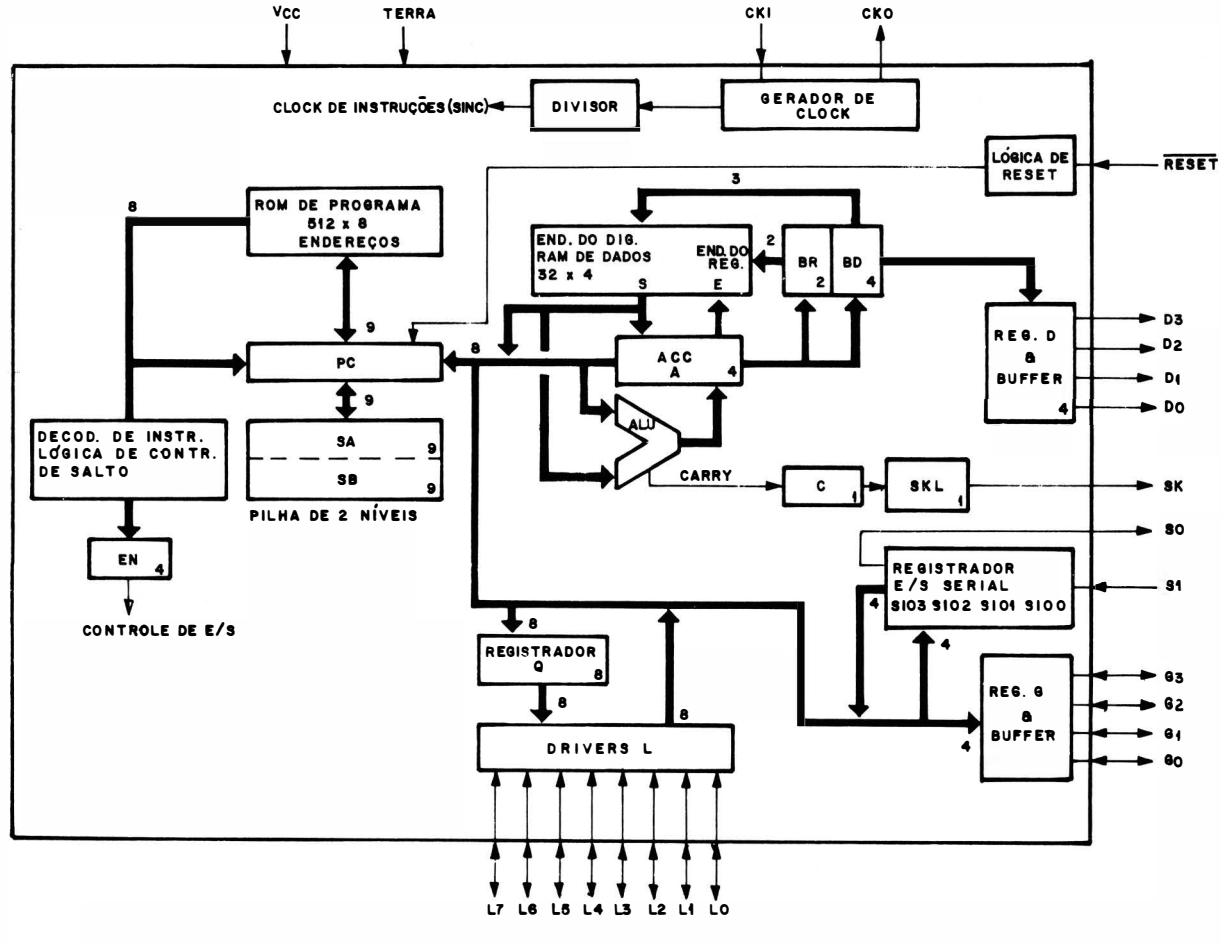
PINAGEM



Características

- ☐ Baixo custo;
- ☐ Poderoso conjunto de instruções;
- ☐ ROM de 512×8 e RAM de 32×4;
- ☐ Pilha para dois níveis de subrotinas;
- ☐ Tempo de instrução de 16μs;
- ☐ Alimentação única (4,5 V a 6,3 V);
- ☐ Baixa corrente drenada (6 mA máx.);
- ☐ Registrador Contador binário interno com capacidade de E/S serial;
- ☐ Saídas tri-state e de propósito geral;
- ☐ Compatibilidade TTL/CMOS;
- ☐ Saídas para acionamento direto de LEDs;
- ☐ Compatibilidade com outros membros da família MPG 400.

DIAGRAMA DE BLOCOS



Descrição Geral

O MPG 410L e o MPG 411L são microcomputadores (Microcontroladores de Propósito Geral) completos, contendo todo o sistema de timing, lógica interna, ROM, RAM e E/S necessários para implementar funções de controle dedicadas para diversas aplicações. Suas características incluem operação com alimentação única, diversas opções de configuração de saídas, com um conjunto de instruções, arquitetura interna e esquema de E/S projetados para facilitar a entrada de teclado, saída de display e manipulação de dados em BCD.

O MPG 411L é idêntico ao MPG 410L, exceto que possui 16 linhas de E/S em vez de 19.

Padrões de procedimento de teste e confiáveis técnicas de fabricação de alta densidade proporcionam ao usuário de médio a grande volume um processador orientado para controle com um baixo custo final.

TABELA 1

Descrição da Pinagem

PINO	FUNÇÃO
L7-L0	8 ports de E/S bidirecionais tri-state
G3-G0	4 ports de E/S bidirecionais (Para o MPG 411L de G2 a G0)
D3-D0	4 saídas de propósito geral (Para o MPG 411L D1 e D0)
SI	Entrada serial (ou entrada contadora)
SO	Saída serial (ou saída de propósito geral)
SK	Clock logicamente controlado (ou saída de propósito geral)
CKI	Entrada do sistema oscilador
CKO	Saída do sistema oscilador (ou entrada de sincronismo, sync, ou de alimentação para a RAM) (somente para o MPG 410L)
$\overline{\text{RESET}}$	Entrada de reset do sistema
V_{CC}	Alimentação
TERRA	Terra

Descrição Funcional

O diagrama de blocos ilustra a rota de dados de forma simplificada, a fim de descrever como os vários elementos lógicos comunicam-se entre si para executar o conjunto de instruções do dispositivo. Utiliza-se a lógica positiva. Quando um bit estiver desativado, estará no nível lógico 0 (menor que 0,8 V). Quando um bit estiver ativado, estará no nível lógico 1 (maior que 2 V).

Memória de Programa

A memória de programa é constituída por uma ROM de 512 bytes. Como se pode observar mediante um exame do conjunto de instruções do MPG 410L e MPG 411L, estas palavras podem ser instruções de programa, dados de programa ou dados de endereço da ROM. Devido às características especiais vinculadas às instruções JP, JSRP, JID e LQID, a ROM freqüentemente é vista como sendo organizada em 8 páginas de 64 palavras cada.

O endereçamento da ROM é efetuado pelo registrador PC de 9 bits. O seu valor binário seleciona uma das 512 palavras de 8 bits contidas na ROM. Um novo endereço é carregado no registrador PC durante cada ciclo de instrução. A menos que a instrução seja de transferência de controle, o registrador PC é carregado com o próximo valor seqüencial do contador binário de 9 bits. Os registradores de 9 bits de salvamento de subrotina SA e SB permitem dois níveis de aninhamento de subrotinas, proporcionando um hardware do tipo Last In First Out (LIFO), ou seja, uma pilha.

Os circuitos do Decodificador de Instruções, de Controle e Lógica de Salto buscam, decodificam e executam as palavras de instrução da ROM.

Memória de Dados

A memória de dados é constituída por uma RAM de 128 bits, organizada como 4 registradores de dados de 8 dígitos de 4 bits. O registrador B de 6 bits efetua o endereçamento da RAM, sendo que os dois bits mais significativos de B (Br) selecionam 1 entre os 4 registradores de dados e os três bits menos significativos (Bd) selecionam 1 entre os 8 dígitos de 4 bits no registrador de dados selecionado.

Ao mesmo tempo em que os 4 bits contidos no dígito selecionado da RAM (M) geralmente vêm do, vão para, ou são trocados com o registrador A (acumulador), eles podem também vir dos ou ir para os latches Q ou ainda

vir dos ports L. O endereçamento da RAM também pode ser efetuado diretamente pela instrução XAD 3,15. O registrador Bd também serve de registrador fonte para os 4 bits de dados enviados diretamente para as saídas D.

O bit mais significativo de Bd não é usado para selecionar um dígito da RAM. Por isso, cada dígito da RAM pode ser selecionado por dois valores diferentes de Bd, como mostrado na figura 1. A condição de salto para instruções XIS e XDS será verdadeira apenas se o valor de Bd mudar de 0 para 15 ou 15 para 0 e não de 7 para 8 ou 8 para 7

Endereço de dígito da RAM para mapeamento físico de dígito da RAM

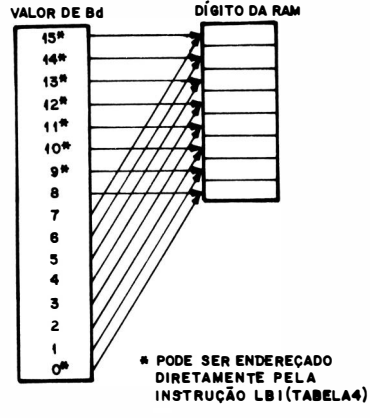


FIGURA 1

Lógica Interna

O **registrador A** de 4 bits (acumulador) é origem e destino para a maioria das operações de E/S, aritméticas, lógicas e de acesso à memória de dados. O registrador A também pode ser usado para carregar a parte Bd do registrador B, para carregar 4 bits no latch de dados Q de 8 bits, para receber 4 bits de dados do port L de E/S de 8 bits, e para efetuar troca de dados com o registrador SIO.

Um **somador de 4 bits** efetua funções lógicas e aritméticas do MPG 410L/MPG 411L, guardando os resultados em A. Este somador também fornece um bit de carry para o registrador C de 1 bit, empregado mais freqüentemente para indicar overflow aritmético. O registrador C juntamente com a instrução XAS e o registrador EN também serve para controlar a saída SK.

O registrador C pode ser enviado diretamente para SK ou pode habilitar SK a operar como um clock de sincronismo para cada tempo de ciclo de instrução (vide instrução XAS e descrição do registrador EN, adiante).

O conteúdo do **registrador G** é enviado para os 4 ports bidirecionais de E/S de propósito geral.

O **registrador Q** é um registrador interno de 8 bits com latch usado para manter os dados recebidos de M e A, bem como 8 bits de dados vindos da ROM. Seu conteúdo é enviado para os ports L de E/S quando os drivers L estão habilitados sob o controle do programa (vide instrução LEI).

Os 8 **drivers L**, quando habilitados, liberam o conteúdo dos dados armazenados em Q para os ports de E/S L. A e M podem também ler diretamente o conteúdo de L. Os ports L de E/S podem ser diretamente conectados aos segmentos de um display de LEDs multiplexado (usando a opção de configuração de saídas de Controle Direto de LED) enviando-se os dados de Q para os segmentos Sa—Sg e ponto decimal do display.

O **registrador SIO** opera como um registrador de deslocamento de 4 bits de entrada serial/saída serial, ou como um contador binário, dependendo do conteúdo do registrador EN (vide adiante descrição do registrador EN). O conteúdo de SIO pode ser trocado com o de A, permitindo um fluxo contínuo de entrada ou saída de dados seriais. SIO pode também oferecer uma E/S paralela adicional, bastando para isso conectar SO a registradores de deslocamento externos de entrada serial e saídas paralelas.

A instrução XAS copia C no latch SKL. No modo contador SK é a saída de SKL; no modo registrador de deslocamento, SK libera o resultado da operação AND entre o clock e SKL.

O **registrador EN** é um registrador interno de 4 bits carregado sob controle do programa pela instrução LEI. O estado interno de cada bit deste registrador seleciona ou não a característica particular associada a cada um destes bits (EN3-EN0).

1 — O bit menos significativo do registrador de habilitação, EN0, seleciona o registrador SIO como um registrador de deslocamento ou como um contador binário, ambos de 4 bits. Se o estado de EN0 é igual a 1, SIO opera como um contador binário assíncrono, decrementando seu valor a cada borda de descida do pulso na entrada SI. Cada pulso deve ter no mínimo a largura de dois ciclos de instrução. SK libera o valor de SKL.

   A saída SO é igual ao valor de EN3. Se o estado de EN0 é igual a 0, SIO opera como um registrador de deslocamento serial deslocando para a esquerda a cada ciclo de instrução. O dado presente em SI vai para o bit menos significativo de SIO. SO pode ser habilitado para liberar o bit mais significativo de SIO a cada ciclo (vide item 4 adiante).

   A saída SK transforma-se num clock logicamente controlado.

2 — EN1 não é usado. Não tem efeito na operação do MPG 410L/MPG 411L.

3 — Com EN2 em nível alto, os drivers L são habilitados para liberar o dado em Q para os ports L de E/S. Colocando EN2 em nível baixo desabilita-se os drivers L, e os ports L de E/S serão entradas de alta impedância.

4 — EN3 em conjunto com EN0, afeta a saída SO. Com EN0 em nível alto (selecionando a opção contador binário), SO liberará o valor presente em EN3. Com EN0 em nível baixo (selecionando a opção registrador de deslocamento serial), colocando EN3 em nível alto SO estará habilitado como saída do registrador de deslocamento SIO, liberando o dado serial deslocado a cada instrução. Colocando-se EN3 em nível baixo com a opção registrador de deslocamento selecionada, desabilita-se SO como saída do registrador de deslocamento; os dados continuam sendo deslocados em SIO e podem ser permutados com A através da instrução XAS, mas SO permanece no estado 0.

A tabela 2 é um resumo dos modos associados a EN3 e EN0.

TABELA 2

Modos do Registrador EN (bits EN3 e EN0)

EN3	EN0	SIO	SI	SO	SK
0	0	Registrador de deslocamento	Entrada para o registrador de deslocamento	0	Se SKL = 1, SK = Clock Se SKL = 0, SK = 0
1	0	Registrador de deslocamento	Entrada para o registrador de deslocamento	Saída Serial	Se SKL = 1, SK = Clock Se SKL = 0, SK = 0
0	1	Contador binário	Entrada para o contador binário	0	Se SKL = 1, SK = 1 Se SKL = 0, SK = 0
1	1	Contador binário	Entrada para o contador binário	1	Se SKL = 1, SK = 1 Se SKL = 0, SK = 0

Inicialização

A lógica de reset, interna ao MPG 410L e MPG 411L inicializará (clear) o dispositivo assim que o mesmo for ligado se o tempo de subida da fonte for menor que 1 ms e maior que 1 µs. Se o tempo de subida da fonte for maior que 1 ms, o usuário deve providenciar uma rede RC externa e diodo para o pino $\overline{\text{RESET}}$ da maneira ilustrada na figura 2. O pino $\overline{\text{RESET}}$ está configurado como uma entrada Schimitt Trigger. Se não for utilizado, o pino $\overline{\text{RESET}}$ deve ser ligado a V_{CC}.

Ocorrerá inicialização toda vez que um nível lógico 0 for aplicado à entrada $\overline{\text{RESET}}$, desde que permaneça em nível baixo por, no mínimo, três ciclos de instrução.

Circuito Limpa ao Ligar

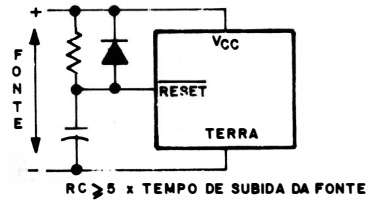


FIGURA 2

Na inicialização, o registrador PC é limpo, indo para 0 (endereço 0 da ROM), bem como os registradores A, B, C, D, EN e G. A saída SK é habilitada como saída de sincronismo (SYNC) fornecendo um pulso a cada ciclo de instrução. A inicialização não limpa a memória de dados (RAM).

A primeira instrução no endereço 0 deve ser um CLRA.

Oscilador

Há 3 configurações básicas de osciladores de clock disponíveis como mostra a figura 3.

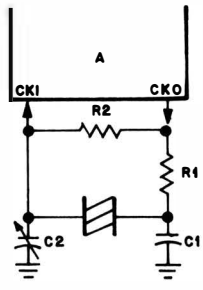
1 — **Oscilador Controlado por Filtro Cerâmico:** CKI e CKO são conectados a um filtro cerâmico externo. O tempo do ciclo de instrução é igual à freqüência do filtro dividida por 8. O MPG 411L não dispõe desta opção.

2 — **Oscilador Externo:** CKI é uma entrada de sinal de clock externo. A freqüência externa é dividida por 8 para dar o tempo do ciclo da instrução. CKO fica então disponível para ser usado como fonte de alimentação da RAM (V_R), ou não é conectado (notar que no MPG 411L não existe CKO).

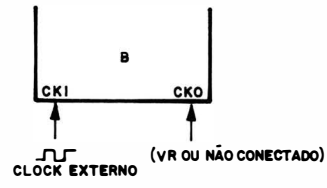
3 — **Oscilador RC:** CKI é configurado como um oscilador RC Schimitt Trigger de pino único. O ciclo de instrução é igual à freqüência de oscilação dividida por 4. CKO fica disponível como fonte de alimentação para a RAM (V_R) ou não é conectado. (Notar que no MPG 411L não existe CKO).

Oscilador

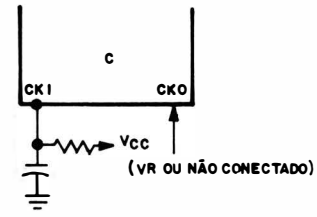
OSCILADOR FILTRO CERÂMICO



OSCILADOR EXTERNO



OSCILADOR RC



Oscilador Filtro Cerâmico

Valor do Filtro	Valores dos Componentes			
	R1 (Ω)	R2 (Ω)	C1 (pF)	C2 (pF)
455 KHz	4,7 K	1 M	220	220

Oscilador RC

R (kΩ)	C (pF)	Tempo do Ciclo de Instrução (μs)
51	100	19 ± 15%
82	56	10 ± 13%

OBSERVAÇÃO: 200 KΩ ≥ R ≥ 25 KΩ
360 pF ≥ C ≥ 50 pF
Tolerâncias não incluídas.

FIGURA 3

Opções para o Pino CKO

Em um sistema oscilador controlado por filtro cerâmico, CKO é utilizado como uma saída para a rede do filtro. Como uma opção CKO pode operar como pino de alimentação para a RAM (V_R), permitindo sua conexão a uma fonte de alimentação standby/back up a fim de manter a integridade dos dados da RAM com um consumo mínimo de potência quando a fonte principal estiver inoperante ou cortada para diminuir o consumo.

A opção de não conexão do pino CKO é apropriado para aplicações onde a configuração do sistema de timing do MPG 410L/MPG 411L não requeira o uso do pino CKO.

Opção Pino de Alimentação para a RAM

Com CKO selecionado como pino de alimentação da RAM (V_R), os dados podem permanecer na RAM mesmo com a alimentação do chip desligada (V_{CC}). Para garantir a integridade dos dados da RAM devem ser verificadas as seguintes condições:

1 — $\overline{\text{RESET}}$ deve ir para nível baixo antes de V_{CC} ao se desligar a alimentação; V_{CC} deve estar dentro dos seus limites antes de $\overline{\text{RESET}}$ ir para nível alto durante a energização.

2 — V_R deve estar dentro da faixa de operação do chip com $(V_{CC} - 1) \leqslant V_R \leqslant V_{CC}$, durante a operação normal.

3 — Com V_{CC} desligado, V_R deve ser $\geqslant$ 3,3 V.

Opções de E/S

As entradas e saídas do MPG 410L/MPG 411L podem apresentar as seguintes configurações opcionais ilustradas na figura 4.

1 — **Padrão:** Um dispositivo no modo enriquecido ligado à terra em conjunto com outro no modo depletado conectado a V_{CC} compatíveis com os requisitos das entradas TTL e CMOS. Está disponível para as saídas SO, SK, e todas as saídas D e G.

2 — **Dreno Aberto:** Apenas um dispositivo no modo enriquecido ligado à terra, permitindo um pull up externo conforme o requerido pela aplicação do usuário. Disponível para SO, SK, e todas as saídas D e G.

3 — **Push-Pull:** Um dispositivo no modo enriquecido ligado à terra em conjunto com outro no modo depletado em paralelo com outro no modo enriquecido ligado a V_{CC}. Esta configuração tem a finalidade de permitir tempos rápidos de subida e descida quando excitar cargas capacitivas. Disponível apenas nas saídas SO e SK.

4 — **L Padrão:** Semelhante à 1, porém pode ser desabilitada. Disponível apenas nas saídas L.

5 — **L Dreno Aberto:** Semelhante à 2, porém pode se desabilitada. Disponível apenas nas saídas L.

6 — **Excitadora Direta de LED:** Um dispositivo no modo enriquecido ligado à terra e outro a V_{CC}, oferecem os requisitos de corrente típicos para alimentar os segmentos de um display LED. O dispositivo ali-

mentador é grampeado para limitar o fluxo de corrente. Estes dispositivos podem ser desligados, mediante o controle do programa (vide Descrição Funcional, Registrador EN), colocando as saídas em alta impedância para permitir o apagamento do segmento LED em um display multiplexado. Disponível apenas para as saídas L.

7 — **Push-Pull Tri-state:** Um dispositivo no modo enriquecido ligado à terra e outro a V_{CC}. Estas saídas, por serem tri-state, permitem sua conexão à um bus de dados compartilhado com outros drivers de bus. Disponível apenas para as saídas L.

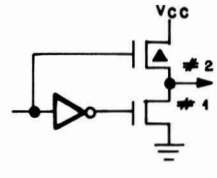
8 — Dispositivo de carga interno no modo depletado para V_{CC}.

9 — Uma entrada de alta impedância que deve ser excitada por componentes externos.

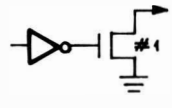
As configurações de entradas e saídas anteriormente descritas compartilham dispositivos no modo enriquecido e no modo de depleção. Todas estas configurações usam um ou mais dos seis dispositivos (numerados de 1 a 6). Adiante estão expostas as curvas de corrente mínima e máxima (I saída e V saída) para cada um destes dispositivos, permitindo ao projetista usar eficientemente estas configurações de E/S no projeto de um sistema com o MPG 410L/MPG 411L. As saídas SK e SO podem ser configuradas como apresentado em 1, 2 ou 3.

As saídas D e G podem ser configuradas como apresentado em 1 ou 2. Note que ao se entrar com os dados nos ports G, as saídas G devem estar em nível 1. As saídas L podem ser configuradas como em 4, 5, 6 ou 7 Um ponto importante a ser lembrado quando da utilização dos drivers L configurados como em 4 ou 6 é que se os drivers L estiverem desabilitados, o dispositivo de carga depletado fornecerá uma pequena quantidade de corrente (vide as curvas, dispositivo 2); entretanto, quando as linhas L são usadas como entradas, o dispositivo depletado desabilitado não poderá fornecer corrente suficiente para levar a entrada para nível lógico 1.

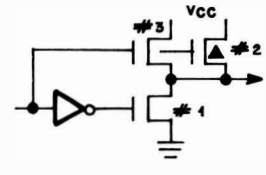
Configurações de E/S



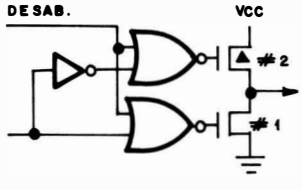
1 — Saída Padrão



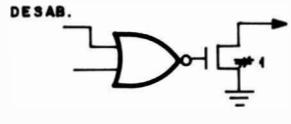
2 — Saída Dreno Aberto



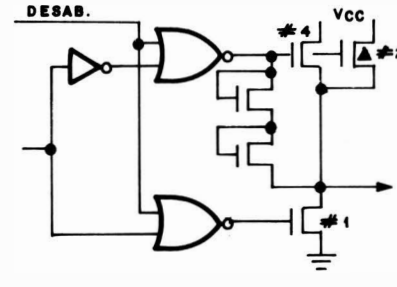
3 — Saída Push-Pull



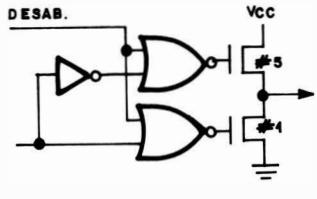
4 — Saída L Padrão



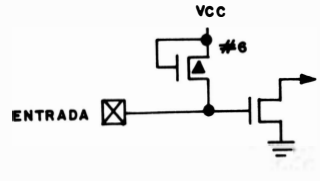
5 — Saída L Dreno Aberto



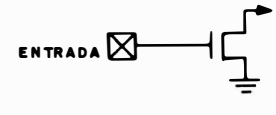
6 — Saída Excitadora de LED



7 — Saída Push-Pull Tri-state



8 — Entrada com Carga



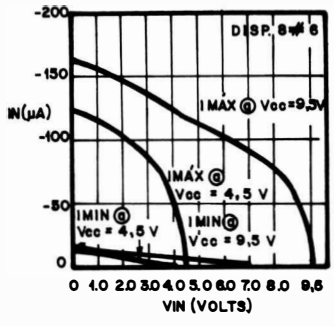
9 — Entrada de Alta Impedância

Obs.: ▲ — Dispositivo no modo depletado.

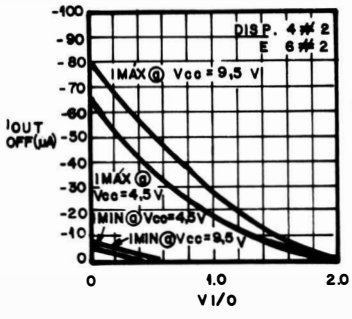
FIGURA 4

Curvas de Desempenho

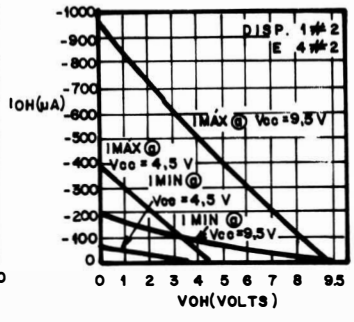
CORRENTE NAS ENTRADAS RESET, SI



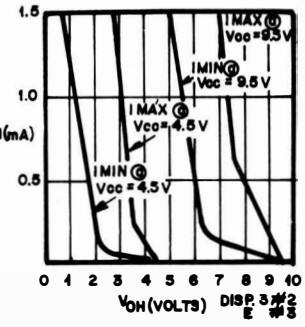
CORRENTE DE ENTRADA EM L0:L7 COM AS SAÍDAS DESLIGADAS POR SOFTWARE



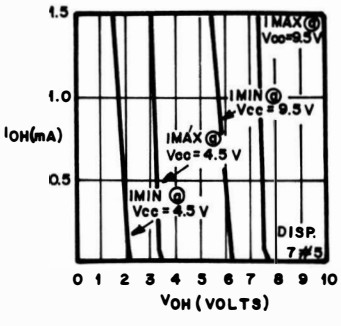
CORRENTE FORNECIDA SAÍDA PADRÃO



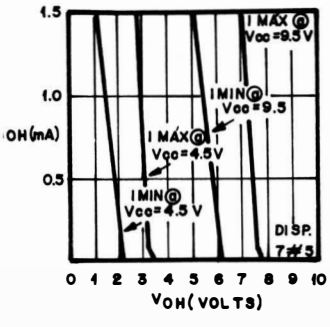
CORRENTE FORNECIDA PARA SO E SK PUSH-PULL



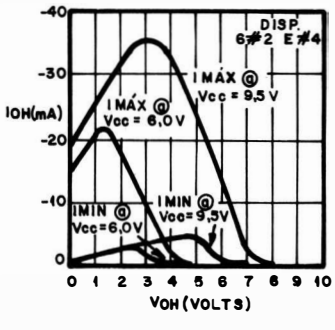
CORRENTE FORNECIDA PARA L0:L7 TRI-STATE (OPÇÃO ALTA CORRENTE)



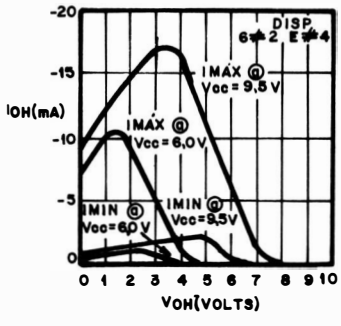
CORRENTE FORNECIDA L0:L7 TRI-STATE (OPÇÃO BAIXA CORRENTE)



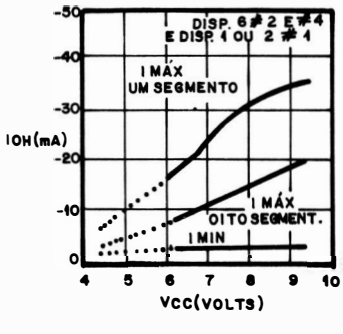
CORRENTE FORNECIDA SAÍDA LED (OPÇÃO LED ALTA CORRENTE)



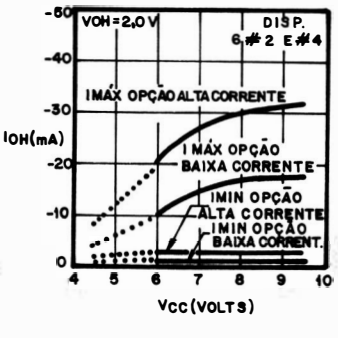
CORRENTE SAÍDA LED (OPÇÃO LED BAIXA CORRENTE)



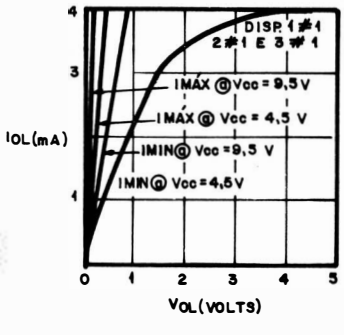
OPÇÕES SAÍDA DIRETA PARA SEGMENTO LED E ACIONAMENTO DIRETO ALTA CORRENTE PARA L0:L7 OPÇÃO MUITO ALTA CORRENTE PARA D0:D3



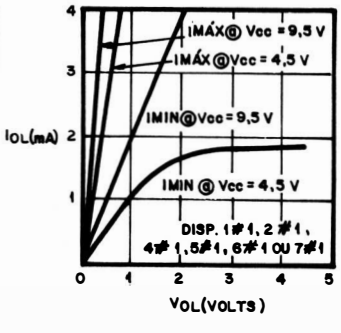
SAÍDA DE ACIONAMENTO DIRETO DE SEGMENTO LED



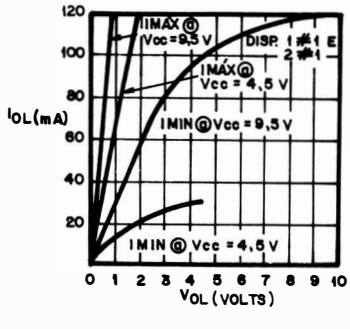
CORRENTE DE SAÍDA DRENADA SO E SK



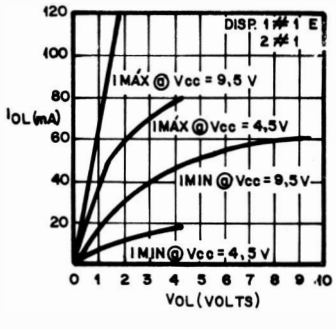
CORRENTE DE SAÍDA DRENADA L0:L7 E OPÇÃO PADRÃO D0:D3 E G0:G3



CORRENTE DE SAÍDA DRENADA D0:D3 OPÇÃO MUITO ALTA CORRENTE



CORRENTE DE SAÍDA DRENADA D0:D3 OPÇÃO ALTA CORRENTE



MPG 411L

Um MPG 410L encapsulado em 20 pinos, transforma-se em um MPG 411L. Notar que o MPG 411L não possui D2, D3, G3 ou CKO, excluindo com isso, o uso das opções D2, D3, G3 ou CKO.

Todas as outras opções estão disponíveis para o MPG 411L.

Conjunto de Instruções

A tabela 3 a seguir apresenta os símbolos operacionais, de operando das instruções e da arquitetura interna. Estes símbolos são utilizados na tabela do conjunto de instruções.

TABELA 3

Símbolos Utilizados na Tabela 4

SÍMBOLO	DESCRIÇÃO	SÍMBOLO	DESCRIÇÃO
A	Acumulador (4 bits)	SK	Saída de clock logicamente controlado
B	Registrador de endereço da RAM (6 bits)	d	Campo de operando de 4 bits, 0-15 binário (dígito da RAM selecionado)
Br	Os 2 bits mais significativos de B	r	Campo de operando de 2 bits, 0-3 binário (registrador da RAM selecionado)
Bd	Os 4 bits menos significativos de B	a	Campo de operando de 9 bits, 0-511 binário (endereço da ROM)
C	Registrador de Carry (1 bit)	y	Campo de operando de 4 bits, 0-15 binário (dado imediato)
D	Port de saída de dados (4 bits)	RAM(s)	Conteúdo da posição da RAM endereçada por s
EN	Registrador de habilitação (4 bits)	ROM(t)	Conteúdo da posição da ROM endereçada por t
G	Registrador Latch de dados para o port G de E/S (4 bits)	+	Mais
L	Port de E/S tri-state (8 bits)	–	Menos
M	Conteúdo da RAM apontado pelo registrador B (4 bits)	←	Substituído por
PC	Registrador de endereço da ROM (Contador de Programa de 9 bits)	⟷	Trocado com
Q	Registrador Latch de dados para o port L de E/S (8 bits)	=	É igual a
SA	Registrador de salvamento de subrotina A (9 bits)	$\overline{A}$	Complemento de A
SB	Registrador de salvamento de subrotina B (9 bits)	⊕	Ou exclusivo
SIO	Registrador de deslocamento ou contador (4 bits)	:	Faixa de valores

O conjunto de instruções do MPG 410L/MPG 411L é apresentado na tabela 4, a qual fornece informações tais como: o mnemônico, opcode, fluxo de dados e descrição de cada instrução do MPG 410L/MPG 411L.

TABELA 4

Conjunto de Instruções

	MNEMÔNICO	OPERANDO	OPCODE (HEX.)	CÓDIGO EM LINGUAGEM DE MÁQUINA (BINÁRIO)	FUNÇÃO	DESCRIÇÃO	NOTAS
ARITMÉTICAS	ASC		30	0,0,1,1,0,0,0,0	A ← A + C + RAM(B) C ← carry	Soma, com vai um, o conteúdo da RAM com A, salta se C = 1	
	ADD		31	0,0,1,1,0,0,0,1	A ← A + RAM(B)	Soma o conteúdo da RAM com A	
	AISC	y	5—	0,1,0,1, y	A ← A + y	Soma imediata com A salta se C = 1 (y ≠ 0)	
	CLRA		00	0,0,0,0,0,0,0,0	A ← 0	Limpa A	
	COMP		40	0,1,0,0,0,0,0,0	A ← $\bar{A}$	Complementa o conteúdo de A	
	NOP		44	0,1,0,0,0,1,0,0		Não opera	
	RC		32	0,0,1,1,0,0,1,0	C ← 0	Limpa o conteúdo de C	
	SC		22	0,0,1,0,0,0,1,0	C ← 1	Carrega C com 1	
	XOR		02	0,0,0,0,0,0,1,0	A ← A ⊕ RAM(B)	XOR Lógico de A com conteúdo da RAM	
TRANSFERÊNCIA DE CONTROLE	JID		FF	1,1,1,1,1,1,1,1	PC7:0 ← ROM (PC8,A,M)	Desvia indireto	2
	JMP	a	6— ——	0,1,1,0,0,0,0,a8 a7:0	PC ← a	Desvia	
	JP	a	—— ——	1, a3:0 (só págs. 2,3) ou 1,1, a5:0 (todas as outras págs.)	PC6:0 ← a PC5:0 ← a	Desvia dentro da página	3
	JSRP	a	——	1,0, a5:0	SB ← SA ← PC + 1 PC8:6 ← 010 PC5:0 ← a	Salta para a página de subrotina	4
	JSR	a	6— ——	0,1,1,0,1,0,0,a8 a7:0	SB ← SA ← PC + 1 PC ← a	Desvia para subrotina	
	RET		48	0,1,0,0,1,0,0,0	PC ← SA ← SB	Retorna da subrotina	
	RETSK		49	0,1,0,0,1,0,0,1	PC ← SA ← SB	Retorna da subrotina e salta	
MEMÓRIA	CAMQ		33 3C	0,0,1,1,0,0,1,1 0,0,1,1,1,1,0,0	Q7:4 ← A Q3:0 ← RAM(B)	Carrega Q com o conteúdo de A, RAM	
	LD	r	—5	0,0, r, 0,1,0,1	A ← RAM(B) Br ← Br ⊕ r	Carrega A com o conteúdo da RAM; Br XOR r	
	LQID		BF	1,0,1,1,1,1,1,1	Q ← ROM (PC8,A,M) SB ← SA	Carrega Q indiretamente	2

	MNEMÔ-NICO	OPERANDO	OPCODE (HEX.)	CÓDIGO EM LINGUAGEM DE MÁQUINA (BINÁRIO)	FUNÇÃO	DESCRIÇÃO	NOTAS
MEMÓRIA	RMB	0	4C	0,1,0,0,1,1,0,0	RAM(B) 0 ← 0	Limpa o bit da RAM	
		1	45	0,1,0,0,0,1,0,1	RAM(B) 1 ← 0		
		2	42	0,1,0,0,0,0,1,0	RAM(B) 2 ← 0		
		3	43	0,1,0,0,0,0,1,1	RAM(B) 3 ← 0		
	SMB	0	4D	0,1,0,0,1,1,0,1	RAM(B) 0 ← 1	Ativa o bit da RAM	
		1	47	0,1,0,0,0,1,1,1	RAM(B) 1 ← 1		
		2	46	0,1,0,0,0,1,1,0	RAM(B) 2 ← 1		
		3	4B	0,1,0,0,1,0,1,1	RAM(B) 3 ← 1		
	STII	y	7 —	0,1,1,1, y	RAM(B) ← y Bd ← Bd + 1	Armazena imediato dado na memória e incrementa Bd	
	X	r	— 6	0,0, r ,0,1,1,0	A ⟷ RAM(B) Br ← Br ⊕ r	Troca conteúdos de A com RAM XOR Lógico de Br com r	
	XAD	3,15	23 BF	0,0,1,0,0,0,1,1 1,0,1,1,1,1,1,1	A ⟷ RAM (3,15)	Troca A com o conteúdo da RAM apontado por 3,15	
	XDS	r	— 7	0,0, r ,0,1,1,1	A ⟷ RAM(B) Bd ← Bd − 1 Br ← Br ⊕ r	Troca conteúdo da RAM com A, decrementa Bd, Salta se Bd passa por 0 XOR Lógico de Br com r	7
	XIS	r	— 4	0,0, r ,0,1,0,0	A ⟷ RAM(B) Bd ← Bd + 1 Br ← Br ⊕ r	Troca conteúdo da RAM com A, incrementa Bd, Salta se Bd passa por 15 XOR Lógico de Br com r	8
REGISTRADORES	CAB		50	0,1,0,1,0,0,0,0	Bd ← A	Copia A em Bd	
	CBA		4E	0,1,0,0,1,1,1,0	A ← Bd	Copia Bd em A	
	LBI	r, d	— —	0,0, r , (d-1) (d = 0,9:15)	B ← r, d	Carrega imediato B com r, d Salta se não LBI	5
	LEI	y	33 6 —	0,0,1,1,0,0,1,1 0,1,1,0, y	EN ← y	Carrega imediato EN	6
TESTE	SKC		20	0,0,1,0,0,0,0,0		Salta se C = 1	
	SKE		21	0,0,1,0,0,0,0,1		Salta se A = Conteúdo da RAM	
	SKGZ		33 21	0,0,1,1,0,0,1,1 0,0,1,0,0,0,0,1		Salta se G = 0 (os 4 bits G3:0 = 0)	
	SKGBZ		33	0,0,1,1,0,0,1,1	1.° byte	Salta se o bit de G é zero	
		0	01	0,0,0,0,0,0,0,1	2.° byte		
		1	11	0,0,0,1,0,0,0,1			
		2	03	0,0,0,0,0,0,1,1			
		3	13	0,0,0,1,0,0,1,1			
	SKMBZ	0	01	0,0,0,0,0,0,0,1		Salta se o bit da RAM = 0	
		1	11	0,0,0,1,0,0,0,1			
		2	03	0,0,0,0,0,0,1,1			
		3	13	0,0,0,1,0,0,1,1			

	MNEMÔNICO	OPERANDO	OPCODE (HEX.)	CÓDIGO EM LINGUAGEM DE MÁQUINA (BINÁRIO)	FUNÇÃO	DESCRIÇÃO	NOTAS
ENTRADA/SAÍDA	ING		33 2A	0,0,1,1 | 0,0,1,1 0,0,1,0 | 1,0,1,0	A ← G	Carrega A com o conteúdo dos ports G	
	INL		33 2E	0,0,1,1 | 0,0,1,1 0,0,1,0 | 1,1,1,0	RAM(B) ← L7:4 A ← L0:3	Carrega a RAM, A com o conteúdo dos ports L	
	OBD		33 3E	0,0,1,1 | 0,0,1,1 0,0,1,1 | 1,1,1,0	D ← Bd	Envia Bd para as saídas D	
	OMG		33 3A	0,0,1,1 | 0,0,1,1 0,0,1,1 | 1,0,1,0	G ← RAM(B)	Envia dados da RAM para os ports G	
	XAS		4F	0,1,0,0 | 1,1,1,1	A ⟷ SIO, SKL ← C	Troca os conteúdos de A e SIO	2

OBSERVAÇÕES:

1) Os bits são numerados de 0 a N onde 0 indica o bit menos significativo (de mais baixa ordem, o bit mais à direita). Por exemplo: A3 representa o bit mais significativo (o bit mais à esquerda) do registrador A de 4 bits.
2) Maiores informações sobre as instruções XAS, JID, LQID, estão disponíveis adiante.
3) A instrução JP, enquanto dentro das páginas 2 ou 3 de subrotinas, permite um desvio para qualquer posição da ROM, dentro dos limites estabelecidos por estas 2 páginas. Caso contrário, a instrução JP permite um desvio para uma posição dentro da página corrente de 64 palavras. JP não pode desviar para a última palavra de uma página.
4) Uma instrução JSRP transfere o controle do programa para uma subrotina na página 2 (os 4 bits mais significativos de PC são carregados com 0010). A instrução JSRP não pode ser usada nas páginas 2 ou 3. JSRP não pode desviar para a última palavra na página 2.
5) O valor dos quatro bits menos significativos da instrução LBI é igual ao valor do dado "d" menos 1, ex.: para carregar os 4 bits menos significativos de B (Bd) com o valor 9 ($1001_{(2)}$), o valor dos 4 bits menos significativos da instrução LBI deve ser igual a 8 ($1000_{(2)}$). Para carregar 0, o valor dos 4 bits menos significativos da instrução LBI deve ser igual a 15 ($1111_{(2)}$).
6) O valor do campo de operandos y no código de máquina da instrução LEI deve ser igual ao valor a ser armazenado em EN, onde um "0" ou um "1" em cada bit de EN corresponde à seleção ou não de determinadas funções associadas a estes bits (vide Descrição Funcional, Registrador EN).
7) A condição de salto será válida quando o valor de Bd passar de 0 para 15.
8) A condição de salto será válida quando o valor de Bd passar de 15 para 0.

Descrição de Instruções Selecionadas

As informações a seguir ajudam o usuário no entendimento da operação de algumas instruções singulares e fornecem aos programadores notas úteis na elaboração de programas para o MPG 410L/MPG 411L.

Instrução XAS (Troca os conteúdos de A e SIO): Esta instrução troca o conteúdo de 4 bits do acumulador com o conteúdo de 4 bits do registrador SIO. O conteúdo do registrador SIO será: dados de contador binário ou de registrador de deslocamento entrada serial/saída serial, dependendo do conteúdo do registrador EN. Uma instrução XAS afetará também a saída SK. (Vide Descrição Funcional, Registrador EN). Se SIO for selecionado como registrador de deslocamento, uma instrução XAS deve ser executada a cada quatro ciclos de instrução, a fim de oferecer um fluxo contínuo de dados.

Instrução JID (Jump InDirect): A instrução JID (Desvio Indireto) é uma instrução de endereçamento indireto, transferindo o controle do programa para uma nova posição da ROM apontada indiretamente por A e M. Ela carrega os 8 bits de ordem mais baixa do registrador de endereços da ROM (PC) com o conteúdo da posição de ROM enderaçada pela palavra de 9 bits PC8, A, M. PC8 não é afetado por esta instrução.

Note que JID requer dois ciclos de instrução.

Instrução LQID (Load Q InDirect): A instrução LQID (carrega Q indiretamente) carrega o registrador Q de 8 bits com o conteúdo da ROM apontado pela palavra de 9 bits PC8, A, M. LQID pode ser usada em tabelas de consulta ou conversões de códigos tais como BCD para 7 segmentos. A instrução LQID salva PC na pilha (PC + 1 → SA → SB) e troca os 8 bits menos significativos de PC como segue: A → PC7:4, RAM (B) → PC3:0, deixando PC8 intacto.

O dado da ROM apontado pelo novo endereço é buscado e carregado nos latches Q. Em seguida os valores salvos do PC são retornados da pilha (SB → SA → PC), restabelecendo o valor salvo de PC para dar continuidade à execução sequencial do programa. Como LQID empurra SA → SB, o conteúdo anterior de SB fica perdido. Do mesmo modo, quando LQID retira valores da pilha, o conteúdo anterior de SA é deixado em SB (SA → SB). Note que a execução de LQID toma dois ciclos de instrução.

Observações sobre o conjunto de instruções

1 — A primeira palavra de um programa do MPG 410L/ MPG 411L (endereço 0 da ROM) deve ser um CLRA (limpa A).

2 — Devido à não execução das instruções saltadas, o salto de cada byte destas instruções consome o tempo de um ciclo de instrução. Portanto todos os caminhos do programa tomam o mesmo número de ciclos quer a instrução seja saltada ou não, exceto no caso das instruções JID e LQID. As instruções JID e LQID tomam dois ciclos se executadas e um se saltadas.

3 — A memória ROM está organizada em 8 páginas de 64 palavras cada. O Contador de Programa é um contador binário de 9 bits, e portanto contará além dos limites da página. Se a última palavra da página for uma instrução JP, JSRP, JID ou LQID, esta operará como se estivesse na página seguinte. Por exemplo: uma instrução JP ocupando a última palavra de uma página, desviará para uma posição na página seguinte. Do mesmo modo, uma instrução LQID ou JID ocupando a última palavra da página 3 ou 7 acessará dados no próximo grupo de quatro páginas.

Lista de Opções

As opções, programáveis por máscara, do MPG 410L/ MPG 411L estão assinaladas por números correspondentes à pinagem do MPG 410L.

A tabela 5 adiante relaciona as opções do MPG 410L. Com referência ao MPG 411L na opção 2 deve ser considerada a função 3 e as opções 20, 21 e 22 devem ser consideradas como 0.

A programação das opções se dá juntamente com a do padrão da ROM de modo a oferecer ao usuário uma flexibilidade de hardware que permita a interface a vários componentes de E/S usando um mínimo ou nenhum circuito externo.

TABELA 5

Opções Programáveis por Máscara

N.º DA OPÇÃO	FUNÇÃO	VALOR	DESCRIÇÃO
1	TERRA	0	Não há opções disponíveis
2	CKO		Opção não disponível para o MPG 411L
		0	Saída do clock para filtro cerâmico
		1	Entrada de alimentação para a RAM (V_R)
		3	Não há conexão
3	CKI	0	Entrada de oscilador ÷ 8 (500 KHz máx.)
		1	Oscilador RC de pino único (÷ 4)
		2	Clock externo nível schimitt trigger (÷ 4)
4	$\overline{\text{RESET}}$	0	Dispositivo de carga para V_{CC}
		1	Entrada de alta impedância
5	L7	0	Saída padrão
		1	Saída com dreno aberto
		2	Saída excitadora direta de LED alta corrente
		3	Saída push-pull tri-state alta corrente
		4	Saída excitadora direta de LED baixa corrente
		5	Saída push-pull tri-state baixa corrente
6	L6		Opções idênticas às do pino 5
7	L5		Opções idênticas às do pino 5
8	L4		Opções idênticas às do pino 5
9	V_{CC}	0	Operação - 4,5 V à 6,3 V
		1	Operação - 4,5 V à 9,5 V
10	L3		Opções idênticas às do pino 5
11	L2		Opções idênticas às do pino 5
12	L1		Opções idênticas às do pino 5
13	L0		Opções idênticas às do pino 5
14	SI	0	Dispositivo de carga para V_{CC}
		1	Entrada de alta impedância
15	SO	0	Saída padrão
		1	Saída com dreno aberto
		2	Saída push-pull
16	SK		Opções idênticas às do pino 15
17	G0	0	Saída padrão
		1	Saída com dreno aberto
18	G1		Opções idênticas às do pino 17
19	G2		Opções idênticas às do pino 17
20	G3		Opções idênticas às do pino 17 (opção não disponível para o MPG 411L)
21	D3		Opção não disponível para o MPG 411L
		0	Saída padrão com corrente drenada muito alta
		1	Saída com dreno aberto com corrente drenada muito alta

N.º DA OPÇÃO	FUNÇÃO	VALOR	DESCRIÇÃO
		2	Saída padrão com corrente drenada alta
		3	Saída com dreno aberto com corrente drenada alta
		4	Saída LSTTL padrão (Fanout = 1)
		5	Saída LSTTL com dreno aberto (Fanout = 1)
22	D2		Opções idênticas às do pino 21 (opção não disponível para o MPG 411L)
23	D1		Opções idênticas às do pino 21
24	D0		Opções idênticas às do pino 21
25	L	0	Níveis de entrada padrão TTL ("0" = 0,8 V, "1" = 2,0 V)
		1	Níveis de entrada com maior tensão ("0" = 1,2 V, "1" = 3,6 V)
26	G		Opções idênticas às do pino 25
27	SI		Opções idênticas às do pino 25
28	Encapsulamento	0	MPG 410L (24 pinos)
		1	MPG 411L (20 pinos)

Modo de Teste (Operação não normal):

A saída SO está configurada para oferecer procedimentos padrão de testes para o MPG 410L com o programa dedicado. Impondo nível lógico 1 em SO, dispõe-se de dois modos de teste, dependendo do valor de SI:

SI = 1 — Modo de Teste da RAM e Lógica Interna.
SI = 0 — Modo de Teste da ROM.

Estes modos de teste não devem ser empregados pelo usuário, pois eles se destinam apenas a testes de fabricação.

VALORES MÁXIMOS ABSOLUTOS

Tensão em qualquer pino	−0,5 V a 10 V
Corrente total (drenada)	100 mA
(fornecida)	120 mA
Potência dissipada:	
MPG 410L (25°C)	750 mW
(70°C)	400 mW
MPG 411L (25°C)	650 mW
(70°C)	300 mW
Temperatura de soldagem (por 10s)	300°C
Temperatura de armazenamento	−65°C a 150°C
Temperatura de operação	0°C a 70°C

OBSERVAÇÃO:

Os Valores Máximos Absolutos representam valores acima dos quais o funcionamento do componente fica comprometido. As características AC e DC não ficam garantidas quando o componente opera nestas condições.

CARACTERÍSTICAS DC [1]

SÍMBOLO	PARÂMETRO			LIMITES MÍN	LIMITES MÁX	UNIDADE	CONDIÇÕES DE TESTE
V_{CC}	Tensão de operação padrão			4,5	6,3	V	(4)
	Tensão de operação opcional			4,5	9,5	V	
	Ripple da fonte de alimentação				0,5	V	Pico a pico
I_{CC}	Corrente de alimentação				6	mA	Todas as entradas e saídas em aberto
V_{IH}	Tensão de entrada nível alto	CKI	Filtro cerâmico (÷ 8)	3,0		V	V_{CC} = MÁX
				2,0		V	V_{CC} = 5,0 V ± 5%
			Schimitt Trigger (÷ 4)	0,7 V_{CC}		V	
		$\overline{\text{RESET}}$		0,7 V_{CC}		V	entrada Schimitt Trigger
		Demais entradas		3,0		V	V_{CC} = MÁX
				2,0		V	Opções níveis TTL; V_{CC} = 5 V ± 5%
				3,6		V	Opções níveis de entrada maiores
V_{IL}	Tensão de entrada nível baixo	CKI	Filtro cerâmico (÷ 8)	− 0,3	0,4	V	
			Schimitt Trigger (÷ 4)	− 0,3	0,6	V	
		$\overline{\text{RESET}}$		− 0,3	0,6	V	Entrada Schimitt Trigger
		Demais entradas		− 0,3	0,8	V	Opções níveis TTL; V_{CC} = 5 V ± 5%
				− 0,3	1,2	V	Opções níveis de entrada maiores
V_{OH}	Tensão de saída nível alto	Operação TTL		2,7		V	V_{CC} = 5,0 V ± 10%; I_{OH} = −25 µA
		Operação CMOS [2]		V_{CC} − 1		V	I_{OH} = −10 µA
V_{OL}	Tensão de saída nível baixo	Operação TTL			0,4	V	V_{CC} = 5,0 V ± 5%; I_{OL} = 0,36 mA
		Operação CMOS [2]			0,2	V	I_{OL} = 10 µA
	Nível da entrada SO (Modo Teste)			2,0	2,5	V	(3)
	Corrente de carga na entrada (fornecida)			−10	−140	µA	V_{CC} = 5,0 V; V_{IL} = 0 V
I_{OL}	Corrente de saída em nível baixo	Corrente de saída drenada nas saídas SO e SK		1,8		mA	V_{CC} = 9,5 V; V_{OL} = 0,4 V
				1,2		mA	V_{CC} = 6,3 V; V_{OL} = 0,4 V
				0,9		mA	V_{CC} = 4,5 V; V_{OL} = 0,4 V
		Saídas L0-L7, G0-G3 e LSTTL D0-D3		0,4		mA	V_{CC} = 9,5 V; V_{OL} = 0,4 V
				0,4		mA	V_{CC} = 6,3 V; V_{OL} = 0,4 V
				0,4		mA	V_{CC} = 4,5 V; V_{OL} = 0,4 V
		Saídas D0-D3 com opções de alta corrente		15		mA	V_{CC} = 9,5 V; V_{OL} = 1,0 V
				11		mA	V_{CC} = 6,3 V; V_{OL} = 1,0 V
				7,5		mA	V_{CC} = 4,5 V; V_{OL} = 1,0 V
		Saídas D0-D3 com opções de muito alta corrente		30		mA	V_{CC} = 9,5 V; V_{OL} = 1,0 V
				22		mA	V_{CC} = 6,3 V; V_{OL} = 1,0 V
				15		mA	V_{CC} = 4,5 V; V_{OL} = 1,0 V
		CKI (pino único oscilador RC)		2		mA	V_{CC} = 4,5 V; V_{IH} = 3,5 V
		CKO		0,2		mA	V_{CC} = 4,5 V; V_{OL} = 0,4 V
I_{OH}	Corrente de saída em nível alto	Configuração padrão; todas as saídas		−140	−800	µA	V_{CC} = 9,5 V; V_{OH} = 2,0 V
				−75	−480	µA	V_{CC} = 6,3 V; V_{OH} = 2,0 V
				−30	−250	µA	V_{CC} = 4,5 V; V_{OH} = 2,0 V
		Configuração push-pull; saídas SO e SK		−1,4		mA	V_{CC} = 9,5 V; V_{OH} = 4,75 V
				−1,4		mA	V_{CC} = 6,3 V; V_{OH} = 2,4 V
				−1,2		mA	V_{CC} = 4,5 V; V_{OH} = 1,0 V
		Configuração LED; saídas L0-L7. Opção baixa corrente de excitação		−1,5	−18	mA	V_{CC} = 9,5 V; V_{OH} = 2,0 V
				−1,5	−13	mA	V_{CC} = 6,0 V; V_{OH} = 2,0 V

SÍMBOLO		PARÂMETRO	LIMITES MÍN	LIMITES MÁX	UNIDADE	CONDIÇÕES DE TESTE
I_{OH}	Corrente de saída (fornecida)	Configuração LED; saídas L0-L7. Opção alta corrente de excitação	−3,0	−35	mA	V_{CC} = 9,5 V; V_{OH} = 2,0 V
			−3,0	−25	mA	V_{CC} = 6,0 V; V_{CH} = 2,0 V
		Configuração tri-state; saídas L0-L7. Opção baixa corrente de excitação	−0,75		mA	V_{CC} = 9,5 V; V_{OH} = 5,5 V
			−0,8		mA	V_{CC} = 6,3 V; V_{OH} = 3,2 V
			−0,9		mA	V_{CC} = 4,5 V; V_{OH} = 1,5 V
		Configuração tri-state; saídas L0-L7. Opção alta corrente de excitação	−1,5		mA	V_{CC} = 9,5 V; V_{OH} = 5,5 V
			−1,6		mA	V_{CC} = 6,3 V; V_{OH} = 3,2 V
			−1,8		mA	V_{CC} = 4,5 V; V_{OH} = 1,5 V
	Saída CKO	Opção fonte de alimentação para RAM		1,5	mA	V_R = 3,3 V
	Corrente de fuga na saída tri-state		−2,5	2,5	µA	
	Corrente total permitida (drenada)	Todas saídas combinadas		100	mA	
		Port D		100	mA	
		L7-L4; Port G		4,0	mA	
		L3-L0		4,0	mA	
		Qualquer outro pino		2,0	mA	
	Corrente total permitida (fornecida)	Todos E/S combinados		120	mA	
		L7-L4		60	mA	
		L3-L0		60	mA	
		Cada pino L		25	mA	
		Qualquer outro pino		1,5	mA	
C_I	Capacitância de entrada			7,0	PF	
	Corrente de fuga na entrada de alta impedância		−1,0	1,0	µA	

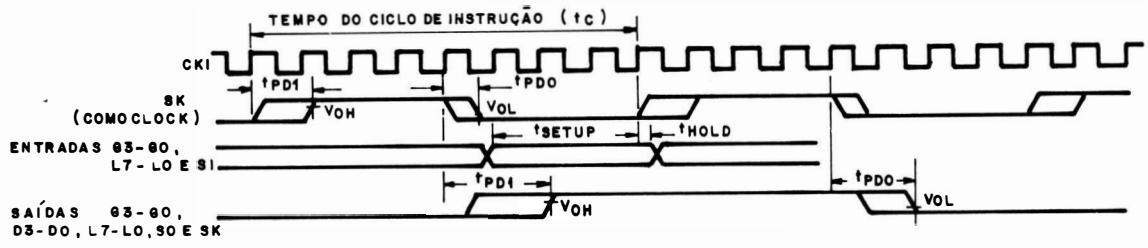
OBSERVAÇÕES:
1) 0 °C ⩽ T_A ⩽ 70 °C; 4,5 V ⩽ V_{CC} ⩽ 9,5 V a menos que especificado o contrário.
2) Estão excluídas as configurações LED e tri-state.
3) Na saída SO o nível 0 deve ser menor que 0,8 V para operação normal.
4) As mudanças de tensão devem ser menores que 0,5 V dentro de um período de 1 ms.

CARACTERÍSTICAS AC (1)

SÍMBOLO	PARÂMETRO		LIMITES MÍN	LIMITES MÁX	UNIDADE	CONDIÇÕES DE TESTE
t_C	Tempo do ciclo		16	40	µs	
	Tempo do ciclo de instrução CKI usando RC (÷ 4) (2)		16	28	µs	R = 56 KΩ ± 5%; C = 100 pF ± 10%
f_I	Frequência de entrada (CKI)		0,2	0,5	MHz	Modo ÷ 8
			0,1	0,25	MHz	Modo ÷ 4
	Ciclo Duty CKI		30	60	%	
		Tempo de subida		500	ns	f_I = 0,5 MHz
		Tempo de descida		200	ns	
t_{SYNC}	Tempo de sincronismo		400		ns	CKO como entrada de sincronismo
t_{SU}	Tempo de set up	Entradas G3-G0; L7-L0	8,0		µs	
		Entrada SI	2,0		µs	
t_H	Tempo de hold	Entradas G3-G0; L7-L0	1,3		µs	
		Entrada SI	1,0		µs	
t_{pd1}	Tempo de atraso de propagação	Saídas SO e SK		4,0	µs	
		As demais		5,6	µs	C_L = 50 pF; R_L = 20 KΩ
t_{pd2}		Saídas SO e SK		4,0	µs	V_O = 1,5 V
		As demais		5,6	µs	

OBSERVAÇÕES:
1) 0 °C ⩽ T_A ⩽ 70 °C; 4,5 V ⩽ V_{CC} ⩽ 9,5 V a menos que especificado o contrário.
2) Variações devido ao dispositivo incluído.

TEMPOS: ENTRADA/SAÍDA (MODO FILTRO CERÂMICO ÷ 8)



TEMPOS: SINCRONISMO

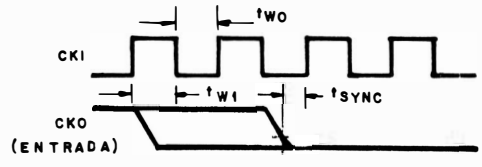


Tabela de Opções do MPG

As seguintes informações sobre as opções devem ser enviadas à ITAUCOM juntamente com a EPROM.

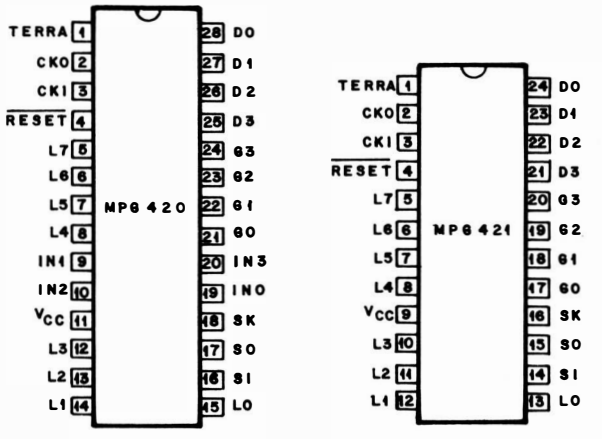
	OPÇÃO	VALOR
1	Pino TERRA	
2	Pino CKO	
3	Pino CKI	
4	Entrada RESET	
5	Driver L7	
6	Driver L6	
7	Driver L5	
8	Driver L4	
9	Pino V_{CC}	
10	Driver L3	
11	Driver L2	
12	Driver L1	
13	Driver L0	
14	Entrada SI	

	OPÇÃO	VALOR
15	Driver SO	
16	Driver SK	
17	Port G0 de E/S	
18	Port G1 de E/S	
19	Port G2 de E/S	
20	Port G3 de E/S	
21	Saída D3	
22	Saída D2	
23	Saída D1	
24	Saída D0	
25	Níveis da entrada L	
26	Níveis da entrada G	
27	Níveis da entrada SI	
28	Encapsulamento MPG	

MPG DE 4 BITS COM ROM=1Kx8,
RAM=64x4 E E/S=23 (MPG 420)
MPG DE 4 BITS COM ROM=1Kx8,
RAM=64x4 E E/S=19 (MPG 421)

MPG420/MPG421

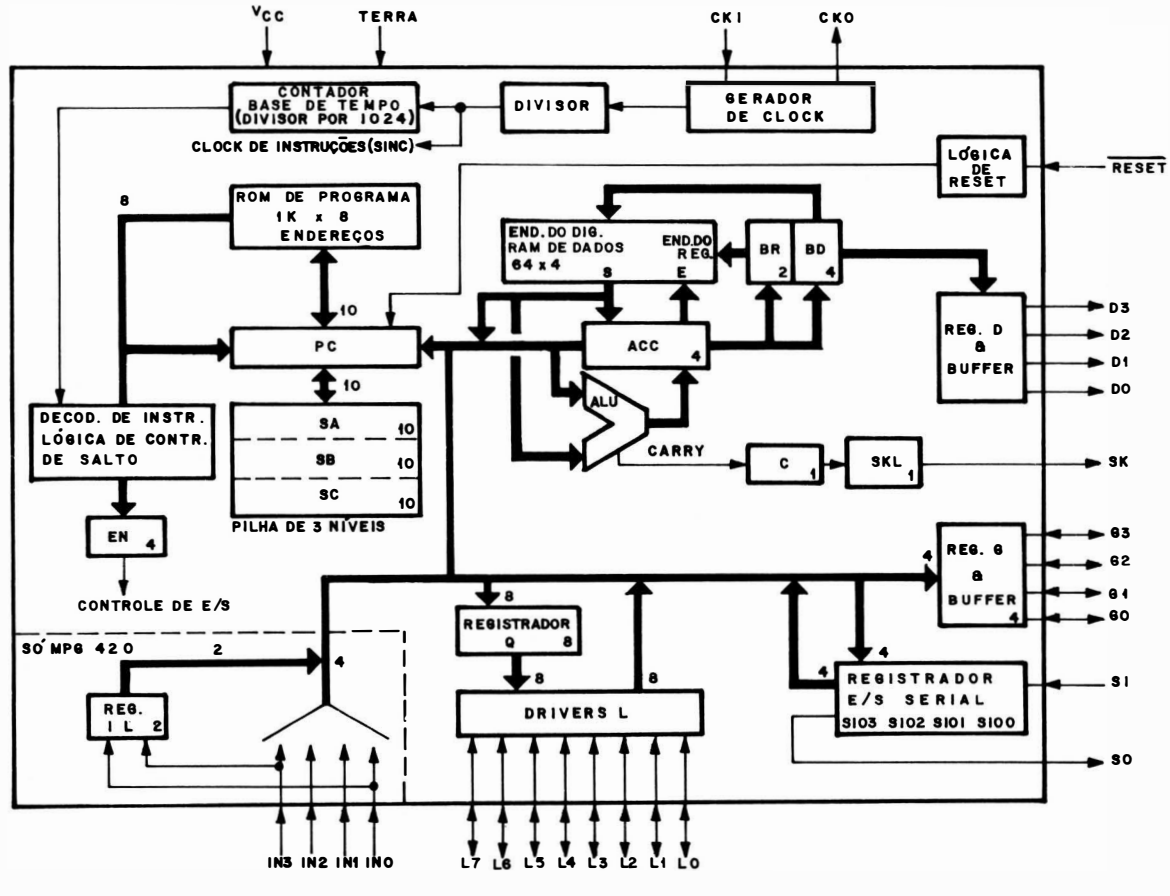
PINAGEM



Características

- ☐ Baixo custo;
- ☐ Poderoso conjunto de instruções;
- ☐ ROM de 1K×8 e RAM de 64×4;
- ☐ Pilha para três níveis de subrotinas;
- ☐ Tempo de instrução de 4μs;
- ☐ Alimentação única (4,5 V a 6,3 V);
- ☐ Contador de base de tempo interno para processamento em tempo real;
- ☐ Registrador Contador binário interno com capacidade de E/S serial;
- ☐ Saídas tri-state e de propósito geral;
- ☐ Compatibilidade TTL/CMOS;
- ☐ Saídas para acionamento direto de LEDs;
- ☐ Compatibilidade com o sistema MICROBUS;
- ☐ Compatibilidade com outros membros da família MPG 400.

DIAGRAMA DE BLOCOS



Descrição Geral

O MPG 420 e o MPG 421 são microcomputadores (Microcontroladores de Propósito Geral) completos, contendo todo o sistema de timing, lógica interna, ROM, RAM e E/S necessários para implementar funções de controle dedicadas para diversas aplicações. Suas características incluem operação com alimentação única, diversas opções de configuração de saídas, com um conjunto de instruções, arquitetura interna e esquema de E/S projetados para facilitar a entrada de teclado, saída de display e manipulação de dados em BCD.

O MPG 421 é idêntico ao MPG 420, exceto que possui 19 linhas de E/S em vez de 23.

Padrões de procedimento de teste e confiáveis técnicas de fabricação de alta densidade proporcionam ao usuário de médio a grande volume um processador orientado para controle com um baixo custo final.

TABELA 1

Descrição da Pinagem

PINO	FUNÇÃO
L7-L0	8 ports de E/S bidirecionais tri-state
G3-G0	4 ports de E/S bidirecionais
D3-D0	4 saídas de propósito geral
IN3-IN0	4 entradas de propósito geral (apenas no MPG 420)
SI	Entrada serial (ou entrada contadora)
SO	Saída serial (ou saída de propósito geral)
SK	Clock logicamente controlado (ou saída de propósito geral)
CKI	Entrada do sistema oscilador
CKO	Saída do sistema oscilador (ou entrada de propósito geral ou de alimentação para a RAM)
$\overline{\text{RESET}}$	Entrada de reset do sistema
V_{CC}	Alimentação
TERRA	Terra

Descrição Funcional

O diagrama de blocos ilustra a rota de dados de forma simplificada, a fim de descrever como os vários elementos lógicos comunicam-se entre si para executar o conjunto de instruções do dispositivo. Utiliza-se a lógica positiva. Quando um bit estiver desativado, estará no nível lógico 0 (menor que 0,8 V). Quando um bit estiver ativado, estará no nível lógico 1 (maior que 2 V).

Memória de Programa

A memória de programa é constituída por uma ROM de 1.024 bytes. Como se pode observar mediante um exame do conjunto de instruções do MPG 420 e MPG 421, estas palavras podem ser instruções de programa, dados de programa ou dados de endereço da ROM. Devido às características especiais vinculadas às instruções JP, JSRP, JID e LQID, a ROM freqüentemente é vista como sendo organizada em 16 páginas de 64 palavras cada.

O endereçamento da ROM é efetuado pelo registrador PC de 10 bits. O seu valor binário seleciona uma das 1.024 palavras de 8 bits contidas na ROM. Um novo endereço é carregado no registrador PC durante cada ciclo de instrução. A menos que a instrução seja de transferência de controle, o registrador PC é carregado com o próximo valor seqüencial do contador binário de 10 bits. Os registradores de 10 bits de salvamento de subrotina SA, SB e SC permitem três níveis de aninhamento de subrotinas, proporcionando um hardware do tipo Last In First Out (LIFO), ou seja, uma pilha.

Os circuitos do Decodificador de Instruções, de Controle e Lógica de Salto buscam, decodificam e executam as palavras de instrução da ROM.

Memória de Dados

A memória de dados é constituída por uma RAM de 256 bits, organizada como 4 registradores de dados de 16 dígitos de 4 bits. O registrador B de 6 bits efetua o endereçamento da RAM, sendo que os dois bits mais significativos de B (Br) selecionam 1 entre os 4 registradores de dados e os quatro bits menos significativos (Bd) selecionam 1 entre os 16 dígitos de 4 bits no registrador de dados selecionado.

Ao mesmo tempo em que os 4 bits contidos no dígito selecionado da RAM (M) geralmente vêm do, vão para, ou são trocados com o registrador A (acumulador), eles podem também vir dos ou ir para os latches Q ou ainda

vir dos ports L. O endereçamento da RAM também pode ser efetuado diretamente pelas instruções LDD e XAD baseado no conteúdo dos 6 bits do campo de operando destas instruções. O registrador Bd também serve de registrador fonte para os 4 bits de dados enviados diretamente para as saídas D.

Lógica Interna

O **registrador A** de 4 bits (acumulador) é origem e destino para a maioria das operações de E/S, aritméticas, lógicas e de acesso à memória de dados. O registrador A também pode ser usado para carregar as partes Br e Bd do registrador B, para receber e carregar 4 bits do latch de dados Q de 8 bits, para receber 4 bits de dados do port L de E/S de 8 bits, e para efetuar troca de dados com o registrador SIO.

Um **somador de 4 bits** efetua funções lógicas e aritméticas do MPG 420/MPG 421, guardando os resultados em A. Este somador também fornece um bit de carry para o registrador C de 1 bit, empregado mais freqüentemente para indicar overflow aritmético. O registrador C juntamente com a instrução XAS e o registrador EN também serve para controlar a saída SK.

O registrador C pode ser enviado diretamente para SK ou pode habilitar SK a operar como um clock de sincronismo para cada tempo de ciclo de instrução (vide instrução XAS e descrição do registrador EN, adiante).

O MPG 420 dispõe de 4 entradas de propósito geral, **IN3-IN0**; IN1, IN2 e IN3 podem ser selecionadas, por uma opção de programação por máscara, como entradas de strobe de leitura, chip select e strobe de escrita, respectivamente, para uso em aplicações no MICROBUS.

O **registrador D** oferece 4 saídas de propósito geral e serve de registrador de destino para os 4 bits contidos em Bd.

O conteúdo do registrador G é enviado para os 4 ports bidirecionais de E/S. G0 pode ser programado por máscara como uma saída para aplicações no MICROBUS.

O **registrador Q** é um registrador interno de 8 bits com latch usado para manter os dados enviados ou recebidos de M e A, bem como 8 bits de dados vindos da ROM. Seu conteúdo é enviado para os ports L de E/S quando os drivers L estão habilitados sob o controle do programa (vide instrução LEI). Com a opção MICROBUS Q também pode receber o conteúdo de 8 bits dos ports L de E/S, mediante a ocorrência de um strobe de escrita proveniente da CPU hospedeira.

Os 8 **drivers L**, quando habilitados, liberam o conteúdo dos dados armazenados em Q para os ports de E/S L. A e M podem também ler diretamente o conteúdo de L. Como foi explicado anteriormente, a opção MICROBUS permite que o registrador Q armazene os dados recebidos do port L de E/S.

Os ports L de E/S podem ser diretamente conectados aos segmentos de um display de LEDs multiplexado (usando a opção de configuração de saídas de Controle Direto de LED) enviando-se os dados Q para os segmentos Sa—Sg e ponto decimal do display.

O **registrador SIO** opera como um registrador de deslocamento de 4 bits de entrada serial/saída serial, ou como um contador binário, dependendo do conteúdo do registrador EN (vide adiante descrição do registrador EN). O conteúdo de SIO pode ser trocado com o de A, permitindo um fluxo contínuo de entrada ou saída de dados seriais. SIO pode também oferecer uma E/S paralela adicional, bastando para isso conectar SO a registradores de deslocamento externos de entrada serial e saídas paralelas.

A instrução XAS copia C no latch SKL. No modo contador SK é a saída de SKL; no modo registrador de deslocamento, SK libera o resultado da operação AND entre o clock e SKL.

O **registrador EN** é um registrador interno de 4 bits carregado sob controle do programa pela instrução LEI. O estado interno de cada bit deste registrador seleciona ou não a característica particular associada a cada um destes bits (EN3-EN0).

1 — O bit menos significativo do registrador de habilitação, EN0, seleciona o registrador SIO como um registrador de deslocamento ou como um contador binário, ambos de 4 bits. Se o estado de EN0 é igual a 1, SIO opera como um contador binário assíncrono, decrementando seu valor a cada borda de descida do pulso na entrada SI. Cada pulso deve ter no mínimo a largura de dois ciclos de instrução.

SK libera o valor de SKL.

A saída SO é igual ao valor de EN3. Se o estado de EN0 é igual a 0, SIO opera como um registrador de deslocamento serial deslocando para a esquerda a cada ciclo de instrução. O dado presente em SI vai para o bit menos significativo de SIO. SO pode ser habilitado para liberar o bit mais significativo de SIO a cada ciclo (vide item 4 adiante).

A saída SK transforma-se num clock logicamente controlado.

2 — Com EN1 em nível alto, a entrada IN1 opera como uma entrada de interrupção (válido apenas para o MPG 420). Logo após uma interrupção, EN1 é colocada em nível baixo para desabilitar novas interrupções.

3 — Com EN2 em nível alto, os drivers L são habilitados para liberar o dado em Q para os ports L de E/S. Colocando EN2 em nível baixo desabilita-se os drivers L, e os ports L de E/S serão entradas de alta impedância.

4 — EN3, em conjunto com EN0, afeta a saída SO. Com EN0 em nível alto (selecionando a opção contador binário), SO liberará o valor presente em EN3. Com EN0 em nível baixo (selecionando a opção registrador de deslocamento serial), colocando EN3 em nível alto SO estará habilitado como saída do registrador de deslocamento SIO, liberando o dado serial deslocado a cada instrução. Colocando-se EN3 em nível baixo com a opção registrador de deslocamento selecionada, desabilita-se SO como saída do registrador de deslocamento; os dados continuam sendo deslocados em SIO e podem ser permutados com A através da instrução XAS, mas SO permanece no estado 0.

A tabela 2 é um resumo dos modos associados a EN3 e EN0.

TABELA 2

Modos do Registrador EN (bits EN3 e EN0)

EN3	EN0	SIO	SI	SO	SK
0	0	Registrador de deslocamento	Entrada do registrador de deslocamento	0	Se SKL = 1, SK = Clock Se SKL = 0, SK = 0
1	0	Registrador de deslocamento	Entrada do registrador de deslocamento	Saída Serial	Se SKL = 1, SK = Clock Se SKL = 0, SK = 0
0	1	Contador binário	Entrada para o contador binário	0	Se SKL = 1, SK = 1 Se SKL = 0, SK = 0
1	1	Contador binário	Entrada para o contador binário	1	Se SKL = 1, SK = 1 Se SKL = 0, SK = 0

Interrupções

As características relacionadas a seguir estão associadas com o procedimento e protocolo da interrupção IN1 (apenas MPG 420) e devem ser consideradas pelo programador quando da utilização de interrupções.

1 — A interrupção, uma vez reconhecida como explicado adiante, salva o próximo endereço seqüencial do contador de programa (PC + 1) na pilha, e desloca os conteúdos dos outros registradores de salvamento de subrotina para os níveis mais baixos (PC + 1 → SA → SB → SC). Qualquer conteúdo prévio de SC fica perdido. O contador de programa é carregado com o endereço hexadecimal OFF (a última palavra da página 3) e EN1 é levado para nível baixo.

2 — Uma interrupção só será reconhecida após as seguintes condições:

a) EN1 está em nível alto;

b) Ocorrência na entrada IN1 de uma borda de descida de um pulso com uma largura mínima de dois ciclos de instrução;

c) A instrução atual acabar de ser executada;

d) Todas as transferências sucessivas de instruções de controle e LBIs sucessivas foram completadas (exemplo: se o programa principal estiver executando uma instrução JP, a qual transfere o controle do programa para outra instrução JP, a interrupção não será reconhecida até que a segunda instrução JP tenha sido executada).

3 — No reconhecimento de uma interrupção, o status da lógica de salto é salvo e mais tarde é recuperado da pilha. Por exemplo: se uma interrupção ocorrer durante a execução de uma instrução ASC (soma com Carry e Desvia se Houver Carry), que resulta em um Carry, o status da lógica de salto é salvo e o controle do programa é transferido para a rotina de tratamento de interrupção no endereço hexadecimal OFF. Ao final da rotina de interrupção, é executada uma instrução RET que retorna os valores da pilha e devolve o controle do programa para a instrução seguinte ao ASC. Neste momento, a lógica de salto é habilitada e salta esta instrução devido ao carry anterior de ASC. As subrotinas e instruções LQID não devem ser aninhadas dentro da rotina de tratamento de interrupção, já que ao retornarem valores da pilha habilitarão quaisquer saltos no programa principal interferindo na ordem de execução da rotina de interrupção.

4 — A primeira instrução da rotina de interrupção no endereço hexadecimal OFF deve ser um NOP.

5 — Imediatamente antes da instrução RET, pode-se colocar uma instrução LEI a fim de reabilitar interrupções.

Interface MICROBUS *

O MPG 420 dispõe de uma opção que o permite operar como um microprocessador periférico, recebendo e enviando dados de e para um microprocessador hospedeiro (μP).

IN1, IN2 e IN3 são entradas de propósito geral que se transformam respectivamente nas linhas de strobe de leitura, chip-select, strobe de escrita.

IN1 transforma-se em $\overline{RD}$ — nível lógico 0 nesta entrada permitirá o envio dos dados do latch Q para μP através dos ports L.

IN2 transforma-se em $\overline{CS}$ — nível lógico 0 nesta entrada seleciona o MPG 420 como dispositivo periférico do μP, permitindo a operação das linhas $\overline{RD}$ e $\overline{WR}$ bem como a seleção de um dos vários componentes periféricos.

IN3 transforma-se em $\overline{WR}$ — nível lógico 0 nesta linha permite a escrita de um dado vindo do bus nos latches Q através dos ports L.

G0 transforma-se em INTR uma saída "ready", que volta ao estado inicial por meio de um pulso de escrita na linha $\overline{WR}$ proveniente do μP, obtendo a capacidade de protocolo necessária à transferência assíncrona de dados entre a CPU hospedeira e o MPG 420.

As relações de funcionamento e timing entre as linhas de sinal do MPG 420 afetadas pela opção MICROBUS são dadas nas características AC e apresentadas nos diagramas de tempo.

A figura 1 apresenta a conexão do MPG 420 ao MICROBUS.

* MICROBUS — Marca Registrada da National Semiconductor Corporation

Opção MICROBUS — Interconexão

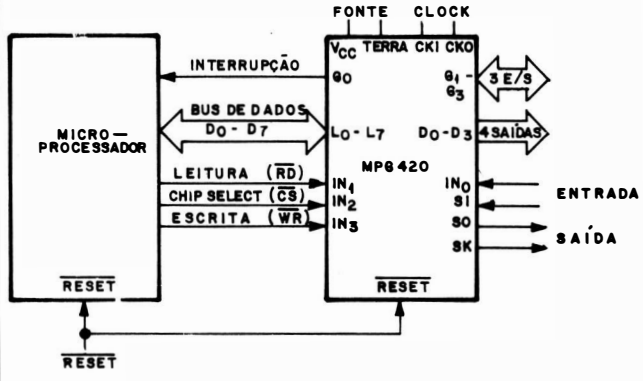


FIGURA 1

Circuito Limpa ao Ligar

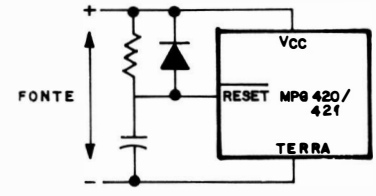


FIGURA 2

Inicialização

A lógica de reset, interna ao MPG 420 e MPG 421, inicializará (clear) o dispositivo assim que o mesmo for ligado se o tempo de subida da fonte for menor que 1 ms e maior que 1 µs. Se o tempo de subida da fonte for maior que 1 ms, o usuário deve providenciar uma rede RC externa e diodo para o pino $\overline{\text{RESET}}$ da maneira ilustrada na figura 2. O pino $\overline{\text{RESET}}$ está configurado como uma entrada Schimitt Trigger, se não for usada, esta deve ser conectada a V_{CC}.

Ocorrerá inicialização toda vez que um nível lógico 0 for aplicado à entrada $\overline{\text{RESET}}$, desde que permaneça em nível baixo por, no mínimo, três ciclos de instrução.

Na inicialização, o registrador PC é limpo, indo para 0 (endereço 0 da ROM), bem como os registradores A, B, C, D, EN e G. A saída SK é habilitada como saída de sincronismo (SYNC) fornecendo um pulso a cada ciclo de instrução. A inicialização não limpa a memória de dados (RAM).

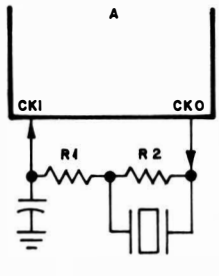
A primeira instrução no endereço 0 deve ser um CLRA.

Oscilador

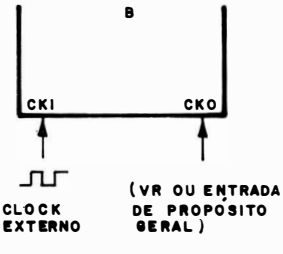
Há 3 configurações básicas de osciladores de clock disponíveis como mostra a figura 3.

Oscilador

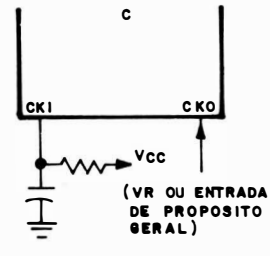
OSCILADOR A CRISTAL



OSCILADOR EXTERNO



OSCILADOR RC



Oscilador a Cristal

Valor do Cristal	Valores dos Componentes		
	R1 (Ω)	R2 (Ω)	C (pF)
4 MHz	1 K	1 M	27
3,58 MHz	1 K	1 M	27
2,09 MHz	1 K	1 M	56

Oscilador RC

R (kΩ)	C (pF)	Tempo do Ciclo de Instrução (µs)
12	100	5 ± 20%
6,8	220	5,3 ± 23%
8,2	300	8 ± 29%
22	100	8,6 ± 16%

OBSERVAÇÃO: 50 KΩ ≥ R ≥ 5 KΩ
360 pF ≥ C ≥ 50 pF

FIGURA 3

1 — **Oscilador Controlado por Cristal:** CKI e CKO são conectados a um cristal externo. O tempo do ciclo de instrução é igual à freqüência do cristal dividida por 16 (opcional por 8).

2 — **Oscilador Externo:** CKI é configurado como uma entrada compatível com os níveis TTL, aceitando um sinal externo de clock. A freqüência externa é dividida por 16 (há opção de divisão por 8), para dar o tempo do ciclo de instrução. CKO fica então disponível para ser usado como fonte de alimentação da RAM (V_R) ou como entrada de uso geral.

3 — **Oscilador RC:** CKI é configurado como um oscilador RC Schimitt Trigger de pino único. O ciclo de instrução é igual à freqüência de oscilação dividida por 4. CKO fica disponível para funções não relacionadas ao timing.

Opções para o Pino CKO

Em um sistema oscilador controlado a cristal, CKO é utilizado como uma saída para a rede do cristal. Como uma opção CKO pode operar como uma entrada de propósito geral, levando dados para o bit 2 de A (acumulador) na execução de uma instrução INIL. Uma outra opção é utilizar CKO como pino de alimentação para a RAM (V_R), permitindo sua conexão a uma fonte de alimentação standby/back up a fim de manter a integridade dos dados da RAM com um consumo mínimo de potência quando a fonte principal estiver inoperante ou cortada para diminuir o consumo.

O uso de qualquer opção destas é apropriado para aplicações onde a configuração do sistema de timing do MPG 420/MPG 421 não requeira o uso do pino CKO.

Opção Pino de Alimentação para a RAM

Com CKO selecionado como pino de alimentação da RAM (V_R), os dados podem permanecer na RAM mesmo com a alimentação do chip desligada (V_{CC}). Para garantir a integridade dos dados da RAM devem ser verificadas as seguintes condições:

1 — $\overline{\text{RESET}}$ deve ir para nível baixo antes de V_{CC} ao se desligar a alimentação; V_{CC} deve estar dentro dos seus limites antes de $\overline{\text{RESET}}$ ir para nível alto durante a energização.

2 — V_R deve estar dentro da faixa de operação do chip e ser igual a $V_{CC} \pm 1$ V durante a operação normal

3 — Com V_{CC} desligado, V_R deve ser $\geqslant 3{,}3$ V.

Opções de E/S

As saídas do MPG 420/MPG 421 podem apresentar as seguintes configurações opcionais ilustradas na figura 4.

1 — **Padrão:** Um dispositivo no modo enriquecido ligado à terra em conjunto com outro no modo depletado conectado a V_{CC} compatíveis com os requisitos das entradas TTL e CMOS. Está disponível para as saídas SO, SK, e todas as saídas D e G.

2 — **Dreno Aberto:** Apenas um dispositivo no modo enriquecido ligado à terra, permitindo um pull up externo conforme o requerido pela aplicação do usuário. Disponível para SO, SK, e todas as saídas D e G.

3 — **Push-Pull:** Um dispositivo no modo enriquecido ligado à terra em conjunto com outro no modo depletado em paralelo com outro no modo enriquecido ligado a V_{CC}. Esta configuração tem a finalidade de permitir tempos rápidos de subida e descida quando excitar cargas capacitivas. Disponível apenas nas saídas SO e SK.

4 — **Excitadora Direta de LED:** Um dispositivo no modo enriquecido ligado à terra e outro a V_{CC}, oferecem os requisitos de corrente típicos para alimentar os segmentos de um display LED. O dispositivo alimentador é grampeado para limitar o fluxo de corrente. Estes dispositivos podem ser desligados, mediante o controle do programa (vide Descrição Funcional, Registrador EN), colocando as saídas em alta impedância para permitir o apagamento do segmento LED em um display multiplexado.

5 — **Push-Pull Tri-state:** Um dispositivo no modo enriquecido ligado à terra e outro a V_{CC}. Estas saídas, por serem tri-state, permitem sua conexão à um bus de dados compartilhado com outros drivers de bus.

6 — **L Padrão:** Semelhante à 1, porém pode ser desabilitada. Disponível apenas nas saídas L.

7 — **L Dreno Aberto:** Semelhante à 2, porém pode ser desabilitada. Disponível apenas nas saídas L.

As entradas do MPG 420/MPG 421 têm as seguintes configurações opcionais:

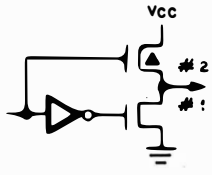
8 — Dispositivo de carga interno no modo depletado para V_{CC}.

9 — Uma entrada de alta impedância que deve ser excitada por um 1 ou um 0 através de componentes externos.

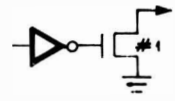
As configurações de entradas e saídas acima compartilham dispositivos no modo enriquecido e no modo de depleção. Todas estas configurações usam um ou mais dos seis dispositivos (numerados de 1 a 6). Adiante estão expostas as curvas de corrente mínima e máxima (I saída e V saída) para cada um destes dispositivos, permitindo ao projetista usar eficientemente estas configurações de E/S no projeto de um sistema com o MPG 420/MPG 421. As saídas SK e SO podem ser configuradas como apresentado em 1, 2 ou 3.

As saídas D e G podem ser configuradas como apresentado em 1 ou 2. Note que ao se entrar com os dados nos ports G, as saídas G devem estar em nível 1. As saídas L podem ser configuradas como em 4, 5, 6 ou 7. Um ponto importante a ser lembrado quando da utilização dos drivers L configurados como em 4 ou 6 é que se os drivers L estiverem desabilitados, o dispositivo de carga depletado fornecerá uma pequena quantidade de corrente (vide as curvas, dispositivo 2); entretanto, quando as linhas L são usadas como entradas, o dispositivo depletado desabilitado não poderá fornecer corrente suficiente para levar a entrada para nível lógico 1.

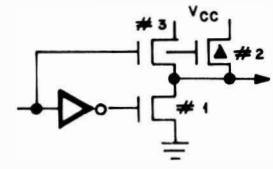
Configurações de E/S



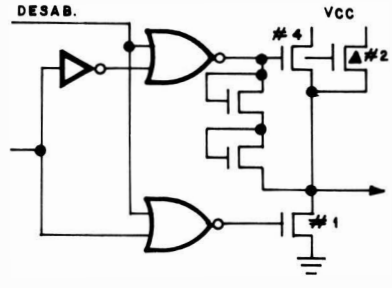
1 — Saída Padrão



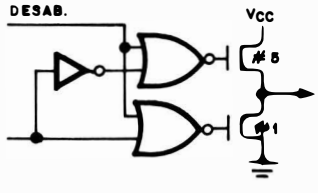
2 — Saída Dreno Aberto



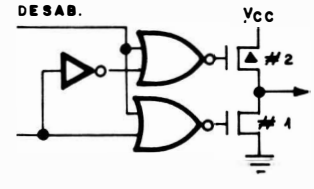
3 — Saída Push-Pull



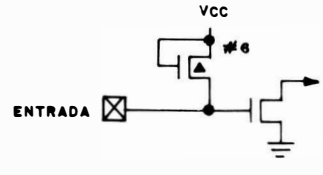
4 — Saída Excitadora de LED



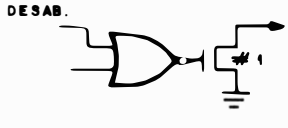
5 — Saída Push-Pull Tri-state



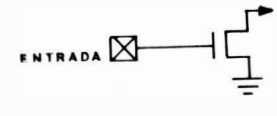
6 — Saída L Padrão



8 — Entrada com Carga



7 — Saída L Dreno Aberto

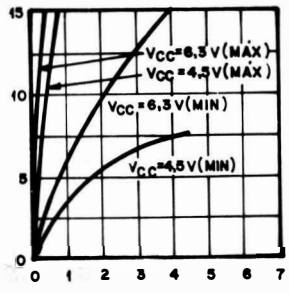


9 — Entrada de Alta Impedância

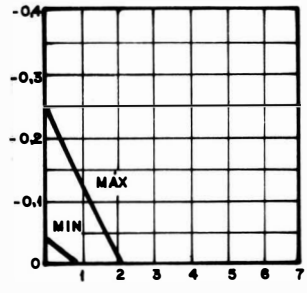
FIGURA 4
Obs.: ▲ — Dispositivo no modo depletado.

Curvas de Desempenho

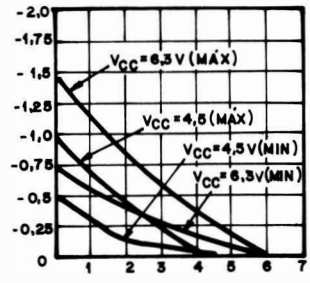
CORRENTE DE SAÍDA
EM NÍVEL ALTO
(Dispositivo 1)



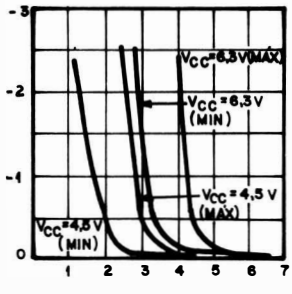
CORRENTE DE SAÍDA
DA CARGA DEPLETADA
DESABILITADA
SAÍDAS L (Dispositivo 2)



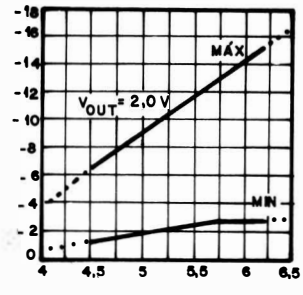
CORRENTE DA SAÍDA
PADRÃO FORNECIDA
(Dispositivo 2)



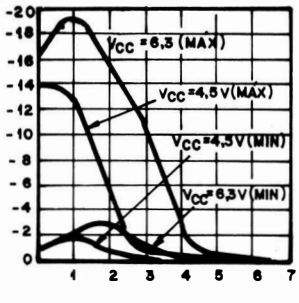
CORRENTE FORNECIDA
SAÍDA PUSH-PULL
(Dispositivos 2 e 3)



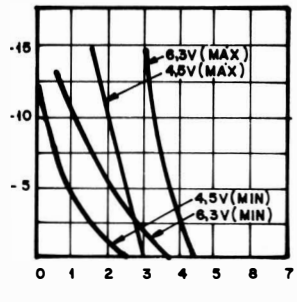
SAÍDA LED
ACIONAMENTO
DIRETO DE LED
(Dispositivos 4 e 2)



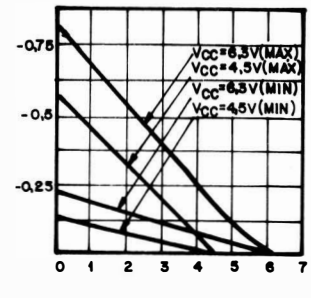
CORRENTE DE SAÍDA
LED FORNECIDA
(Dispositivos 4 e 2)



CORRENTE NA SAÍDA
TRI-STATE FORNECIDA
(Dispositivo 5)



CORRENTE DE CARGA
NA ENTRADA FORNECIDA
(Dispositivo 6)



MPG 421

Um MPG 420 encapsulado em 24 pinos, transforma-se em um MPG 421. O MPG 421 não possui as quatro entradas de propósito geral IN (IN3-IN0). O uso desta opção impede, é claro, a utilização das opções IN, característica de interrupção e a opção MICROBUS, a qual utiliza as entradas IN3-IN1.

Todas as outras opções estão disponíveis para o MPG 421.

Conjunto de Instruções

A tabela 3 a seguir apresenta os símbolos operacionais, de operando das instruções e da arquitetura interna. Estes símbolos são utilizados na tabela do conjunto de instruções.

TABELA 3

Símbolos Utilizados na Tabela 4

SÍMBOLO	DESCRIÇÃO	SÍMBOLO	DESCRIÇÃO
A	Acumulador (4 bits)	SIO	Registrador de deslocamento ou contador (4 bits)
B	Registrador de endereço da RAM (6 bits)	SK	Saída de clock logicamente controlado
Br	Os 2 bits mais significativos de B	d	Campo de operando de 4 bits, 0-15 binário (dígito da RAM selecionado)
Bd	Os 4 bits menos significativos de B	r	Campo de operando de 2 bits, 0-3 binário (registrador da RAM selecionado)
C	Registrador de Carry (1 bit)	a	Campo de operando de 10 bits, 0-1023 binário (endereço da ROM)
D	Port de saída de dados (4 bits)	y	Campo de operando de 4 bits, 0-15 binário (dado imediato)
EN	Registrador de habilitação (4 bits)	RAM(s)	Conteúdo da posição da RAM endereçada por s
G	Registrador Latch de dados para o port G de E/S (4 bits)	ROM(t)	Conteúdo da posição da ROM endereçada por t
IL	Dois Latches de 1 bit associado às entradas IN3 ou IN0	+	Mais
IN	Port de entrada 4 bits	–	Menos
L	Port de E/S tri-state (8 bits)	←	Substituído por
M	Conteúdo da RAM apontado pelo registrador B (4 bits)	⟷	Trocado com
PC	Registrador de endereço da ROM (Contador de Programa de 10 bits)	=	É igual a
Q	Registrador Latch de dados para o port L de E/S (8 bits)	$\overline{A}$	Complemento de A
SA	Registrador de salvamento de subrotina A (10 bits)	⊕	Ou exclusivo
SB	Registrador de salvamento de subrotina B (10 bits)	:	Faixa de valores
SC	Registrador de salvamento de subrotina C (10 bits)		

O conjunto de instruções do MPG 420/MPG 421 é apresentado na tabela 4, a qual fornece informações tais como: o mnemônico, opcode, fluxo de dados e descrição de cada instrução do MPG 420/MPG 421.

TABELA 4

Conjunto de Instruções

	MNEMÔNICO	OPERANDO	OPCODE (HEX.)	CÓDIGO EM LINGUAGEM DE MÁQUINA (BINÁRIO)	FUNÇÃO	DESCRIÇÃO	NOTAS
ARITMÉTICAS	ASC		30	0,0,1,1,0,0,0,0	A ← A + C + RAM(B) C ← carry	Soma, com vai um, o conteúdo da RAM com A, salta se C = 1	
	ADD		31	0,0,1,1,0,0,0,1	A ← A + RAM(B)	Soma o conteúdo da RAM com A	
	ADT		4A	0,1,0,0,1,0,1,0	A ← A + $10_{(10)}$	Soma A com Dez	
	AISC	y	5 —	0,1,0,1, y	A ← A + y	Soma imediata com A salta se C = 1 (y ≠ 0)	
	CASC		10	0,0,0,1,0,0,0,0	A ← $\overline{A}$ + C + RAM(B) C ← carry	Soma, com vai um, o conteúdo da RAM com $\overline{A}$, salta se C = 1	
	CLRA		00	0,0,0,0,0,0,0,0	A ← 0	Limpa A	
	COMP		40	0,1,0,0,0,0,0,0	A ← $\overline{A}$	Complementa o conteúdo de A	
	NOP		44	0,1,0,0,0,1,0,0		Não opera	
	RC		32	0,0,1,1,0,0,1,0	C ← 0	Limpa o conteúdo de C	
	SC		22	0,0,1,0,0,0,1,0	C ← 1	Carrega C com 1	
	XOR		02	0,0,0,0,0,0,1,0	A ← A ⊕ RAM(B)	XOR Lógico de A com conteúdo da RAM	
TRANSFERÊNCIA DE CONTROLE	JID		FF	1,1,1,1,1,1,1,1	PC7:0 ← ROM (PC9:8,A,M)	Desvia indireto	3
	JMP	a	6 — — —	0,1,1,0,0,0,a9:8 a7:0	PC ← a	Desvia	
	JP	a	— — — —	1, a6:0 (só págs. 2,3) ou 1,1, a5:0 (todas as outras págs.)	PC6:0 ← a PC5:0 ← a	Desvia dentro da página	4
	JSRP	a	— —	1,0, a5:0	SC ← SB ← SA ← PC + 1 PC8:6 ← 010 PC5:0 ← a	Salta para a página de subrotina	5
	JSR	a	6 — — —	0,1,1,0,1,0,a9:8 a7:0	SC ← SB ← SA ← PC + 1 PC ← a	Desvia para subrotina	
	RET		48	0,1,0,0,1,0,0,0	PC ← SA ← SB ← SC	Retorna da subrotina	
	RETSK		49	0,1,0,0,1,0,0,1	PC ← SA ← SB ← SC	Retorna da subrotina e salta	
MEMÓRIA	CAMQ		33 3C	0,0,1,1,0,0,1,1 0,0,1,1,1,1,0,0	Q7:4 ← A Q3:0 ← RAM(B)	Carrega Q com o conteúdo de A, RAM	
	CQMA		33 2C	0,0,1,1,0,0,1,1 0,0,1,0,1,1,0,0	RAM(B) ← Q7:4 A ← Q3:0	Carrega RAM, A com o conteúdo de Q	
	LD	r	— 5	0,0,r ,0,1,0,1	A ← RAM(B) Br ← Br ⊕ r	Carrega A com o conteúdo da RAM; Br XOR r	
	LDD	r, d	23 — —	0,0,1,0,0,0,1,1 0,0,r , d	A ← RAM (r, d)	Carrega A com o conteúdo da RAM apontado diretamente por r e d	
	LOID		BF	1,0,1,1,1,1,1,1	Q ← ROM (PC9:8,A,M) SC ← SB	Carrega Q indiretamente	3

	MNEMÔNICO	OPERANDO	OPCODE (HEX.)	CÓDIGO EM LINGUAGEM DE MÁQUINA (BINÁRIO)	FUNÇÃO	DESCRIÇÃO	NOTAS
MEMÓRIA	RMB	0 1 2 3	4C 45 42 43	0,1,0,0,1,1,0,0 0,1,0,0,0,1,0,1 0,1,0,0,0,0,1,0 0,1,0,0,0,0,1,1	RAM(B) 0 ← 0 RAM(B) 1 ← 0 RAM(B) 2 ← 0 RAM(B) 3 ← 0	Limpa o bit da RAM	
	SMB	0 1 2 3	4D 47 46 4B	0,1,0,0,1,1,0,1 0,1,0,0,0,1,1,1 0,1,0,0,0,1,1,0 0,1,0,0,1,0,1,1	RAM(B) 0 ← 1 RAM(B) 1 ← 1 RAM(B) 2 ← 1 RAM(B) 3 ← 1	Ativa o bit da RAM	
	STII	y	7 —	0,1,1,1, y	RAM(B) ← y Bd ← Bd + 1	Armazena imediato dado na memória e incrementa Bd	
	X	r	— 6	0,0, r,0,1,1,0	A ⟷ RAM(B) Br ← Br ⊕ r	Troca conteúdos de A com RAM XOR Lógico de Br com r	
	XAD	r, d	23 — —	0,0,1,0,0,0,1,1 1,0, r, d	A ⟷ RAM (r, d)	Troca A com o conteúdo da RAM apontado por r, d	
	XDS	r	— 7	0,0, r,0,1,1,1	A ⟷ RAM(B) Bd ← Bd − 1 Br ← Br ⊕ r	Troca conteúdo da RAM com A, decrementa Bd, Salta se Bd passa por 0 XOR Lógico de Br com r	
	XIS	r	— 4	0,0, r,0,1,0,0	A ⟷ RAM(B) Bd ← Bd + 1 Br ← Br ⊕ r	Troca conteúdo da RAM com A, incrementa Bd, Salta se Bd passa por 15 XOR Lógico de Br com r	
REGISTRADORES	CAB		50	0,1,0,1,0,0,0,0	Bd ← A	Copia A em Bd	
	CBA		4E	0,1,0,0,1,1,1,0	A ← Bd	Copia Bd em A	
	LBI	r, d	— — (d = 0, 9:15) ou 33 — — (qualquer d)	0,0, r, (d-1) 0,0,1,1,0,0,1,1 1,0, r, d	B ← r, d	Carrega imediato B com r, d Salta se não LBI	6
	LEI	y	33 6 —	0,0,1,1,0,0,1,1 0,1,1,0, y	EN ← y	Carrega imediato EN	7
	XABR		12	0,0,0,1,0,0,1,0	A ⟷ Br (A ← Br, Br ← 0, 0)	Troca A com Br	
TESTE	SKC		20	0,0,1,0,0,0,0,0		Salta se C = 1	
	SKE		21	0,0,1,0,0,0,0,1		Salta se A = Conteúdo da RAM (RAM(B))	
	SKGZ		33 21	0,0,1,1,0,0,1,1 0,0,1,0,0,0,0,1		Salta se G = 0 (os 4 bits G3:0 = 0)	
	SKGBZ	 0 1 2 3	33 01 11 03 13	0,0,1,1,0,0,1,1 0,0,0,0,0,0,0,1 0,0,0,1,0,0,0,1 0,0,0,0,0,0,1,1 0,0,0,1,0,0,1,1	1.º byte 2.º byte	Salta se o bit de G é zero Salta se G0 = 0 Salta se G1 = 0 Salta se G2 = 0 Salta se G3 = 0	
	SKMBZ	0 1 2 3	01 11 03 13	0,0,0,0,0,0,0,1 0,0,0,1,0,0,0,1 0,0,0,0,0,0,1,1 0,0,0,1,0,0,1,1		Salta se o bit 0 da RAM = 0 (RAM(B)0) Salta se o bit 1 da RAM = 0 (RAM(B)1) Salta se o bit 2 da RAM = 0 (RAM(B)2) Salta se o bit 3 da RAM = 0 (RAM(B)3)	
	SKT		41	0,1,0,0,0,0,0,1		Salta dependendo do temporizador	3

	MNEMÔNICO	OPERANDO	OPCODE (HEX.)	CÓDIGO EM LINGUAGEM DE MÁQUINA (BINÁRIO)	FUNÇÃO	DESCRIÇÃO	NOTAS
ENTRADA/SAÍDA	ING		33 2A	0,0,1,1,0,0,1,1 0,0,1,0,1,0,1,0	A ← G	Carrega A com o conteúdo dos ports G	
	ININ		33 28	0,0,1,1,0,0,1,1 0,0,1,0,1,0,0,0	A ← IN	Carrega A com o conteúdo das entradas IN	2
	INIL		33 29	0,0,1,1,0,0,1,1 0,0,1,0,1,0,0,1	A ← IL0, "0", CKO, IL3	Carrega A com o conteúdo dos latches IL	3
	INL		33 2E	0,0,1,1,0,0,1,1 0,0,1,0,1,1,1,0	RAM(B) ← L7:4 A ← L3:0	Carrega a RAM, A com o conteúdo dos ports L	
	OBD		33 3E	0,0,1,1,0,0,1,1 0,0,1,1,1,1,1,0	D ← Bd	Envia Bd para as saídas D	
	OGI	y	33 5 —	0,0,1,1,0,0,1,1 0,1,0,1, y	G ← y	Envia imediato dados para os ports G	
	OMG		33 3A	0,0,1,1,0,0,1,1 0,0,1,1,1,0,1,0	G ← RAM(B)	Envia dados da RAM para os ports G	
	XAS		4F	0,1,0,0,1,1,1,1	A ⟷ SIO, SKL ← C	Troca os conteúdos de A e SIO	3

OBSERVAÇÕES:

1) Os bits são numerados de 0 a N onde 0 indica o bit menos significativo (de mais baixa ordem, o bit mais à direita). Por exemplo: A3 representa o bit mais significativo (o bit mais à esquerda) do registrador A de 4 bits.
2) A instrução ININ não está disponível no MPG 421 já que este não possui as entradas IN.
3) Maiores informações sobre as instruções XAS, JID, LQID, INIL e SKT estão disponíveis adiante.
4) A instrução JP, enquanto dentro das páginas 2 ou 3 de subrotinas, permite um desvio para qualquer posição da ROM, dentro dos limites estabelecidos por estas 2 páginas. Caso contrário, a instrução JP permite um desvio para uma posição dentro da página corrente de 64 palavras. JP não pode desviar para a última palavra de uma página.
5) Uma instrução JSRP transfere o controle do programa para uma subrotina na página 2 (os 4 bits mais significativos de PC são carregados com 0010). A instrução JSRP não pode ser usada nas páginas 2 ou 3. JSRP não pode desviar para a última palavra na página 2.
6) LBI é uma instrução de um único byte se d = 0, 9, 10, 11, 12, 13, 14 ou 15. Os quatro bits menos significativos do código de máquina é igual ao valor do dado "d" menos 1. Ex.: para carregar os 4 bits menos significativos de B (Bd) com o valor 9 ($1001_{(2)}$), o valor dos 4 bits menos significativos da instrução LBI deve ser igual a 8 ($1000_{(2)}$). Para carregar 0, o valor dos 4 bits menos significativos da instrução LBI deve ser igual a 15 ($1111_{(2)}$).
7) O valor do campo de operandos y no código de máquina da instrução LEI deve ser igual ao valor a ser armazenado em EN, onde um "0" ou um "1" em cada bit de EN corresponde à seleção ou não de determinadas funções associadas a estes bits (vide Descrição Funcional, Registrador EN).

Descrição de Instruções Selecionadas

As informações a seguir ajudam o usuário no entendimento da operação de algumas instruções singulares e fornecem aos programadores notas úteis na elaboração de programas para o MPG 420/MPG 421.

Instrução XAS (Troca os conteúdos de A e SIO): Esta instrução troca o conteúdo de 4 bits do acumulador com o conteúdo de 4 bits do registrador SIO. O conteúdo do registrador SIO será: dados de contador binário ou de registrador de deslocamento entrada serial/saída serial, dependendo do conteúdo do registrador EN. Uma instrução XAS afetará também a saída SK. (Vide Descrição Funcional, Registrador EN). Se SIO for selecionado como registrador de deslocamento, uma instrução XAS deve ser executada a cada quatro ciclos de instrução, a fim de oferecer um fluxo contínuo de dados.

Instrução JID (Jump InDirect): A instrução JID (Desvio Indireto) é uma instrução de endereçamento indireto, transferindo o controle do programa para uma nova posição da ROM apontada indiretamente por A e M. Ela carrega os 8 bits de ordem mais baixa do registrador de endereços da ROM (PC) com o conteúdo da posição de ROM endereçada pela palavra de 10 bits PC9:8, A, M. PC9 e PC8 não são afetados por esta instrução.

Note que JID requer dois ciclos de instrução.

Instrução INIL (Input IL Latches to A): A instrução INIL (carrega A com o conteúdo dos latches IL) carrega os 2 latches (figura 5), IL3 e IL0, e CKO no acumulador (A). Os latches IL3 e IL0 vão para nível alto quando ocorrer a borda de descida de um pulso nas entradas IN3 e IN0, desde que a última instrução INIL tenha propiciado que o pulso de entrada permaneceu baixo por no mínimo 2 tempos de instrução.

A execução de uma instrução INIL transfere IL3 e IL0 para A3 e A0 respectivamente, e limpa estes latches para que possam responder a bordas de descida de pulsos subseqüentes nas linhas IN3 e IN0. Se CKO for programado por máscara como entrada de propósito geral, uma instrução INIL transferirá o estado de CKO para A2. Se CKO não for programado assim, A2 receberá "1". A1 recebe sempre um "0" na execução de uma instrução INIL. As entradas de propósito geral IN3-

IN0 são transferidas para A na execução de uma instrução ININ (vide tabela 4, instrução ININ). INIL é útil no reconhecimento de pulsos de curta duração ou pulsos que ocorrem com freqüência muito alta para serem lidos convenientemente por uma instrução ININ.

Os latches IL não são limpos na operação de reset.

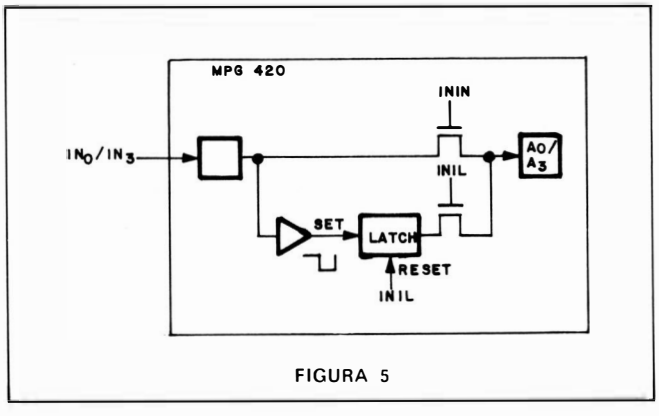


FIGURA 5

Instrução LQID (Load Q InDirect): A instrução LQID (carrega Q indiretamente) carrega o registrador Q de 8 bits com o conteúdo da ROM apontado pela palavra de 10 bits PC9, PC8, A, M. LQID pode ser usada em tabelas de consulta ou conversões de códigos tais como BCD para 7 segmentos. A instrução LQID salva PC na pilha (PC + 1 → SA → SB → SC) e troca os 8 bits menos significativos de PC como segue: A → PC7:4, RAM (B) → PC3:0, deixando PC9 e PC8 intactos.

O dado da ROM apontado pelo novo endereço é buscado e carregado nos latches Q. Em seguida os valores salvos do PC são retornados da pilha (SC → SB → SA → PC), restabelecendo o valor salvo de PC para dar continuidade à execução sequencial do programa. Como LQID empurra SB → SC, o conteúdo anterior de SC fica perdido. Do mesmo modo, quando LQID retira valores da pilha, o conteúdo anterior de SB é deixado em SC (SB → SC). Note que a execução de LQID toma dois ciclos de instrução.

Instrução SKT (SKip on Timer): A instrução SKT (salta dependendo do temporizador) testa o estado de um contador de base de tempo interno de 10 bits. Este contador divide a freqüência de clock do ciclo de instrução por 1.024 e fornece uma indicação, com latch, de estouro (overflow) do contador. A instrução SKT testa este latch, executando a próxima instrução do programa se o latch não estiver ativado. Se o latch estiver ativado desde o teste anterior, a próxima instrução é saltada e o latch vai para nível "0". Portanto as características associadas a esta instrução permitem ao MPG 420/MPG 421 gerar sua própria base de tempo para processamento em tempo real, em vez de recorrer a um sinal externo.

Por exemplo, usando como base de tempo um cristal de 2,097 MHz para gerar o clock, a freqüência de clock do ciclo de instrução será de 131 KHz (freqüência do cristal ÷ 16) e a freqüência dos pulsos na saída do contador binário será 128 Hz. Para processamento em tempo real do tipo time-of-day ou semelhante, a instrução SKT pode chamar uma rotina que incrementa um contador de segundos a cada 128 pulsos.

Observações sobre o conjunto de instruções

1 — A primeira palavra de um programa do MPG 420/MPG 421 (endereço 0 da ROM) deve ser um CLRA (limpa A).

2 — Devido à não execução das instruções saltadas, o salto de cada byte destas instruções consome o tempo de um ciclo de instrução. Portanto todos os caminhos do programa tomam o mesmo número de ciclos quer a instrução seja saltada ou não, exceto no caso das instruções JID e LQID. As instruções JID e LQID tomam dois ciclos se executadas e um se saltadas.

3 — A memória ROM está organizada em 16 páginas de 64 palavras cada. O Contador de Programa é um contador binário de 10 bits, e portanto contará além dos limites da página. Se a última palavra da página for uma instrução JP, JSRP, JID ou LQID, esta operará como se estivesse na página seguinte. Por exemplo: uma instrução JP ocupando a última palavra de uma página, desviará para uma posição na página seguinte. Do mesmo modo, uma instrução LQID ou JID ocupando a última palavra da página 3, 7, 11 ou 15 acessará dados no próximo grupo de quatro páginas.

Lista de Opções

As opções, programáveis por máscara, do MPG 420/MPG 421 estão assinaladas por números correspondentes à pinagem do MPG 420.

A tabela 5 a seguir relaciona as opções do MPG 420. Com referência ao MPG 421 as opções 9, 10, 19, 20 e 29 devem ser consideradas como zero.

A programação das opções se dá juntamente com a do padrão da ROM de modo a oferecer ao usuário uma flexibilidade de hardware que permita a interface a vários componentes de E/S usando um mínimo ou nenhum circuito externo.

TABELA 5

Opções Programáveis por Máscara

N.º DA OPÇÃO	FUNÇÃO	VALOR	DESCRIÇÃO
1	TERRA	0	Não há opções disponíveis
2	CKO	0	Saída do gerador de clock para cristal (não disponível se a opção 3 = 4 ou 5)
		1	Entrada de alimentação para a RAM (V_R)
		2	Entrada de propósito geral com dispositivo de carga
		4	Entrada de propósito geral de alta impedância
3	CKI	0	Entrada de cristal ÷ 16
		1	Entrada de cristal ÷ 8
		2	Entrada de clock externo TTL ÷ 16
		3	Entrada de clock externo TTL ÷ 8
		4	Oscilador RC de pino único ÷ 4
		5	Entrada de clock Schimitt Trigger ÷ 4
4	$\overline{\text{RESET}}$	0	Dispositivos de carga para V_{CC}
		1	Entrada de alta impedância
5	L7	0	Saída padrão (fig. 4.6)
		1	Saída com dreno aberto (fig. 4.7)
		2	Saída excitadora direta de LED (fig. 4.4)
		3	Saída push-pull tri-state (fig. 4.5)
6	L6		Opções idênticas às do pino 5
7	L5		Opções idênticas às do pino 5
8	L4		Opções idênticas às do pino 5
9	IN1	0	Dispositivo de carga para V_{CC} (fig. 4.8)
		1	Entrada de alta impedância (fig. 4.9)
10	IN2		Opções idênticas às do pino 9
11	V_{CC}	0	Não há opções disponíveis
12	L3		Opções idênticas às do pino 5
13	L2		Opções idênticas às do pino 5
14	L1		Opções idênticas às do pino 5
15	L0		Opções idênticas às do pino 5
16	SI		Opções idênticas às do pino 9
17	SO	0	Saída padrão (fig. 4.1)
		1	Saída em dreno aberto (fig. 4.2)
		2	Saída em push-pull (fig. 4.3)
18	SK		Opções idênticas às do pino 17
19	IN0		Opções idênticas às do pino 9
20	IN3		Opções idênticas às do pino 9
21	G0	0	Saída padrão (fig. 4.1)
		1	Saída em dreno aberto (fig. 4.2)
22	G1		Opções idênticas às do pino 21
23	G2		Opções idênticas às do pino 21

N.º DA OPÇÃO	FUNÇÃO	VALOR	DESCRIÇÃO
24	G3		Opções idênticas às do pino 21
25	D3	0	Saída padrão (fig. 4.1)
		1	Saída em dreno aberto (fig. 4.2)
26	D2		Opções idênticas às do pino 25
27	D1		Opções idênticas às do pino 25
28	D0		Opções idênticas às do pino 25
29	Operação	0	Operação Normal
		1	Opção MICROBUS
30	Encapsula-	0	MPG 420 (28 pinos)
	mento	1	MPG 421 (24 pinos)
31	Níveis das	0	Níveis de entrada normais
	entradas IN	1	Níveis de tensão de entrada mais elevados ("0" = 1,2 V; 1 = 3,6 V)
32	Níveis das entradas G		Idênticos a 31
33	Níveis das entradas L		Idênticos a 31
34	Níveis das entradas CKO		Idênticos a 31
35	Níveis das entradas SI		Idênticos a 31

Modo de Teste

A saída SO está configurada para oferecer procedimentos padrão de testes para o MPG 420 com o programa dedicado. Impondo nível lógico 1 em SO, dispõe-se de dois modos de teste, dependendo do valor de SI:

SI = 1 — Modo de Teste da RAM e Lógica Interna.
SI = 0 — Modo de Teste da ROM.

Estes modos de teste não devem ser empregados pelo usuário, pois eles se destinam apenas a testes de fabricação.

Tensão em qualquer pino	– 0,3 V a 7 V
Corrente total (drenada)	75 mA
(fornecida)	95 mA
Potência dissipada (25 °C)	750 mW
(70 °C)	400 mW
Temperatura de soldagem (por 10s)	300 °C
Temperatura de armazenamento	–65 °C a 150 °C
Temperatura de operação	0 °C a 70 °C

OBSERVAÇÃO:

Os Valores Máximos Absolutos representam valores acima dos quais o funcionamento do componente fica comprometido. As características AC e DC não ficam garantidas quando o componente opera nestas condições.

CARACTERÍSTICAS DC (1)

SÍMBOLO	PARÂMETRO			LIMITES MÍN	LIMITES MÁX	UNIDADE	CONDIÇÕES DE TESTE
V_{CC}	Tensão de operação			4,5	6,3	V	
	Ripple da fonte de alimentação				0,4	V	Pico a pico (4)
I_{CC}	Corrente de alimentação				38	mA	Saídas em aberto
					30	mA	Saídas em aberto; V_{CC} = 5 V; T_A = 25 °C
V_{IH}	Tensão de entrada nível alto	CKI	Cristal	3,0		V	V_{CC} = MÁX
				2,0		V	V_{CC} = 5 V ± 5%
			TTL	2,0		V	V_{CC} = 5 V ± 5%
			Schimitt Trigger	0,7 V_{CC}		V	(÷ 4)
		$\overline{RESET}$		0,7 V_{CC}		V	
		Demais entradas		3,0		V	V_{CC} = MÁX
				2,0		V	V_{CC} = 5 V ± 5%
V_{IL}	Tensão de entrada nível baixo	CKI	Cristal	− 0,3	0,4	V	
			TTL	− 0,3	0,8	V	V_{CC} = 5 V ± 5%
			Schimitt Trigger	− 0,3	0,6	V	(÷ 4)
		$\overline{RESET}$		− 0,3	0,6	V	
		Demais entradas		− 0,3	0,8	V	
V_{OH}	Tensão de saída nível alto	Operação TTL		2,4		V	I_{OH} = −100 µA; V_{CC} = 5 V ± 5%
		Operação CMOS		V_{CC} − 1		V	I_{OH} = −10 µA (2)
V_{OL}	Tensão de saída nível baixo	Operação TTL		− 0,3	0,4	V	I_{OL} = 1,6 mA; V_{CC} = 5 V ± 5%
		Operação CMOS			0,2	V	I_{OL} = 10 µA (2)
	Nível da entrada SO (Modo Teste)			2,0	3,0	V	(3)
	Corrente de entrada	CKO		− 4	− 800	µA	V_{CC} = 5 V; V_I = 0 V
		Demais entradas		− 100	− 800	µA	
	Corrente de saída	Excitadora de LED (nível alto)		2,5	14	mA	V_{CC} = 6 V; V_{OH} = 2,0 V
		CKI fuga (opção R/C)		2		mA	V_I = 3,5 V
		CKO (alimentação da RAM)			3	mA	V_R = 3,3 V
	Corrente de fuga tri-state ou Dreno Aberto			− 2,5	2,5	µA	V_{CC} = 5 V
C_I	Capacitância de entrada				7	pF	
	Corrente de fuga na entrada de alta impedância			− 1	+ 1	µA	V_{CC} = 5 V
	Corrente de saída em nível baixo			1,6		mA	V_{CC} = 4,5 V; V_{OL} = 0,4 V
	Corrente de saída em nível alto	Padrão	todas	− 200	− 900	µA	V_{CC} = 6,3 V; V_{OH} = 3,0 V
				− 100	− 500	µA	V_{CC} = 4,5 V; V_{OH} = 2,0 V
		Push-Pull	SO e SK	− 1,0		mA	V_{CC} = 6,3 V; V_{OH} = 3,0 V
				− 0,4		mA	V_{CC} = 4,5 V; V_{OH} = 2,0 V
		Tri-state	L0-L7	− 0,8		mA	V_{CC} = 6,3 V; V_{OH} = 3,2 V
				− 0,9		mA	V_{CC} = 4,5 V; V_{OH} = 1,5 V
		Excitadora de LED	L0-L7	− 1,0		mA	V_{CC} = 6,3 V; V_{OH} = 3,0 V
				− 0,5		mA	V_{CC} = 4,5 V; V_{OH} = 2,0 V
	Corrente de dreno permitida	por pino L, D, G			10	mA	
		por pino, as demais			2	mA	
		por port L			16	mA	
		por port D, G			10	mA	
	Corrente de fonte permitida	por pino L			− 15	mA	
		por pino, as demais			− 1,5	mA	
	Opção de maior excursão da tensão de entrada		nível alto	3,6		V	
			nível baixo	−0,3	1,2	V	

OBSERVAÇÕES:

1) 0 °C ≤ T_A ≤ 70 °C; 4,5 V ≤ V_{CC} ≤ 6,3 V a menos que especificado o contrário.
2) Estão excluídas as configurações LED e tri-state.
3) Na saída SO o nível "0" deve ser menor que 0,8 V para operação normal.
4) As mudanças de tensão devem ser menores que 0,5 V dentro de um período de 1 ms.

CARACTERÍSTICAS AC (1) (3) (4) (5)

SÍMBOLO		PARÂMETRO	LIMITES		UNIDADE	CONDIÇÕES DE TESTE
			MÍN	MÁX		
t_C	Tempo do ciclo		4	10	µs	
	Tempo do ciclo	CKI usando RC	4	8	µs	fig. 3 C (6)
f_i	Frequência de operação	CKI usando cristal	1,6	4,0	MHz	Modo ÷ 16
		ou clock externo	0,8	2,0	MHz	Modo ÷ 8
		CKI usando RC	0,5	1,0	MHz	Modo ÷ 4; R = 15 KΩ ± 5%; C = 100 pF ± 10%
	Ciclo Duty CKI		40	60	%	(2)
		Tempo de subida		60	ns	f = 4 MHz
		Tempo de descida		40	ns	
t_{SYNC}			50		ns	CKO como entrada de sinc.
t_{SU}	Tempo de set up	Entrada SI	0,3		µs	
		Demais entradas	1,7		µs	
t_H	Tempo de hold	Entrada SI	250		ns	
		Demais entradas	300		ns	
t_{PDI}	Tempo de atraso de propagação	SO e SK		1,0	µs	R_L = 5 KΩ; C_L = 50 pF; V_O = 1,5 V
		CKO		0,25	µs	
		As demais		1,4	µs	
t_{PCO}		SO e SK		1,0	µs	
		CKO		0,25	µs	
		As demais		1,4	µs	

MICROBUS — LEITURA

SÍMBOLO	PARÂMETRO	LIMITES		UNIDADE	CONDIÇÕES DE TESTE
		MÍN	MÁX		
t_{CSR}	Tempo de Chip Select estável antes de $\overline{RD}$	65		ns	C_L = 100 pF; V_{CC} = 5 V ± 5%
t_{RCS}	Tempo de hold de Chip Select para $\overline{RD}$	20		ns	
t_{RR}	Largura do pulso $\overline{RD}$	400		ns	
t_{RD}	Tempo de atraso do dado a partir de $\overline{RD}$		375	ns	
t_{DF}	Tempo de atraso de $\overline{RD}$ para dados flutuando		250	ns	

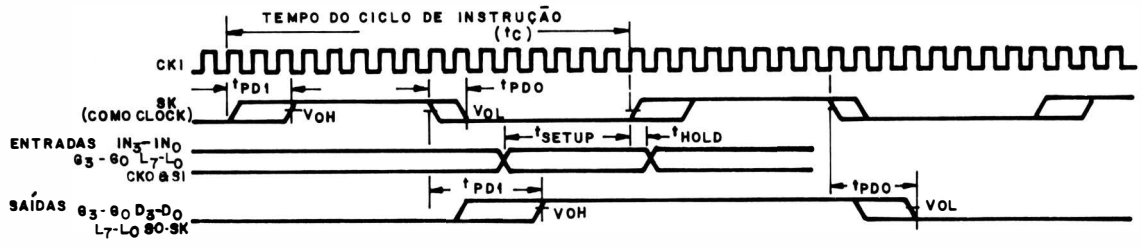
MICROBUS — ESCRITA

SÍMBOLO	PARÂMETRO	LIMITES		UNIDADE	CONDIÇÕES DE TESTE
		MÍN	MÁX		
t_{CSW}	Tempo de Chip Select estável antes de $\overline{WR}$	65		ns	
t_{WCS}	Tempo de hold de Chip Select para $\overline{WR}$	20		ns	
t_{WW}	Largura do pulso $\overline{WR}$	400		ns	
t_{DW}	Tempo de set up de dados para $\overline{WR}$	320		ns	
t_{WD}	Tempo de hold de dados para $\overline{WR}$	100		ns	
t_{WI}	Tempo de transição de INTR a partir de $\overline{WR}$		700	ns	

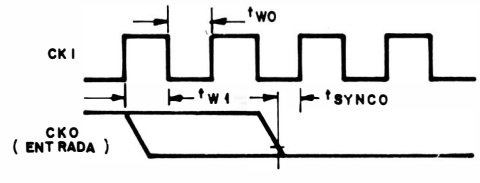
OBSERVAÇÕES:

1) 0 °C ≤ T_A ≤ 70 °C; 4,5 V ≤ V_{CC} ≤ 6,3 V a menos que especificado o contrário.
2) Ciclo Duty = $t_{WI}/(t_{WI} + t_{WO})$.
3) A figura 4 apresenta características adicionais de E/S.
4) Deve-se tomar o cuidado de não se exceder os limites máximos de dissipação de potência ao se excitar LEDs diretamente (ou ao se alimentar cargas parecidas) em temperaturas elevadas.
5) As mudanças de tensão devem ser menores que 0,5 V dentro de um período de 1 ms.
6) Variações devidas à inclusão dos dispositivos.

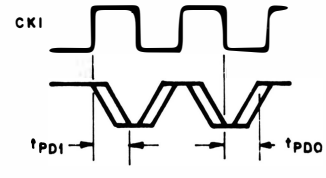
TEMPOS: ENTRADA/SAÍDA (MODO CRISTAL ÷ 16)



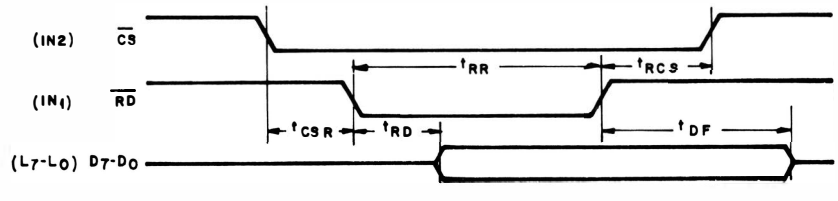
TEMPOS: SINCRONISMO



TEMPOS: SAÍDA CKO



TEMPOS: LEITURA — MICROBUS



TEMPOS: ESCRITA — MICROBUS

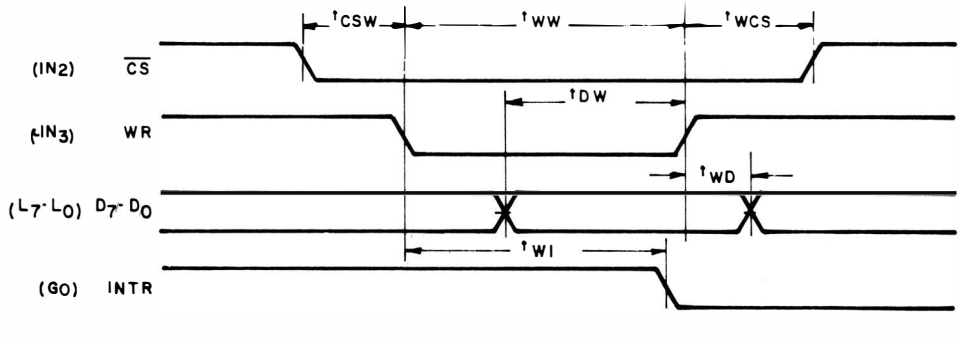


Tabela de Opções do MPG

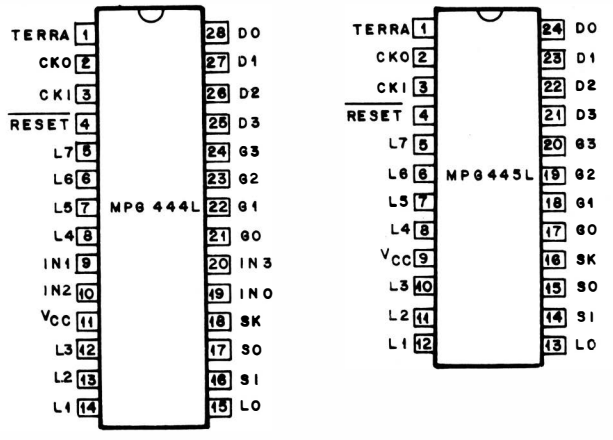
As seguintes informações sobre as opções devem ser enviadas à ITAUCOM juntamente com a EPROM.

	OPÇÃO	VALOR
1	Pino TERRA	
2	Pino CKO	
3	Pino CKI	
4	Entrada $\overline{\text{RESET}}$	
5	Driver L7	
6	Driver L6	
7	Driver L5	
8	Driver L4	
9	Entrada IN1	
10	Entrada IN2	
11	Pino V_{CC}	
12	Driver L3	
13	Driver L2	
14	Driver L1	
15	Driver L0	
16	Entrada SI	
17	Driver SO	
18	Driver SK	

	OPÇÃO	VALOR
19	Entrada IN0	
20	Entrada IN3	
21	Port G0 de E/S	
22	Port G1 de E/S	
23	Port G2 de E/S	
24	Port G3 de E/S	
25	Saída D3	
26	Saída D2	
27	Saída D1	
28	Saída D0	
29	Operação	
30	Encapsulamento	
31	Níveis das entradas IN	
32	Níveis das entradas G	
33	Níveis das entradas L	
34	Níveis da entrada CKO	
35	Níveis da entrada SI	

MPG 444L/MPG 445L

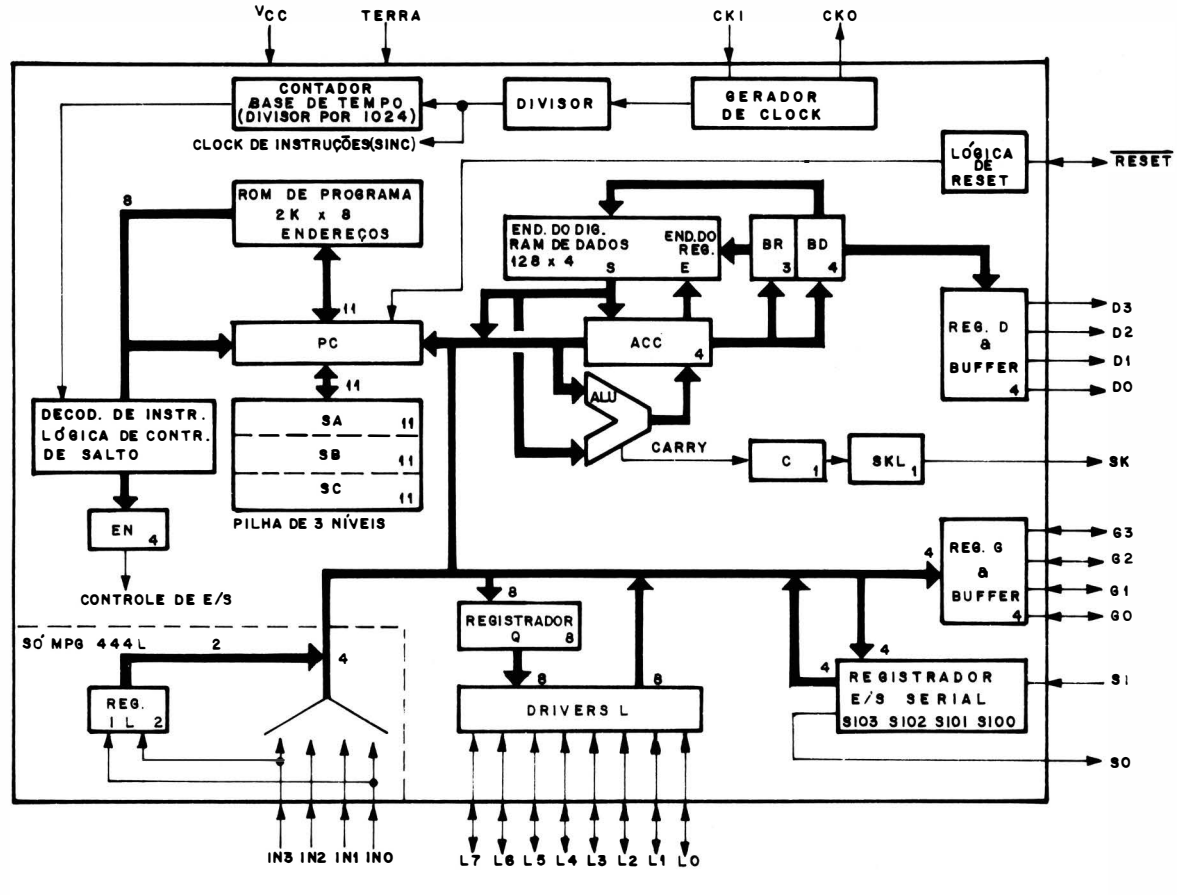
PINAGEM



Características

- ☐ Baixo custo;
- ☐ Poderoso conjunto de instruções;
- ☐ ROM de 2K×8 e RAM de 128×4;
- ☐ Pilha para três níveis de subrotinas;
- ☐ Tempo de instrução de 15μs;
- ☐ Alimentação única (4,5 V a 6,3 V);
- ☐ Contador de base de tempo interno para processamento em tempo real;
- ☐ Registrador Contador binário interno com capacidade de E/S serial;
- ☐ Saídas tri-state e de propósito geral;
- ☐ Compatibilidade TTL/CMOS;
- ☐ Saídas para acionamento direto de LEDs;
- ☐ Compatibilidade com outros membros da família MPG 400.

DIAGRAMA DE BLOCOS



Descrição Geral

O MPG 444L e o MPG 445L são microcomputadores (Microcontroladores de Propósito Geral) completos, contendo todo o sistema de timing, lógica interna, ROM, RAM e E/S necessários para implementar funções de controle dedicadas para diversas aplicações. Suas características incluem operação com alimentação única, diversas opções de configuração de saídas, com um conjunto de instruções, arquitetura interna e esquema de E/S projetados para facilitar a entrada de teclado, saída de display e manipulação de dados em BCD.

O MPG 445L é idêntico ao MPG 444L, exceto que possui 19 linhas de E/S em vez de 23.

Padrões de procedimento de teste e confiáveis técnicas de fabricação de alta densidade proporcionam ao usuário de médio a grande volume um processador orientado para controle com um baixo custo final.

TABELA 1

Descrição da Pinagem

PINO	FUNÇÃO
L7-L0	8 ports de E/S bidirecionais tri-state
G3-G0	4 ports de E/S bidirecionais
D3-D0	4 saídas de propósito geral
IN3-IN0	4 entradas de propósito geral (apenas no MPG 444L)
SI	Entrada serial (ou entrada contadora)
SO	Saída serial (ou saída de propósito geral)
SK	Clock logicamente controlado (ou saída de propósito geral)
CKI	Entrada do sistema oscilador
CKO	Saída do sistema oscilador (ou entrada de propósito geral, de alimentação para a RAM ou de sincronismo)
$\overline{\text{RESET}}$	Entrada de reset do sistema
V_{CC}	Alimentação
TERRA	Terra

Descrição Funcional

O diagrama de blocos ilustra a rota de dados de forma simplificada, a fim de descrever como os vários elementos lógicos comunicam-se entre si para executar o conjunto de instruções do dispositivo. Utiliza-se a lógica positiva. Quando um bit estiver desativado, estará no nível lógico 0 (menor que 0,8 V). Quando um bit estiver ativado, estará no nível lógico 1 (maior que 2 V).

Memória de Programa

A memória de programa é constituída por uma ROM de 2.048 bytes. Como se pode observar mediante um exame do conjunto de instruções do MPG 444L e MPG 445L, estas palavras podem ser instruções de programa, dados de programa ou dados de endereço da ROM. Devido às características especiais vinculadas às instruções JP, JSRP, JID e LQID, a ROM freqüentemente é vista como sendo organizada em 32 páginas de 64 palavras cada.

O endereçamento da ROM é efetuado pelo registrador PC de 11 bits. O seu valor binário seleciona uma das 2.048 palavras de 8 bits contidas na ROM. Um novo endereço é carregado no registrador PC durante cada ciclo de instrução. A menos que a instrução seja de transferência de controle, o registrador PC é carregado com o próximo valor seqüencial do contador binário de 11 bits. Os registradores de 11 bits de salvamento de subrotina SA, SB e SC permitem três níveis de aninhamento de subrotinas, proporcionando um hardware do tipo Last In First Out (LIFO), ou seja, uma pilha.

Os circuitos do Decodificador de Instruções, de Controle e Lógica de Salto buscam, decodificam e executam as palavras de instrução da ROM.

Memória de Dados

A memória de dados é constituída por uma RAM de 512 bits, organizada como 8 registradores de dados de 16 dígitos de 4 bits. O registrador B de 7 bits efetua o endereçamento da RAM, sendo que os três bits mais significativos de B (Br) selecionam 1 entre os 8 registradores de dados e os quatro bits menos significativos (Bd) selecionam 1 entre os 16 dígitos de 4 bits no registrador de dados selecionado.

Ao mesmo tempo em que os 4 bits contidos no dígito selecionado da RAM (M) geralmente vêm do, vão para, ou são trocados com o registrador A (acumulador), eles podem também vir dos ou ir para os latches Q ou ainda

vir dos ports L. O endereçamento da RAM também pode ser efetuado diretamente pelas instruções LDD e XAD baseado no conteúdo dos 7 bits do campo de operando destas instruções. O registrador Bd também serve de registrador fonte para os 4 bits de dados enviados diretamente para as saídas D.

Lógica Interna

O **registrador A** de 4 bits (acumulador) é origem e destino para a maioria das operações de E/S, aritméticas, lógicas e de acesso à memória de dados. O registrador A também pode ser usado para carregar as partes Br e Bd do registrador B, para receber e carregar 4 bits do latch de dados Q de 8 bits, para receber 4 bits de dados do port L de E/S de 8 bits, e para efetuar troca de dados com o registrador SIO.

Um **somador de 4 bits** efetua funções lógicas e aritméticas do MPG 444L/MPG 445L, guardando os resultados em A. Este somador também fornece um bit de carry para o registrador C de 1 bit, empregado mais freqüentemente para indicar overflow aritmético. O registrador C juntamente com a instrução XAS e o registrador EN também serve para controlar a saída SK.

O registrador C pode ser enviado diretamente para SK ou pode habilitar SK a operar como um clock de sincronismo para cada tempo de ciclo de instrução (vide instrução XAS e descrição do registrador EN, adiante).

O MPG 444L dispõe de 4 entradas de propósito geral, **IN3-IN0**.

O **registrador D** oferece 4 saídas de propósito geral e serve de registrador de destino para os 4 bits contidos em Bd. As saídas D podem ser diretamente conectadas aos dígitos de um display LED multiplexado.

O conteúdo do **registrador G** é enviado para os 4 ports bidirecionais de E/S. Também os ports G de E/S podem ser diretamente conectados aos dígitos de um display LED multiplexado. O **registrador Q** é um registrador interno de 8 bits com latch usado para manter os dados enviados ou recebidos de M e A, bem como 8 bits de dados vindos da ROM. Seu conteúdo é enviado para os ports L de E/S quando os drivers L estão habilitados sob o controle do programa (vide instrução LEI).

Os 8 **drivers L**, quando habilitados, liberam o conteúdo dos dados armazenados em Q para os ports de E/S L. A e M podem também ler diretamente o conteúdo de L. Os ports L de E/S podem ser diretamente conectados aos segmentos de um display de LEDs multiplexado (usando a opção de configuração de saídas de Controle Direto de LED) enviando-se os dados de Q para os segmentos Sa—Sg e ponto decimal do display.

O **registrador SIO** opera como um registrador de deslocamento de 4 bits de entrada serial/saída serial, ou como um contador binário, dependendo do conteúdo do registrador EN (vide adiante descrição do registrador EN). O conteúdo de SIO pode ser trocado com o de A, permitindo um fluxo contínuo de entrada ou saída de dados seriais. SIO pode também oferecer uma E/S paralela adicional, bastando para isso conectar SO a registradores de deslocamento externos de entrada serial e saídas paralelas.

A instrução XAS copia C no latch SKL. No modo contador SK é a saída de SKL; no modo registrador de deslocamento, SK libera o resultado da operação AND entre o clock e SKL.

O **registrador EN** é um registrador interno de 4 bits carregado sob controle do programa pela instrução LEI. O estado interno de cada bit deste registrador seleciona ou não a característica particular associada a cada um destes bits (EN3-EN0).

1 — O bit menos significativo do registrador de habilitação, EN0, seleciona o registrador SIO como um registrador de deslocamento ou como um contador binário, ambos de 4 bits. Se o estado de EN0 é igual a 1, SIO opera como um contador binário assíncrono, decrementando seu valor a cada borda de descida do pulso na entrada SI. Cada pulso deve ter no mínimo a largura de dois ciclos de instrução. SK libera o valor de SKL.

   A saída SO é igual ao valor de EN3. Se o estado de EN0 é igual a 0, SIO opera como um registrador de deslocamento serial deslocando para a esquerda a cada ciclo de instrução. O dado presente em SI vai para o bit menos significativo de SIO. SO pode ser habilitado para liberar o bit mais significativo de SIO a cada ciclo (vide item 4 adiante).

   A saída SK transforma-se num clock logicamente controlado.

2 — Com EN1 em nível alto, a entrada IN1 opera como uma entrada de interrupção (válido apenas para o MPG 444L). Logo após uma interrupção, EN1 é colocada em nível baixo para desabilitar novas interrupções.

3 — Com EN2 em nível alto, os drivers L são habilitados para liberar o dado em Q para os ports L de E/S. Colocando EN2 em nível baixo desabilita-se os drivers L, e os ports L de E/S serão entradas de alta impedância.

4 — EN3, em conjunto com EN0, afeta a saída SO. Com EN0 em nível alto (selecionando a opção contador binário), SO liberará o valor presente em EN3. Com EN0 em nível baixo (selecionando a opção registrador de deslocamento serial), colocando EN3 em nível alto SO estará habilitado como saída do registrador de deslocamento SIO, liberando o dado serial deslocado a cada instrução. Colocando-se EN3 em nível baixo com a opção registrador de deslocamento selecionada, desabilita-se SO como saída do registrador de deslocamento; os dados continuam sendo deslocados em SIO e podem ser permutados com A através da instrução XAS, mas SO permanece no estado 0.

A tabela 2 é um resumo dos modos associados a EN3 e EN0.

TABELA 2
Modos do Registrador EN (bits EN3 e EN0)

EN3	EN0	SIO	SI	SO	SK
0	0	Registrador de deslocamento	Entrada do registrador de deslocamento	0	Se SKL = 1, SK = Clock Se SKL = 0, SK = 0
1	0	Registrador de deslocamento	Entrada do registrador de deslocamento	Saída Serial	Se SKL = 1, SK = Clock Se SKL = 0, SK = 0
0	1	Contador binário	Entrada para o contador binário	0	Se SKL = 1, SK = 1 Se SKL = 0, SK = 0
1	1	Contador binário	Entrada para o contador binário	1	Se SKL = 1, SK = 1 Se SKL = 0, SK = 0

Interrupções

As características relacionadas a seguir estão associadas com o procedimento e protocolo da interrupção IN1 (apenas MPG 444L) e devem ser consideradas pelo programador quando da utilização de interrupções.

1 — A interrupção, uma vez reconhecida como explicado adiante, salva o próximo endereço seqüencial do contador de programa (PC + 1) na pilha, e desloca os conteúdos dos outros registradores de salvamento de subrotina para os níveis mais baixos (PC + 1 → SA → SB → SC). Qualquer conteúdo prévio de SC fica perdido. O contador de programa é carregado com o endereço hexadecimal OFF (a última palavra da página 3) e EN1 é levado para nível baixo.

2 — Uma interrupção só será reconhecida após as seguintes condições:

a) EN1 está em nível alto;

b) Ocorrência na entrada IN1 de uma borda de descida de um pulso com uma largura mínima de dois ciclos de instrução;

c) A instrução atual acabar de ser executada;

d) Todas as transferências sucessivas de instruções de controle e LBIs sucessivas foram completadas (exemplo: se o programa principal estiver executando uma instrução JP, a qual transfere o controle do programa para outra instrução JP, a interrupção não será reconhecida até que a segunda instrução JP tenha sido executada).

3 — No reconhecimento de uma interrupção, o status da lógica de salto é salvo e mais tarde é recuperado da pilha. Por exemplo: se uma interrupção ocorrer durante a execução de uma instrução ASC (soma com Carry e Desvia se Houver Carry), que resulta em um Carry, o status da lógica de salto é salvo e o controle do programa é transferido para a rotina de tratamento de interrupção no endereço hexadecimal OFF. Ao final da rotina de interrupção, é executada uma instrução RET que retorna os valores da pilha e devolve o controle do programa para a instrução seguinte ao ASC. Neste momento, a lógica de salto é habilitada e salta esta instrução devido ao carry anterior de ASC. As subrotinas e instruções LQID não devem ser aninhadas dentro da rotina de tratamento de interrupção, já que ao retornarem valores da pilha habilitarão quaisquer saltos no programa principal interferindo na ordem de execução da rotina de interrupção.

4 — A primeira instrução da rotina de interrupção no endereço hexadecimal OFF deve ser um NOP.

5 — Imediatamente antes da instrução RET, pode-se colocar uma instrução LEI a fim de reabilitar interrupções.

Inicialização

A lógica de reset, interna ao MPG 444L e MPG 445L inicializará (clear) o dispositivo assim que o mesmo for ligado se o tempo de subida da fonte for menor que 1 ms e maior que 1 µs. Se o tempo de subida da fonte for maior que 1 ms, o usuário deve providenciar uma rede RC externa e diodo para o pino $\overline{\text{RESET}}$ da maneira ilustrada na figura 1. O pino $\overline{\text{RESET}}$ está configurado como uma entrada Schimitt Trigger. Se a rede RC não for utilizada o pino $\overline{\text{RESET}}$ deve ser ligado a V_{CC} ou através de uma carga interna ou de um resistor externo ($\geqslant 40\ K\Omega$).

Circuito Limpa ao Ligar

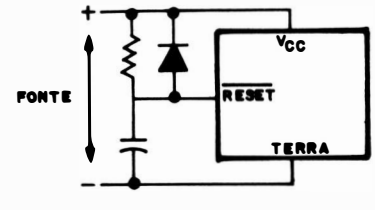


FIGURA 1

Ocorrerá inicialização toda vez que um nível lógico 0 for aplicado à entrada $\overline{\text{RESET}}$, desde que permaneça em nível baixo por, no mínimo, três ciclos de instrução.

Na inicialização, o registrador PC é limpo, indo para 0 (endereço 0 da ROM), bem como os registradores A, B, C, D, EN e G. A saída SK é habilitada como saída de sincronismo (SYNC) fornecendo um pulso a cada ciclo de instrução. A inicialização não limpa a memória de dados (RAM).

A primeira instrução no endereço 0 deve ser um CLRA.

Oscilador

Há 3 configurações básicas de osciladores de clock disponíveis como mostra a figura 2.

1 — **Oscilador Controlado por Cristal:** CKI e CKO são conectados a um cristal externo. O tempo do ciclo de instrução é igual à freqüência do cristal dividida por 32 (opcional por 16 ou por 8).

2 — **Oscilador Externo:** CKI é configurado como uma entrada para um sinal externo de clock. A freqüência externa é dividida por 32 (há opção de divisão por 16 ou por 8), para dar o tempo do ciclo de instrução. CKO fica então disponível para ser usado como fonte de alimentação da RAM (V_R) ou como entrada de uso geral.

3 — **Oscilador RC:** CKI é configurado como um oscilador RC Schimitt Trigger de pino único. O ciclo de instrução é igual à freqüência de oscilação dividida por 4. CKO fica disponível como fonte de alimentação para a RAM (V_R) ou entrada de propósito geral.

Oscilador

Oscilador a Cristal

Valor do Cristal	Valores dos Componentes			
	R1 (Ω)	R2 (Ω)	C1 (pF)	C2 (pF)
455 KHz	4,7 K	1 M	220	220
2,097 MHz	1 K	1 M	30	6-36

Oscilador RC

R (kΩ)	C (pF)	Tempo do Ciclo de Instrução (μs)
51	100	19 ± 15%
82	56	19 ± 13%

OBSERVAÇÃO: 200 KΩ ≥ R ≥ 25 KΩ
360 pF ≥ C ≥ 50 pF

FIGURA 2

Opções para o Pino CKO

Em um sistema oscilador controlado a cristal, CKO é utilizado como uma saída para a rede do cristal. Como uma opção CKO pode operar como uma entrada de propósito geral, levando dados para o bit 2 de A (acumulador) na execução de uma instrução INIL. Uma outra opção é utilizar CKO como pino de alimentação para a RAM (V_R), permitindo sua conexão a uma fonte de alimentação standby/back up a fim de manter a integridade dos dados da RAM com um consumo mínimo de potência quando a fonte principal estiver inoperante ou cortada para diminuir o consumo.

O uso de qualquer opção destas é apropriado para aplicações onde a configuração do sistema de timing do MPG 444L/MPG 445L não requeira o uso do pino CKO.

Opção Pino de Alimentação para a RAM

Com CKO selecionado como pino de alimentação da RAM (V_R), os dados nos 4 registradores de RAM mais baixos (Br = 0, 1, 2, 3) podem permanecer na RAM mesmo com a alimentação do chip desligada (V_{CC}). Para garantir a integridade dos dados da RAM devem ser verificadas as seguintes condições:

1 — $\overline{\text{RESET}}$ deve ir para nível baixo antes de V_{CC} ao se desligar a alimentação; V_{CC} deve estar dentro dos seus limites antes de $\overline{\text{RESET}}$ ir para nível alto durante a energização.

2 — V_R deve estar dentro da faixa de operação do chip e ser igual a $V_{CC} \pm 1$ V durante a operação normal.

3 — Com V_{CC} desligado, V_R deve ser ≥ 3,3 V.

Opções de E/S

As saídas do MPG 444L/MPG 445L podem apresentar as seguintes configurações opcionais ilustradas na figura 3.

1 — **Padrão:** Um dispositivo no modo enriquecido ligado à terra em conjunto com outro no modo depletado conectado a V_{CC} compatíveis com os requisitos das entradas TTL e CMOS. Está disponível para as saídas SO, SK, e todas as saídas D e G.

2 — **Dreno Aberto:** Apenas um dispositivo no modo enriquecido ligado à terra, permitindo um pull up externo conforme o requerido pela aplicação do usuário. Disponível para SO, SK, e todas as saídas D e G.

3 — **Push-Pull:** Um dispositivo no modo enriquecido ligado à terra em conjunto com outro no modo depletado em paralelo com outro no modo enriquecido ligado a V_{CC}. Esta configuração tem a finalidade de permitir tempos rápidos de subida e descida quando excitar cargas capacitivas. Disponível apenas nas saídas SO e SK.

4 — **Excitadora Direta de LED:** Um dispositivo no modo enriquecido ligado à terra e outro a V_{CC}, oferecem os requisitos de corrente típicos para alimentar os segmentos de um display LED. O dispositivo alimentador é grampeado para limitar o fluxo de corrente. Estes dispositivos podem ser desligados, mediante o controle do programa (vide Descrição Funcional, Registrador EN), colocando as saídas em alta impedância para permitir o apagamento do segmento LED em um display multiplexado. Disponível apenas para as saídas L.

5 — **Push-Pull Tri-state:** Um dispositivo no modo enriquecido ligado à terra e outro a V_{CC}. Estas saídas, por serem tri-state, permitem sua conexão à um bus de dados compartilhado com outros drivers de bus. Disponível apenas para as saídas L.

6 — **L Padrão:** Semelhante à 1, porém pode ser desabilitada. Disponível apenas nas saídas L.

7 — **L Dreno Aberto:** Semelhante à 2, porém pode ser desabilitada. Disponível apenas nas saídas L.

As entradas do MPG 444L/MPG 445L têm as seguintes configurações opcionais:

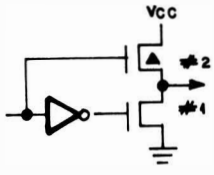
8 — Dispositivo de carga interno no modo depletado para V_{CC}.

9 — Uma entrada de alta impedância que deve ser excitada por um 1 ou um 0 através de componentes externos.

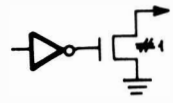
As configurações de entradas e saídas acima compartilham dispositivos no modo enriquecido e no modo de depleção. Todas estas configurações usam um ou mais dos seis dispositivos (numerados de 1 a 6). Adiante estão expostas as curvas de corrente mínima e máxima (I saída e V saída) para cada um destes dispositivos, permitindo ao projetista usar eficientemente estas configurações de E/S no projeto de um sistema com o MPG 444L/MPG 445L. As saídas SK e SO podem ser configuradas como apresentado em 1, 2 ou 3.

As saídas D e G podem ser configuradas como apresentado em 1 ou 2. Note que ao se entrar com os dados nos ports G, as saídas G devem estar em nível 1. As saídas L podem ser configuradas como em 4, 5, 6 ou 7. Um ponto importante a ser lembrado quando da utilização dos drivers L configurados como em 4 ou 6 é que se os drivers L estiverem desabilitados, o dispositivo de carga depletado fornecerá uma pequena quantidade de corrente (vide as curvas, dispositivo 2); entretanto, quando as linhas L são usadas como entradas, o dispositivo depletado desabilitado não poderá fornecer corrente suficiente para levar a entrada para nível lógico 1

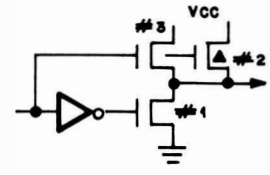
Configurações de E/S



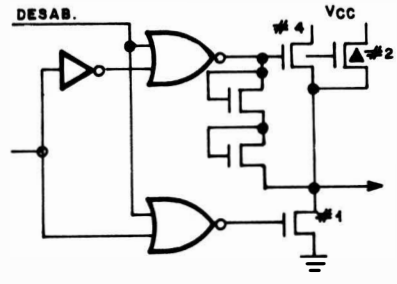
1 — Saída Padrão



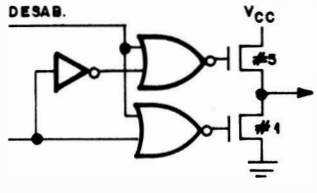
2 — Saída Dreno Aberto



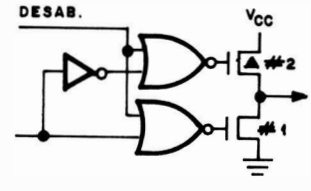
3 — Saída Push-Pull



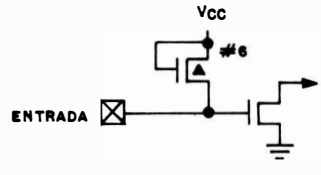
4 — Saída Excitadora de LED



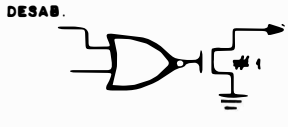
5 — Saída Push-Pull Tri-state



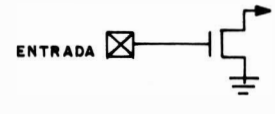
6 — Saída L Padrão



8 — Entrada com Carga



7 — Saída L Dreno Aberto



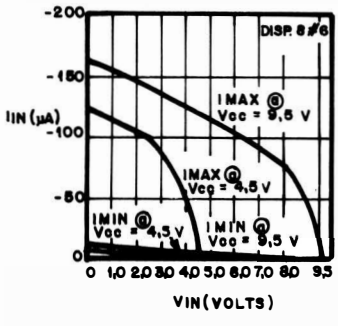
9 — Entrada de Alta Impedância

FIGURA 3

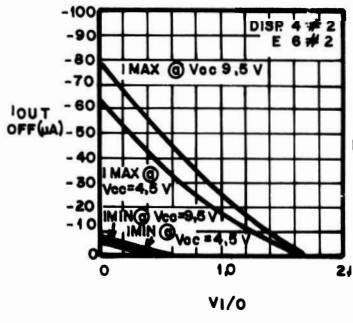
Obs.: ▲ — Dispositivo no modo depletado.

Características de Desempenho

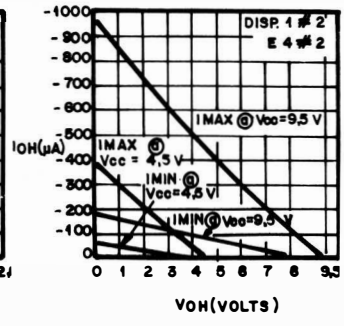
CORRENTE PARA AS ENTRADAS COM DISPOSITIVO DE CARGA



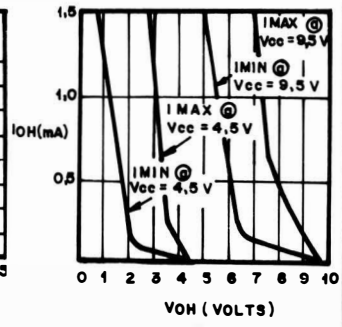
CORRENTE DE ENTRADA EM L7:L0 QUANDO DESLIGADAS POR SOFTWARE



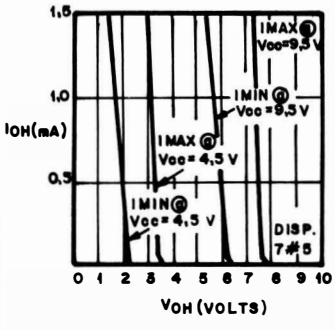
CORRENTE NAS SAÍDAS COM CONFIGURAÇÃO PADRÃO (FORNECIDA)



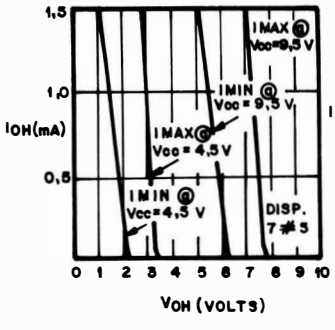
CORRENTE NAS SAÍDAS SO E SK CONFIGURADAS EM PUSH-PULL (FORNECIDA)



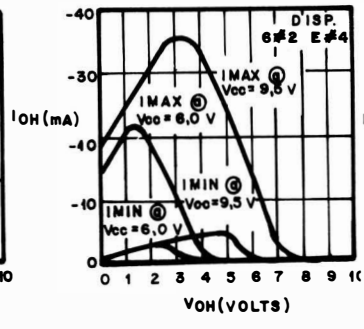
CORRENTE NAS SAÍDAS L7:L0 CONFIGURADAS EM TRI-STATE (FORNECIDA; OPÇÃO ALTA CORRENTE)



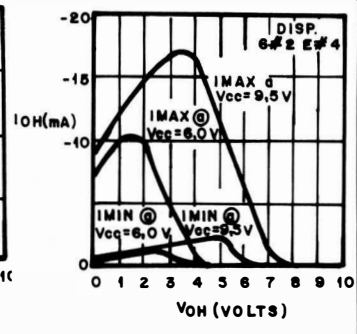
CORRENTE NAS SAÍDAS L7:L0 CONFIGURADAS EM TRI-STATE (FORNECIDA; OPÇÃO BAIXA CORRENTE)



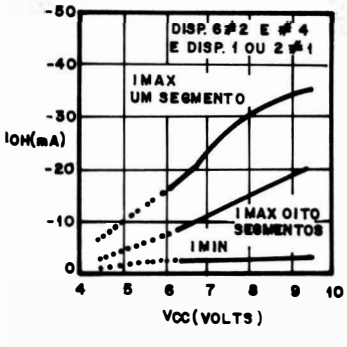
CORRENTE DA SAÍDA LED (FORNECIDA; OPÇÃO ALTA CORRENTE LED)



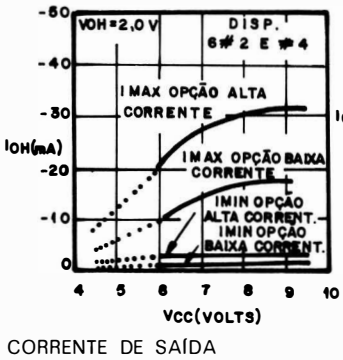
CORRENTE DA SAIDA LED (FORNECIDA; OPÇÃO BAIXA CORRENTE LED)



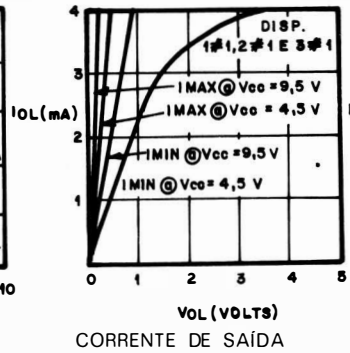
SAÍDA DE ACIONAMENTO DIRETO DE SEGMENTO LED (OPÇÃO ALTA CORRENTE PARA L7:L0; OPÇÃO MUITO ALTA CORRENTE PARA D3:D0 OU G3:G0)



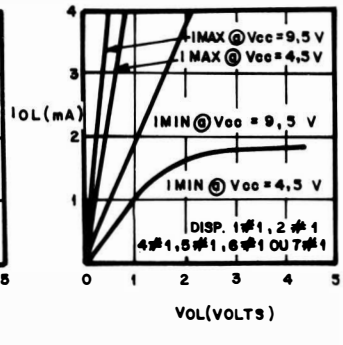
SAÍDA DE ACIONAMENTO DIRETO DE LED



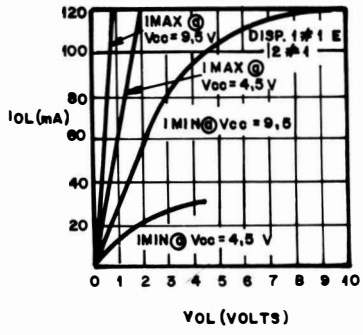
CORRENTE DE SAÍDA PARA SO E SK (DRENADA)



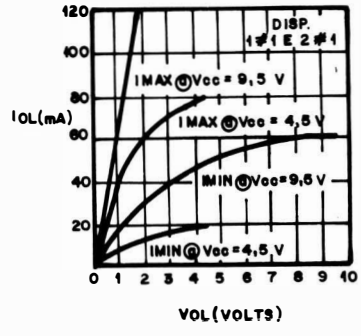
CORRENTE DE SAÍDA PARA L7:L0 E PADRÃO PARA D3:D0 E G3:G0 (DRENADA)



CORRENTE DE SAÍDA G3:G0 E D3:D0 (DRENADA; OPÇÃO MUITO ALTA CORRENTE)



CORRENTE DE SAÍDA G3:G0 E D3:D0 (DRENADA; OPÇÃO ALTA CORRENTE)



MPG 445L

Um MPG 444L encapsulado em 24 pinos, transforma-se em um MPG 445L. O MPG 445L não possui as quatro entradas de propósito geral IN (IN3-IN0). O uso desta opção impede, é claro, a utilização das opções IN, característica de interrupção a qual utiliza a entrada IN1. Todas as outras opções estão disponíveis para o MPG 445L.

Conjunto de Instruções

A tabela 3 a seguir apresenta os símbolos operacionais, de operando das instruções e da arquitetura interna. Estes símbolos são utilizados na tabela do conjunto de instruções.

TABELA 3

Símbolos Utilizados na Tabela 4

SÍMBOLO	DESCRIÇÃO	SÍMBOLO	DESCRIÇÃO
A	Acumulador (4 bits)	SIO	Registrador de deslocamento ou contador (4 bits)
B	Registrador de endereço da RAM (7 bits)	SK	Saída de clock logicamente controlado
Br	Os 3 bits mais significativos de B	d	Campo de operando de 4 bits, 0-15 binário (dígito da RAM selecionado)
Bd	Os 4 bits menos significativos de B	r	Campo de operando de 3 bits, 0-7 binário (registrador da RAM selecionado)
C	Registrador de Carry (1 bit)	a	Campo de operando de 11 bits, 0-2047 binário (endereço da ROM)
D	Port de saída de dados (4 bits)	y	Campo de operando de 4 bits, 0-15 binário (dado imediato)
EN	Registrador de habilitação (4 bits)	RAM(s)	Conteúdo da posição da RAM endereçada por s
G	Registrador Latch de dados para o port G de E/S (4 bits)	ROM(t)	Conteúdo da posição da ROM endereçada por t
IL	Dois Latches de 1 bit associado às entradas IN3 ou IN0	+	Mais
IN	Port de entrada 4 bits	-	Menos
L	Port de E/S tri-state (8 bits)	←	Substituído por
M	Conteúdo da RAM apontado pelo registrador B (4 bits)	←→	Trocado com
PC	Registrador de endereço da ROM (Contador de Programa de 11 bits)	=	É igual a
Q	Registrador Latch de dados para o port L de E/S (8 bits)	$\overline{A}$	Complemento de A
SA	Registrador de salvamento de subrotina A (11 bits)	⊕	Ou exclusivo
SB	Registrador de salvamento de subrotina B (11 bits)		Faixa de valores
SC	Registrador de salvamento de subrotina C (11 bits)		

O conjunto de instruções do MPG 444L/MPG 445L é apresentado na tabela 4, a qual fornece informações tais como: o mnemônico, opcode, fluxo de dados e descrição de cada instrução do MPG 444L/MPG 445L.

TABELA 4

Conjunto de Instruções

	MNEMÔNICO	OPERANDO	OPCODE (HEX.)	CÓDIGO EM LINGUAGEM DE MÁQUINA (BINÁRIO)	FUNÇÃO	DESCRIÇÃO	NOTAS
ARITMÉTICAS	ASC		30	0 0 1 1 | 0 0 0 0	A ← A + C + RAM(B) C ← carry	Soma, com vai um, o conteúdo da RAM com A, salta se C = 1	
	ADD		31	0 0 1 1 | 0 0 0 1	A ← A + RAM(B)	Soma o conteúdo da RAM com A	
	ADT		4A	0 1 0 0 | 1 0 1 0	A ← A + $10_{(10)}$	Soma A com Dez	
	AISC	y	5 —	0 1 0 1 | y	A ← A + y	Soma imediata com A salta se C = 1 (y ≠ 0)	
	CASC		10	0 0 0 1 | 0 0 0 0	A ← $\overline{A}$ + C + RAM(B) C ← carry	Soma, com vai um, o conteúdo da RAM com $\overline{A}$, salta se C = 1	
	CLRA		00	0 0 0 0 | 0 0 0 0	A ← 0	Limpa A	
	COMP		40	0 1 0 0 | 0 0 0 0	A ← $\overline{A}$	Complementa o conteúdo de A	
	NOP		44	0 1 0 0 | 0 1 0 0		Não opera	
	RC		32	0 0 1 1 | 0 0 1 0	C ← 0	Limpa o conteúdo de C	
	SC		22	0 0 1 0 | 0 0 1 0	C ← 1	Carrega C com 1	
	XOR		02	0 0 0 0 | 0 0 1 0	A ← A ⊕ RAM(B)	XOR Lógico de A com conteúdo da RAM	
TRANSFERÊNCIA DE CONTROLE	JID		FF	1 1 1 1 | 1 1 1 1	PC7:0 ← ROM (PC10:8,A,M)	Desvia indireto	3
	JMP	a	6 — — —	0 1 1 0 | 0 a10:8 a7:0	PC ← a	Desvia	
	JP	a	— — — —	1 | a6:0 (só págs. 2,3) ou 1 1 | a5:0 (todas as outras págs.)	PC6:0 ← a PC5:0 ← a	Desvia dentro da página	4
	JSRP	a	— —	1 0 | a5:0	SC ← SB ← SA ← PC + 1 PC10:6 ← 00010 PC5:0 ← a	Salta para a página de subrotina	5
	JSR	a	6 — — —	0 1 1 0 | 1 a10:8 a7:0	SC ← SB ← SA ← PC + 1 PC ← a	Desvia para subrotina	
	RET		48	0 1 0 0 | 1 0 0 0	PC ← SA ← SB ← SC	Retorna da subrotina	
	RETSK		49	0 1 0 0 | 1 0 0 1	PC ← SA ← SB ← SC	Retorna da subrotina e salta	
MEMÓRIA	CAMQ		33 3C	0 0 1 1 | 0 0 1 1 0 0 1 1 | 1 1 0 0	Q7:4 ← A Q3:0 ← RAM(B)	Carrega Q com o conteúdo de A, RAM	
	COMA		33 2C	0 0 1 1 | 0 0 1 1 0 0 1 0 | 1 1 0 0	RAM(B) ← Q7:4 A ← Q3:0	Carrega RAM, A com o conteúdo de Q	
	LD	r	— 5	0 0 r | 0 1 0 1 (r = 0:3)	A ← RAM(B) Br ← Br ⊕ r	Carrega A com o conteúdo da RAM; Br XOR r	
	LDD	r, d	23 — —	0 0 1 0 | 0 0 1 1 0 r | d	A ← RAM (r, d)	Carrega A com o conteúdo da RAM apontado diretamente por r e d	
	LQID		BF	1 0 1 1 | 1 1 1 1	Q ← ROM (PC10:8,A,M) SC ← SB	Carrega Q indiretamente	3

	MNEMÔNICO	OPERANDO	OPCODE (HEX.)	CÓDIGO EM LINGUAGEM DE MÁQUINA (BINÁRIO)	FUNÇÃO	DESCRIÇÃO	NOTAS
MEMÓRIA	RMB	0 1 2 3	4C 45 42 43	0,1,0,0,1,1,0,0 0,1,0,0,0,1,0,1 0,1,0,0,0,0,1,0 0,1,0,0,0,0,1,1	RAM(B) 0 ← 0 RAM(B) 1 ← 0 RAM(B) 2 ← 0 RAM(B) 3 ← 0	Limpa o bit da RAM	
	SMB	0 1 2 3	4D 47 46 4B	0,1,0,0,1,1,0,1 0,1,0,0,0,1,1,1 0,1,0,0,0,1,1,0 0,1,0,0,1,0,1,1	RAM(B) 0 ← 1 RAM(B) 1 ← 1 RAM(B) 2 ← 1 RAM(B) 3 ← 1	Ativa o bit da RAM	
	STII	y	7 —	0,1,1,1, y	RAM(B) ← y Bd ← Bd + 1	Armazena imediato dado na memória e incrementa Bd	
	X	r	— 6	0,0, r, 0,1,1,0 (r = 0:3)	A ⟷ RAM(B) Br ← Br ⊕ r	Troca conteúdos de A com RAM XOR Lógico de Br com r	
	XAD	r, d	23 — —	0,0,1,0,0,0,1,1 1, r, d	A ⟷ RAM (r, d)	Troca A com o conteúdo da RAM apontado por r, d	
	XDS	r	— 7	0,0, r, 0,1,1,1 (r = 0:3)	A ⟷ RAM(B) Bd ← Bd − 1 Br ← Br ⊕ r	Troca conteúdo da RAM com A, decrementa Bd, Salta se Bd passa por 0 XOR Lógico de Br com r	
	XIS	r	— 4	0,0, r, 0,1,0,0 (r = 0:3)	A ⟷ RAM(B) Bd ← Bd + 1 Br ← Br ⊕ r	Troca conteúdo da RAM com A, incrementa Bd, Salta se Bd passa por 15 XOR Lógico de Br com r	
REGISTRADORES	CAB		50	0,1,0,1,0,0,0,0	Bd ← A	Copia A em Bd	
	CBA		4E	0,1,0,0,1,1,1,0	A ← Bd	Copia Bd em A	
	LBI	r, d	— — 33 — —	0,0, r, (d-1) (r = 0:3; d = 0,9:15) 0,0,1,1,0,0,1,1 1, r, d (quaisquer r, d)	B ← r, d	Carrega imediato B com r, d Salta se não LBI	6
	LEI	y	33 6 —	0,0,1,1,0,0,1,1 0,1,1,0, y	EN ← y	Carrega imediato EN	7
	XABR		12	0,0,0,1,0,0,1,0	A ⟷ Br (A$_{3}$ ← 0)	Troca A com Br	
TESTE	SKC		20	0,0,1,0,0,0,0,0		Salta se C = 1	
	SKE		21	0,0,1,0,0,0,0,1		Salta se A = Conteúdo da RAM (RAM(B))	
	SKGZ		33 21	0,0,1,1,0,0,1,1 0,0,1,0,0,0,0,1		Salta se G = 0 (os 4 bits G3:0 = 0)	
	SKGBZ	 0 1 2 3	33 01 11 03 13	0,0,1,1,0,0,1,1 0,0,0,0,0,0,0,1 0,0,0,1,0,0,0,1 0,0,0,0,0,0,1,1 0,0,0,1,0,0,1,1	1.º byte 2.º byte	Salta se o bit de G é zero Salta se G0 = 0 Salta se G1 = 0 Salta se G2 = 0 Salta se G3 = 0	
	SKMBZ	0 1 2 3	01 11 03 13	0,0,0,0,0,0,0,1 0,0,0,1,0,0,0,1 0,0,0,0,0,0,1,1 0,0,0,1,0,0,1,1		Salta se o bit 0 da RAM = 0 (RAM(B)0) Salta se o bit 1 da RAM = 0 (RAM(B)1) Salta se o bit 2 da RAM = 0 (RAM(B)2) Salta se o bit 3 da RAM = 0 (RAM(B)3)	
	SKT		41	0,1,0,0,0,0,0,1		Salta dependendo do temporizador	3

	MNEMÔNICO	OPERANDO	OPCODE (HEX.)	CÓDIGO EM LINGUAGEM DE MÁQUINA (BINÁRIO)	FUNÇÃO	DESCRIÇÃO	NOTAS
ENTRADA/SAÍDA	ING		33 2A	0,0,1,1|0,0,1,1 0,0,1,0|1,0,1,0	A ← G	Carrega A com o conteúdo dos ports G	
	ININ		33 28	0,0,1,1|0,0,1,1 0,0,1,0|1,0,0,0	A ← IN	Carrega A com o conteúdo das entradas IN	2
	INIL		33 29	0,0,1,1|0,0,1,1 0,0,1,0|1,0,0,1	A ← IL0, "0", CKO, IL3	Carrega A com o conteúdo dos latches IL	3
	INL		33 2E	0,0,1,1|0,0,1,1 0,0,1,0|1,1,1,0	RAM(B) ← L7:4 A ← L3:0	Carrega a RAM, A com o conteúdo dos ports L	
	OBD		33 3E	0,0,1,1|0,0,1,1 0,0,1,1|1,1,1,0	D ← Bd	Envia Bd para as saídas D	
	OGI	y	33 5 —	0,0,1,1|0,0,1,1 0,1,0,1| y	G ← y	Envia imediato dados para os ports G	
	OMG		33 3A	0,0,1,1|0,0,1,1 0,0,1,1|1,0,1,0	G ← RAM(B)	Envia dados da RAM para os ports G	
	XAS		4F	0,1,0,0|1,1,1,1	A ←→ SIO, SKL ← C	Troca os conteúdos de A e SIO	3

OBSERVAÇÕES:

1) Os bits são numerados de 0 a N onde 0 indica o bit menos significativo (de mais baixa ordem, o bit mais à direita). Por exemplo: A3 representa o bit mais significativo (o bit mais à esquerda) do registrador A de 4 bits.
2) A instrucão ININ não está disponível no MPG 445L já que este não possui as entradas IN.
3) Maiores informações sobre as instruções XAS, JID, LQID, INIL e SKT estão disponíveis adiante.
4) A instrução JP, enquanto dentro das páginas 2 ou 3 de subrotinas, permite um desvio para qualquer posição da ROM, dentro dos limites estabelecidos por estas 2 páginas. Caso contrário, a instrução JP permite um desvio para uma posição dentro da página corrente de 64 palavras. JP não pode desviar para a última palavra de uma página.
5) Uma instrução JSRP transfere o controle do programa para uma subrotina na página 2 (os 4 bits mais significativos de PC são carregados com 0010). A instrução JSRP não pode ser usada nas páginas 2 ou 3. JSRP não pode desviar para a última palavra na página 2.
6) LBI é uma instrução de um único byte se d = 0, 9, 10, 11, 12, 13, 14 ou 15. Os quatro bits menos significativos do código de máquina é igual ao valor do dado "d" menos 1. Ex.: para carregar os 4 bits menos significativos de B (Bd) com o valor 9 ($1001_{(2)}$), o valor dos 4 bits menos significativos da instrução LBI deve ser igual a 8 ($1000_{(2)}$). Para carregar 0, o valor dos 4 bits menos significativos da instrução LBI deve ser igual a 15 ($1111_{(2)}$).
7) O valor do campo de operandos y no código de máquina da instrução LEI deve ser igual ao valor a ser armazenado em EN, onde um "0" ou um "1" em cada bit de EN corresponde à seleção ou não de determinadas funções associadas a estes bits (vide Descrição Funcional, Registrador EN).

Descrição de Instruções Selecionadas

As informações a seguir ajudam o usuário no entendimento da operação de algumas instruções singulares e fornecem aos programadores notas úteis na elaboração de programas para o MPG 444L/MPG 445L.

Instrução XAS (Troca os conteúdos de A e SIO): Esta instrução troca o conteúdo de 4 bits do acumulador com o conteúdo de 4 bits do registrador SIO. O conteúdo do registrador SIO será: dados de contador binário ou de registrador de deslocamento entrada serial/saída serial, dependendo do conteúdo do registrador EN. Uma instrução XAS afetará também a saída SK. (Vide Descrição Funcional, Registrador EN). Se SIO for selecionado como registrador de deslocamento, uma instrução XAS deve ser executada a cada quatro ciclos de instrução, a fim de oferecer um fluxo contínuo de dados.

Instrução JID (Jump InDirect): A instrução JID (Desvio Indireto) é uma instrução de endereçamento indireto, transferindo o controle do programa para uma nova posição da ROM apontada indiretamente por A e M. Ela carrega os 8 bits de ordem mais baixa do registrador de endereços da ROM (PC) com o conteúdo da posição de ROM endereçada pela palavra de 11 bits PC10:8, A, M. PC10, PC9 e PC8 não são afetados por esta instrução.

Note que JID requer dois ciclos de instrução.

Instrução INIL (Input IL Latches to A): A instrução INIL (carrega A com o conteúdo dos latches IL) carrega os 2 latches (figura 4), IL3 e IL0, e CKO no acumulador (A). Os latches IL3 e IL0 vão para nível alto quando ocorrer a borda de descida de um pulso nas entradas IN3 e IN0, desde que a última instrução INIL tenha propiciado que o pulso de entrada permaneceu baixo por no mínimo 2 tempos de instrução.

A execução de uma instrução INIL transfere IL3 e IL0 para A3 e A0 respectivamente, e limpa estes latches para que possam responder a bordas de descida de pulsos subseqüentes nas linhas IN3 e IN0. Se CKO for programado por máscara como entrada de propósito geral, uma instrução INIL transferirá o estado de CKO para A2. Se CKO não for programado assim, A2 receberá "1". A1 recebe sempre um "0" na execução de uma instrução INIL. As entradas de propósito geral IN3-

IN0 são transferidas para A na execução de uma instrução ININ (vide tabela 4, instrução ININ). INIL é útil no reconhecimento de pulsos de curta duração ou pulsos que ocorrem com freqüência muito alta para serem lidos convenientemente por uma instrução ININ.

Os latches IL não são limpos na operação de reset. IL3 e IL0 não entram no MPG 445L, já que este não possui os latches IN3 e IN0.

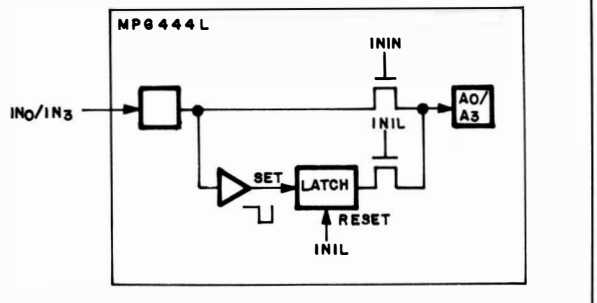


FIGURA 4

Instrução LQID (Load Q InDirect): A instrução LQID (carrega Q indiretamente) carrega o registrador Q de 8 bits com o conteúdo da ROM apontado pela palavra de 11 bits PC10, PC9, PC8, A, M. LQID pode ser usada em tabelas de consulta ou conversões de códigos tais como BCD para 7 segmentos. A instrução LQID salva PC na pilha (PC + 1 → SA → SB → SC) e troca os 8 bits menos significativos de PC como segue: A → PC7:4, RAM (B) → PC3:0, deixando PC10, PC9 e PC8 intactos.

O dado da ROM apontado pelo novo endereço é buscado e carregado nos latches Q. Em seguida os valores salvos do PC são retornados da pilha (SC → SB → SA → PC), restabelecendo o valor salvo de PC para dar continuidade à execução sequencial do programa. Como LQID empurra SB → SC, o conteúdo anterior de SC fica perdido. Do mesmo modo, quando LQID retira valores da pilha, o conteúdo anterior de SB é deixado em SC (SB → SC). Note que a execução de LQID toma dois ciclos de instrução.

Instrução SKT (SKip on Timer): A instrução SKT (salta dependendo do temporizador) testa o estado de um contador de base de tempo interno de 10 bits. Este contador divide a freqüência de clock do ciclo de instrução por 1.024 e fornece uma indicação, com latch, de estouro (overflow) do contador. A instrução SKT testa este latch, executando a próxima instrução do programa se o latch não estiver ativado. Se o latch estiver ativado desde o teste anterior, a próxima instrução é saltada e o latch vai para nível "0". Portanto as características associadas a esta instrução permitem ao MPG 444L/MPG 445L gerar sua própria base de tempo para processamento em tempo real, em vez de recorrer a um sinal externo.

Por exemplo, usando como base de tempo um cristal de 2,097 MHz para gerar o clock, a freqüência de clock do ciclo de instrução será de 65 KHz (freqüência do cristal ÷ 32) e a freqüência dos pulsos na saída do contador binário será 64 Hz. Para processamento em tempo real do tipo time-of-day ou semelhante, a instrução SKT pode chamar uma rotina que incrementa um contador de segundos a cada 64 pulsos.

Observações sobre o conjunto de instruções

1 — A primeira palavra de um programa do MPG 444L/MPG 445L (endereço 0 da ROM) deve ser um CLRA (limpa A).

2 — Devido à não execução das instruções saltadas, o salto de cada byte destas instruções consome o tempo de um ciclo de instrução. Portanto todos os caminhos do programa tomam o mesmo número de ciclos quer a instrução seja saltada ou não, exceto no caso das instruções JID e LQID. As instruções JID e LQID tomam dois ciclos se executadas e um se saltadas.

3 — A memória ROM está organizada em 32 páginas de 64 palavras cada. O Contador de Programa é um contador binário de 11 bits, e portanto contará além dos limites da página. Se a última palavra da página for uma instrução JP, JSRP, JID ou LQID, esta operará como se estivesse na página seguinte. Por exemplo: uma instrução JP ocupando a última palavra de uma página, desviará para uma posição na página seguinte. Do mesmo modo, uma instrução LQID ou JID ocupando a última palavra da página 3, 7, 11, 15, 19, 23 ou 27 acessará dados no próximo grupo de quatro páginas.

Lista de Opções

As opções, programáveis por máscara, do MPG 444L/MPG 445L estão assinaladas por números correspondentes à pinagem do MPG 444L.

A tabela 5 a seguir relaciona as opções do MPG 444L. Com referência ao MPG 445L as opções 9, 10, 19 e 20 devem ser consideradas como zero.

A programação das opções se dá juntamente com a do padrão da ROM de modo a oferecer ao usuário uma flexibilidade de hardware que permita a interface a vários componentes de E/S usando um mínimo ou nenhum circuito externo.

TABELA 5

Opções Programáveis por Máscara

N.º DA OPÇÃO	FUNÇÃO	VALOR	DESCRIÇÃO
1	TERRA	0	Não há opções disponíveis
2	CKO	0	Saída do Gerador de clock para cristal/filtro (não disponível se a opção 3 = 3
		1	Entrada de alimentação para a RAM (V_R)
		2	Entrada de propósito geral com dispositivo de carga para V_{CC}
		3	Entrada de propósito geral de alta impedância
3	CKI	0	Entrada do oscilador ÷ 32 (2 MHz máx.)
		1	Entrada do oscilador ÷ 16 (1 MHz máx.)
		2	Entrada do oscilador ÷ 8 (500 KHz máx.)
		3	Oscilador RC de pino único ÷ 4
		4	Entrada do oscilador Schimitt Trigger ÷ 4
4	RESET	0	Dispositivo de carga para V_{CC}
		1	Entrada de alta impedância
5	L7	0	Saída padrão
		1	Saída com dreno aberto
		2	Saída excitadora direta de LED de alta corrente
		3	Saída push-pull tristate de alta corrente
		4	Saída excitadora direta de LED de baixa corrente
		5	Saída push-pull tristate de baixa corrente
6	L6		Opções idênticas às do pino 5
7	L5		Opções idênticas às do pino 5
8	L4		Opções idênticas às do pino 5
9	IN1	0	Dispositivo de carga para V_{CC}
		1	Entrada de alta impedância
10	IN2		Opções idênticas às do pino 9
11	V_{CC}	0	Tensão de operação de 4,5 V a 6,3 V
		1	Tensão de operação de 4,5 V a 9,5 V
12	L3		Opções idênticas às do pino 5
13	L2		Opções idênticas às do pino 5
14	L1		Opções idênticas às do pino 5
15	L0		Opções idênticas às do pino 5
16	SI		Opções idênticas às do pino 9
17	SO	0	Saída padrão
		1	Saída em dreno aberto
		2	Saída em push-pull
18	SK		Opções idênticas às do pino 17
19	IN0		Opções idênticas às do pino 9
20	IN3		Opções idênticas às do pino 9
21	G0	0	Saída padrão de muito alta corrente
		1	Saída em dreno aberto de muito alta corrente

N.º DA OPÇÃO	FUNÇÃO	VALOR	DESCRIÇÃO
		2	Saída padrão de alta corrente
		3	Saída em dreno aberto de alta corrente
		4	Saída padrão TTL LS (Fanout = 1)
		5	Saída em dreno aberto TTL LS (Fanout = 1)
22	G1		Opções idênticas às do pino 21
23	G2		Opções idênticas às do pino 21
24	G3		Opções idênticas às do pino 21
25	D3		Opções idênticas às do pino 21
26	D2		Opções idênticas às do pino 21
27	D1		Opções idênticas às do pino 21
28	D0		Opções idênticas às do pino 21
29	Níveis das entradas L	0	Níveis de entrada padrão TTL (0 = 0,8 V; 1 = 2,0 V)
		1	Níveis de entrada maiores (0 = 1,2 V; 1 = 3,6 V)
30	Níveis das entradas IN		Idênticos a 29
31	Níveis das entradas G		Idênticos a 29
32	Níveis das entradas SI		Idênticos a 29
33	Entrada RESET	0	Níveis de entrada Schimitt Trigger
		1	Níveis de entrada padrão TTL
		2	Níveis de entrada maiores
34	Níveis da entrada CKO		Idênticos a 29 (CKO = entrada; opção 2 = 2,3)
35	Encapsulamento	0	MPG 444L (28 pinos)
		1	MPG 445L (24 pinos)
36	Lógica de inicialização interna	0	Operação Normal
		1	Sem Lógica de inicialização interna

Modo de Teste (Operação não normal):

A saída SO está configurada para oferecer procedimentos padrão de testes para o MPG 444L com o programa dedicado. Impondo nível lógico 1 em SO, dispõe-se de dois modos de teste, dependendo do valor de SI:

SI = 1 — Modo de Teste da RAM e Lógica Interna.
SI = 0 — Modo de Teste da ROM.

Estes modos de teste não devem ser empregados pelo usuário, pois eles se destinam apenas a testes de fabricação.

VALORES MÁXIMOS ABSOLUTOS

Tensão em qualquer pino	−0,5 V a 10 V
Corrente total (drenada ou fornecida)	120 mA
Potência dissipada (25 °C)	750 mW
(70 °C)	400 mW
Temperatura de soldagem (por 10s)	300 °C
Temperatura de armazenamento	−65 °C a 150 °C
Temperatura de operação	0 °C a 70 °C

OBSERVAÇÃO:

Os Valores Máximos Absolutos representam valores acima dos quais o funcionamento do componente fica comprometido. As características AC e DC não ficam garantidas quando o componente opera nestas condições.

CARACTERÍSTICAS DC (1)

SÍMBOLO	PARÂMETRO			LIMITES MÍN	LIMITES MÁX	UNIDADE	CONDIÇÕES DE TESTE
V_{CC}	Tensão de operação (1)			4,5	6,3	V	
	Tensão de operação opcional			4,5	9,5	V	
	Ripple da fonte de alimentação				0,5	V	Pico a pico
I_{CC}	Corrente de alimentação				13	mA	Todas as entradas e saídas em aberto
V_{IH}	Tensão de entrada nível alto	CKI	Cristal	3,0		V	V_{CC} = MÁX
			÷32; ÷16; ÷8	2,0	0,4	V	V_{CC} = 5 V ± 5%
			Schimitt Trigger	0,7 V_{CC}		V	(÷ 4)
		$\overline{\text{RESET}}$		0,7 V_{CC}		V	entrada Schimitt Trigger
		Demais entradas		3,0		V	V_{CC} = MÁX
				2,0		V	Opção níveis TTL; V_{CC} = 5 V ± 10%
				3,6		V	Opção níveis de entrada maiores
V_{IL}	Tensão de entrada nível baixo	CKI	Cristal ÷32; ÷16; ÷8	− 0,3		V	
			Schimitt Trigger	− 0,3	0,6	V	(÷ 4)
		$\overline{\text{RESET}}$		− 0,3	0,6	V	entrada Schimitt Trigger
		Demais entradas		− 0,3	0,8	V	Opção níveis TTL; V_{CC} = 5 V ± 10%
				− 0,3	1,2	V	Opção níveis de entrada maiores
V_{OH}	Tensão de saída nível alto	Operação TTL		2,7		V	V_{CC} = 5 V ± 5%; I_{OH} = −25 µA
		Operação CMOS (2)		V_{CC} − 1		V	I_{OH} = −10 µA
V_{OL}	Tensão de saída nível baixo	Operação TTL			0,4	V	V_{CC} = 5 V ± 5%; I_{OL} = 0,36 mA
		Operação CMOS (2)			0,2	V	I_{OL} = 10 µA
	Nível da entrada SO	(Modo Teste)		2,0	2,5	V	(3)
	Corrente de saída em nível baixo	Saídas SO e SK		1,8		mA	V_{CC} = 9,5 V; V_{OL} = 0,4 V
				1,2		mA	V_{CC} = 6,3 V; V_{OL} = 0,4 V
				0,9		mA	V_{CC} = 4,5 V; V_{OL} = 0,4 V
		Saídas L0:L7 e saídas padrão G0:G3, D0:D3		0,4		mA	V_{CC} = 9,5 V; V_{OL} = 0,4 V
				0,4		mA	V_{CC} = 6,3 V; V_{OL} = 0,4 V
				0,4		mA	V_{CC} = 4,5 V; V_{OL} = 0,4 V
		Saídas G0:G3 e D0:D3 com opções de alta corrente		15		mA	V_{CC} = 9,5 V; V_{OL} = 1,0 V
				11		mA	V_{CC} = 6,3 V; V_{OL} = 1,0 V
				7,5		mA	V_{CC} = 4,5 V; V_{OL} = 1,0 V
		Saídas G0:G3 e D0:D3 com opções de muito alta corrente		30		mA	V_{CC} = 9,5 V; V_{OL} = 1,0 V
				22		mA	V_{CC} = 6,3 V; V_{OL} = 1,0 V
				15		mA	V_{CC} = 4,5 V; V_{OL} = 1,0 V
		CKI (oscilador RC pino único)		2		mA	V_{CC} = 4,5 V; V_{IH} = 3,5 V
		CKO		0,2		mA	V_{CC} = 4,5 V; V_{OL} = 0,4 V
	Corrente de saída em nível alto	Todas as saídas de configuração padrão		−140	−800	µA	V_{CC} = 9,5 V; V_{OH} = 2,0 V
				−75	−480	µA	V_{CC} = 6,3 V; V_{OH} = 2,0 V
				−30	−250	µA	V_{CC} = 4,5 V; V_{OH} = 2,0 V
		Saídas SO e SK configuração em Push-Pull		−1,4		mA	V_{CC} = 9,5 V; V_{OH} = 4,75 V
				−1,4		mA	V_{CC} = 6,3 V; V_{OH} = 2,4 V
				−1,2		mA	V_{CC} = 4,5 V; V_{OH} = 1,0 V
		Saídas L0:L7 com configuração LED, opção baixa corrente		−1,5	−18	mA	V_{CC} = 9,5 V; V_{OH} = 2,0 V
				−1,5	−13	mA	V_{CC} = 6,0 V; V_{OH} = 2,0 V
		Saídas L0:L7 com configuração LED, opção alta corrente		−3,0	−35	mA	V_{CC} = 9,5 V; V_{OH} = 2,0 V
				−3,0	−25	mA	V_{CC} = 6,0 V; V_{OH} = 2,0 V

SÍMBOLO	PARÂMETRO		LIMITES MÍN	LIMITES MÁX	UNIDADE	CONDIÇÕES DE TESTE
	Corrente de saída em nível alto	Saídas L0:L7 tri-state opção baixa corrente	−0,75		mA	V_{CC} = 9,5 V; V_{OH} = 5,5 V
			−0,8		mA	V_{CC} = 6,3 V; V_{OH} = 3,2 V
			−0,9		mA	V_{CC} = 4,5 V; V_{OH} = 1,5 V
		Saídas L0:L7 tri-state opção alta corrente	−1,5		mA	V_{CC} = 9,5 V; V_{OH} = 5,5 V
			−1,6		mA	V_{CC} = 6,3 V; V_{OH} = 3,2 V
			−1,8		mA	V_{CC} = 4,5 V; V_{OH} = 1,5 V
	Corrente de carga na entrada		−10	−140	µA	V_{CC} = 5,0 V; V_{IL} = 0 V
	Corrente de alimentação para a RAM (CKO)			3,0	mA	V_R = 3.3 V
	Corrente de fuga na saída tri-state		−2,5	2,5	µA	
	Corrente total drenada permitida	Todas as saídas combinadas		120	mA	
		Ports D e G		120	mA	
		L7:L4		4	mA	
		L3:L0		4	mA	
		Todos os demais pinos		1,5	mA	
	Corrente total fornecida permitida	Todas as E/S combinadas		120	mA	
		L7:L4		60	mA	
		L3:L0		60	mA	
		Cada pino L		30	mA	
		Todos os demais pinos		1,5	mA	

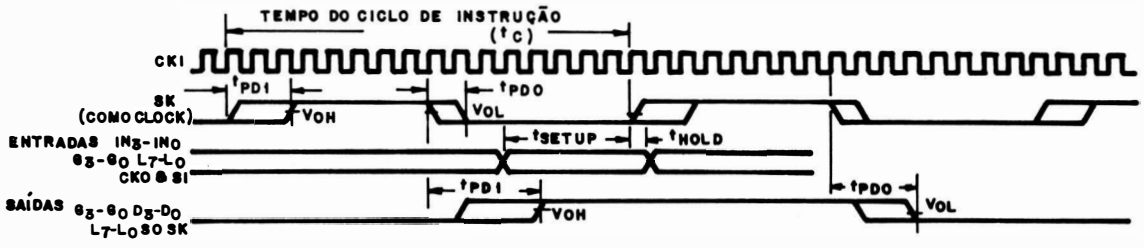
OBSERVAÇÕES:
1) 0 °C ≤ T_A ≤ 70 °C; 4,5 V ≤ V_{CC} ≤ 9,5 V a menos que especificado o contrário.
2) Estão excluídas as configurações LED e tri-state.
3) Na saída SO o nível deve ser menor que 0,8 V para operação normal.
4) As mudanças de tensão devem ser menores que 0,5 V dentro de um período de 1 ms.

CARACTERÍSTICAS AC (1)

SÍMBOLO	PARÂMETRO		LIMITES MÁX	LIMITES MÍN	UNIDADE	CONDIÇÕES DE TESTE
t_C	Tempo do ciclo		16	40	µs	
	Tempo do ciclo CKI usando RC (÷4) (2)		16	28	µs	R = 56 KΩ ± 5%; C = 100 pF ± 10%
f_i	Frequência de entrada (CKI)		0,8	2,0	MHz	Modo ÷ 32
			0,4	1,0	MHz	Modo ÷ 16
			0,2	0,5	MHz	Modo ÷ 8
			0,1	0,25	MHz	Modo ÷ 4
	Ciclo Duty CKI		30	60	%	f_i = 2 MHz
		Tempo de subida		120	ns	
		Tempo de descida		80	ns	
t_{SYNC}	Tempo de sincronismo CKO como entrada de sincronismo		400		ns	
t_{SU}	Tempo de set up	IN3:IN0; G3:G0; L7:L0	8,0		µs	
		SI	2,0		µs	
t_H	Tempo de hold	IN3:IN0; G3:G0; L7:L0	1,3		µs	
		SI	1,0		µs	
t_{PD1}	Tempo de atraso de propagação	SO e SK		4,0	µs	V_C = 1,5 V
		As demais		5,6	µs	
t_{PD0}		SO e SK		4,0	µs	
		As demais		5,6	µs	C_L = 50 pF; R_L = 20 KΩ

OBSERVAÇÕES:
1) 0 °C ≤ T_A ≤ 70 °C; 4,5 V ≤ V_{CC} ≤ 9,5 V a menos que especificado o contrário.
2) Variações devido ao dispositivo incluído.

TEMPOS: ENTRADA/SAÍDA (MODO CRISTAL ÷ 16)



TEMPOS: SINCRONISMO

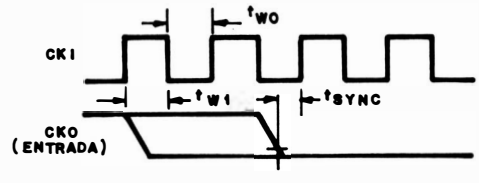


Tabela de Opções do MPG

As seguintes informações sobre as opções devem ser enviadas à ITAUCOM juntamente com a EPROM.

	OPÇÃO	VALOR		OPÇÃO	VALOR
1	Pino TERRA		19	Entrada IN0	
2	Pino CKO		20	Entrada IN3	
3	Pino CKI		21	Port G0 de E/S	
4	Entrada $\overline{\text{RESET}}$		22	Port G1 de E/S	
5	Driver L7		23	Port G2 de E/S	
6	Driver L6		24	Port G3 de E/S	
7	Driver L5		25	Saída D3	
8	Driver L4		26	Saída D2	
9	Entrada IN1		27	Saída D1	
10	Entrada IN2		28	Saída D0	
11	Pino V_{CC}		29	Níveis das entradas L	
12	Driver L3		30	Níveis das entradas IN	
13	Driver L2		31	Níveis das entradas G	
14	Driver L1		32	Níveis da entrada SI	
15	Driver L0		33	Níveis da Entrada $\overline{\text{RESET}}$	
16	Entrada SI		34	Níveis da entrada CKO	
17	Driver SO		35	Encapsulamento	
18	Driver SK		36	Lógica de inicialização interna	

MPG 6805

MICROCONTROLADOR DE 8 BITS

PRELIMINAR

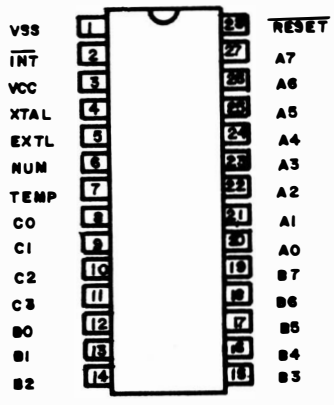
Características de Software

- ☐ Similar à família 6800;
- ☐ Fácil programação;
- ☐ Manipulação real de bits;
- ☐ Instruções de desvio e teste de bits;
- ☐ Versátil manipulação de interrupções;
- ☐ Endereçamento indexado para tabelas;
- ☐ Memória utilizável como registradores/flags;
- ☐ 10 modalidades de endereçamento;
- ☐ Poderoso conjunto de instruções.

Características de Hardware

- ☐ Arquitetura de 8 bits;
- ☐ 64 bytes de RAM;
- ☐ 1100 bytes de ROM;
- ☐ 116 bytes de ROM para auto-verificação;
- ☐ I/O mapeado em memória;
- ☐ Temporizador interno de 8 bits com prescaler de 7 bits;
- ☐ Interrupções vetoradas — externas, temporizador, software, reset;
- ☐ 20 linhas I/O bidirecionais, compatíveis com TTL/CMOS;
- ☐ Gerador de clock no próprio chip;
- ☐ Possibilidade de auto-verificação;
- ☐ Sistema de inibição em baixas tensões.

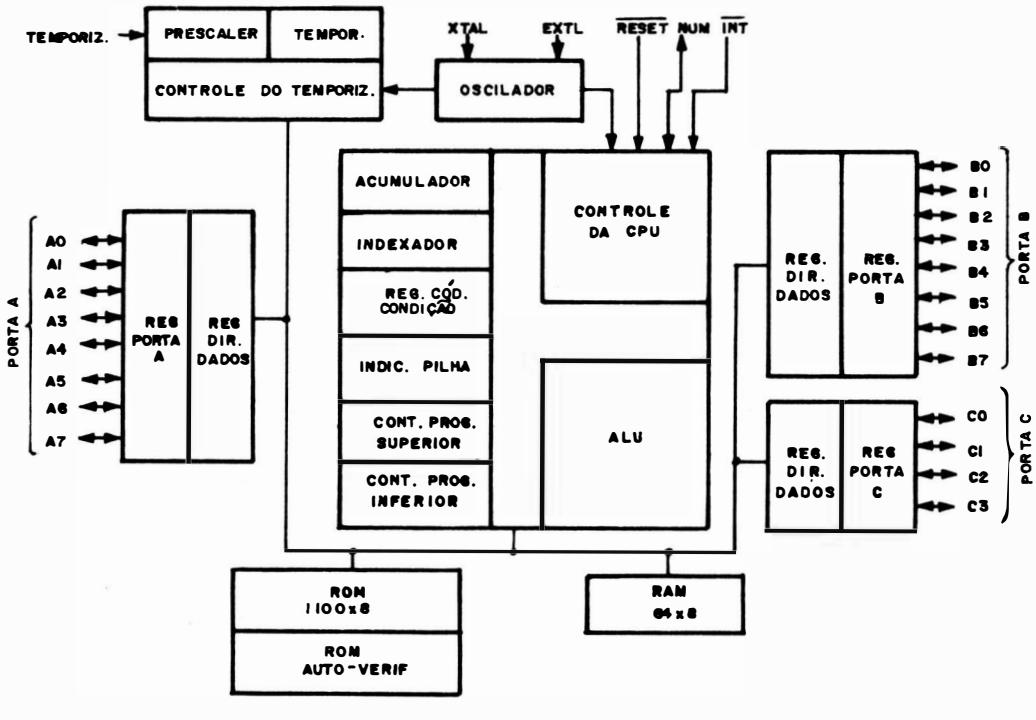
PINAGEM



Descrição geral

O MPG 6805 é um microcontrolador de 8 bits que dispõe de um conjunto de instruções bastante semelhante ao da família de microprocessadores 6800. De fato, ele trabalha com todas as instruções aritméticas, lógicas e de deslocamento dessa família, além de contar com uma série completa de desvios condicionais. Além da CPU propriamente dita, o MPG 6805 contém ainda memórias RAM e ROM, um circuito interno de clock, circuitos de I/O e um temporizador.

DIAGRAMA DE BLOCOS



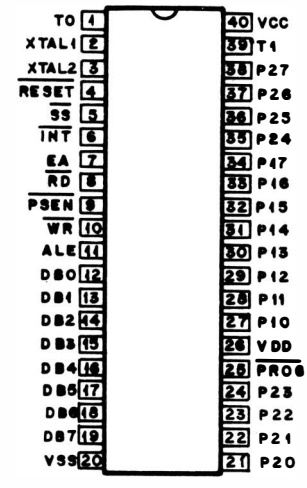
MPG 8048

PRELIMINAR

Características:

- ☐ CPU de 8 bits, RAM, ROM e E/S num único circuito integrado de 40 pinos;
- ☐ Contador/Temporizador interno;
- ☐ Oscilador interno, saída de clock;
- ☐ Interrupções de nível único: externas e por contador/temporizador
- ☐ 17 registradores internos: acumulador e 16 registradores endereçáveis;
- ☐ Mais de 90 instruções, sendo 70% de 1 byte;
- ☐ Todas as instruções de 1 ou 2 ciclos;
- ☐ Entradas e saídas compatíveis com as dos dispositivos TTL;
- ☐ Alimentação única de 5V.

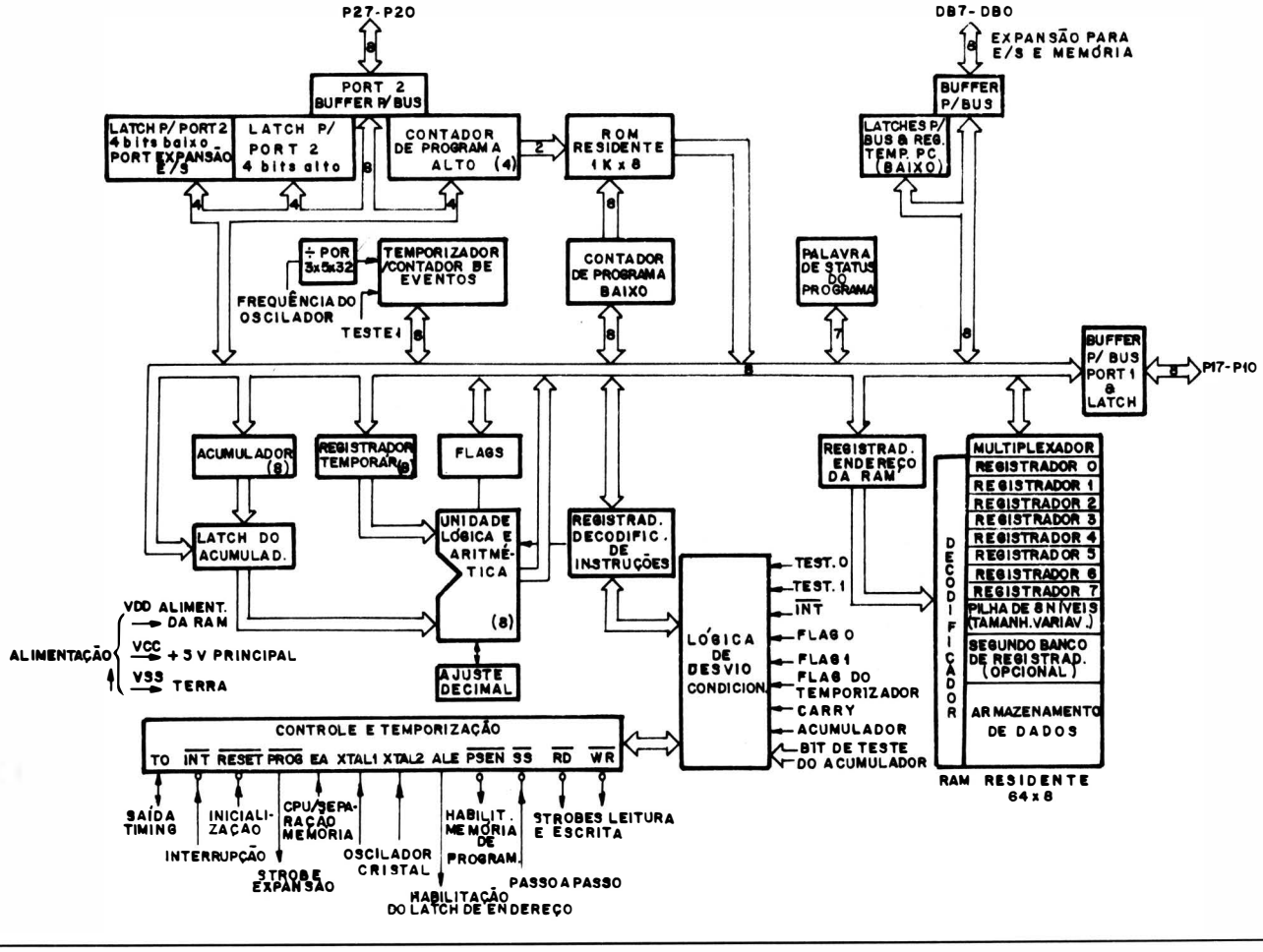
PINAGEM



Descrição Geral:

O MPG 8048 é um microcontrolador de 8 bits em uma única pastilha, projetado para ser usado como processador de controle ou processador aritmético.
O conjunto de instruções permite ativar ou desativar diretamente as linhas de E/S e testar os bits do acumulador individualmente. A grande variedade de instruções de desvio e de consulta a tabelas possibilitam a fácil e eficiente implementação de funções lógicas padrão. A eficiência na codificação é alta, pois mais de 70% das instruções são de apenas um byte, e as demais de dois bytes.

DIAGRAMA DE BLOCOS



TELECOMUNICAÇÕES 7

TELECOMUNICAÇÕES

A eletrônica digital já é uma presença marcante nas telecomunicações, tornando realidade técnicas e serviços inimagináveis há alguns anos. A ITAUCOM está representada neste segmento por uma série de CIs especiais para telefonia.

IC 2559E ____ 490

IC 2560G1 ____ 494

IC 2560T ____ 501

IC 3726/6 ____ 509

ICL 124A ____ 513

ICL 3057 ____ 514

IC 2559E

Características

- ☐ Larga faixa de tensão de operação: 2,5V a 10V;
- ☐ Devido ao baixo consumo do IC 2559E, sua alimentação pode ser feita diretamente da linha telefônica ou através de pequenas baterias (por exemplo: 9V);
- ☐ Utiliza um único cristal, padrão para TV (3,58 MHz), de onde derivam todas as freqüências, propiciando assim alta confiabilidade e estabilidade para o sistema;
- ☐ Possui drivers para MUTE;
- ☐ Possibilidade de interface com teclado para telefone padrão ou teclado matricial tipo calculadora;
- ☐ A distorção harmônica total fica abaixo das especificações industriais;
- ☐ Resistor do oscilador interno ao chip;
- ☐ Geração de uma tensão de referência no próprio chip, assegurando estabilidade de amplitude dos dois tons, em toda a faixa de tensão de operação e temperatura;
- ☐ Capacidade para um ou dois tons.

PINAGEM

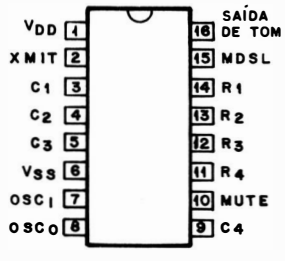
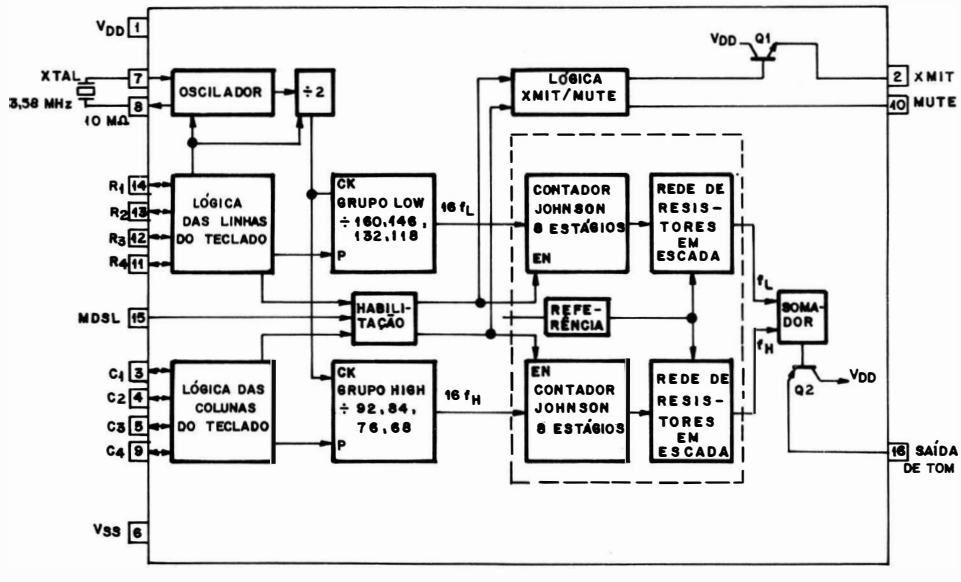


DIAGRAMA DE BLOCOS



Descrição Geral

O IC 2559E é designado especificamente para gerar dois tons de freqüência no sistema de discagem telefônica. O dispositivo apresenta ainda a facilidade de interfacear-se diretamente com teclados de telefones padrão ou matriciais de calculadoras, operando diretamente da linha telefônica. Todas as freqüências necessárias à geração dos tons derivam de um cristal padrão para TV nele acoplado, assegurando alta confiabilidade e estabilidade. A forma de onda senoidal da geração de um tom é digitalmente sintetizada no próprio chip. Essa forma de onda possui uma distorção harmônica muito baixa. Uma tensão de referência é gerada no chip, estabilizando sua operação na faixa de tensão e temperatura especificadas e, regula os níveis do sinal dos dois tons para seguir a especificação recomendada dos telefones comerciais. Essas características do IC 2559E permitem que através de pequenas modificações do circuito básico dos telefones padrão tipo 500 se tornem telefones DTMF. Outras aplicações desse dispositivo incluem: rádio, telefones móveis, controle remoto, ponto de venda, controle de processos, etc.

VALORES MÁXIMOS ABSOLUTOS

Tensão de alimentação DC (V_{DD}-V_{SS})	+ 10,5 V
Temperatura de operação	– 0°C a + 70°C
Temperatura de armazenamento	– 30°C a + 125°C
Dissipação de potência a 25°C	1000 mW
Entrada digital	$V_{SS} - 0,3 \leq V_{IN} \leq V_{DD} + 0,3$
Entrada analógica	$V_{SS} - 0,3 \leq V_{IN} \leq V_{DD} + 0,3$

CARACTERÍSTICAS ELÉTRICAS

As especificações a seguir foram obtidas sobre condições de temperatura de operação, de 0°C a 70°C, a menos que especificado em contrário.

SÍMBOLO	PARÂMETRO			V_{DD}-V_{SS} (VOLTS)	LIMITES			UNIDADE	CONDIÇÕES
					MÍN.	TÍP.	MÁX.		
V_{DD}	Tensão de Alimentação	Há tom de saída			2,5		10	V	Há tecla válida pressionada
		Não há tom de saída			1,6		10	V	Não há tecla pressionada
I_{DD}	Corrente de Alimentação	Em standby		3,0		0,3	30	µA	Não há tecla selecionada; Tom, XMIT e MUTE não carregados
				10		1,0	100	µA	
		Em operação		3,0		1,0	2,0	mA	Uma tecla selecionada; Tom, XMIT e MUTE não carregados
				10		8	16	mA	
V_{OR}	Saída de tom	Tensão de saída no modo de um tom	Tom de linha	3,5	335	465	565	mVrms	R_L = 390 Ω
				5,0	380	540	710	mVrms	
				10	380	550	735	mVrms	R_L = 240 Ω
dB_{CR}		Taxa do tom de coluna para linha		3,5-10	1,0	2,0	3,0	dB	Modo de dois tons
% DIS		Distorção[1]		3,5-10			7	%	
V_{OH}	Saídas XMIT e MUTE	XMIT; tensão de saída nível alto		3,0	1,5	1,8		V	Não há tecla pressionada I_{OH} = 15 mA
				10	8,5	8,8		V	Não há tecla pressionada I_{OH} = 50 mA
I_{OF}		XMIT; fuga da corrente de alimentação na saída (fornecida)		10			100	µA	V_{OF} = 0V
V_{OL}		MUTE; tensão de saída nível baixo		2,75		0	0,5	V	Não há tecla pressionada; sem carga
				10		0	0,5	V	
V_{OH}		MUTE; tensão de saída nível alto		2,75	2,5	2,75		V	Há uma tecla pressionada; sem carga
				10	9,5	10		V	
I_{OL}		MUTE; corrente de saída nível baixo (drenada)		3,0	0,53	1,3		mA	V_{OL} = 0,5 V
				10	2,0	5,3		mA	
I_{OH}		MUTE; corrente de saída nível alto (fornecida)		3,0	0,17	0,41		mA	V_{OH} = 2,5 V
				10	0,57	1,5		mA	V_{OH} = 9,5 V

OBSERVAÇÃO:

Distorção é definida como uma razão da potência total de todas as freqüências estranhas na banda de voz acima de 500 Mz acompanhando o sinal com a potência.

Características do Circuito

O IC 2559E tem por objetivo interfacear-se facilmente com sistemas que utilizam telefones com sinalização de dois tons e que são adequados às especificações industriais recomendadas.

Para o projeto do IC 2559E foram especificados alguns parâmetros, como descrito a seguir: os dois sinais de tom consistem numa soma linear de dois sinais de freqüência de voz. Um desses dois sinais é selecionado dentro do divisor programável do grupo low e o outro no divisor programável do grupo high. O grupo low consiste de quatro freqüências: 697, 770, 852 e 941 Hz. O grupo high consiste também de quatro freqüências: 1209, 1336, 1477 e 1633 Hz. O teclado é arranjado em linhas e colunas (4 linhas × 3 ou 4 colunas). Quando uma tecla pressionada corresponder a um dígito (de 0 a 9), uma linha apropriada (R1 a R4) e uma coluna (C1 a C4) são selecionadas. A entrada ativa da linha seleciona uma das freqüências do grupo low e a entrada ativa da coluna seleciona uma das freqüências do grupo high. Nos sistemas padrão de telefones de dois tons, a maior freqüência do grupo high (1633 Hz, coluna 4) não é usada. A tolerância da freqüência tem que ser de − 1,0%. Entretanto o IC 2559E possui uma precisão melhor que 0,75%. A distorção total das harmônicas e

da intermodulação do DTMF tem que ser menor que 10% como visto pelos terminais telefônicos. A proporção do sinal de amplitude do grupo high para o grupo low deve ser de 2,0 ± 2 dB e as amplitudes absolutas dos grupos high e low de tons tem que estar dentro da faixa permitida. Esses requisitos aplicam-se quando o telefone é usado num loop pequeno ou longo e dentro da faixa de temperatura de operação.

Descrição Funcional

Oscilador

O IC 2559E possui um circuito oscilador interno ao chip com capacitâncias parasitas necessárias e um resistor de realimentação, usado para a conexão do cristal padrão de TV (3,58 MHz) através dos pinos OSC_i e OSC_o. O oscilador é acionado sempre que a entrada de uma linha é ativada. A freqüência de referência é dividida por dois e daí enviada para os dois grupos de divisores programáveis (grupos low e high).

Interface para Teclado

O IC 2559E utiliza um circuito de varredura tipo calculadora (linha e coluna), para a identificação de teclas pressionadas. Quando nenhuma tecla é pressionada os resistores ativos de pull-down nas entradas das linhas estão ON e nas entradas das colunas os resistores ativos de pull-up estão ON. Quando uma tecla é pressionada aparece um nível lógico alto numa das entradas de linha, o oscilador é acionado e o circuito de varredura do teclado é ativado. Os resistores de pull-up ou pull-down serão seletivamente chaveados ON e OFF determinando desta forma, qual linha e coluna que foram selecionadas.

A vantagem do uso da técnica de varredura é que no arranjo do teclado SPST, como mostrado na figura 1, não é necessário o uso de uma linha comum.

O teclado de um telefone convencional ou um teclado matricial com linha comum também pode ser usado, como mostrado na figura 2.

A linha comum desses teclados pode ser deixada desconectada ou ligada a um nível lógico alto.

Teclado de matriz SPST montado em um formato de linhas e colunas

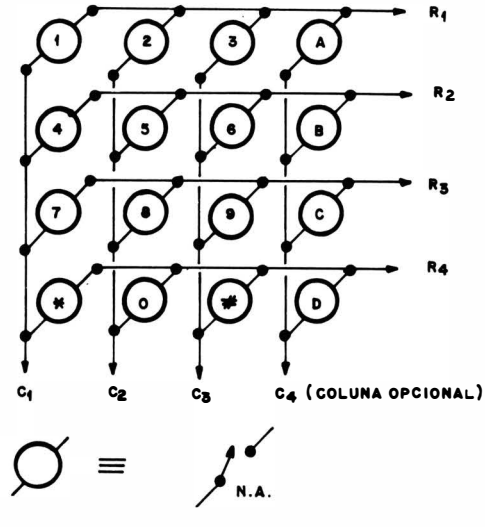


FIGURA 1

Teclado padrão de um telefone de teclas

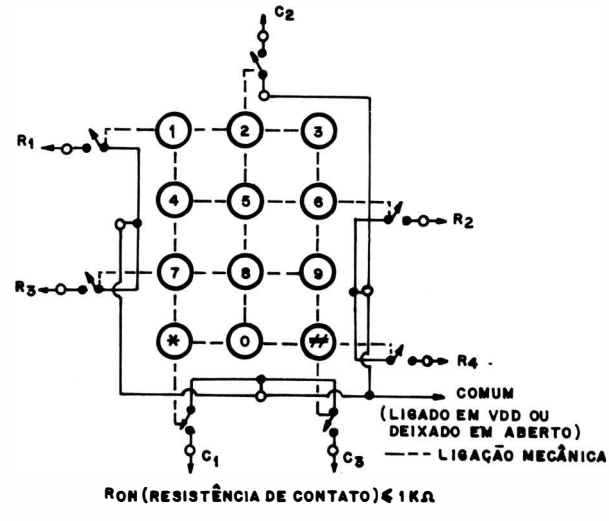


FIGURA 2

Interface Lógica

O IC 2559E pode também interfacear diretamente com saídas CMOS. O IC 2559E requer nível lógico ativo em alto sendo os resistores de pull-up ativos de valor de resistência bastante baixo (500 Ω típico); poderão ser utilizados diodos para diminuir a corrente de fuga excessiva nas saídas lógicas, quando estas estiverem com nível lógico baixo aplicado (figura 3).

Geração de Tom

Quando uma tecla válida for detectada, a lógica do teclado programa os grupos divisores de freqüência (high e low) com taxas de divisão apropriadas, colocando nas saídas desses grupos ciclos de freqüência da ordem de 16 vezes a freqüência pretendida. A saída desses divisores são ligadas a dois contadores Johnson de oito estágios. A entrada de clock é dividida por 16 nos dois contadores, permitindo assim, que sejam gerados em cada ciclo de saída 32 segmentos iguais de tempo (ver figura 4). Esses 32 segmentos são usados para sintetizar digitalmente uma função degrau aproximando-a de uma função senoidal, como mostrado na figura 4.

Interface Lógica para o IC 2559E

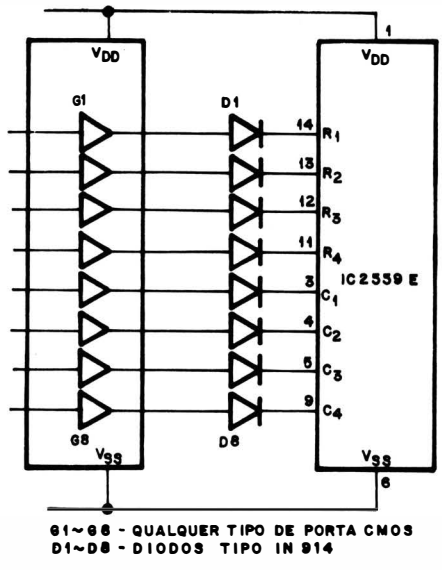


FIGURA 3

Função degrau sintetizada digitalmente

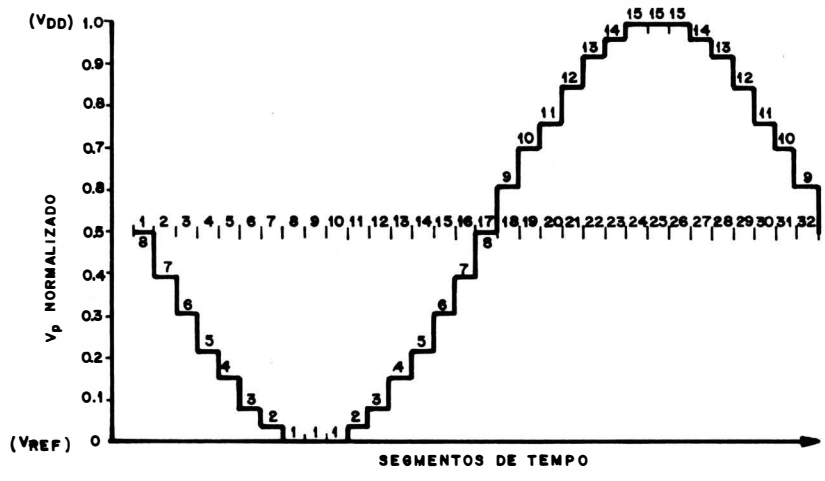


FIGURA 4

Isto é feito conectando-se uma rede ponderada de resistores em escada entre a saída dos contadores Johnson, V_{DD} e V_{REF}.

Estando V_{REF} seguindo de perto V_{DD} dentro das faixas de tensão de operação e temperatura, o valor de pico a pico da amplitude V_p (V_{DD}-V_{REF}), da função degrau, é quase constante. A tensão V_{REF} é selecionada de tal forma que V_p caia dentro da faixa permitida dos tons dos grupos divisores (high e low). Os tons, individualmente gerados pelo sintetizador senoidal, são linearmente somados e excitam um transistor bipolar NPN tipo seguidor de emissor para permitir uma transformação própria da impedância, ao mesmo tempo que mantém o nível do sinal.

Modo de Dois Tons

Quando uma linha e uma coluna são selecionadas, dois tons de saída são gerados pelos grupos high e low. Se duas teclas forem pressionadas, desde que não pertençam à mesma linha ou coluna, fará com que o modo de dois tons seja desabilitado e nenhum sinal é obtido na saída.

Modo de Um Tom

Um tom pode ser gerado tanto no grupo high quanto no grupo low, como descrito a seguir. O tom no grupo low pode ser gerado ativando-se uma entrada de linha apropriada ou pressionando duas teclas numéricas numa linha apropriada.

O tom no grupo high pode ser gerado pressionando-se duas teclas numa coluna apropriada, isto é, selecionando-se uma entrada de coluna apropriada e duas entradas de linhas nessa coluna.

Seleção de Modo

A seleção de modo do IC 2559E é feita através da entrada do pino 15 (MDSL). Quando MDSL é deixado desconectado ou ligado a V_{DD}, tanto o modo de dois tons quanto o modo de um tom estarão disponíveis. Se MDSL for conectado a V_{SS}, o modo de um tom é desabilitado e não haverá tom na saída se um pedido por tom único é solicitado.

Saídas MUTE e XMIT

O IC 2559E possui um buffer CMOS para a saída MUTE e um transistor bipolar NPN para a saída XMIT. Com as teclas não pressionadas, a saída MUTE estará com um nível lógico baixo e a saída XMIT no estado ativo, podendo fornecer corrente substancial para uma carga. Quando uma tecla estiver pressionada, a saída MUTE irá para nível lógico alto, enquanto que a saída XMIT irá para o estado de alta impedância.

Medidas de Amplitude e Distorção

Amplitude e distorção são dois parâmetros importantes em todas as aplicações do IC 2559E. A amplitude depende tanto da tensão de alimentação para operação quanto da resistência de carga conectada no pino de saída de tom. O circuito de referência do chip estará totalmente operante quando a tensão de alimentação for igual ou maior que 5 Volts e, em conseqüência disso, o tom da amplitude é regulado numa faixa de tensão de alimentação acima de 5 Volts. O valor do resistor de carga também influencia no controle da amplitude. Se R_L é baixa, a impedância refletida na base do transistor é baixa e o tom da amplitude de saída é mais baixo. Para um R_L maior que 5 KΩ, a impedância refletida é suficientemente grande e uma amplitude mais alta é produzida.

Distorção é definida como uma razão da potência total de todas as freqüências estranhas na banda de voz, acima de 500 Hz, que acompanham a potência do par de sinais. Esta taxa tem que ser menor do que 10% ou quando expressa em dB, menor do que − 20 dB.

IC 2560G1

Características

- ☐ Tecnologia CMOS baixa tensão para ligação diretamente à linha telefônica;
- ☐ Com o uso de um simples oscilador R-C, pode-se obter precisão de mais ou menos 5%, independentemente da temperatura e das variações de chip para chip;
- ☐ A taxa de discagem pode ser variada alterando-se a frequência deste oscilador;
- ☐ A entrada de seleção de frequência de discagem permite sua alteração por um fator de 2:1, sem alteração dos componentes do circuito oscilador;
- ☐ Seleção das taxas de marca/espaço (33 1/3, 66 2/3 ou 40/60);
- ☐ Memória de 22 dígitos para rediscagem. Pode discar mais que 22 dígitos, porém a rediscagem fica inibida;
- ☐ Driver para mute na discagem e para a saída dos pulsos de discagem;
- ☐ Aceita teclados DPCT com terminal comum, num arranjo de formato 2 em 7; também pode ser conectado a uma matriz de contatos SPST.

Descrição Geral

O discador de pulsos IC 2560G1 é um circuito integrado que converte as entradas de teclado em um trem de pulsos compatíveis com o padrão telefônico. Foi projetado para substituir o dial mecânico dos telefones e ser conectado à linha telefônica com o mínimo de interface. Pode armazenar até 22 dígitos, tornando o último número discado disponível para rediscagem, até que um novo número seja teclado. Pode discar mais que 22 dígitos, porém se passar de 22, a rediscagem fica inibida. A largura do pulso de discagem é minimizada para tornar o tempo de discagem o menor possível e pode ser reduzida à metade, pela entrada IDP.

PINAGEM

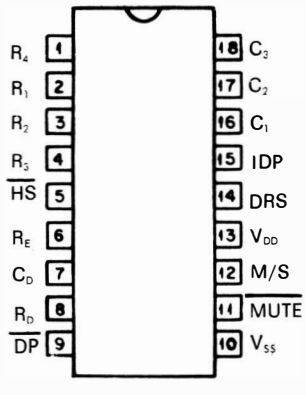
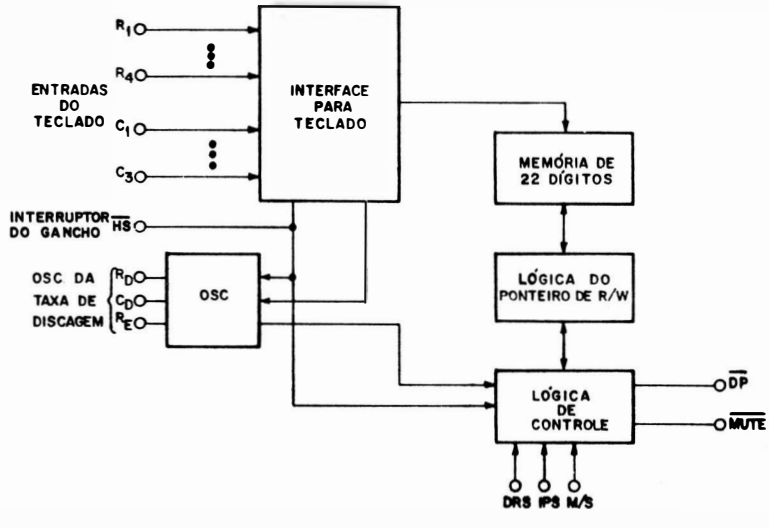


DIAGRAMA DE BLOCOS



VALORES MÁXIMOS ABSOLUTOS

Tensão de alimentação	+ 5,5 V
Temperatura de operação	0°C a + 70°C
Temperatura de armazenamento	− 65°C a + 150°C
Tensão em qualquer pino	V_{SS} − 0,3 V a V_{DD} + 0,3 V
Temperatura nos pinos (soldagem por 10 segundos)	300°C

CARACTERÍSTICAS ELÉTRICAS

As especificações a seguir são válidas para a faixa de temperatura especificada e com 1,5 V $\leqslant V_{DD}$-$V_{SS} \leqslant$ 3,5 V a menos que especificado

SÍMBOLO	PARÂMETRO	V_{DD}-V_{SS} (VOLTS)	MÍN.	MÁX.	UNID.	CONDIÇÕES
I_{OLDP}	Corrente da saída DP - nível baixo (drenada)	3,5	125		µA	V_{OUT} = 0,4 V
I_{OHDP}	Corrente da saída DP - nível alto (fornecida)	1,5 3,5	20 125		µA µA	V_{OUT} = 1 V V_{OUT} = 2,5 V
I_{OLM}	Corrente da saída MUTE - nível baixo (drenada)	3,5	125		µA	V_{OUT} = 0,4 V
I_{OHM}	Corrente da saída MUTE - nível alto (fornecida)	1,5 3,5	20 125		µA µA	V_{OUT} = 1 V V_{OUT} = 2,5 V
V_{DR}	Tensão de retenção de dados		1,0		V	No gancho, $\overline{HS}$ = V_{DD}. Teclado em aberto, todos os outros pinos de entrada em V_{DD} ou V_{SS}.
I_{DD}	Corrente quiescente	1,0		750	nA	
I_{DD}	Corrente de operação	1,5 3,5		100 500	µA µA	$\overline{DP}$ e $\overline{MUTE}$ em aberto, $\overline{HS}$ = V_{SS} (fora do gancho). Digitando-se no teclado e tendo-se 10 pulsos por segundo na saída e nas condições acima.
f_0	Frequência de oscilação	1,5		10	kHz	
$\triangle f_0/f_0$	Desvio de frequência	1,5 a 2,5 2,5 a 3,5	−3 −3	+3 +3	% %	Com os componentes R-C 50 KΩ$\leqslant R_D \leqslant$ 750 KΩ; 100 pF $\leqslant C_D$* $\leqslant$ 1000 pF; 750 KΩ $\leqslant R_E \leqslant$ 5 MΩ * C_D = 300 pF (valor ótimo)
V_{IH}	Tensão de entrada - nível alto		80% de (V_{DD}-V_{SS})	V_{DD}+0,3	V	
V_{IL}	Tensão de entrada - nível baixo		V_{SS}−0,3	20% de (V_{DD}-V_{SS})	V	
C_{IN}	Capacitância de entrada em qualquer pino			7,5	pF	

A alimentação deve ser ligada antes dos sinais de entrada e estes devem ser desligados antes de se desligar a alimentação ($V_{SS} \leqslant V_I \leqslant V_{DD}$, como limite máximo). Este procedimento evita a dissipação excessiva do dispositivo, bem como danos ao diodo de proteção da entrada. Quando a alimentação é ligada pela primeira vez, o telefone deve estar no gancho (condição de $\overline{HS}$ = 1). Isto é necessário, pois não há modo de se cortar a alimentação no chip e, para operação adequada, todos os latches internos devem ser inicializados num estado conhecido. Em aplicações onde o dispositivo já é projetado para funcionar na condição 'fora do gancho' ($\overline{HS}$ = 0), a condição 'no gancho' pode ser imposta ao dispositivo durante a ligação à rede através de um circuito RC, como mostrado na Figura 6.

Descrição Funcional

Circuito Oscilador

O IC 2560G1 contém um circuito oscilador, que requer três componentes externos: dois resistores (R_D e R_E) e um capacitor (C_D). Toda a geração de tempos interna é derivada desta base de tempos.

Para eliminar a interferência de clock no modo fala, o oscilador permanece habilitado apenas durante a digitação e no envio do trem de pulsos. É desabilitado em todas as outras circunstâncias, mesmo quando o telefone está no gancho. Para uma taxa de 10 pps, o oscilador deve ser ajustado em 2400 Hz.

Os valores típicos para os componentes externos nesta condição são R_D e R_E = 750 kΩ e C_D = 270 pF. É recomendado que os resistores tenham tolerância de 5% e o capacitor de 1%, para assegurar uma tolerância de 10% na taxa de discagem do sistema.

Interface para Teclado

O IC 2560G1 emprega a técnica de varredura para determinar o pressionamento de uma tecla. Isto permite interfaceá-lo com um teclado DPCT com o comum ligado a V_{DD} (Figura 1), interface lógica (Figura 2) e interface com uma matriz SPST (Figura 7).

Um nível alto na linha e coluna apropriadas implica a digitação de uma tecla para a interface lógica.

Operação com o Telefone Fora do Gancho

O dispositivo é continuamente energizado através de um resistor de 150 kΩ durante a operação com o telefone fora do gancho. A saída DP fica normalmente em nível alto e fornece a corrente de base ao transistor Q_1 para ativar o transistor Q_2.

O transistor Q_2 substitui o contato do dial mecânico usado nos telefones de disco.

O trem de pulsos se inicia quando o usuário tecla um número. A saída DP desce, interrompendo a corrente de base para cortar Q_1 e forçando Q_2 a ficar em aberto durante a parada dos pulsos. A saída MUTE também abaixa durante os pulsos do dial, permitindo o muting do receiver através dos transistores Q_3 e Q_4.

A relação entre os pulsos de dial e a saída MUTE é mostrada na Figura 3.

Operação com o Telefone no Gancho

O dispositivo é continuamente alimentado através de um resistor de 10 a 20 MΩ, durante a operação com o telefone no gancho. O resistor permite a passagem de corrente suficiente das linhas tip e ring para o dispositivo, permitindo assim, que a memória interna armazene o número.

O último número discado, portanto, está sempre na memória para rediscagem.

A taxa de discagem é obtida dividindo-se a frequência deste oscilador.

A Tabela 2 mostra a relação entre a frequência do oscilador e a entrada de seleção da taxa de discagem. Pode-se obter diferentes taxas de discagem simplesmente alterando-se o valor do resistor externo. A entrada de seleção da taxa de discagem permite sua alteração por um fator de 2, sem necessidade de alteração dos valores dos componentes externos. Assim, com o oscilador ajustado em 2400 Hz, a taxa de discagem pode assumir os valores de 10 ou 20 pps.

O tempo para a pausa entre dígitos (IDP) também é derivado da frequência do oscilador e pode ser mudado por um fator de 2 pela entrada de seleção de IDP. Com o pino de seleção de IDP ligado a V_{SS}, um IDP de 800 ms é obtido para taxas de discagem de 10 e 20 pps. O IDP pode ser reduzido a 400 ms, ligando-se o pino de seleção de IDP a V_{DD}. Para as taxas de discagem de 7 e 14 pps, IDP's de 1143 ms e 572 ms podem ser similarmente obtidos.

Se a seleção de IDP estiver conectada ao pino de seleção da taxa de discagem, o IDP é ajustado à taxa de discagem de modo que a 10 pps se tenha uma IDP de 800 ms é obtido para taxas de discagem de 10 e 20 pps. O usuário pode entrar com um número de 22 dígitos por um teclado de duplo contato (3 x 4) com fio comum (Figura 1).

Também é possível usar-se uma interface lógica, como mostrado na Figura 2, para a entrada de números.

O circuito também dispõe de proteção contra bouncing (típ. 10 ms) para se evitar a entrada errada de dados. Qualquer teclagem com o telefone no gancho é ignorada e o oscilador é inibido. Isto assegura que a corrente drenada na condição 'no gancho' seja muito pequena e portanto, seja apenas usada para manter os dados na memória.

Discagem Normal

O usuário entra com os números desejados através do teclado, após o telefone ter sido tirado do gancho. O pulsar do dial começa assim que o primeiro dígito é teclado. Os dígitos teclados são armazenados sequencialmente na memória interna.

Como o dispositivo é projetado num arranjo do tipo FIFO, os dígitos podem ser entrados numa taxa consideravelmente mais rápida que a taxa de saída. Os dígitos podem ser entrados aproximadamente uma vez a cada 50 ms, enquanto a taxa de discagem pode variar de 7 a 20 pps. O número entrado é retido na memória para futura rediscagem. As pausas podem ser entradas quando necessário, na sequência de dígitos, pressionando-se a tecla #, que oferece pausas de acesso para futura rediscagem. Qualquer número de pausas de acesso pode ser entrado, desde que não exceda o total de vinte e duas.

Discagem Automática

O último número discado é retido na memória, e portanto pode ser rediscado retirando-se o fone do gancho e digitando-se a tecla #. O pulsar do dial começa quando a tecla é solta e encerrado após o número todo ter sido discado, a menos que uma pausa de acesso seja detectada. Em tal situação, o pulsar do dial será encerrado e somente recomeçará após o usuário ter pressionado a tecla #.

TABELA 1

Descrição da Pinagem

PINO	NÚMERO	FUNÇÃO
TECLADO (R_1, R_2, R_3, R_4, C_1, C_2, C_3)	2, 3, 4 1, 16, 17, 18	São as entradas das 4 linhas (R) e 3 colunas (C) dos contatos do teclado. Estas entradas ficam em aberto quando o teclado não está sendo usado. Quando uma tecla é pressionada, uma determinada linha e coluna são ligadas a V_{CC} ou ligadas uma à outra. É possível o uso de uma interface lógica, como mostrado na Figura 2. As redes ativas de pull-up e pull-down estão presentes nestas entradas quando o dispositivo inicia a varredura do teclado. A varredura se inicia quando uma tecla é pressionada e inicia o oscilador. Há também um circuito de deboucing para evitar leituras erradas (valor típico: 10 ms).
SELEÇÃO DE PAUSA ENTRE DÍGITOS (IDP)	15	Esta entrada permite a seleção da duração da pausa entre os dígitos teclados. É programada de acordo com a tabela da verdade, mostrada na Tabela 3. Note que antes do primeiro pulso de discagem há um intervalo de tempo entre dígitos igual ao IDP selecionado. Pausas de 400 ms ou 800 ms são disponíveis para taxas de discagem de 10 e 20 pps. Outros valores de IDP, para taxas de discagem diferentes destas, podem ser determinados pelas Tabelas 2 e 3.
SELEÇÃO DA TAXA DE DISCAGEM (DRS)	14	Uma linha programável permite a seleção de duas taxas de saída diferentes, tais como 7 ou 14 pps, 10 ou 20 pps, etc. Veja as Tabelas 2 e 3.
MARCA/ESPAÇO (M/S)	12	Esta entrada permite a seleção da taxa de marca/espaço, como mostra a Tabela 3.
SAÍDA DE MUTE ($\overline{MUTE}$)	11	É disponível um pulso que pode controlar um transistor externo para desligar o fone receptor durante os pulsos de discagem.
SAÍDA DOS PULSOS DE DISCAGEM ($\overline{DP}$)	9	É disponível também uma saída para controlar um transistor externo na taxa de discagem especificada. A saída normal será baixa durante o espaço e alta caso contrário.
OSCILADOR DA TAXA DE DISCAGEM (R_E, C_D, R_D)	6, 7, 8	Estes pinos são disponíveis para a ligação dos resistores externos R_D, R_E e o capacitor C_D para formar um oscilador R-C que gera a base de tempo para os pulsos. A saída da taxa de discagem e o IDP são derivados dessa base de tempo.
INTERRUPTOR DO GANCHO ($\overline{HS}$)	5	Esta entrada detecta quando o telefone está no gancho. Quando o telefone está fora do gancho, esta tensão é igual a V_{SS}.
ALIMENTAÇÃO (V_{DD}, V_{SS})	13, 10	São as entradas de alimentação. O dispositivo é projetado para operar entre 1,5 V e 3,5 V.

Teclado Padrão de um Telefone de Teclas

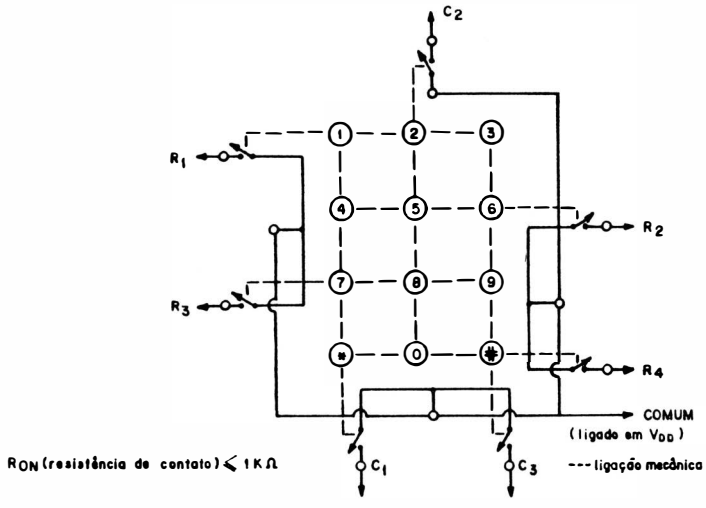


FIGURA 1

Interface Lógica para o IC 2560G1

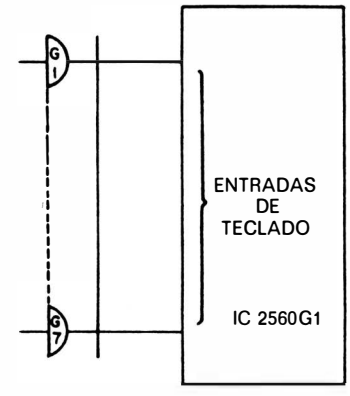


FIGURA 2

TABELA 2

Seleção dos Valores dos Componentes para Escolha da Taxa de Discagem e da Pausa entre Dígitos (IDP)

Taxa de Discagem Desejada	Freq. do Osc. (Hz)	R_D (KΩ)	R_E (KΩ)	C_D (pF)	Taxa de Discagem (pps)		IDP (ms)	
					DRS = V_{SS}	DRS = V_{DD}	IPS = V_{SS}	IPS = V_{DD}
5,5/11	1320	Os componentes devem ser selecionados dentro das faixas indicadas na tabela de especificações elétricas.			5,5	11	1454	727
6/12	1440				6	12	1334	667
6,5/13	1560				6,5	13	1230	615
7/14	1680				7	14	1142	571
7,5/15	1800				7,5	15	1066	533
8/16	1920				8	16	1000	500
8,5/17	2040				8,5	17	942	471
9/18	2160				9	18	888	444
9,5/19	2280				9,5	19	842	421
10/20	2400	750	750	270	10	20	800	400
$(f_d/240)/(f_d/120)$	f_d				$(f_d/240)$	$(f_d/120)$	$\frac{1920}{f_j} \times 10^3$	$\frac{960}{f_j} \times 10^3$

OBS.: O IDP depende da taxa de discagem desejada. Por exemplo, para uma taxa de discagem de 10 pps, pode-se selecionar uma IDP de 800 ms ou 400 ms. Para uma taxa de discagem de 14 pps, pode selecionar uma IDP de 1142 ms ou 571 ms.

TABELA 3

Função	Descrição	Nível Lógico de Entrada	Seleção
Seleção da taxa dos pulsos de discagem	DRS (14)	V_{SS} V_{DD}	(f/240) pps (f/120) pps
Seleção da pausa entre dígitos	IDP (15)	V_{DD} V_{SS}	$\frac{960}{f}$ s $\frac{1920}{f}$ s
Seleção de marca/espaço	M/S (12)	V_{SS} V_{DD}	33⅓/66⅔ 40/60
No gancho/fora do gancho	$\overline{HS}$ (5)	V_{DD} V_{SS}	No gancho Fora do gancho

OBS.: f é a frequência do oscilador; é determinada como mostrado na Figura 5.

Diagrama de Tempos

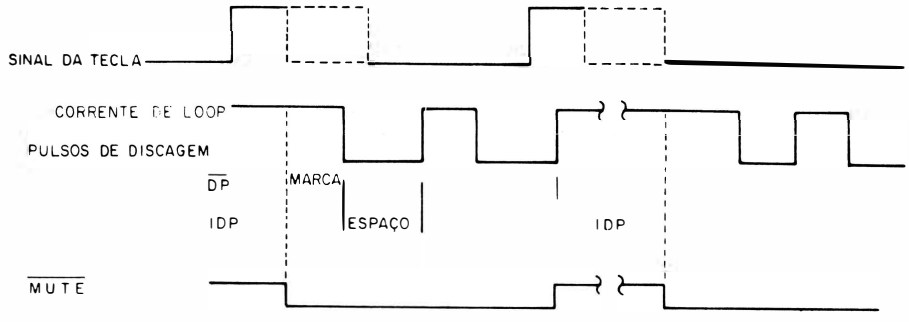
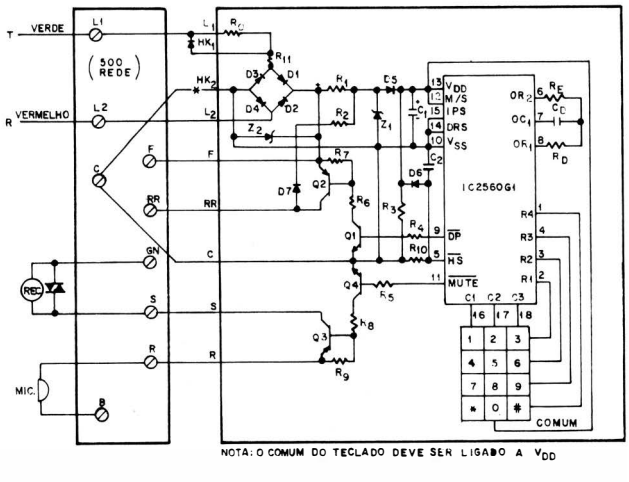


FIGURA 3

Circuito do Discador de Pulsos com Rediscagem

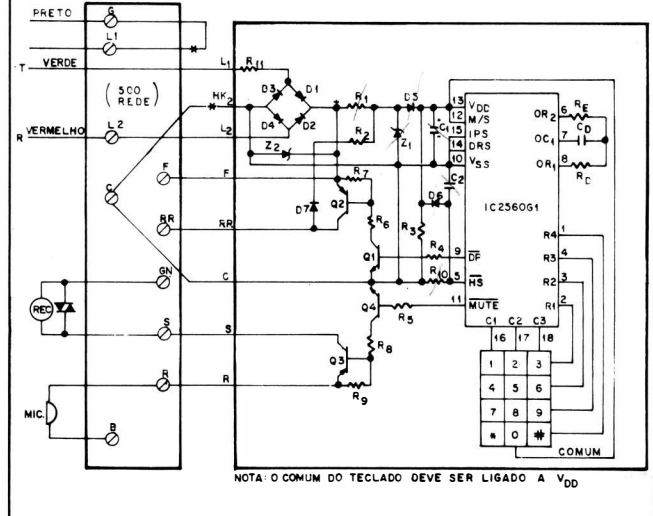


R_0 = 10-20MΩ, R_1 = 150KΩ, R_2 = 2KΩ
R_3 = 470KΩ, R_4, R_5 = 10KΩ, R_{10} = 47KΩ
R_6, R_8 = 2KΩ, R_7, R_9 = 30KΩ, R_{11} = 20Ω, 2W
Z_1 = 3.9V, $D_1 - D_4$ = IN4004, D_5, D_6, D_7 = IN914, C_1 = 15 μF
R_E = R_D = 750KΩ, C_D = 270pF, C_2 = 0.01 μF
Q_1, Q_4 = 2N5550 ou similar Q_2, Q_3 = 2N5401 ou similar
Z_2 = IN5379 110V ZENER ou 2× IN4758

FIGURA 4

Circuito do Discador de Pulsos com Rediscagem

(Aplicação com um único interruptor do gancho-aplicação para PABX)



R_1 = 10-20MΩ, R_2 = 2KΩ
R_3 = 470KΩ, R_4, R_5 = 10KΩ
R_6, R_8 = 2KΩ, R_7, R_9 = 30KΩ
R_{10} = 47KΩ, R_{11} = 20Ω (2W)
Z_1 = 3.9V, $D_1 - D_4$ = IN4004
D_5, D_6, D_7 = IN914, C_1 = 15 μF
$R_E R_D$ = 750KΩ, C_D = 270 pF
C_2 = 0,01 μF, Q_1, Q_4 = 2N5550
Q_2, Q_3 = 2N5401
Z_2 = 150V ZENER OU VARISTOR TIPO GE MOV 150

FIGURA 5

Circuito para Implementação de uma Situação Momentânea do Estado "no Gancho", Durante a Ligação na Rede Telefônica

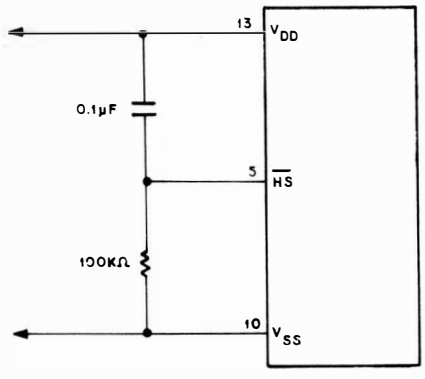


FIGURA 6

Interface para Teclado SPST

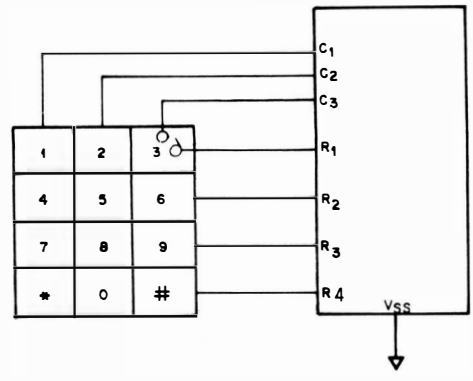


FIGURA 7

Notas sobre as Aplicações

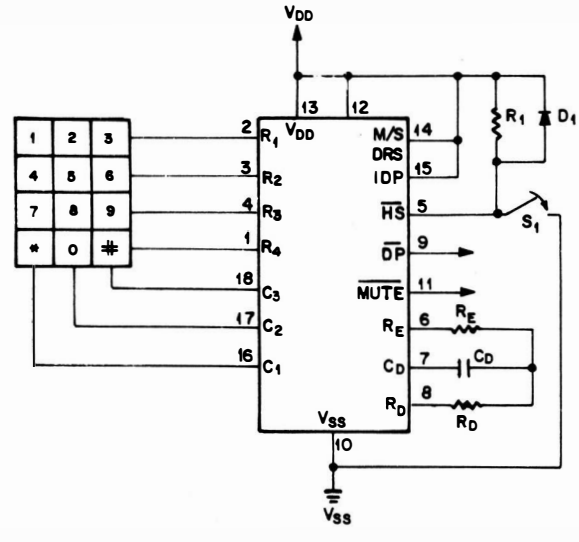
Em aplicações onde o bouncing do teclado excede o valor de 10 ms, o dispositivo pode interpretar o pressionamento de uma tecla como sendo duas entradas sucessivas de dados.

Para evitar esta falsa detecção das teclas, o tempo de debouncing do teclado pode ser facilmente aumentado de 10 ms para 20 ms, alterando-se a frequência do oscilador de 2400 Hz para 1200 Hz. Para isto, basta mudar o valor do capacitor ligado ao pino 7, de 270 pF para 470 pF. Para manter-se a taxa de discagem em 10 pps e a IDP em 800 ms, os pinos DRS e IDP devem passar a ser ligados a V_{DD}, ao invés de V_{SS} (vide Figura 8).

Quando o interruptor do gancho passa da condição 'fora do gancho' para a condição 'no gancho', podem ocorrer picos de tensão no pino 5. Se estes picos ultrapassam a tensão V_{DD}, o dispositivo passa a consumir corrente excessiva. Assim, o capacitor entre V_{DD} e V_{SS} se descarrega e a tensão de alimentação cai.

Se esta queda ultrapassar o limite de tensão de 1 volt (tensão de retenção de dados), o dispositivo pode perder a memória de rediscagem. Para evitar que a tensão no interruptor do gancho exceda a tensão V_{DD}, torna-se necessário adicionar um diodo nesse pino, como mostrado na Figura 8.

Implementação da Proteção contra Transientes Através de um Diodo entre V_{DD} e HS



D_1 = IN914
R_1 = 750KΩ
R_E = 750KΩ
R_D = 750KΩ
C_D = 470pF
S_1 = INTERRUPTOR DO GANCHO

FIGURA 8

IC 2560T

Características

- ☐ Tecnologia CMOS baixa tensão permite que a alimentação venha da própria linha telefônica;
- ☐ Utiliza circuito RC externo para seleção da freqüência de referência;
- ☐ A entrada de seleção de envio de pulsos permite sua alteração por um fator de 2:1, sem trocar os componentes do circuito oscilador;
- ☐ Aceita teclados DPCT com terminal comum; também pode ser conectado a uma matriz de contatos SPST;
- ☐ Entrada de seleção de pausa entre dígitos (IPS);
- ☐ Seleção das taxas de marca/espaço $(33\,^1/_3)/(66\,^2/_3)$ ou 40/60;
- ☐ Memória de 22 dígitos para reteclagem automática do último número;
- ☐ Transistores drivers na saída $\overline{MUTE}$ e $\overline{DP}$ em dreno aberto;
- ☐ Circuito de debounce para evitar falsa entrada de dados;
- ☐ A tecla * permite a limpeza da memória ou a gravação de um número durante a conversação;
- ☐ A tecla # permite a reteclagem automática e a gravação de pausa;
- ☐ Facilidade de teste.

PINAGEM

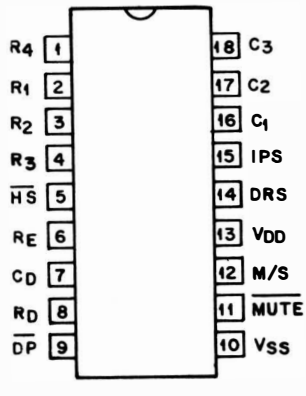
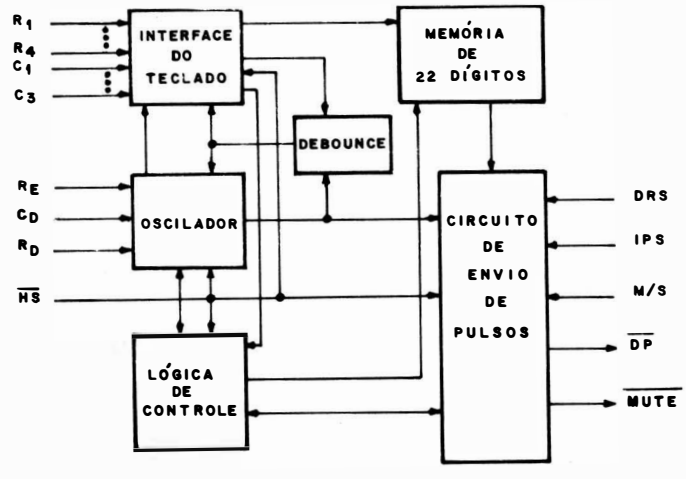


DIAGRAMA DE BLOCOS



VALORES MÁXIMOS ABSOLUTOS

Tensão de alimentação (V_{DD})	5,5 V
Temperatura de operação	0° a 70°C
Temperatura de armazenamento	−65°C a 150°C
Temperatura de soldagem (por 10s)	300°C
Tensão em qualquer pino	V_{SS} −0,3 V a V_{DD} +0,3 V

CARACTERÍSTICAS ELÉTRICAS

As especificações a seguir são válidas para a faixa de temperatura especificada e com 1,7 V $\leqslant V_{DD} \leqslant$ 3,5 V a menos que especificado.

SÍMBOLO	PARÂMETRO	V_{DD}-V_{SS} (V)	MÍN.	MÁX.	UNIDADE	CONDIÇÕES DE TESTE
I_{ODLP}	Corrente na saída $\overline{DP}$ em nível baixo (drenada)	3,5	450		µA	V_{OUT} = 0,4 V
I_{OLM}	Corrente na saída $\overline{MUTE}$ em nível baixo (drenada)	3,5	450		µA	V_{OUT} = 0,4 V
V_{DR}	Tensão para retenção de dados		1,3		V	$\overline{HS}$ = V_{DD}, teclado aberto, demais entradas em V_{DD} ou V_{SS}
I_{DD}	Corrente quiescente	1,3		200	nA	
I_{DD}	Corrente de operação	1,7 3,5		30 150	µA µA	$\overline{DP}$ e $\overline{MUTE}$ em aberto; $\overline{HS}$ = V_{SS}. Digitando-se no teclado e tendo-se 10 pulsos por segundo na saída e nas condições acima
f	Freqüência de oscilação	1,5		10	KHz	
$\Delta f/f$	Desvio de freqüência	1,7 V a 3,5 V	−10	+10	%	Com os componentes RC 50 KΩ $\leqslant R_D \leqslant$ 750 KΩ 100 pF $\leqslant C_D$* $\leqslant$ 100 pF 750 KΩ $\leqslant R_E \leqslant$ 5 MΩ * C_D = 300 pF (valor ótimo) Temperatura = 25°C
V_{IH}	Tensão de entrada - nível alto		80% de $V_{DD}-V_{SS}$	$V_{DD}+0,3$	V	
V_{IL}	Tensão de entrada - nível baixo		$V_{SS}-0,3$	20% de $V_{DD}-V_{SS}$	V	
C_{IN}	Capacitância de entrada em qualquer pino			7,5	pF	

OBSERVAÇÕES:
A fonte de alimentação deve ser ligada ao dispositivo antes dos sinais de entrada e desligada depois dos mesmos, isto evita a dissipação excessiva e a danificação dos diodos de proteção de entrada. Quando a alimentação do IC 2560T é ligada pela primeira vez, este deve estar na condição no gancho ($\overline{HS}$=1). Isto é necessário para a inicialização interna de todo o circuito.

Descrição Geral

O discador de pulsos IC2560T é um circuito integrado que converte as entradas de teclado em um trem de pulsos compatíveis com o padrão telefônico. Foi projetado para substituir o dial mecânico dos telefones e ser conectado à linha telefônica com o mínimo de interface. Pode armazenar até 22 dígitos, tornando o último número teclado disponível para reteclagem, até que um novo número seja teclado.
Além de permitir o apagamento do último número teclado, o IC2560T permite também o armazenamento de um número telefônico durante a conversação.

Descrição Funcional

Circuito Oscilador

O IC2560T contém um circuito oscilador, que requer três componentes externos: 2 resistores (R_D e R_E) e um capacitor (C_D). Toda a geração de tempos interna é derivada desta base de tempos.
Para eliminar a interferência do oscilador no modo fala, o oscilador permanece habilitado apenas durante a digitação e no envio do trem de pulsos. É desabilitado em todas as outras circunstâncias, mesmo quando o telefone está no gancho.
Para uma taxa de discagem de 10 pps, o oscilador deve ser ajustado em 2400Hz.

Os valores típicos para os componentes nesta condição são R_D e R_E = 750 KΩ e C_D = 270 pF. É recomendável que os resistores tenham tolerância de 5% e o capacitor de 1%, para assegurar uma tolerância de 10% na taxa de discagem.

Interface para Teclado

O IC2560T emprega a técnica de varredura para determinar o pressionamento de uma tecla. Isto permite interfaceá-lo com um teclado DPCT com o comum ligado a V_{DD}, interface lógica e interface com matriz SPST.
Um nível alto na linha e coluna apropriadas implica a digitação de uma tecla para a interface lógica.
Quando se usar uma matriz SPST, deve-se conectar pequenos capacitores (30pF) entre as entradas de coluna e V_{SS}, a fim de garantir o corte do oscilador após a discagem ter sido completada.

Debounce

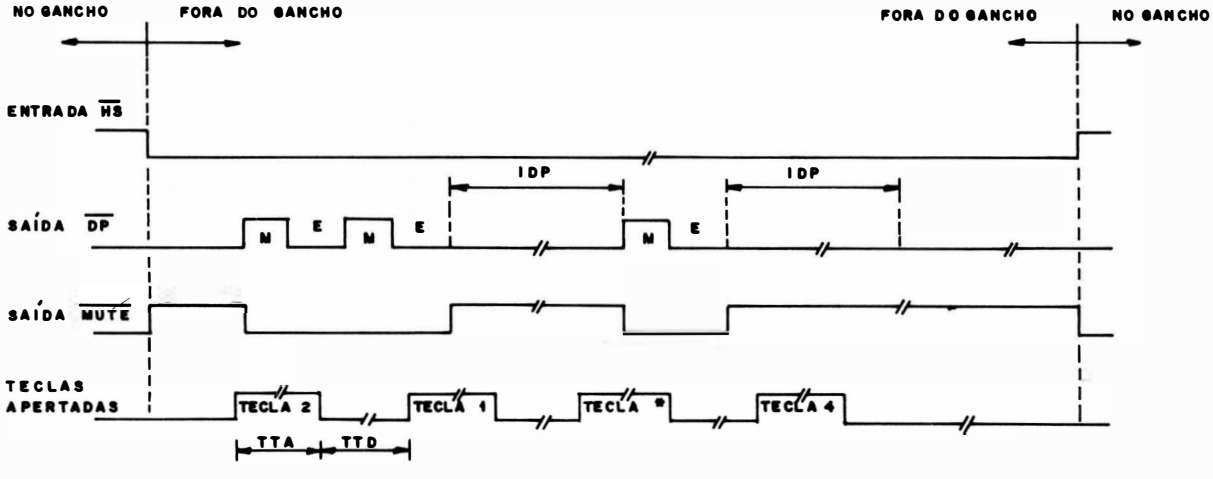
A fim de evitar a falsa entrada de dados, devido à ruídos originados durante a discagem, uma tecla só é reconhecida quando pressionada por um período mínimo de tempo "t_D". A próxima tecla só será reconhecida se pressionada após decorrido o tempo t_D contado a partir do momento em que a tecla anterior foi desacionada.

$$t_D = \frac{10.(2400)}{f} \text{ ms} \quad \text{onde f = freqüência do oscilador}$$

Operação com o telefone fora do gancho

Durante a operação com o telefone fora do gancho, a entrada $\overline{HS}$ deve ir para nível baixo. A saída $\overline{DP}$ fica normalmente em nível baixo. O trem de pulsos se inicia quando o usuário tecla um número. A figura 1 ilustra a seqüência de eventos. Pela figura 1 observa-se que a pausa entre dígitos é pós digital, isto significa que o número começa a ser enviado no instante em que a primeira tecla é acionada, uma marca é representada por nível alto e um espaço por nível baixo. A saída $\overline{MUTE}$ abaixa durante o envio de pulsos, permitindo o emudecimento do receptor.

Quando um número é armazenado após pressionar a tecla * (durante a conversação ou simplesmente com o fone fora do gancho), as saídas $\overline{DP}$ e $\overline{MUTE}$ permanecem na condição normal ($\overline{DP}$ = 0, $\overline{MUTE}$ = 1).



t_I = Atraso entre o aperto de uma tecla e o envio do 1.° dígito = $\frac{(28.000)}{f}$ ms;

t_D = tempo de debounce = $\frac{10 \times 2400}{f}$ ms, onde f = freqüência do oscilador (Hz);

t_{TA} = tempo mínimo para tecla acionada = t_D;

t_{TD} = tempo mínimo entre o desaperto de uma tecla e acionamento da seguinte = t_D;

IDP = pausa entre dígitos;

M = período de marca;

E = período de espaço;

O tempo de atraso entre as transições $\overline{MUTE}$ e $\overline{DP}$ é menor que 500 ns.

FIGURA 1

Operação com o telefone no gancho

Para a operação com o telefone no gancho, a entrada $\overline{HS}$ deve estar em nível alto. As saídas $\overline{DP}$ e $\overline{MUTE}$ permanecem em nível baixo. O pressionamento de qualquer tecla durante esta condição é ignorado pois o oscilador está desativado.

A alimentação fica reduzida a um valor baixo (1,3 V) o suficiente apenas para garantir que a memória retenha o último número discado.

Taxa de Discagem

A taxa de envio de pulsos é derivada da freqüência do oscilador. A tabela 2 mostra a relação da freqüência do oscilador com a taxa de envio e a entrada de seleção da taxa de envio (DRS). Pode-se obter diferentes taxas de envio simplesmente alterando-se os valores dos componentes externos (R_E, R_D, C_D). A entrada de seleção da taxa de envio (DRS) permite sua alteração por um fator de 2, sem necessidade de alteração dos valores dos componentes externos.

Assim, com o oscilador ajustado em 2400 Hz, a taxa de discagem pode assumir os valores de 10 ou 20 pps. Taxas de envio de 7 e 14 pps são obtidas de maneira similar, com o oscilador em 1680 Hz.

Pausa Entre Dígitos

O tempo para a pausa entre dígitos (IDP) também é derivado da freqüência do oscilador e pode ser mudado por um fator de 2 pela entrada de seleção IPS.

Com o pino IPS ligado em V_{SS}, a pausa entre dígitos será de 800 ms para taxas de discagem de 10 e 20 pps (f = 2400 Hz).

A pausa entre dígitos pode ser reduzida para 400 ms ligando-se o pino de seleção IPS a V_{DD}. Para as taxas de discagem de 7 e 14 pps, pausas entre dígitos de 1143 ms e 572 ms podem ser similarmente obtidas.

Se o pino IPS estiver conectado ao pino de seleção de taxa de discagem (DRS), a pausa entre dígitos fica ajustada à taxa de discagem, de modo que a 10 pps se tenha uma IDP de 800 ms e para 20 pps obtém-se 400 ms.

Teclagem Normal

O usuário entra com os números desejados através do teclado, após o telefone ter sido tirado do gancho. O pulsar do dial começa assim que o primeiro dígito é teclado. Os dígitos teclados são armazenados sequencialmente na memória interna.

Como o dispositivo é projetado num arranjo do tipo FIFO, os dígitos podem ser entrados numa taxa consideravelmente mais rápida que a taxa de saída. Os dígitos podem ser entrados aproximadamente uma vez a cada 50 ms, enquanto a taxa de discagem pode variar de 7 a 20 pps. O número teclado é retido na memória para futura reteclagem. As pausas podem ser inseridas, quando necessário, na seqüência de dígitos pressionando-se a tecla #, que oferece pausas de acesso para futura rediscagem.

O último número teclado pode ser reteclado automaticamente desde que o total de dígitos mais pausas não exceda 22.

O usuário pode teclar sequencialmente quantos dígitos quiser, sem a necessidade de esperar que todos os 22 primeiros dígitos tenham sido enviados.

Teclagem Automática

O último número teclado fica retido na memória, e portanto pode ser reteclado retirando-se o fone do gancho e digitando-se a tecla #. O pulsar do dial começa quando a tecla # é pressionada e encerrado após o número todo ter sido teclado, a menos que uma pausa de acesso seja detectada.

Em tal situação, o pulsar do dial será encerrado e somente recomeçará após o usuário ter pressionado a tecla # novamente.

Durante o envio dos dígitos armazenados na memória, o teclado é ignorado pelo dispositivo, ou seja, nenhuma tecla pressionada (dígito, # ou *) é aceita por este. Após o número ter sido reteclado, o teclado volta a operar normalmente, como no caso de uma teclagem normal, com os futuros dígitos e pausas inseridos após a última posição de memória do número gravado anteriormente. Por exemplo: se o número reteclado ocupa 10 posições de memória, após a reteclagem deste, a memória seria preenchida a partir da posição 11. É importante notar que se o número de dígitos mais pausas não exceder 22, o número poderá ser reteclado futuramente.

Limpeza da Memória

O último número teclado, desde que não exceda a capacidade da memória, está disponível para uma futura reteclagem. Há casos porém, em que por questão de segurança (o último número teclado foi, por exemplo uma chamada internacional) ou por questão de sigilo (número de uma conta bancária), o usuário não deseja que este número seja mantido armazenado. Neste caso, com o fone fora do gancho, basta que a tecla * seja pressionada e a memória será imediatamente limpa, a não ser durante o envio de pulsos numa reteclagem automática, quando o teclado é ignorado.

Gravação de um Número Durante a Conversação

Algumas vezes, durante a conversação o usuário necessita anotar um número recebido, para posterior reteclagem automática. Isto pode ser feito apertando-se a tecla * e o número desejado a seguir. Durante esta operação não existe realimentação auditiva das teclas apertadas interferindo na conversação. O número gravado só pode ser enviado através da operação de reteclagem automática.

Facilidade de Teste

Durante a teclagem normal, os números armazenados na memória são enviados em modo serial através da saída $\overline{DP}$.

A facilidade de teste consiste na possibilidade de se ler o conteúdo da memória rapidamente, em modo paralelo, através dos pinos IPS, DRS, $\overline{DP}$ e M/S, com freqüência igual a um quarto da freqüência do oscilador.

A seqüência de procedimentos dada a seguir está relacionada à configuração apresentada na figura 2.

1 — $\overline{HS}$ = 1 (fone no gancho)

2 — $\overline{HS}$ = 0 (fone fora do gancho)

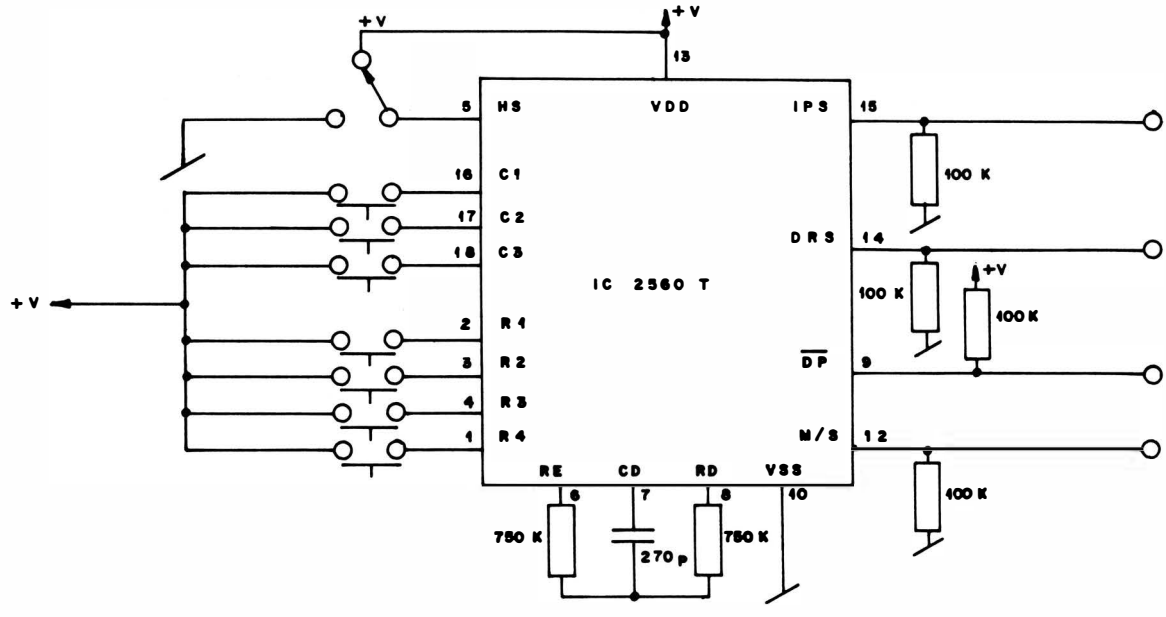
3 — Carregar a memória com 22 dígitos. Para cada dígito a linha e coluna correspondentes devem ir para nível alto e depois para alta impedância ou nível baixo respeitando-se os tempos de debounce.

4 — $\overline{HS}$ = 1 (fone no gancho)

5 — $\overline{HS}$ = 0 (fone fora do gancho)

6 — R4 = C3 = 1
R4 = C3 = alta impedância
(tecla # para teclagem automática)

7 — Esperar que o primeiro dígito seja enviado pela saída $\overline{DP}$ e durante a pausa entre dígitos, levar as quatro entradas R1, R2, R3 e R4 (referentes às linhas) simultaneamente para nível alto. Neste instante a função teste é acionada e a memória começa a ser lida da posição 2 em diante com velocidade igual a 1/4 da freqüência de clock. Os dígitos armazenados são enviados em forma binária para os pinos IPS, DRS, $\overline{DP}$ e M/S (IPS = bit mais significativo, M/S = bit menos significativo).



f = 2400 Hz

FIGURA 2

Exemplo: Números armazenados = 2, 3, 4 e 8

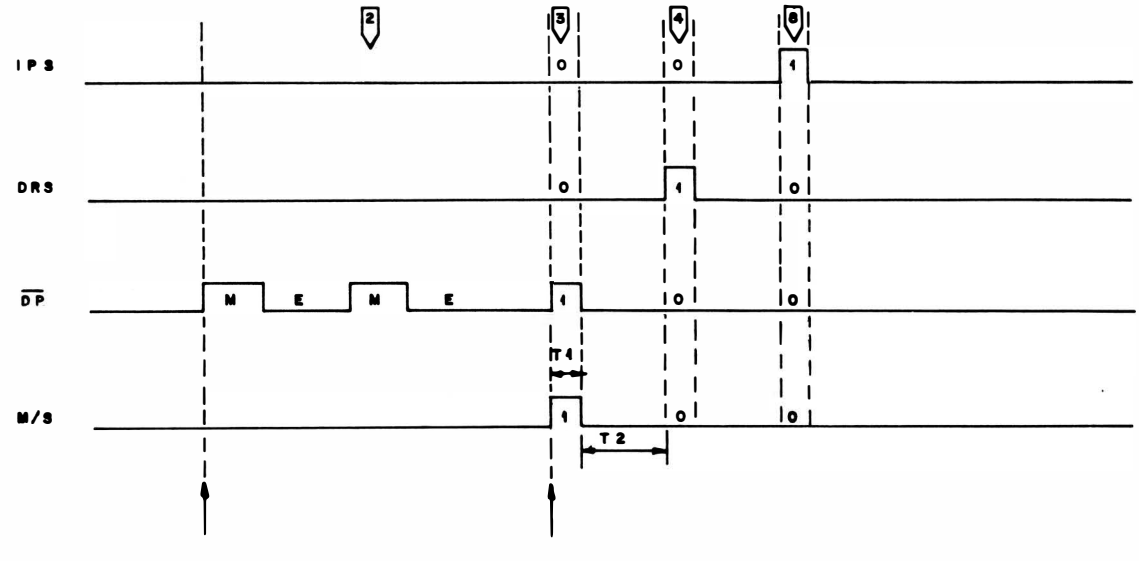


FIGURA 3

OBSERVAÇÕES:

1) No caso de se usar um gerador de palavras para controle das entradas C1 a C3 e R1 a R4, é importante salientar que as saídas deste devem ser compatíveis com as entradas CMOS.

2) A freqüência do oscilador pode variar entre 1,5 e 10 KHz.

3) Durante o período de utilização da facilidade de teste as linhas R1 a R4 devem permanecer em nível alto com as colunas C1 a C3 em alta impedância ou em nível baixo. Note que esta condição é impossível de ser satisfeita pelo usuário através do teclado matricial.

TABELA 1

Descrição da Pinagem

PINO	NÚMERO	FUNÇÃO
TECLADO (R1, R2, R3, R4, C1, C2, C3)	2, 3, 4, 1 16, 17, 18	São as entradas das 4 linhas (R) e 3 colunas (C) dos contatos do teclado. Estas entradas ficam em aberto quando o teclado não está sendo usado. Quando uma tecla é pressionada, uma determinada linha e coluna são ligadas a V_{CC} ou ligadas entre si.
SELEÇÃO DA PAUSA ENTRE DÍGITOS (IPS)	15	Esta entrada permite a seleção da duração da pausa entre os dígitos teclados. É programada de acordo com a TABELA 3. A pausa ocorre sempre após cada dígito enviado (pós digital). Pausas de 400 ms e 800 ms podem ser escolhidas para taxas de envio de 10 e 20 pps. Outros valores de IDP, para taxas de discagem diferentes destas podem ser determinadas pelas tabelas 2 e 3.
SELEÇÃO DA TAXA DE DISCAGEM (DRS)	14	Esta linha programável permite a seleção de duas taxas de saída diferentes, tais como 7 ou 14 pps, 10 ou 20 pps, etc. Veja as tabelas 2 e 3.
MARCA/ESPAÇO (M/S)	12	Esta entrada permite a seleção da taxa de marca/espaço, como mostra a tabela 3.
SAÍDA MUTE ($\overline{MUTE}$)	11	Saída em dreno aberto que pode ser utilizada por um circuito externo para emudecer o circuito de recepção do telefone durante o envio de pulsos.
SAÍDA DE ENVIO DE PULSOS ($\overline{DP}$)	9	Esta saída (dreno em aberto) é utilizada por um circuito externo para chavear a linha o n.° de vezes correspondente ao dígito apertado.
OSCILADOR DA TAXA DE DISCAGEM (R_E, C_D, R_D)	6, 7, 8	Estes pinos estão disponíveis para a ligação dos resistores externos R_D, R_E e o capacitor C_D para formar um oscilador RC que gera a base de tempo para os pulsos. A saída da taxa de discagem e o IDP são derivados dessa base de tempo.
INTERRUPTOR DO GANCHO ($\overline{HS}$)	5	Esta entrada detecta se o telefone está ou não no gancho. Quando o telefone está fora do gancho esta tensão deve ser igual a V_{SS}.
ALIMENTAÇÃO (V_{DD} e V_{SS})	13, 10	São as entradas de alimentação. O dispositivo e projetado para operar entre 1,7 V e 3,5 V.

TABELA 2

Seleção dos Valores dos Componentes para Escolha da Taxa de Discagem e da Pausa Entre Dígitos (IDP)

Taxa de Discagem Desejada	Freq. do Osc. (Hz)	R_D (KΩ)	R_E (KΩ)	C_D (pF)	taxa de Discagem (pps)		IDP (ms)	
					DRS = V_{SS}	DRS = V_{DD}	IPS = V_{SS}	IPS = V_{DD}
5,5/11	1320	Os componentes devem ser selecionados na faixa indicada na tabela de características elétricas			5,5	11	1454	727
6/12	1440				6,0	12	1334	667
6,5/13	1560				6,5	13	1230	615
7/14	1680				7,0	14	1142	571
7,5/15	1800				7,5	15	1066	533
8/16	1920				8,0	16	1000	500
8,5/17	2040				8,5	17	942	471
9/18	2160				9,0	18	888	444
9,5/19	2280				9,5	19	842	421
10/20	2400	750	750	270	10,0	20	800	400
(f/240)/(f/120)	f				(f/240)	(f/120)	$\frac{1920 \times 10^3}{f}$	$\frac{960 \times 10^3}{f}$

TABELA 3

FUNÇÃO	DESCRIÇÃO	NÍVEL LÓGICO DE ENTRADA	SELEÇÃO
Seleção da taxa dos pulsos de discagem	DRS (14)	V_{SS} V_{DD}	(f/240) pps (f/120) pps
Seleção da pausa entre digitos	IDP (15)	V_{IH} V_{IL}	960/f s 1920/f s
Seleção de marca/espaço	M/S (12)	V_{SS} V_{DD}	33/⅓/66⅔/40/60
Inicialização	$\overline{HS}$ (5)	V_{DD} V_{SS}	No gancho Fora do gancho

Detalhe das saídas $\overline{DP}$ e $\overline{MUTE}$

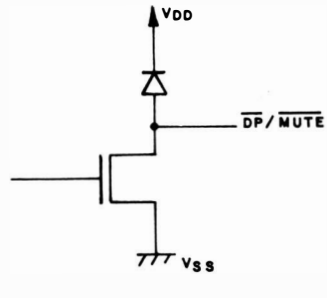


FIGURA 4

EXEMPLO DE APLICAÇÃO
(FONE NO GANCHO)

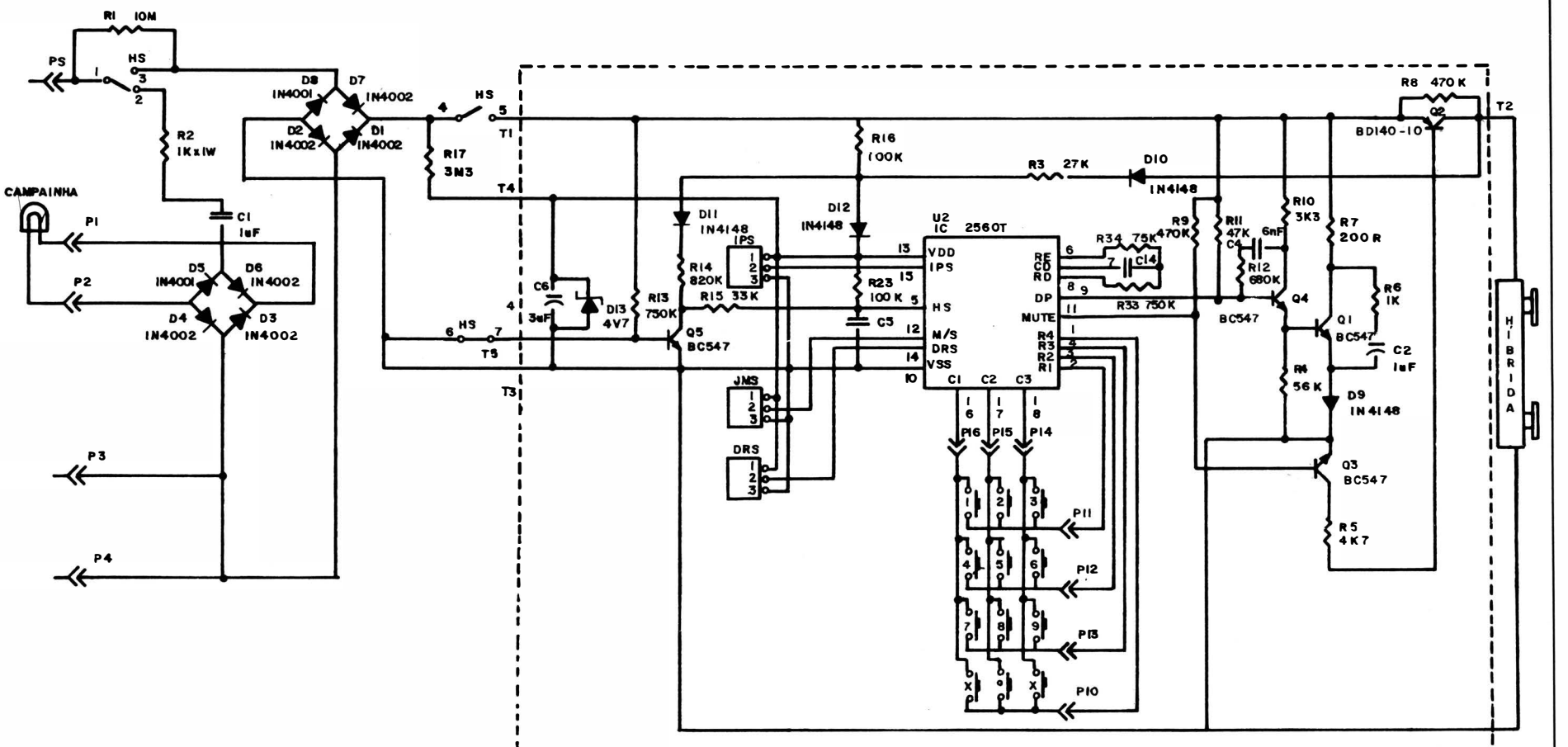


FIGURA 5

IC 3726/6

Características

- ☐ Baixa tensão de operação, abaixo de 3,3 V.
- ☐ Pequeno número de componentes externos.
- ☐ Função MUTE para operação paralela com gerador de pulsos decadicos ou com gerador DTMF (Dual-Tone-Multi-Frequency).
- ☐ Fácil ajuste do Efeito Local.
- ☐ Funcionamento estável em uma larga faixa de temperatura.

PINAGEM

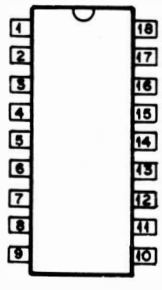
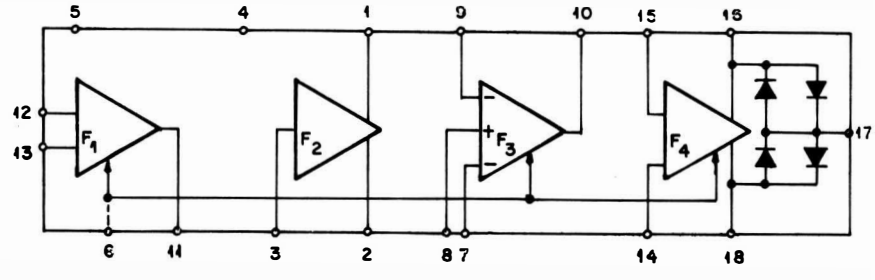


DIAGRAMA DE BLOCOS



Descrição Geral

O IC 3726/6 é um circuito integrado monolítico projetado para ser usado em telefones eletrônicos.
Um amplificador de entrada diferencial para microfones permite o emprego tanto de microfones dinâmicos, quanto de microfones de eletreto (com amplificador interno a FET).
Os ganhos de transmissão e recepção são ajustados de acordo com o comprimento da linha.
Parâmetros tais como balanceamento de linha, nível de efeito local e resposta de frequência são ajustados por componentes externos. Os parâmetros são ajustados independentemente, de modo a dar maior facilidade de adaptação às necessidades de mercado.
Um amplificador extra de 20 dB pode ser usado para diversos fins, tais como: ganho extra na recepção com controle de volume ou balanceamento ativo de efeito local.

Descrição Funcional

Funcionalmente o IC 3726/6, pode ser dividido em 5 partes: um regulador DC estabilizado em temperatura e quatro amplificadores.
O regulador DC determina a característica tensão — corrente do circuito. A linha enxerga o IC 3726/6 como um gerador de tensão de cerca de 3 V em série com um resistor (R6) colocado entre o pino 2 e terra.
A corrente para o regulador DC entra pelo pino 4.
A tensão de referência (band gap reference) é altamente estável com a temperatura. Além de ser usada para a regulação do ganho dos amplificadores, a tensão de referência regula a corrente de linha D.C. A corrente D.C atinge o seu valor final com um mínimo de overshoot.
Os quatro amplificadores do circuito de voz são acessíveis, facilitando o ajuste dos parâmetros de transmissão do telefone.
F1 é um amplificador de microfone com um estágio de entrada diferencial. A impedância de entrada típica é 1,1 KΩ, própria tanto para microfones dinâmicos quanto magnéticos. As entradas de microfone são constituídas pelos pinos 12 e 13.
F2 é o amplificador transmissor, mas é também parte do regulador D.C. É possível ajustar o amplificador à característica do microfone através de uma rede RC entre a saída do amplificador de microfone, pino 11, e a entrada do amplificador transmissor, pino 3.
A impedância de entrada de F2 é de cerca de 17 KΩ.
F3 é um amplificador diferencial de acoplamento que pode ser usado de várias maneiras diferentes, tais como:

1 — Separando a rede de balanço do efeito local.
2 — Compensando o nível de efeito local com o comprimento da linha.
3 — Fornecendo um ganho extra de 20 dB com controle de volume para amplificação de recepção, etc.

Em geral F3 é usado para separar a parte de recepção e transmissão da rede de balanço do efeito local. A saída, pino 10, é então conectada à entrada — (pino 9).
F4 é um amplificador receptor. O amplificador é acoplado em push-pull, fornecendo uma alta excursão na amplitude de saída.

Mediante a escolha de uma rede RC adequada na entrada do amplificador, pino 15, o circuito de voz pode ser ajustado a diferentes tipos de fones receptores, podendo-se usar fones dinâmicos ou magnéticos. As saídas do circuito para o fone são os pinos 16, 17 e 18.

Regulação com o Comprimento da Linha

Os ganhos do amplificador transmissor e do receptor são contínua e igualmente alterados de acordo com o comprimento da linha.

O ponto de partida para a regulação do ganho é determinado pela tensão presente no pino 6. A regulação do ganho pode também ser cortada. A impedância de entrada no pino 6 é 52 KΩ ± 20%.

MUTE

O pino 5 é a entrada de MUTE. Uma corrente de cerca de 0,1 mA entrando pelo pino 5 causará:

— o desligamento do amplificador transmissor.
— redução da amplificação do amplificador do fone.
— redução do consumo de potência.

Efeito Local

O balanço de efeito local é ajustado por uma rede entre os pinos 2, 7, 8 e terra.

Do pino 2 toma-se um sinal do amplificador transmissor de fase oposta à do sinal transmitido na linha. Através da rede de efeito local o sinal é alimentado à junção somadora de F3, onde é misturado com o sinal tomado da linha. O cancelamento destes dois sinais se dá na entrada somadora de F3. Apenas o sinal recebido, juntamente com uma pequena parcela do sinal de efeito local sai de F3.

Se se desejar um nível de efeito local regulado com a linha, o sinal é alimentado para F3 de duas maneiras:

— Ligando uma rede otimizada para linhas curtas entre os pinos 2 e 8.
— Ligando uma rede otimizada para linhas longas entre os pinos 2 e 7.

Assim o IC 3726/6 gerará, automaticamente, uma troca contínua para todos os comprimentos de linha entre aqueles dois extremos.

DESCRIÇÃO DA PINAGEM

PINO	FUNÇÃO
1	Saída do regulador DC e amplificador transmissor
2	Saída do amplificador transmissor. Este pino conectado a um resistor (R6) ajusta a resistência DC do circuito
3	Entrada do amplificador transmissor
4	Entrada para o regulador DC e para a fonte de alimentação de algumas funções do circuito
5	Entrada MUTE
6	Entrada para ajuste do ponto de partida para a regulação do efeito local e do ganho, de acordo com o comprimento da linha
7	Entrada somadora do amplificador F3
8	Entrada somadora do amplificador F3
9	Entrada subtratora do amplificador F3
10	Saída do amplificador F3
11	Saída do amplificador de microfone F1
12	Entrada de microfone
13	Entrada de microfone
14	Entrada do amplificador do fone receptor F4
15	Entrada do amplificador do fone receptor F4
16	Saída do amplificador para o fone
17	Saída do amplificador para o fone
18	Saída do amplificador para o fone

VALORES MÁXIMOS ABSOLUTOS

Tensão da linha t_p = 2s (V_{DC})	22 V
Corrente da linha de operação (I_{DC}) (1)	100 mA
Temperatura de armazenamento	— 55°C a 125°C
Temperatura de operação (1)	— 40°C a 70°C

OBSERVAÇÃO:

1) A corrente aumenta linearmente para 130 mA, com a temperatura máxima de operação limitada para 55°C.

DADOS CARACTERÍSTICOS

PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE		FIGURA REFER.
	MÍN.	TÍP.	MÁX.				
Tensão nos terminais	3,3	3,7	4,1	V	I_{DC} = 15 mA		1
	11	13	15	V	I_{DC} = 100 mA		1
Ganho de transmissão (1)	41	43	45	dB	R_L = 0, E = E + 10%	$20 \log \frac{V_2}{V_3}$ f = 1KHz	1
	43,5	45,5	47,5	dB	R_L = 400 Ω		1
	46	48	50	dB	R_L = 900 Ω a 2,2K Ω		1
Regulação de transmissão	3	5	7	dB	R_L = 0; E = E + 10%; f = 1KHz		1
Resposta em frequência na transmissão	-1		1	dB	200 Hz a 3,4 KHz		1
Ganho de recepção (1)	−18,5	−16,5	−14,5	dB	R_L = 0 Ω; E = E + 10%	$20 \log \frac{V_4}{V_1}$ f = 1 KHz	1
	−16	−14	−12	dB	R_L = 400 Ω		1
	−13,5	−11,5	−9,5	dB	R_L = 900 Ω a 2,2K Ω		1
Regulação do ganho de recepção	3	5	7	dB	R_L = 0 a 900 Ω; f = 1KHz; E = E + 10%		1
Resposta em frequência na recepção	−1		1	dB	f = 200 Hz a 3,4 KHz		1
Impedância da entrada transmissora		1,1		KΩ	f = 1KHz		1
Saída dinâmica do transmissor		1,5		V	f = 200 Hz a 3,4 KHz; I_{DC} = 20 a 100 mA distorção ≤ 2%		1
Saída máxima do transmissor		3		V	f = 200 Hz a 3,4 KHz; I_{DC} = 0 a 100 mA V_3 = 0 a 1V		1
Impedância de saída do receptor		3+310		Ω	f = 1KHz		1
Saída dinâmica do receptor (2)	0,5	0,55		V	f = 200 Hz a 3,4 KHz; I_{DC} = 20 a 100 mA distorção < 2%		1
Saída máxima de recepção		0,9		V	Medido com retificador de linha f = 200 Hz a 3,4 KHz I_{DC} = 0 a 100 mA; V_1 = 0 a 50 V		2
Ruído na saída do transmissor		-75		$dB_{P_{ruído}}$	$P_{ruído}$, relat. 1V R_L = 0		1
Ruído na saída do receptor		-85		dB_A	rel. 1V com cabo 0-5 Km ∅ 0,5 mm; 0-3 Km ∅ 0,4 mm		1
Corrente na entrada MUTE	0,1			mA			1
Corrente extra disponível quando mudo com a mesma tensão DC		10		mA	I_{DC} = 15 a 100 mA		1

OBSERVAÇÕES:
1) Ajustável para valores altos ou baixos através de componentes externos
2) Saída dinâmica pode ser duplicada.

Circuito de Teste sem Ponte Retificadora

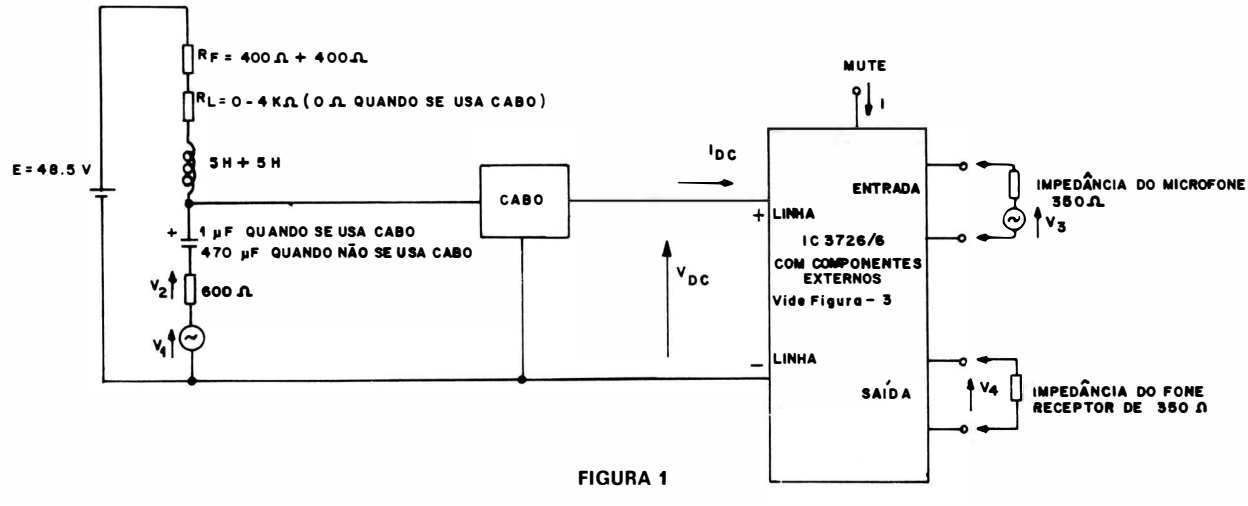


FIGURA 1

Circuito de Teste com Ponte Retificadora

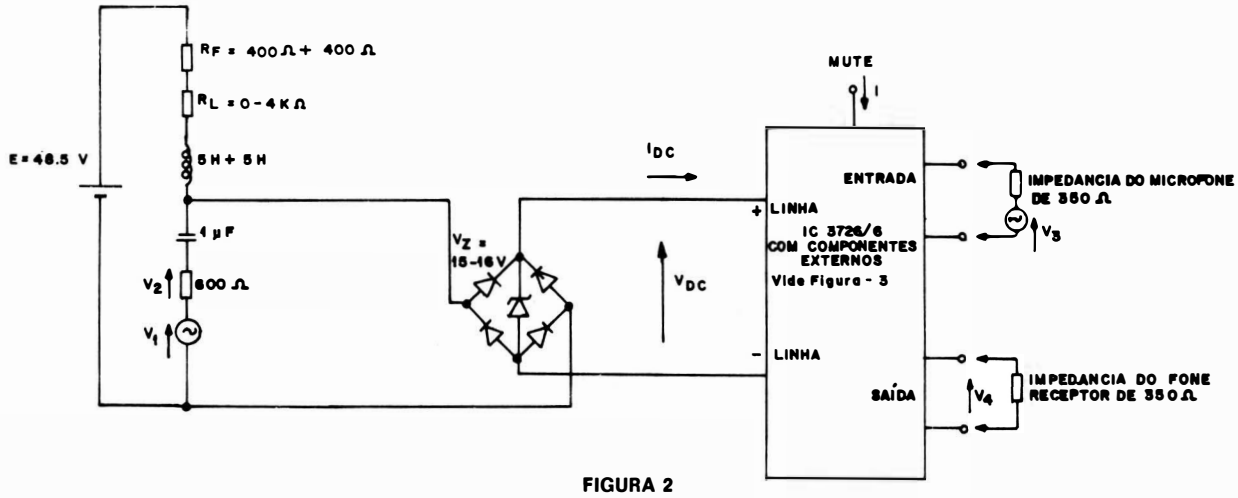


FIGURA 2

IC 3726/6 com Componentes Externos

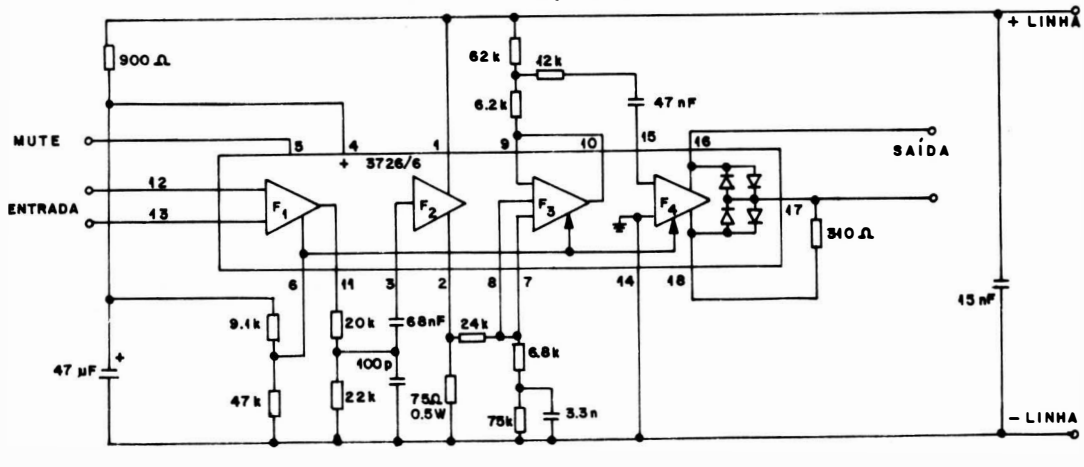


FIGURA 3

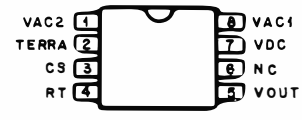
ICL 124A

PRELIMINAR

Características:

- ☐ Ponte retificadora interna permite entrada direta via sinal de chamada;
- ☐ Baixo consumo de corrente (permite acoplar vários ICL 124A em paralelo);
- ☐ Elevada imunidade a ruídos, graças à histerese interna de tensão-corrente;
- ☐ Substitui diretamente a campainha mecânica, exigindo apenas 4 componentes externos e um conversor acústico;
- ☐ Sinal em dois tons, comutados internamente;
- ☐ Freqüências de tom e comutação ajustáveis através de um resistor e um capacitor;
- ☐ Proteção contra sobretensão (2 kV-10/700 μs).

PINAGEM



Descrição Geral:

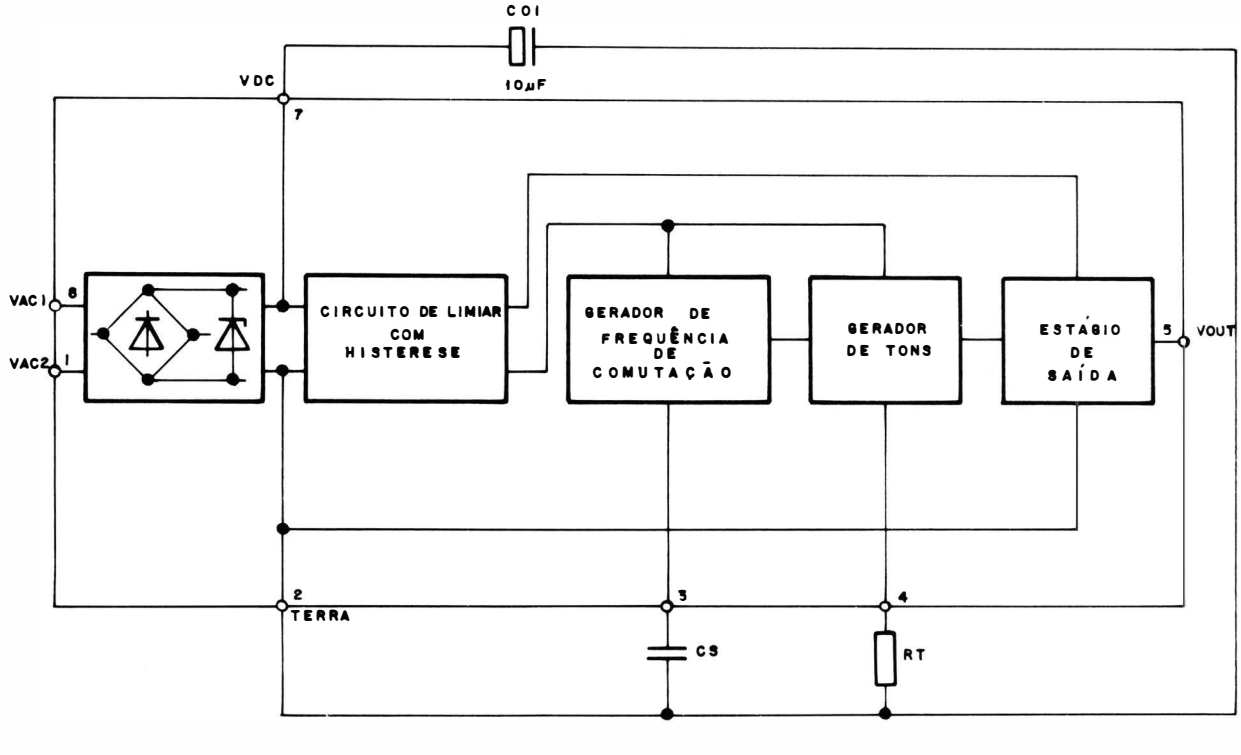
O CI bipolar ICL 124 A, juntamente com um conversor eletroacústico, permite substituir a campainha mecânica dos aparelhos telefônicos. O componente produz dois tons periódicos comutáveis, que podem tanto excitar diretamente um conversor piezocerâmico como um alto-falante.

O CI contém um conversor que gera uma tensão em onda quadrada. A freqüência dessa tensão é periodicamente comutada, por um segundo oscilador, entre dois valores básicos, com uma relação de 1:1,38. A frequência-base f_{IT} é ajustada pelo resistor R_T e a freqüência de comutação f_S, pelo capacitor C_S. É possível obter uma boa estabilidade de freqüência devido à compensação interna de temperatura.

Um estágio de saída eleva a tensão gerada e a transfere a um piezo-ressonador, por meio de um resistor interno. Também é possível excitar, da mesma forma, um conversor eletrodinâmico, embora este deva ser casado à resistência interna do estágio final.

A ponte retificadora embutida permite aplicar diretamente a tensão AC de chamada ou uma tensão DC (independentemente de polaridade). Pode-se ainda alimentá-lo com uma tensão DC, sem utilizar a ponte integrada, através dos pinos 2 e 7. Em conjunto com um diodo zener, essa ponte atua simultaneamente como proteção contra excessos de tensão.

DIAGRAMA DE BLOCOS

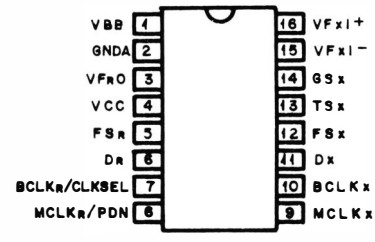


ICL 3057 MC 1457 (motorola)

Características:

- ☐ Sistema completo de filtragem e CODEC com:
- ☐ Filtragem de transmissão passa baixas e passa altas;
- ☐ Filtro receptor passa baixas com correção senx/x;
- ☐ Filtros ativos RC internos para ruídos;
- ☐ Referência interna de tensão de precisão;
- ☐ Interface de E/S serial;
- ☐ Circuito interno de auto zero.
- ☐ Atende ou excede as especificações CCITT e D3/D4;
- ☐ Baixa dissipação de potência
  Estado Ativo_____60mW
  Standby_____3mW
- ☐ Compatível com interfaces digitais TTL ou CMOS.

PINAGEM

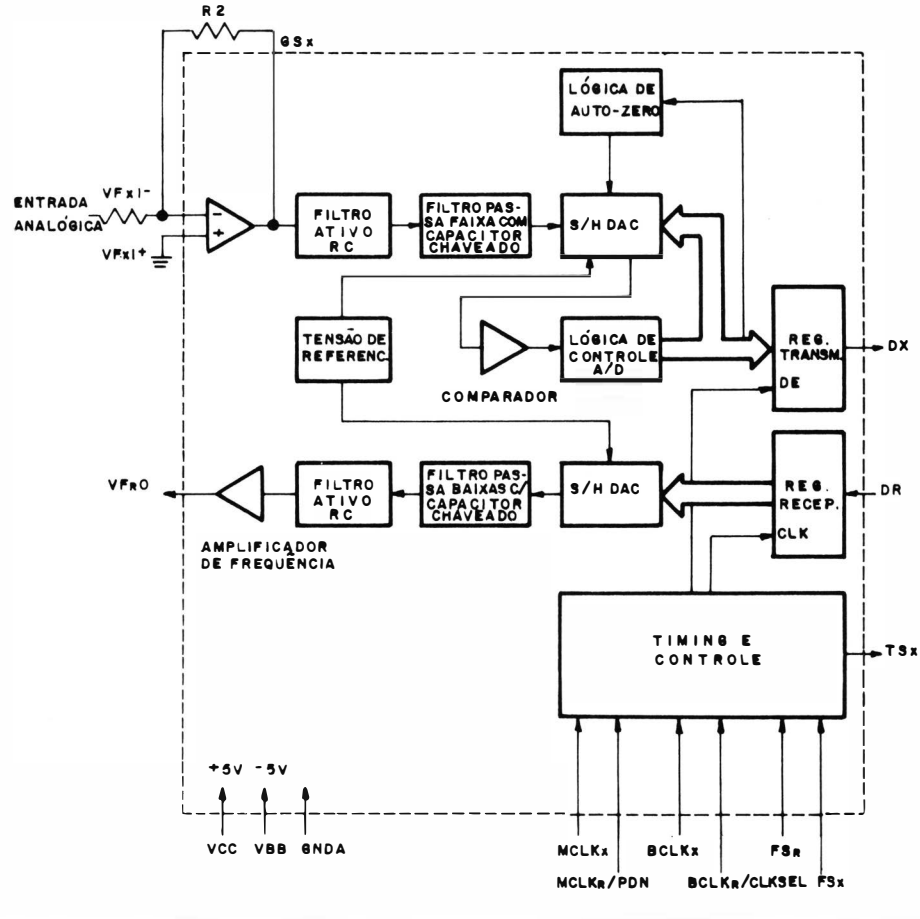


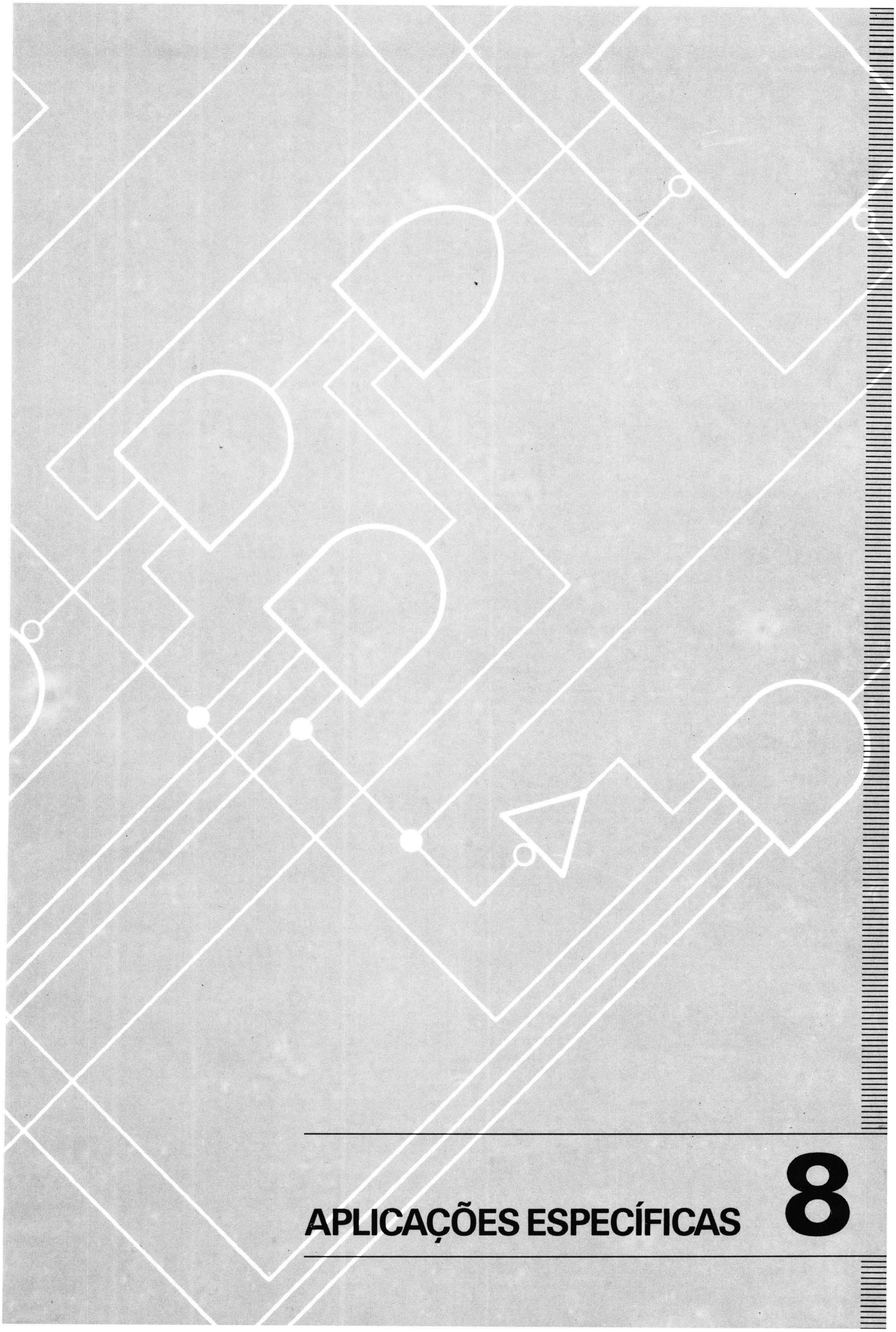
Descrição Geral:

O ICL 3057 é constituido por filtros e CODEC PCM, utilizando a arquitetura de conversão A/D e D/A apresentada no diagrama de blocos abaixo, e uma interface serial PCM. A etapa codificadora é formada por um amplificador de ajuste de ganho de entrada, um filtro ativo RC que elimina os ruídos de frequência muito elevada antes de um filtro passa faixa, com capacitor chaveado, que rejeita sinais abaixo de 200 Hz e acima de 3400 Hz. Esta etapa ainda inclui um circuito de auto zero e um codificador/expansor que amostra o sinal filtrado e o codifica no formato comprimido/expandido lei A.

A etapa decodificadora consiste de um decodificador expandido, que reconstitui o sinal analógico a partir do código comprimido/expandido lei A, um filtro passa baixas com correção senx/x e rejeição de sinais acima de 3400 Hz, e seguido por um amplificador de potência, capaz de excitar cargas de baixa impedância.

DIAGRAMA DE BLOCOS





APLICAÇÕES ESPECÍFICAS 8

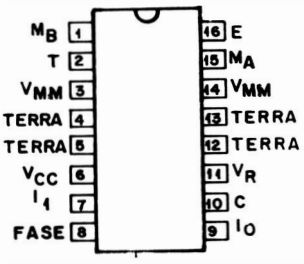
APLICAÇÕES ESPECÍFICAS

Devido às suas características especiais, certos componentes ganharam um capítulo à parte. Entre eles, temos a linha 82C901...904, que é um "chip set" para micros PC-AT, e a família ICX de osciladores CMOS, em invólucros DIP.

IC 3717 ____ 518
ICD 30C20 ____ 524
ICD 68C40 ____ 525
ICD 82C65 ____ 526
ICD 82C114 ____ 527
ICD 82C901 ____ 528
ICD 82C902 ____ 529
ICD 82C903 ____ 530
ICD 82C904 ____ 531
OSCILADORES ____ 532

IC 3717

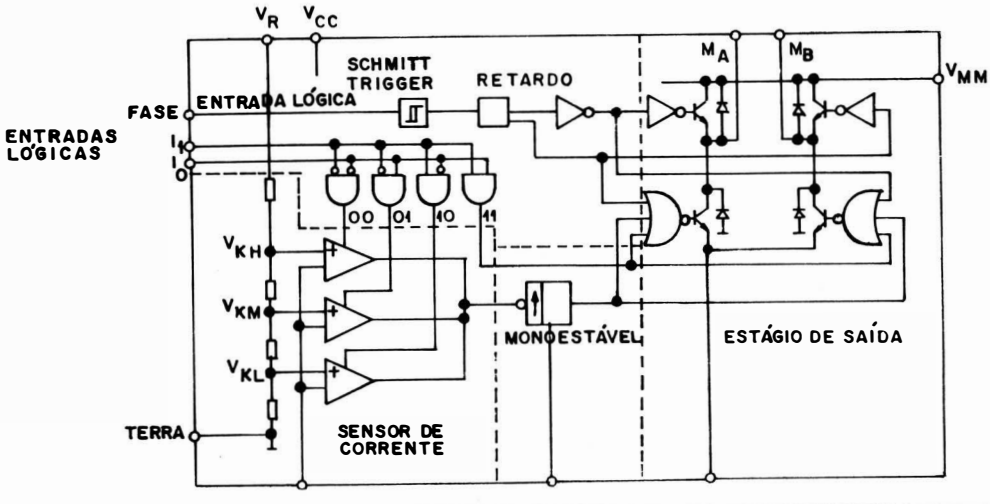
PINAGEM



Características

- ☐ Modo meio passo e passo completo
- ☐ Diodos de proteção internos
- ☐ Larga faixa de corrente de controle: 5 mA a 1000 mA
- ☐ Larga faixa de tensão: 10 V a 45 V
- ☐ Os níveis de corrente podem ser selecionados em passos ou variados continuamente
- ☐ Proteção contra sobrecarga térmica
- ☐ Projetado para acionar um motor com fonte de tensão não estabilizada.

DIAGRAMA DE BLOCOS



Descrição Geral

O IC 3717 é um circuito integrado monolítico bipolar, projetado para controlar e fornecer corrente a um enrolamento de um motor bipolar de passo. O circuito possui entradas compatíveis com os níveis TTL LS, um sensor de corrente, um circuito monoestável e um estágio de saída com diodos de proteção internos.

Com dois IC 3717 e alguns componentes externos, pode-se implementar uma unidade completa para o acionamento de motores de passo, que pode ser facilmente controlada por circuitos a microprocessador ou por circuitos TTL LS.

Descrição Funcional

O circuito é projetado para controlar uma corrente bipolar constante através do enrolamento de um motor. A corrente constante é conseguida através da regulação por modo chaveado.

As duas entradas lógicas I_0 e I_1 selecionam um entre os três diferentes níveis de corrente, podendo também cortar completamente a corrente de alimentação.

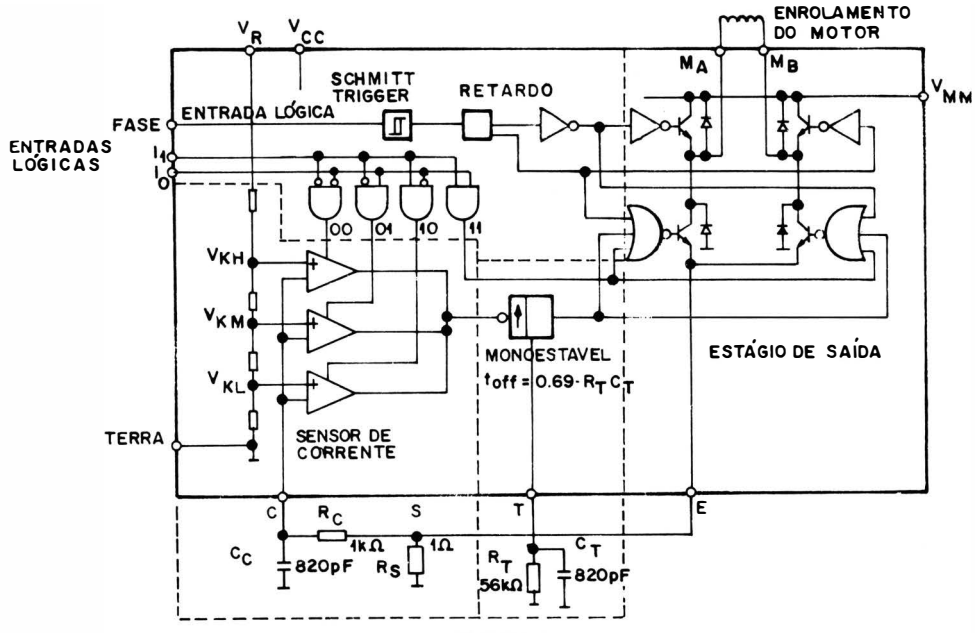


FIGURA 1

Entradas Lógicas

Se qualquer destas entradas lógicas for deixada em aberto, o circuito irá interpretá-la como estando em nível alto.

FASE — Esta entrada determina a direção do fluxo de corrente no enrolamento, dependendo das conexões do motor.

O sinal é alimentado através de um Schmitt-trigger para garantir imunidade a ruídos, e através de um circuito de retardo de modo a prevenir possíveis curto circuitos que poderiam ocorrer durante a mudança de fase.

Nível alto na entrada FASE, permite que a corrente flua de M_A para M_B através do enrolamento do motor.

I_0 - I_1 — As entradas I_0 e I_1 selecionam o nível de corrente no enrolamento do motor. Os valores dos diferentes níveis de corrente são determinados pela tensão de referência V_R, juntamente com o valor do resistor sensor R_S.

I_0	I_1	NÍVEL DE CORRENTE
	H	NULO
	H	BAIXO
	L	MÉDIO
L	L	ALTO

Sensor de Corrente

Esta seção é composta por um resistor sensor de corrente (R_S), um filtro passa baixas (R_C, C_C) e três comparadores.

A escolha do nível de corrente desejado é feita através das entradas I_0 e I_1 que selecionam o comparador adequado.

A corrente no motor flui através do resistor R_S. Quando a corrente aumenta até que a tensão em R_S supera a tensão de referência na outra entrada do comparador a saída do comparador vai para nível alto, disparando o gerador de pulso, o qual mantém sua saída em nível alto durante um intervalo de tempo fixo (t_{off}), cortando portanto a alimentação do motor, e provocando a diminuição da corrente durante t_{off}.

Gerador de Pulso Único

O gerador de pulso é um monoestável sensível à borda de subida do sinal de saída do comparador.

A saída do monoestável permanece em nível alto durante o tempo de duração do pulso, t_{off}, o qual é determinado pelos valores dos componentes externos R_T e C_T. ($t_{off} = 0{,}69\ R_T\ C_T$).

Este pulso corta a alimentação do enrolamento do motor provocando um decréscimo na corrente do mesmo, durante t_{off}.

Estágio de Saída

O estágio de saída contém quatro transistores Darlington e quatro diodos, conectados em ponte H. Os dois transistores inferiores são usados para chavear a alimentação fornecida ao enrolamento do motor, mantendo a corrente em um valor médio constante.

Proteção Contra Sobrecarga

O circuito é provido de um sensor térmico de desligamento que limita a temperatura da junção.

Quando a corrente de saída ultrapassar um valor tal que determinado nível de temperatura da junção for atingido, ocorrerá o desligamento. Deve-se notar porém, que as saídas não podem ser curto-circuitadas.

V_{CC}, V_{MM}

Este circuito aceita qualquer sequência de ativação ou desativação de V_{CC} e V_{MM}. Assume-se valores normais de $\frac{dv}{dt}$

Controle Analógico

Os níveis de corrente podem ser variados continuamente, mediante a variação da tensão de referência V_R, ou da tensão no terminal do comparador como se observa na figura 2.

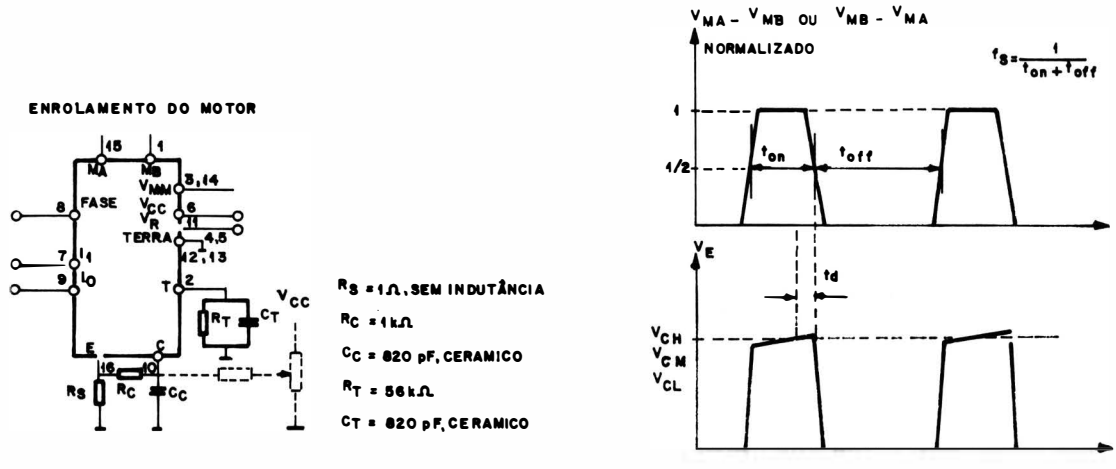
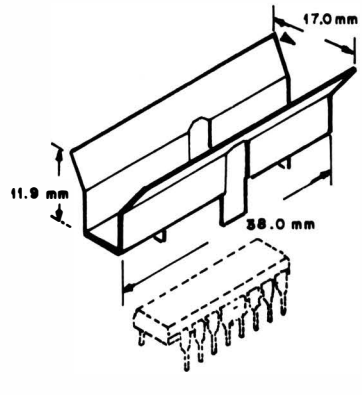


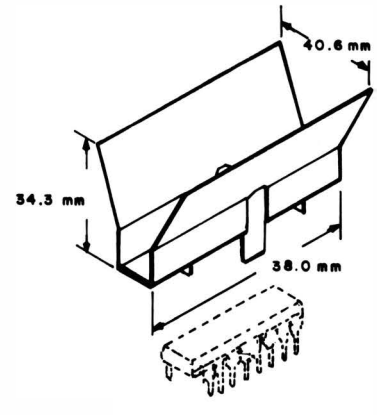
FIGURA 2

Notas de aplicação

Dissipadores de calor
Exemplos de dissipadores:



V 8 ($R_{thj-a} \cong 37{,}5°C$)



V 7 ($R_{thj-a} \cong 27{,}5°C/w$)

Escolha do Motor

Alguns motores de passo não são projetados para operação contínua com a máxima corrente. Como o circuito fornece uma corrente constante através do motor, sua temperatura pode aumentar excessivamente seja operando em alta ou em baixa velocidade. Há também alguns motores de passo que apresentam uma acentuada perda no núcleo, tornando-se inadequados para a operação com regulação de corrente no modo chaveado.

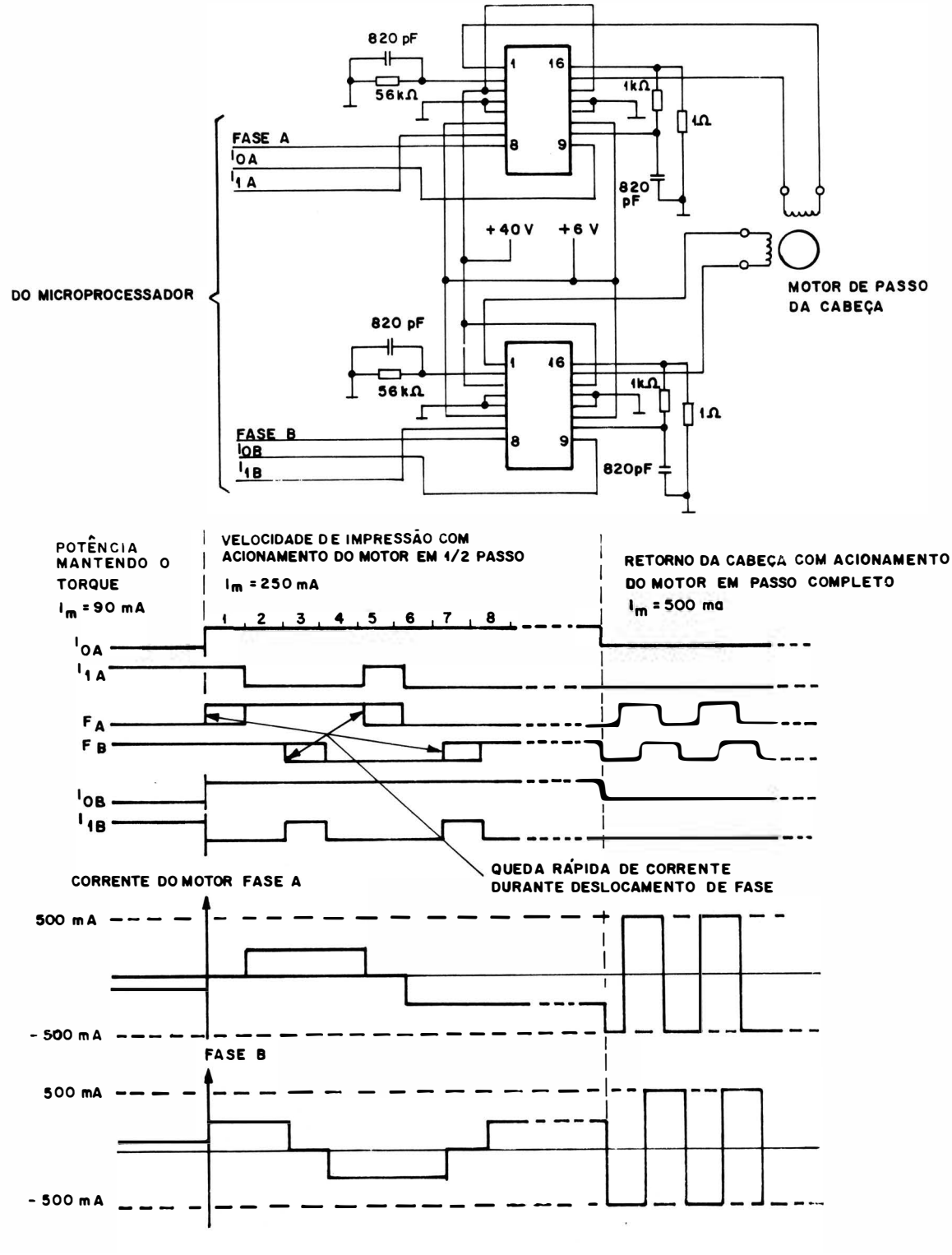
Entradas Não Utilizadas

As entradas não utilizadas devem ser conectadas a níveis de tensão apropriados, de modo a se conseguir a mais alta imunidade a ruído.

Interferência
Como o circuito opera com regulação de corrente no modo chaveado, podem aparecer problemas de geração de interferências em algumas aplicações. Uma boa medida pode ser desacoplar o circuito com um capacitor cerâmico de 15 nF, colocado próximo ao chip, entre V_{MM} e terra.
A linha de terra entre R_S, C_C e circuito de terra deve ser tão curta quanto possível. Isto também se aplica à Linha entre o resistor sensor R_s e o ponto S, veja a figura 1.

Aplicação Típica

Controle da Cabeça de uma Impressora Serial



CARACTERÍSTICAS ELÉTRICAS

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE	CONDIÇÕES DE TESTE
		MÍN.	TÍP.	MÁX.		
I_{CC}	Corrente de alimentação			25	mA	
V_{IH}	Tensão de entrada - nível alto Entradas lógicas	2			V	
V_{IL}	Tensão de entrada - nível baixo Entradas lógicas			0,8	V	
I_{IH}	Corrente de entrada - nível alto Entradas lógicas			20	μA	V_I = 2,4 V
I_{IL}	Corrente de entrada - nível baixo Entradas lógicas	−0,4			mA	V_I = 0,4 V
V_{CH}	Tensão de Limiar do comparador	390	420	440	mV	I_0 = 0; I_1 = 0 V_R = 5,0 V
V_{CM}	Tensão de Limiar do comparador	230	250	270	mV	I_0 = 1; I_1 = 0 V_R = 5,0 V
V_{CL}	Tensão de Limiar do comparador	65	80	90	mV	I_0 = 1; I_1 = 1 V_R = 5,0 V
I_{CO}	Corrente de entrada do comparador	−20		20	μA	
I_{OFF}	Corrente de fuga de saída			100	μA	I_0 = 0; I_1 = 1; T_A = 25°C
V_{SAT}	Queda de tensão de saturação total			4,0	V	I_M = 500 mA
P_{TOT}	Potência total dissipada		1,8 3,7	2,3	W W	I_M = 500 mA; f_S = 30K Hz I_M = 800 mA; f_S = 30K Hz
t_{off}	Tempo de corte	25	30	35	μs	V_{MM} = 10 V; $t_{ON} \geqslant$ 5 μs Ver figura 1
t_d	Atraso de desligamento		1,6	2,0	μs	Vide figura 1; T_A: 25°C $d\frac{V_K}{dt} \geqslant$ 50m V/μs
T_{JS}	Temperatura da junção de desligamento térmico	160		180	°C	

DADOS TÉRMICOS

Resistência térmica junção-encapsulamento ____ 11°C/W
Resistência térmica junção-ambiente (soldado a uma placa de cobre de 20 cm² e de 35 μm de espessura) ____ 45°C/W

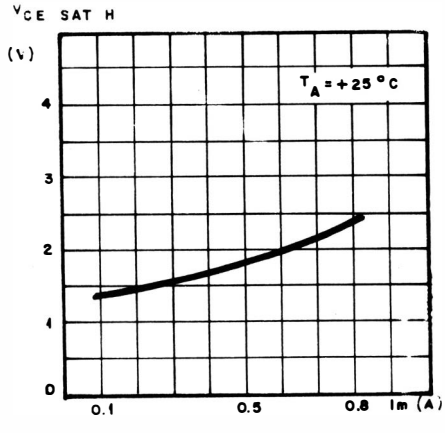
VALORES MÁXIMOS ABSOLUTOS

Tensão de alimentação V_{CC} ____ 7 V
Tensão de alimentação V_{MM} ____ 45 V
Tensão nas entradas lógicas ____ 6 V
Tensão nas entradas analógicas ____ V_{CC}
Tensão na entrada de referência ____ 15 V
Corrente nas entradas lógicas ____ − 10 mA
Corrente nas entradas analógicas ____ − 10 mA
Corrente de saída ____ ± 1 mA
Temperatura da junção ____ 150°C
Temperatura de armazenamento ____ − 55°C a 150°C
Temperatura de operação ____ 0°C a 70°C

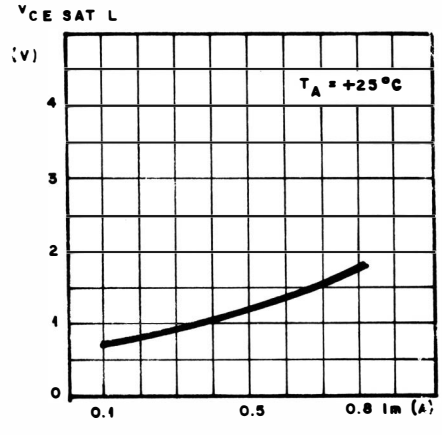
CONDIÇÕES DE OPERAÇÃO RECOMENDADAS

SÍMBOLO	PARÂMETRO	LIMITES			UNIDADE
		MÍN.	TÍP.	MÁX.	
V_{CC}	Tensão de alimentação	4,75	5,0	5,25	V
V_{MM}	Tensão de alimentação	10		40	V
I_M	Corrente de saída	20		800	mA
t_r	Tempo de subida			2	µs
t_f	Tempo de descida			2	µs
T_A	Temperatura de operação	0		70	°C

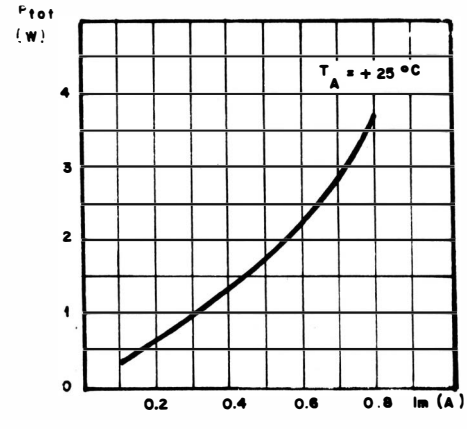
SATURAÇÃO TÍPICA DA FONTE
TENSÃO × CORRENTE DE SAÍDA



SATURAÇÃO TÍPICA DO DRENO.
TENSÃO × CORRENTE DE SAÍDA



DISSIPAÇÃO DE POTÊNCIA
TÍPICA × CORRENTE DE SAÍDA



ICD 30C20

GERADOR DE ECC E CORRETOR DE ERROS PARA PLACAS CONTROLADORAS DE DISCO RÍGIDO

PRELIMINAR

Características:

- ☐ Código corretor de erros (ECC) de 32 bits;
- ☐ Permite programar extensão máxima dos bursts corrigíveis: 5 ou 11 bits;
- ☐ Detecção de múltiplos bursts de erros;
- ☐ Cálculo de resíduo e síndrome na forma dibit-serial;
- ☐ Taxa de transferência de dados de 5 Mbits/s;
- ☐ Tamanhos de setor de 128, 256, 512 e 1024 bytes;
- ☐ Permite operações de read/write short/long;
- ☐ Armazenagem dos bytes de ECC;
- ☐ Registradores endereçáveis por software;
- ☐ Compatível com TTL e CMOS;
- ☐ Alimentação única de 5 V.

Descrição Geral:

O ICD 30C20 é um dispositivo projetado para dotar as placas controladoras de disco rígido com capacidade de ECC, a uma taxa de transferência de dados equivalente a 5 Mbits/s. Os dados entram e saem do CI em paralelo, através de uma porta bidirecional de 8 bits. Entre as funções atribuídas ao ICD 30C20, podemos citar a detecção e correção de erros, geração de bytes de ECC e geração de síndrome.

Além dessas funções, ele permite a transferência transparente dos bytes de ECC entre a CPU e o meio de armazenagem, para fins de diagnóstico. Ademais, trabalha com setores de 128, 256, 512 e 1024 bytes, sendo que os 4 bytes de ECC anexados por ele permitem corrigir um burst único de até 11 bits (ou 5 bits, conforme a programação) e detectar bursts múltiplos.

PINAGEM

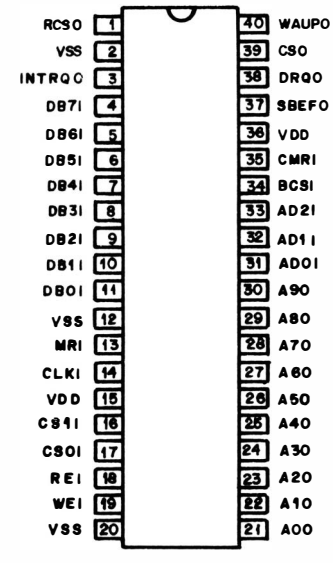
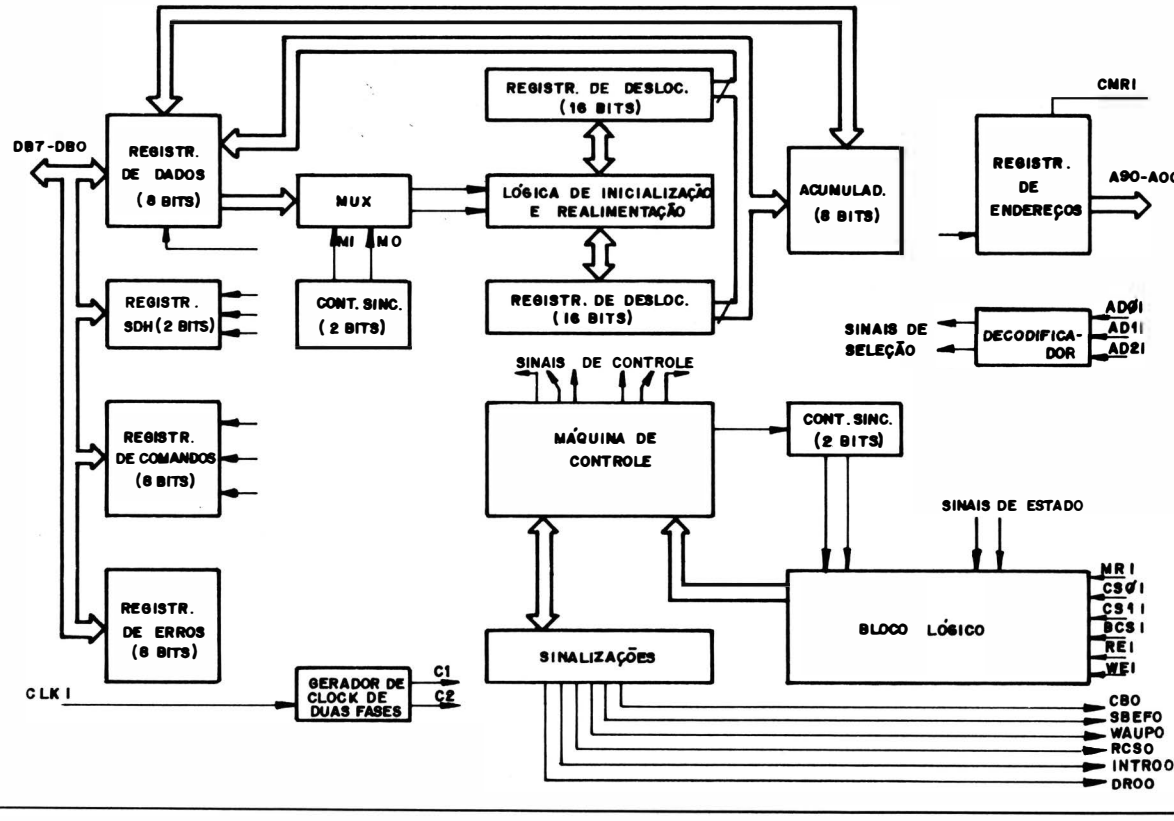


DIAGRAMA DE BLOCOS



ICD 68C40

CONTROLADOR PROGRAMÁVEL
DE DISPLAY FLUORESCENTE

PRELIMINAR

Características:

- ☐ Controla até 4096 pontos arranjados nos diversos caracteres do display;
- ☐ Alimentação única de 5V;
- ☐ Controla displays com diferentes números de pontos e caracteres.

Descrição Geral:

O ICD 68C40 é um circuito integrado de 40 pinos, fabricado em tecnologia NMOS, e projetado de maneira a ser utilizado como um periférico em sistemas baseados em microprocessadores.

Sua função é suprir a um display fluorescente, os sinais de controle necessários para que este apresente os dados previamente armazenados em uma memória.

Por ser programável o ICD 68C40 pode controlar displays com diferentes números de pontos e caracteres. O número de pontos da matriz de um caractere pode ser de até 252, enquanto o número de caracteres de um display pode ser de até 128. A memória associada ao ICD 68C40 possui uma capacidade de armazenamento de 4096 pontos (1k x 4 bits); há portanto, um compromisso entre o número de pontos e o número de caracteres, a fim de não se ultrapassar essa capacidade, ou seja, o número de pontos por caractere multiplicado pelo número de caracteres deve ser menor ou igual a 4096. A configuração ICD 68C40 + memória é vista pelo microprocessador como uma memória de 2 K x 4 bits, sendo que nos primeiros 1024 x 4 bits podem ser escritos ou lidos os dados apresentados pelo display. Dos restantes 1024K x 4 bits, 5 posições são utilizadas, onde se executa apenas operações de escrita, para a programação do ICD 68C40.

PINAGEM

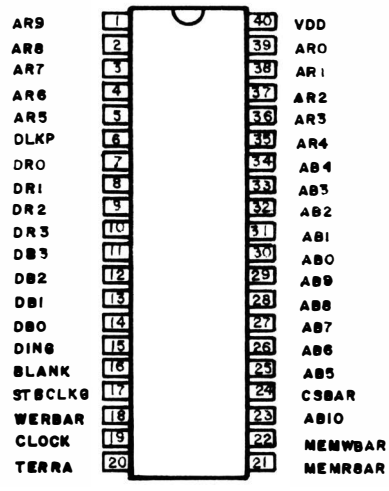
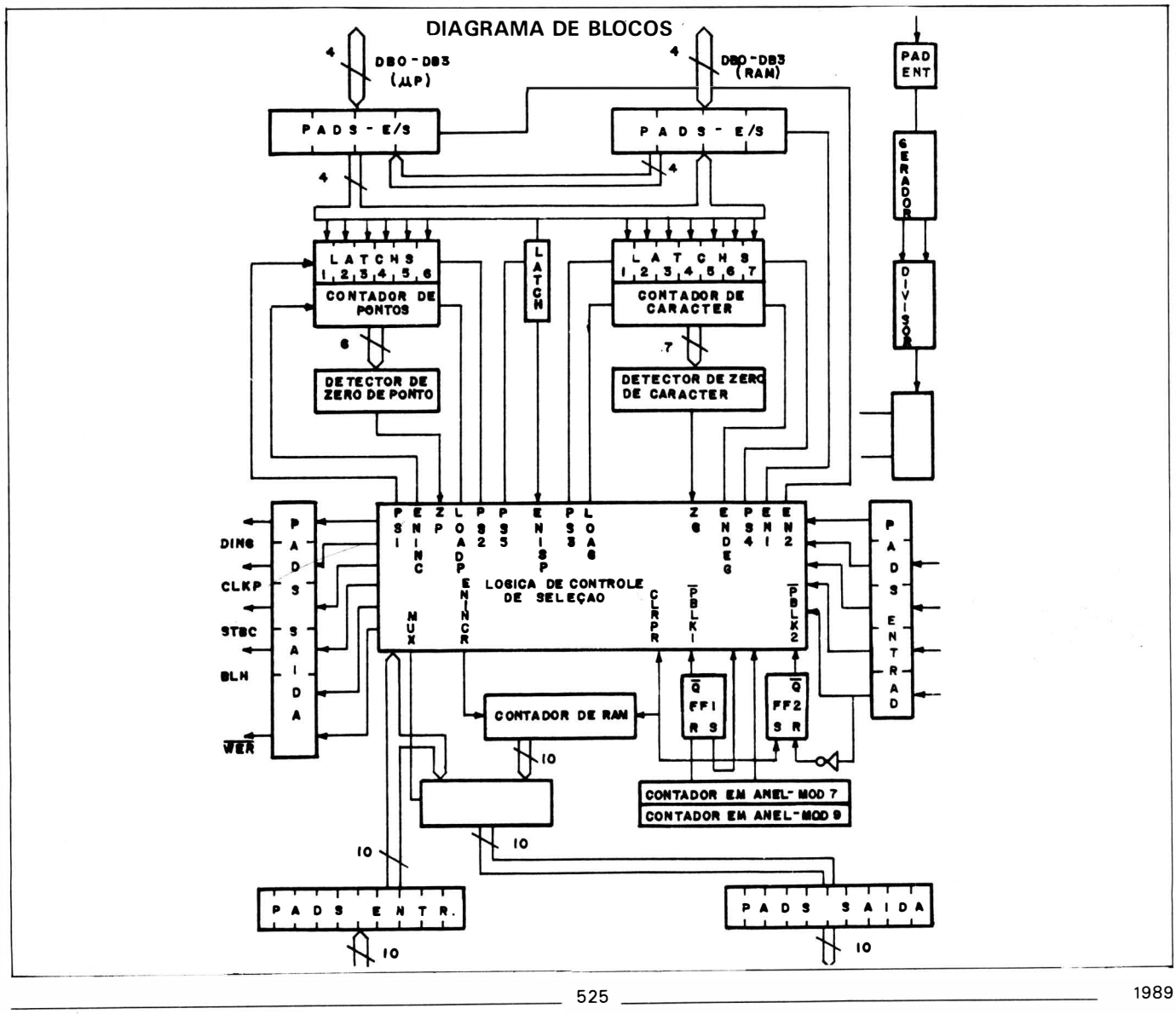


DIAGRAMA DE BLOCOS



ICD 82C65

CONTROLADOR DE UNIDADE DE DISCO FLEXÍVEL

PRELIMINAR

Características:

- ☐ Permite selecionar até 4 unidades de disquetes;
- ☐ Gera sinais de comando para CIs controladores, tais como 8272 e 765, complementando suas funções;
- ☐ Realiza a separação dos dados codificados em MFM vindos da unidade de disquetes;
- ☐ Pré-compensação de escrita;
- ☐ Compatível com a lógica TTL;
- ☐ Alimentação única de 5 V.

PINAGEM

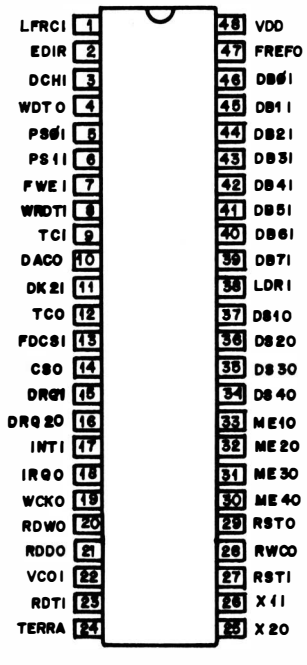
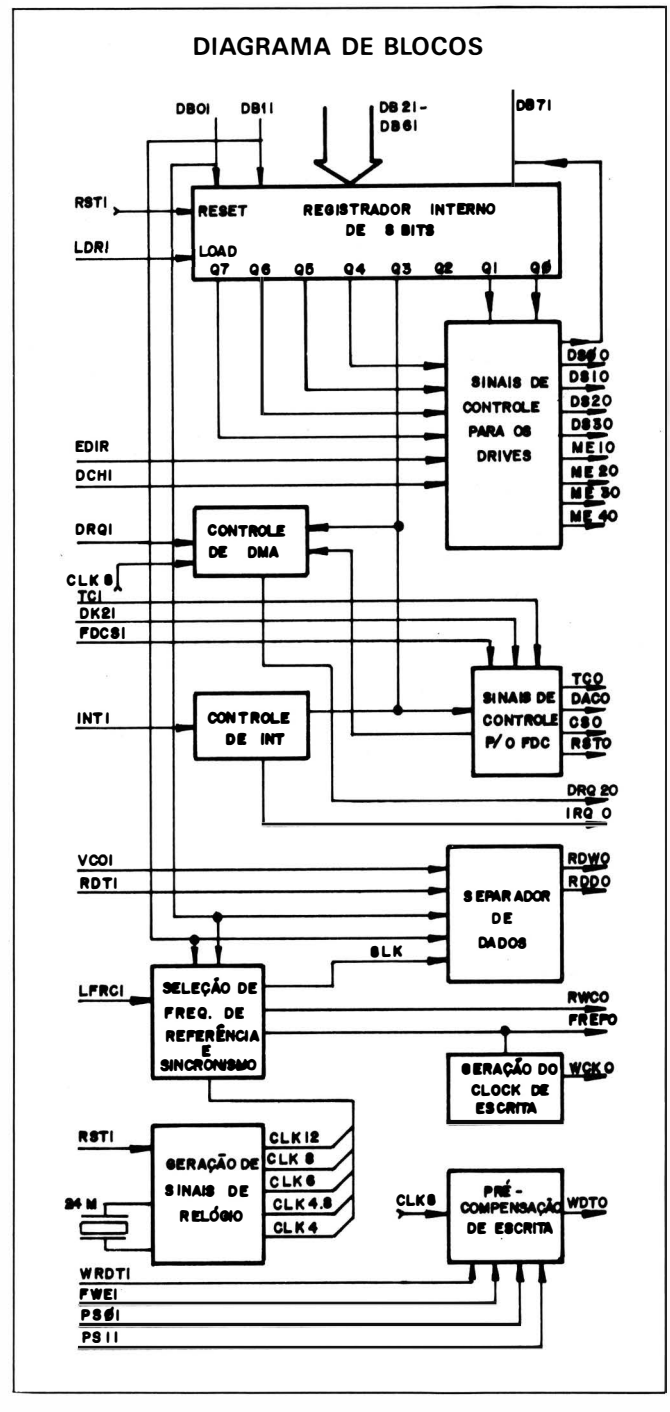


DIAGRAMA DE BLOCOS



Descrição Geral:

O ICD 82C65 é um gate array projetado para trabalhar em conjunto com os CIs controladores para unidades de disquetes, tal como o Intel 8272 e o NEC 765, proporcionando assim um adaptador para floppy-disks completo e totalmente compatível com o padrão IBM. Destina-se particularmente ao controle de unidades utilizadas em microcomputadores compatíveis com o IBM PC-AT.

Com ele, pode-se selecionar até 4 "disk-drives", com pré-compensação de escrita e separação dos dados codificados em MFM. Todas as suas entradas contam com um transistor interno de pull-up e as saídas exibem uma capacidade de corrente equivalente à consumida por duas cargas TTL (ou seja, 3,2 mA).

Opera a partir de uma fonte de +5 V e necessita de um cristal externo de 24 MHz para seu funcionamento.

ICD 82C114

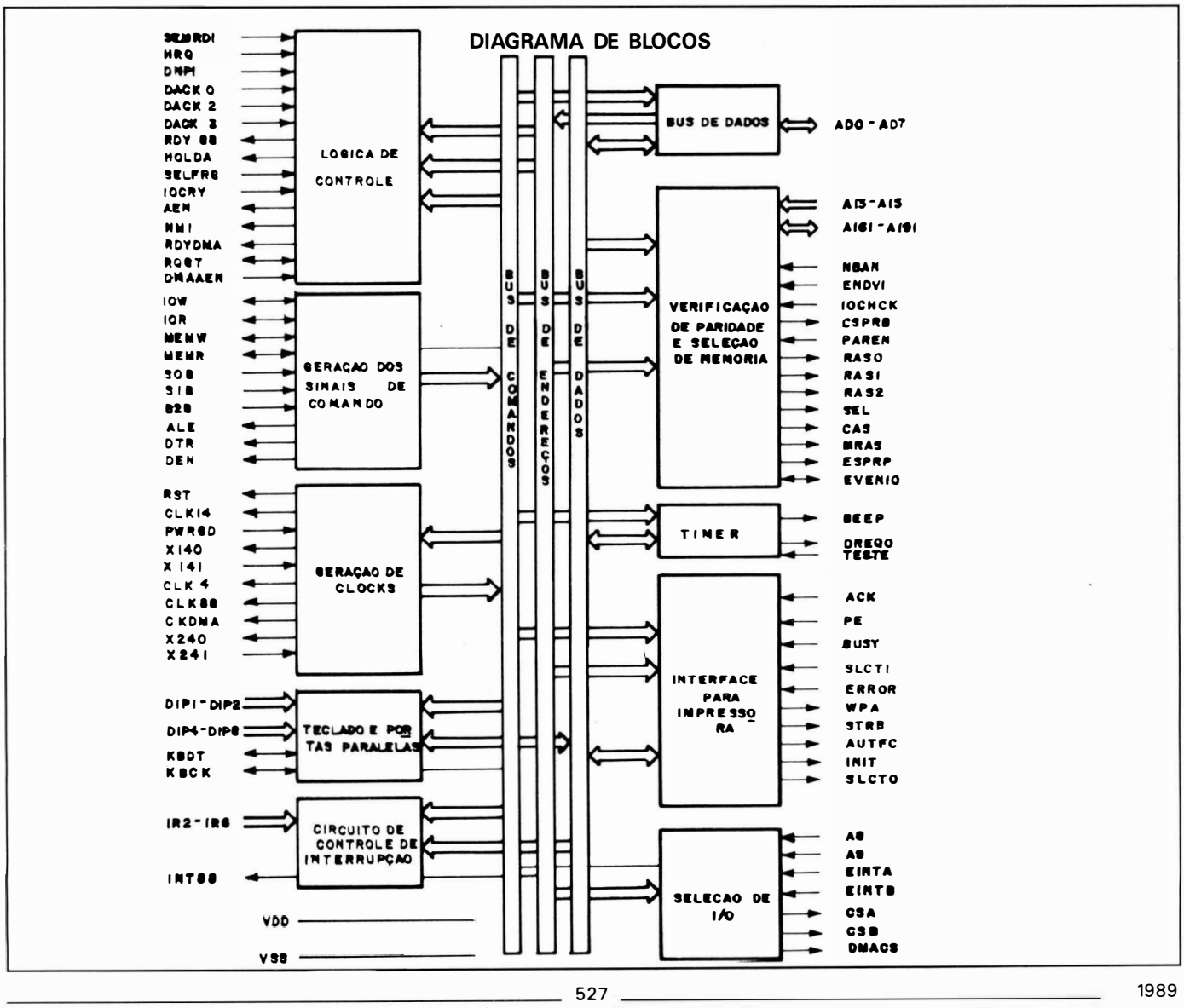
PRELIMINAR

Características:

- ☐ Executa as funções lógicas das placas de CPU e memória dos micros compatíveis com o IBM PC-XT;
- ☐ Controle de 8 níveis de interrupção (compatível com o 8259);
- ☐ Três canais de Timer, sendo 2 programáveis e 1 fixo, para refresh (compatível com o 8253);
- ☐ Geração do clock de 4,77 ou 8/10 MHz para a CPU, selecionável por hardware ou software (compatível com o 8284);
- ☐ Geração dos sinais de comando (compatível com o 8288);
- ☐ Portas paralelas (compatível com o 8255);
- ☐ Interface para impressora e teclado;
- ☐ Lógicas de: geração de wait, seleção de DMA/CPU, geração e verificação de paridade;
- ☐ Geração da lógica de controle de NMI;
- ☐ Geração de RAS, SEL e CAS para as RAMs dinâmicas, para até 3 bancos de 256 kbytes cada;
- ☐ Capacidade de endereçamento até 704 ou 640 kbytes;
- ☐ Decodificação dos endereços de ROM, com programação para endereçamento da ROM em RAM (shadow);
- ☐ Níveis lógicos compatíveis com TTL;
- ☐ Proteção contra descarga eletrostática.

Descrição Geral:

O ICD 82C114 foi projetado com a finalidade de minimizar o número de CIs necessários para a implementação de microcomputadores compatíveis com o PC-XT IBM. Com exceção do processador 8088, do co-processador 8087, do circuito para controle de DMA (8237), das memórias RAM e ROM e dos drivers, ele integra todas as funções necessárias para o controle da CPU e o acesso à memória.
A partir de dois cristais, o ICD 82C114 gera todos os clocks do sistema, incluindo o da CPU, de 4,77 ou 8/10 MHz. Ele também produz os sinais IOR, IOW, MEMR e MEMW do bus de controle e, sob o comando da CPU, gera o sinal INTA (usado internamente) e os sinais de READY e NMI. Controla até 8 níveis de interrupção e conta com 3 canais de temporização, dos quais 2 programáveis e um fixo — este para gerar pedidos de DMA para o refresh das RAMs dinâmicas. Ficaram sob sua responsabilidade também as funções de interface com o teclado e com a impressora, assim como o gerenciamento de uso dos barramentos de dados, endereços e controle do sistema. Dispõe ainda de 3 portas paralelas de 8 bits, sendo duas de entrada e uma de saída, e produz todos os sinais de decodificação de I/O dos estágios implementados — mantendo assim total compatibilidade com o endereçamento do PC-XT. Decodifica, por fim, os endereços da memória ROM e gera os sinais de controle (RAS, SEL e CAS) e de verificação da paridade nas memórias RAM.



ICD 82C901

PRELIMINAR

Características:

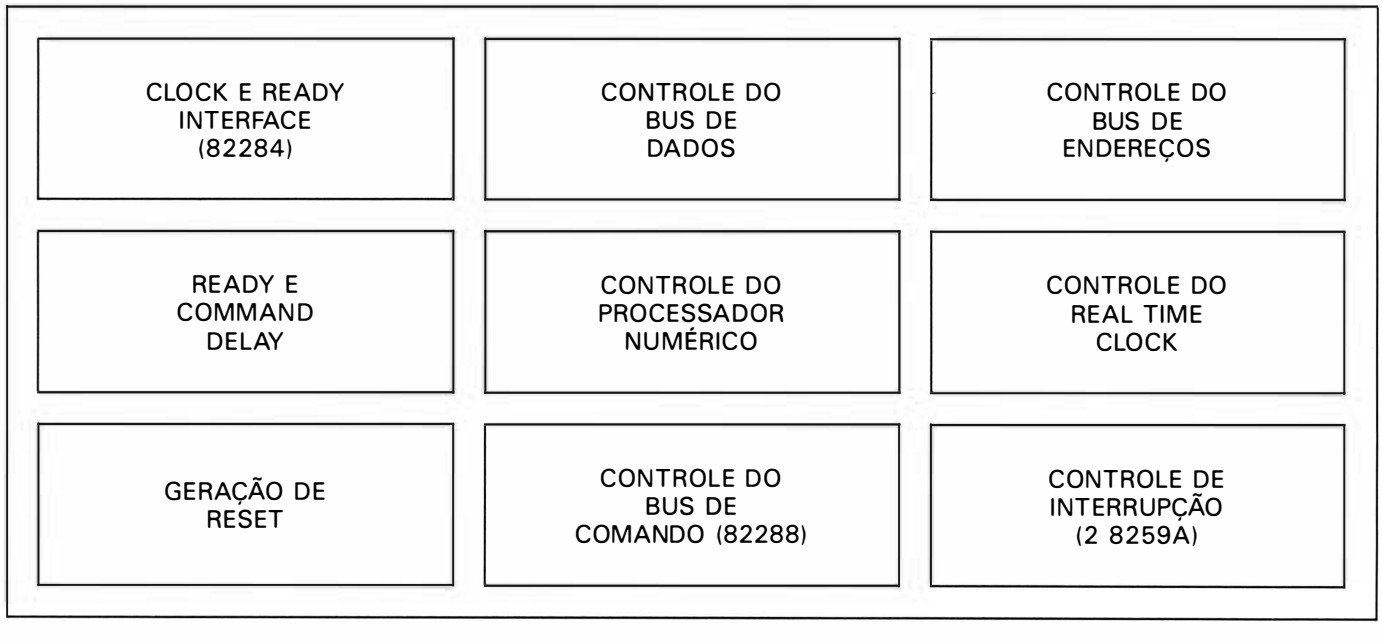
- ☐ Controla 15 linhas de interrupção (equivalente a dois IC 8259);
- ☐ Gera o clock para o controlador de teclado e microprocessador;
- ☐ Controla a conversão de 16 para 8 e 8 para 16 bits no bus de dados;
- ☐ Envia os sinais ALE e RAS antecipadamente a fim de estender os ciclos de acesso à memória;
- ☐ Gera os sinais de comando para o microprocessador;
- ☐ Alimentação única de 5 Volts;
- ☐ Encapsulado em PLCC 84 pinos.

Descrição Geral:

O ICD 82C901 (juntamente com os ICD 82C902, ICD 82C903 e ICD 82C904) faz parte de um conjunto de quatro circuitos integrados projetados pela ITAUCOM com a finalidade de executar a maioria das funções da mother board de microcomputadores compatíveis com o IBM PC-AT.

O ICD 82C901 controla 15 linhas de interrupção de maneira semelhante a dois IC 8259A (um deles configurado como mestre e o outro como escravo).
A partir de dois cristais osciladores, o ICD 82C901 produz os sinais de clock para o sistema, para o circuito controlador de teclado e para o microprocessador, sendo que para este último pode-se selecionar um dos dois cristais para fornecer a freqüência do sinal.
O ICD 82C901 controla a geração do número de wait-states do microprocessador. Esse número pode ser 0, 1, 2 ou 4 para acessos a 16 bits, e 0, 2, 4 ou 8 para acessos a 8 bits.
O ICD 82C901 controla a geração dos sinais de comando e executa a conversão de 16 para 8 e 8 para 16 bits no bus de dados, quando essa conversão for necessária, através do controle dos drivers do bus de dados.
O ICD 82C901 reconhece um shutdown, liberando o sinal de reset para o microprocessador, bem como controla o reset do sistema e executa a interface entre o co-processador numérico e o processador central. Os sinais ALE e RAS são liberados antecipadamente em relação ao PC-AT da IBM, permitindo um tempo maior para o acesso à memória.

BLOCOS INTERNOS



ICD 82C902

PRELIMINAR

Características:

- ☐ Controla 7 canais de DMA (equivalente a dois IC 8237);
- ☐ Possui três canais para temporizador (equivalente a um 8254);
- ☐ Executa as funções do mapeador de memória 74LS612;
- ☐ Gera os sinais de NMI para o microprocessador, refresh das RAMs dinâmicas e decodificação de E/S;
- ☐ Fornece os sinais de clock de 14,318 MHz externo e de 1,19 MHz interno para o temporizador (equivalente a um IC 8284);
- ☐ Alimentação única de 5V;
- ☐ Encapsulado em PLCC de 84 pinos.

Descrição Geral:

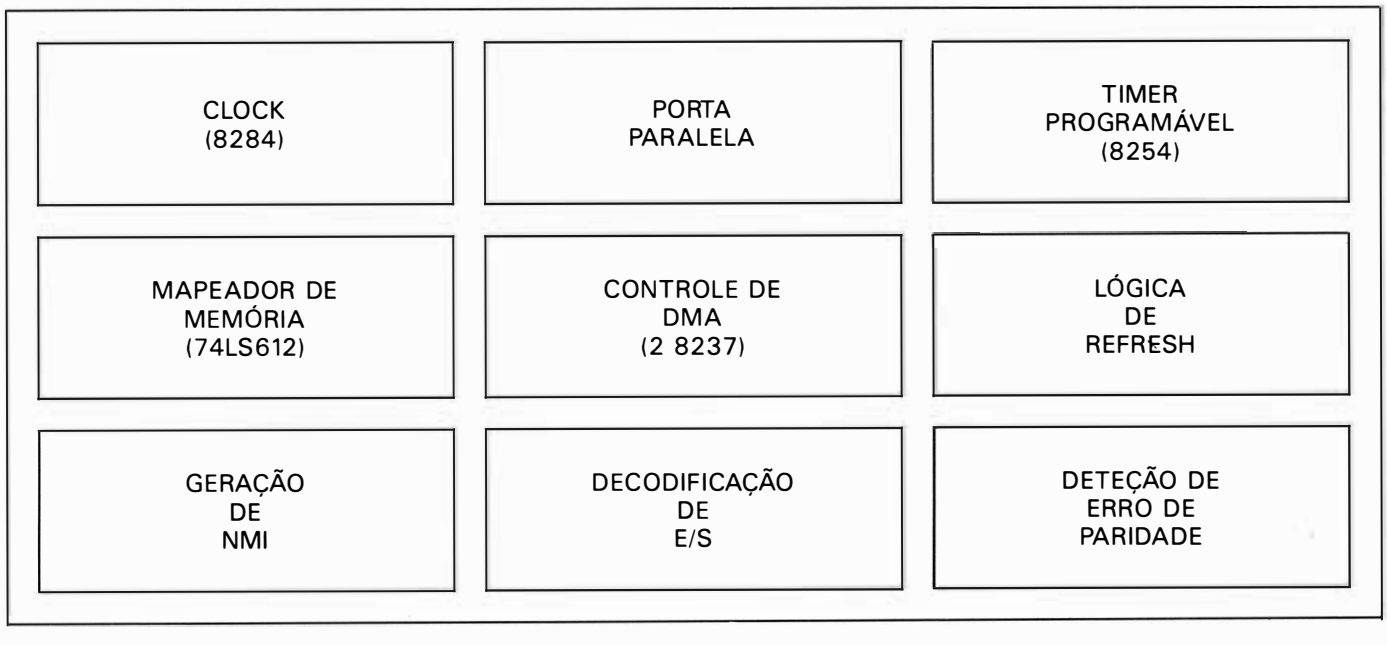
O ICD 82C902 (juntamente com os ICD 82C901, ICD 82903 e ICD 82C904) faz parte de um conjunto de quatro circuitos integrados projetados pela ITAUCOM com a finalidade de executar a maioria das funções da mother board de microcomputadores compatíveis com o IBM PC-AT.

O IC 82C902 executa as funções de DMA, refresh, temporizador, porta paralela, mapeamento de memória, NMI, tratamento de erro de paridade e detecção de erro no canal de E/S.

O ICD 82C902 gera os sinais de seleção para o real time clock, para os circuitos controladores de interrupção 1 e 2, para o 8042 (controlador de teclado), para o 80287 (co-processador) e para os circuitos internos ao IC 82C902 que necessitem de decodificação de endereço.

A partir de um cristal de 14,318 MHz o ICD 82C902 produz o sinal OSC de freqüência igual à do cristal, e um sinal interno de 1,19 MHz destinado ao temporizador.

BLOCOS INTERNOS



ICD 82C903

PRELIMINAR

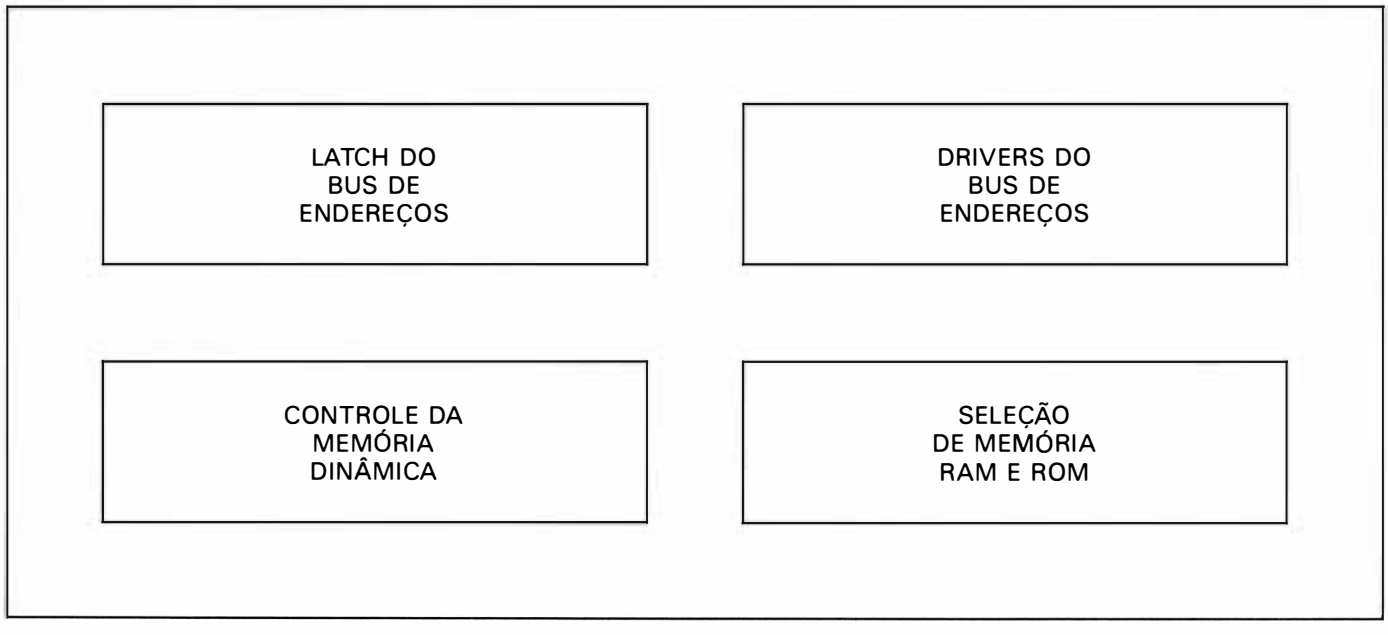
Características:

- ☐ Controla os buses de endereço da mother board;
- ☐ Executa a decodificação de endereços de memória da mother board, através do envio dos sinais RAS e CAS para as RAMs dinâmicas;
- ☐ Permite a utilização de diversas configurações de memória;
- ☐ Alimentação única de 5V;
- ☐ Encapsulado em PLCC de 84 pinos.

Descrição:

O ICD 82C903 (juntamente com os ICD 82C901, ICD 82902 e ICD 82C904) faz parte de um conjunto de circuitos integrados projetados pela ITAUCOM com a finalidade de executar a maioria das funções da mother board de microcomputadores compatíveis com o IBM PC-AT.
O IC 82C903 controla o fluxo de endereços entre o microprocessador (XA0, A1-A19) e o bus do sistema (SA0-SA19). Além de gerar os endereços para a memória dinâmica (MA0-MA19), integra a linha de atraso e fornece os sinais RAS e CAS. Se necessário a linha de atraso interna pode ser desativada e substituída por uma externa.
Os sinais SEL1, SEL2 e CONTR1, este último quando configurado como entrada, permitem a utilização de várias configurações de memória.
O IC 82C903 fornece também outros sinais necessários ao funcionamento da mother board tais como: LMEGCS e F16.

BLOCOS INTERNOS



ICD 82C904

PRELIMINAR

Características:

- ☐ Executa o controle dos buses de dados da mother board;
- ☐ Gera o bit de paridade na operação de escrita e o verifica na leitura da memória;
- ☐ Relógio com horário do dia, alarme e calendário de 100 anos;
  - — Contagem de segundos, minutos e horas do dia;
  - — Contagem de dias da semana, dias do mês, meses e anos;
  - — Representação binária ou BCD de horário, calendário e alarme;
  - — Relógio de 12 ou 24 horas, com AM e PM no modo 12 horas;
  - — Opção de horário de verão;
  - — Reconhecimento automático de fim de mês;
  - — Pode ser alimentado por bateria.
- ☐ Produz interrupções com intervalo programável;
- ☐ Integra uma RAM estática de 64 Bytes.

Descrição Geral:

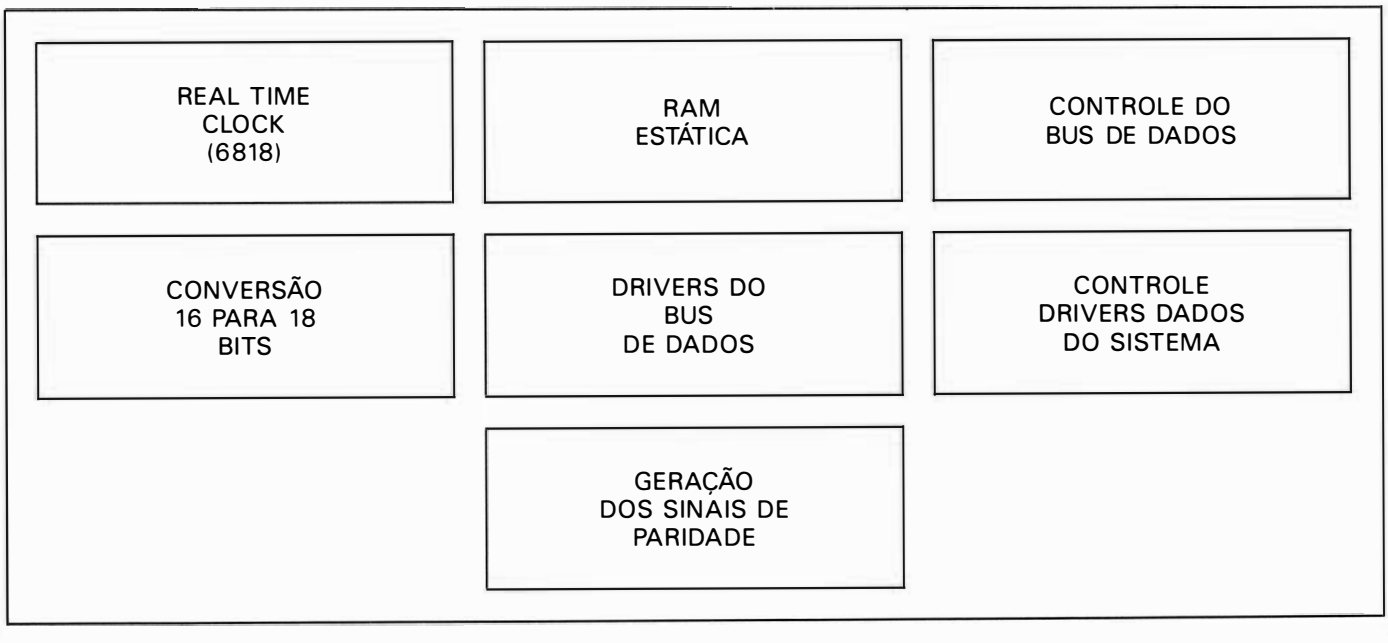
O ICD 82C904 (juntamente com os ICD 82C901, ICD 82C902 e ICD 82C903) faz parte de um conjunto de quatro circuitos integrados projetados pela ITAUCOM com a finalidade de executar a maioria das funções da mother board de microcomputadores compatíveis com o IBM PC-AT.

O ICD 82C904 incorpora os drives para o bus de dados, a lógica de geração/verificação de paridade dos dados, um relógio/calendário e 64 bytes de RAM estática.
Os drives do bus de dados permitem a transferência de informação entre os diversos buses.

O ICD 82C904 gera o bit de paridade durante a operação de escrita na memória e o verifica durante a leitura.

O relógio/calendário e a RAM interna podem ser alimentados por bateria de modo a manter o relógio funcionando e assegurar a integridade dos dados armazenados na RAM durante os períodos de desligamento do sistema.

BLOCOS INTERNOS



OSCILADORES CMOS

PRELIMINAR

Características:

- ☐ Osciladores CMOS completos, encapsulados em PDIPs de 4 pinos (tamanhos padrão dos DIPs de 14 pinos);
- ☐ Elevada estabilidade de freqüência: ± 100 ppm;
- ☐ Fan-out equivalente a 10 cargas TTL;
- ☐ Baixo consumo de corrente;
- ☐ Alimentação de 5 V ± 0,5 V;
- ☐ Freqüência de 1,8 a 50 MHz (veja tabela).

RELAÇÕES DOS TIPOS DISPONÍVEIS

CÓDIGO	FREQÜÊNCIA (MHz)	CONDIÇÃO DE CARGA	
		CMOS	TTL-10
ICX 1M80	1,8432	X	X
ICX 3M50	3,5795	X	X
ICX 6M10	6,1440	X	X
ICX 8M00	8,0000	X	X
ICX 9M60	9,6000	X	X
ICX 10M00	10,0000	X	X
ICX 14M30	14,3181	X	X
ICX 16M00	16,0000	X	X
ICX 16M30	16,2570	X	X
ICX 20M00	20,0000	X	X
ICX 24M00	24,0000	X	X
ICX 25M00	25,0000	X	X
ICX 30M00	30,0000	X	X
ICX 32M00	32,0000	X	X
ICX 33M33	33,3333	X	X
ICX 40M00	40,0000	X	X
ICX 50M00	50,0000	X	X

Todos os direitos deste documento são reservados. Não pode, no todo ou em parte, ser copiado, fotocopiado, reproduzido, traduzido, ou reduzido a qualquer meio eletrônico ou forma legível por máquina, sem autorização por escrito da ITAUCOM. Esta se reserva o direito de proceder a alterações no conteúdo e na forma deste documento, bem como nos produtos nele descritos, sem qualquer notificação, com a finalidade de promover aprimoramentos no projeto e no desempenho de seus produtos, para torná-los cada vez melhores.

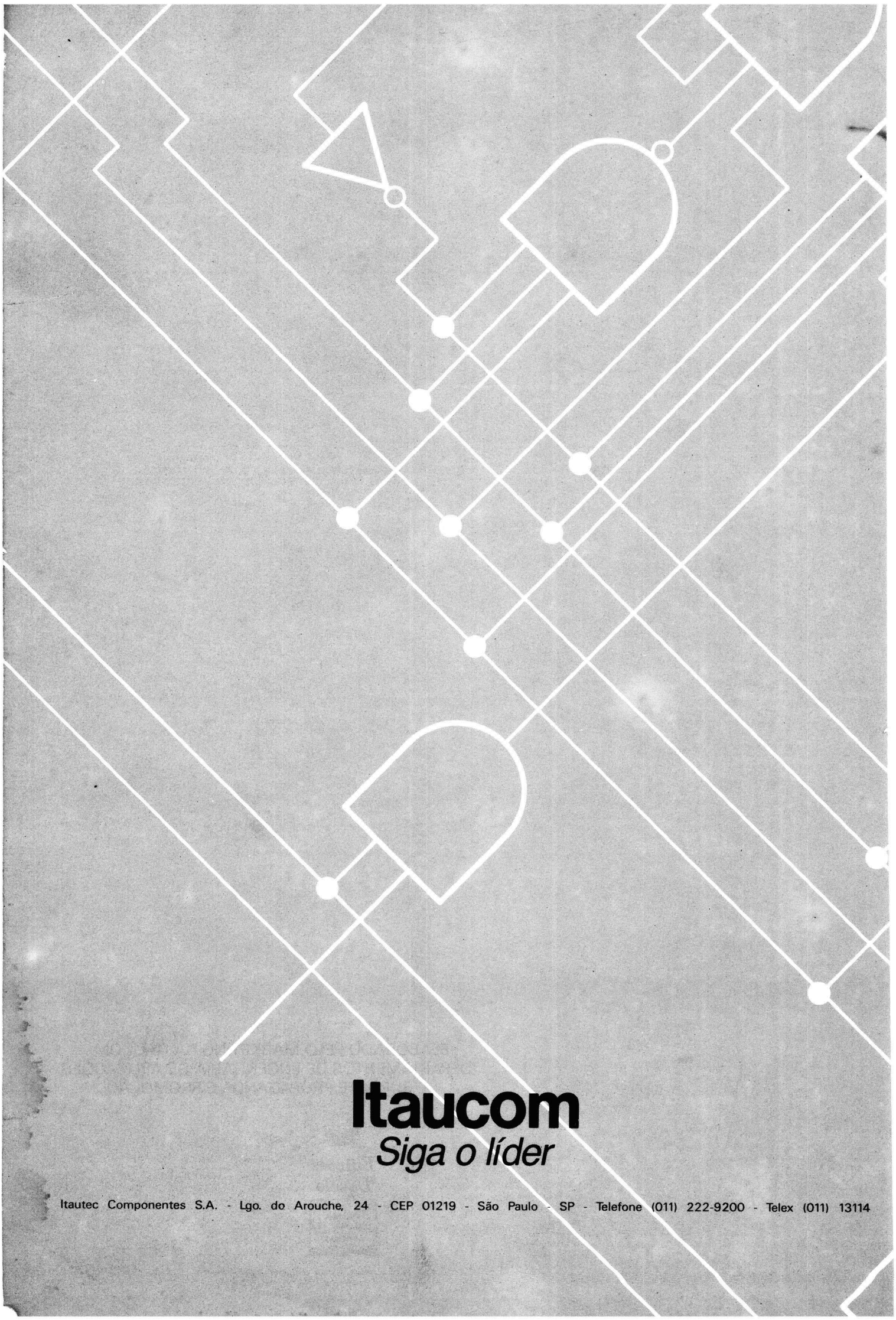
A ITAUCOM também não assume responsabilidade alguma pelo uso de qualquer um dos circuitos descritos e não garante que a utilização de qualquer informação aqui contida não represente infração por patente adquirida ou por direitos de terceiros. Nenhuma licença ou patente dos circuitos está, portanto, implícita.

ITAUTEC COMPONENTES S.A. — ITAUCOM —
GRUPO ITAUTEC

Impresso no Brasil COPYRIGHT © 1989

ELABORADO PELO MARKETING DA ITAUCOM -
DEPARTAMENTOS DE ENGENHARIA DE APLICAÇÕES
E SUPORTE/PROPAGANDA E PROMOÇÃO

Edições
Loyola
RUA 1822, 347
IPIRANGA
SÃO PAULO SP
IMPRESSÃO



Itaucom

Siga o líder

Itautec Componentes S.A. - Lgo. do Arouche, 24 - CEP 01219 - São Paulo - SP - Telefone (011) 222-9200 - Telex (011) 13114

Itaucom

Siga o líder

Itautec Componentes S.A. - Lgo. do Arouche, 24 - CEP 01219 - São Paulo - SP - Telefone (011) 222-9200 - Telex (011) 13114