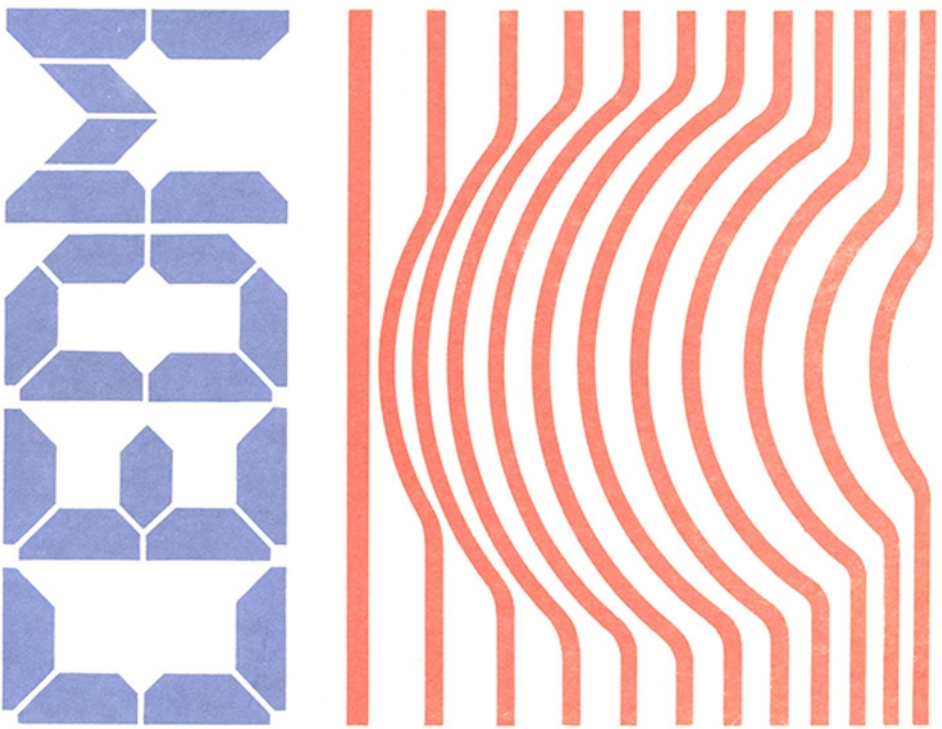
CURSO DE ELETRÔNICA DIGITAL E MICROPROCESSADORES



CURSOS DE APERFEIÇOAMENTO

CEDM-CURSO DE
ELETRONICA DIGITAL E
MICROPROCESSADORES
CAIXA POSTAL 1642 – CEP 86100 – LONDRINA-PR.

LIÇÃO ED-1

SISTEMA BINÁRIO DE NUMERAÇÃO

INTRODUÇÃO

Os elementos discretos de informação são representados, nos sistemas digitais, por quantidades físicas, chamadas: sinais elétricos. Destes, os mais comuns são as tensões e as correntes. Obviamente, os sistemas digitais que trabalham somente com os dois valores discretos de tensão ou corrente são mais confiáveis do que aqueles que operam, por exemplo, com dez estados discretos, usando um valor discreto de tensão para cada estado.

A representação escrita de quantidades numéricas se faz através dos algarismos e de um conjunto de normas que constituem o sistema de numeração.

O sistema de base dez ou decimal é o que conhecemos desde a infância e nos acostumamos a ele. Porém, em se tratando de circuitos eletrônicos digitais, temos que utilizar um outro sistema chamado: SISTEMA BINÁRIO. Se utilizássemos o nosso sistema que é o de base dez, para representação de elementos, precisaríamos de dez níveis de tensão para simular um determinado circuito.

Na eletrônica digital, a simplicidade do sistema binário

ajuda e simplifica bastante, exigindo, apenas, dois níveis distintos de tensão para a representação de seus dígitos, os "BITS" (BINARY DIGITS) que são o zero (0) e o um (1). Além do sistema binário, existem ainda o octal e o hexadecimal que também são muito importantes para o estudo relativo à área de técnicas digitais e computação.

Conforme o nosso estudo for se aprofundando, o aluno irá perceber a ligação que existe entre circuitos lógicos e estes sistemas de numeração. Veremos a seguir o primeiro deles.

SISTEMA BINÁRIO DE NUMERAÇÃO

Nós estamos sempre acostumados a lidar com o sistema de numeração decimal (base dez) e ao depararmos com outros sistemas de numeração, ficamos surpresos.

Vamos então lembrar o que seja o sistema decimal ou de base dez e assim veremos o quanto é simples o uso de outros sistemas.

Examinando o número 576, por exemplo, vemos que ele significa 5 centenas, 7 dezenas e 6 unidades. Os dígitos da base 10 compreendem desde "0" (zero) (dígitos de muita importância) até o "9" (nove). Podemos ver que o número 10, chamado de base do sistema decimal, não pertence ao sistema, sendo o resultado dos dígitos "1" e "0" onde o número 10 é, especificamente, 1 dezena e 0 unidade.

Assim, a posição dos dígitos no sistema de base 10 determina a grandeza do número em questão.

Vejamos o número 623, o qual, quando lido, é o mesmo que o exposto abaixo:

$$623 = 6 \times 10^2 + 2 \times 10^1 + 3 \times 10^0$$

$$= 6 \times 100 + 2 \times 10 + 3 \times 1$$

$$= 6 \text{ centenas} + 2 \text{ dezenas} + 3 \text{ unidades.}$$

Desta forma, podemos compreender como funciona o sistema de base dez. Assim, conforme o exemplo visto, podemos representar qualquer sistema de numeração da seguinte forma:

$$N = d_n R^n + \ldots + d_3 R^3 + d_2 R^2 + d_1 R^1 + d_0 R^0$$

Onde:

N é o número expresso;
d_n é o dígito na posição n + 1;
R^n é a base ou raiz do sistema.

O sistema binário de numeração contém apenas dois algarismos:

O algarismo 0 (zero);
O algarismo 1 (um).

Representamos a quantidade zero, utilizando o algarismo (0). Para representarmos a quantidade um, utilizamos o algarismo (1), mas e a quantidade 2? Como fazer, se não possuímos o algarismo (2) neste sistema?

É muito simples. Como já vimos, não possuímos o algarismo dez no sistema decimal e representamos uma dezena, utilizando o algarismo 1 (um) seguido do algarismo 0 (zero), onde o (1) significa um grupo de uma dezena e o algarismo zero(0), nenhuma unidade, o que significa dez.

No sistema binário agimos da mesma forma. Para representarmos a quantidade dois, utilizamos o algarismo (1) seguido do algarismo (0).

O algarismo um (1) significa um elemento de peso dois e o zero (0), um elemento sem unidade, representando, assim, o número dois binário ($10_{(2)}$).

Outro exemplo: para representarmos a quantidade quatro - em binário utilizamos os algarismos 1,0 e 0 respectivamente.

O algarismo um (1) significa um elemento de peso quatro e o zero (0), um elemento sem peso dois e outro zero (0), um elemento sem peso unitário, que representa, assim, o número - quatro binário ($100_{(2)}$). Veja na tabela I mais exemplos.

TABELA I

DECIMAL (base dez)	BINÁRIO (base dois)
0	0 0 0
1	0 0 1
2	0 1 0
3	0 1 1
4	1 0 0

CONVERSÃO DO SISTEMA BINÁRIO PARA O SISTEMA DECIMAL

É claro que o sistema binário é bastante dispendioso no que diz respeito ao espaço que precisa para representar seus números, porém o seu uso é muito amplo (principalmente em computadores), devido à simplicidade da representação dos dígitos 0 e 1.

Vamos ver então como é feita a conversão. Tomemos, como exemplo, o número binário 110 que equivale ao número 6 no sistema decimal (base dez).

$$\overset{1}{\overbrace{}} \quad \overset{1}{\overbrace{}} \quad \overset{0}{\overbrace{}}$$

$$(1 \times 2^2) + (1 \times 2^1) + (0 \times 2^0) = 6$$

$$110 = (1 \times 2^2) + (1 \times 2^1) + (0 \times 2^0) = (1 \times 4) + (1 \times 2) + (0 \times 1) = 6$$

Utilizamos o mesmo processo como na base 10, só que agora a nossa base é dois, portanto o número 110 na base 2 é igual ao número 6 na base 10.

Como podemos ver, é simples convertermos número binários em decimais. Requer somente a adição, do valor, de cada posição que possui o dígito 1 do referido número binário.

Faremos alguns exercícios para que o aluno veja como é fácil a conversão.

Exemplos:

a) Converter o número binário 1101 para o sistema decimal:

$$\overset{1}{\overbrace{}} \quad \overset{1}{\overbrace{}} \quad \overset{0}{\overbrace{}} \quad \overset{1}{\overbrace{}}$$

$$(1 \times 2^3) + (1 \times 2^2) + (0 \times 2^1) + (1 \times 2^0) = 13$$

$$1101 = (1 \times 2^3) + (1 \times 2^2) + (1 \times 2^0) =$$

$$= 8 + 4 + 0 + 1 = 13$$

Os números 8, 4, 0, 1 e 13 pertencem ao sistema decimal já conhecidos.

Obs.: Daqui por diante, colocaremos, como índice do número, a base do sistema em que estamos trabalhando, ou seja:

$20_{(10)}$ - significará o número vinte na base dez.

$101_{(2)}$ - significará o número cinco na base dois.

Para o exemplo "a" podemos escrever:

$1101_{(2)} = 13_{(10)}$

Converter os seguintes números binários para o sistema decimal.

b) $111_{(2)} = X_{(10)}$

$111_{(2)} = (1 \times 2^2) + (1 \times 2^1) + (1 \times 2^0) = 4 + 2 + 1 =$
$= 7_{(10)}$

$111_{(2)} = 7_{(10)}$

c) $10111_{(2)} = X_{(10)}$

$10111_{(2)} = (1 \times 2^4) + (0 \times 2^3) + (1 \times 2^2) + (1 \times 2^1) +$
$+ (1 \times 2^0) = 16 + 0 + 4 + 2 + 1 = 23_{(10)}$

$10111_{(2)} = 23_{(10)}$

d) $01110_{(2)} = X_{(10)}$

$01110_{(2)} = (0 \times 2^4) + (1 \times 2^3) + (1 \times 2^2) + (1 \times 2^1) +$
$+ (0 \times 2^0) = 0 + 8 + 4 + 2 + 0 = 14_{(10)}$

$01110_{(2)} = 14_{(10)}$

e) $1000_{(2)} = X_{(10)}$

$1000_{(2)} = (1 \times 2^3) + (0 \times 2^2) + (0 \times 2^1) + (0 \times 2^0) =$
$= 8 + 0 + 0 + 0 = 8_{(10)}$

$1000_{(2)} = 8_{(10)}$

f) $1001_{(2)} = X_{(10)}$

$1001_{(2)} = (1 \times 2^3) + (0 \times 2^2) + (0 \times 2^1) + (1 \times 2^0) =$
$= 8 + 0 + 0 + 1 = 9_{(10)}$

$1001_{(2)} = 9_{(10)}$

TABELA II

Potência de dois	
2^0	1
2^1	2
2^2	4
2^3	8
2^4	16
2^5	32
2^6	64
2^7	128
2^8	256
2^9	512
2^{10}	1024
2^{11}	2048
2^{12}	4096
2^{13}	8192
2^{14}	16384
2^{15}	32768

A tabela II ao lado indica algumas potências de dois.

EXERCÍCIOS PROPOSTOS

Converter os seguintes números binários em decimais:

1) $1010_{(2)}$ 2) $1011_{(2)}$ 3) $10001_{(2)}$

4) $1100110001_{(2)}$ 5) $1010110_{(2)}$

Respostas:

1) $10_{(10)}$ 2) $11_{(10)}$ 3) $17_{(10)}$

4) $817_{(10)}$ 5) $86_{(10)}$

CONVERSÃO DO SISTEMA DECIMAL PARA O SISTEMA BINÁRIO:

Já vimos a necessidade da conversão do sistema binário para o decimal, pois, se tivermos um número grande no sistema binário, é difícil percebermos a quantidade que este representa.

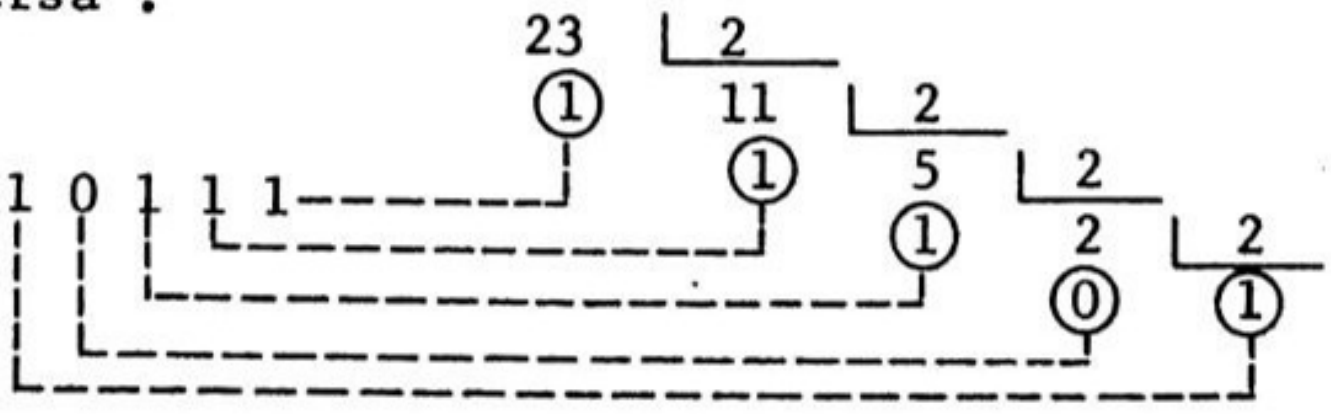
Veremos agora a transformação de um número decimal em binário, ou seja, a conversão do sistema decimal para o sistema binário.

Vamos recorrer a uma regra prática para efetuarmos esta operação:

"Divide-se o número por 2 e o mesmo se faz com o quociente obtido, sucessivamente até resultar a unidade como último quociente. Toma-se os restos das diversas divisões e faz-se a leitura na ordem inversa".

Exemplo:

$23_{(10)}$ $X_{(2)}$



Resposta:

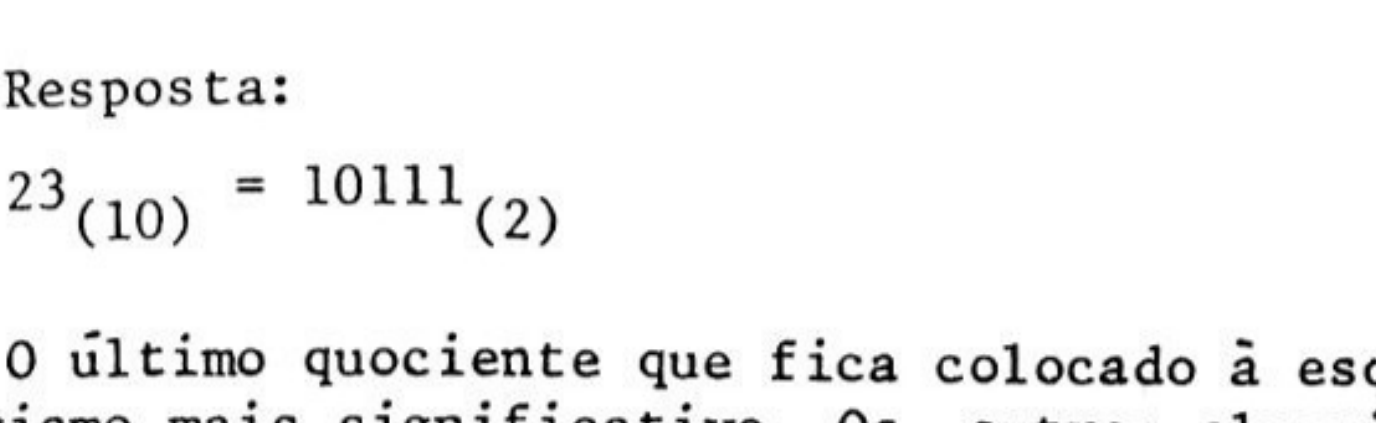
$23_{(10)} = 10111_{(2)}$

O último quociente que fica colocado à esquerda, será o algarismo mais significativo. Os outros algarismos seguem-se na ordem: último resto, penúltimo resto e assim por diante, até o primeiro resto.

EXERCÍCIOS RESOLVIDOS

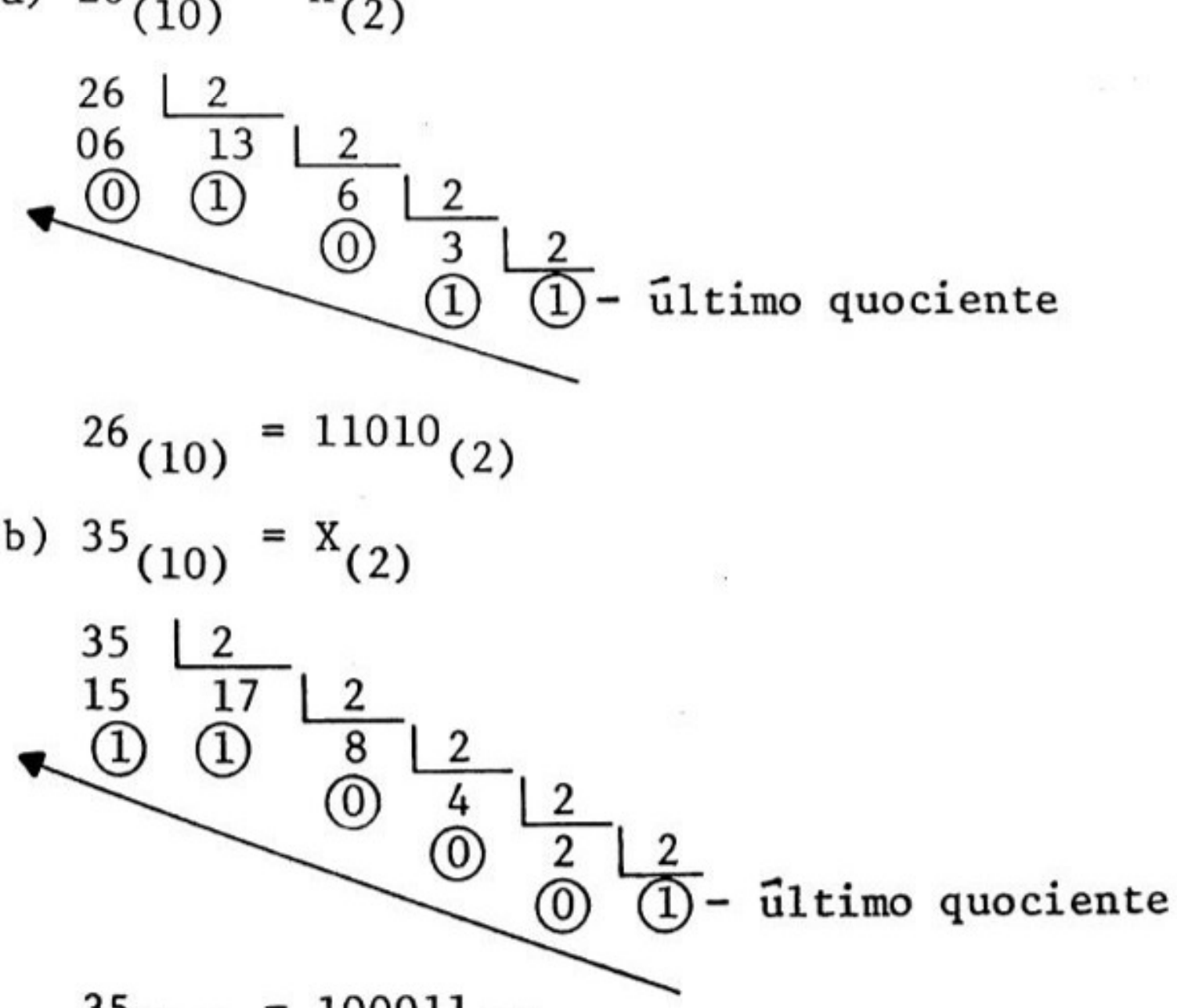
Converter os seguintes números de base 10 para a base 2.

a) $26_{(10)} = X_{(2)}$



$26_{(10)} = 11010_{(2)}$

b) $35_{(10)} = X_{(2)}$



$35_{(10)} = 100011_{(2)}$

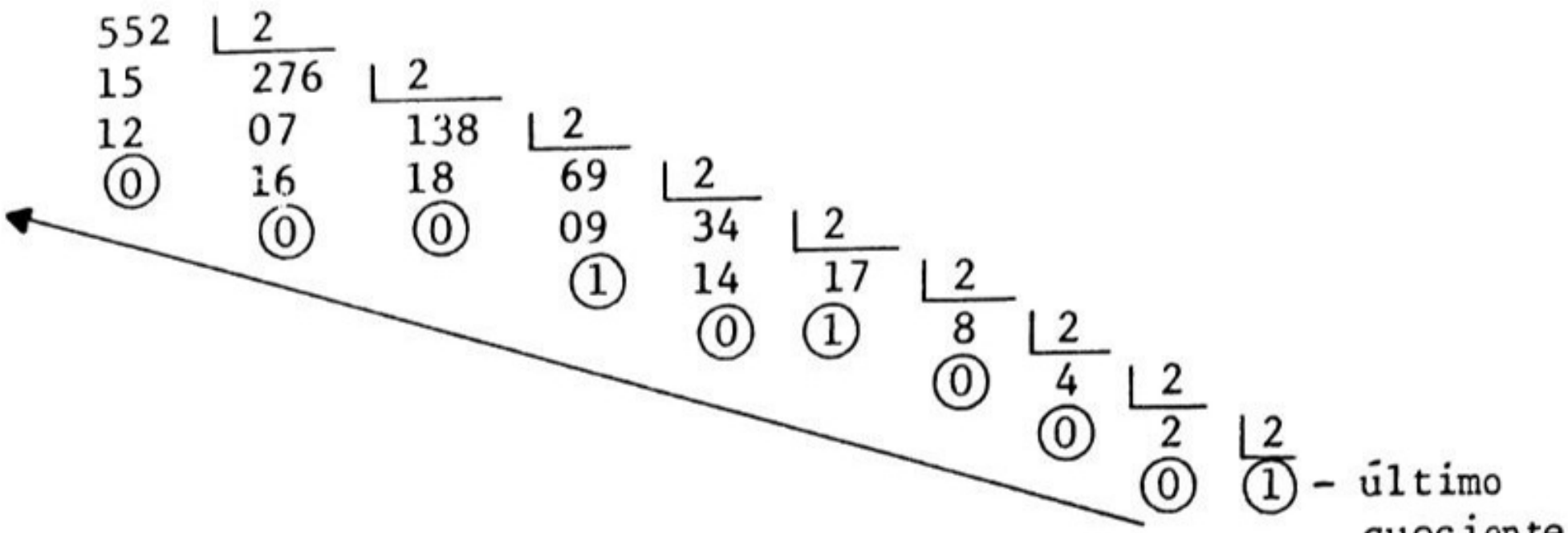
Vamos confirmar o resultado:

$100011_{(2)} = (1 \times 2^5) + (0 \times 2^4) + (0 \times 2^3) + (0 \times 2^2) + (1 \times 2^1) + (1 \times 2^0)$

$100011_{(2)} = 32 + 2 + 1 = 35_{(10)}$

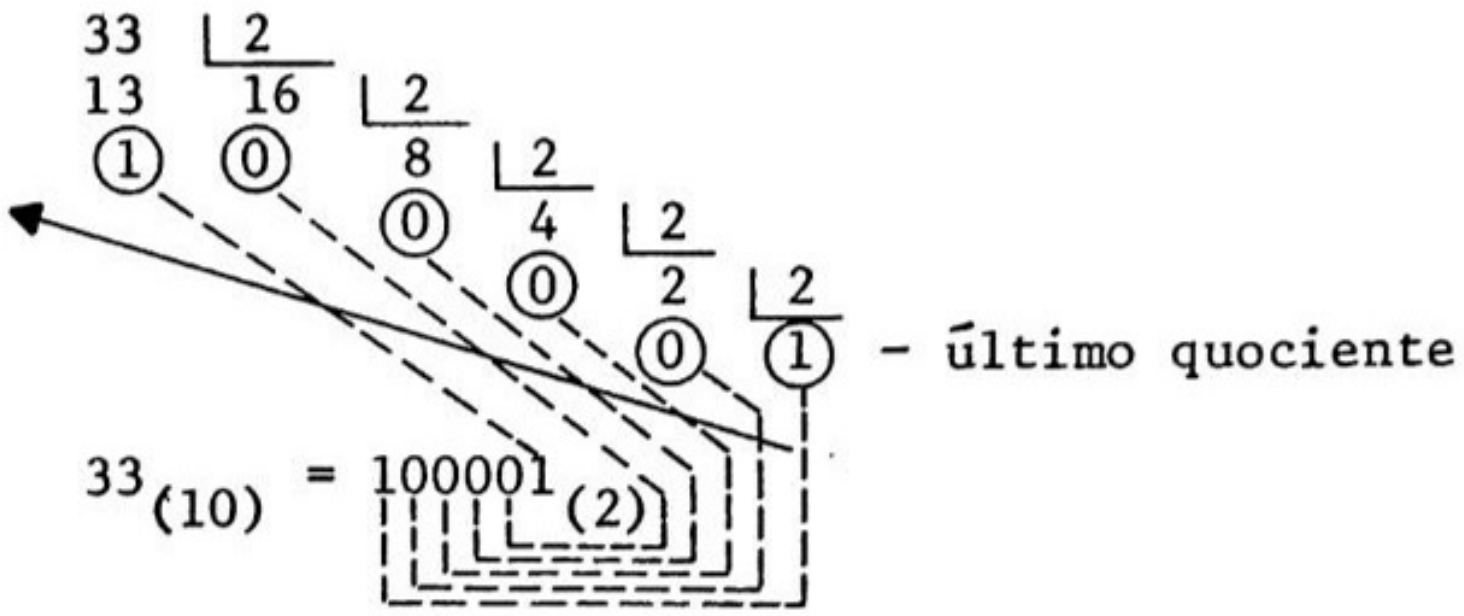
08

c) $552_{(10)} = X_{(2)}$

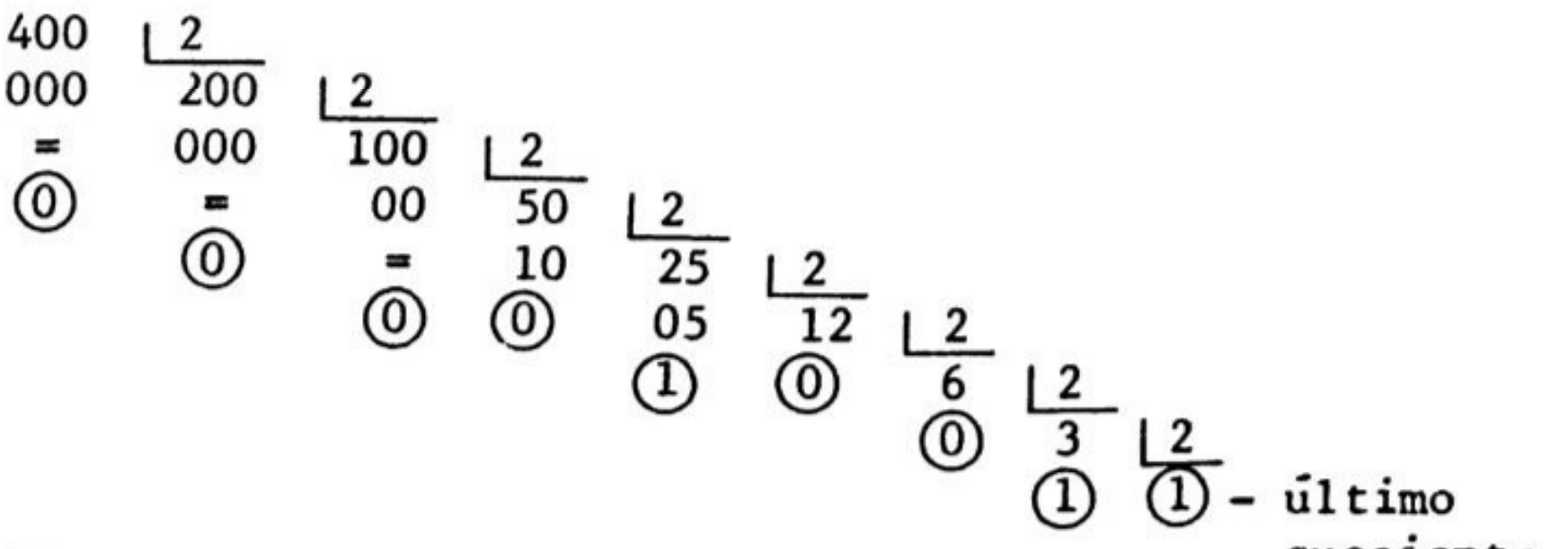


$552_{(10)} = 1000101000_{(2)}$

d) $33_{(10)} = X_{(2)}$



e) $400_{(10)}$



$400_{(10)} = 110010000_{(2)}$

EXERCÍCIOS PROPOSTOS

Converter os seguintes números decimais em binários:

1) $47_{(10)}$ 2) $21_{(10)}$ 3) $715_{(10)}$

4) $157_{(10)}$ 5) $50_{(10)}$

Respostas:

1) $101111_{(2)}$ 2) $10101_{(2)}$ 3) $1011001011_{(2)}$

4) $10011101_{(2)}$ 5) $110010_{(2)}$

CONVERSÃO DO SISTEMA BINÁRIO-FRACIONÁRIO PARA O SISTEMA DECIMAL

Até agora tratamos exclusivamente de números inteiros e, se aparecesse um número binário como este $10,101_{(2)}$, como procederíamos?

No sistema decimal, por exemplo, o número fracionário: $0,5176_{(10)}$ é lido da seguinte forma: 5 décimos, 1 centésimo, 7 milésimos e 6 décimos-milésimos. Desta forma, o número fracionário pode ser escrito do seguinte modo:

$$N = d_1R^{-1} + d_2R^{-2} + d_3R^{-3} + \ldots + d_nR^{-n}$$

No sistema decimal teremos:

$$0,5176 = N = 5 \times 10^{-1} + 1 \times 10^{-2} + 7 \times 10^{-3} + 6 \times 10^{-4}$$

No sistema binário, o número fracionário $10,101_{(2)}$ é lido assim:

$$10,101_{(2)} = (1 \times 2^{1}) + (0 \times 2^{0}) + (1 \times 2^{-1}) + (0 \times 2^{-2}) + (1 \times 2^{-3}) = 2 + 0 + 1/2 + 0 + 1/8 = 2 + 0 + 0,5 + 0 + 0,125 = 2,625_{(10)}$$

Portanto: $10,101_{(2)} = 2,625_{(10)}$

EXERCÍCIOS RESOLVIDOS

Transformar para decimal os seguintes números binários:

a) $0,1011_{(2)} = X_{(10)}$

$0,1011_{(2)} = (1 \times 2^{-1}) + (0 \times 2^{-2}) + (1 \times 2^{-3}) + (1 \times 2^{-4})$
$= 0,5 + 0,125 + 0,0625 = 0,6875_{(10)}$

$0,1011_{(2)} = 0,6875_{(10)}$

b) $0,10001_{(2)} = X_{(10)}$

$0,10001_{(2)} = (1 \times 2^{-1}) + (1 \times 2^{-5})$
$= 0,5 + 0,03125 = 0,53125_{(10)}$

$0,10001_{(2)} = 0,53125_{(10)}$

c) $110101,11_{(2)} = X_{(10)}$

$110101,11_{(2)} = (1 \times 2^5) + (1 \times 2^4) + (0 \times 2^3) + (1 \times 2^2) +$
$+ (0 \times 2^1) + (1 \times 2^0) + (1 \times 2^{-1}) +$
$+ (1 \times 2^{-2}) = 53,75_{(10)}$

d) $1010,1101_{(2)} = X_{(10)}$

$1010,1101_{(2)} = (1 \times 2^3) + (0 \times 2^2) + (1 \times 2^1) +$
$+ (0 \times 2^0) + (1 \times 2^{-1}) + (1 \times 2^{-2}) +$
$+ (0 \times 2^{-3}) + (1 \times 2^{-4})$

$= 8 + 2 + 0,5 + 0,25 + 0,0625 =$
$= 10,8125_{(10)}$

Logo: $1010,1101_{(2)} = 10,8125_{(10)}$

e) $10,110_{(2)} = X_{(10)}$

$10,110_{(2)} = (1 \times 2^1) + (0 \times 2^0) + (1 \times 2^{-1}) + (1 \times 2^{-2})$
$+ (0 \times 2^{-3}) = 2 + 0,5 + 0,25 = 2,75$

$10,110_{(2)} = 2,75_{(10)}$

EXERCÍCIOS PROPOSTOS

Converter os seguintes números binários em decimais:

a) $0,10010_{(2)}$

b) $111,001_{(2)}$

c) $0100,11001_{(2)}$

d) $101011,101_{(2)}$

e) $0,11010_{(2)}$

Respostas:

a) $0,5625_{(10)}$

b) $7,125_{(10)}$

c) $4,78125_{(10)}$

d) $43,625_{(10)}$

e) $0,8125_{(10)}$

Vamos, a seguir, indicar a tabela de potências negativas de dois:

TABELA III

2^{-1}	0,5
2^{-2}	0,25
2^{-3}	0,125
2^{-4}	0,0625
2^{-5}	0,03125
2^{-6}	0,015625
2^{-7}	0,0078125
2^{-8}	0,00390625
2^{-9}	0,001953125

CONVERSÃO DO SISTEMA DECIMAL FRACIONÁRIO PARA O SISTEMA BINÁRIO

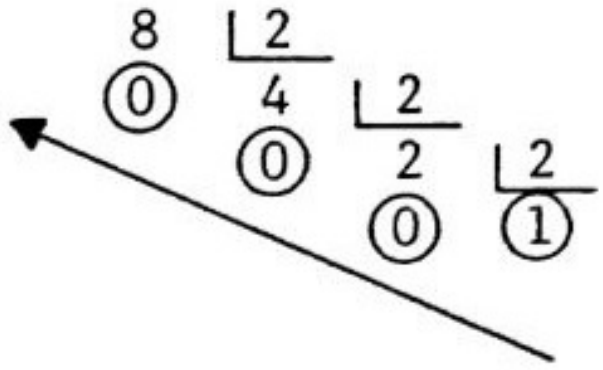
Podemos também converter um número decimal fracionário em binário, para isso, utilizamos a regra prática:

Seja, por exemplo, o número $8,375_{(10)}$

O que significa somarmos:

8 + 0,375 = 8,375

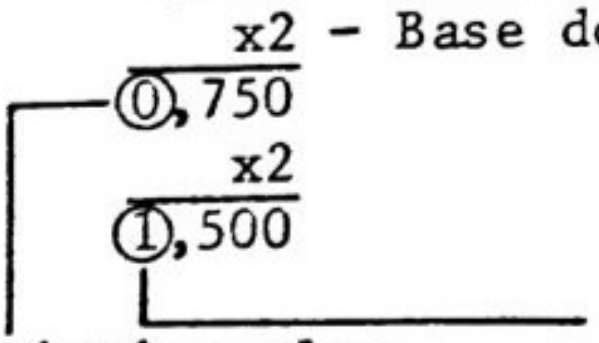
Transformamos primeiro a parte inteira do número, já explicado anteriormente.



$8_{(10)} = 1000_{(2)}$

Feito isso, segue-se a transformação da parte fracionária. Desta forma, utilizamos a seguinte seqüência:

0,375 - Parte fracionária não interna
x2 - Base do sistema



Quando atingimos o número 1, se a parte do número, após a vírgula, não for nula, separamos esta última e reiniciamos o processo. No caso:

Terceiro algarismo após a vírgula.

$$\begin{array}{r} 0,500 \\ \times 2 \\ \hline \textcircled{1},000 \end{array}$$

- Neste caso, a parte do número, depois da vírgula, é nula. Paramos então aí o processo.

Teremos então: $0,011_{(2)} = 0,375_{(10)}$

1º 2º 3º algarismos posteriores a vírgula.

Logo teremos:

$1000 + 0,011 = 1000,011_{(2)} = 8,375_{(10)}$

$8_{(10)} + 0,375_{(10)} = 8,375_{(10)}$

Vamos fazer mais alguns exemplos.

Converter os seguintes números em binários:

a) $4,8_{(10)} = X_{(2)}$

$4,8 = 4 + 0,8$ { 4 - parte inteira; 0,8 - parte fracionária

Convertemos primeiro a parte inteira:

$$\begin{array}{r|l} 4 & 2 \\ \hline \textcircled{0} & 2 \quad 2 \\ \hline & \textcircled{0} \quad \textcircled{1} \end{array}$$

$4_{(10)} = 100_{(2)}$

Vamos converter a parte fracionária:

$$\begin{array}{r} 0,8 \\ \times 2 \\ \hline \textcircled{1},6 \end{array}$$ ← Conseguimos o número 1

Separamos a parte posterior à vírgula não nula e reiniciamos o processo:

0,6
x2
①,2 ← Conseguimos outro número 1.

Reiniciamos o processo:

0,2
x2
⓪,4 ← Conseguimos um número 0.
x2
⓪,8 ← Conseguimos outro número 0 e apareceu novamente o 0,8.

Como podemos ver, o número 0,8 tornou aparecer. Este é um caso especial, e, se continuarmos o processo, teremos a mesma seqüência já vista até aqui. Este é o caso de uma dízima.

Logo:

$0,8_{(10)} = \underbrace{0,1100}_{\text{seqüência vista}} \quad \underbrace{1100}_{\text{repetição da seqüência}} \quad \underbrace{1100}_{\text{repetição da seqüência}}$

Logo:

$4,8_{(10)} = 100,110011001100..._{(2)}$

Transformar:

b) $0,57251_{(10)} = X_{(2)}$

0,57251 ×2 → ①,14502
0,14502 ×2 → ⓪,29004
0,29004 ×2 → ⓪,58008
0,58008 ×2 → ①,16016
0,16016 ×2 → ⓪,32032

0, 1 0 0 1 0

assim por diante...

$0,10010_{(2)} = (1 \times 2^{-1}) + (1 \times 2^{-4}) = 0,5 + 0,0625 = 0,5625_{(10)}$

Os dois números não são exatamente os mesmos.

Somente quando o número decimal for fração, tal como - 1/2, 1/8, 1/16 ou uma combinação exata destas frações, haverá um número fracionário binário de valor finito. Não há dificuldade se o equivalente binário da fração decimal não for finito, uma vez que é sempre possível realizar a conversão, tendo em vista uma dada precisão:

c) $0,65625_{(10)} = X_{(2)}$

0,65625	0,31250	0,62500	0,25000	0,50000
x2	x2	x2	x2	x2
①,31250	⓪,62500	①,25000	⓪,50000	①,00000

Logo:

$0,65625_{(10)} = 0,10101_{(2)}$

Transformar:

d) $3,380_{(10)} = X_{(2)}$

$3,380 = 3 + 0,380$

$3_{(10)} = 11_{(2)}$ - conversão da parte inteira.

Vejamos a parte fracionária:

0,38	0,76	0,52	0,04	0,08	0,16	0,32	0,64	0,28
x2	x2	x2	x2	x2	x2	x2	x2	x2
⓪,76	①,52	①,04	⓪,08	⓪,16	⓪,32	⓪,64	①,28	⓪,56

E assim por diante.

Teremos então: $0,011000010_{(2)} = (1 \times 2^{-2}) + (1 \times 2^{-3}) + (1 \times 2^{-4}) = 0,37890625_{(10)}$

Se aproximarmos o número decimal em duas casas decimais, teremos 0,38. Logo, para uma precisão de duas casas decimais, já é mais do que suficiente e podemos parar por aí.

Logo:

$3_{(10)} = 11_{(2)}$

$0,38_{(10)} = 0,01100001_{(2)}$

$3_{(10)} + 0,38_{(10)} = 3,38_{(10)}$

$11_{(2)} + 0,01100001_{(2)} = 11,01100001_{(2)}$

EXERCÍCIOS PROPOSTOS

Transformar os seguintes números decimais em binários:

a) $0,8176_{(10)}$ b) $274,1875_{(10)}$ c) $57,3_{(10)}$

d) $10,8125_{(10)}$ e) $7,125_{(10)}$

Respostas:

a) $0,11010_{(2)}$ b) $100010010,0011_{(2)}$

c) $111001,010011001100..._{(2)}$ d) $1010,1101_{(2)}$

e) $111,001_{(2)}$

Transformar de base os seguintes números:

a) $110111_{(2)} = X_{(10)}$

b) $101101,1_{(2)} = X_{(10)}$

c) $101_{(10)} = X_{(2)}$

d) $2,2_{(10)} = X_{(2)}$

e) $1020_{(10)} = X_{(2)}$

f) $1101110_{(2)} = X_{(10)}$

Respostas:

a) $55_{(10)}$

b) $45,5_{(10)}$

c) $1100101_{(2)}$

d) $10,0011..._{(2)}$

e) $1111111100_{(2)}$

f) $110_{(10)}$

CEDM - CURSO DE ELETRÔNICA DIGITAL E MICROPROCESSADORES

EXAME DA LIÇÃO ED-1

OBSERVAÇÃO

- cada questão é composta de três ou quatro alternativas.
- só uma delas está correta.
- marque a que considerar correta.
- passe as respostas corretas para a folha de exame.

1) Um dos sistemas usados na eletrônica digital, é o sistema binário, pois:

   a) Simplifica bastante, exigindo apenas dois níveis de tensão para a representação de seus dígitos;

   b) É o único sistema existente além do sistema decimal;

   c) As respostas a e b estão incorretas.

2) Os números binários $0011_{(2)}$ e $1010_{(2)}$ correspondem aos seguintes números decimais:

   a) 2 e 10 respectivamente;

   b) 3 e 12 respectivamente;

   c) 3 e 10 respectivamente.

$0011 = 2^1 + 2^0 = 2 + 1 = 3$

$1010 = 2^3 + 2^1 = 8 + 2 = 10$

3) O número $43,8125_{(10)}$ corresponde ao seguinte número binário:

a) $101011,1100_{(2)}$;

b) $101011,1101_{(2)}$;

c) $101011,111_{(2)}$.

4) Outros sistemas de numeração muito importantes na eletrônica digital, além do sistema binário, são:

a) Os sistemas penta e octal;

b) Os sistemas octal e decimal;

c) Os sistemas octal e hexadecimal.

5) Assinale a alternativa correta:

a) $1010110_{(2)} = 85_{(10)}$;

b) O número 10 é a base do sistema decimal, porém não pertence ao sistema;

c) $101010_{(2)} = 73_{(10)}$.

6) O número $110010_{(2)}$ corresponde ao seguinte número no sistema decimal:

a) $49_{(10)}$;

b) $60_{(10}$;

c) $50_{(10)}$.

7) O número $111_{(10)}$ corresponde a:

a) $1101111_{(2)}$;

b) $1101111_{(3)}$;

c) $1111011_{(2)}$.

8) O número $0,11_{(2)}$ corresponde a:

a) $0,75_{(10)}$;

b) $0,8_{(10)}$;

c) $0,78_{(10)}$;

9) Assinale a alternativa correta:

a) $1257_{(10)} = 1 \times 2^4 + 2 \times 2^2 + 5 \times 2^1 + 7 \times 2^0$;

b) $7,125_{(10)} = 111,101_{(2)}$;

c) $26_{(10)} = 11010_{(2)}$.

10) O sistema binário é o de mais baixa base e de grande utilidade, pois:

a) Sua base é 4/2 e seus dígitos são 0 e 1;

b) O sistema de base zero não é muito usado em computadores;

c) As alternativas "a" e "b" estão erradas.

43,8125 →

16 + 8 + 10 + 7

41 (10

125
×2
0,250
×2
0,500
×2
1,000

CURSO DE
ELETRONICA DIGITAL E
MICROPROCESSADORES
CAIXA POSTAL 1642 – CEP 86100 – LONDRINA-PR.

LIÇÃO ED-2

SISTEMA DE NUMERAÇÃO OCTAL E HEXADECIMAL

SISTEMA OCTAL DE NUMERAÇÃO

O sistema de numeração octal ou de base 8 é um dos mais populares entre muitos computadores digitais, tais como o IBM-7090 e outros da"Digital Equipment Corporation".

O sistema octal utiliza apenas os oito primeiros algarismos decimais (0 a 7), pois a base de um sistema coincide com a quantidade de símbolos de que este dispõe para representar - qualquer número.

Os seus oito algarismos são:

0, 1, 2, 3, 4, 5, 6 e 7.

Para representarmos o número oito, por exemplo, agimos do mesmo modo que o visto anteriormente para o sistema binário : colocamos o algarismo 1 seguido de três algarismo 0. Isto significa que teremos um grupo de oito adicionado a nenhuma unidade.

CONVERSÃO DO SISTEMA OCTAL PARA O SISTEMA DECIMAL

Para fazermos este tipo de conversão, utilizamos os con-

ceitos básicos de formação de um número.

Vamos, por exemplo, converter o número $37_{(8)}$ em decimal.

$$37_{(8)} = (3 \times 8^1) + (7 \times 8^0) = 24 + 7 = 31_{(10)}$$

Como podemos ver, o processo é bem simples e idêntico ao binário, mudamos só a base.

EXERCÍCIOS RESOLVIDOS

Converter os seguintes números de base 8 para o sistema - decimal.

a) $142_{(8)} = (\ \ )_{(10)}$

$$142_{(8)} = (1 \times 8^2) + (4 \times 8^1) + (2 \times 8^0) = 64 + 32 + 2$$

$$= 98_{(10)}$$

$$142_{(8)} = 98_{(10)}$$

b) $177_{(8)} = (\ \ )_{(10)}$

$$177_{(8)} = (1 \times 8^2) + (7 \times 8^1) + (7 \times 8^0) = 64 + 56 + 7$$

$$= 127_{(10)}$$

Logo: $177_{(8)} = 127_{(10)}$

c) $77_{(8)} = (\ \ )_{(10)}$

$$77_{(8)} = (7 \times 8^1) + (7 \times 8^0) = 56 + 7 = 63_{(10)}$$

$$77_{(8)} = 63_{(10)}$$

d) $1000_{(8)} = (\quad)_{(10)}$

$1000_{(8)} = (1 \times 8^3) + (0 \times 8^2) + (0 \times 8^1) + (0 \times 8^0) =$

$= 512_{(10)}$

$1000_{(8)} = 512_{(10)}$

EXERCÍCIOS PROPOSTOS:

a) transformar o número $376_{(8)}$ em decimal; $3\times8^2+7\times8^1+6\times8^0=192+56+6$

b) transformar o número $144_{(8)}$ em decimal; $1\times8^2+4\times8^1+4\times8^0=64+32+4=$

c) transformar o número $100_{(8)}$ em decimal; $1\times8^2+0\times8^1+0\times8^0=64$

d) transformar o número $476_{(8)}$ em decimal. $4\times8^2+7\times8^1+6\times8^0=192+56+6=$

RESPOSTAS:

a) $254_{(10)}$

b) $100_{(10)}$

c) $64_{(10)}$

d) $318_{(10)}$

CONVERSÃO DO SISTEMA OCTAL PARA O SISTEMA BINÁRIO

Trata-se de uma conversão bastante simples e podemos utilizar a regra prática descrita abaixo:

Vamos tomar, como exemplo, o número $27_{(8)}$. Desmembramos esse número em dois algarismos e transformamos cada um desses algarismos no correspondente binário:

2 7

010 111 (zero à esquerda é algarismo não significativo)

Logo: $27_{(8)} = 10111_{(2)}$

EXERCÍCIOS RESOLVIDOS:

Converter em binário os seguintes números de base 8:

a) $275_{(8)} = (\quad)_{(2)}$

2 7 5
010 111 101

$275_{(8)} = 10111101_{(2)}$

b) $34_{(8)} = (\quad)_{(2)}$

3 4
011 100 (Obs. zero à esquerda não é significativo)

$34_{(8)} = 11100_{(2)}$

c) $566_{(8)} = (\quad)_{(2)}$

5 6 6
101 110 110

$566_{(8)} = 101110110_{(2)}$

d) $44675_{(8)} = (\quad)_{(2)}$

4 4 6 7 5
100 100 110 111 101

$44675_{(8)} = 100100110111101_{(2)}$

EXERCÍCIOS PROPOSTOS:

Converter os seguintes números octais em binários:

a) $536_{(8)}$ b) $1336_{(8)}$ c) $111_{(8)}$ d) $16_{(8)}$

$101011110_{(2)}$ $001011011110_{(2)}$ $1001001_{(2)}$ $1110_{(2)}$

RESPOSTAS:

a) $1010111110_{(2)}$ b) $1011011110_{(2)}$

c) $1001001_{(2)}$ d) $1110_{(2)}$

CONVERSÃO DO SISTEMA BINÁRIO PARA O SISTEMA OCTAL

Vamos considerar um número qualquer, por exemplo, o número $110010_{(2)}$. Para transformarmos esse número em octal, separamos em grupos de três algarismos, a partir do algarismo menos significativo.

Desta forma, teremos:

```
┌algarismo mais significativo
│
110   010
        └──algarismo menos significativo
```

Agora, fazemos a conversão desses grupos de algarismos para o sistema decimal, onde podemos notar que o maior número que se pode formar com três algarismos binários é o número 7. Desta conversão irá resultar diretamente o número no sistema-octal.

Portanto:

```
110    010
 6      2
```

Logo: $110010_{(2)} = 62_{(8)}$

Obs.: Pode haver casos em que separando-se o número binário, em grupos de três algarismos, a partir do algarismo menos significativo, sobre um grupo de dois ou de um algarismo na posição mais significativa.

Nesses casos, basta adicionarmos zero à esquerda até completarmos o grupo de três algarismos.

Por exemplo, para convertermos o número $1010_{(2)}$ em octal, teremos:

```
  1    010
```

Acrescentamos zeros à esquerda até completarmos o grupo de três algarismos. E continuamos com o processo já visto:

```
001    010
 1      2
```

Como se vê, é bem simples. O aluno não encontrará dificuldade. Vamos passar para alguns exercícios resolvidos.

CONVERTER OS SEGUINTES NÚMEROS BINÁRIOS EM OCTAL

a) $1011011110_{(2)} = (\quad)_{(8)}$

Vamos separar os números em grupos de três algarismos, a partir do algarismo menos significativo:

$$\begin{array}{cccc} 001 & 011 & 011 & 110 \\ 1 & 3 & 3 & 6 \end{array}_{(2)} = 1336_{(8)}$$

Porém,se dividíssimos o número binário em grupos de três, como no exemplo:

$$\begin{array}{cccc} 101 & 101 & 111 & 0 \\ 5 & 5 & 7 & 0 \end{array}$$ (2), o resultado seria errado.

Como vimos, a solução do problema requer atenção por parte do aluno, pois os bits devem ser agrupados de três em três, iniciando-se pelo bit menos significativo, como já explicamos anteriormente. Observe:

b) $10111_{(2)} = (\quad)_{(8)}$

acrescentamos um zero à esquerda $\begin{array}{cc} 010 & 111 \\ 2 & 7 \end{array}$

$$10111_{(2)} = 27_{(8)}$$

c) $1111010_{(2)} = (\quad)_{(8)}$

$$\begin{array}{ccc} 001 & 111 & 010 \\ 1 & 7 & 2 \end{array} = 172_{(8)}$$

d) $110100001_{(2)} = (\quad)_{(8)}$

$$\begin{array}{ccc} 110 & 100 & 001 \\ 6 & 4 & 1 \end{array} = 641_{(8)}$$

EXERCÍCIOS PROPOSTOS:

Converter os seguintes números binários em octal:

a) $11010101_{(2)}$ b) $1000110011_{(2)}$

c) $1011_{(2)}$ d) $10000101_{(2)}$

RESPOSTAS:

a) $325_{(8)}$ b) $1063_{(8)}$ c) $13_{(8)}$ d) $205_{(8)}$

CONVERSÃO DO SISTEMA DECIMAL PARA O SISTEMA OCTAL

Existem dois métodos para efetuarmos esta conversão. O primeiro é análogo à conversão do sistema decimal para o binário, porém utilizamos a divisão por oito, pois queremos passar para o sistema octal. Como exemplo, vamos fazer a seguinte conversão:

$92_{(10)} = (\quad)_{(8)}$

```
92   |8
8-    11  -|8      * 1 - primeiro bit (mais significativo)
12    8    1      ** 3 - segundo bit.
 8-   3    *     *** 4 - terceiro bit (menos significati-
 4    *                 vo).
 *    *     *
 *          **
 *         ***
```

$134_{(8)}$

A leitura, como nos casos já vistos, é feita da direita para a esquerda. Desta forma, teremos:

$92_{(10)} = 134_{(8)}$

O outro método consiste em convertermos o número decimal em binário e em seguida transformarmos o sistema binário em octal.

Aparentemente é mais trabalhoso, porém, mais tarde, o aluno irá ver que é um método de grande praticidade. Vamos con-

verter o mesmo número em octal, utilizando o segundo método:

92	| 2					
8 -	46	| 2				
12	4 -	23	| 2			
12 -	06	2 -	11	| 2		
0	6 -	03	10 -	5	| 2	
	0	2 -	1	4 -	2	| 2
		1		1	2 -	1
					0	

Conversão em binário

Assim: $92_{(10)} = 1011100_{(2)}$

Agora, da base 2, passamos para o sistema octal:

001	011	100
1	3	4

$92_{(10)} = 134_{(8)}$

que era o resultado esperado.

EXERCÍCIOS RESOLVIDOS:

Converter os seguintes números decimais para o sistema octal:

a) $127_{(10)} = (\quad)_{(8)}$

1º método:

127 _	| 8	
8	15 _	| 8
47 _	8	1
40	7	
7		

$127_{(10)} = 177_{(8)}$

2º método:

127	| 2					
12	63 _	| 2				
07	6	31	| 2			
6	03 _	2	15	| 2		
1	2	11 _	14	7 _	| 2	
	1	10	1	6	3 _	| 2
		1		1	2	1
					1	

$\therefore\ 127_{(10)} = 1111111_{(2)}$

001 111 111
1 7 7

$127_{(10)} = 177_{(8)}$

b) $74_{(10)} = (\quad)_{(8)}$

1º método:

74 | 8
72 9 | 8
2 8 1
1

$\therefore\ 74_{(10)} = 112_{(8)}$

2º método:

74 | 2
6 37 | 2
14 2 18 | 2
14 17 18 9 | 2
0 16 0 8 4 | 2
1 0 2 | 2
0 1

$74_{(10)} = 1001010_{(2)}$

001 001 010
1 1 2

$\therefore\ 74_{(10)} = 112_{(8)}$

c) $512_{(10)} = (\quad)_{(8)}$

1º método:

512 | 8
48 64 | 8
32 64 8 | 8
32 0 8 1
0 0

$512_{(10)} = 1000_{(8)}$

2º método:

$512_{(10)} = (\quad)_{(2)} = 2^9$ (Veja tabela de potência de dois).

$\therefore 512_{(10)} = 1000 \quad 000 \quad 000_{(2)}$

Logo: 001 000 000 000
1 0 0 0

$\therefore 512_{(10)} = 1000_{(8)}$

d) $400_{(10)} = (\quad)_{(8)}$

1º método:

```
400  | 8
40-    50  | 8
00     48-   6
        2
```

$\therefore 400_{(10)} = 620_{(8)}$

2º método:

```
400  | 2
4-     200  | 2
000    2-     100  | 2
       000    10-    50  | 2
              4-     25  | 2
              10     2-    12  | 2
              10     05    12  | 2
               0      4-    0   6  | 2
                      1          6  | 2
                                 3  | 2
                                 2-   1
                                 1
```

$400_{(10)} = 110010000_{(2)}$

110 010 000
6 2 0

$400_{(10)} = 620_{(8)}$

EXERCÍCIOS PROPOSTOS:

Converter os seguintes números decimais em octal:
a) $719_{(10)}$ b) $15_{(10)}$ c) $320_{(10)}$ d) $2048_{(10)}$

RESPOSTAS:

a) $1317_{(8)}$ b) $17_{(8)}$ c) $500_{(8)}$ d) $4000_{(8)}$

SISTEMA HEXADECIMAL DE NUMERAÇÃO

O sistema hexadecimal, como o próprio nome já diz, possui dezesseis algarismos. É usado, por exemplo, pelos computadores IBM - Sistema 360; IBM - Sistema 370, RCA Spectra 70 e CEDM 80, etc.

À primeira vista, o sistema de base 16 nos parecerá estranho, pois requer símbolos adicionais para representar os dígitos 10, 11, 12, 13, 14 e 15 em adição aos dígitos de 0 a 9.

Para esse sistema, os dígitos vão de 0 a 15 e cuja base é 16. Usando a terminologia adotada pela IBM, os dígitos de 10 a 15 são assim representados:

10 por A	13 por D
11 por B	14 por E
12 por C	15 por F

Desta forma, os dezesseis algarismos ficam assim enumerados:

0, 1, 2, 3, 4, 5, 6, 7, 8, 9, A, B, C, D, E e F.

Para representarmos a quantidade dezesseis, utilizamos o conceito básico de formação de um número, ou seja, colocamos o algarismo 1 (um) seguido do algarismo 0 (zero). Isso representará um grupo de dezesseis adicionados a nenhuma unidade.

Este sistema é muito utilizado em computação e também em mapeamento de memórias de máquinas digitais com palavras de 4, 8 ou 16 bits.

CONVERSÃO DO SISTEMA HEXADECIMAL PARA O SISTEMA DECIMAL

Esta conversão é análoga às conversões já estudadas: binário e octal. Tomemos, como exemplo, o número hexadecimal $3F_{(16)}$

e vamos convertê-lo em decimal:

$$3F_{(16)} = (3 \times 16^1) + (F \times 16^0)$$

Obs.: $F \times 16^0 = 15_{(10)}$

$$= (3 \times 16) + (15 \times 1)$$

$$= 63_{(10)}$$

$$\therefore 3F_{(16)} = 63_{(10)}$$

Apesar de termos letras em vez de números, o sistema é análogo aos outros já vistos até aqui.

EXERCÍCIOS RESOLVIDOS:

Converter os seguintes números em hexadecimal para o decimal.

a) $23_{(16)} = (\quad)_{(10)}$

$$23_{(16)} = (2 \times 16^1) + (3 \times 16^0)$$

$$= (2 \times 16) + (3 \times 1)$$

$$= (32 + 3)$$

$$= 35_{(10)}$$

$$23_{(16)} = 35_{(10)}$$

b) $3B_{(16)} = (\quad)_{(10)}$

$$3B_{(16)} = (3 \times 16^1) + (B \times 16^0)$$

$$= (3 \times 16) + (11 \times 1)$$

$$= (48 + 11)$$

$$= 59_{(10)}$$

$$3B_{(16)} = 59_{(10)}$$

c) $IC3_{(16)} = (\quad)_{(10)}$

$IC3_{(16)} = (1 \times 16^2) + (C \times 16^1) + (3 \times 16^0)$

$= (1 \times 256) + (12 \times 16) + (3 \times 1)$

$= (256 + 192 + 3)$

$= 451_{(10)}$

$\therefore IC3_{(16)} = 451_{(10)}$

d) $1FC9_{(16)} = (\quad)_{(10)}$

$1FC9_{(16)} = (1 \times 16^3) + (F \times 16^2) + (C \times 16^1) + (9 \times 16^0)$

$= (1 \times 4096) + (15 \times 256) + (12 \times 16) + (9 \times 1)$

$= 4096 + 3840 + 192 + 9$

$= 8137_{(10)}$

$\therefore 1FC9_{(16)} = 8137_{(10)}$

HEXADECIMAL	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
DECIMAL	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15

e) $241_{(16)} = (\quad)_{(10)}$

$241_{(16)} = (2 \times 16^2) + (4 \times 16^1) + (1 \times 16^0)$

$= (2 \times 256) + (4 \times 16) + (1 \times 1)$

$= (512 + 64 + 1)$

$= 577_{(10)}$

$\therefore 241_{(16)} = 577_{(10)}$

EXERCÍCIOS PROPOSTOS:

Converter para o sistema decimal os seguintes números hexadecimais:

a) $238_{(16)}$ b) $ABC_{(16)}$ c) $98_{(16)}$ d) $F9_{(16)}$ e) $237_{(16)}$

RESPOSTAS:

a) $568_{(10)}$ b) $2748_{(10)}$ c) $152_{(10)}$ d) $249_{(10)}$ e) $567_{(10)}$

CONVERSÃO DO SISTEMA HEXADECIMAL PARA O SISTEMA BINÁRIO

O processo de conversão do sistema hexadecimal para o sistema binário é idêntico à conversão do sistema octal para o sistema binário, já estudado em tópicos anteriores, apresentando, porém, a seguinte diferença: necessitamos de quatro algarismos binários para representarmos um algarismo hexadecimal.

Vamos converter, por exemplo, o número $C13_{(16)}$ para binário:

C	1	3
1100	0001	0011

Obs.: $C_{(16)} = 12_{(10)} = 1100_{(2)}$

Logo: $C13_{(16)} = 110000010011_{(2)}$

EXERCÍCIOS RESOLVIDOS:

Converter para o sistema binário os seguintes números:

a) $1ED_{(16)} = (\quad)_{(2)}$

1	E	D
0001	1110	1101

Lembrando que :

$E_{(16)} = 14_{(10)} = 1110_{(2)}$

$D_{(16)} = 13_{(10)} = 1101_{(2)}$

$\therefore 1ED_{(16)} = 111101101_{(2)}$

b) $1A6_{(16)} = (\quad)_{(2)}$

$1A6_{(16)} = 0001 \quad 1010 \quad 0110$

1 A 6

Lembrando que:
$A = 10_{(10)} = 1010_{(2)}$

$\therefore 1A6_{(16)} = 110100110_{(2)}$

c) $37_{(16)} = (\quad)_{(2)}$

3 7
0011 0111 $\therefore 37_{(16)} = 110111_{(2)}$

d) $A13DE2_{(16)} = (\quad)_{(2)}$

Lembrando que: $A_{(16)} = 10_{(10)}$; $D_{(16)} = 13_{(10)}$; $E_{(16)} = 14_{(10)}$

A	1	3	D	E	2
1010	0001	0011	1101	1110	0010

$\therefore A13DE2_{(16)} = 101000010011110111100010_{(2)}$

EXERCÍCIOS PROPOSTOS

Converter para o sistema binário os seguintes números hexadecimais:

a) $ABF_{(16)}$ b) $6CF9_{(16)}$ c) $56_{(16)}$ d) $FF_{(16)}$

RESPOSTAS:

a) $101010111111_{(2)}$ b) $1101100111111001_{(2)}$ c) $1010110_{(2)}$ d) $11111111_{(2)}$

CONVERSÃO DO SISTEMA BINÁRIO PARA O SISTEMA HEXADECIMAL

A conversão do sistema binário para o sistema hexadecimal é idêntico à conversão do sistema binário para o sistema octal, com a diferenca de que agora devemos agrupar de quatro em quatro algarismos do bit menos significativo para o mais significativo. Por exemplo, tomemos o número: $10011000_{(2)}$

1001	1000
9	8

$\therefore 10011000_{(2)} = 98_{(16)}$

EXERCÍCIOS RESOLVIDOS:

Converter em hexadecimal os seguintes números binários:

a) $011011110101_{(2)} = (\quad)_{(16)}$

0110	1111	0101
6	15	5
	F	

$\therefore 011011110101_{(2)} = 6F5_{(16)}$

b) $1100011_{(2)} = (\quad)_{(16)}$

0110	0011
6	3

$\therefore 1100011_{(2)} = 63_{(16)}$

c) $1011101010010010_{(2)} = (\quad)_{(16)}$

1011	1010	1001	0010
11	10	9	2
B	A		

$\therefore 1011101010010010_{(2)} = BA92_{(16)}$

d) $1010110_{(2)} = (\quad)_{(16)}$

0101	0110
5	6

$\therefore 1010110_{(2)} = 56_{(16)}$

EXERCÍCIOS PROPOSTOS:

Converter para o sistema hexadecimal os seguintes números binários:

a) $111101101_{(2)}$; 1ED(16) b) $10011000_{(2)}$ 98(16)

c) $1,1000,1111,0001,1100_{(2)}$ 18F1C(16) d) $100101_{(2)}$ 25(16)

CONVERSÃO DO SISTEMA DECIMAL PARA O SISTEMA HEXADECIMAL

A conversão do sistema decimal para o sistema hexadecimal é idêntica à conversão do sistema decimal para o sistema octal, estudado em tópicos anteriores.

Podemos obter esta conversão por dois métodos:

O primeiro método consiste em tomar um número decimal - qualquer e dividi-lo por dezesseis sucessivamente até que o quociente seja menor que dezesseis.

Como exemplo, converter o número: $1239_{(10)} = (\ \ )_{(16)}$

```
1239 | 16
112- | 77 | 16
0119 | 64- | 4
 112 | 13  | *
 007 |  *  | *
   * |  *  | *
```

* primeiro resto = 7 (dígito menos significativo.

** segundo resto = 13 = $D_{(16)}$

*** Terceiro resto = 4 (dígito mais significativo.

$1239_{(10)} = 4D7_{(16)}$

dígito mais significativo
dígito menos significativo

O segundo método consiste em transformar o número decimal em binário e em seguida em hexadecimal.

Como exemplo, converter o número: $1239_{(10)} = (\ \ )_{(16)}$

```
1239 | 2
12-  | 619 | 2
03   | 6-  | 309 | 2
 2   | 019 | 2-  | 154 | 2
 19  | 18  | 10  | 14- | 77 | 2
 18  | 1   | 10  | 14  | 6- | 38 | 2
  1  |     | 09  | 14  | 17 | 2- | 19 | 2
     |     |  8  |  0  | 16 | 18 | 18 | 9 | 2
     |     |  1  |     |  1 | 18 |  1 | 8 | 4 | 2
     |     |     |     |    |  0 |    | 1 | 4 | 2 | 2
     |     |     |     |    |    |    |   | 0 | 2 | 1
     |     |     |     |    |    |    |   |   | 0 |
```

$10011010111_{(2)}$

100 1101 0111
4 13 7

$1239_{(10)} = 10011010111_{(2)} = 4D7_{(16)}$

EXERCÍCIOS RESOLVIDOS:

Converter os seguintes números para o sistema hexadecimal:

a) $340_{(10)} = (\quad)_{(16)}$

1º método:

```
340 | 16
32  | 21 | 16
 20 | 16 |  1
 16 |  5
  4
```

$340_{(10)} = 154_{(16)}$

2º método:

```
340 | 2
 2  | 170 | 2
 14 | 16  | 85 | 2
 14 | 10  | 8  | 42 | 2
 00 | 10  | 05 | 4  | 21 | 2
    | 0   | 4  | 02 | 2  | 10 | 2
    |     | 1  | 2  | 01 | 10 | 5  | 2
    |     |    | 0  |    | 0  | 4  | 2  | 2
    |     |    |    |    |    | 1  | 2  | 1
    |     |    |    |    |    |    | 0
```

$340_{(10)} = 101010100_{(2)}$

Em seguida, agrupamos os bits de quatro em quatro, a partir do bit menos significativo para o bit mais significativo , assim:

1 0101 0100 bit mais significativo
1 5 4 bit menos significativo

$\therefore 340_{(10)} = 154_{(16)}$

b) $3295_{(10)} = (\quad)_{(16)}$

```
3295 | 16
32-    205 | 16
095    16-   12
 80    45    *
 15    32
  *    13
  *     *
  *     *
```

* 12 = C (dígito mais significativo)
** 13 = D
*** 15 = F (dígito menos significativo).

$\therefore 3295_{(10)} = CDF_{(16)}$

c) $1762_{(10)} = (\quad)_{(16)}$

```
1762 | 16
16-    110 | 16
16     96    6
16-    14
02     *
```

* $14_{(16)} = E_{(16)}$

$\therefore 1762_{(10)} = 6E2_{(16)}$

d) $136_{(10)} = (\quad)_{(16)}$

```
136 | 16
128   8
  8
```

$\therefore 136_{(10)} = 88_{(16)}$

EXERCÍCIOS PROPOSTOS:

Converter os seguintes números decimais em hexadecimais:

a) $567_{(10)}$ b) $249_{(10)}$ c) $451_{(10)}$ d) $8137_{(10)}$

RESPOSTAS:

a) $237_{(16)}$ b) $F9_{(16)}$ c) $1C3_{(16)}$ d) $1FC9_{(16)}$

OBSERVAÇÕES:

É sempre mais difícil se fazer a leitura de um número binário, principalmente, quando ele é bastante extenso. Transformá-lo no sistema octal, por exemplo, para efeito de leitura, é muito mais prático.

Alguns computadores exprimem suas respostas de saída no sistema octal, enquanto que as operações no computador são realizadas no sistema binário. É claro que a resposta seria lida com muito mais facilidade, se fosse usado o sistema decimal. Entretanto, isso exigiria que o computador fizesse a conversão da "linguagem" binária interna para a linguagem decimal externa, cuja operação é realizada em tempo mais longo e requer circuitos especiais. Entretanto a operação para a conversão pode, usualmente, ser acrescentada, quando desejada, tanto como uma conversão programada, quanto através de circuito adicional.

Na tabela I, indicamos a relação entre os sistemas: decimal, binário, octal e hexadecimal.

TABELA I

DECIMAL	OCTAL	BINÁRIO	HEXADECIMAL
0	0	00000	0
1	1	00001	1
2	2	00010	2
3	3	00011	3
4	4	00100	4
5	5	00101	5
6	6	00110	6
7	7	00111	7
8	10	01000	8
9	11	01001	9
10	12	01010	A
11	13	01011	B
12	14	01100	C
13	15	01101	D
14	16	01110	E
15	17	01111	F
16	20	10000	10
17	21	10001	11
18	22	10010	12
19	23	10011	13
20	24	10100	14
21	25	10101	15
22	26	10110	16
23	27	10111	17
24	30	11000	18

CURSO DE ELETRONICA DIGITAL E MICROPROCESSADORES

EXAME DA LIÇÃO ED-2

OBSERVAÇÃO

- cada questão é composta de três ou quatro alternativas.
- só uma delas está correta.
- marque a que considerar correta.
- passe as respostas corretas para a folha de exame.

1) O sistema de numeração octal ou de base 8 é muito popular, pois:

a) possui 8 elementos e seus dígitos vão de 0 a 8;
b) é muito usado em computadores digitais;
c) as respostas a e b são corretas.

2) O número $77_{(8)}$ corresponde a:

a) $101011_{(2)}$;
b) $63_{(10)}$;
c) $44_{(16)}$

77 | 16 = 4D(16) 0100 1101(2)
64 4
13

7 x 8¹ + 7 x 8⁰ = 56 + 7 = 63(10)

3) Os números $136_{(10)}$ e $156_{(10)}$ correspondem respectivamente a:

a) $88_{(16)}$ e $10101110_{(2)}$;

b) $90_{(16)}$ e $1110001_{(2)}$;

c) $88_{(16)}$ e $9C_{(16)}$.

$136_{(10)} = 88_{(16)}$

$156_{(10)} = 9C_{(16)}$

4) Os números $1011001111_{(2)}$ e $9E_{(16)}$ são os mesmos que:

a) $718_{(10)}$ e $158_{(10)}$;

b) $618_{(10)}$ e $150_{(8)}$;

c) $1317_{(8)}$ e $158_{(10)}$.

5) No sistema hexadecimal de numeração, as letras A, B, C, D, E e F representam, respectivamente:

a) 10, 11, 12, 13, 14 e 15;
b) 9, 10, 11, 12, 13 e 14;
c) 11, 12, 13, 14, 15 e 16.

6) O número $3978_{(8)}$ corresponde a que número no sistema binário:

a) $011101111110_{(2)}$;

b) $011101001101111_{(2)}$;

c) este número não pertence à base octal.

7) Os números binários $10111101110111_{(2)}$ e $1011100_{(2)}$ correspondem respectivamente a:

a) $27557_{(10)}$ e $92_{(10)}$;

b) $27567_{(8)}$ e $92_{(10)}$;

c) $27567_{(10)}$ e $92_{(8)}$.

8) Os números $BA92_{(16)}$ e $F109_{(16)}$ correspondem respectivamente a:

a) $1011101010010010_{(2)}$ e $1111011011001_{(2)}$;

b) $1011101010010010_{(2)}$ e $765_{(8)}$;

c) nenhuma das respostas anteriores.

$F109 \Rightarrow 110411_{(8)}$ $\rightarrow 4361_{(10)}$ $\rightarrow 1111\,0001\,0000\,1001_{(2)}$

9) O número $377_{(8)}$ é o mesmo que:

a) $01111111101_{(2)}$;

b) $11111111_{(2)}$ e $FF_{(16)}$;

c) $11111111_{(2)}$ e $EF_{(16)}$.

$377_{(8)} = 3\times8^2+7\times8^1+7\times8^0 = 192+56+7 = 255_{(10)}$

$1111\,1111_{(2)}$ $FF_{(16)}$

10) Assinale a alternativa correta:

a) $126_{(8)} = 55_{(10)} = 56_{(16)}$;

b) $FF_{(16)} = 1111111111_{(2)} = 1515_{(10)}$;

c) $126_{(8)} = 56_{(16)} = 86_{(10)}$.

$126_{(8)} = (\quad)_{10}$

$1\times8^2+2\times8^1+6\times8^0 = 64+16+6 = 86_{(10)}$

$86_{(10)} = (\quad)_{16}$

$86 \mid 16$
$80 \quad 5$
6

$= 56_{(16)}$

CURSO DE ELETRONICA DIGITAL E MICROPROCESSADORES

CAIXA POSTAL 1642 – CEP 86100 – LONDRINA-PR.

1982

LIÇÃO ED-3

CÓDIGOS E OPERAÇÕES ARITMÉTICAS

GENERALIDADES:

Dentro do campo da Eletrônica Digital, encontramos vários códigos e, dependendo das condições, veremos que a aplicação de um determinado código apresenta vantagens em relação aos demais. Procuraremos desenvolver nesta lição o estudo dos códigos mais utilizados de maneira simples e objetiva.

CÓDIGO BCD 8421

A sigla BCD (BINARI-CODED DECIMAL) nada mais é do que uma codificação do sistema decimal em binário. Os termos que se seguem (8421) são os valores dos algarismos num dado número binário, ou seja, ($8 = 2^3$, $4 = 2^2$, $2 = 2^1$, $1 = 2^0$). Sua formação é bem simples e está demonstrada na tabela 1. Este código em notação portuguesa é: CBD (Código Binário Decimal).

Sabe-se que o número de "bits" de um código nada mais é do que o número de dígitos binários que este possui. Desta forma, podemos dizer que o código BCD 8421 é um código de 4 bits, pois este possui 4 dígitos binários.

TABELA 1

DECIMAL	BCD 8421
0	0 0 0 0
1	0 0 0 1
2	0 0 1 0
3	0 0 1 1
4	0 1 0 0
5	0 1 0 1
6	0 1 1 0
7	0 1 1 1
8	1 0 0 0
9	1 0 0 1

CÓDIGO EXCESSO 3

Trata-se de um código muito simples, pois consiste em transformar o número decimal no binário correspondente, somando-se a este três unidades (tabela 2).

Por exemplo:

$1_{(10)} = 0001_{(2)}$ - somando-se três unidades a este, teremos: 0100.

TABELA 2

DECIMAL	EXCESSO 3
	A B C D
0	0 0 1 1
1	0 1 0 0
2	0 1 0 1
3	0 1 1 0
4	0 1 1 1
5	1 0 0 0
6	1 0 0 1
7	1 0 1 0
8	1 0 1 1
9	1 1 0 0

É comum o uso deste código nos circuitos aritméticos.

CÓDIGOS BCD DE 4 BITS

Existem vários códigos BCD de 4 bits, entre os quais vamos destacar os códigos: BCD 7421, BCD 5211 e BCD 2421.

Devemos destacar de que maneira sabemos a que quantidade decimal um número, num dado código, corresponde.

Por exemplo, vamos verificar a que quantidade o nº $7_{(10)}$ corresponde nos diversos códigos.

código 7421

$$1000_{(7421)} \rightarrow 1 \times 7 + 0 \times 4 + 0 \times 2 + 0 \times 1 = 7_{(10)}$$

código 5211

$$1011_{(5211)} \rightarrow 1 \times 5 + 0 \times 2 + 1 \times 1 + 1 \times 1 = 7_{(10)}$$

código 2421

$$1101_{(2421)} \rightarrow 1 \times 2 + 1 \times 4 + 0 \times 2 + 1 \times 1 = 7_{(10)}$$

As tabelas-verdade, correspondentes a esses códigos, encontram-se na tabela 3.

TABELA 3

DECIMAL	BCD 7421	BCD 5211	BCD 2421
0	0 0 0 0	0 0 0 0	0 0 0 0
1	0 0 0 1	0 0 0 1	0 0 0 1
2	0 0 1 0	0 0 1 1	0 0 1 0
3	0 0 1 1	0 1 0 1	0 0 1 1
4	0 1 0 0	0 1 1 1	0 1 0 0
5	0 1 0 1	1 0 0 0	1 0 1 1
6	0 1 1 0	1 0 0 1	1 1 0 0
7	1 0 0 0	1 0 1 1	1 1 0 1
8	1 0 0 1	1 1 0 1	1 1 1 0
9	1 0 1 0	1 1 1 1	1 1 1 1

CÓDIGOS BCD DE 5 BITS

Existem uma infinidade de códigos, dentre os quais vamos destacar:

CÓDIGO 2 ENTRE 5

Esse código possui sempre dois bits iguais a um (1) dentre cinco bits. A tabela-verdade abaixo nos mostra claramente este fato.

TABELA 4

DECIMAL	2 ENTRE 5
	A B C D E
0	0 0 0 1 1
1	0 0 1 0 1
2	0 0 1 1 0
3	0 1 0 0 1
4	0 1 0 1 0
5	0 1 1 0 0
6	1 0 0 0 1
7	1 0 0 1 0
8	1 0 1 0 0
9	1 1 0 0 0

CÓDIGO JOHNSON

Sua formação é mostra na tabela 5. Este código é muito utilizado na construção do CONTADOR JOHNSON.

TABELA 5

DECIMAL	C.JOHNSON
	A B C D E
0	0 0 0 0 0
1	0 0 0 0 1
2	0 0 0 1 1
3	0 0 1 1 1
4	0 1 1 1 1
5	1 1 1 1 1
6	1 1 1 1 0
7	1 1 1 0 0
8	1 1 0 0 0
9	1 0 0 0 0

CÓDIGO 9876543210

Sua formação é muito simples, ver tabela 6 abaixo:

TABELA 6

DECIMAL	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	1
1	0	0	0	0	0	0	0	0	1	0
2	0	0	0	0	0	0	0	1	0	0
3	0	0	0	0	0	0	1	0	0	0
4	0	0	0	0	0	1	0	0	0	0
5	0	0	0	0	1	0	0	0	0	0
6	0	0	0	1	0	0	0	0	0	0
7	0	0	1	0	0	0	0	0	0	0
8	0	1	0	0	0	0	0	0	0	0
9	1	0	0	0	0	0	0	0	0	0

Este código, entre outras aplicações, é utilizado para ativarmos a válvula numitron. Por exemplo, para acendermos o filamento correspondente ao algarismo 5, ligaremos na numitron a saída S_5. Esta só será igual a UM para o algarismo 5.

CÓDIGO GRAY

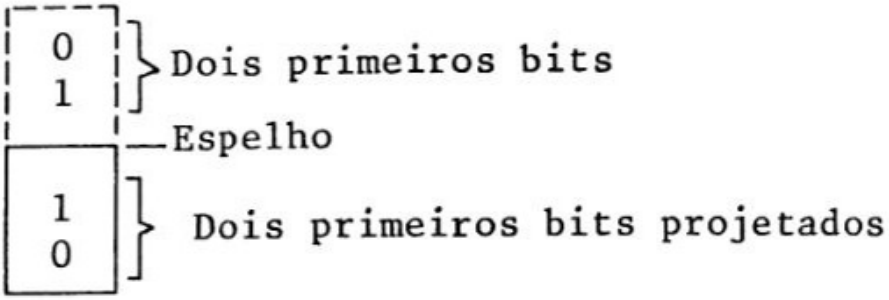
Caracteriza-se pelo fato de que apenas um bit varia de um número a outro. A sua formação se encontra na tabela 7.

TABELA 7

DECIMAL	GRAY
	A B C D
0	0 0 0 0
1	0 0 0 1
2	0 0 1 1
3	0 0 1 0
4	0 1 1 0
5	0 1 1 1
6	0 1 0 1
7	0 1 0 0
8	1 1 0 0

DECIMAL	GRAY
9	1 1 0 1
10	1 1 1 1
11	1 1 1 0
12	1 0 1 0
13	1 0 1 1
14	1 0 0 1
15	1 0 0 0

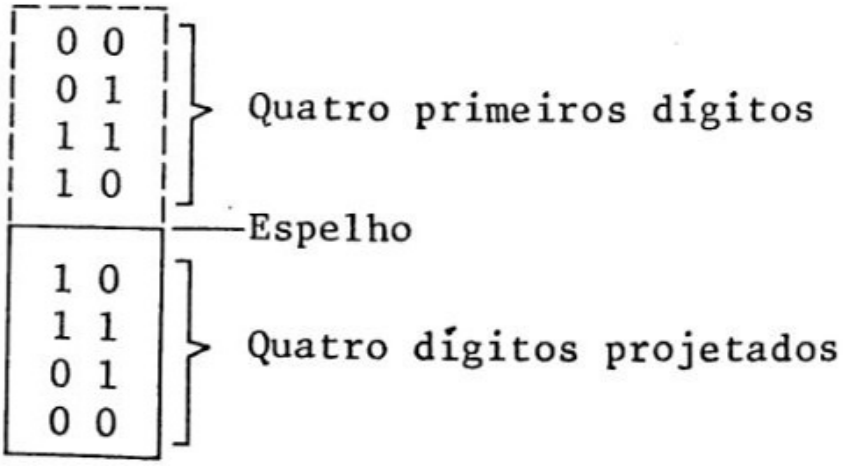
Este código também pode ser formado pelo processo de projeção. Por exemplo:



O passo seguinte será acrescentar bits 1 na frente dos dois bits projetados e bits zeros na frente dos dois primeiros bits, desta forma:

0 0
0 1
1 1
1 0

E assim sucessivamente até o número desejado.



Acrescentando bits 0 e 1 na frente dos dígitos, teremos:

0 0 0
0 0 1
0 1 1
0 1 0
1 1 0
1 1 1
1 0 1
1 0 0

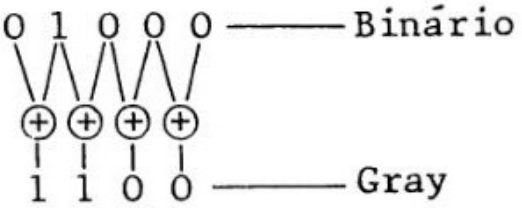
TRANSFORMAÇÃO DE BINÁRIO PARA GRAY

Uma forma para transformar um número binário para gray, normalmente é acrescentar um dígito 0 (zero) no bit mais significativo do número binário a ser transformado em gray e executar uma função OU-EXCLUSIVA.

$8_{(10)} = 1000_{(2)}$

$01000_{(2)}$

└── acrescentamos um dígito 0 (zero)



CÓDIGO ASCII (CÓDIGO ALFANUMÉRICO)

O código ASCII é um código padrão americano para intercâmbio de informações (American Standard Code for Information Interchange). A tabela 8 mostra como funciona o código.

TABELA 8

COLUNA	0	1	2	3	4	5	6	7
LINHA	BITS 765 ▷ 000	001	010	011	100	101	110	111
	4321 ▽							
0	0000	NUL	DLE	SP	0	@	P	`	p
1	0001	SOH	DC1	!	1	A	Q	a	q
2	0010	STX	DC2	"	2	B	R	b	r
3	0011	ETX	DC3	#	3	C	S	c	s
4	0100	EOT	DC4	$	4	D	T	d	t
5	0101	ENQ	NAK	%	5	E	U	e	u
6	0110	ACK	SYN	&	6	F	V	f	v
7	0111	BEL	ETB	'	7	G	W	g	w
8	1000	BS	CAN	(	8	H	X	h	x
9	1001	HT	EM	)	9	I	Y	i	y
10	1010	LF	SUB	*	:	J	Z	j	z
11	1011	VT	ESC	+	;	K	[	k	{
12	1100	FF	FS	,	<	L	\	l	|
13	1101	CR	GS	-	=	M	]	m	}
14	1110	SO	RS	.	>	N	^	n	~
15	1111	SI	US	/	?	O	—	o	DEL

Esclarecimentos das funções especiais de controle das colunas 0, 1, 2 e 7.

NUL nulo (null)
SOH início de cabeçalho (start of heading)
STX início de texto (start of text)
ETX fim de texto (end of text)
EOT fim de transmissão (end of transmission)
ENQ requisição (enquiry)
ACK ciente (acknowledge)
BEL campainha-sinal audivel (bell-audible-signal)
BS volta uma posição (backspace)
HT. tabulação horizontal (horizontal tabulation)
LF mudança de linha (line feed)
VT tabulação vertical (vertical tabulation)
FF alimentação de formulário (form feed)
CR retorno de carro (carriage return)
SO desliga caixa alta (ou letras maiúsculas) (shift out)
SI liga caixa alta (shift in)
SP espaço-branco (space)
DLE escape de linha de dados (data link escape)
DC1 controle de dispositivo nº 1 (device control 1)
DC2 controle de dispositivo nº 2 (device control 2)
DC3 controle de dispositivo nº 3 (device control 3)
DC4 controle de dispositivo nº 4 (device control 4)
NAK ciente de negativo (negativa acknowledge)
SYN inutilização síncrona (synchronous idle)
ETB fim de bloco de transmissão (end of transmission block)
CAN cancelamento (cancel)
EM fim de suporte (end of medium)
SUB substituição (substitute)
ESC escape
FS separador de arquivo (file separator)
GS separador de grupo (group separator)
RS separador de registro (record separator)
US separador de unidade (unit separator)
DEL apaga (delete).

Este código é muito usado principalmente em microcomputadores e tem a sua apresentação em forma de um teclado de máquina bastante familiar.

Vamos verificar, por exemplo, qual a codificação gerada ao precionarmos a tecla "A"? Notamos pela tabela 8 que a letra "A" está situada na coluna 4 (100) e na linha 1 (0001). Por

tanto a letra "A" corresponde ao código 1000001 e assim para os demais códigos.

Exercício

1) Escreva o número 0101 (binário) ou 5 (decimal) nos códigos Excesso 3, BCD 5211, 9876543210 e Gray.

2) Como é fornecida a informação F através do código - ASCII?

Veja resposta na página 19

OPERAÇÕES ARITMÉTICAS NO SISTEMA BINÁRIO

Basicamente, podemos efetuar as quatro operações, ou seja, somar, subtrair, multiplicar e dividir números binários. Este estudo de numeração é muito importante, pois facilitará a compreensão dos circuitos lógicos, capazes de controlar operações, dando maior flexibilidade às máquinas que trabalham com este tipo de cálculo.

ADIÇÃO NO SISTEMA BINÁRIO

Efetua-se da mesma forma que uma adição convencional no sistema decimal, lembrando que, no sistema binário, temos apenas dois algarismos. Esta soma é efetuada, observando-se as seguintes regras aritméticas:

$0 + 0 = 0$
$1 + 0 = 1$
$0 + 1 = 1$
$1 + 1 = 0$ e transporta 1

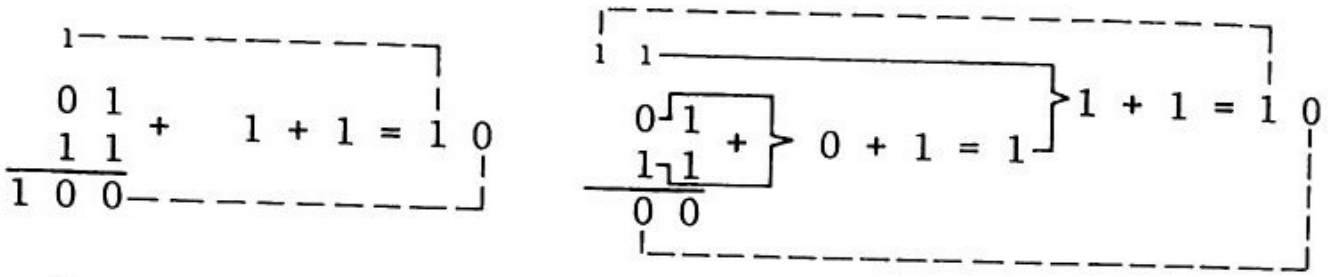
Sabemos que no sistema decimal $1 + 1 = 2$, no sistema binário representamos o número $2_{(10)}$ por $10_{(2)}$, portanto:

$$1 + 1 = 10_{(2)}$$

Com um exemplo tudo fica mais claro. Então vejamos:

a) $1_{(10)} + 3_{(10)} = 4_{(10)}$ (decimal)

$01_{(2)} + 11_{(2)} = 100_{(2)}$ (binário)




```
  1 1
    0 1
    1 1   +
  -------
  1 0 0
```

Primeiro efetua-se a soma normal das parcelas, ou seja, 0 + 1 = 1. Depois soma-se a este resultado o número 1, transportando 1 + 1 = 10 de maneira que fica 0 (zero) e vai um para a coluna seguinte.

Outro exemplo:

b) $1\ 0\ 1_{(2)} + 1\ 1\ 1_{(2)} = ?$

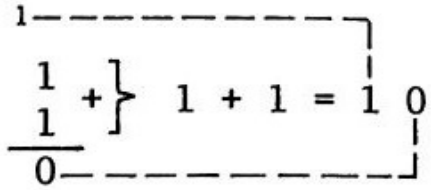
$5_{(10)} + 7_{(10)} = 12_{(10)}$

```
  1 0 1
  1 1 1   +
  -------
```

```
  1 1 1
    1 0 1
    1 1 1   +
  ---------
  1 1 0 0
```

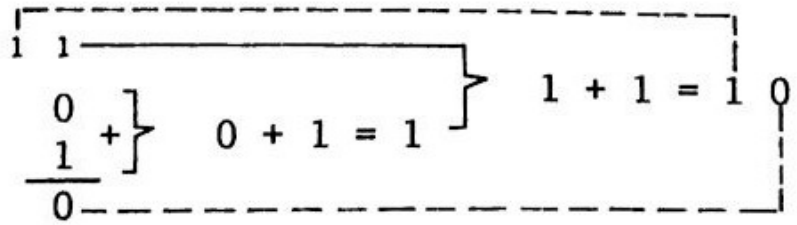
Vejamos esta adição resolvida passo a passo:

Na 1a. coluna temos:



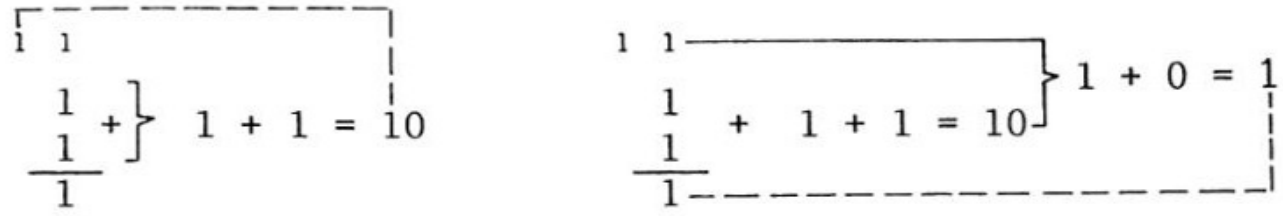
vai um (transporta um)

Na 2a. coluna temos:



Vejamos: 0 + 1 = 1, este resultado (1) é somando ao de transporte, ou seja, 1 + 1 = 10 de maneira que "fica" 0 (zero) e "vai um".

Na 3a. coluna temos:



Nesta etapa,temos 1 + 1 = 10, fica zero (0) e vai um (1), depois soma-se o número um (1) transportado da coluna anterior ao zero (0) que ficou, ou seja, 1 + 0 = 1, ficando então 1 como resultado da adição da 3a. coluna e transportando 1 para a 4a. coluna. Como os demais elementos da 4a. coluna são nulos, 0 e 0, temos: 0 + 0 = 0. A este resultado soma-se o nº 1 transportado da 3a. coluna. Obtemos,assim,0 + 1 = 1, como resultado da soma referente à 4a. coluna.

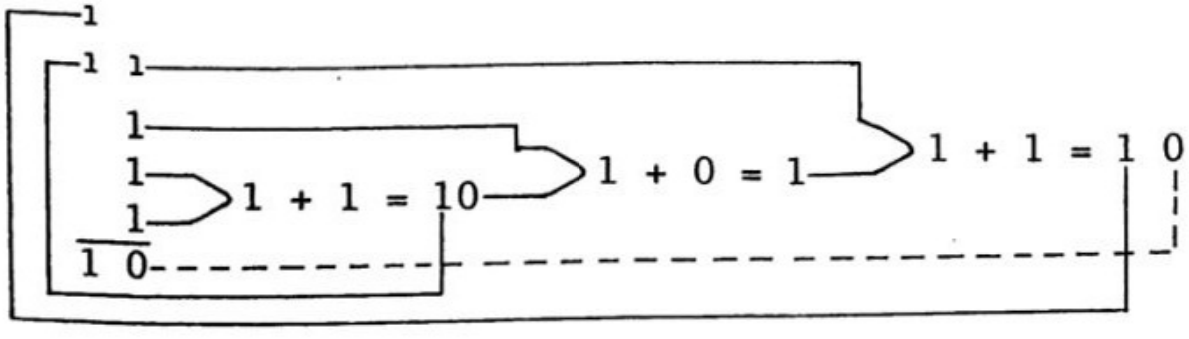
Exercícios resolvidos:

1) $1\ 0\ 1_{(2)} + 1\ 1\ 1_{(2)} + 1\ 1\ 1\ 1_{(2)} = ?$

$5_{(10)} + 7_{(10)} + 15_{(10)} = 27_{(10)}$

	1				
1	1	1	1		
		1	0	1	
		1	1	1	+
	1	1	1	1	
1	1	0	1	1	

Vejamos o que ocorre na 3a. coluna. Temos:



2) $1\,1\,0\,0\,1\,1_{(2)} + 1\,0\,1\,0\,0\,0\,1\,0_{(2)} = ?$

```
    1       1
  1 1 0 0 1 1
1 0 1 0 0 0 1 0 +
-----------------
1 1 0 1 0 1 0 1
```

3) $1\,1\,1\,1_{(2)} + 1\,0\,1\,1\,1\,1_{(2)} = ?$

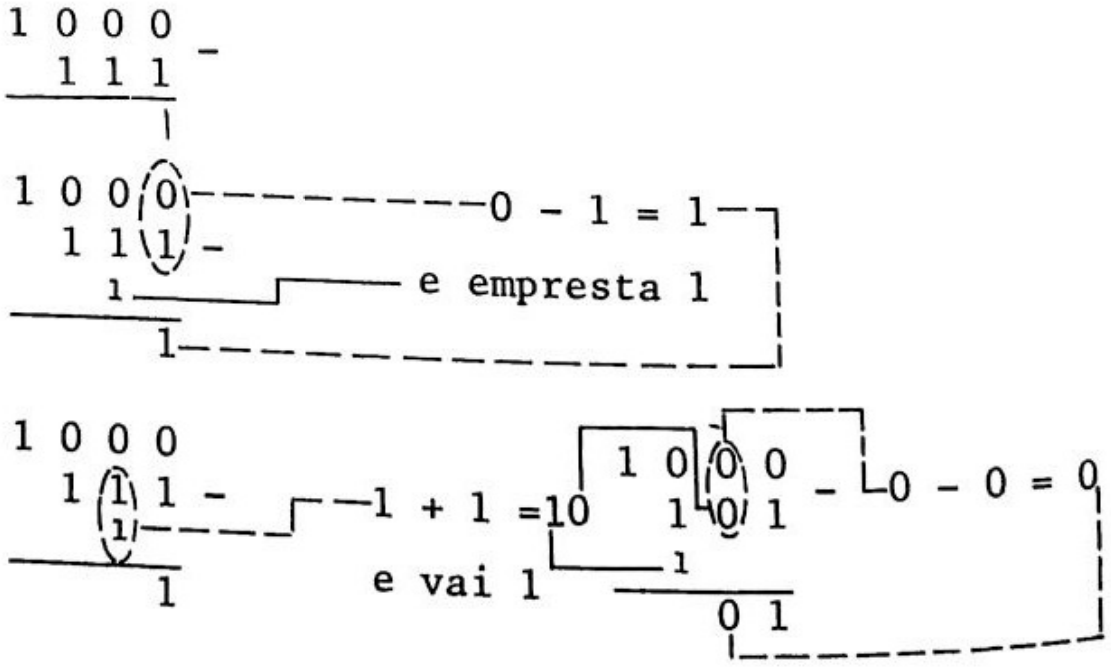
```
    1 1 1 1
    1 1 1 1
1 0 1 1 1 1 +
-------------
1 1 1 1 1 0
```

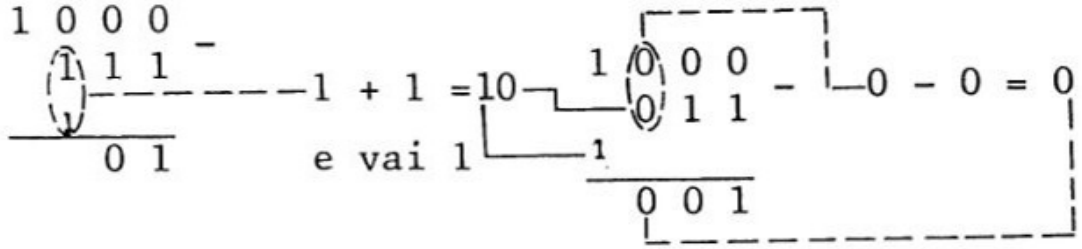
SUBSTRAÇÃO NO SISTEMA BINÁRIO

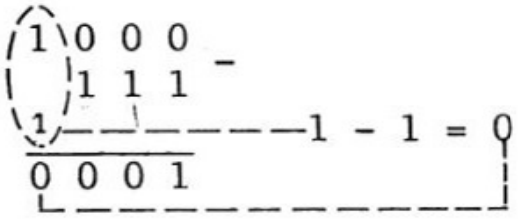
A forma de se efetuar é análoga à uma subtração no sistema decimal, devendo apenas serem observadas as seguintes regras aritméticas:

0 - 0 = 0
1 - 1 = 0
1 - 0 = 1
0 - 1 = 1 e "empresta um"

Para ficar mais claro, vamos exemplificar:







$$\begin{array}{r} 1\ 0\ 0\ 0 \\ 1\ 1\ 1 \\ \hline 0\ 0\ 0\ 1 \end{array} -$$

Logo: $1\ 0\ 0\ 0_{(2)} - 1\ 1\ 1_{(2)} = 0\ 0\ 0\ 1_{(2)}$ ou 1

b) $6_{(10)} - 2_{(10)} = 4_{(10)}$

Em binário, teremos:

$$\begin{array}{r} 1\ 1\ 0 \\ 0\ 1\ 0 \\ \hline 1\ 0\ 0 \end{array} -$$

Então: $1\ 1\ 0_{(2)} - 0\ 1\ 0_{(2)} = 1\ 0\ 0_{(2)}$

Exercícios resolvidos:

1) $1\ 0\ 0\ 0\ 0_{(2)} - 1\ 0\ 0_{(2)} = ?$

$16_{(10)} - 4_{(10)} = 12_{(10)}$

$$\begin{array}{r} 1\ 0\ 0\ 0\ 0 \\ 1\ 0\ 0 \\ \hline 0\ 1\ 1\ 0\ 0 \end{array} -$$

Logo: $1\ 0\ 0\ 0\ 0_{(2)} - 1\ 0\ 0_{(2)} = 0\ 1\ 1\ 0\ 0_{(2)}$

2) $1\ 0\ 0\ 1\ 1_{(2)} - 1\ 0\ 0\ 1\ 0_{(2)} = ?$

$19_{(10)} - 18_{(10)} = 1_{(10)}$

$$\begin{array}{r} 1\ 0\ 0\ 1\ 1 \\ 1\ 0\ 0\ 1\ 0 \\ \hline 0\ 0\ 0\ 0\ 1 \end{array} -$$

Portanto: $1\ 0\ 0\ 1\ 1_{(2)} - 1\ 0\ 0\ 1\ 0_{(2)} = 0\ 0\ 0\ 0\ 1_{(2)}$

3) $1\ 1\ 0\ 0_{(2)} - 0\ 0\ 1\ 1_{(2)} = ?$

$12_{(10)} - 3_{(10)} = 9_{(10)}$

$$\begin{array}{r} 1\ 1\ 0\ 0 \\ \quad 1\ 1 \\ \hline 1\ 0\ 0\ 1 \end{array} -$$

Logo: $1\ 1\ 0\ 0_{(2)} - 0\ 0\ 1\ 1_{(2)} = 1\ 0\ 0\ 1_{(2)}$

MULTIPLICAÇÃO NO SISTEMA BINÁRIO

Procedimento análogo ao empregado na multiplicação no sistema decimal, observando-se as seguintes regras aritméticas:

0 x 0 = 0
0 x 1 = 0
1 x 0 = 0
1 x 1 = 1

Exemplos:

a) $1\ 1\ 0\ 0_{(2)} \times 0\ 0\ 1\ 1_{(2)} = ?$

$$\begin{array}{r} 1\ 1\ 0\ 0 \\ \times\ 0\ 0\ 1\ 1 \\ \hline 1\ 1\ 0\ 0 \\ 1\ 1\ 0\ 0 \\ \hline 1\ 0\ 0\ 1\ 0\ 0 \end{array} \qquad \begin{array}{l} 12_{(10)} \\ \times 3_{(10)} \\ \hline \\ \\ 36_{(10)} \end{array}$$

b) $1101_{(2)} \times 10_{(2)} = ?$

$$\begin{array}{r} 1101 \\ \times\ 10 \\ \hline 11010 \end{array} \qquad \begin{array}{r} 13_{(10)} \\ \times\ 2_{(10)} \\ \hline 26_{(10)} \end{array}$$

c) $1010_{(2)} \times 0111_{(2)} = ?$

$$\begin{array}{r} 1010 \\ \times\ 0111 \\ \hline 1010 \\ 1010+ \\ \hline 1010 \\ \hline 1000110 \end{array} \qquad \begin{array}{r} 10_{(10)} \\ \times\ 7_{(10)} \\ \hline 70_{(10)} \end{array}$$

Exercícios resolvidos

1) $1011001_{(2)} \times 1001_{(2)} = ?$

$$\begin{array}{r} 1011001 \\ \times\ 1001 \\ \hline 1011001 \\ 1011001\ 00+ \\ \hline 1100100001 \end{array} \qquad \begin{array}{r} 89_{(10)} \\ \times\ 9_{(10)} \\ \hline 801_{(10)} \end{array}$$

2) $10011_{(2)} \times 10010_{(2)} = ?$

$$\begin{array}{r} 10011 \\ \times\ 10010 \\ \hline 10011 \\ 10011\ 00+ \\ \hline 101010110 \end{array} \qquad \begin{array}{r} 19_{(10)} \\ \times\ 18_{(10)} \\ \hline 342_{(10)} \end{array}$$

3) $100101_{(2)} \times 1001_{(2)} = ?$

$$\begin{array}{r} 100101 \\ \times\ 1001 \\ \hline 100101 \\ 100101\ 00+ \\ \hline 101001101 \end{array} \qquad \begin{array}{r} 37_{(10)} \\ \times\ 9_{(10)} \\ \hline 333_{(10)} \end{array}$$

DIVISÃO NO SISTEMA BINÁRIO:

Esta operação é a mais complexa das operações aritméticas binárias, pois abrange operações de multiplicação e subtração. Devem-se observar as seguintes regras aritméticas:

0 : 0 = ?
0 : 1 = 0
1 : 0 = ?
1 : 1 = 1

Por exemplo:

a) $1\,0\,1\,0\,0_{(2)} : 1\,0\,0_{(2)} = ?$

```
1 0 1 0 0 | 1 0 0
1 0 0-      1 0 1
-------
0 0 1 0 0
    1 0 0-
    -----
    0 0 0
```

Notamos, pelo exemplo, que o processo é idêntico ao do sistema decimal, pois inicialmente multiplicamos o quociente pelo divisor e depois subtraímos o resultado do dividendo de valor imediatamente superior ao resultado da multiplicação.

$1\,0\,1\,0\,0_{(2)} = 20_{(10)}$ — dividendo
$1\,0\,0_{(2)} = 4_{(10)}$ — divisor
$1\,0\,1_{(2)} = 5_{(10)}$ — quociente
$0\,0\,0_{(2)} = 0_{(10)}$ — resto

Tirando a prova, teremos:

```
   1 0 1(2)        5(10)
 x 1 0 0(2)      x 4(10)
-----------     -------
1 0 1 0 0(2)    20(10)
```

b) $1\,1\,0\,0\,0\,1\,0_{(2)} : 1\,0\,0_{(2)} = ?$

```
1 1 0 0 0 1 0 | 1 0 0
1 0 0-        -------
-------         1 1 0 0 0,1
  1 0 0-
  -----
    0 0 0 0 1 0 0 0
          1 0 0-
          -----
          0 0 0
```

$1\ 1\ 0\ 0\ 0\ 1\ 0_{(2)} = 98_{(10)}$

$1\ 0\ 0_{(2)} = 4_{(10)}$

$$\begin{array}{r|l} 98 & 4 \\ \underline{8-} & 24,5 \\ 18 & \\ \underline{16-} & \\ 20 & \\ \underline{20-} & \\ 00 & \end{array}$$

Logo: quociente obtido = $1\ 1\ 0\ 0\ 0,\ 1_{(2)}$

Convertendo-o ao sistema decimal, teremos:

$$11000,1_{(2)} = 2^4 \times 1 + 2^3 \times 1 + 2^2 \times 0 + 2^1 \times 0 + 2^0 \times 0 + 2^{-1} \times 1$$

$$\therefore\ 11000,1_{(2)} = (16 + 8 + 0,5)_{10} =$$

$$= 24,5_{(10)}$$

c) $1\ 1\ 0\ 0\ 0\ 0_{(2)} : 1\ 0\ 0\ 0_{(2)}$

$$\begin{array}{r|l} 1\ 1\ 0\ 0\ 0\ 0 & 1000 \\ \underline{1\ 0\ 0\ 0-} & 110 \\ 0\ 1\ 0\ 0\ 0 & \\ \underline{\ \ 1\ 0\ 0\ 0\ -} & \\ 0\ 0\ 0\ 0\ 0 & \end{array}$$

Tirando a prova:

$$\begin{array}{lccccccc} & 32 & 16 & 8 & 4 & 2 & 1 & \\ \text{dividendo} = & 1 & 1 & 0 & 0 & 0 & 0_{(2)} & = 48_{(10)} \\ \text{divisor} = & 0 & 0 & 1 & 0 & 0 & 0_{(2)} & = 8_{(10)} \\ \text{quociente} = & 0 & 0 & 0 & 1 & 1 & 0_{(2)} & = 6_{(10)} \end{array}$$

Em decimal teríamos:

$$\begin{array}{r|l} 48 & 8 \\ \underline{48-} & 6 \\ 0 & \end{array} \quad \rightarrow 48 : 8 = 6$$

Exercícios resolvidos:

1) 1 0 0 0 1 1 0 | 0 1 1 1
   0 1 1 1 - | 1 0 1 0
   1 1
   0 0 0 1 1 1
   0 1 1 1 -
   0 0 0 0

Tirando a prova: 70 : 7 = 10

$1\,0\,0\,0\,1\,1\,0_{(2)} = 70_{(10)}$

$0\,1\,1\,1_{(2)} = 7_{(10)}$

$1\,0\,1\,0_{(2)} = 10_{(10)}$

2) 1 0 1 0 1 0 1 1 0 | 1 0 0 1 0
   1 0 0 1 0 - | 1 0 0 1 1
   1
   0 0 0 1 1 0 1 1
   1 0 0 1 0
   0 1 0 0 1 0
   1 0 0 1 0
   0 0 0 0 0

Tirando a prova:

$101010110_{(2)} = 342_{(10)}$

$10010_{(2)} = 18_{(10)}$

$10011_{(2)} = 19_{(10)}$

$342_{(10)} : 18_{(10)} = 19_{(10)}$

3) 1 0 1 0 0 1 1 0 1 | 1 0 0 1
   1 0 0 1 - | 1 0 0 1 0 1
   1
   0 0 0 1 0 1 1
   1 0 0 1 -
   0 0 1 0 0 1
   1 0 0 1
   0 0 0 0

Tirando a prova:

$1\ 0\ 1\ 0\ 0\ 1\ 1\ 0\ 1_{(2)} = 333_{(10)}$

$1\ 0\ 0\ 1_{(2)} = 9_{(10)}$

$1\ 0\ 0\ 1\ 0\ 1_{(2)} = 37_{(10)}$ $\quad 333 : 9 = 37$

EXERCÍCIOS PROPOSTOS:

1) $10101_{(2)} + 1001001_{(2)} = ?$
2) $1001011_{(2)} + 110_{(2)} = ?$
3) $111011_{(2)} + 110010_{(2)} = ?$
4) $11110_{(2)} - 1111_{(2)} = ?$
5) $10110010_{(2)} - 110011_{(2)} = ?$
6) $1100011_{(2)} - 101011_{(2)} = ?$
7) $10101_{(2)} - 1110_{(2)} = ?$
8) $101011_{(2)} \times 101_{(2)} = ?$
9) $10100_{(2)} \times 100_{(2)} = ?$
10) $101011_{(2)} \times 1010_{(2)} = ?$
11) $11110_{(2)} \times 10001_{(2)} = ?$
12) $10100_{(2)} \div 100_{(2)} = ?$
13) $10101_{(2)} \div 11_{(2)} = ?$
14) $100100_{(2)} \div 110_{(2)} = ?$
15) $111101_{(2)} \div 101_{(2)} = ?$
16) $1000000_{(2)} \div 1000_{(2)} = ?$

RESPOSTAS

1) $1011110_{(2)}$
2) $1010001_{(2)}$
3) $1101101_{(2)}$
4) $01111_{(2)}$
5) $01111111_{(2)}$
6) $0111000_{(2)}$
7) $00111_{(2)}$
8) $11010111_{(2)}$
9) $1010000_{(2)}$
10) $110101110_{(2)}$
11) $111111110_{(2)}$
12) $101_{(2)}$
13) $111_{(2)}$
14) $110_{(2)}$
15) $1100_{(2)}$
16) $1000_{(2)}$

Resposta dos exercícios da página 9

1) Excesso 3=1000, BCD 5211=$1000_{(2)}$, 9876543210=0000100000 e GRAY = 0111.

2) A Letra"F"no código ASCII, está situada na coluna 4(100) e na linha 6 (0110). Portanto a letra "F" corresponde ao código 1000110.

POTÊNCIA DE DOIS

2^n	n	2^n
1	0	1.0
2	1	0.5
4	2	0.25
8	3	0.125
16	4	0.062 5
32	5	0.031 25
64	6	0.015 625
128	7	0.007 812 5
256	8	0.003 906 25
512	9	0.001 953 125
1 024	10	0.000 976 562 5
2 048	11	0.000 488 281 25
4 096	12	0.000 244 140 625
8 192	13	0.000 122 070 312 5
16 384	14	0.000 061 035 156 25
32 768	15	0.000 030 517 578 125
65 536	16	0.000 015 258 789 062 5
131 072	17	0.000 007 629 394 531 25
262 144	18	0.000 003 814 697 265 625
524 288	19	0.000 001 907 348 632 812 5
1 048 576	20	0.000 000 953 674 316 406 25
2 097 152	21	0.000 000 476 837 158 203 125
4 194 304	22	0.000 000 238 418 579 101 562 5
8 388 608	23	0.000 000 119 209 289 550 781 25
16 777 216	24	0.000 000 059 604 644 775 390 625
33 554 432	25	0.000 000 029 802 322 387 695 312 5
67 108 864	26	0.000 000 014 901 161 193 847 656 25
134 217 728	27	0.000 000 007 450 580 596 923 828 125
268 435 456	28	0.000 000 003 725 290 298 461 914 062 5
536 870 912	29	0.000 000 001 862 645 149 230 957 031 25
1 073 741 824	30	0.000 000 000 931 322 574 615 478 515 625
2 147 483 648	31	0.000 000 000 465 661 287 307 739 257 812 5
4 294 967 296	32	0.000 000 000 232 830 643 653 869 628 906 25
8 589 934 592	33	0.000 000 000 116 415 321 826 934 814 453 125
17 179 869 184	34	0.000 000 000 058 207 660 913 467 407 226 562 5
34 359 738 368	35	0.000 000 000 029 103 830 456 733 703 613 281 25
68 719 476 736	36	0.000 000 000 014 551 915 228 366 851 806 640 625
137 438 953 472	37	0.000 000 000 007 275 957 614 183 425 903 320 312 5
274 877 906 944	38	0.000 000 000 003 637 978 807 091 712 951 660 156 25
549 755 813 888	39	0.000 000 000 001 818 989 403 545 856 475 830 078 125
1 099 511 627 776	40	0.000 000 000 000 909 494 701 772 928 237 915 039 062 5
2 199 023 255 552	41	0.000 000 000 000 454 747 350 886 464 118 957 519 531 25
4 398 046 511 104	42	0.000 000 000 000 227 373 675 443 232 059 478 759 765 625
8 796 093 022 208	43	0.000 000 000 000 113 686 837 721 616 029 739 379 882 812 5
17 592 186 044 416	44	0.000 000 000 000 056 843 418 860 808 014 869 689 941 406 25
35 184 372 088 832	45	0.000 000 000 000 028 421 709 430 404 007 434 844 970 703 125
70 368 744 177 664	46	0.000 000 000 000 014 210 854 715 202 003 717 422 485 351 562 5
140 737 488 355 328	47	0.000 000 000 000 007 105 427 357 601 001 858 711 242 675 781 25
281 474 976 710 656	48	0.000 000 000 000 003 552 713 678 800 500 929 355 621 337 890 625
562 949 953 421 312	49	0.000 000 000 000 001 776 356 839 400 250 464 677 810 668 945 312 5
1 125 899 906 842 624	50	0.000 000 000 000 000 888 178 419 700 125 232 338 905 334 472 656 25
2 251 799 813 685 248	51	0.000 000 000 000 000 444 089 209 850 062 616 169 452 667 236 328 125
4 503 599 627 370 496	52	0.000 000 000 000 000 222 044 604 925 031 308 084 726 333 618 164 062 5
9 007 199 254 740 992	53	0.000 000 000 000 000 111 022 302 462 515 654 042 363 166 809 082 031 25
18 014 398 509 481 984	54	0.000 000 000 000 000 055 511 151 231 257 827 021 181 583 404 541 015 625
36 028 797 018 963 968	55	0.000 000 000 000 000 027 755 575 615 628 913 510 590 791 702 270 507 812
72 057 594 037 927 936	56	0.000 000 000 000 000 013 877 787 807 814 456 755 295 395 851 135 253 906
144 115 188 075 855 872	57	0.000 000 000 000 000 006 938 893 903 907 228 377 647 697 925 567 676 950
288 230 376 151 711 744	58	0,000 000 000 000 000 003 469 446 951 953 614 188 823 848 962 783 813 476
576 460 752 303 423 488	59	0.000 000 000 000 000 001 734 723 475 976 807 094 411 924 481 391 906 738

POTÊNCIA DE 16 (EM BASE 10)

16^n	n	16^n
1	0	0.10000 00000 00000 00000 x 10
16	1	0.62500 00000 00000 00000 x 10^{-1}
256	2	0.39062 50000 00000 00000 x 10^{-2}
4 096	3	0.24414 06250 00000 00000 x 10^{-3}
65 536	4	0.15258 78906 25000 00000 x 10^{-4}
1 048 576	5	0.95367 43164 06250 00000 x 10^{-6}
16 777 216	6	0.59604 64477 53906 25000 x 10^{-7}
268 435 456	7	0.37252 90298 46191 40625 x 10^{-8}
4 294 967 296	8	0.23283 06436 53869 62891 x 10^{-9}
68 719 476 736	9	0.14551 91522 83668 51807 x 10^{-10}
1 099 511 627 776	10	0.90949 47017 72928 23792 x 10^{-12}
17 592 186 044 416	11	0.56843 41886 08080 14870 x 10^{-13}
281 474 976 710 656	12	0.35527 13678 80050 09294 x 10^{-14}
4 503 599 627 370 496	13	0.22204 46049 25031 30808 x 10^{-15}
72 057 594 037 927 936	14	0.13877 78780 78144 56755 x 10^{-16}
1 152 921 504 606 846 976	15	0.86736 17379 88403 54721 x 10^{-18}

POTÊNCIA DE 10 (EM BASE 16)

10^n	n	10^n
1	0	1.0000 0000 0000 0000
A	1	0.1999 9999 9999 999A
64	2	0.28F5 C28F 5C28 F5C3 x 16^{1}
3E8	3	0.4189 374B C6A7 EF9E x 16^{2}
2710	4	0.68DB 8BAC 710C B296 x 16^{-3}
1 86A0	5	0.A7C5 AC47 1B47 8423 x 16^{-4}
F 4240	6	0.10C6 F7A0 B5ED 8D37 x 16^{-4}
98 9680	7	0.1AD7 F29A BCAF 4858 x 16^{-5}
5F5 E100	8	0.2AF3 1DC4 6118 73BF x 16^{-6}
3B9A CA00	9	0.4488 2FA0 9B5A 52CC x 16^{-7}
2 540B E400	10	0.6DF3 7F67 SEF6 EADF x 16^{-8}
17 4876 E800	11	0.AFEB FF08 CB24 AAFF x 16^{-9}
E8 D4A5 1000	12	0.1197 9981 2DEA 1119 x 16^{-9}
918 4E72 A000	13	0.1C25 C268 4976 81C2 x 16^{-10}
5AF3 107A 4000	14	0.2D09 370D 4257 3604 x 16^{-11}
3 8D7E A4C6 8000	15	0.480E BE7B 9D58 566D x 16^{-12}
23 8652 6FC1 0000	16	0.734A CA5F 6226 F0AE x 16^{-13}
163 4578 5D8A 0000	17	0.B877 AA32 36A4 B449 x 16^{-14}
DE0 B6B3 A764 0000	18	0.1272 5DD1 D243 ABA1 x 16^{-14}
8AC7 2304 89E8 0000	19	0.1D83 C94F B6D2 AC35 x 16^{-15}

CURSO DE ELETRONICA DIGITAL E MICROPROCESSADORES

EXAME DA LIÇÃO ED-3

OBSERVAÇÃO

- cada questão é composta de três ou quatro alternativas.
- só uma delas está correta.
- marque a que considerar correta.
- passe as respostas corretas para a folha de exame.

1) O número de "bits" de um código corresponde ao número:

a) que identifica o nível lógico deste código;
b) de dígitos binários que este possui;
c) que exprime a freqüência do pulso.

2) No código excesso 3 o número $7_{(10)}$ corresponde a:

a) 0110;
b) 1001;
c) 1010.

7 + 3 : 10 . 0111 = 1010

3) Os códigos de 5 "bits" mais importantes são:

a) código 2 entre 5, BCD 7421, BCD 2421;
b) BCD 5211 e BCD 8421;
c) código Johson e código 2 entre 5.

4) Com relação ao código Gray, sabemos que;

a) sua principal característica é que, de um número a outro, apenas um "bit" varia;
b) o número $7_{(10)}$ é igual a $0111_{(2)}$;
c) possui 5 "bits".

5) No código ASCII, a letra F maiúscula corresponde:

a) à linha 6 coluna 4;
b) à coluna 5 e linha 6;
c) n.d.r.

6) A soma dos números $1111_{(2)}$ e $111_{(2)}$ tem como resultado:

a) $10101_{(2)}$;
b) $10110_{(2)}$;
c) $10100_{(2)}$.

$$1111 + 111 = 10110_{(2)} = 22_{(10)}$$

7) A diferença dos números $15_{(10)}$ e $3_{(10)}$ tem como resultado em binário:

a) $01011_{(2)}$;
b) $01010_{(2)}$;
c) $01100_{(2)}$.

$$1111 - 0011 = 1100 = 12_{(10)}$$

8) A multiplicação dos números $1011_{(2)}$ e $101_{(2)}$ é igual a:

a) $110101_{(2)}$;
b) $111011_{(2)}$;
c) $110111_{(2)}$.

$$\begin{array}{r} 1011 \\ \times\ 101 \\ \hline 1011 \\ 1011\,0 \\ \hline 110111 \end{array}$$

9) Se dividirmos o número $110001_{(2)}$ pelo número $0111_{(2)}$, teremos como resultado:

a) $0111_{(2)}$;
b) $0101_{(2)}$;
c) $0011_{(2)}$.

$$\begin{array}{r|l} 110001 & 0111 \\ 0111 & \\ \hline 0101 & \end{array}$$

$$\begin{array}{r|l} 110001 & 111 \\ 111 & 0111 \\ \hline 01010 & \\ 111 & \\ \hline 00111 & \\ 111 & \\ \hline 0 & \end{array}$$

10) Com relação ao código ASCII, podemos afirmar que este possui:

a) 7 "bits";

b) 6 "bits" efetivos;

c) apenas 2 "bits" para controle.

CURSO DE
ELETRONICA DIGITAL E
MICROPROCESSADORES
CAIXA POSTAL 1642 – CEP 86100 – LONDRINA-PR.

1984

LIÇÃO ED-4

CIRCUITOS LÓGICOS - FUNÇÕES LÓGICAS

INTRODUÇÃO

A eletrônica digital, como comentamos na lição E-17, utiliza um sistema numérico de base dois (binário). Adotou-se o sistema binário, devido este simplificar os circuitos eletrônicos. Desta forma criou-se uma álgebra baseada em dois estados distintos, zero (falso) e um (verdadeiro).

Assim adotou-se a álgebra desenvolvida por George Boole (1815-1854), recebendo, desta forma, o nome de álgebra de Boole (Álgebra Booleana). Esta álgebra booleana é representada eletronicamente por dois estados distintos: chave aberta = 0 (zero binário) e chave fechada = 1 (um binário). A figura 1 ilustra estas condições.

CHAVE ABERTA = LÓGICA ZERO CHAVE FECHADA = LÓGICA UM

FIGURA 1

Através destes dois estados convenientemente aplicados - tornou-se possível criar um grupo de circuitos lógicos ou portas lógicas, básicas, denominadas de portas "não" (not), "E" (and), "OU" (or) que iremos estudar a seguir.

FUNÇÃO "E" (AND)

A função "E" é igual a "1", somente quando todas as variáveis forem iguais a "1". Da mesma forma,a função "E" é igual a "0", somente quando uma ou mais variáveis forem iguais a "0".

Podemos representar essa função, utilizando chaves, como mostra o circuito da figura 2.

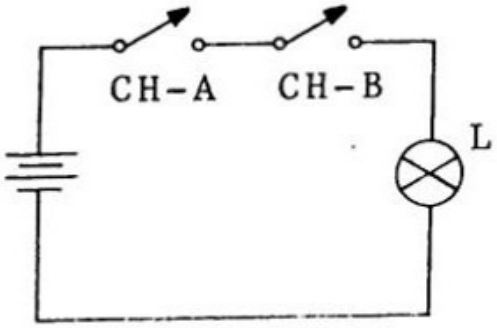


FIGURA 2

TABELA DE REPRESENTAÇÃO (TABELA VERDADE)		
VARIÁVEIS		SAÍDA
Ch-B aberta	Ch-A aberta	L apagada
Ch-B aberta	Ch-A fechada	L apagada
Ch-B fechada	Ch-A aberta	L apagada
Ch-B fechada	Ch-A fechada	L acesa

Ch-A = Chave A
Ch-B = Chave B
L = Lâmpada

Chave aberta = 0
Chave fechada = 1
Lâmpada apagada = 0
Lâmpada acesa = 1

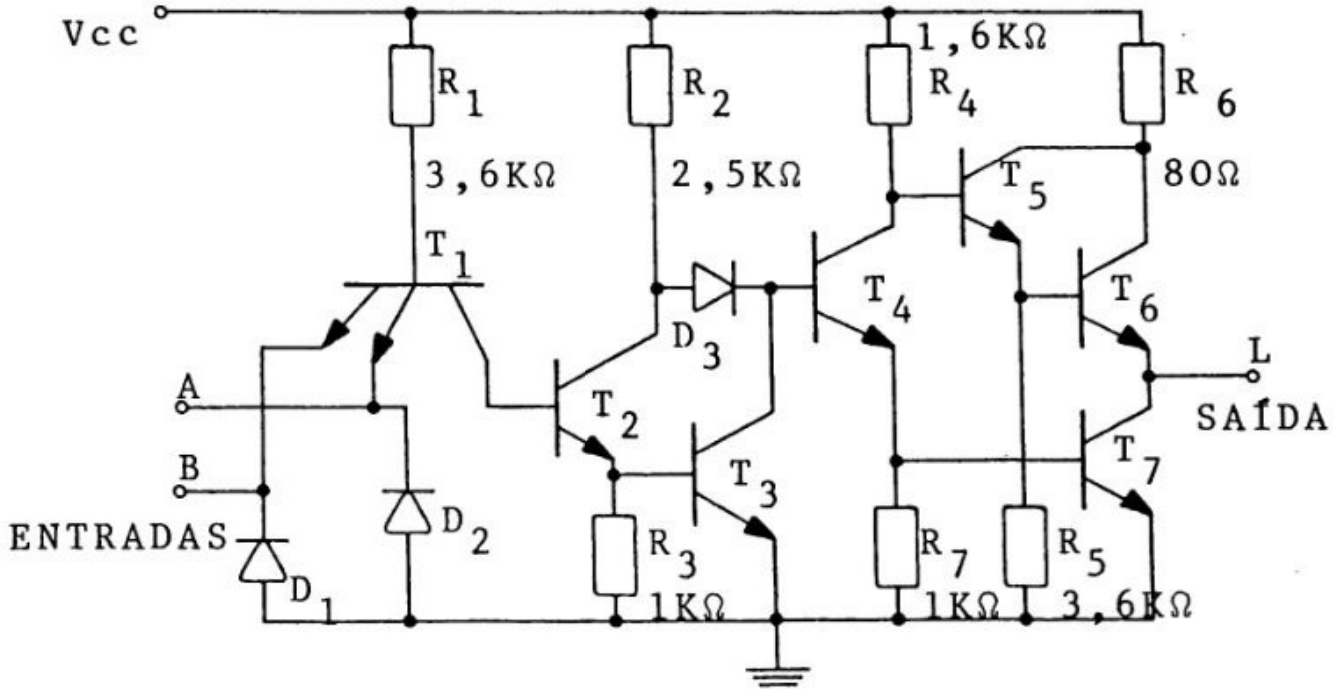
Desta forma, podemos representar a tabela verdade do circuito da figura 2 por meio de símbolos numéricos "0" (zero) e 1 (um) da álgebra be Boole, como mostra a tabela verdade a seguir:

B	A	L
0	0	0
0	1	0
1	0	0
1	1	1

A = Ch-A
B = Ch-B
L = Lâmpada

PORTA "E" (AND)

A porta "E" se constitui de um circuito eletrônico transistorizado que executa a função "E". A figura 3A mostra o circuito eletrônico e a figura 3B o símbolo de uma porta "E" e sua tabela verdade.



(A) FIGURA 3

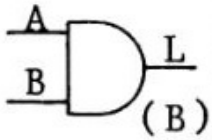


TABELA VERDADE NÍVEIS DE TENSÃO		
B	A	L
GND	GND	GND
GND	Vcc	GND
Vcc	GND	GND
Vcc	Vcc	Vcc

TABELA VERDADE LÓGICA POSITIVA		
B	A	L
0	0	0
0	1	0
1	0	0
1	1	1

TABELA VERDADE LÓGICA NEGATIVA		
B	A	L
1	1	1
1	0	1
0	1	1
0	0	0

L = A.B
ou
L = A∧B

L = A.B

L = A + B

GND = tensão baixa = 0,0 a 0,4V = 0(zero binário)
Vcc = tensão alta = 2,4 a 5,0V = 1(um binário)
} TTL

A função "E" é definida como uma sentença lógica composta, formada por duas ou mais sentenças simples, ligadas pelo conectivo "E" que se torna verdadeira se, somente as sentenças simples que a compõem, forem verdadeiras.

Observamos que a função "E" é representada por um sinal "." igual ao utilizado na multiplicação aritmética, porém não se deve confundir multiplicação com lógica "E". Na multiplicação deve-se ler:

A x B (A vezes B) e na lógica "E" deve-se ler: A . B (A e B). Muitas vezes a função "E" é representada pelo símbolo: "∧", exemplo, A ∧ B (A e B).

FUNÇÃO "OU" (OR)

A função "OU" é igual a "1", somente quando uma ou mais variáveis forem iguais a "1". Da mesma forma, a função "OU" é igual a "0", somente quando todas as variáveis forem iguais a "0".

Podemos representar essa função, utilizando chaves, como mostra o circuito da figura 4.

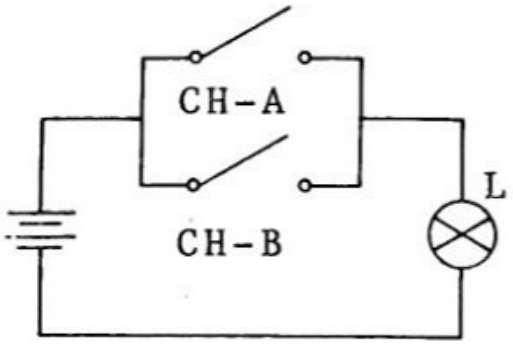


FIGURA 4

Ch-A = Chave A
Ch-B = Chave B
L = Lâmpada

TABELA DE REPRESENTAÇÃO (TABELA VERDADE)		
VARIÁVEIS		SAÍDA
Ch-B aberta	Ch-A aberta	L apagada
Ch-B aberta	Ch-A fechada	L acesa
Ch-B fechada	Ch-A aberta	L acesa
Ch-B fechada	Ch-A fechada	L acesa

Chave aberta 0 =
Chave fechada = 1
Lâmpada apagada = 0
Lâmpada acesa = 1

Desta forma, podemos representar a tabela verdade do circuito da figura 4, por meio de símbolos numéricos "0" (zero) e 1 (um) da álgebra de Boole, como mostra a tabela verdade a seguir:

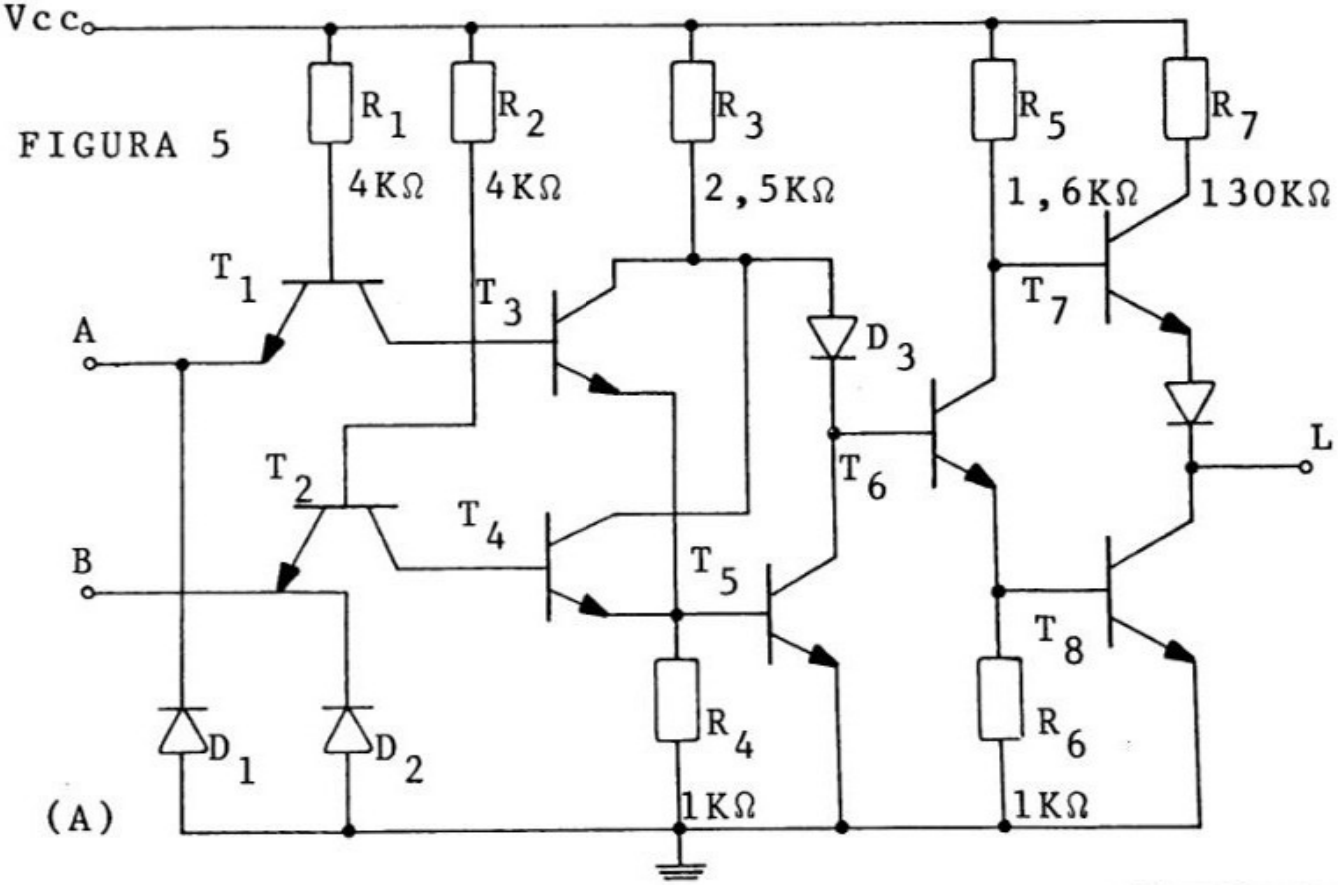
B	A	L
0	0	0
0	1	1
1	0	1
1	1	1

A = Ch-A
B = Ch-B
L = Lâmpada

PORTA "OU" (OR)

A porta "OU" se constitui de um circuito eletrônico transistorizado que executa a função "OU". A figura 5A mostra o circuito eletrônico, a figura 5B, o símbolo de uma porta "OU", e sua tabela verdade.

FIGURA 5

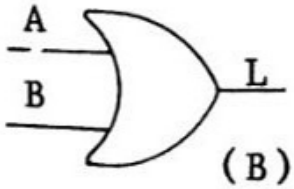


(A)

TABELA VERDADE NÍVEIS DE TENSÃO		
B	A	L
GND	GND	GND
GND	Vcc	Vcc
Vcc	GND	Vcc
Vcc	Vcc	Vcc

TABELA VERDADE LÓGICA POSITIVA		
B	A	L
0	0	0
0	1	1
1	0	1
1	1	1

TABELA VERDADE LÓGICA NEGATIVA		
B	A	L
1	1	1
1	0	0
0	1	0
0	0	0



(B)

L = A + B

ou

L = A ∨ B

GND = tensão baixa = 0,0 a 0,4V = 0(zero binário)

Vcc = tensão alta = 2,4 a 5,0V = 1 (um binário)

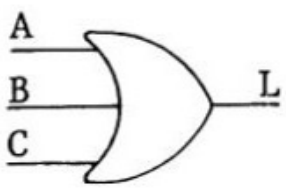
} TTL

A função "OU" é definida como uma sentença lógica,composta, formada por duas ou mais sentenças simples, ligadas pelo conectivo "OU" que se torna verdadeiro, somente se uma ou mais sentenças simples que a compõem, forem verdadeiras.

Observamos que a função "OU" é representada por um sinal "+" igual ao utilizado na soma aritmética, porém não se deve confundir soma com lógica "OU". Na soma deve-se ler: A + B (A mais B) e na lógica "OU" deve-se ler: A + B (A ou B). Muitas - vezes a função "OU" é representada pelo símbolo "∨", exemplo, A∨ B (A ou B).

As funções "E" e "OU" foram demonstradas somente com duas variáveis, porém estas variáveis são teoricamente infinitas. A título de exemplo, vamos mostrar algumas portas com mais de duas variáveis de entradas. Veja a figura 5A e 5B.

C	B	A	L
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1



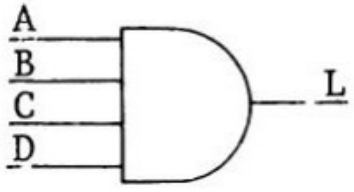
L = A + B + C

ou

L = A ∨ B ∨ C

Figura 5A, tabela verdade, símbolo e equação de uma porta "OU" de três variáveis de entrada.

D	C	B	A	L
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1



L = A.B.C.D

ou

L = A∧ B∧ C∧ D

Figura 5B, tabela verdade, símbolo e equação de uma porta "E" de quatro variáveis de entrada.

FUNÇÃO "NÃO" (NOT)

A função "NÃO" (inversor) é igual a "1", somente quando a variável for igual a "0". Da mesma forma,a função "NÃO" é igual a "0", somente quando a variável for igual a "1".

Poderemos representar essa função, utilizando chave, como mostra o circuito da figura 6:

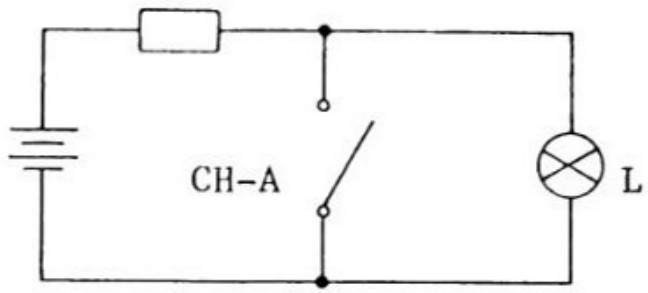


FIGURA 6

TABELA DE REPRESENTAÇÃO (TABELA VERDADE)	
VARIÁVEL	SAÍDA
Ch-A aberta Ch-A fechada	L = acesa L = apagada

Ch-A = Chave A
L = Lâmpada

Ch-A aberta = 0
Ch-A fechada = 1
Lâmpada apagada = 0
Lâmpada acesa = 1

Desta forma, podemos representar a tabela verdade do circuito da figura 6, por meio de símbolos numéricos "0" (zero) e 1 (um) da álgebra de Boole, como ilustra a tabela verdade a seguir:

A	$L(\overline{A})$
0	1
1	0

A = Ch-A
L = Lâmpada = $\overline{A}$

OBS.: Toda vez que se encontrar um índice com uma barra, por exemplo: "$\overline{A}$", significa que este "$\overline{A}$" barrado é inverso de "A".

PORTA "NÃO" (NOT)

A porta "NÃO" se constitui de um circuito eletrônico, transistorizado que executa a função "NÃO". A figura 7A mostra o circuito eletrônico, a figura 7B o símbolo de uma porta "NÃO" e sua tabela verdade:

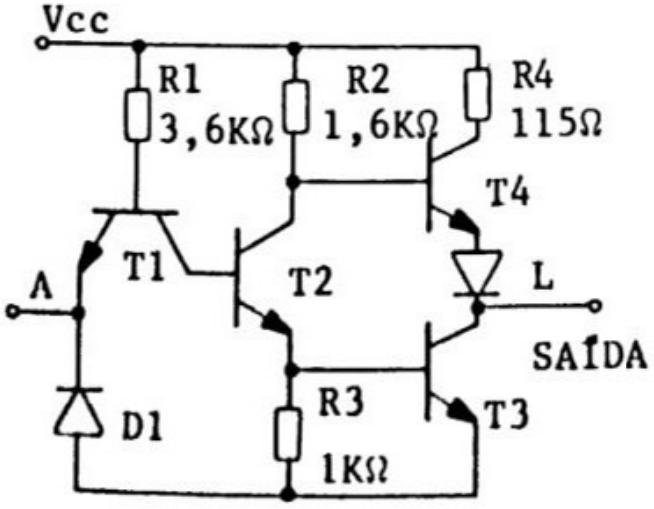


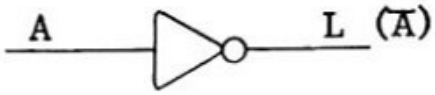
TABELA VERDADE NÍVEIS DE TENSÃO	
A	L
GND	Vcc
Vcc	GND

TABELA VERDADE LÓGICA POSITIVA	
A	L
0	1
1	0

$L = \overline{A}$

FIGURA 7 A

TABELA VERDADE LÓGICA NEGATIVA	
A	L
1	0
0	1



$L = \overline{A}$

FIGURA 7B

A função "NÃO" é definida como uma sentença lógica simples de negação. Exemplo:

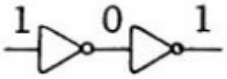
Uma semana tem sete dias (verdadeira)
Uma semana não tem sete dias (negação).

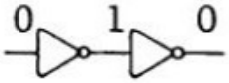
Observamos que uma função "NÃO" pode ser encontrada com mais de um sinal de barramento. Podemos, às vezes, teoricamente, simplificá-los, porém deve-se tomar cuidado com relação aos atrasos que certos circuitos de negação executam.

$\overline{A} = \overline{A} =$

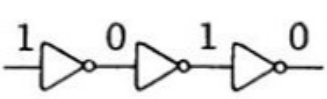
ou

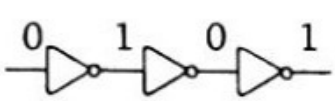
$= \underline{A}\ \overline{A}$

$\overline{\overline{A}} = A =$ 

ou 

$= \underline{A}\ \underline{A}$

$\overline{\overline{\overline{A}}} = \overline{A} =$ 

ou 

$= \underline{A}\ \overline{A}$

Isto só é válido se este circuito não estiver sendo utilizado para retardar um determinado sinal.

TEOREMAS FUNDAMENTAIS DA ÁLGEBRA DE BOOLE

Inicialmente demonstraremos as propriedades da álgebra ordinária que são válidas para a álgebra booleana:

Propriedade associativa: a) $(A+B) + C = A + (B+C)$
b) $(A.B) . C = A . (B.C)$

Propriedade comutativa: a) $A.B = B.A$
b) $A+B = B+A$

Propriedade distributiva: a) $A.(B+C) = A.B+A.C$
b) $A+(B.C) = (A+B) . (A+C)$

TEOREMAS:

1) $A + 1 = 1$
2) $A + 0 = A$
3) $A \cdot 1 = A$
4) $A \cdot 0 = 0$
5) $A + \overline{A} = 1$
6) $A + A = A$
7) $A \cdot \overline{A} = 0$
8) $A \cdot A = A$
9) $\overline{(\overline{A})} = A$
10) $(\overline{A}) = A$
11) $A + A \cdot B = A$
12) $A \cdot (A+B) = A$
13) $\overline{A} \cdot \overline{B} \cdot \overline{C} = \overline{A + B + C + \ldots}$ } Teorema de De Morgan
14) $\overline{A} + \overline{B} + \overline{C} = \overline{A \cdot B \cdot C \ldots}$ } Teorema de De Morgan
15) $\overline{A}.B + A.\overline{B} = A \oplus B$ } Teorema Exclusivo
16) $\overline{A}.\overline{B} + AB = \overline{A \oplus B}$ } Teorema Exclusivo

Se tomarmos estes teoremas e aplicarmos em suas variáveis valores numéricos 1 (um) e 0 (zero), conseguiremos prová-los. Por exemplo:

TEOREMA 1

A + 1	
0 + 1	1
1 + 1	1

TEOREMA 2

A + 0	
0 + 0	0
1 + 0	1

TEOREMA 5

A + $\overline{A}$	
0 + 1	1
1 + 0	1

TEOREMA 11

A . B	X
0 0	0
0 1	0
1 0	0
1 1	1

A + X	
0 0	0
0 0	0
1 0	1
1 1	1

$$A + \overbrace{A \cdot B}^{X} = A$$

TEOREMA DE DE MORGAN

Os teoremas 13 e 14 (teorema de De Morgan) são muito importantes em minimização de circuitos. São também derivadas deste teorema duas portas lógicas, encontradas comercialmente: Porta "NÃO E" (NAND) e "NÃO OU" (NOR).

PORTA "NÃO E" ou NE (NAND)

A porta "NÃO E" é implementada a partir das funções básicas "OU" e "NÃO" com aplicação do teorema de De Morgan, teorema 14, como mostra a figura 8:

$$\overline{A} + \overline{B} = \overline{A \cdot B}$$

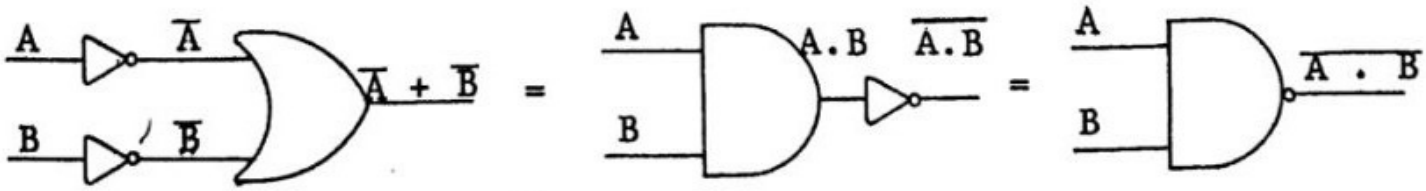


FIGURA 8

A função "NÃO E" é igual a "0", somente quando todas as variáveis forem iguais a "1". Da mesma forma, a função "NÃO E" é igual a "1", somente quando uma ou mais variáveis forem iguais a "0".

Podemos representar essa função, utilizando chaves como mostra o circuito da figura 9.

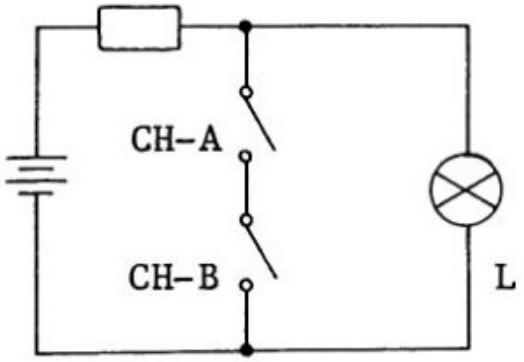


TABELA DE REPRESENTAÇÃO (TABELA VERDADE)		
VARIÁVEIS		SAÍDA
Ch-B aberta	Ch-A aberta	L acesa
Ch-B aberta	Ch-A fechada	L acesa
Ch-B fechada	Ch-A aberta	L acesa
Ch-B fechada	Ch-A fechada	L apagada

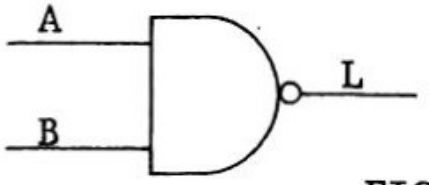
FIGURA 9

Assim, substituindo a tabela de representação por símbolos numéricos "0" (zero) e "1" (um) da álgebra booleana, teremos:

B	A	L
0	0	1
0	1	1
1	0	1
1	1	0

A = Ch-A
B = Ch-B
L = Lâmpada

Para a porta "NÃO E" adotou-se um símbolo idêntico ao da porta "E" com um círculo na saída que identifica a inversão. A figura 10 mostra o símbolo e a equação algébrica:



$$L = \overline{A \cdot B}$$

ou

$$L' = \overline{A \wedge B}$$

FIGURA 10

PORTA "NÃO OU" (NOR)

A porta "NÃO OU" é implementada a partir das funções básicas "E" e "NÃO" com aplicação do teorema de De Morgan, teorema 13, como mostra a figura 11:

$$\overline{A} \cdot \overline{B} = \overline{A + B}$$

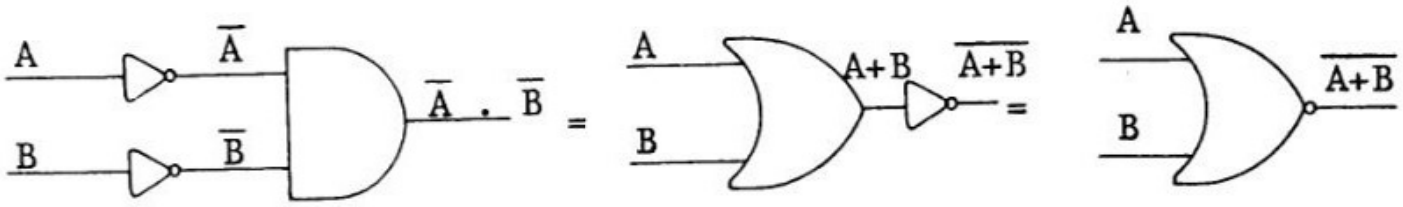


FIGURA 11

A função "NÃO OU" é igual a "1" , somente quando todas as variáveis forem iguais a "0". Da mesma forma a função "NÃO OU" é igual a "0", somente quando uma ou mais variáveis forem iguais a "1" .

Podemos representar essa função, utilizando chaves, como mostra o circuito da figura 12.

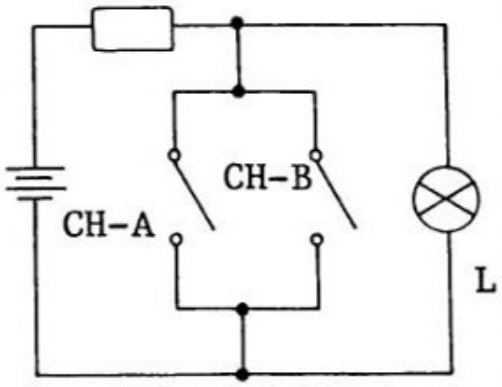


TABELA DE REPRESENTAÇÃO (TABELA VERDADE)		
VARIÁVEIS		SAÍDA
Ch-B aberta	Ch-A aberta	L acesa
Ch-B aberta	Ch-A fechada	L apagada
Ch-B fechada	Ch-A aberta	L apagada
Ch-B fechada	Ch-A fechada	L apagada

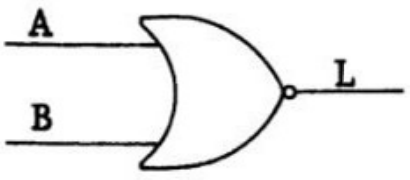
FIGURA 12

Assim, substituindo a tabela de representação por símbolos numéricos "0" (zero) e "1" (um) da álgebra booleana, teremos:

B	A	L
0	0	1
0	1	0
1	0	0
1	1	0

A = Ch-A
B = Ch-B
L = Lâmpada

Para a porta "NÃO OU" adotou-se um símbolo idêntico ao da porta "OU" com um círculo na saída que identifica a inversão. A figura 13 mostra o símbolo e a equação algébrica.



$L = \overline{A + B}$

ou

$L = \overline{A \vee B}$

FIGURA 13

Observamos que, para efeito de demonstração das portas "NÃO OU" e "NÃO E", empregamos símbolos e tabelas com apenas duas variáveis. Porém estas portas poderão, teoricamente, conter infinitas variáveis.

TEOREMA EXCLUSIVO

Os teoremas 15 e 16 (teorema exclusivo) são da mesma forma que os de De Morgan, muito importantes em minimização de circuitos. São também derivadas deste teorema duas portas lógicas encontradas comercialmente, porta "OU EXCLUSIVA" (Or Exclusiva) e "NÃO OU EXCLUSIVA" (Nor Exclusiva).

PORTA "OU EXCLUSIVA" (OR EXCLUSIVA)

A porta "OU EXCLUSIVA" é implementada a partir das funções básicas "E", "OU" e "NÃO" com aplicação do teorema exclusivo. Teorema 15, como mostra a figura 14.

$$\overline{A} \cdot B + A \cdot \overline{B} = A \oplus B$$

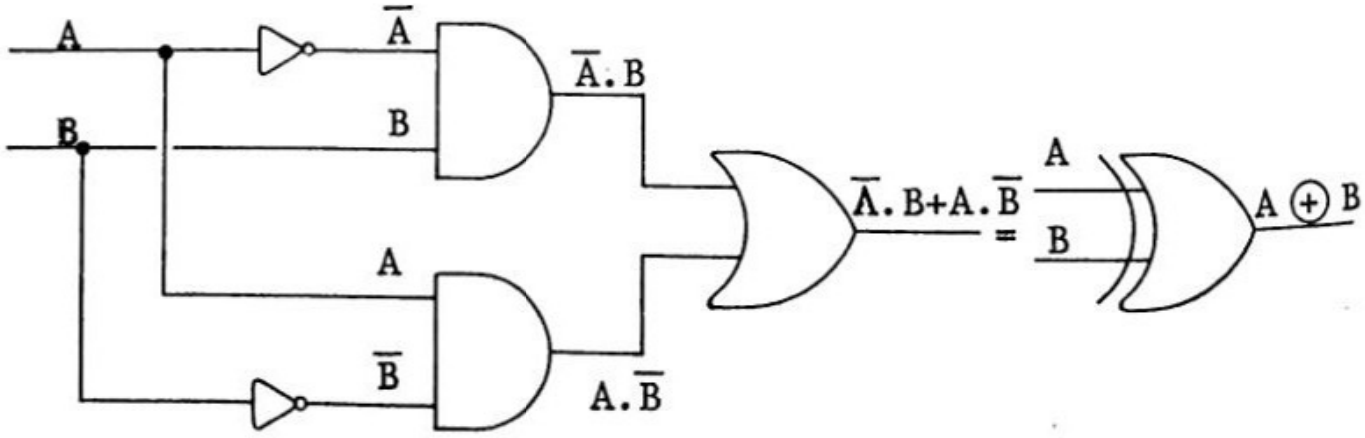


FIGURA 14

A função "OU EXCLUSIVA" é igual a um "1", somente quando o número de bits um "1" das variáveis for ímpar. Caso contrário a função "OU EXCLUSIVA" será igual a zero "0".

Podemos representar essa função, utilizando chaves como

mostra o circuito da figura 15.

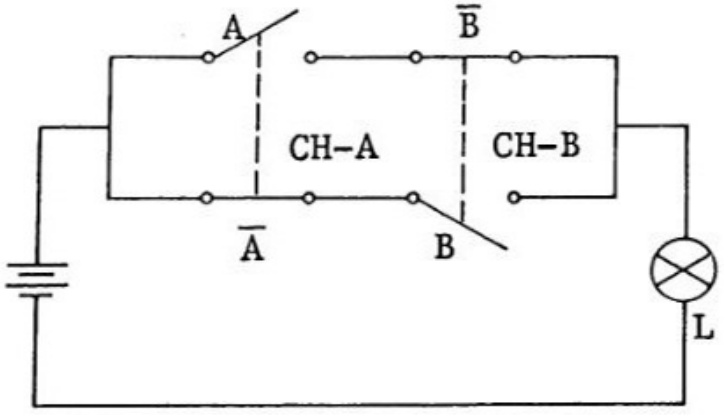


FIGURA 15

Observação: As chaves Ch-A e Ch-B são de dupla posição e comutáveis simultaneamente. Para efeito da execução da tabela de representação devem-se utilizar as chaves nas posições "A" e "B", mas tendo em mente que "$\overline{A}$" e "$\overline{B}$" estarão sempre em posições opostas. Por exemplo: Ch-B com a posição "B" aberta, "$\overline{B}$" estará fechada e vice-versa.

TABELA DE REPRESENTAÇÃO (TABELA VERDADE)		
VARIÁVEIS		SAÍDA
Ch-B aberta	Ch-A aberta	L apagada
Ch-B aberta	Ch-A fechada	L acesa
Ch-B fechada	Ch-A aberta	L acesa
Ch-B fechada	Ch-A fechada	L apagada

FIGURA 15

Assim, substituindo a tabela de representação por símbolos numéricos "0" (zero) e "1" (um) da álgebra booleana, teremos:

B	A	L
0	0	0
0	1	1
1	0	1
1	1	0

A = Ch-A (posição A)
B = Ch-B (posição B)
L = Lâmpada

Para a porta "OU EXCLUSIVA" adotou-se um símbolo idêntico ao da porta "OU" com a diferença de possuir dois traços côncavos na entrada que identificam a exclusividade. A figura 16 mostra o símbolo e a equação algébrica.

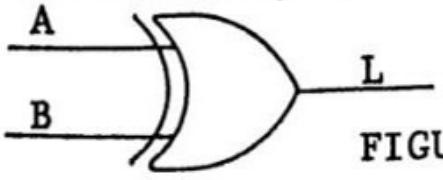


FIGURA 16

$L = A \oplus B$

ou

$L = A \overline{\vee} B$

PORTA "NÃO OU EXCLUSIVA" (NOR EXCLUSIVA)

A porta "NÃO OU EXCLUSIVA" é implementada a partir das funções básicas "E", "OU" e "NÃO" com aplicação do teorema exclusivo. Teorema 16, como mostra a figura 17.

$$A \cdot B + \overline{A} \cdot \overline{B} = \overline{A \oplus B}$$

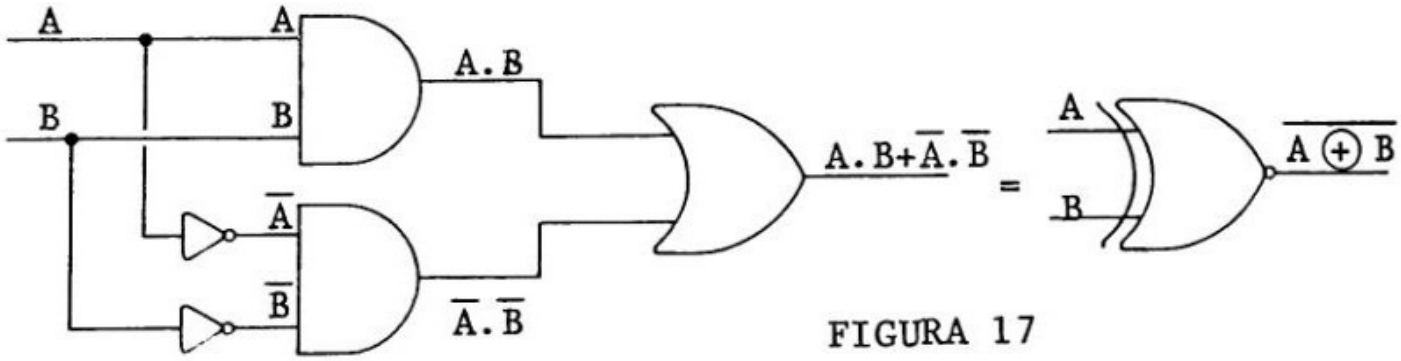


FIGURA 17

A função "NÃO OU EXCLUSIVA" é igual a zero "0", somente quando o número de bits um "1" das variáveis for ímpar. Caso contrário a função "NÃO OU EXCLUSIVA" será igual a um "1".

Podemos representar essa função, utilizando chaves, como mostra o circuito da figura 18.

TABELA DE REPRESENTAÇÃO (TABELA VERDADE)		
VARIÁVEIS		SAÍDA
Ch-B aberta	Ch-A aberta	L acesa
Ch-B aberta	Ch-A fechada	L apagada
Ch-B fechada	Ch-A aberta	L apagada
Ch-B fechada	Ch-A fechada	L acesa

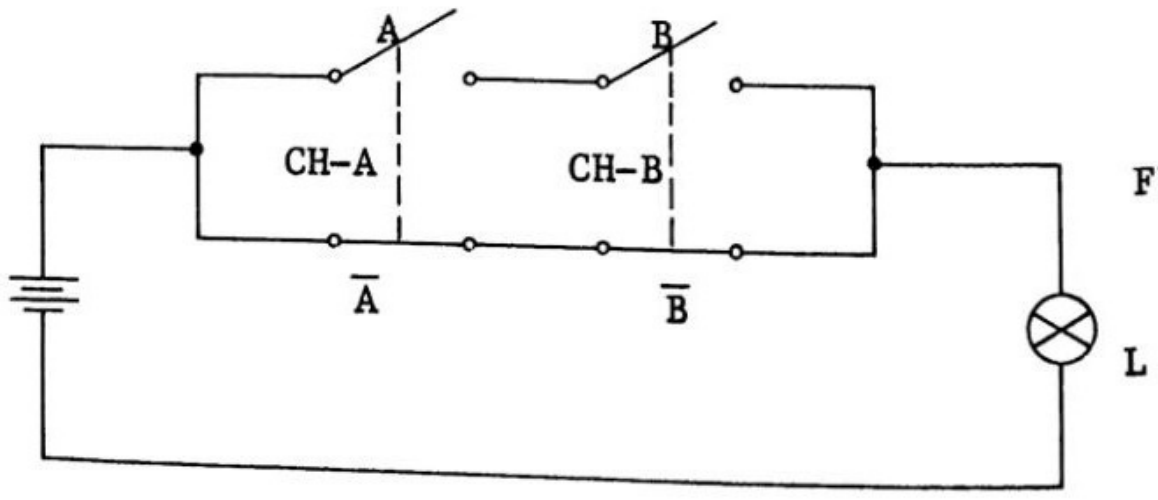


FIGURA 18

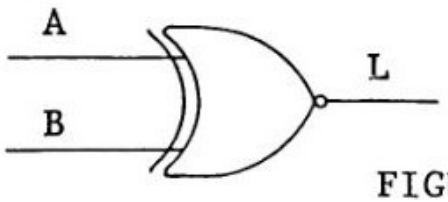
Observamos que as chaves obedecem às mesmas regras citadas para o circuito da figura 15.

Assim, substituindo a tabela de representação por símbolos numéricos "0" (zero) e "1" (um) da álgebra booleana, teremos:

B	A	L
0	0	1
0	1	0
1	0	0
1	1	1

A = Ch-A (posição A)
B = Ch-B (posição B)
L = Lâmpada

Para a porta "NÃO OU EXCLUSIVA" adotou-se um símbolo idêntico ao da porta "OU EXCLUSIVA" com um círculo na saída que identifica a inversão. A figura 19 mostra o símbolo e a equação algébrica.



$$L = \overline{A \oplus B}$$

ou

$$L = \overline{A \bigtriangledown B}$$

FIGURA 19

A porta "NÃO OU EXCLUSIVA" é também denominada de porta coincidência ou comparadora.

PORTAS COM COLETOR ABERTO

As portas com saída em coletor aberto diferem das portas com saída em totem-pole por possuírem na saída um transistor com coletor aberto ou desconectado. Assim, quando a saída estiver no estado 0 (zero), haverá absorção de corrente, porém não ocorrerá absorção de corrente, quando estiver no estado 1 (um). A figura 20 mostra um circuito típico em totem-pole e em coletor aberto.

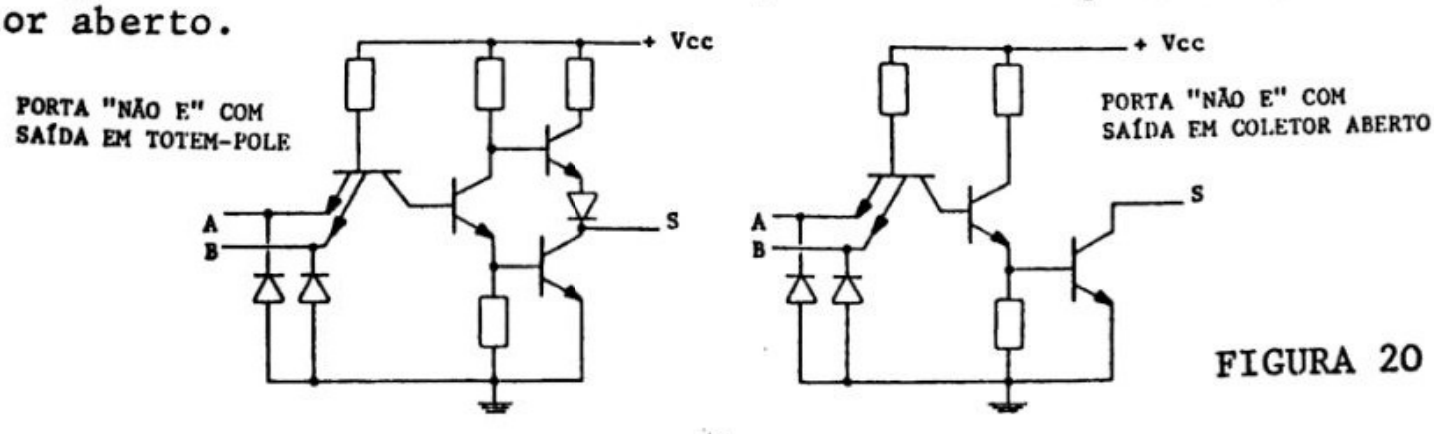


FIGURA 20

As portas em coletor aberto possibilitam a interligação de todas as saídas a um ponto comum, se utilizar um resistor Rex pull-up, ligado ao +Vcc. Esta configuração tem a vantagem da interligação de várias saídas, porém há a desvantagem de possuir uma velocidade de chaveamento relativamente baixa, devido à dependência do resistor pull-up. A figura 21 mostra uma ligação típica de saídas em coletor aberto.

TABELA VERDADE			
$L_3 = (\overline{G.H.I})$	$L_2 = (\overline{D.E.F})$	$L_1 = (\overline{A.B.C})$	L
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

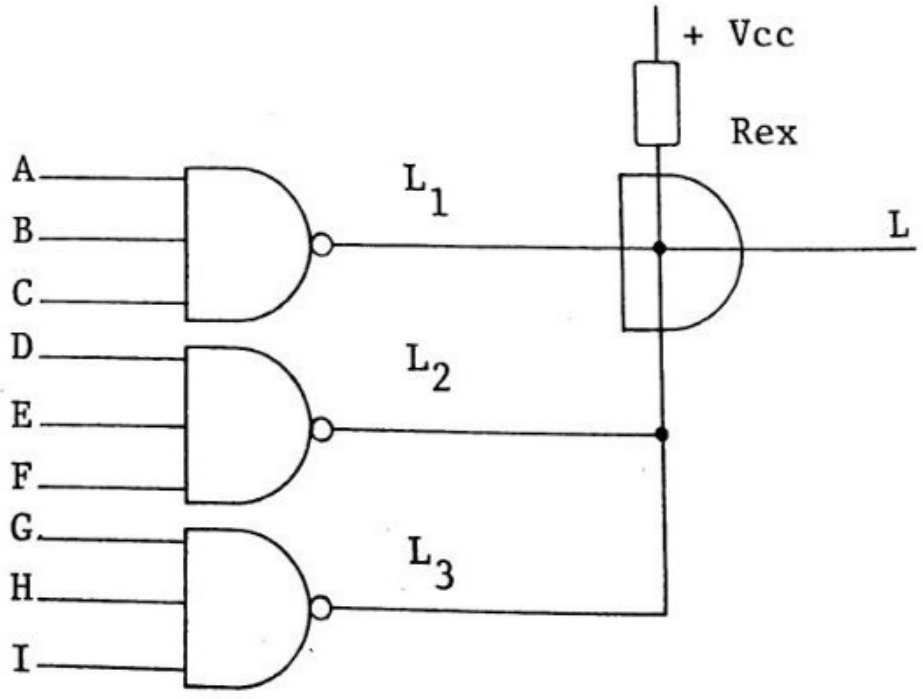


FIGURA 21

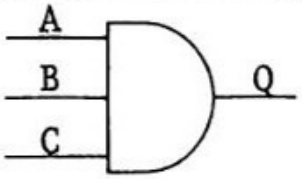
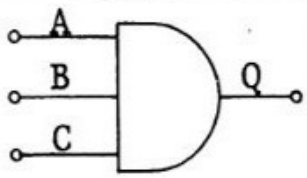
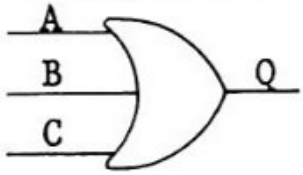
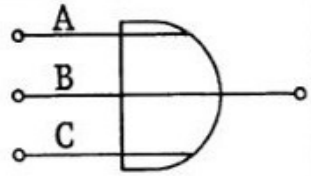
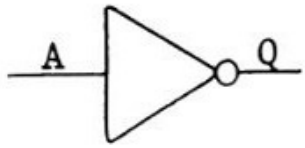
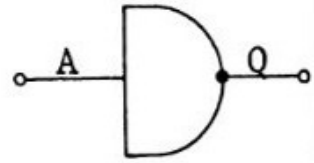
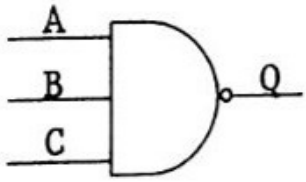
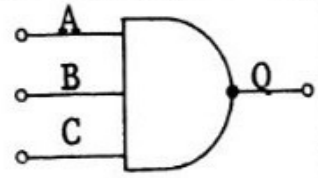
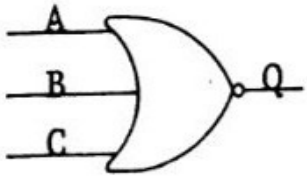
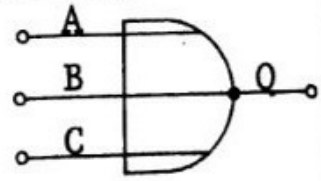
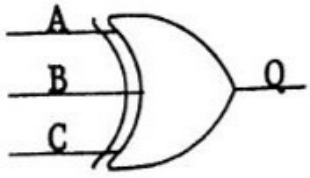
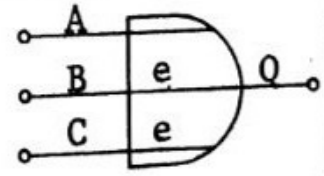
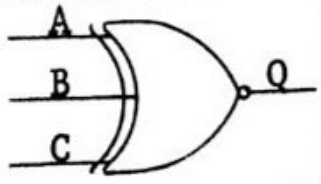
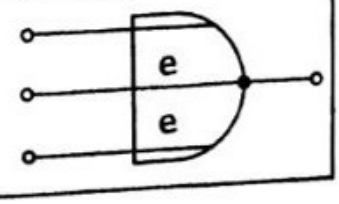
A configuração apresentada na figura 21 terá saída igual a "1" (um), somente se os sinais de saída de todas as portas interligadas assumirem o nível "1" (um). Da mesma forma a saída será igual a "0" (zero) se uma ou mais saídas das portas interligadas assumirem o nível "0". Assim fica claro que o circuito executa uma função "E", denominada de "E-POR FIO" (WIRED-AND). Às vezes, é denominada erroneamente de "OU-POR FIO",

"OU-PONTUAL ou COLETOR-ATADO" ("WIRED-OR", "DOT-OR" ou "COLLECTOR-DOTTING").

SIMBOLOGIA

A seguir,uma tabela de símbolos e expressões lógicas, adotadas na Europa (DIN) e na América (ASA).

TABELA DE FUNÇÕES, EXPRESSÕES E SÍMBOLOS LÓGICOS

FUNÇÃO	EXPRESSÃO	SÍMBOLO (ASA)	SÍMBOLO (DIN)
E (AND)	$Q = A \cdot B \cdot C$ $Q = A \wedge B \wedge C$		
OU (OR)	$Q = A + B + C$ $Q = A \vee B \vee C$		
NÃO INVERSOR (NOT)	$Q = \overline{A}$ $Q = A'$ $Q = \neg A$		
NÃO E (NAND)	$Q = \overline{A \cdot B \cdot C}$ $Q = \overline{A \wedge B \wedge C}$ $Q = (A \cdot B \cdot C)'$ $Q = \neg(A.B.C)$		
NÃO OU (NOR)	$Q = \overline{A + B + C}$ $Q = \overline{A \vee B \vee C}$ $Q = (A + B + C)'$ $Q = \neg(A+B+C)$		
OU EXCLUSIVA (OR EXCLUSIVA)	$Q = A \oplus B \oplus C$ $Q = A \overline{\vee} B \overline{\vee} C$		
NÃO OU EXCLUSIVA (NOR EXCLUSIVA)	$Q = \overline{A \oplus B \oplus C}$ $Q = A \overline{\vee} B \overline{\vee} C$ $Q = (A \oplus B \oplus C)'$ $Q = \neg(A \oplus B \oplus C)$		

IMPLEMENTAÇÃO DE PORTAS LÓGICAS

A implementação de portas lógicas,às vezes,se faz necessária para resolver alguns casos práticos com lógica, mas deve-se tomar cuidado com os atrasos que certas implementações lógicas oferecem. Tais atrasos aplicados em conjunto com outros circuitos produzem efeitos indesejáveis.

Basicamente existem dois modos de implementar portas lógicas: implementação paralela e implementação em cascata.

Implementação de portas "E" e "OU".

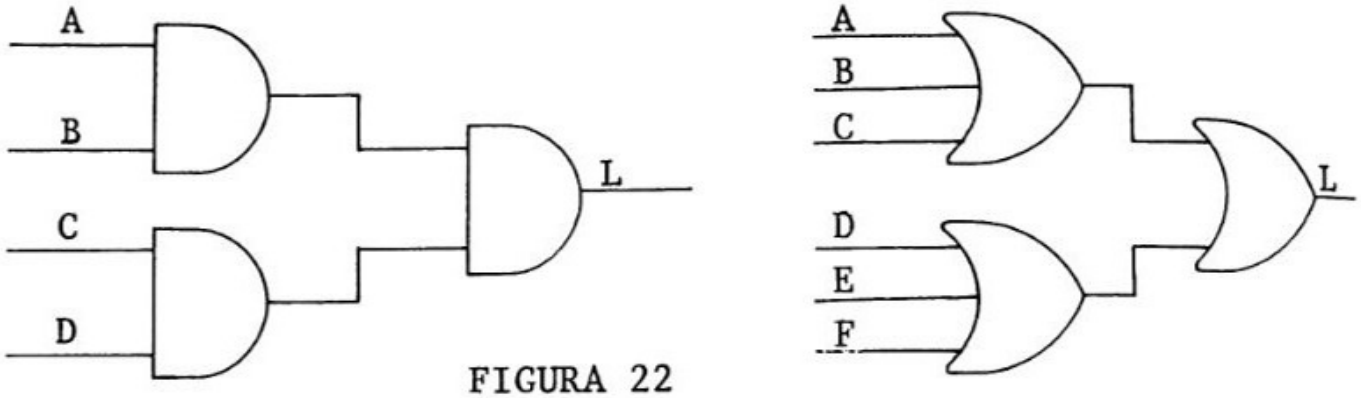


FIGURA 22

A figura 22 mostra a implementação de portas lógicas em paralelo das funções "E" e "OU".

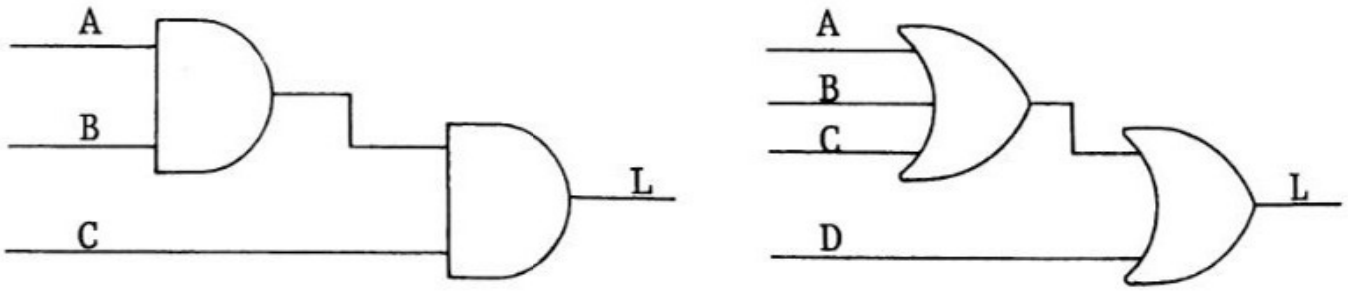


FIGURA 23

A figura 23 mostra a implementação de portas lógicas em cascata das funções "E" e "OU".

Implementação de portas "NÃO E" e "NÃO OU":

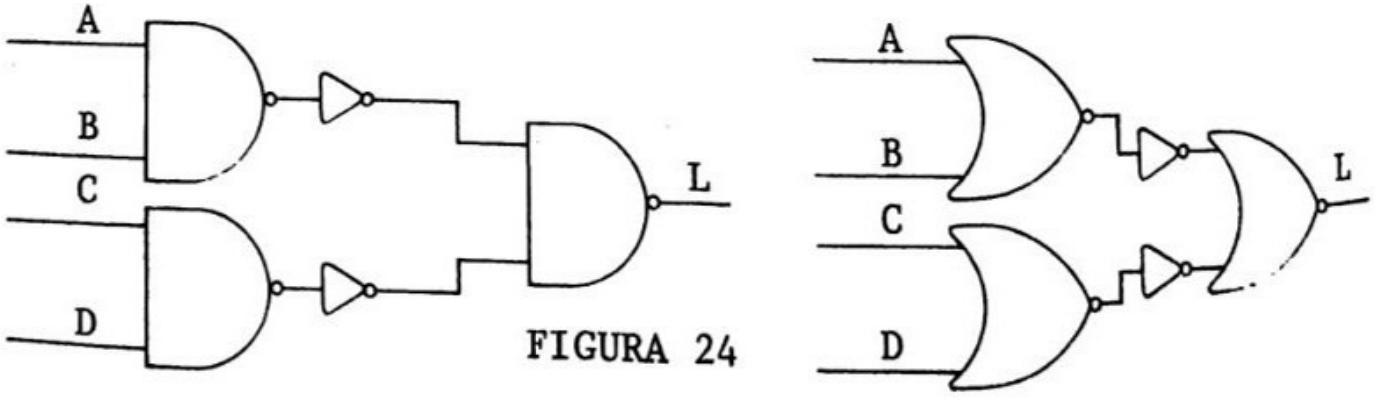


FIGURA 24

A figura 24 mostra a implementação em paralelo das portas lógicas "NÃO E" e "NÃO OU".

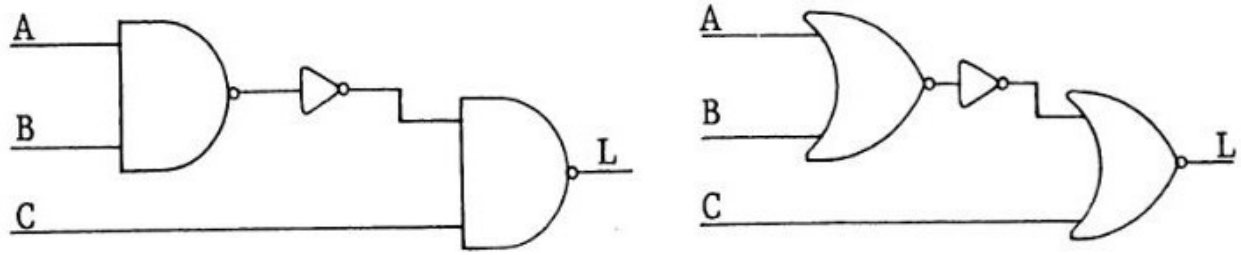


FIGURA 25

A figura 25 mostra a implementação em cascata das portas lógicas "NÃO E" e "NÃO OU". Observamos que, a estas portas, devido ao inversor de saída, devemos conectar um outro inversor para que a função seja executada corretamente.

Uma outra solução é a substituição das primeiras portas inversoras por portas não inversoras, como mostra os exemplos abaixo:

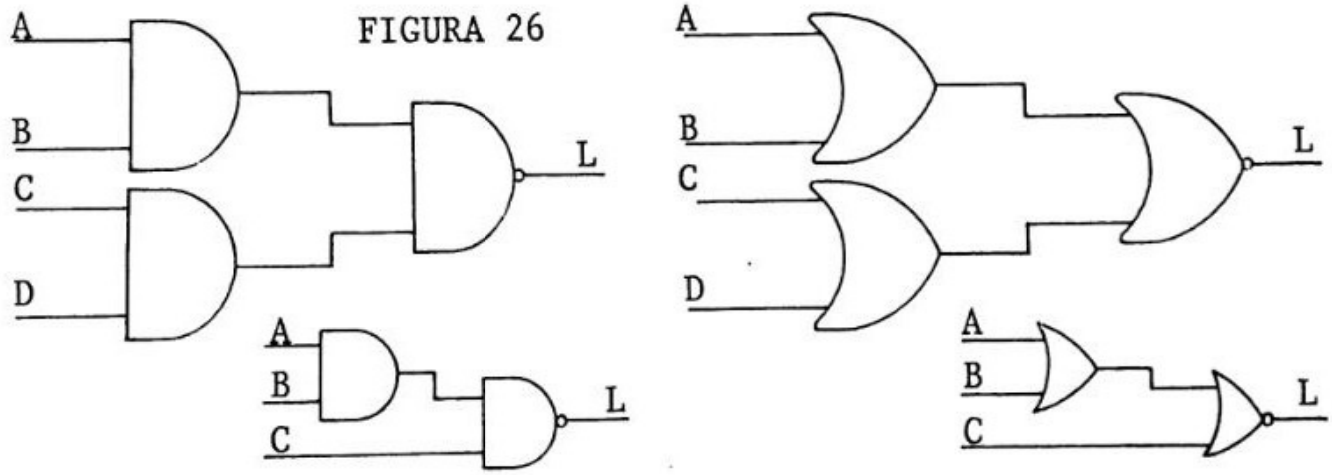


FIGURA 26

Implementação de portas "OU EXCLUSIVA" e "NÃO OU EXCLUSIVA".

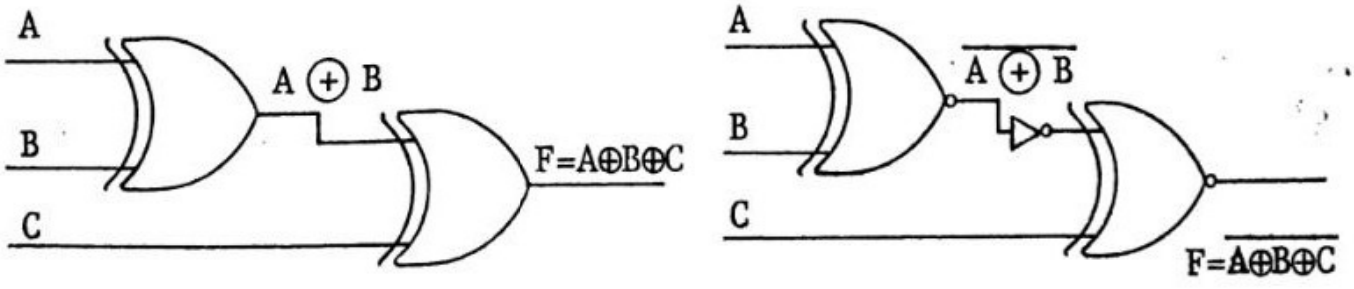


FIGURA 27

A figura 27 ilustra a implementação em cascata das portas lógicas "OU EXCLUSIVA" e "NÃO OU EXCLUSIVA".

A	B	C	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

Função "OU EXCLUSIVA"

A	B	C	F
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

Função "NÃO OU EXCLUSIVA"

As tabelas ilustradas acima referem as funções "OU EXCLUSIVA" e "NÃO OU EXCLUSIVA" de três variáveis. A expressão algébrica pode ser conseguida, a partir da tabela verdade, assim:

Função "OU EXCLUSIVA"

$$\overline{A}.\overline{B}.C+\overline{A}.B.\overline{C}+A.\overline{B}.\overline{C}+A.B.C = \overline{C}(A.\overline{B}+\overline{A}.B) + C(\overline{A}.\overline{B}+A.B)$$

$$= \overline{C}(A \oplus B) + C(\overline{A \oplus B})$$

$$= A \oplus B \oplus C$$

Função "NÃO OU EXCLUSIVA"

$$\overline{A}.\overline{B}.\overline{C}+\overline{A}.B.C+A.\overline{B}.C+A.B.\overline{C} = \overline{A}(\overline{B}.\overline{C}+B.C) + A(\overline{B}.C+B.\overline{C})$$

$$= \overline{A}(\overline{B \oplus C}) + A(B \oplus C)$$

$$= \overline{A \oplus B \oplus C}$$

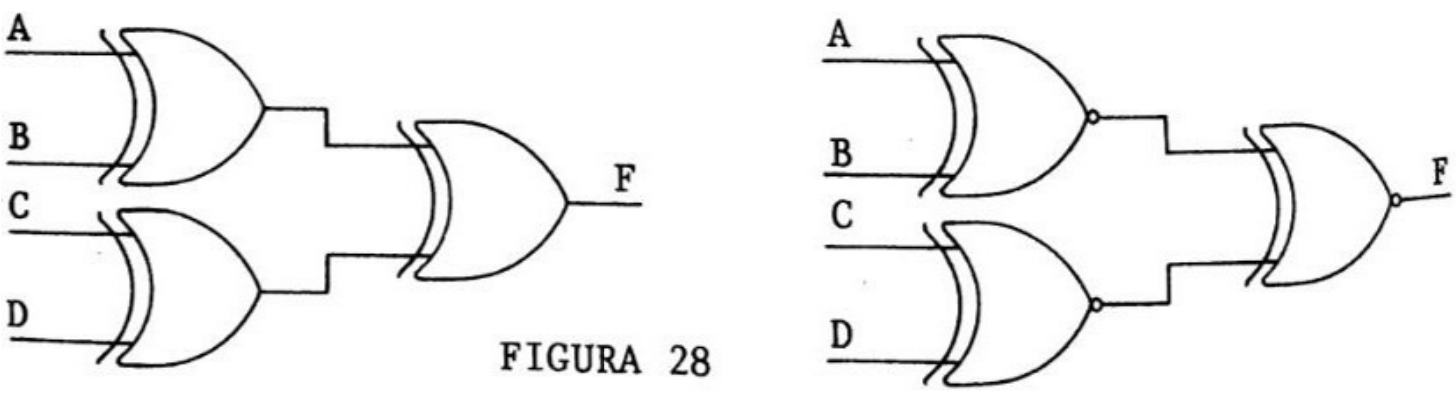


FIGURA 28

A figura 28 ilustra a implementação de portas lógicas em paralelo das funções "OU EXCLUSIVA" e "NÃO OU EXCLUSIVA".

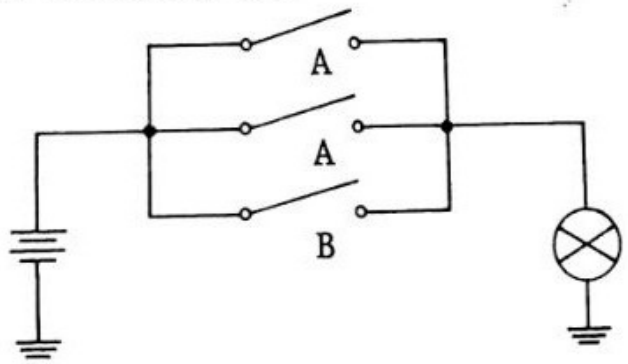
CURSO DE ELETRONICA DIGITAL E MICROPROCESSADORES

EXAME DA LIÇÃO ED-4

OBSERVAÇÃO

- cada questão é composta de três ou quatro alternativas.
- só uma delas está correta.
- marque a que considerar correta.
- passe as respostas corretas para a folha de exame.

1) No circuito abaixo temos um:



a) circuito "OU";
b) circuito "NÃO E";
c) circuito "OU EXCLUSIVO".

2) Identifique a tabela verdade de uma função lógica "OU EXCLUSIVA":

a)

C	B	A	L
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

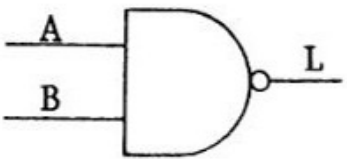
b)

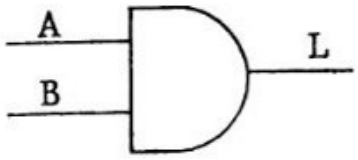
C	B	A	L
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

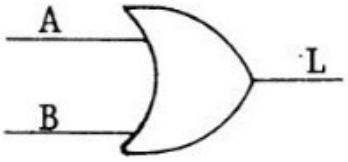
c)

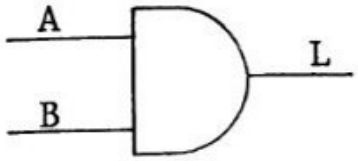
C	B	A	L
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

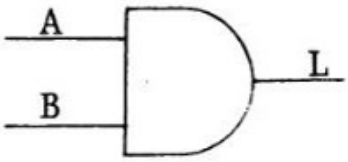
3) A função "OU" e a função "E" são representadas pelos seguintes símbolos lógicos, respectivamente:

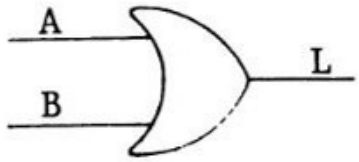
a) 

e 

b) 

e 

c) 

e 

4) Identifique a tabela abaixo que prova o teorema 7 da página 9:

a)

A	.	$\bar{A}$	
0		0	0
0		1	0
1		0	0
1		1	1

b)

A	.	$\bar{A}$	
0		1	0
0		1	0
1		0	0
1		0	0

c)

A	.	$\bar{A}$	
0		0	0
0		0	0
1		1	1
1		1	1

5) Assinale a alternativa correta:

a) A função "OU" é igual a "1", somente quando uma ou mais variáveis forem iguais a "1", assim como é igual a zero "0", somente quando uma das variáveis for igual a zero;

b) A função "NÃO" ou função complemento é aquela que inverte o estado da variável, ou seja, se a variável estiver em zero (0) vai para um (1) e,se a variável estiver em um (1),vai para zero(0);

c) A função "E" é igual a 1, quando uma das variáveis for 1 e a outra zero (0), ou será igual a zero (0), quando uma ou mais variáveis forem iguais a zero (0).

6) A tabela verdade abaixo gera a seguinte expressão:

C	B	A	L
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

a) $\overline{A \oplus B \oplus C}$ ou $\overline{A \bar{\vee} B \bar{\vee} C}$

b) $\overline{A \,.\, B \,.\, C}$ ou $\overline{A \wedge B \wedge C}$

c) $\overline{A + B + C}$ ou $\overline{A \vee B \vee C}$

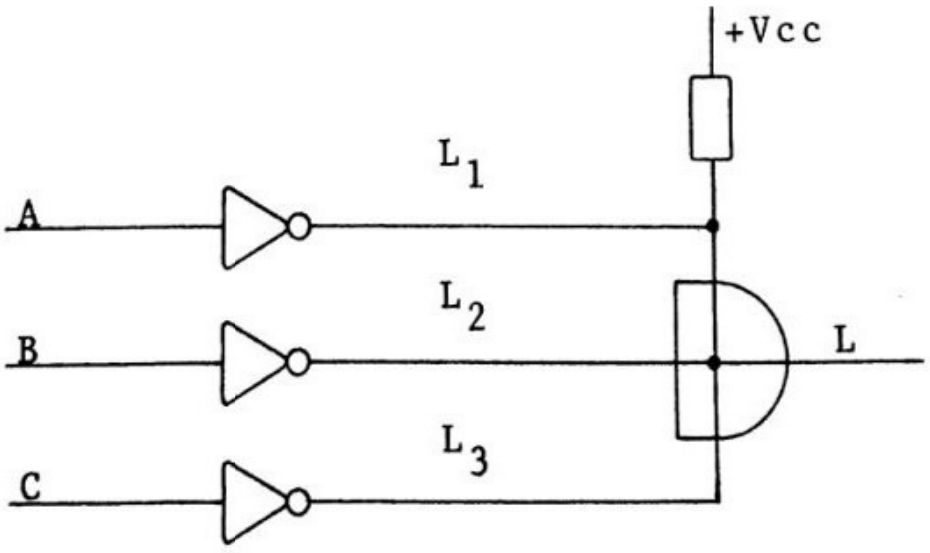
7) O Teorema de De Morgan, muito usado para simplificar circuitos lógicos, é dado pelas seguintes expressões:

a) $\overline{A} + \overline{B} = \overline{A \,.\, B}$ e $\overline{A \,.\, B} = \overline{\overline{A} + \overline{B}}$;

b) $\overline{A + B} = \overline{A \,.\, B}$ e $\overline{A} + \overline{B} = \overline{A + B}$;

c) $\overline{A} + \overline{B} = \overline{A \,.\, B}$ e $\overline{A + B} = \overline{A} \,.\, \overline{B}$.

8) As portas em coletor aberto possibilitam a interligação de todas as saídas, como mostra a figura abaixo:



Este circuito gera uma tabela verdade idêntica à representada pela alternativa:

a)

$L_3=\overline{C}$	$L_2=\overline{B}$	$L_1=\overline{A}$	L
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

b)

$L_3=\overline{C}$	$L_2=\overline{B}$	$L_1=\overline{A}$	L
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

c)

$L_3=\overline{C}$	$L_2=\overline{B}$	$L_1=\overline{A}$	L
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

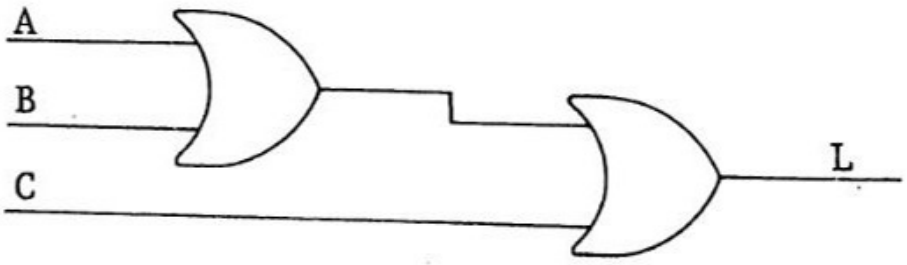
9) Assinale a alternativa <u>incorreta</u>:

a) As entradas que representam a mesma variável podem ser ligadas entre si;

b) A porta "NOR" também é conhecida como porta "NÃO OU";

c) O bloco lógico da função "E" também é conhecido como inversor.

10) O circuito dado abaixo gera uma tabela verdade idêntica à representada pela alternativa:



a)

C	B	A	L
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

b)

C	B	A	L
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

c)

C	B	A	L
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

CURSO DE
ELETRONICA DIGITAL E
MICROPROCESSADORES
CAIXA POSTAL 1642 – CEP 86100 – LONDRINA-PR.

LIÇÃO ED-5

CIRCUITOS DIGITAIS - CONSTRUÇÃO INTERNA

Estudamos as partes lógicas, porém não incluímos a constituição física dos circuitos que as realizavam. Na prática, ao trabalharmos com circuitos reais, notaremos que, na maioria das vezes, são eles circuitos integrados. É muito importante, pois, que o aluno se familiarize com as suas constituições internas e com seus comportamentos elétricos.

Uma função lógica pode ser realizada por vários tipos de circuitos de tecnologia e características diversas entre si.

Nesta presente lição, iremos levar ao conhecimento dos alunos as principais famílias de circuitos lógicos e aprofundar um pouco mais nossos estudos sobre circuitos que são mais importantes e usados com maior freqüência na prática da eletrônica digital.

Convém ao aluno dar uma repassada nas lições referentes aos díodos e aos transistores, seu funcionamento, reta de carga, etc, pois tais conhecimentos serão de muita valia para o estudo de circuitos lógicos.

AS PRINCIPAIS FAMÍLIAS DE CIRCUITOS LÓGICOS SÃO:

- LD (circuitos lógicos com diodos) em inglês (DL);
- LTR (lógica de transistores e resistores) em inglês (RTL);
- LTD (lógica de transistores e diodos)em inglês (DTL);
- LTT (lógica de transistor-transistor) em inglês(TTL);
- C-MOS (semicondutor de óxido metálico complementar) em inglês (C-MOS);
- LEA (lógica de emissor acoplado) em inglês (ECL).

CIRCUITOS LOGICOS COM DIODOS:

O símbolo esquemático de um diodo aparece na figura 1. Do ponto de vista ideal, o diodo oferece uma certa resistência ao fluxo de corrente que vai do anodo ao catodo (sentido direto) e uma resistência infinita à corrente que vai do catodo ao anodo (sentido reverso).

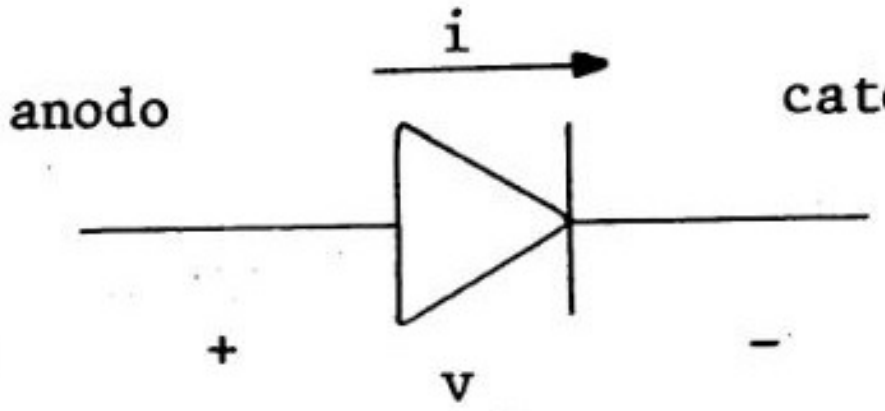


Figura 1

A característica ideal de corrente-tensão seria então a indicada na figura 2:

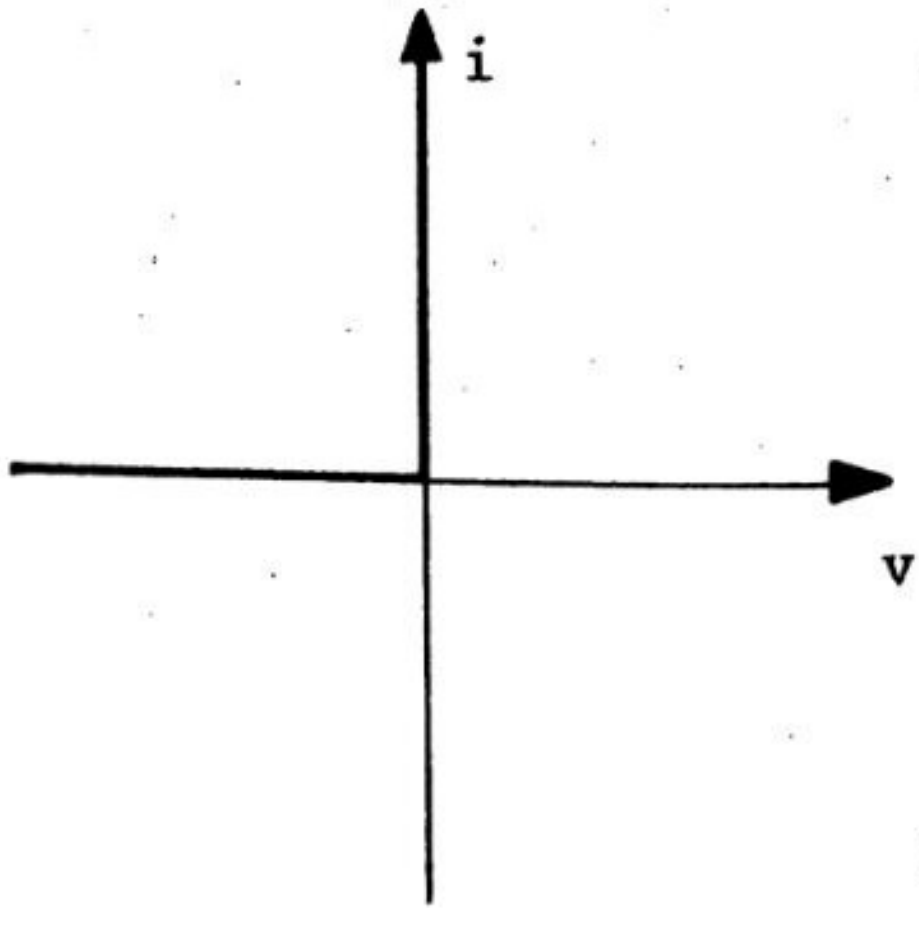


Figura 2

Os circuitos correspondentes às formas básicas dos circuitos lógicos com diodos estão ilustrados na figura 3. Ao fazermos a análise, supomos que os diodos são ideais.

Para classificarmos estas portas como dispositivos lógicos, devemos sempre especificar a que níveis de tensão representam os valores da comutação zero (0) ou (1) um.

Às especificações: $V_H = 1$ e $V_L = 0$ denominamos de lógica positiva, onde os termos: V_H = tensão alta (hight = alto) e V_L = tensão baixa (low = baixa).

À designação: $V_L = 1$ e $V_H = 0$ denominamos de lógica negativa.

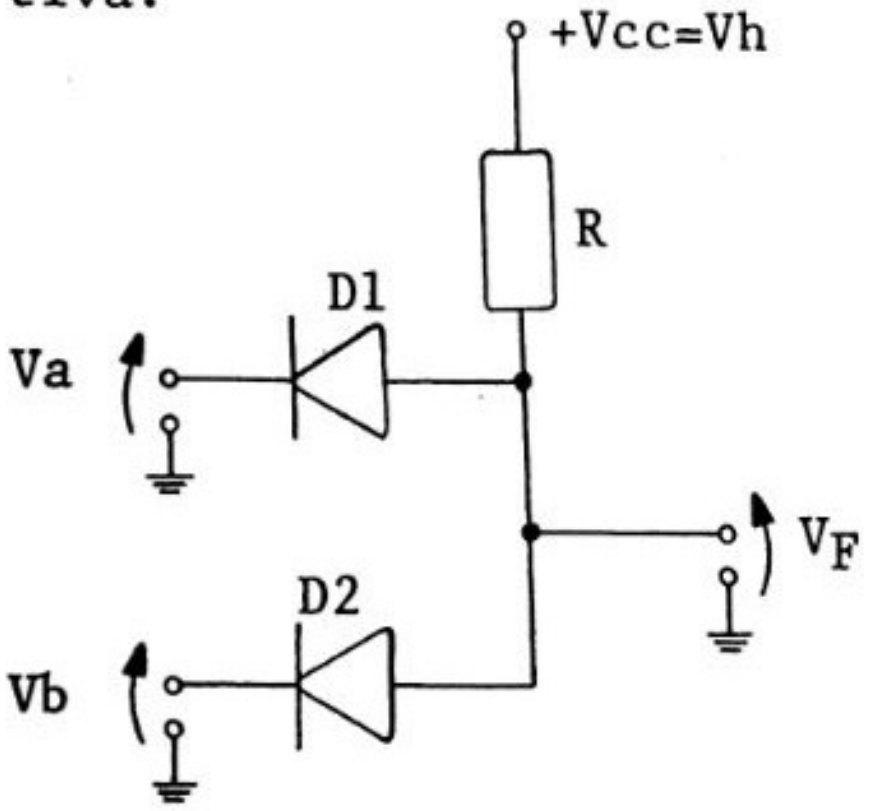


Figura 3A

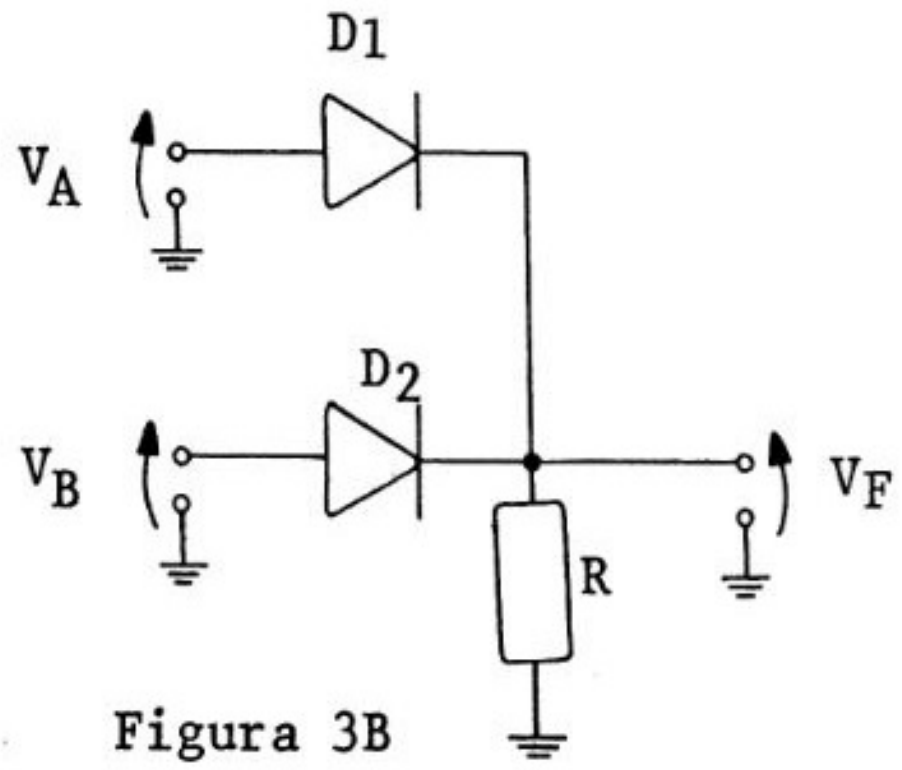


Figura 3B

A tabela verdade para o circuito da figura 3A, na lógica positiva, será:

V_B	V_A	V_F
$V_L=0$	$V_L=0$	$V_L=0$
$V_L=0$	$V_H=1$	$V_L=0$
$V_H=1$	$V_L=0$	$V_L=0$
$V_H=1$	$V_H=1$	$V_H=1$

$V_H = 1$
$V_L = 0$

Se V_A e V_B estiverem ambos com tensão alta (1), não teremos passagem de corrente em nenhum dos díodos, logo, na saída teremos V_H (tensão alta).

No caso de termos V_A com tensão alta e V_B com tensão baixa ou vice-versa, o díodo, cuja entrada for baixa, vai conduzir e o outro díodo estará bloqueado, pois nestas condições um dos diodos estará polarizado diretamente. Logo, na saída, teremos V_L.

Para ambas as entradas com tensão baixa V_L, os respectivos díodos conduzem e, na saída, teremos então V_L.

Desta forma, teremos na tabela verdade:

V_B	V_A	V_F
0	0	0
0	1	0
1	0	0
1	1	1

Função lógica "E" (AND)

F = A.B

PARA LÓGICA NEGATIVA:

V_B	V_A	V_F
1	1	1
1	0	1
0	1	1
0	0	0

$V_H = 0$

$V_L = 1$

E a função lógica realizada pelo circuito será a função "OU" (OR):

$$F = A + B$$

Para o circuito da figura 3B, a tabela verdade das tensões, na lógica positiva, será:

V_B	V_A	V_F
V_L	V_L	V_L
V_L	V_H	V_H
V_H	V_L	V_H
V_H	V_H	V_H

Ambos os diodos com tensão alta V_H na entrada (lógica positiva) estarão conduzindo. Logo, na saída teremos $V_F = V_H$.

Para o caso de termos V_A com tensão alta e V_B com tensão baixa ou vice-versa, o diodo, cuja entrada estiver com alta tensão, irá conduzir e o outro estará bloqueado. Logo, na saída, teremos $V_F = V_H$.

Se ambas as entradas forem baixas V_L, não teremos corrente, pois os diodos estarão bloqueados e a saída será então o próprio V_L, isto é, $V_F = V_L$.

Logo, para o circuito da figura 3B, teremos:

LÓGICA POSITIVA:

V_B	V_A	V_F
0	0	0
0	1	1
1	0	1
1	1	1

$V_H = 1$

$V_L = 0$

Função LÓGICA "OU" (OR):

$F = A + B$

LÓGICA NEGATIVA:

V_B	V_A	V_F
1	1	1
1	0	0
0	1	0
0	0	0

Função lógica "E" (AND)

$F = A \cdot B$

A dualidade de funções lógicas das portas com diodos pode causar certa confusão, a princípio, mas é facilmente compreendida; as lógicas positivas e negativas podem ser determinadas por requisitos de compatibilidade com sistemas conectados ou de acordo com a fonte de alimentação e outros fatores - já citados na lição E-17.

Observação: É sempre mais utilizada a lógica positiva.

2) LTR - LÓGICA DE TRANSISTORES E RESISTORES (RTL):

A tecnologia RTL é de simples confecção e realizada, na maioria das vezes, com componentes discretos, de tolerância - muito crítica. Por este motivo é pouco utilizada.

Em seguida, analisaremos um transistor PNP, como indica a figura 4.

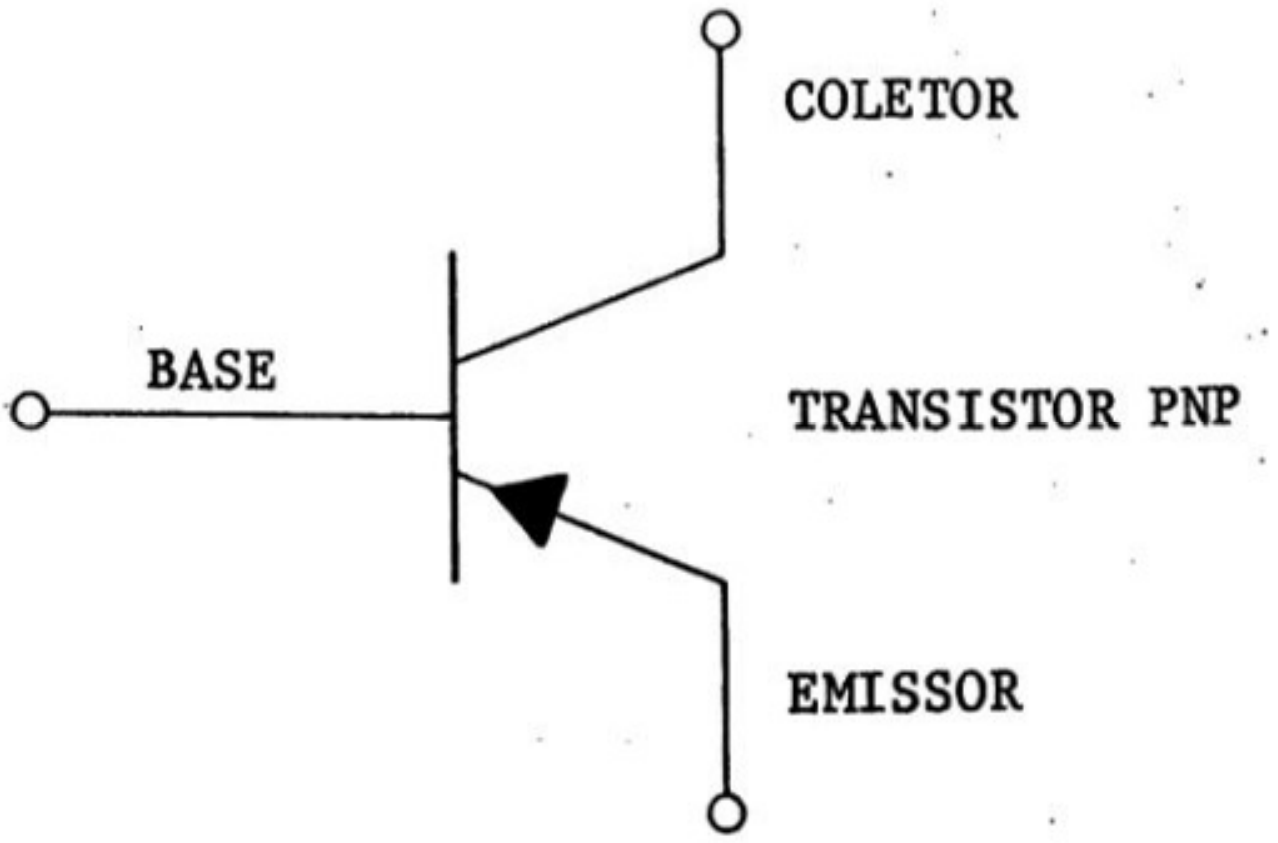


Figura 4

Vamos analisar os dois pontos importantes de um transistor PNP. Se a base estiver ligeiramente positiva com relação

ao emissor, o transistor alcançará o ponto de corte, atuando assim como um circuito aberto ao fluxo de corrente do emissor ao coletor. Se a base estiver levemente negativa com relação ao emissor, o transistor estará na região de saturação, isto é, satura-se, atuando como um curto-circuito do emissor ao coletor.

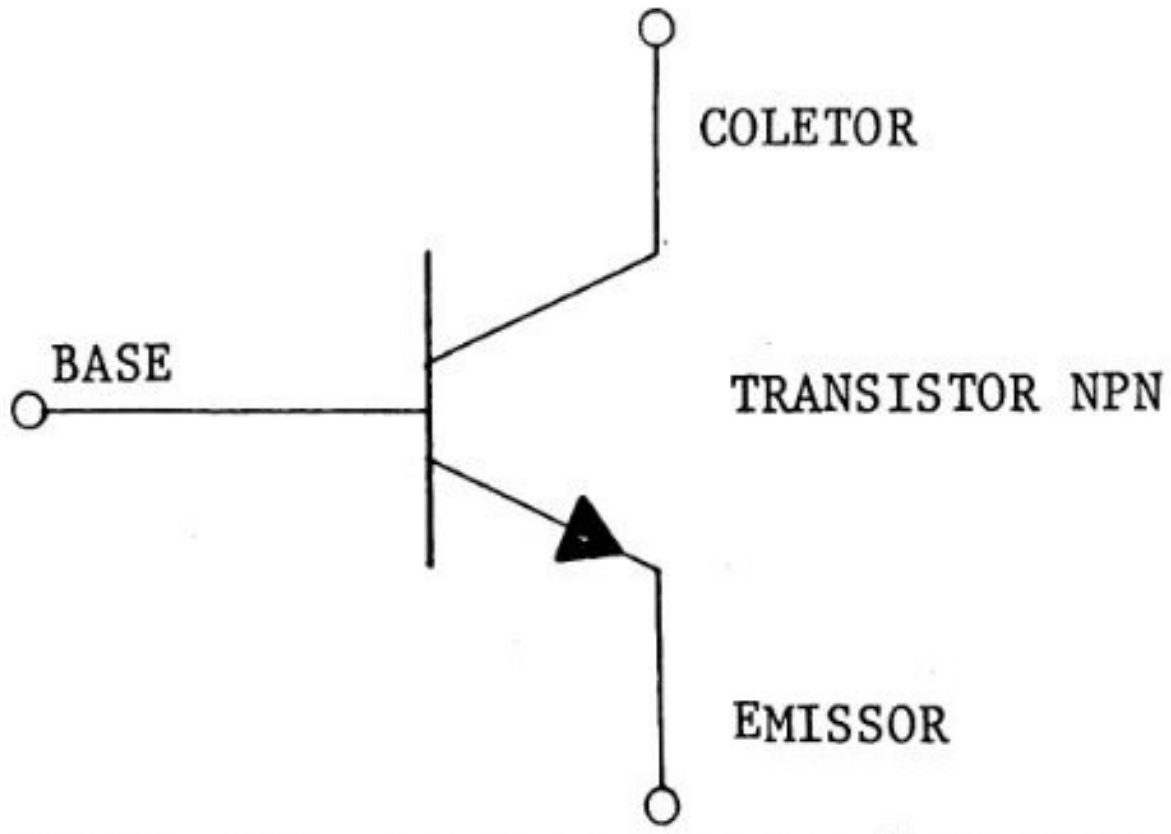


Figura 5

Para um transistor NPN, o comportamento é o mesmo, porém com polaridades opostas. A base estando negativa com relação - ao emissor, levará o transistor ao ponto de corte e uma tensão positiva irá saturá-lo e o fluxo de corrente será do coletor - ao emissor.

Teremos, então, para ambos os casos, a curva característica do transistor, dada na figura 6.

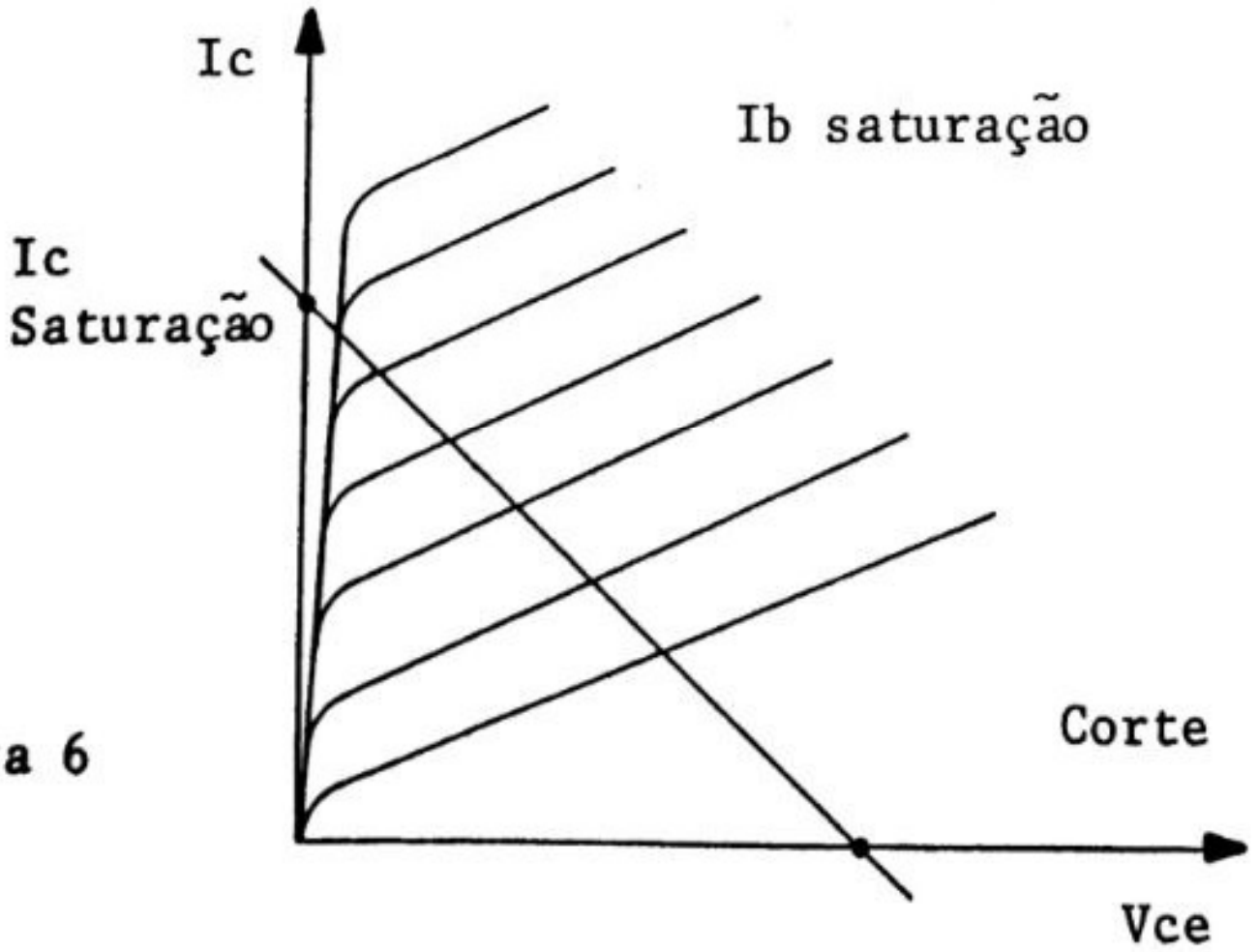


Figura 6

As figuras 7A e 7B ilustram os circuitos básicos dos inversores PNP e NPN.

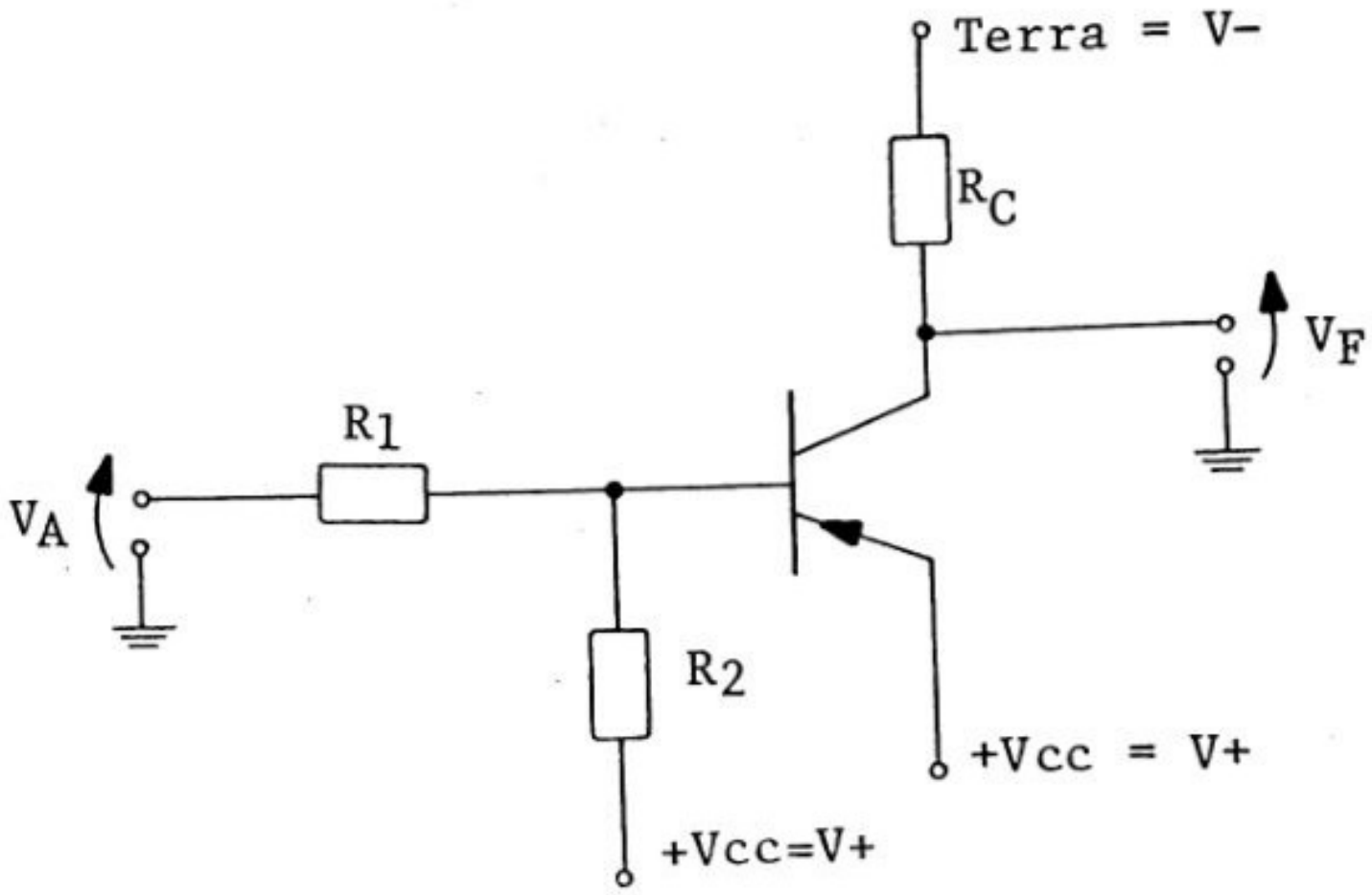


Figura 7A Transistor PNP

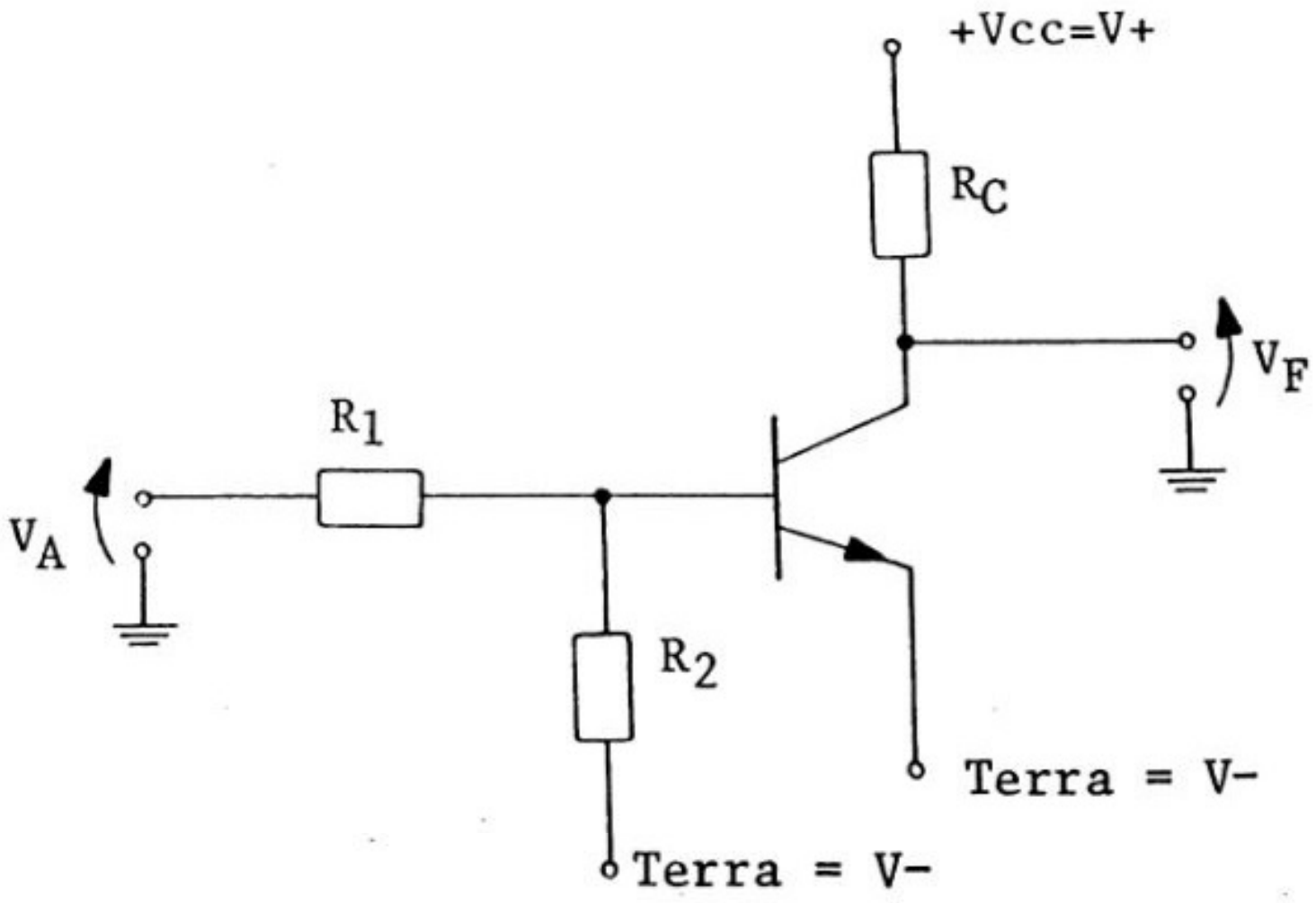


Figura 7B Transistor NPN

Vamos considerar o inversor NPN da figura 7B. Quando V_A = V- , a tensão de base será negativa com relação a V-, de tal forma que o transistor alcançará o seu ponto de corte e assim V_F = V+. Os valores de R_1 e R_2 se escolhem de tal forma que, quando Va = V+ , a tensão de base será positiva com relação a

V- . Por outro lado, o transistor conduzirá de tal maneira que V_F = V- . Esta conduta se reşume na tabela verdade ilustrada abaixo:

- = V_L

+ = V_H

V_A	V_F
-	+
+	-

função lógica NÃO

V_A	transistor	V_F
V_L	cortado	V_H
V_H	saturado	V_L

V_L = 0

V_H = 1

Para a lógica positiva, teremos, como resultado, a tabela verdade ilustrada acima.

Para a lógica negativa, a tabela verdade será a mesma se invertermos a posição das resistências R2.

O aluno deverá verificar que o inversor PNP funciona pelo mesmo princípio.

Observação: Na presente lição, não vamos dimensionar a condição de saturação, isto é, quando, na saída, tivermos $V_F = V_L$, pois pressupomos que R_1 e R_2 sejam conhecidos, nos circuitos.

A figura 8 ilustra um circuito da família RTL que executa a função lógica "NÃO OU" (NOR).

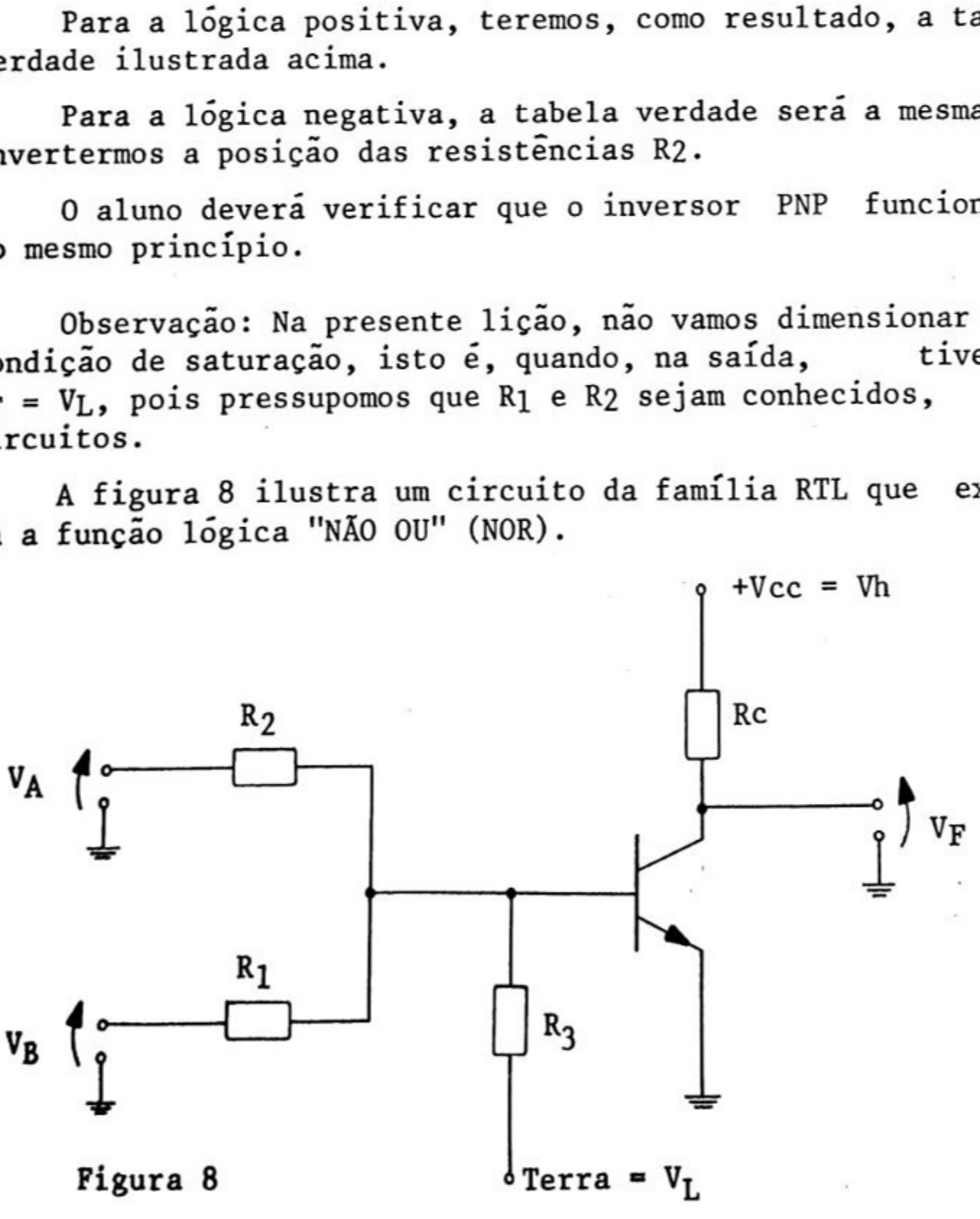


Figura 8

Analisando o circuito da figura 8, podemos concluir: sempre que uma das duas entradas ou as duas V_A e V_B forem polarizadas a nível alto (1), lógica positiva, o transistor conduzirá e a saída V_F será baixa (V_L).

A análise do circuito é dada pela tabela verdade de tensão, indicada a seguir:

V_B	V_A	transistor	V_F
V_L	V_L	cortado	V_H
V_L	V_H	saturação	V_L
V_H	V_L	saturação	V_L
V_H	V_H	saturação	V_L

O circuito realiza uma função "NÃO OU" (NOR), como ilustra a tabela verdade abaixo:

V_B	V_A	V_F
0	0	1
0	1	0
1	0	0
1	1	0

Lógica positiva, função "NÃO OU".

$$F = \overline{A + B}$$

Para a lógica negativa, o circuito executa a função "NÃO E" (NAND), como ilustra a tabela verdade abaixo:

V_B	V_A	V_F
1	1	0
1	0	1
0	1	1
0	0	1

Lógica negativa, função "NÃO E".

$$F = \overline{A \cdot B}$$

Poderemos ter ainda circuitos que utilizam a mesma operação, porém com 2 transistores, como indica a figura 9.

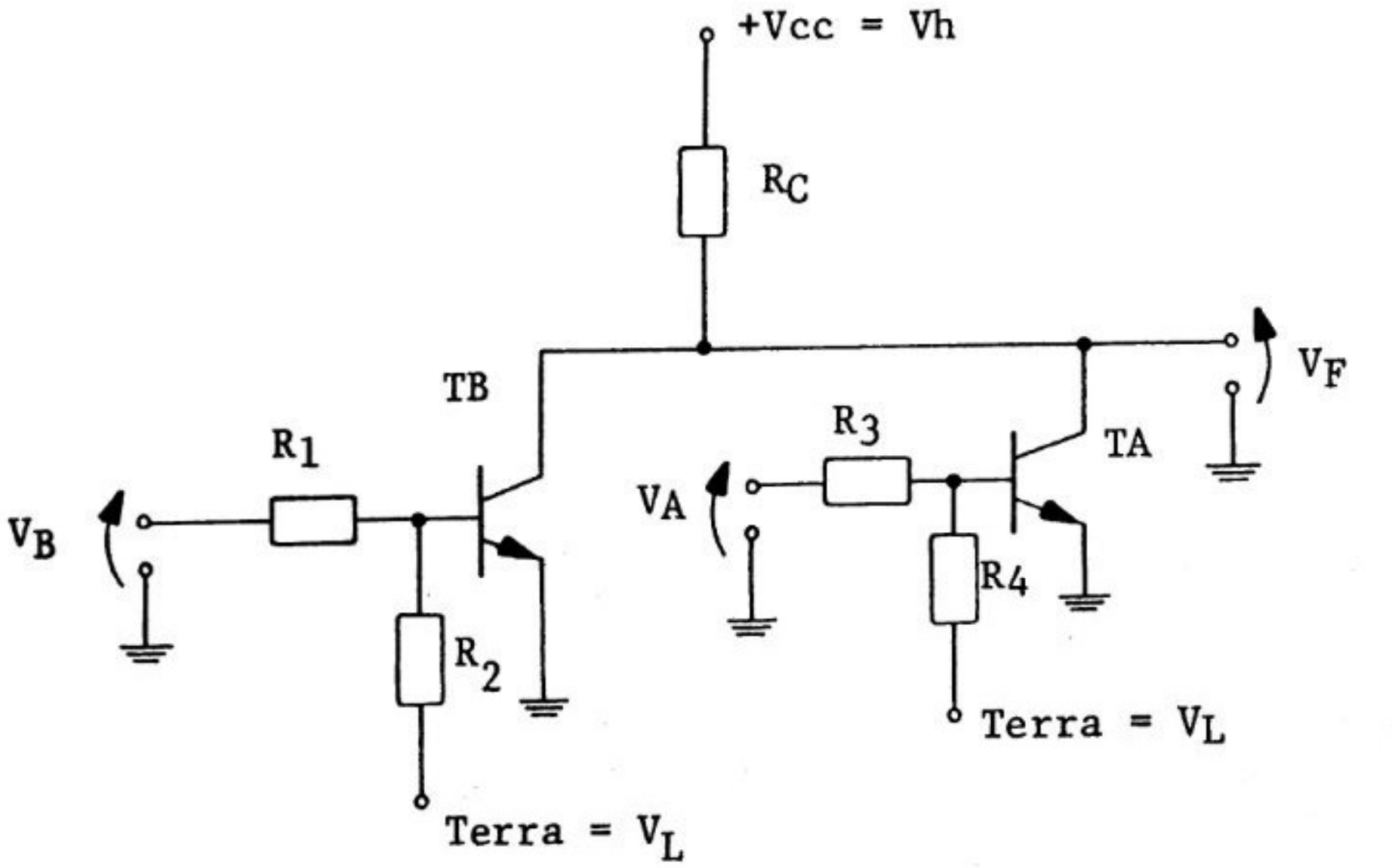


Figura 9

Seguindo a mesma linha de raciocínio, é fácil a verificação da tabela verdade das tensões, ilustrada abaixo.

V_B	V_A	Transistor T_B	Transistor T_A	V_F
V_L	V_L	corte	corte	V_H
V_L	V_H	corte	saturação	V_L
V_H	V_L	saturação	corte	V_L
V_H	V_H	saturação	saturação	V_L

Observamos pela tabela abaixo que o circuito executa a função "NÃO OU" (NOR):

V_B	V_A	V_F
0	0	1
0	1	0
1	0	0
1	1	0

Lógica positiva, função "NÃO OU"

$$F = \overline{A + B}$$

Temos algumas limitações para o circuito RTL, ou seja,algumas desvantagens.Entre elas,citaremos,como por exemplo,a resistência de carga que contribui para atrasos de propagação a nível lógico alto de saída com o transistor cortado(como no inversor). O ideal é que a resistência do coletor R_C seja a mais baixa possível, para que não haja perda de potência apreciável no circuito, quando uma carga qualquer drene corrente e nem a tensão de nível alto se diminua com isso.

Durante a saturação do transistor é desejável um valor alto para R_C, justamente para que o consumo interno não seja elevado.

Devido a esses dois fatores, escolhe-se um valor intermediário nem muito alto nem muito baixo, porém que continue apresentando um consumo e um retardo considerável.

LTD - LÓGICA DE TRANSISTORES E DIODOS (DTL):

A lógica diodo transistor substitui os resistores de entrada por diodos, diminuindo o consumo interno das portas e aumentando consideravelmente a velocidade das mesmas.

Os circuitos da figura 10 ilustram a família DTL.

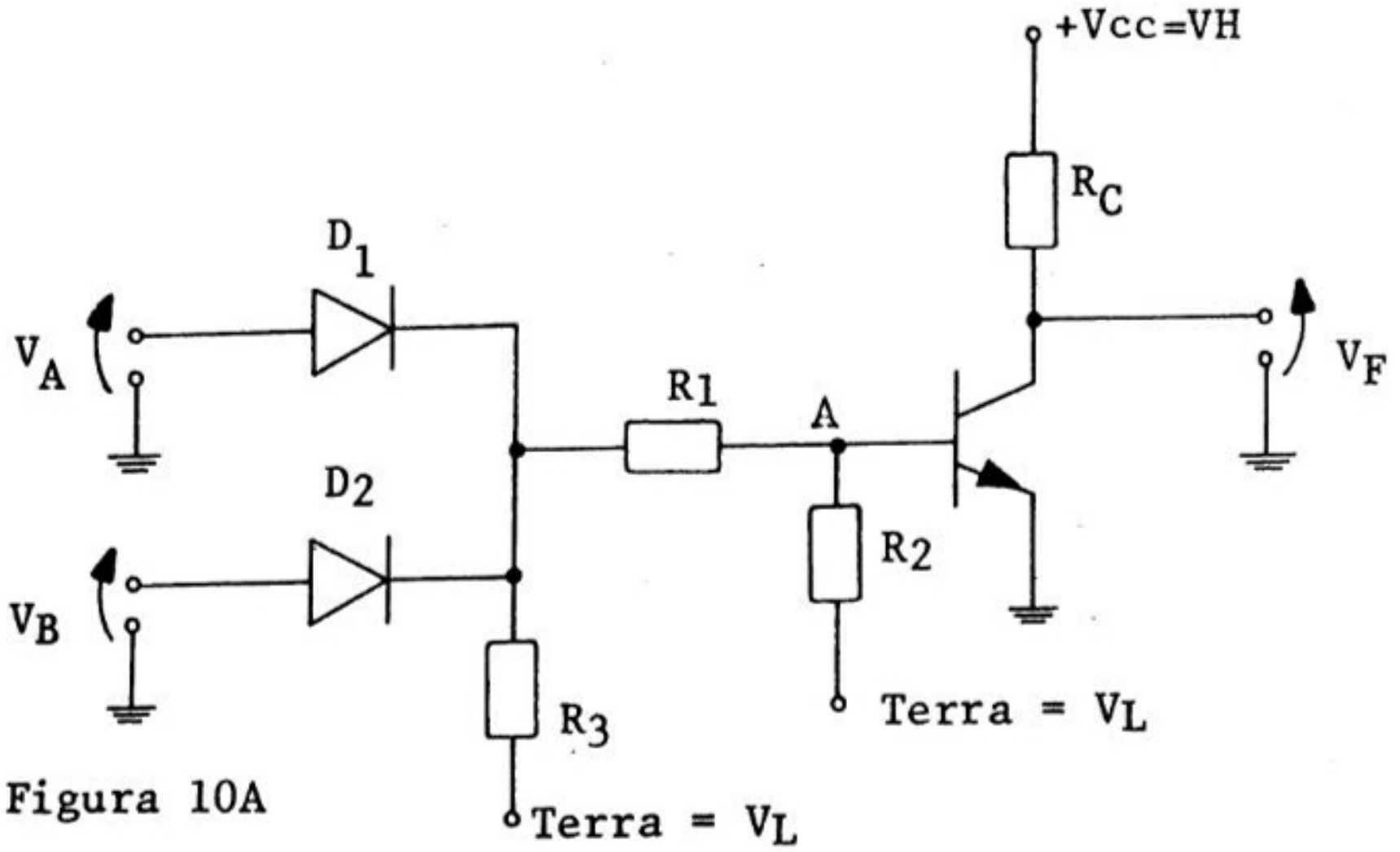


Figura 10A

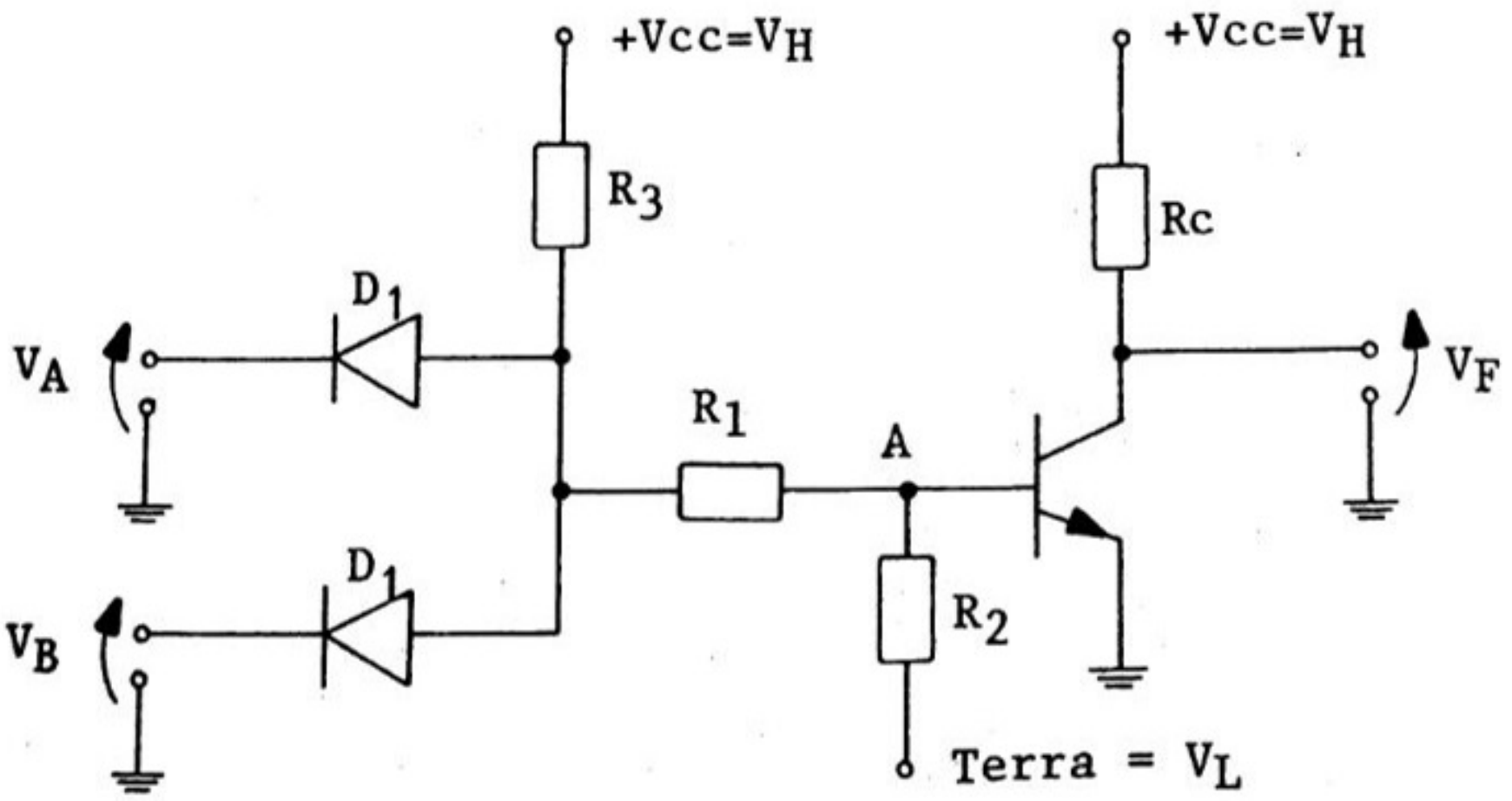


Figura 10B

Vamos considerar o circuito da figura 10B: se tivermos as duas entradas a um nível baixo V_L, então o ponto A também estará com um nível baixo de tensão. Logo a tensão de base do transistor estará negativa com relação ao emissor e o transistor estará no corte de tal forma que $V_F = V_H$. Para a lógica positiva, podemos ver, pela tabela verdade ilustrada a seguir, que o circuito executa a função lógica "NÃO E". E para lógica negativa, podemos verificar que o circuito executa a função "NÃO OU".

V_B	V_A	V_F
0	0	1
0	1	1
1	0	1
1	1	0

Lógica positiva.
Função "NÃO E"

$F = \overline{A \cdot B}$

$V_H = 1$

$V_L = 0$

V_B	V_A	V_F
1	1	0
1	0	0
0	1	0
0	0	1

Lógica negativa.
Função "NÃO OU"

$F = \overline{A + B}$

$V_H = 0$

$V_L = 1$

Desta forma, o transistor estará cortado ou saturado para as situações apresentadas na tabela abaixo:

V_B	V_A	transistor	V_F
V_L	V_L	cortado	V_H
V_L	V_H	cortado	V_H
V_H	V_L	cortado	V_H
V_H	V_H	saturado	V_L

Seguindo um raciocínio idêntico para o circuito da figura 10A, teremos a seguinte tabela de tensão:

V_B	V_A	transistor	V_F
V_L	V_L	cortado	V_H
V_L	V_H	saturado	V_L
V_H	V_L	saturado	V_L
V_H	V_H	saturado	V_L

Como podemos ver pelo circuito da figura 10A, para ambas as entradas V_A e V_B com tensão baixa V_L, os diodos não conduzirão e estará no corte o transistor. Desta maneira, não temos queda de tensão em R_C e na saída $V_F = V_H$.

Para a lógica positiva, o circuito executa a função "NÃO OU" e para a lógica negativa, o circuito executa a função "NÃO E", conforme ilustram as tabelas abaixo:

V_B	V_A	V_F
0	0	1
0	1	0
1	0	0
1	1	0

Lógica positiva,
Função"NÃO OU".

$F = \overline{A + B}$

V_B	V_A	V_F
1	1	0
1	0	1
0	1	1
0	0	1

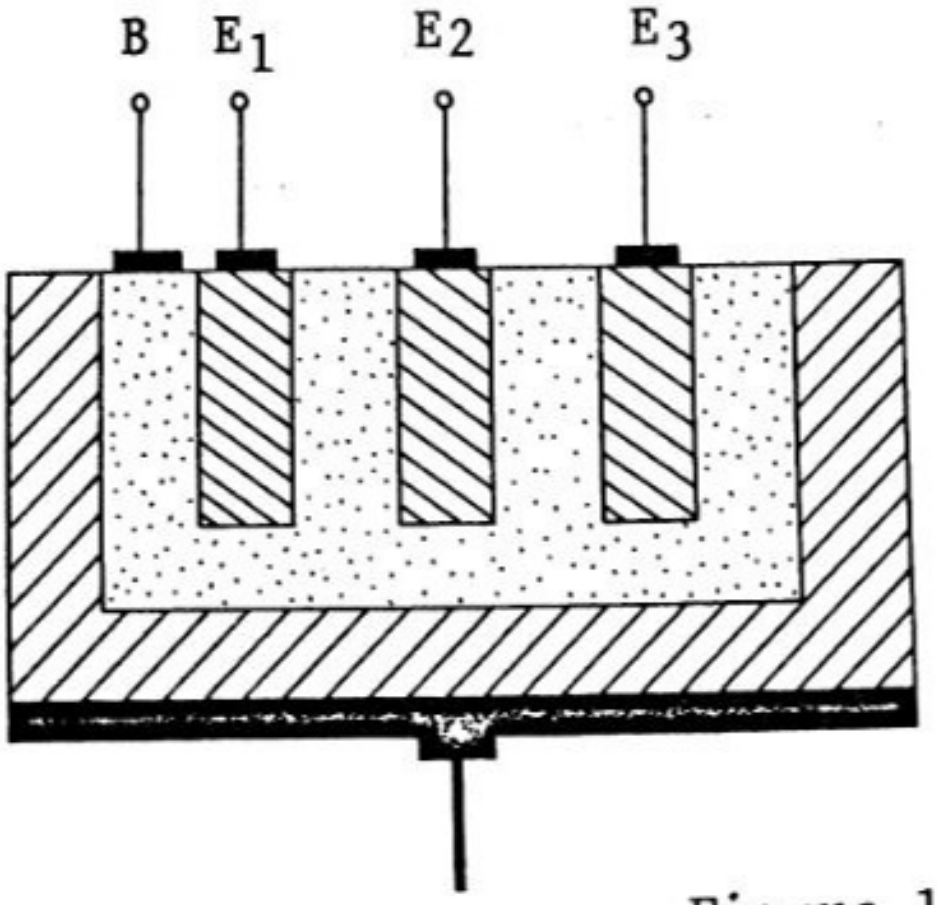
Lógica negativa,
Função "NÃO E".

$F = \overline{A \cdot B}$

5) LTT - LÓGICA TRANSISTOR-TRANSISTOR (TTL):

A lógica TTL ou tecnologia TTL é a mais empregada atualmente em circuitos digitais.

Com relação à lógica DTL existem duas diferenças básicas. Uma delas consiste na substituição dos diodos de entrada por um transistor multi-emissor. E a outra consiste nos transistores de saída, cuja tecnologia TTL apresenta uma configuração TOTEM-POLE ou COLETOR ABERTO.



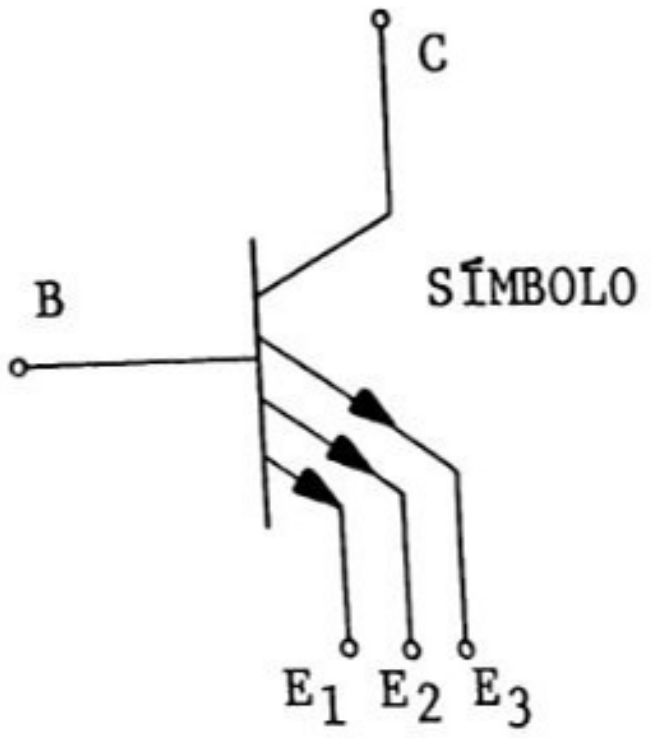


Figura 11

Os transistores multi-emissor, como o seu nome expressa, são constituídos de vários emissores que são as entradas e uma saída com largura de base bem pequena, onde a função base-coletor funciona como um diodo.

Na figura 12, temos a ilustração de um circuito TTL. O transistor multi-emissor, na entrada, executa a mesma função que os diodos de entrada das portas DTL, porém com um custo bem menor. A secção de saída é apresentada em uma configuração complementar (totem-pole) com uma velocidade de propagação satisfatória, porém com uma margem de ruído elevado ou ainda apresentado na configuração coletor aberto.

O circuito da figura 12 é uma função "NÃO E" na configuração em totem-pole.

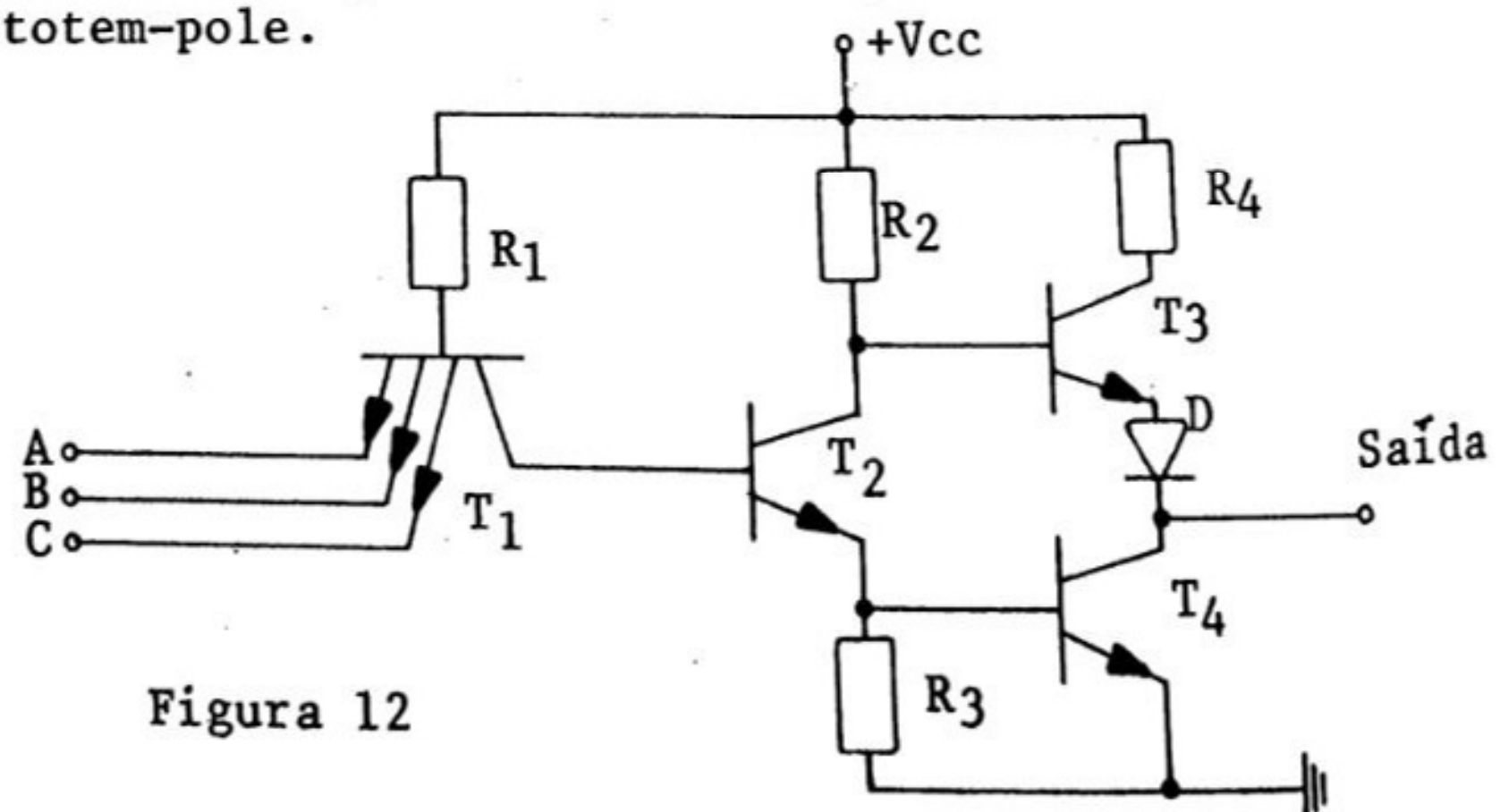


Figura 12

As vantagens dos circuitos TTL são a utilização de tran - sistores multi-emissores, constituídos de tal modo que permi- tam uma maior velocidade de comutação, uma maior facilidade na construção tecnológica e, conseqüentemente, um custo razoavel- mente baixo. Assim a família lógica TTL é a mais utilizada a- tualmente, não obstante existam outras famílias lógicas que apresentam menor consumo de corrente e menor fator de ruído.

Analisando o circuito da figura 12, notamos que o tran- sistor T_2 somente conduzirá quando os emissores de T_1 estive- rem simultaneamente com potencial alto. Se um dos emissores es- tiver à massa, os potenciais de base e coletor irão diminuir e o transistor T_2 ficará no corte. Na condução, o transistor T2 provoca o aparecimento de uma tensão sobre R_3 que coloca T_4 na saturação. O potencial de coletor de T_4 que é a saída do cir- cuito, torna-se baixo, assumindo, desta forma, um nível lógi- co 0 (zero), em conseqüência da aplicação de níveis altos (1) em ambas as entradas.

A baixa tensão do cóletor de T_2 e a ação do diodo D pro- vocam o corte do transistor T_3, elevando, desta forma, a re- sistência de carga de T_4, evitando assim um consumo interno e- xagerado em estado a baixo nível (0).

Para uma das entradas em nível baixo (0), o corte do transistor T_2 causará o corte de T_4 e a saturação de T_3. Isto ocorre devido ao alto potencial do coletor em T_2. E a nova si- tuação produz, na saída, nível alto com baixa resistência in- terna.

A partir das explicações dadas acima, é fácil ao aluno compreender a tabela verdade de tensões para um circuito de duas entradas, como o da figura 13.

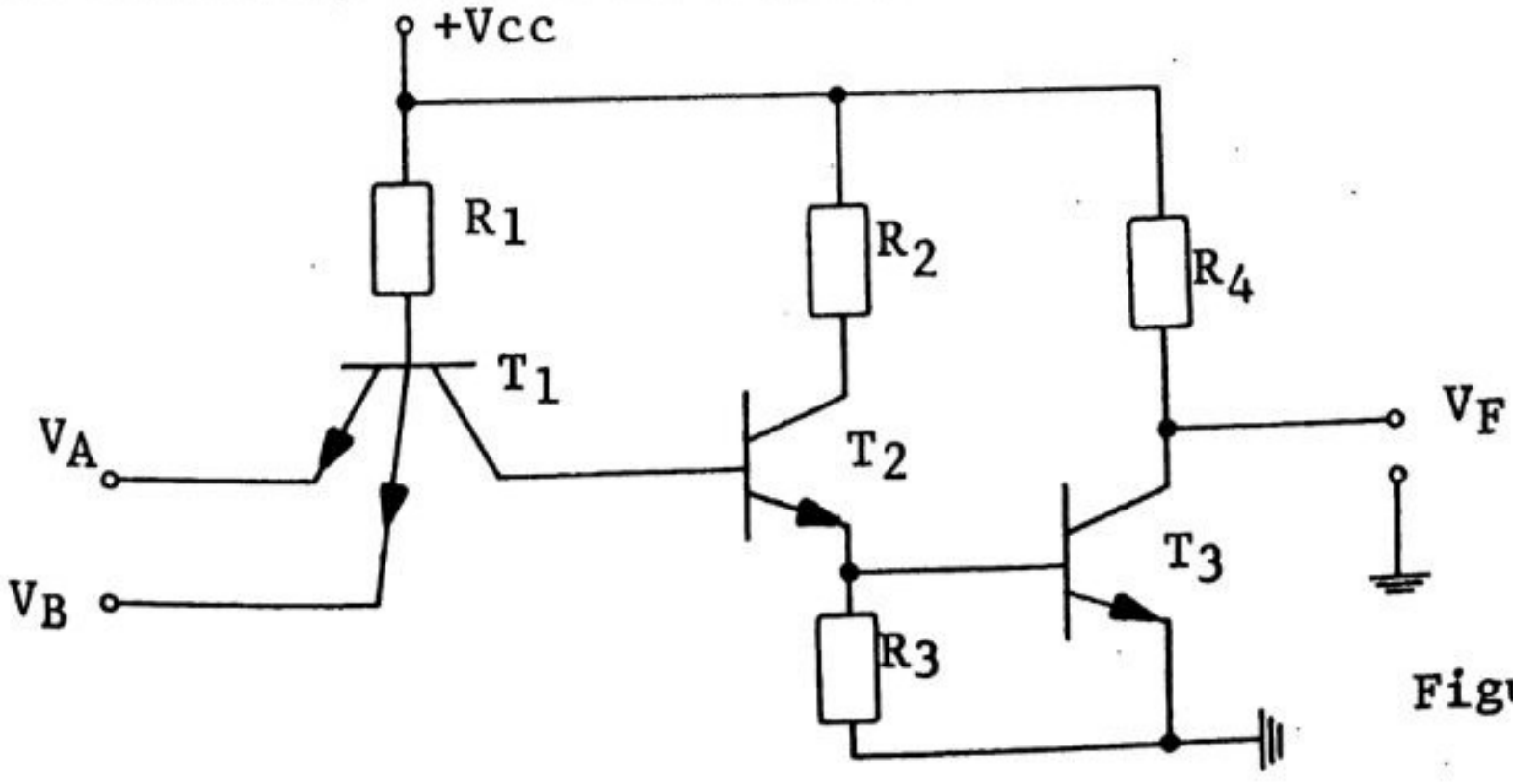


Figura 13

TABELA VERDADE DE TENSÕES

V_B	V_A	trans-T_2	trans-T_3	V_Y
V_L	V_L	corte	corte	V_H
V_L	V_H	corte	corte	V_H
V_H	V_L	corte	corte	V_H
V_H	V_H	saturado	saturado	V_L

função lógica "NÃO E".

V_L = tensão baixa = 0

V_H = tensão alta = 1.

Podemos ter ainda portas TTL que desempenhem a função lógica "NÃO OU" (NOR). O circuito integrado mais comum que se encontra para essa função é o SN 7402, contendo 4 circuitos deste tipo, como ilustra a figura 14.

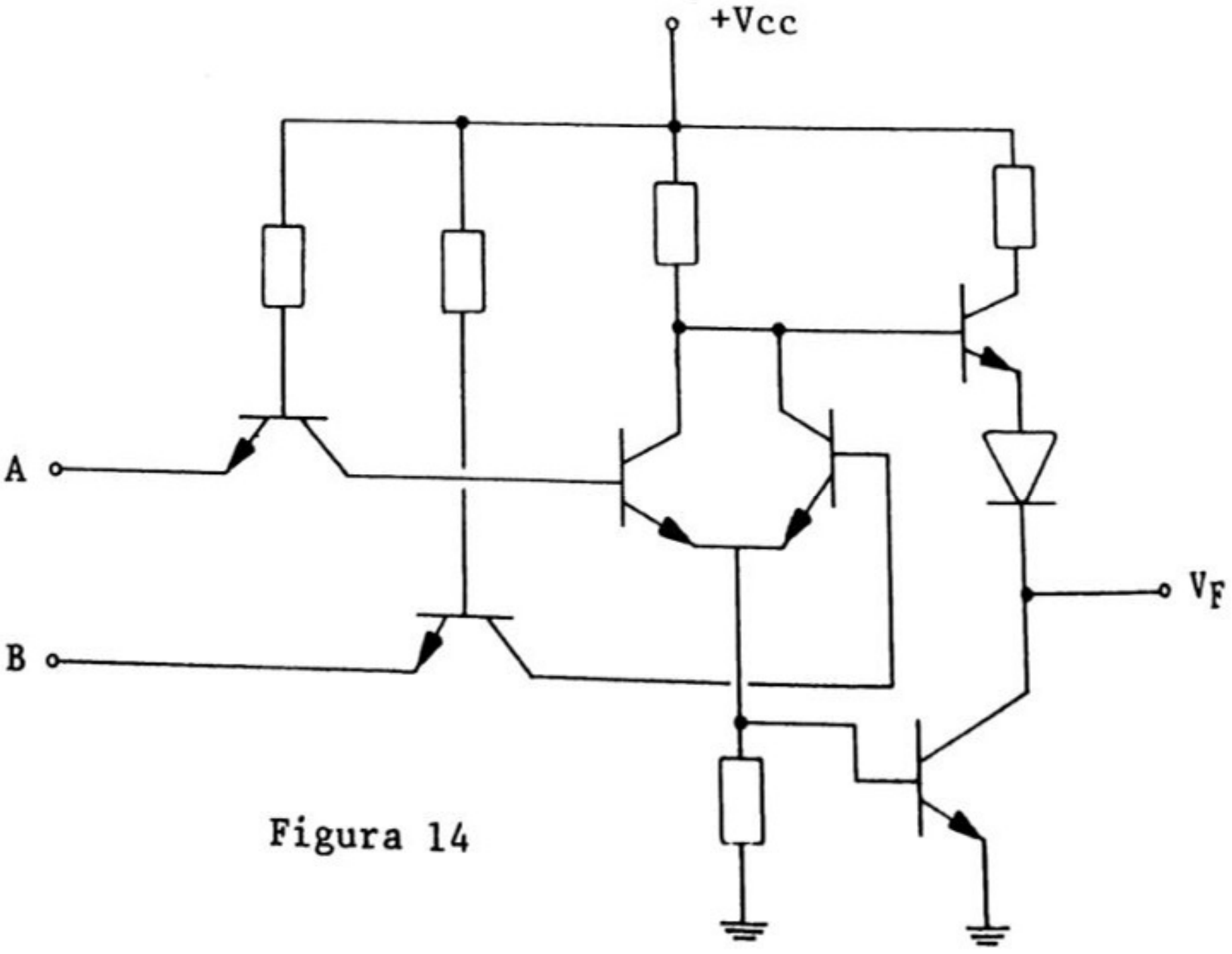
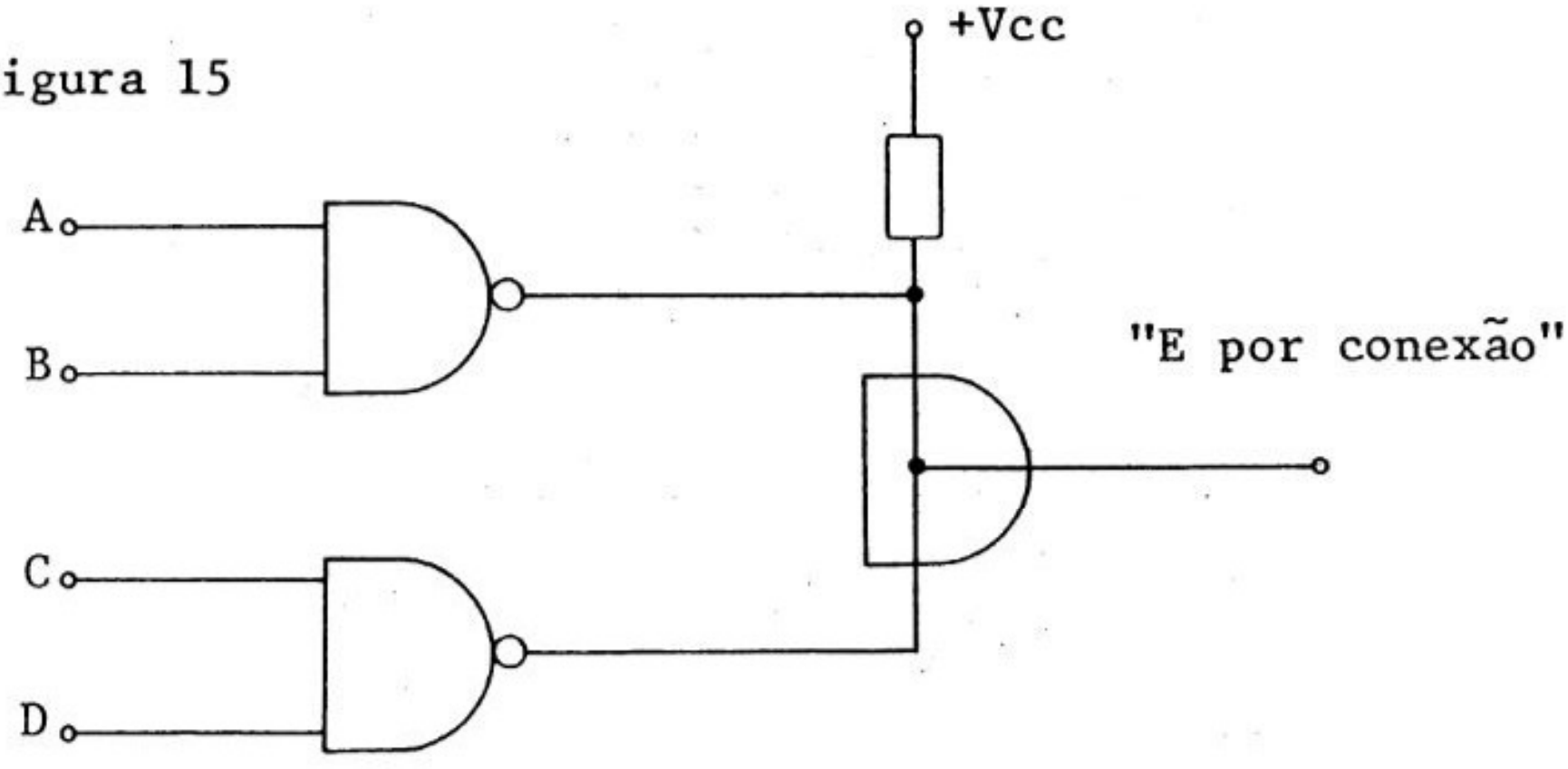


Figura 14

O circuito da figura 14 apresenta as saídas "totem-pole", e não permite a realização de funções "E por conexão", isto é, pela conexão de duas ou mais saídas entre si.

A porta "E por conexão", ilustrada na figura 15, tem grande importância pela economia que apresenta , onde diversas saídas são diretamente conectadas a uma linha comum.

Figura 15



Existem então as saídas em coletor aberto, onde um transistor se encontra sem carga e sem alimentação interna, funcionando como elemento de saída. Fora isso, as portas nessa tecnologia assemelham-se muito às TTL "totem-pole", desempenhando as mesmas funções lógicas e devido à ausência de alimentação interna, permitem a montagem "E por conexão" ou "E por fio" - que acabamos de citar.

Observação: O projetista deve acrescentar uma resistência de polarização externa, para, desta forma, limitar a corrente a um valor satisfatório.

TTL - SCHOTTKY:

A família TTL-SCHOTTKY é a versão mais evoluída da família TTL comum. Esta família lógica utiliza transistores e díodos schottky que aumentam razoavelmente a velocidade de propagação.

A família TTL-SCHOTTKY é apresentada em duas versões:

a) Schottky estandar que é o de maior velocidade de propagação, em média 3ns por porta. Por isso pode trabalhar com freqüências de até 120 MHz, porém, tem uma maior dissipação: 20 mW;

b) Schottky de baixa potência que apresenta uma menor velocidade de propagação, em média, 10 ns por porta e uma freqüência de trabalho de até 35 MHz com menor dissipação: 2 mW.

A figura 16, abaixo, apresenta o circuito básico de uma porta lógica da família TTL Schottky.

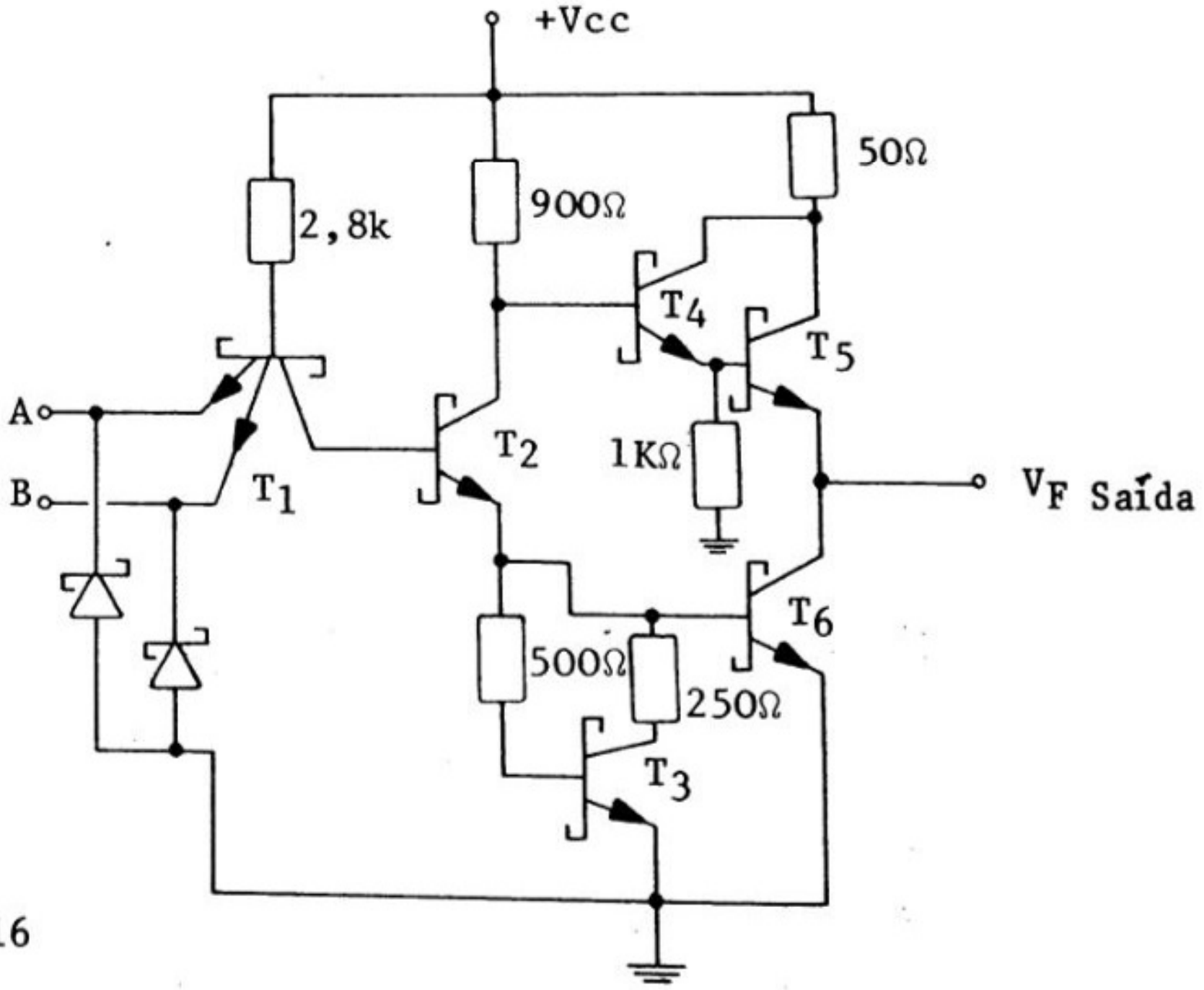


Figura 16

Observamos que as alterações são somente na parte tecnológica. A função lógica continua a mesma, portanto não iremos verificá-las.

6) MOS E C.MOS - SEMICONDUTOR DE ÓXIDO METÁLICO COMPLEMENTAR:

Os transistores utilizados nos tipos de circuitos lógicos,

vistos até agora, são do tipo bipolar para as famílias (DTL, RTL, TTL) e se classificam como circuitos lógicos bipolares.

Os circuitos lógicos MOS (semicondutor de óxido metálico) são constituídos de transistores "MOSFET" sendo utilizados na configuração "PMOS" (MOS de canal P) e "NMOS" (MOS de canal N). Para um entendimento melhor, recomendamos ao aluno que revise a lição E-17.

Os primeiros circuitos "MOS" empregavam os transistores "PMOS", por serem mais fáceis de serem construídos. Os transistores "NMOS" só se tornaram mais fáceis de serem construídos por meio de técnicas recentes. Além dessas duas classes:"NMOS" e "PMOS", existe uma outra classe de circuitos MOS que combinam estas duas classes, gerando assim um circuito "MOS COMPLEMENTAR" (CMOS). As figuras 17A e 17B ilustram os símbolos de transistores "NMOS" e "PMOS" respectivamente.

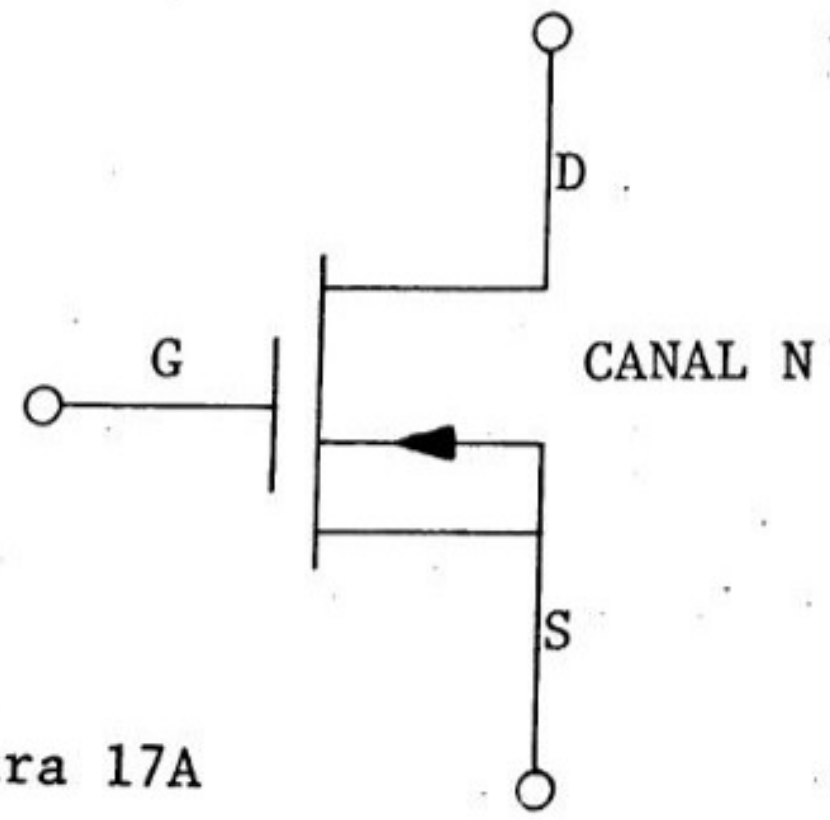


Figura 17A

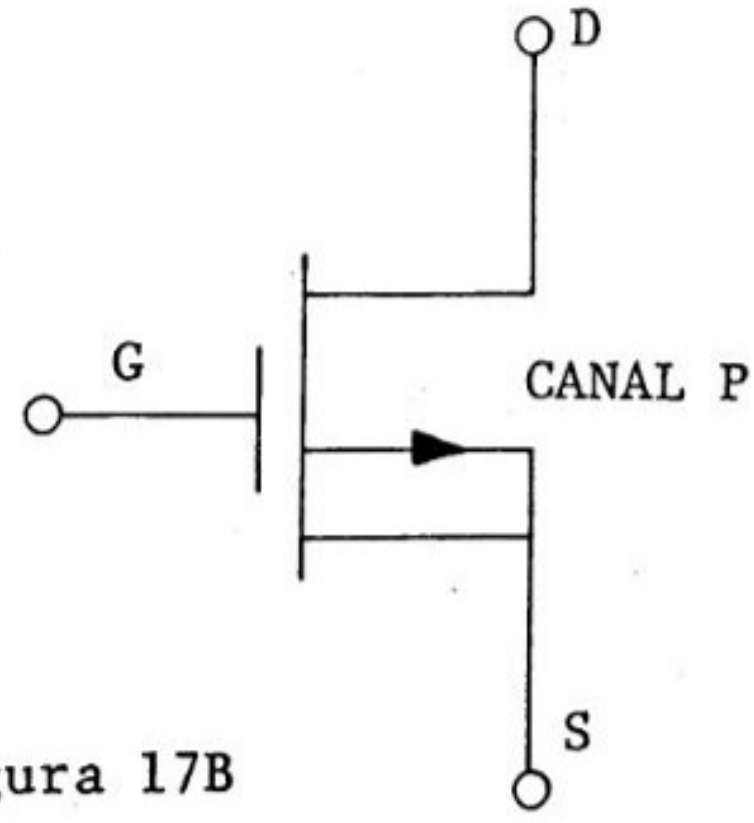


Figura 17B

Para o MOS de canal N, quando a porta (G) for negativa - com relação à fonte (S), será o MOS um circuito aberto: do dreno (D) à fonte (S). Se a porta (G) for positiva com relação à fonte (S), será o MOS um curto-circuito do dreno (D) à fonte (S). Para o MOS de canal P a operação é a mesma, exceto a inversão das polaridades.

Temos três tipos básicos de circuitos lógicos MOS: o de canal N (N MOS), o de canal P (P MOS) e o complementar, chamado de (C MOS). As tecnologias NMOS e PMOS são usadas somente - em circuitos integrados à larga escala (LSI).

Dos três tipos, somente o CMOS se utiliza tipicamente na realização de portas individuais e em multivibradores biestáveis que veremos em outra lição.

Na figura 18, temos um circuito com o CMOS que é composto de um MOS de canal N e um MOS de canal P, em série, (de onde se deriva seu nome MOS-complementar), normalmente conectados - entre a terra e uma tensão positiva de alimentação.

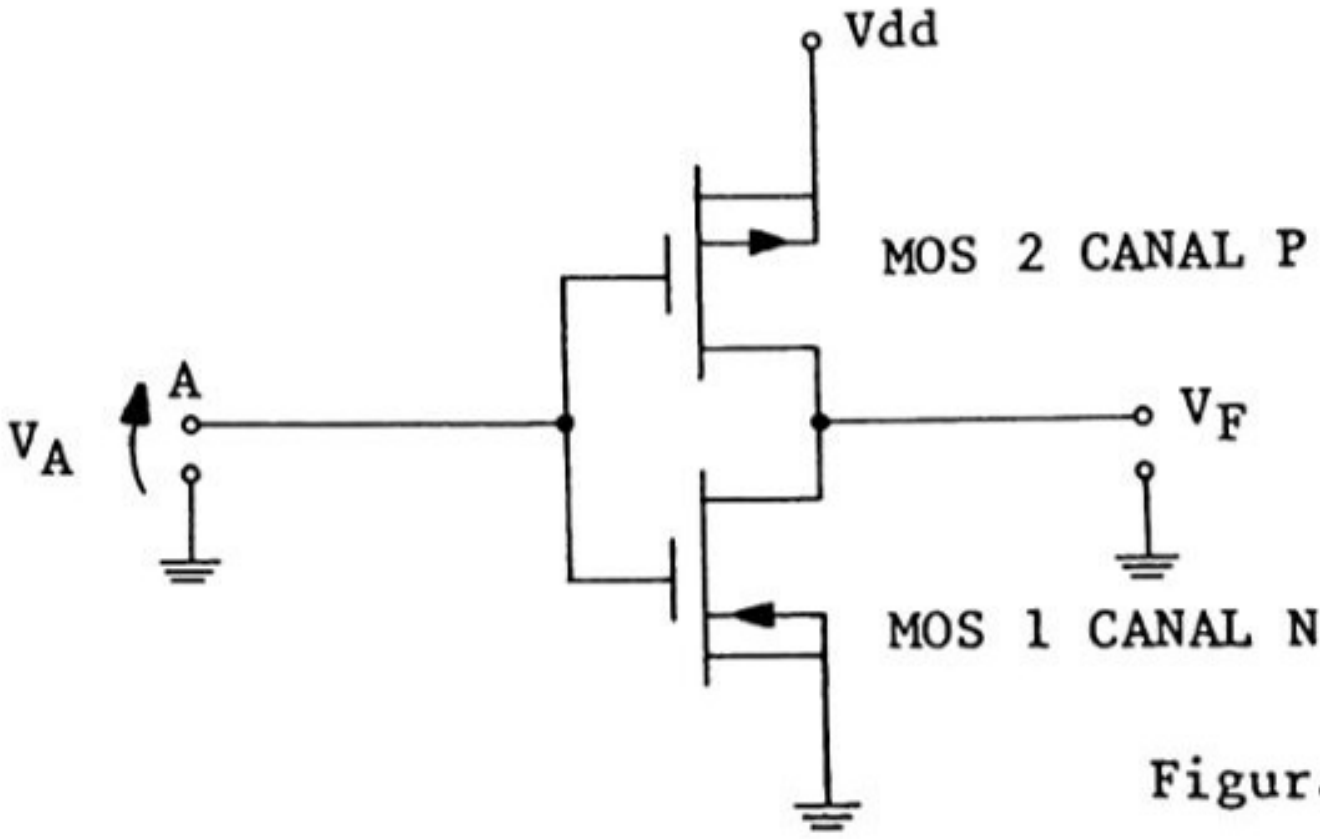


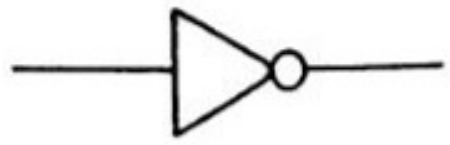
Figura 18

Se a tensão de entrada (V_A) for em nível alto (V_H), o MOS_1 se satura e a tensão tenderá a zero, na saída e teremos $V_F = V_L$.

Se a tensão de entrada (V_a) for em nível baixo (V_L), o MOS_1 estará no corte e a tensão de saída será alta, isto é, - $V_F = V_H$.

Desta forma, montamos a tabela verdade, onde concluímos - que o circuito executa a função NÃO.

V_A	MOS	V_F
V_L	corte	V_H
V_H	satura	V_L



Função NÃO

Na figura 19, temos um circuito típico que executa a função "NÃO E", onde, estando ambas as entradas em nível baixo ou

somente uma delas (V_a ou V_b), o transistor superior estará polarizado no sentido de conduzir e os inferiores estarão polarizados no sentido de não conduzir, de tal forma que a saída estará a um nível alto. Se ambas as entradas estiverem em nível alto, os transistores inferiores estarão ativados e na saída, teremos nível baixo $V_F = V_L$.

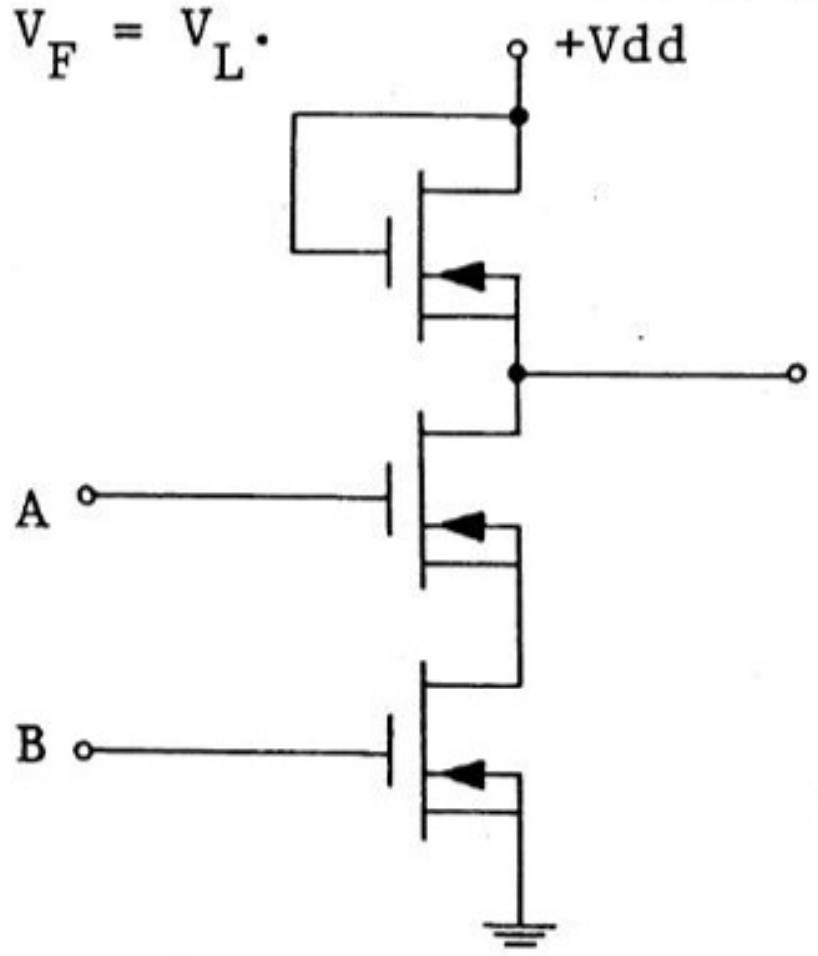


Figura 19

Desta forma, temos a tabela verdade das tensões, onde se verifica o funcionamento como porta "NÃO E".

V_B	V_A	V_F
V_L	V_L	V_H
V_L	V_H	V_H
V_H	V_L	V_H
V_H	V_H	V_L

B	A	F
0	0	1
0	1	1
1	0	1
1	1	0

$F = \overline{A \cdot B}$

Porta "NÃO E" (NAND).

LEA - LÓGICA DE EMISSOR ACOPLADO (ECL):

Os circuitos lógicos por acoplamento de emissor utilizam transistores bipolares não-saturados. Estes circuitos apresentam uma configuração básica de amplificadores diferenciais. Esta configuração torna a família lógica "ECL" mais rápida atualmente. Cada porta apresenta, em média, um tempo de propagação

de 1 ns.

A figura 20 mostra o circuito básico de uma porta lógica "OU/NÃO OU" da família "ECL".

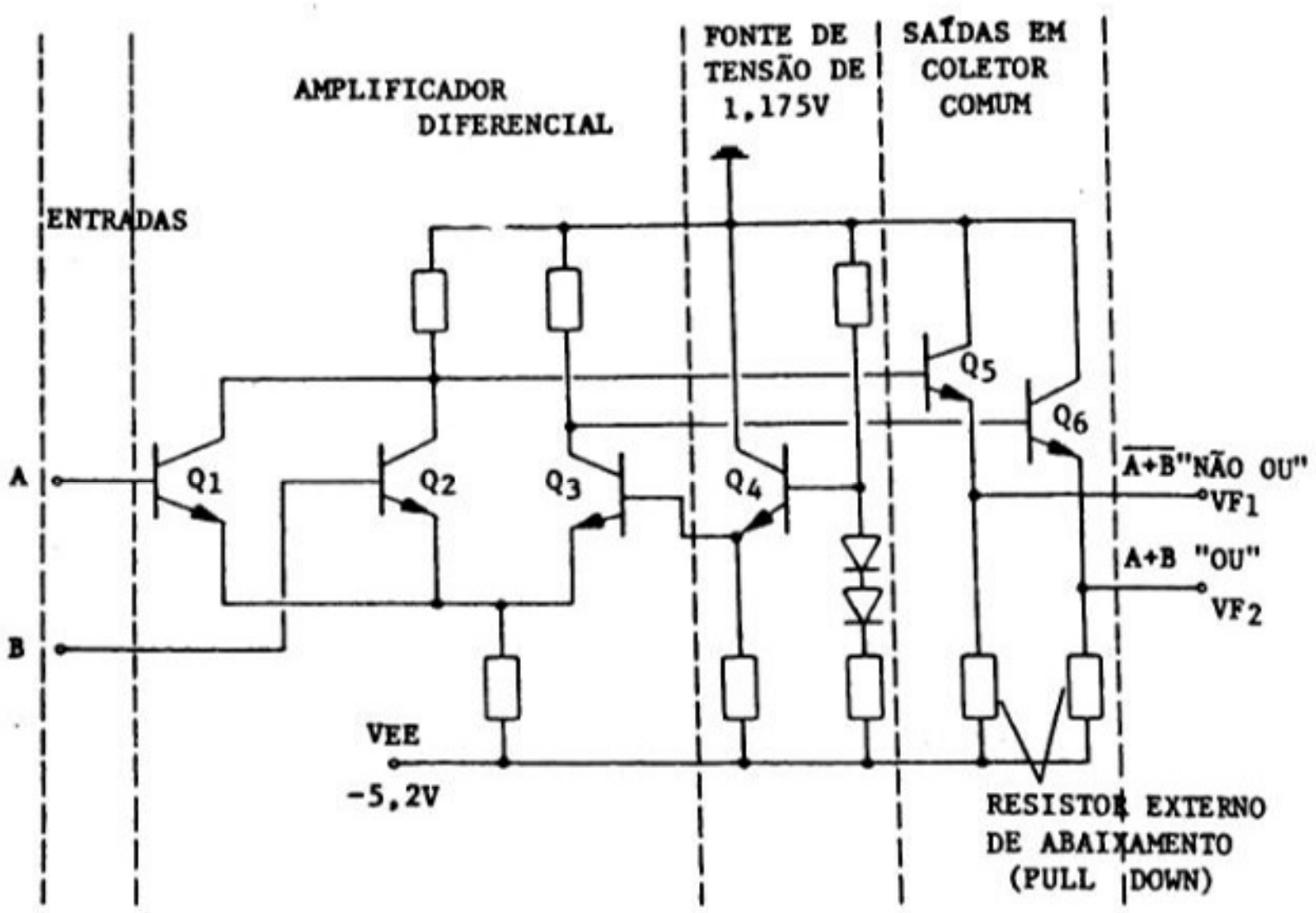


Figura 20

Pela figura, observamos que os transistores Q_1, Q_2 e Q_3 formam um amplificador diferencial. Assim, quando as duas entradas (A e B) estiverem a nível 0 (zero), os transistores Q_1 e Q_2 não conduzirão e seus coletores estarão a nível baixo. Conseqüentemente, Q_5 ficará no corte e a saída V_{F_1} será igual a 1 (um). Ao mesmo tempo, Q_3 estará conduzindo e fazendo conduzir também Q_6. A saída V_{F_2} será igual a 0 (zero).

Desta forma, temos uma saída V_{F_1} igual a uma porta "NÃO OU" e uma outra saída V_{F_2} igual a uma porta "OU". A figura 21 mostra o símbolo de uma porta "ECL".

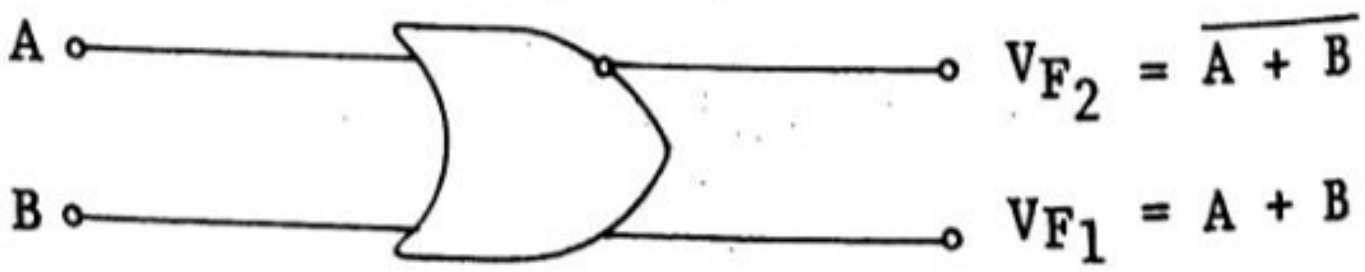


Figura 21

Este circuito tem como vantagem: alta velocidade e baixo ruído, mas tem como inconvenientes.: elevada dissipação, incompatibilidade com outras famílias e processo de fabricação complexo.

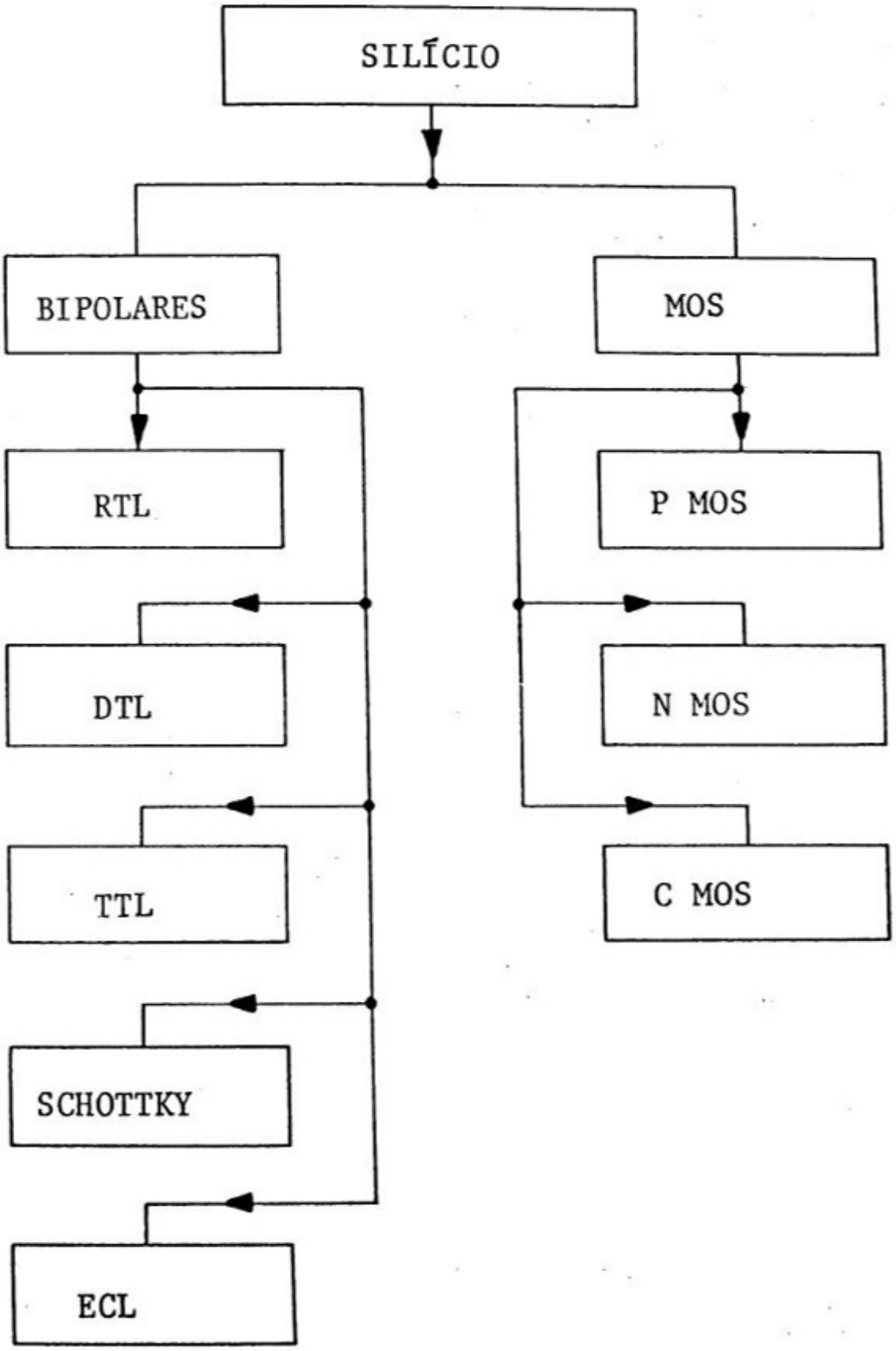


Diagrama de blocos das principais famílias lógicas existentes.

Família	Tempo de Propagação do Sinal (ns)	Freqüência máx. de trabalho(MHz)	Consumo de uma porta(mW)		Fator de qualidade (pJ)
			Em repouso	Em atividade	
TTL (LTT) ESTANDAR	10	35	10	10	100
SCHOTTKY ESTANDAR	3	120	20	20	60
SCHOTTKY Baixa Potência	10	35	2	2	20
P MOS	100	5	0,5	0,5	50
N MOS	50	10	0,4	0,4	20
C MOS	60	10	0,0001	—	5
ECL(LEA)	1	500	50	50	50

* Deixamos de mencionar os dados das famílias RTL e DTL por falta destas informações, porém, estas famílias já estão obsoletas.

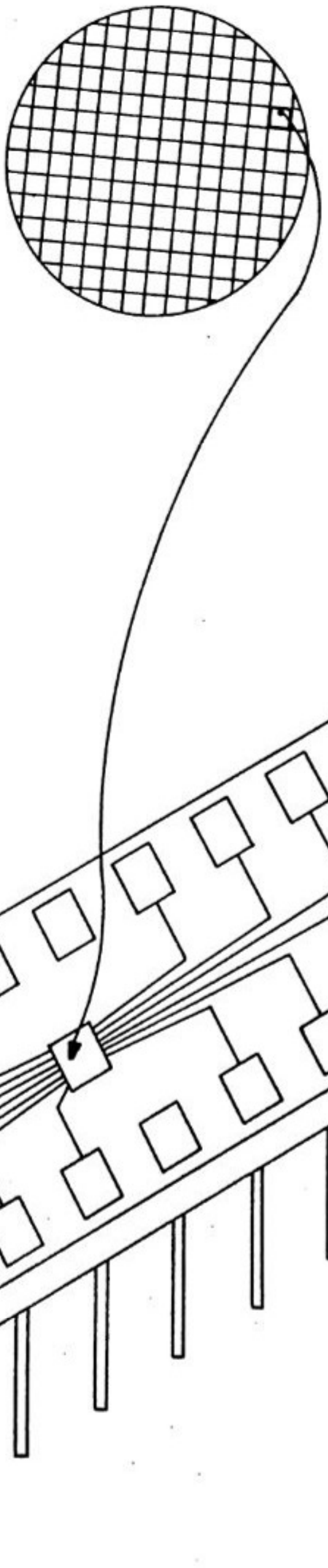
ns = nano-segundo

MHz = milhão de hertz por segundo

mW = mili-watts

pJ = pico-joule

Pastilha inicial
com vários "CHIP" ou
circuitos integrados.



Encapsulamento ou
embalagem "DUAL IN LINE
PACKAGE".

A figura 21 ilustra o processo de fabricação de um circuito integrado.

CURSO DE ELETRONICA DIGITAL E MICROPROCESSADORES

EXAME DA LIÇÃO ED-5

OBSERVAÇÃO

- cada questão é composta de três ou quatro alternativas.
- só uma delas está correta.
- marque a que considerar correta.
- passe as respostas corretas para a folha de exame.

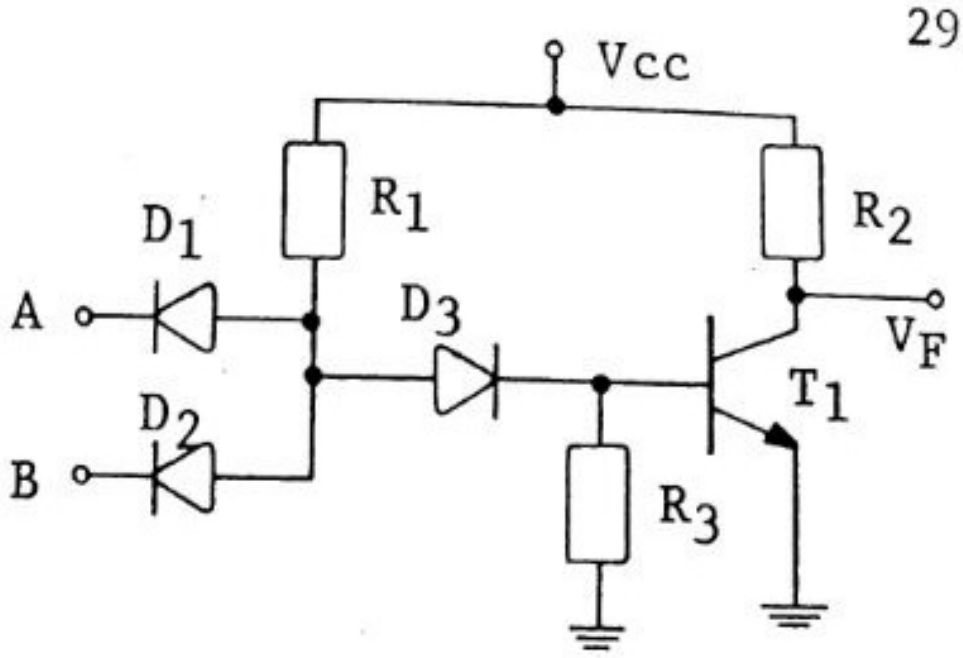
1) Assinale a alternativa correta, com relação à tecnologia RTL ou resistor transistor lógico:

   a) é de confecção muito simples e apresenta transistores que trabalham somente no corte;

   b) desempenha todas as funções lógicas, exceto a função "NÃO OU" (NOR);

   c) é de simples confecção, utiliza transistores que trabalham no corte ou na saturação e desempenha todas as funções lógicas, dependendo de sua configuração.

2) O circuito da figura ao lado se refere a uma lógica:



a) da família LTR (RTL);

b) da família LTD (DTL);

c) da família LDR (DRL).

3) Assinale a alternativa correta com relação ao transistor MOS:

a) apresenta alto consumo, permitindo três ligações dife - rentes e dotado de dois terminais como o bipolar;

b) os transistores de canal N e o de canal P podem desempenhar funções lógicas em circuitos razoavelmente simples, quando corretamente polarizados;

c) não é possível a associação em paralelo de transistores MOS.

4) Assinale a alternativa correta:

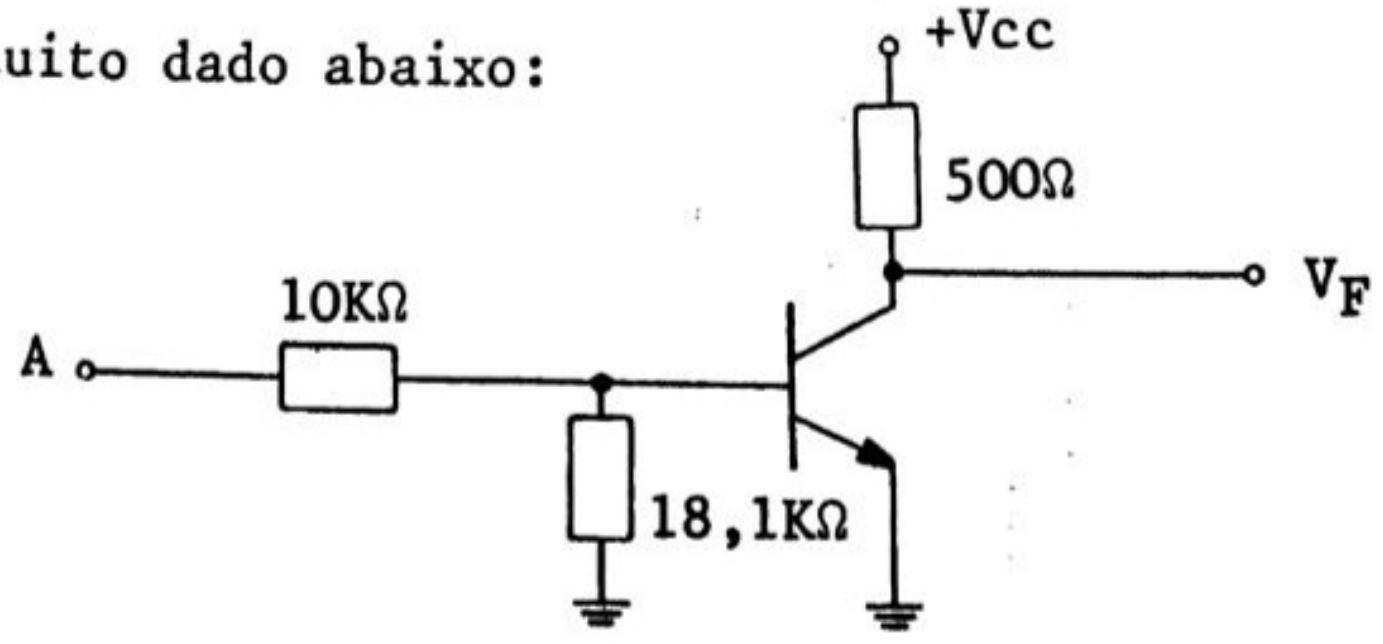
a) uma redução maior no consumo é obtida pela utilização da tecnologia MOS complementar ou C-MOS;

b) o inversor C-MOS tem um princípio de funcionamento bastante simples, utilizando, para isso, dois transistores: um de canal P e o outro de canal N;

c) as saídas, em coletor aberto, apresentam um transistor - com alimentação interna, funcionando como elemento de saída e as portas dessa tecnologia se assemelham bastante às TTL "Totem-pole".

d) as alternativas "a" e "b" estão corretas.

5) O circuito dado abaixo:



a) opera como um circuito inversor;

b) opera como um circuito que executa a função "E" (AND);

c) impossível a verificação de operação do circuito dado acima.

6) As características básicas de um circuito lógico, tipo TTL, são as seguintes:

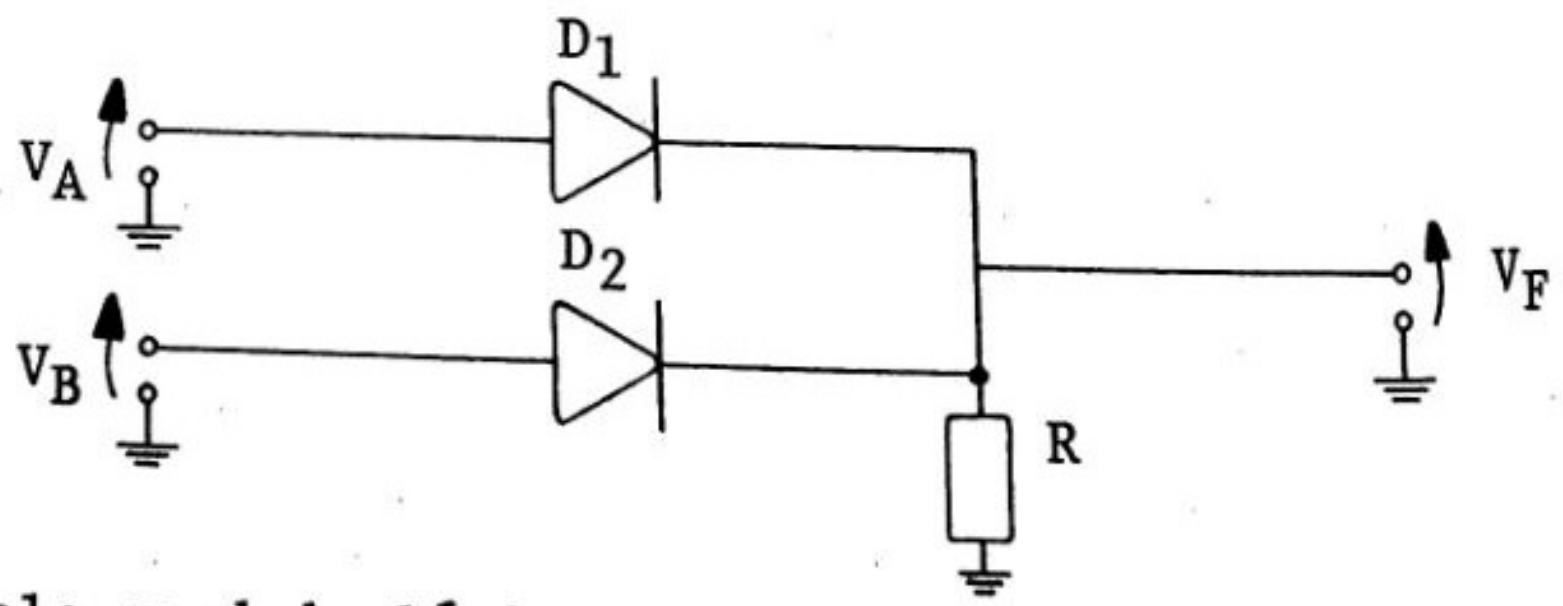
a) executa a função "NÃO E" na lógica negativa, possui uma dissipação de potência da ordem de 1 a 25 mW, o desempenho de ruído é aceitável e o seu custo é muito alto;

b) para as diversas disponibilidades de funções lógicas é considerado excelente, de custo baixo e executa todas as funções lógicas;

c) sua dissipação de potência por porta é da ordem de 100mW, executa a função "NÃO OU" na lógica negativa e seu desempenho de ruído é muito bom;

d) todas as alternativas estão incorretas.

7) Para o circuito da figura abaixo, assinale a resposta certa com relação à sua tabela verdade:



a) tabela verdade lógica positiva;

V_B	V_A	V_F
0	0	0
0	1	1
1	0	1
1	1	1

b) tabela verdade lógica positiva;

V_B	V_A	V_F
0	0	1
0	1	0
1	0	0
1	1	0

c) tabela verdade lógica negativa;

V_B	V_A	V_F
1	1	1
1	0	1
0	1	1
0	0	0

8) Para a lógica DTL os resistores de entrada foram substituídos por diodos. Desta forma, o circuito apresenta as seguintes características:

a) o ponto de polarização do transistor subiu um pouco, elevando consideravelmente a corrente de base (Ib);

b) diminuiu o consumo interno das portas e aumentou consideravelmente a velocidade das mesmas;

c) não houve melhoras apreciáveis e o circuito apresentou o mesmo consumo por porta.

9) A família lógica TTL é constituída de:

a) diodos de entradas e transistores de saída em totem-pole;

b) transistores MOS de canal múltiplo de entrada e de saída e coletor comum;

c) transistores bipolares de multi-emissor de entrada e saída em totem-pole ou coletor aberto.

10) Assinale a alternativa correta:

a) as portas "E", por conexão, dadas na figura 15, apresentam importância pela economia que elas representam;

b) a família lógica MOS é constituída de transistor bipolar de junção à base de óxido de ferro;

c) a familia C-MOS é de custo baixo, alta velocidade de propagação, alta dissipação por porta e baixa imunidade a ruídos.

CEDM-CURSO DE
ELETRONICA DIGITAL E
MICROPROCESSADORES
CAIXA POSTAL 1642 – CEP 86100 – LONDRINA-PR.

1984

LIÇÃO ED-6

INTERLIGAÇÃO ENTRE EXPRESSÕES, CIRCUITOS E TABELAS VERDADE

INTRODUÇÃO:

Todo circuito lógico é utilizado para tomar decisões lógicas (mas não raciocinar), ou seja, quando realizar uma operação, que tipo de operação efetuar, e como fazê-la. As operações lógicas baseiam-se na álgebra Booleana, de modo que todo circuito lógico executa uma expressão booleana e, independentemente de sua complexidade, é formada pela interligação das portas lógicas básicas. Vamos então ao estudo destas interligações, investigando as tabelas verdade, as expressões e os circuitos.

TABELA VERDADE:

Também conhecida por "tabela certeza". Trata-se, pois, de um diagrama (mapa) que é empregado juntamente com os circuitos lógicos para mostrar o estado das entradas e saídas de uma determinada etapa sob todas as condições possíveis de sinal.

Existe uma ligação íntima entre o circuito lógico e a sua expressão booleana, tendo na tabela verdade uma referência, pois esta irá representar o comportamento tanto da expressão booleana como de seu circuito, sendo útil também para desenvolver o diagrama total do caminho seguido pelo sinal.

TABELA VERDADE OBTIDA DE UMA EXPRESSÃO:

Conhecendo-se a expressão booleana, observa-se a seguinte regra:

1º) Monta-se o quadro de possibilidades, onde o número de possibilidades de combinações é dado por 2^n, sendo "n" o número de variáveis;

2º) Monta-se uma coluna para cada membro da expressão;

3º) Monta-se uma coluna para o resultado final;

4º) Preenche-se a tabela.

Por exemplo, tomemos a expressão booleana abaixo:

$$L = \underbrace{(A + B)}_{1º\ membro} \cdot \underbrace{\overline{D}}_{2º membro} \cdot \underbrace{(A + B + C)}_{3º\ membro}$$

Resultado final = L

- número de variáveis = 4 (A,B,C e D) $\Longrightarrow n = 4$
- número de combinações possíveis = $2^n = 2^4 = 16$

A tabela verdade ficará:

Variáveis D	C	B	A	1º membro A+B	2º membro $\overline{D}$	3º membro A+B+C	RESULTADO FINAL=L(A+B).$\overline{D}$.(A+B+C)
0	0	0	0	0	1	0	0
0	0	0	1	1	1	1	1
0	0	1	0	1	1	1	1
0	0	1	1	1	1	1	1
0	1	0	0	0	1	1	0
0	1	0	1	1	1	1	1
0	1	1	0	1	1	1	1
0	1	1	1	1	1	1	1
1	0	0	0	0	0	0	0
1	0	0	1	1	0	1	0
1	0	1	0	1	0	1	0
1	0	1	1	1	0	1	0
1	1	0	0	0	0	1	0
1	1	0	1	1	0	1	0
1	1	1	0	1	0	1	0
1	1	1	1	1	0	1	0

- Na coluna do 1º membro, colocaremos o resultado da operação lógica "OU" A + B.

- Na coluna do 2º membro, colocaremos o resultado da operação lógica "NÃO" $\overline{D}$.

- Na coluna do 3º membro, colocaremos o resultado da operação lógica "OU" A + B + C.

- Na coluna referente ao resultado final, colocaremos a operação lógica "E" dos três membros $(A + B) \cdot (\overline{D}) \cdot (A + B + C)$ que é igual a incógnita L.

No caso de termos, na expressão booleana da função, a inversão de uma ou mais variáveis, lançamos mão de uma coluna auxiliar, como mostra o exemplo abaixo:

$$L = \underbrace{A.B}_{\text{1ºmembro}} + \underbrace{\overline{B.C}}_{\text{2ºmembro}} + \underbrace{A.\overline{B}.C}_{\text{3ºmembro}}$$

Resultado Final = L

- Temos 3 variáveis, logo teremos $2^3 = (8)$ possibilidades de combinações.

Variáveis C B A	1ºmembro A.B	2ºmembro $\overline{B.C}$	Auxiliar $\overline{B}$	3ºmembro $A.\overline{B}.C$	RESULTADO FINAL=L = (A.B)+ +(B.C)+(A.B.C)
0 0 0	0	1	1	0	1
0 0 1	0	1	1	0	1
0 1 0	0	1	0	0	1
0 1 1	1	1	0	0	1
1 0 0	0	1	1	0	1
1 0 1	0	1	1	1	1
1 1 0	0	0	0	0	0
1 1 1	1	0	0	0	1

- Na coluna do 1º membro, colocaremos o resultado da operação lógica "E" A.B.

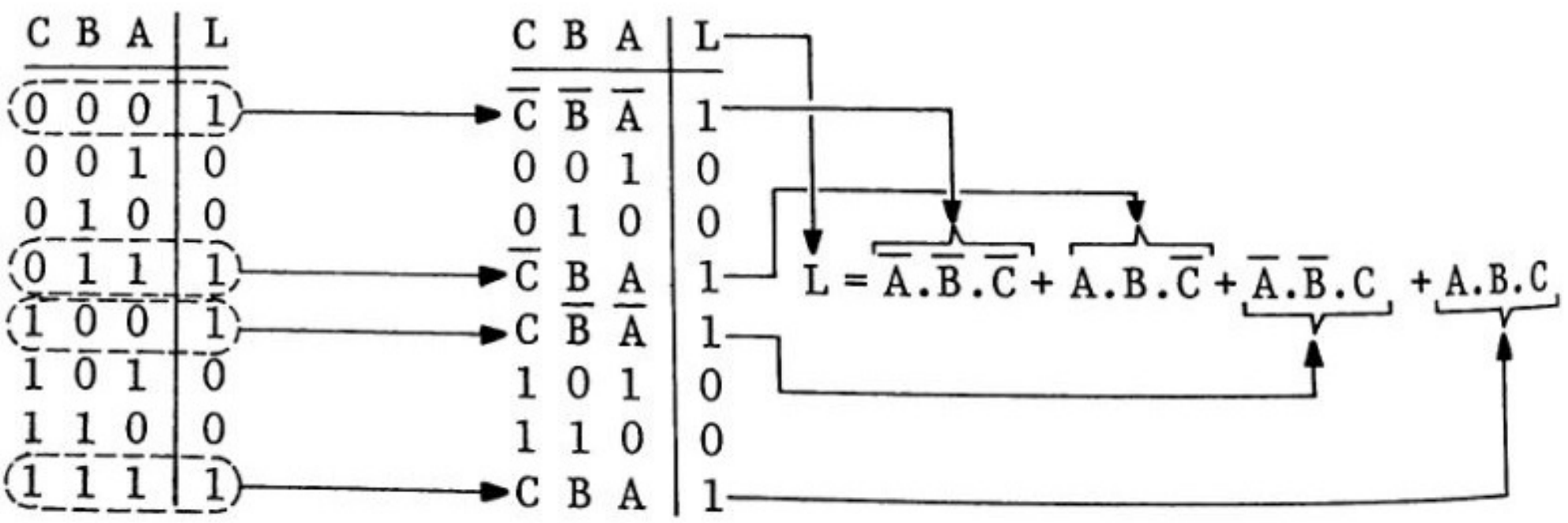
- Na coluna correspondente ao 2º membro, colocaremos a operação lógica "NÃO E" $\overline{B.C}$.

- Na coluna correspondente ao 3º membro, utilizamos a coluna auxiliar com o inverso de B ($\overline{B}$), para então escrevermos o resultado da operação lógica "E" com o inverso de B, $A.\overline{B}.C$.

- Na coluna correspondente ao resultado final L, devemos colocar a operação lógica "OU" dos 3 membros, ou seja, $(A.B) + \overline{(B.C)} + (A.\overline{B}.C)$, excluindo-se desta operação a coluna auxiliar. E finalmente teremos o resultado final igual à incógnita L.

EXPRESSÕES GERADAS POR TABELA VERDADE

Podemos obter uma expressão lógica, partindo de uma tabela verdade. Basta para isso convencionarmos o tipo de implementação. Por exemplo, obter a expressão lógica com implementação positiva da tabela verdade abaixo:



Para obtermos a expressão lógica com implementação positiva de uma tabela verdade, devemos proceder da seguinte forma:

1º) o primeiro passo consiste em identificar na tabela verdade todas as linhas que estejam implementadas positivamente, ou seja, todas as linhas onde a coluna "L" ou saída "L" for igual a "1".

2º) o segundo passo consiste em tomar estas linhas implementadas positivamente e substituir as variáveis "0" (zero) e "1" (um) pelos índices das colunas "A", "B", "C", tendo o cuidado de identificar estes índices, quando forem "0" (ze-

ro, por uma barra de negação. Por exemplo, a la. linha é implementada positivamente, pois temos 000/1. Devemos então substituir os três bits da linha pelos índices correspondentes em suas colunas: C B A/1. E finalmente colocar - uma barra de negação nestes índices, pois todos estão subs tituindo bits "0"(zero). Desta forma, teremos: $\overline{C}\ \overline{B}\ \overline{A}/1$.

3º) o terceiro passo consiste em montar a expressão. Inicial - mente tomamos a letra "L" do índice da coluna de saída, como sendo a incógnita da expressão. Em seguida, tomamos os índices das linhas implementadas positivamente, observando que os índices que estão em uma mesma linha geram funções "E". Por exemplo, a la. linha gera uma função "E" de três variáveis com os índices negados. Desta forma temos "$\overline{C}.\overline{B}.\overline{A}$ ou "$\overline{A}.\overline{B}.\overline{C}$", pois a ordem dos fatores não altera o produto. Observamos ainda que, se a tabela verdade possuir mais que uma linha implementada positivamente, deve-se tomar o cuidado de intercalar estas linhas ou funções"E" com uma função "OU", como mostra a expressão gerada pela tabela - verdade, ilustrada acima.

$$L = \overline{A}.\overline{B}.\overline{C} + A.B.\overline{C} + \overline{A}.\overline{B}.C + A.B.C$$

EXEMPLOS RESOLVIDOS:

1) Obter a expressão lógica da tabela verdade abaixo com implementação positiva.

D	C	B	A	L	
0	0	0	0	0	
0	0	0	1	1	→ $\overline{D}\ \overline{C}\ \overline{B}\ A$
0	0	1	0	0	
0	0	1	1	0	
0	1	0	0	0	
0	1	0	1	1	→ $\overline{D}\ C\ \overline{B}\ A$
0	1	1	0	0	
0	1	1	1	0	
1	0	0	0	0	
1	0	0	1	1	→ $D\ \overline{C}\ \overline{B}\ A$
1	0	1	0	1	→ $D\ C\ \overline{B}\ \overline{A}$
1	0	1	1	0	
1	1	0	0	0	
1	1	0	1	0	
1	1	1	0	0	
1	1	1	1	1	→ $D\ C\ B\ A$

Primeiro passo: identificar as saídas implementadas positivamente.

Segundo passo: substituir os bits pelos índices e colocar barras nos índices onde os bits eram "0" (zeros).

Terceiro passo: montar a expressão.

$$L = A.\overline{B}.\overline{C}.\overline{D} + A.\overline{B}.C.\overline{D} + A.\overline{B}.\overline{C}.D + \overline{A}.B.\overline{C}.D + A.B.C.D$$

2) Obter a expressão lógica da tabela verdade abaixo com implementação positiva.

C	B	A	L	
0	0	0	1	→ $\overline{C}\ \overline{B}\ \overline{A}$
0	0	1	1	→ $\overline{C}\ \overline{B}\ A$
0	1	0	0	
0	1	1	1	→ $\overline{C}\ B\ A$
1	0	0	0	
1	0	1	0	
1	1	0	0	
1	1	1	1	→ $C\ B\ A$

$$L = \overline{A}.\overline{B}.\overline{C} + A.\overline{B}.\overline{C} + A.B.\overline{C} + A.B.C$$

Podemos também obter expressões lógicas de uma tabela verdade com implementação negativa, bastando, para isso, que tomemos somente as linhas que contiverem a saída "L" igual a "0" (zero). Da mesma forma devemos empregar a função "OU" entre os índices da mesma linha e a função "E" entre as funções obtidas nas linhas. Por exemplo, obter a expressão lógica com implementação negativa da tabela verdade do exemplo 2.

C	B	A	L		
0	0	0	1		
0	0	1	1		
0	1	0	0	→ $\overline{C}\ B\ \overline{A}$	→ $C+\overline{B}+A$
0	1	1	1		
1	0	0	0	→ $C\ \overline{B}\ \overline{A}$	→ $\overline{C}+B+A$
1	0	1	0	→ $C\ \overline{B}\ A$	→ $\overline{C}+B+\overline{A}$
1	1	0	0	→ $C\ B\ \overline{A}$	→ $\overline{C}+\overline{B}+A$
1	1	1	1		

Observação: deve-se tirar os barramentos dos índices negados e colocar barramentos nos índices não negados. Ao mesmo tempo colocar função "OU" no lugar da "E".

$$L = (A+\overline{B}+C)\ .\ (A+B+\overline{C})\ .\ (\overline{A}+B+\overline{C})\ .\ (A+\overline{B}+\overline{C})$$

EXEMPLOS RESOLVIDOS:

1) Obter a expressão lógica da tabela verdade abaixo com implementação negativa:

B	A	L		
0	0	0	→ $\overline{B}\ \overline{A}$	→ $B+A$
0	1	1		
1	0	0	→ $B\ \overline{A}$	→ $\overline{B}+A$
1	1	1		

$$L = (A+B)\ .\ (A+\overline{B})$$

2) Obter expressão lógica da tabela verdade abaixo com implementação negativa:

D	C	B	A	L			
0	0	0	0	0	→	$\overline{D}\ \overline{C}\ \overline{B}\ \overline{A}$	→ $D+C+B+A$
0	0	0	1	1			
0	0	1	0	0	→	$\overline{D}\ \overline{C}\ B\ \overline{A}$	→ $D+C+\overline{B}+A$
0	0	1	1	1			
0	1	0	0	1			
0	1	0	1	0	→	$\overline{D}\ C\ \overline{B}\ A$	→ $D+\overline{C}+B+\overline{A}$
0	1	1	0	0	→	$\overline{D}\ C\ B\ \overline{A}$	→ $D+\overline{C}+\overline{B}+A$
0	1	1	1	0	→	$\overline{D}\ C\ B\ A$	→ $D+\overline{C}+\overline{B}+\overline{A}$
1	0	0	0	1			
1	0	0	1	1			
1	0	1	0	1			
1	0	1	1	0	→	$D\ \overline{C}\ B\ A$	→ $\overline{D}+C+\overline{B}+\overline{A}$
1	1	0	0	0	→	$D\ C\ \overline{B}\ \overline{A}$	→ $\overline{D}+\overline{C}+B+A$
1	1	0	1	1			
1	1	1	0	1			
1	1	1	1	0	→	$D\ C\ B\ A$	→ $\overline{D}+\overline{C}+\overline{B}+\overline{A}$

$$L = (A+B+C+D) \cdot (A+\overline{B}+C+D) \cdot (\overline{A}+B+\overline{C}+D) \cdot (A+\overline{B}+\overline{C}+D) \cdot (\overline{A}+\overline{B}+\overline{C}+D) \cdot (\overline{A}+\overline{B}+C+\overline{D}) \cdot (A+B+\overline{C}+\overline{D}) \cdot (\overline{A}+\overline{B}+\overline{C}+\overline{D})$$

CIRCUITOS GERADOS POR EXPRESSÕES LÓGICAS:

Podemos obter um circuito, partindo de uma expressão lógica, bastando, para isso, seguir os passos mostrados na expressão abaixo:

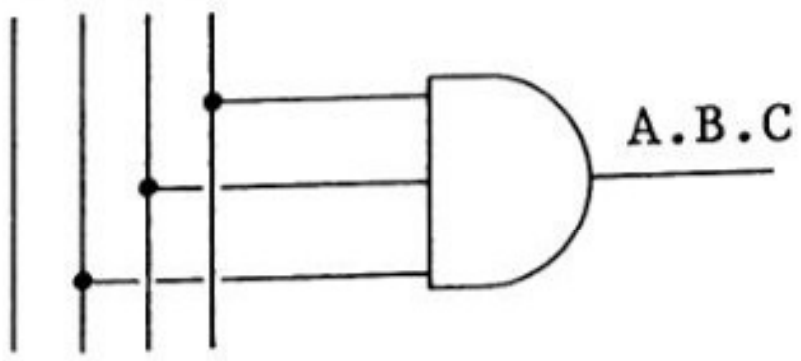
$$L = \underbrace{(A.B.C)}_{*} + \underbrace{(A+B)}_{**} + \underbrace{\overline{D}}_{***}$$

$$\underbrace{\qquad\qquad\qquad\qquad}_{****}$$

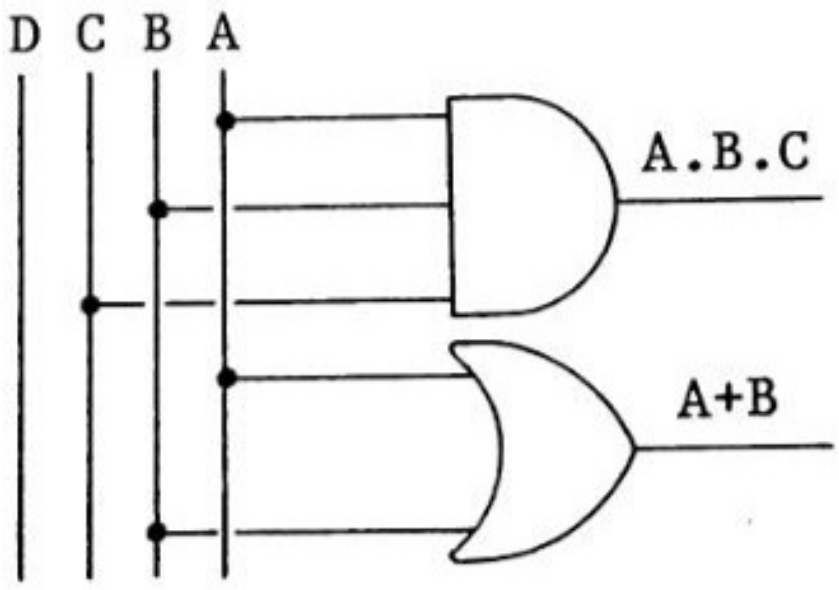
1) O primeiro passo consiste em identificar quantas variáveis existem na expressão. Por exemplo, na expressão dada existem quatro variáveis, a saber, "A", "B", "C" e "D". Isto se faz necessário para desenharmos a fiação de dados. (Barramento de dados).

2) O segundo passo consiste em seguir as identificações - feitas pelos asterísticos. Exemplo:

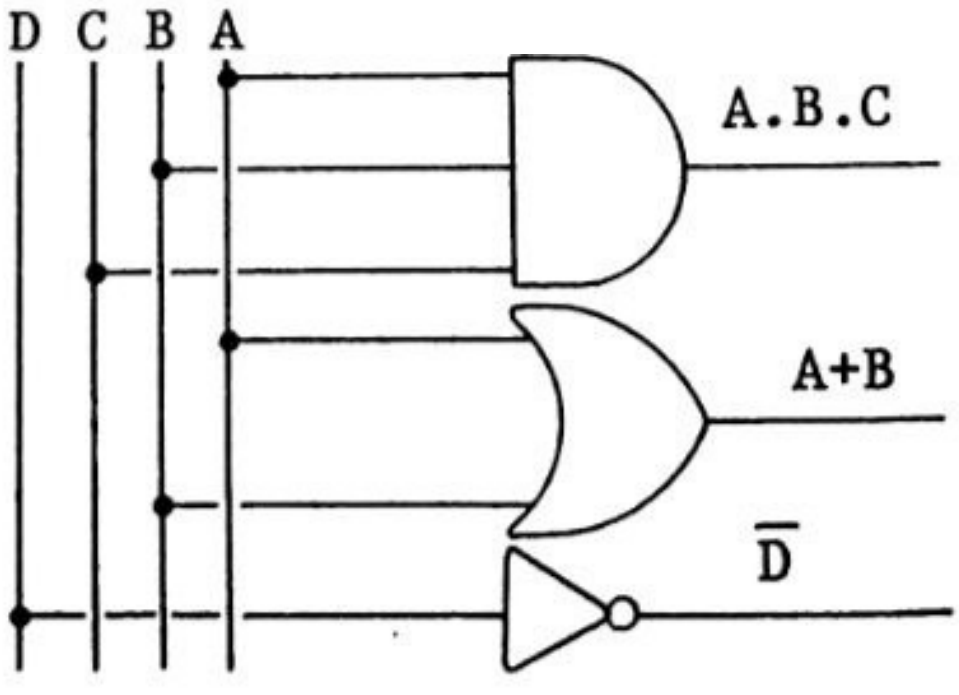
$$* \quad L = \underbrace{(A.B.C)}_{*} + (A+B) + \overline{D}$$

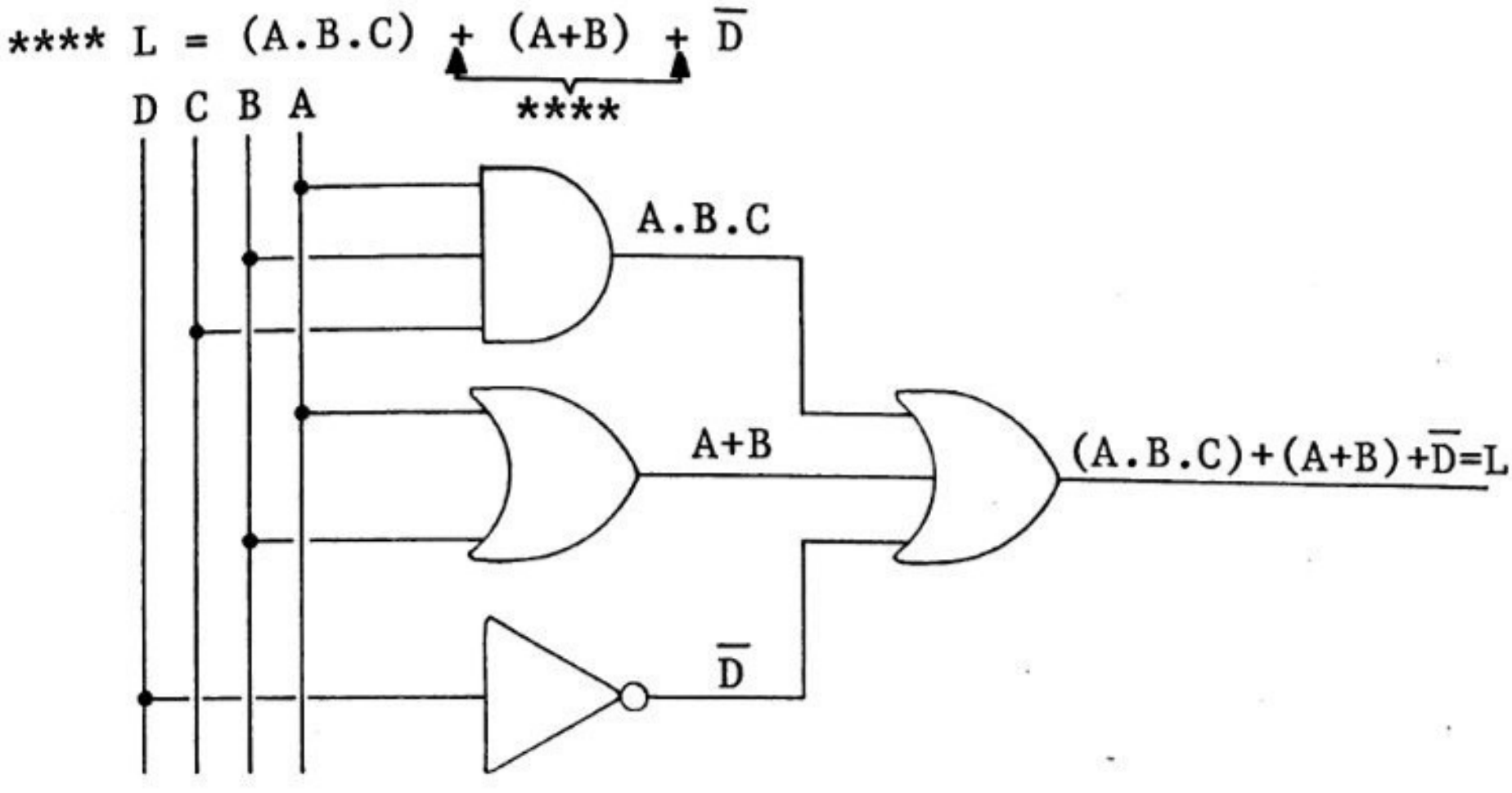


$$** \quad L = (A.B.C) + \underbrace{(A+B)}_{**} + \overline{D}$$



$$*** \quad L = (A.B.C) + (A+B) + \underbrace{\overline{D}}_{***}$$





EXEMPLOS RESOLVIDOS:

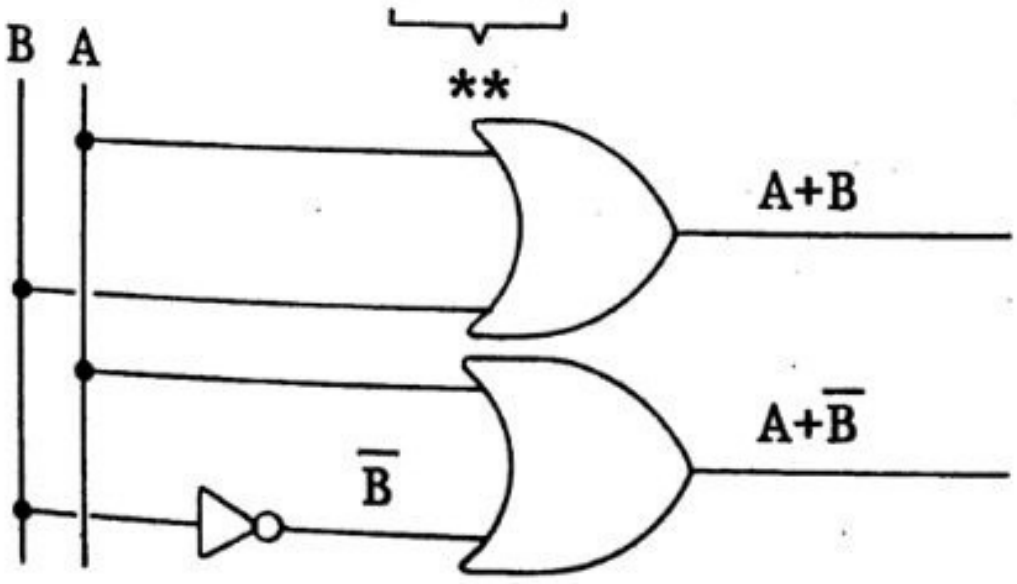
1) Obter o circuito da expressão lógica:

$$L = \underbrace{(A+B)}_{*} \cdot \underbrace{(A+\overline{B})}_{**} \quad \underbrace{\qquad\qquad}_{***}$$

* $L = \underbrace{(A+B)}_{*} \cdot (A+\overline{B})$

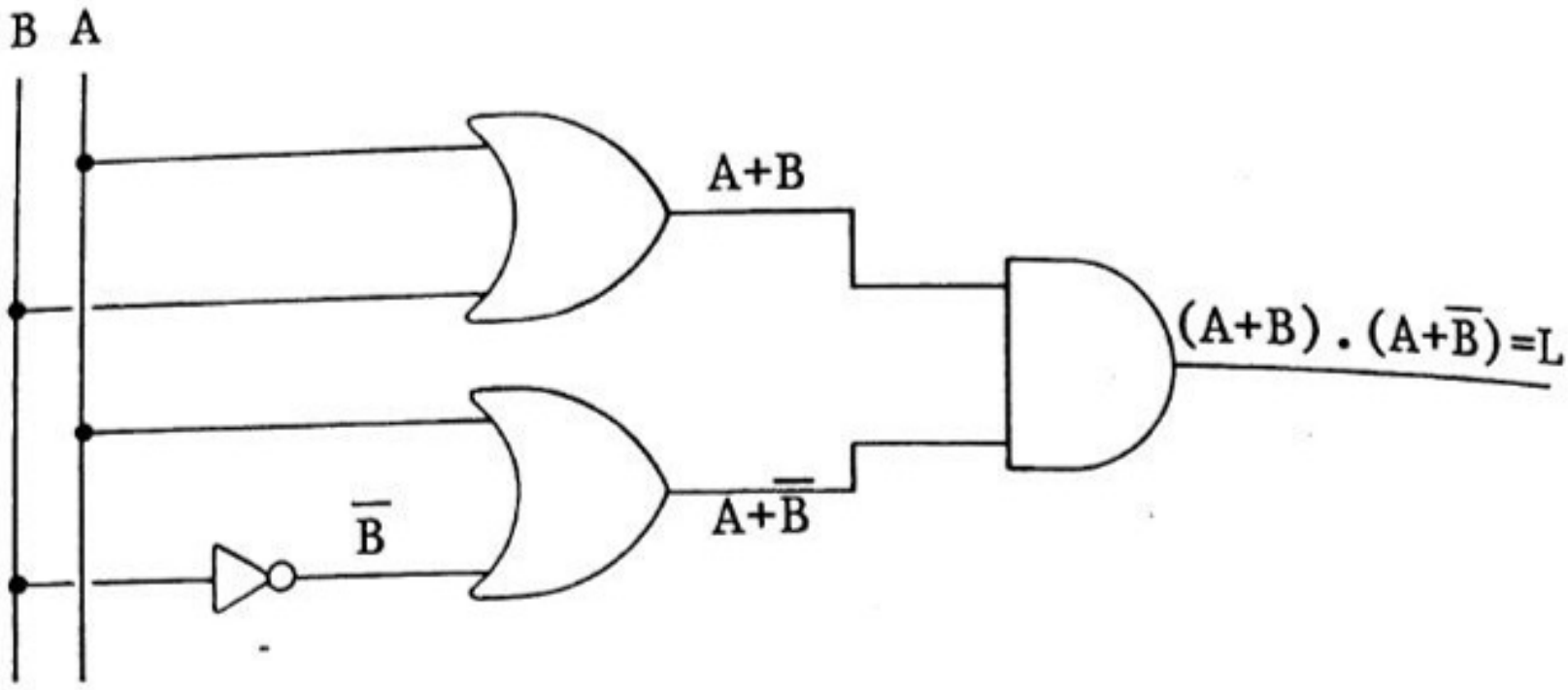
B A

** $L = (A+B) \cdot \underbrace{(A+\overline{B})}_{**}$



10

*** $L = \underbrace{(A+B) \cdot (A+\overline{B})}_{***}$

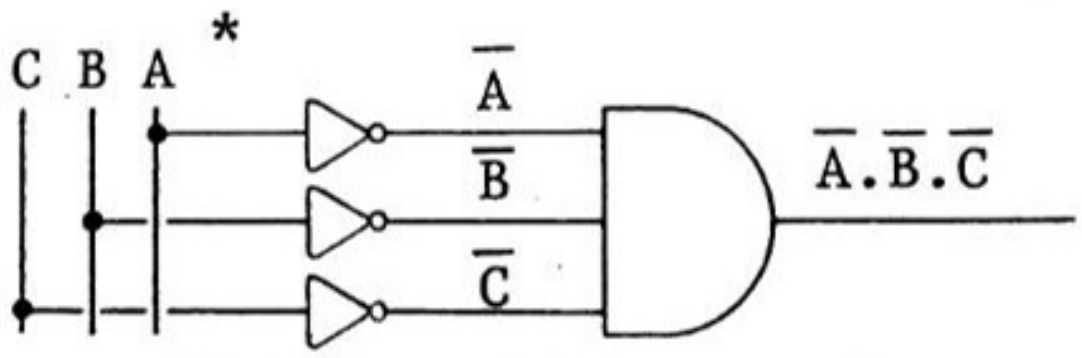


2) Obter o circuito da expressão lógica:

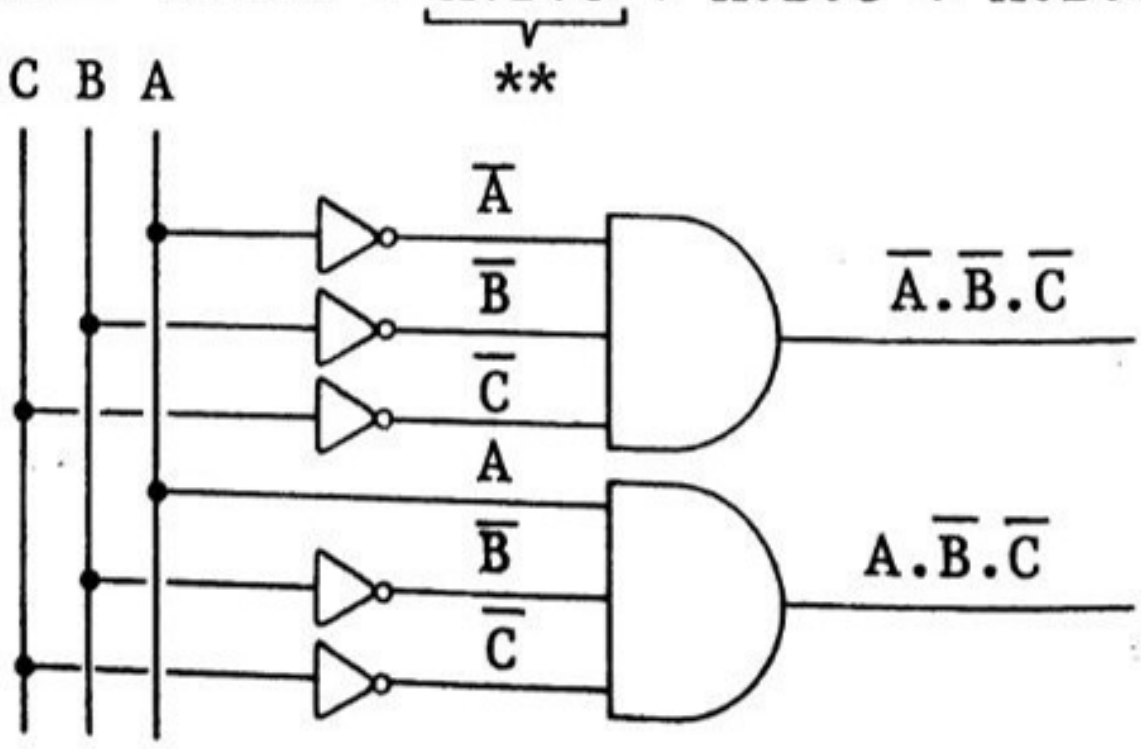
$$L = \underbrace{\overline{A}.\overline{B}.\overline{C}}_{*} + \underbrace{A.\overline{B}.\overline{C}}_{**} + \underbrace{A.B.\overline{C}}_{***} + \underbrace{A.B.C}_{****}$$

$$\underbrace{\qquad\qquad\qquad\qquad\qquad\qquad\qquad}_{*****}$$

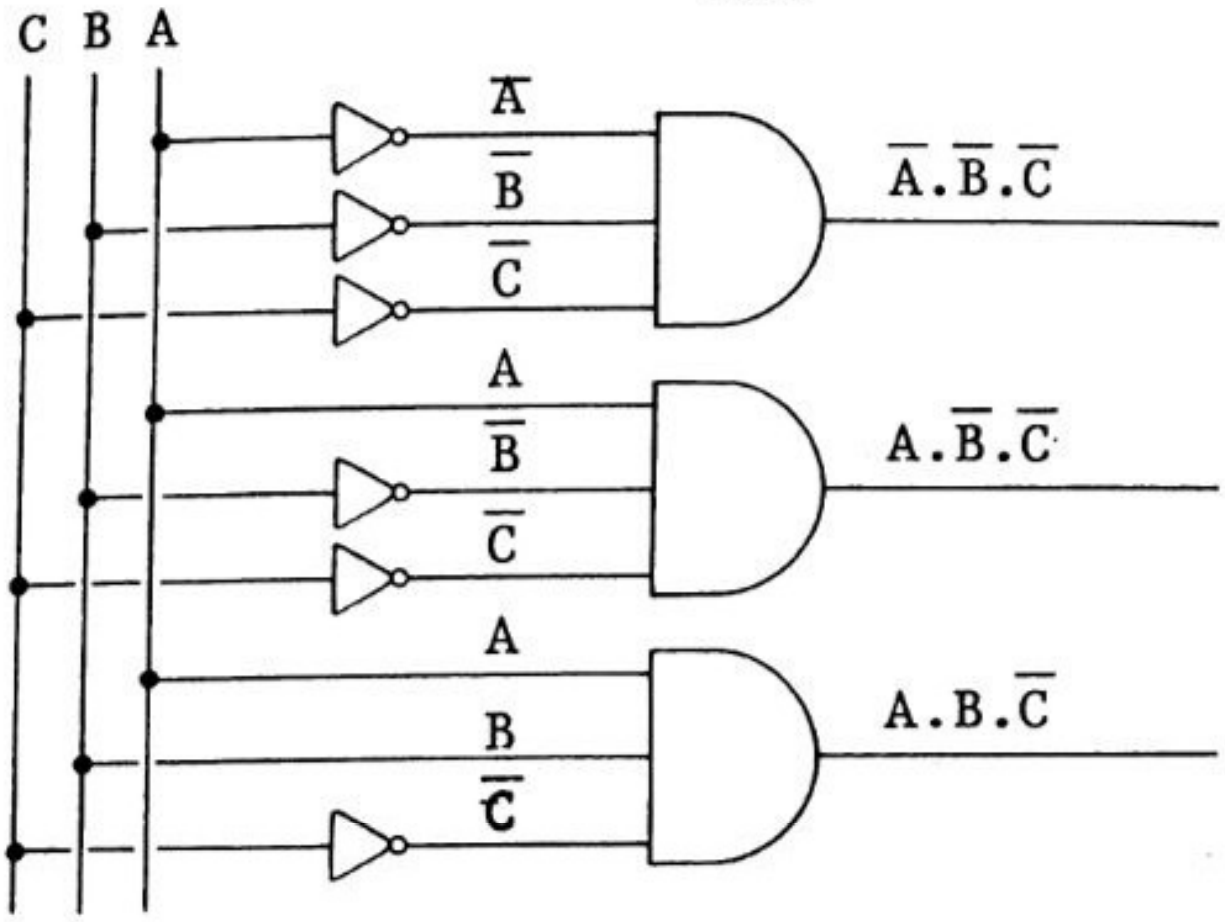
* $L = \underbrace{\overline{A}.\overline{B}.\overline{C}}_{*} + A.\overline{B}.\overline{C} + A.B.\overline{C} + A.B.C$



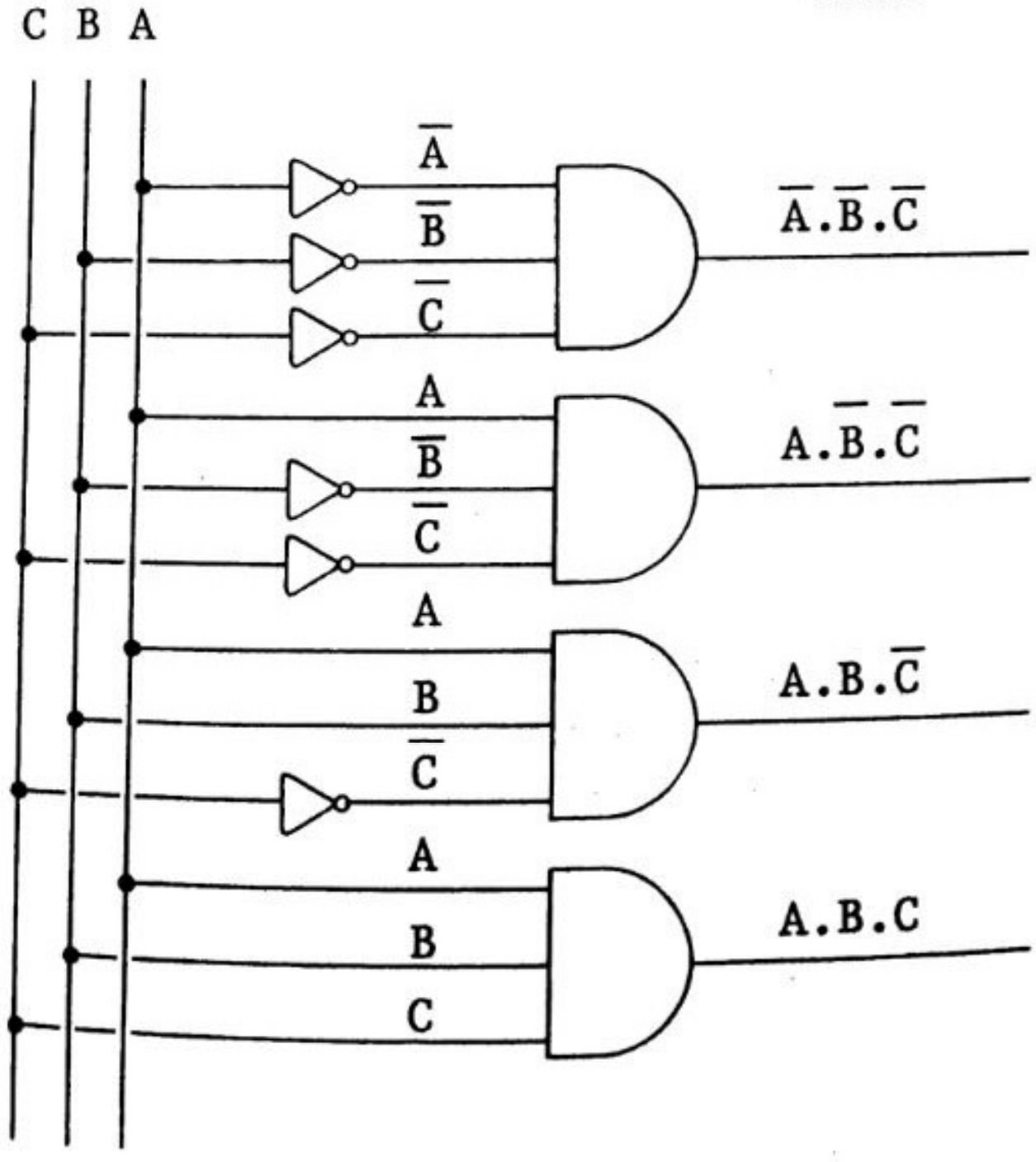
** $L = \overline{A}.\overline{B}.\overline{C} + \underbrace{A.\overline{B}.\overline{C}}_{**} + A.B.\overline{C} + A.B.C$



*** $L = \overline{A}.\overline{B}.\overline{C} + A.\overline{B}.\overline{C} + \underbrace{A.B.\overline{C}}_{***} + A.B.C$

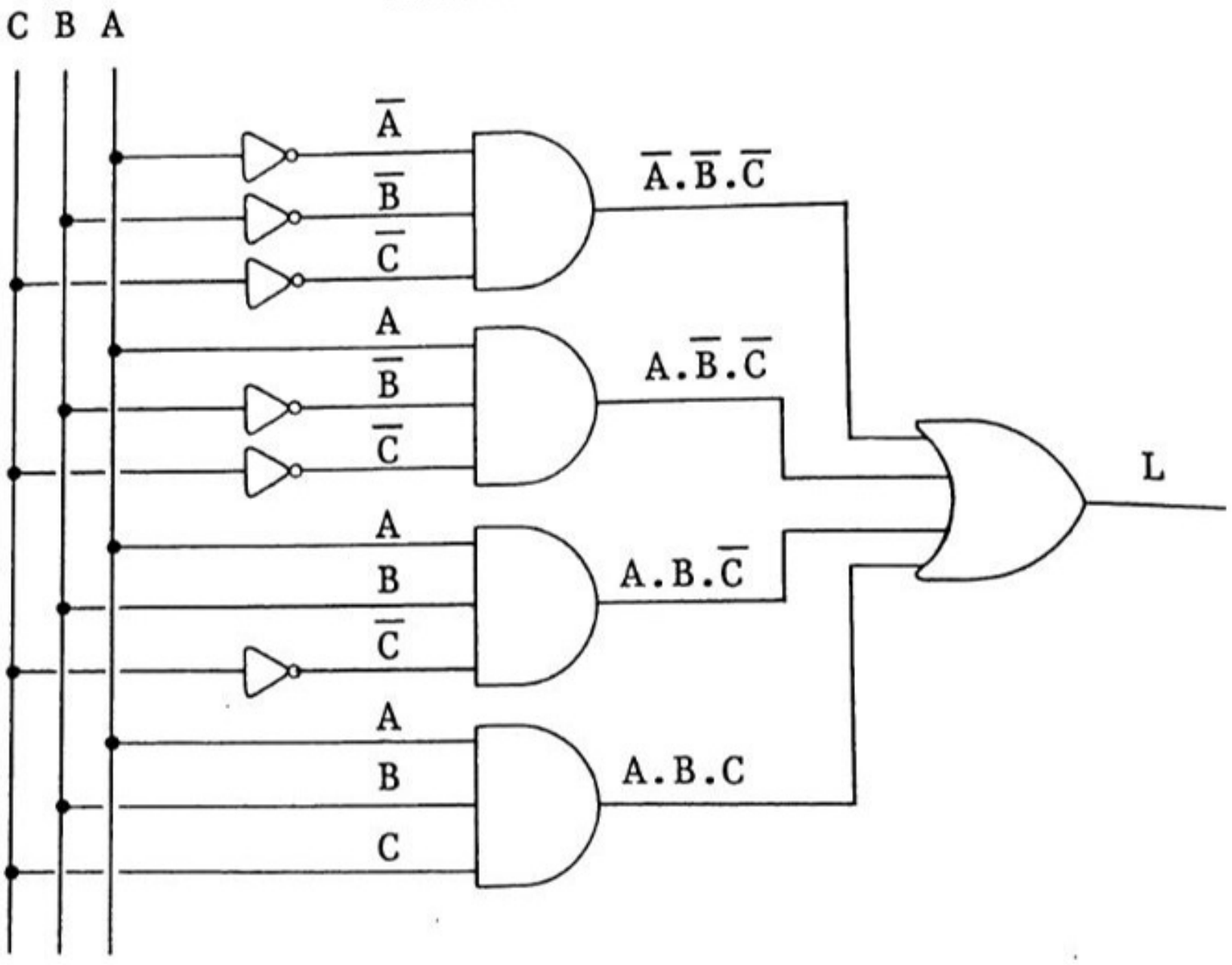


**** $L = \overline{A}.\overline{B}.\overline{C} + A.\overline{B}.\overline{C} + A.B.\overline{C} + \underbrace{A.B.C}_{****}$



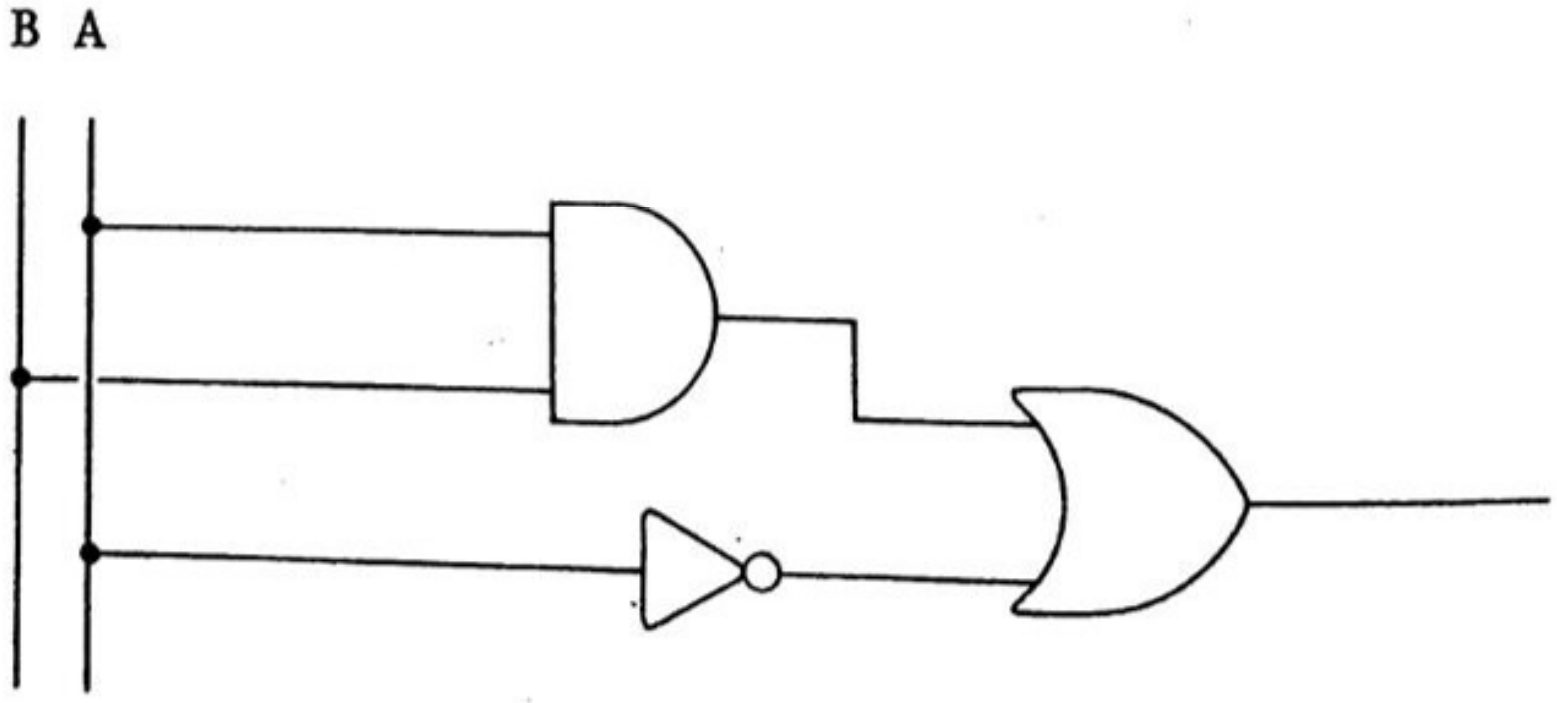
***** $L = \underbrace{\overline{A}.\overline{B}.\overline{C} + A.\overline{B}.\overline{C} + A.B.\overline{C} + A.B.C}$

*****

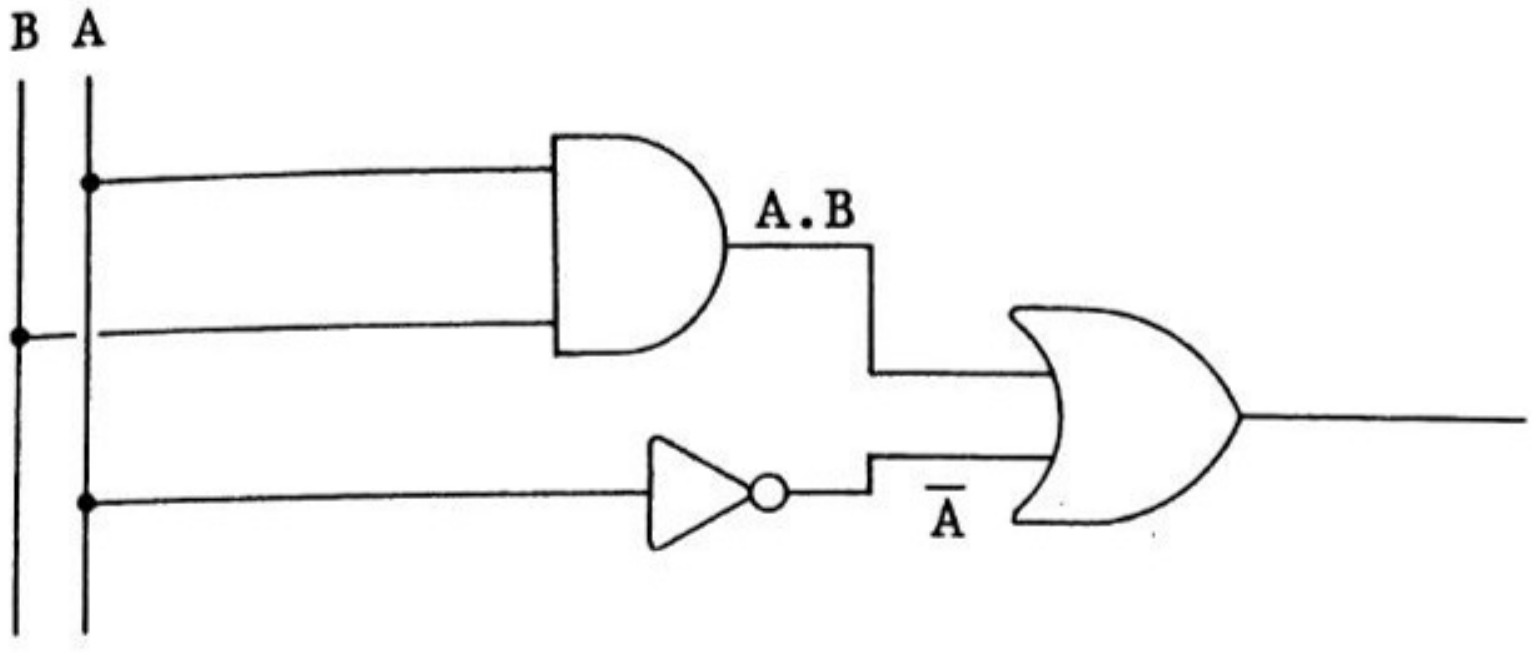


EXPRESSÃO LÓGICA GERADA POR CIRCUITOS:

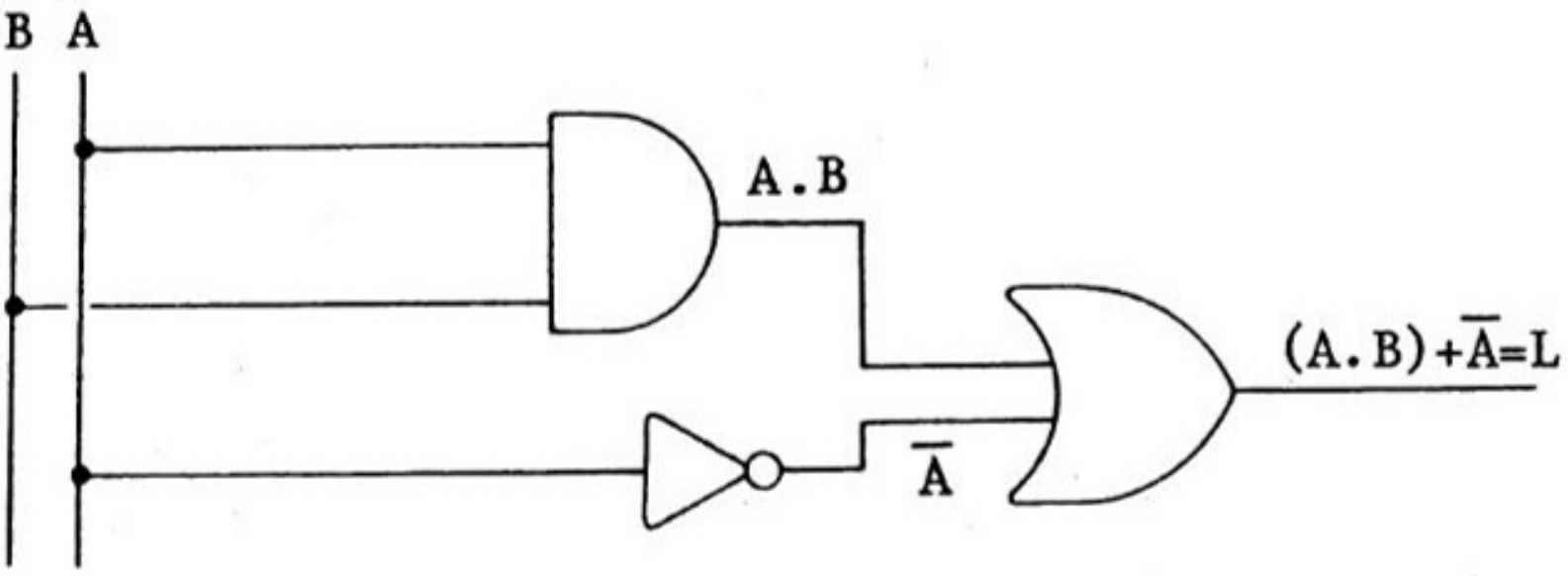
Da mesma forma que obtemos circuitos de expressões lógicas, podemos obter expressões lógicas de circuitos. A obtenção da expressão de um circuito consiste em aplicar as variáveis em cada porta lógica do circuito, passo a passo.



1 - primeiro passo:



2 - segundo passo:

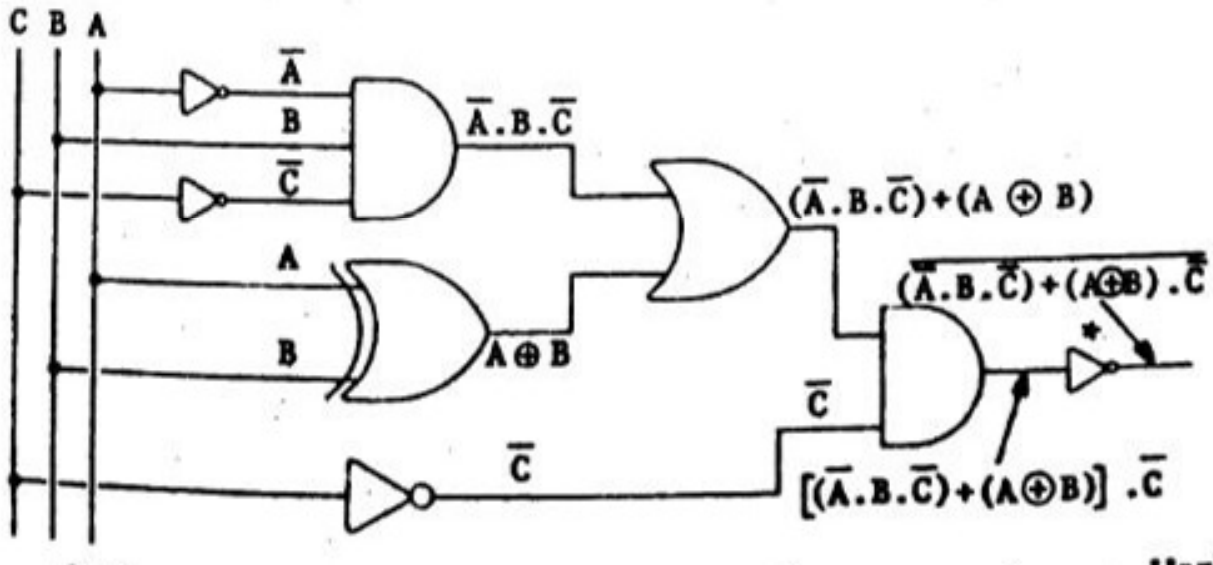


Logo,a expressão lógica do circuito é:

$L = (A.B) + \overline{A}$

EXERCÍCIOS RESOLVIDOS:

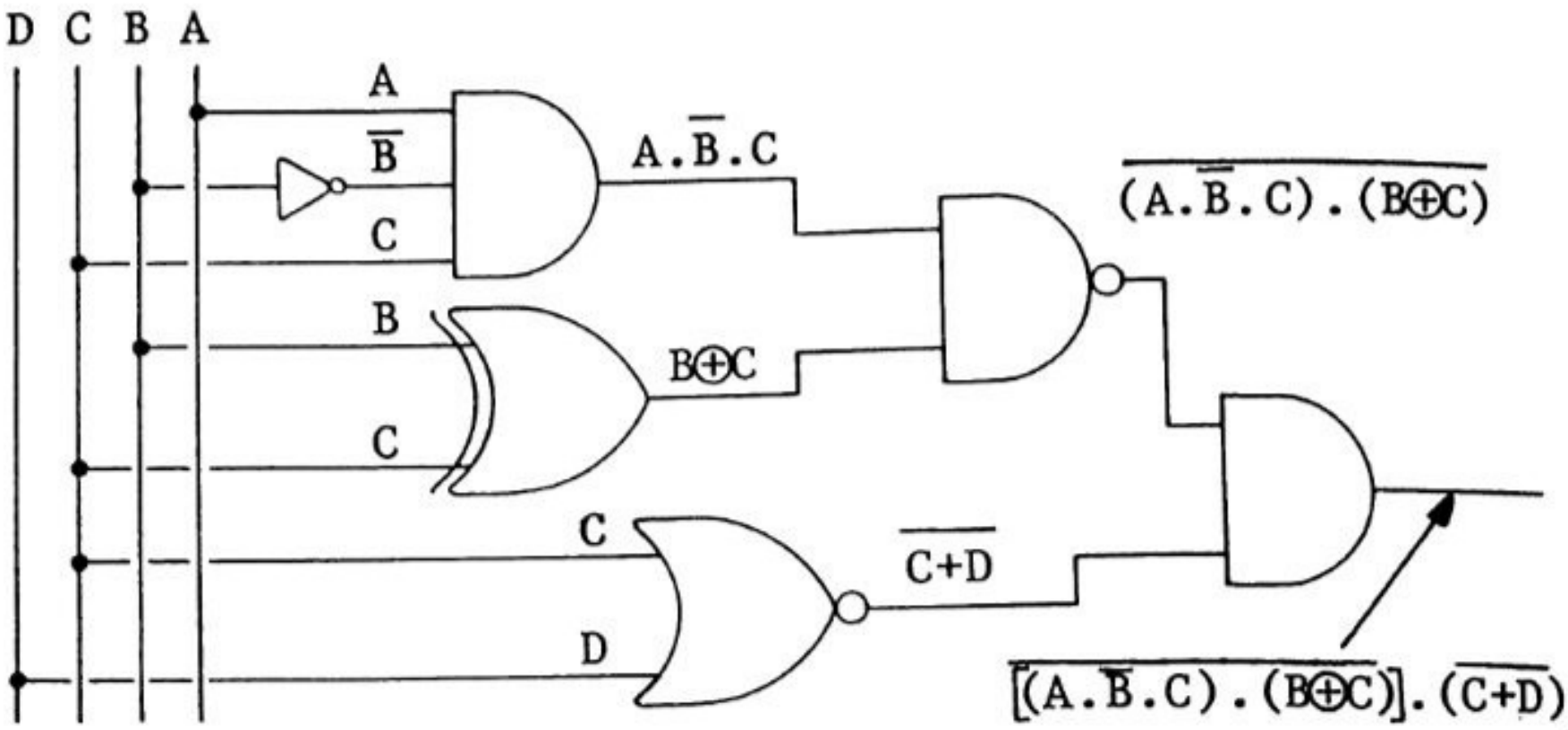
1) Obter a expressão lógica do circuito abaixo:



*Observamos que, se tivermos um "NÃO" posterior a qualquer expressão, a barra de negação deverá cobrir toda expressão.

Logo: $L = \overline{\left[(\overline{A}.B.\overline{C}) + (A \oplus B)\right].\overline{C}}$

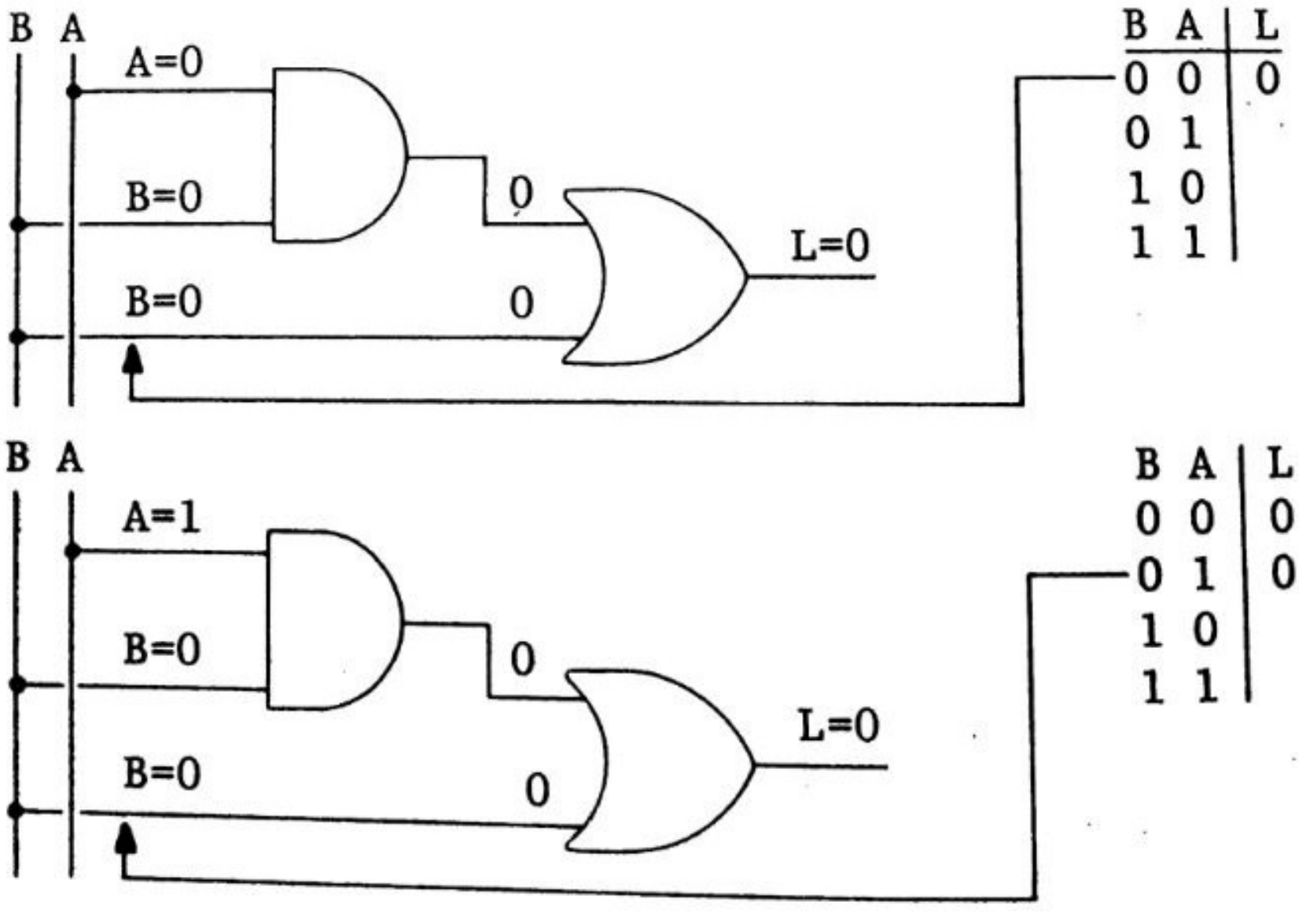
2) Obter a expressão lógica do circuito abaixo:



Logo: $L = \overline{[(A.\overline{B}.C) \cdot (B \oplus C)]} \cdot \overline{(C + D)}$

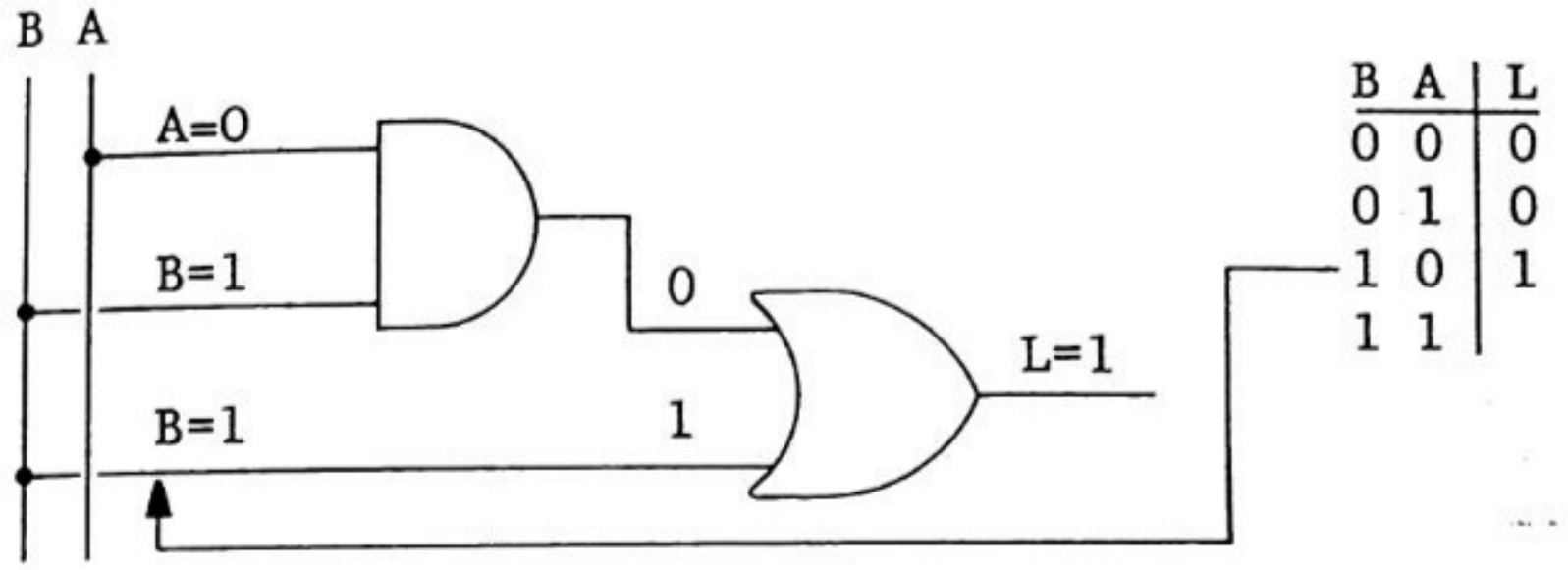
CIRCUITOS QUE GERAM TABELA VERDADE:

Os circuitos também geram tabelas verdade, bastando para isso, aplicar os bits "0" (zero) e "1" (um) das variáveis em cada porta lógica e obter o resultado na saída do circuito. Exemplo:

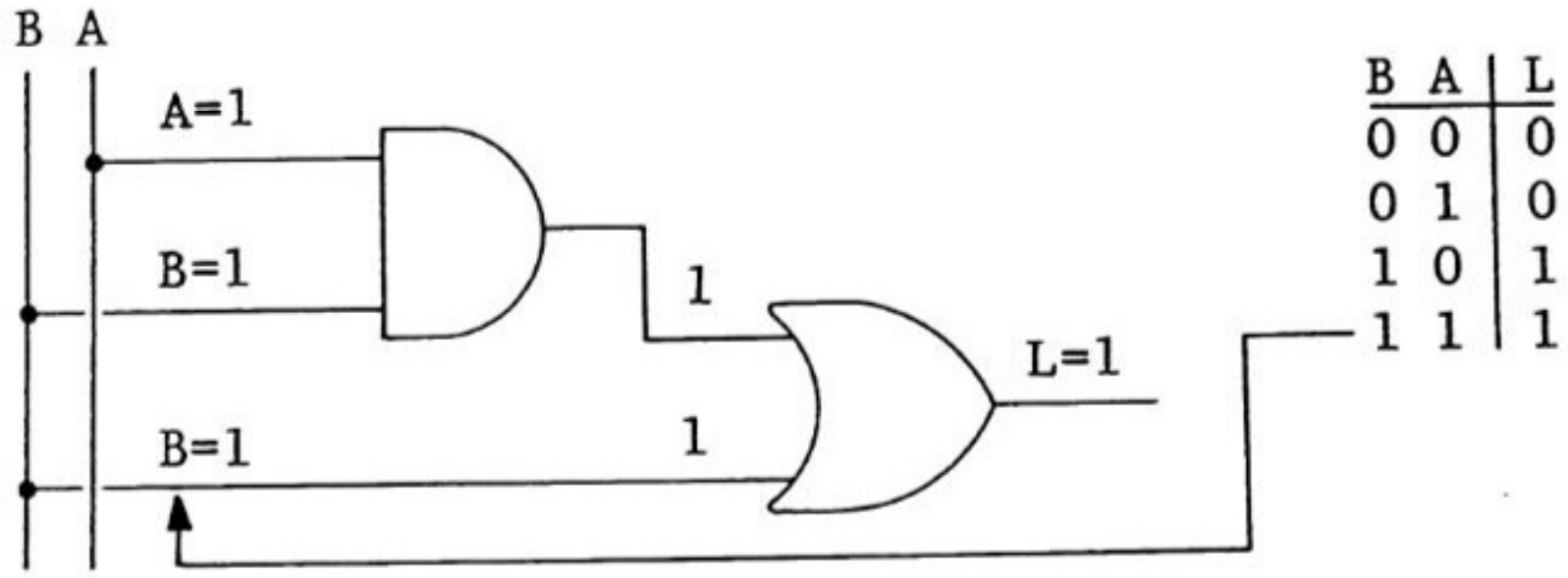


B	A	L
0	0	0
0	1	
1	0	
1	1	

B	A	L
0	0	0
0	1	0
1	0	
1	1	



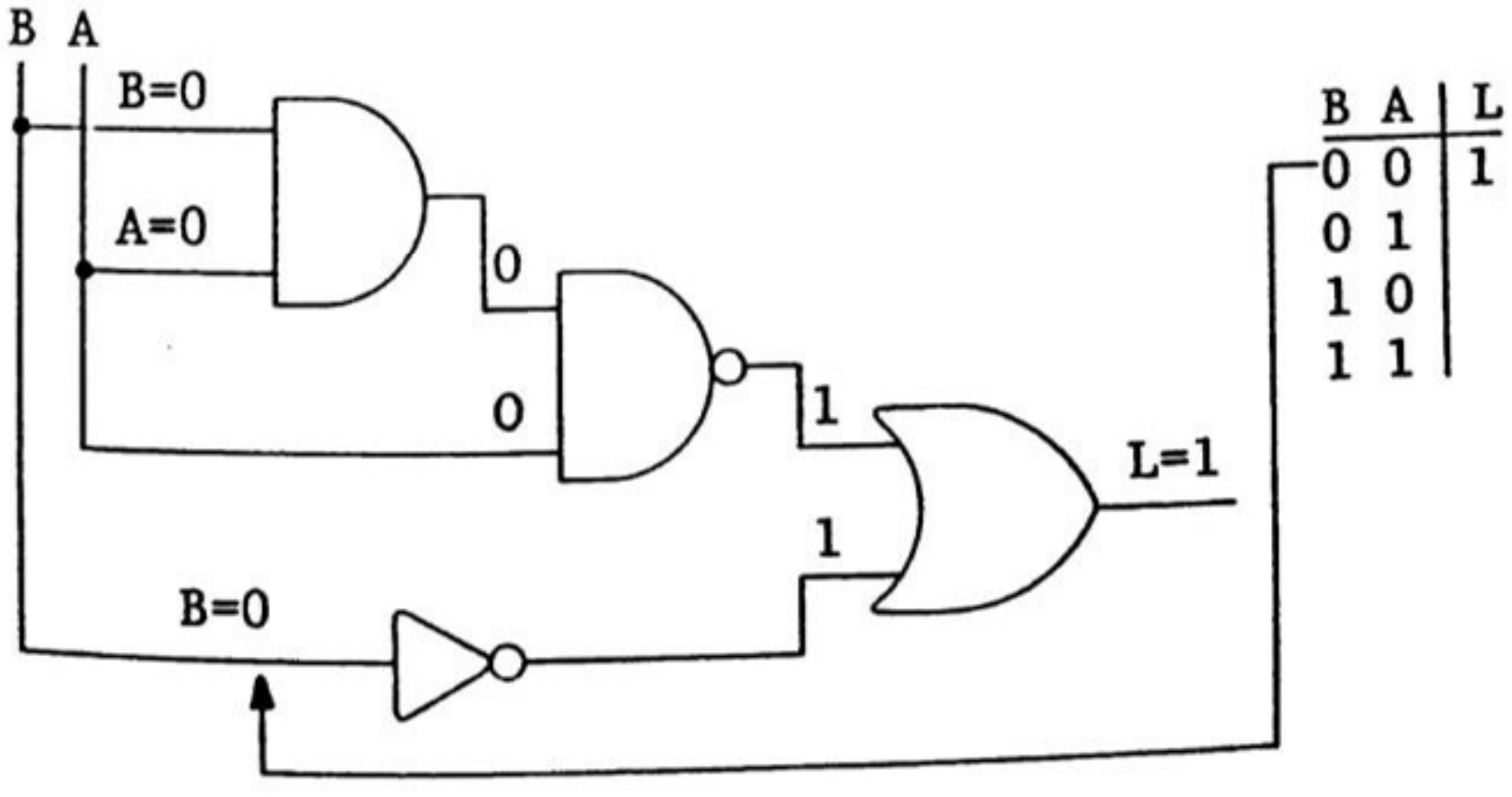
B	A	L
0	0	0
0	1	0
1	0	1
1	1	



B	A	L
0	0	0
0	1	0
1	0	1
1	1	1

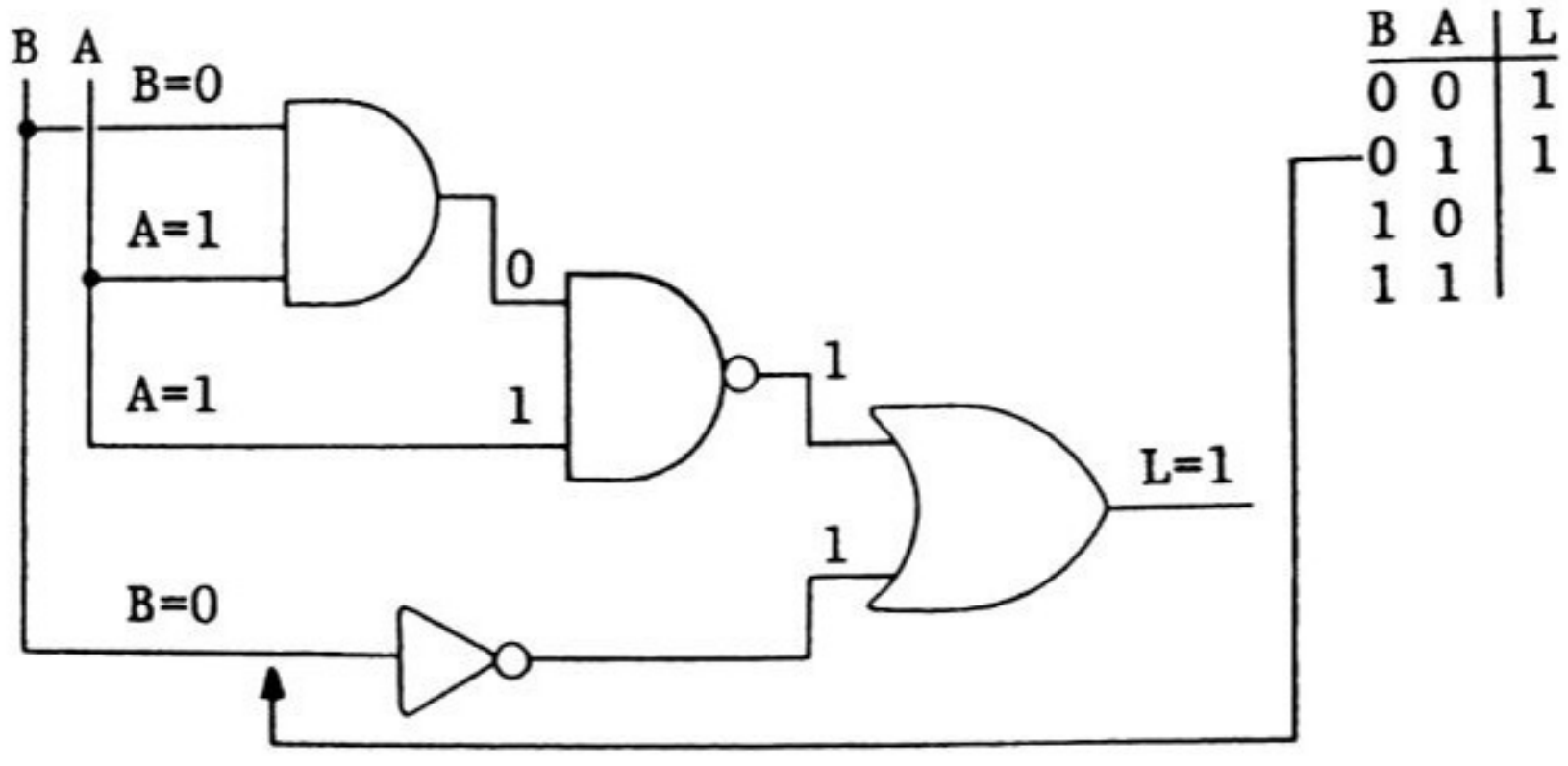
EXERCÍCIOS RESOLVIDOS:

1) Obter a tabela verdade do circuito abaixo:

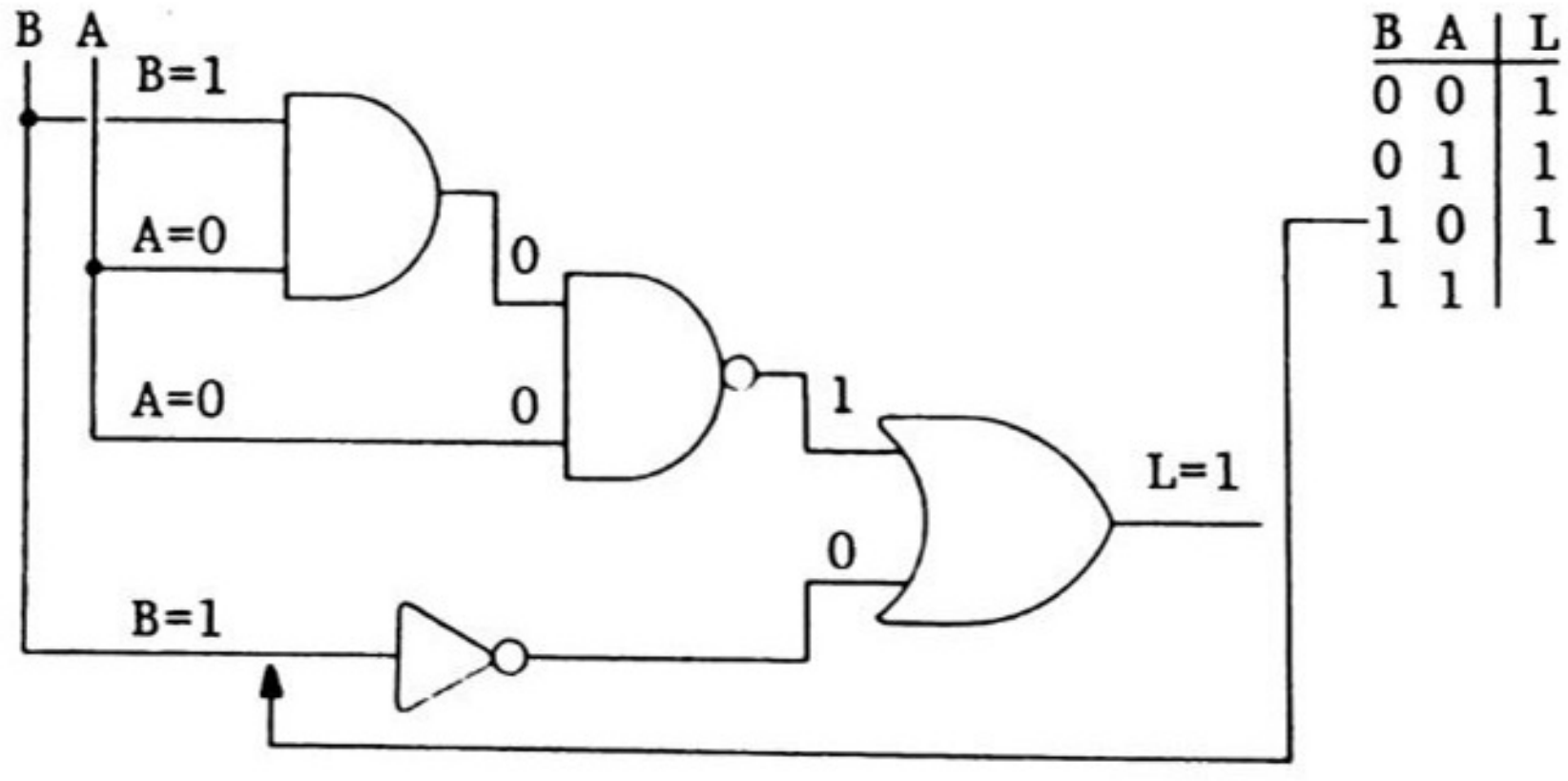


B	A	L
0	0	1
0	1	
1	0	
1	1	

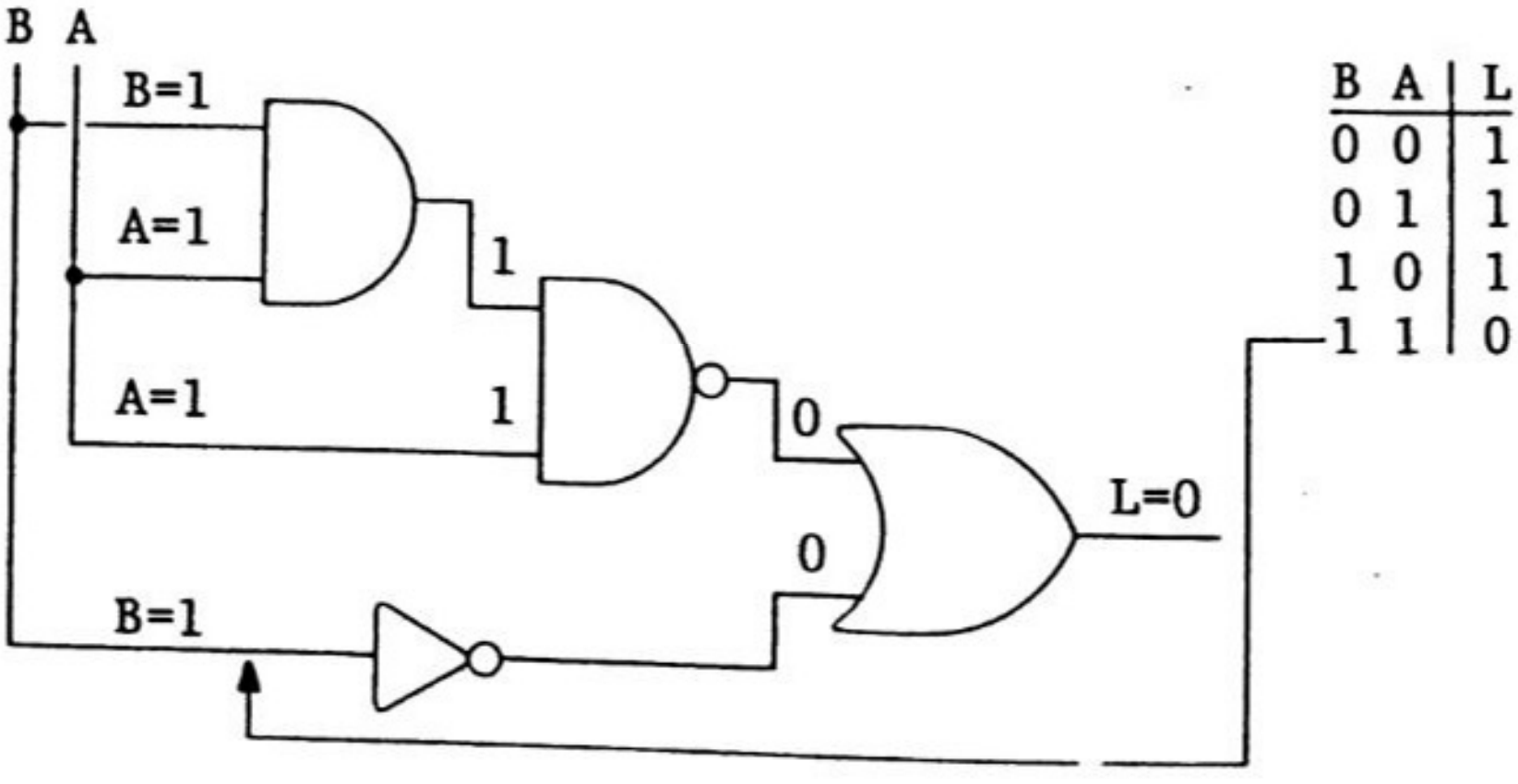
16



B	A	L
0	0	1
0	1	1
1	0	
1	1	

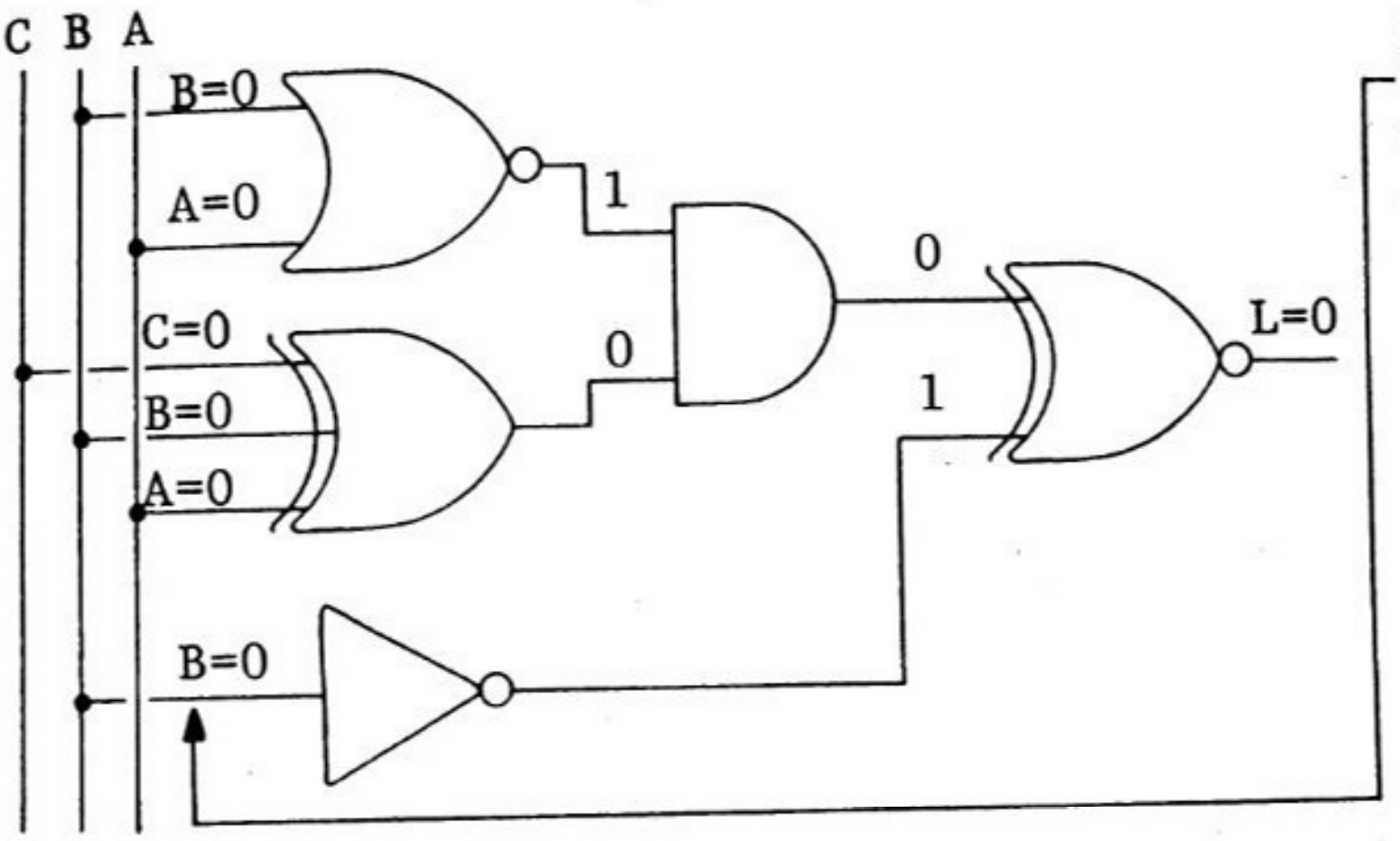


B	A	L
0	0	1
0	1	1
1	0	1
1	1	

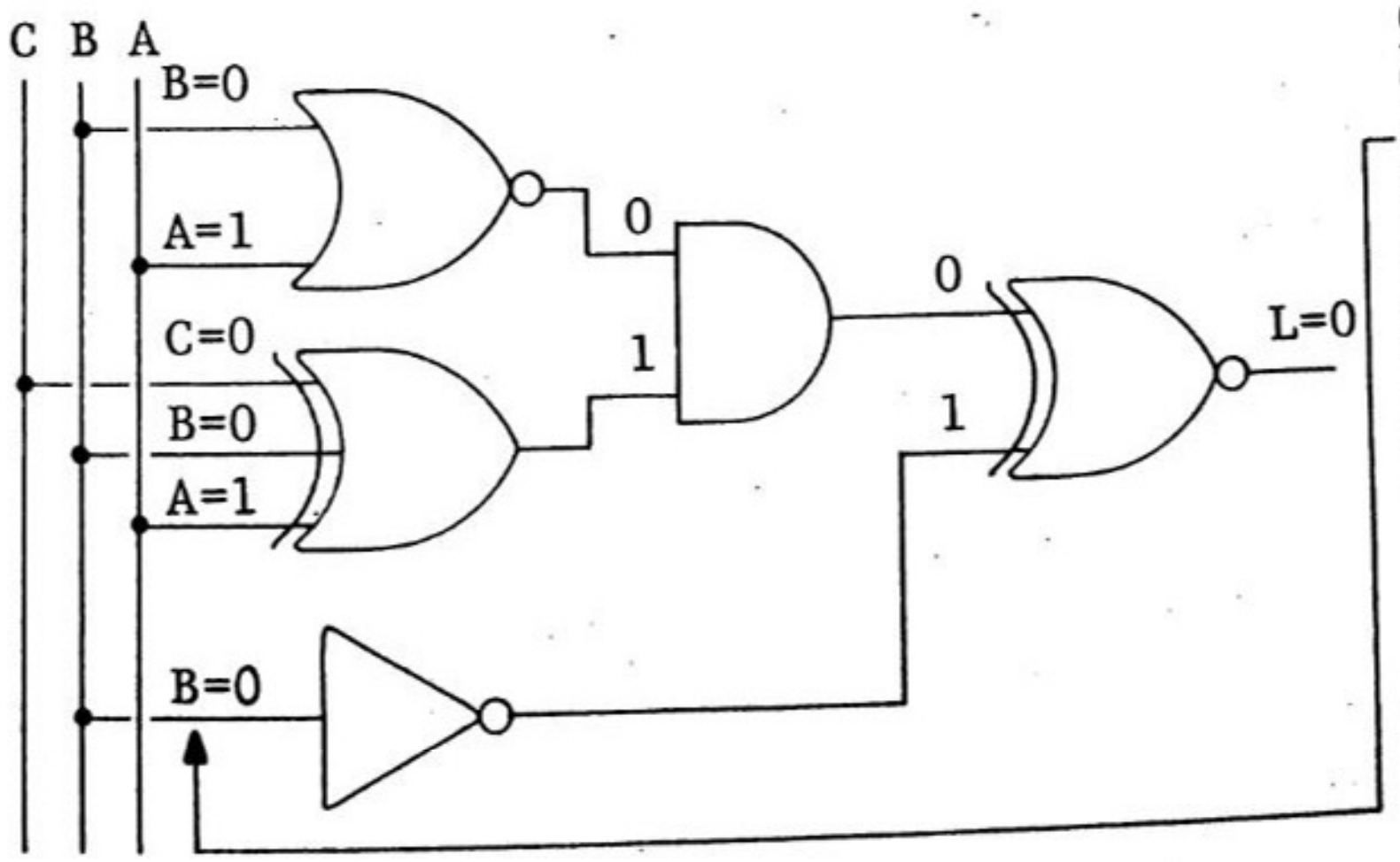


B	A	L
0	0	1
0	1	1
1	0	1
1	1	0

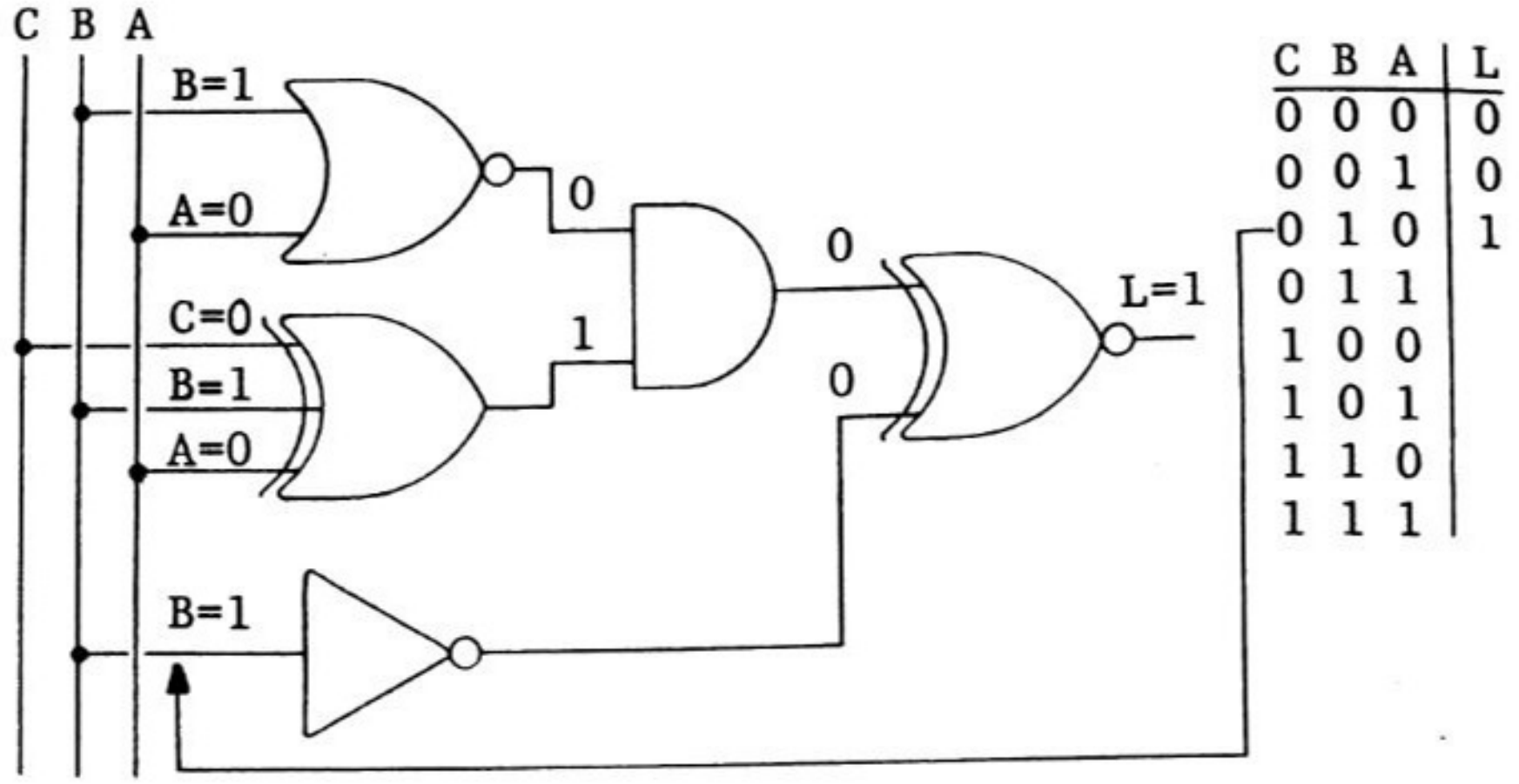
2) Obter a tabela verdade do circuito abaixo:



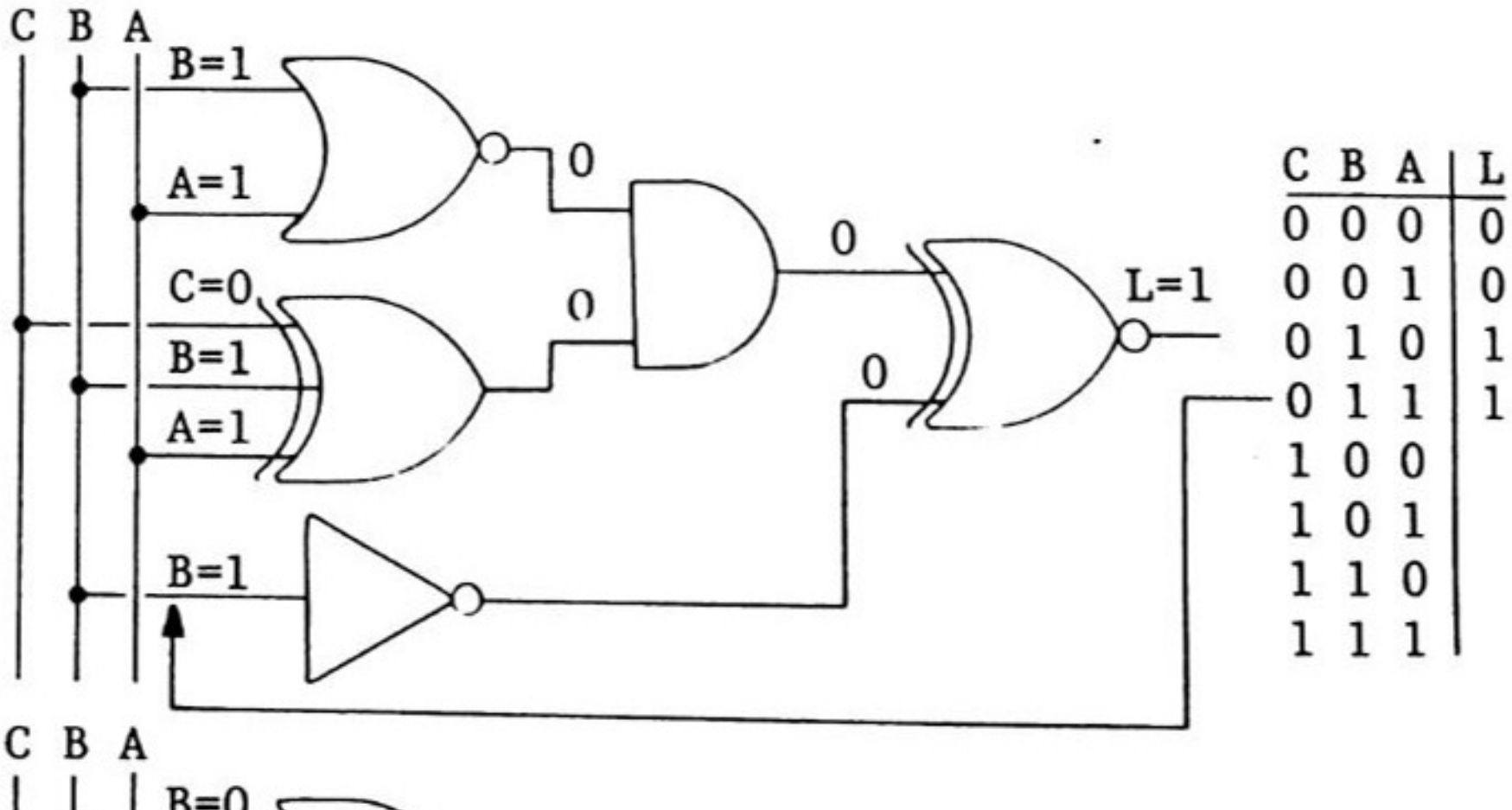
C	B	A	L
0	0	0	0
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	



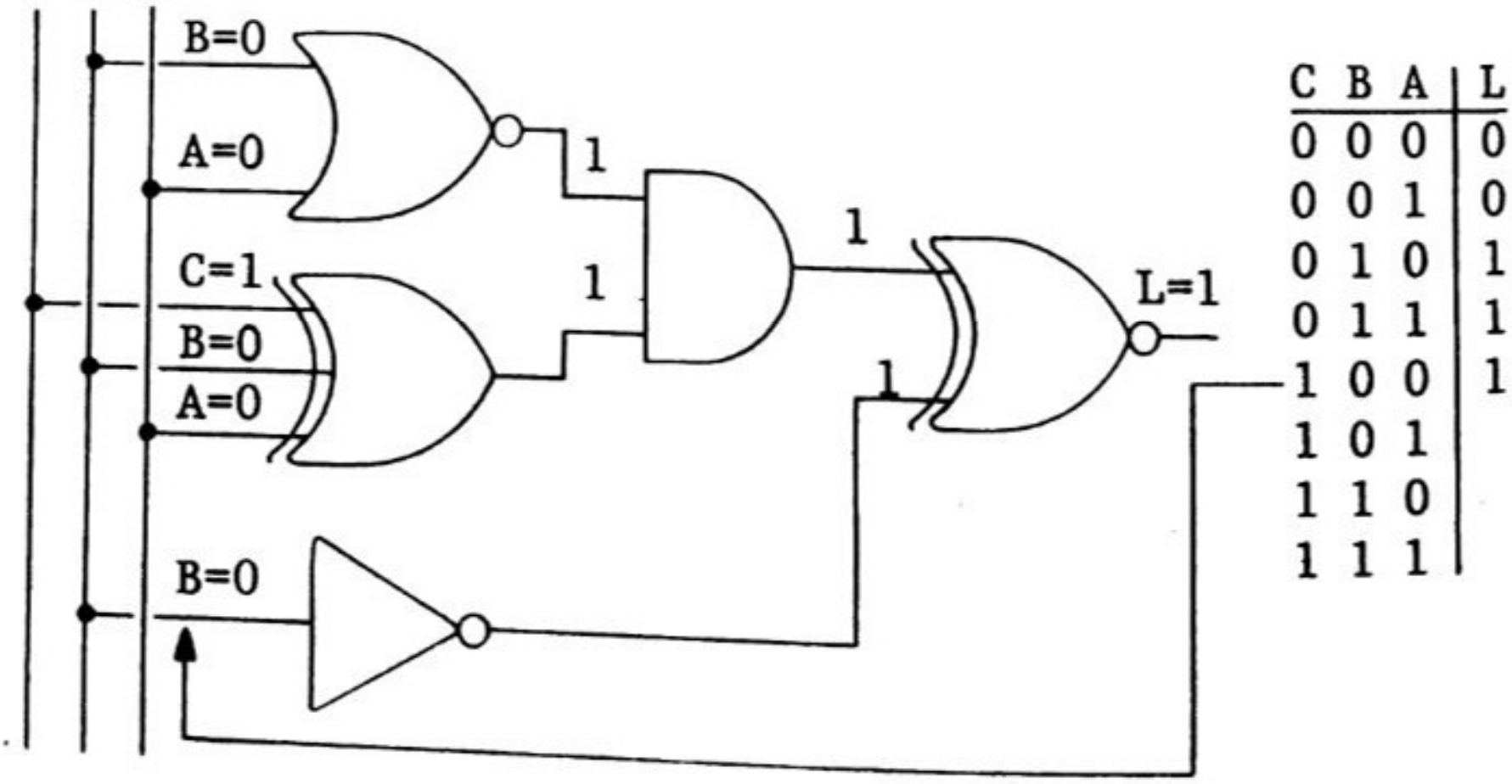
C	B	A	L
0	0	0	0
0	0	1	0
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	



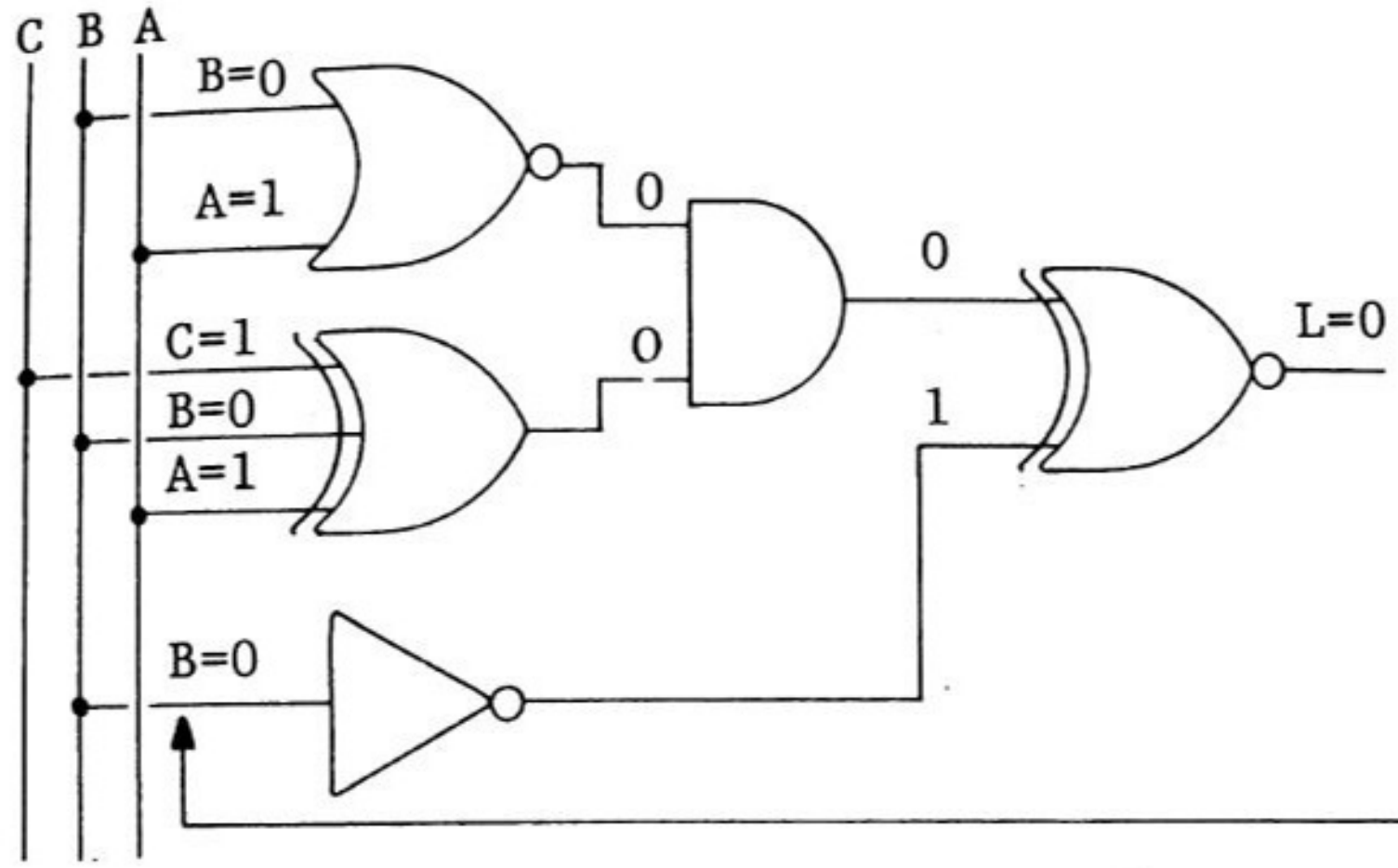
C	B	A	L
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	



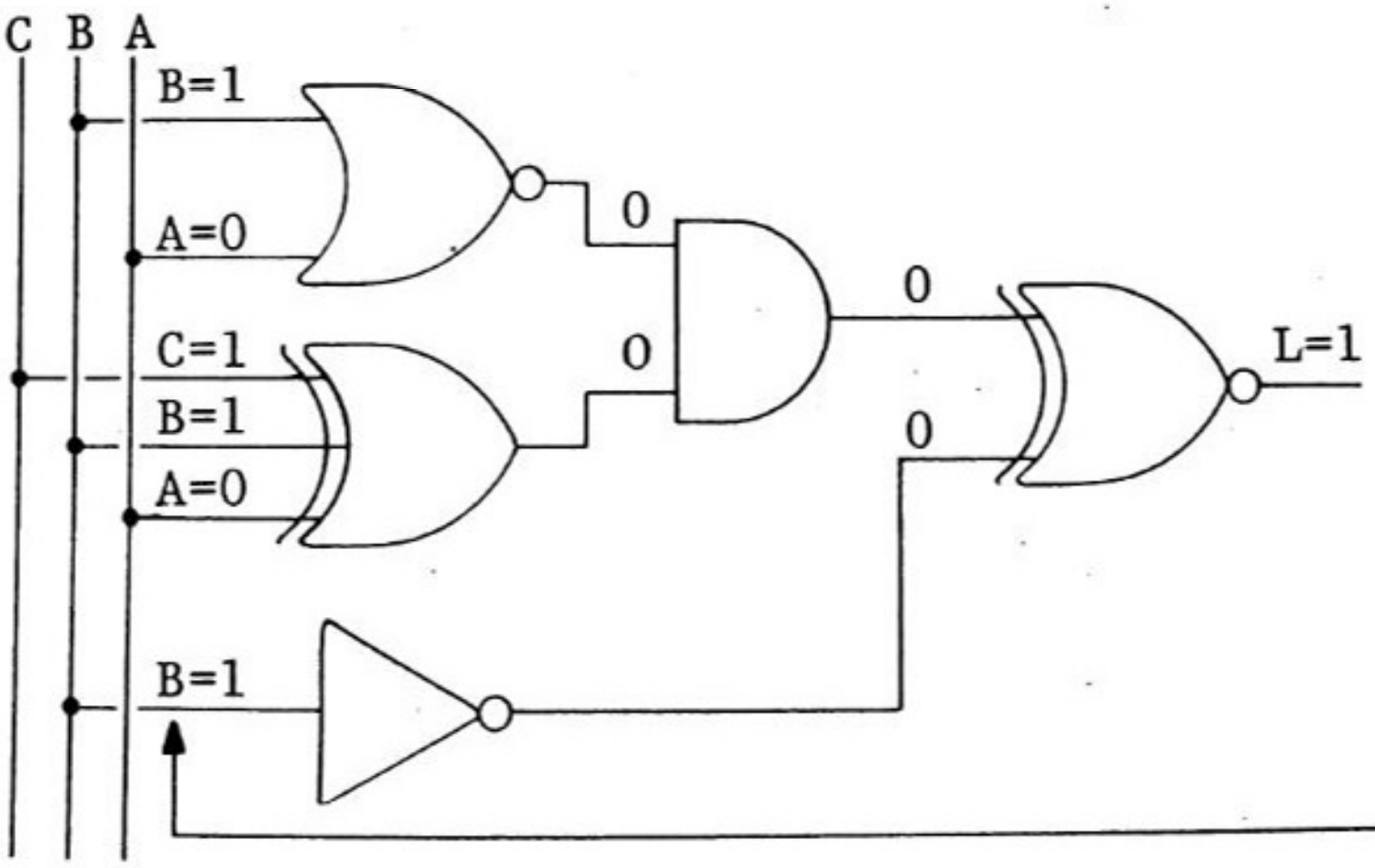
C	B	A	L
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	
1	0	1	
1	1	0	
1	1	1	



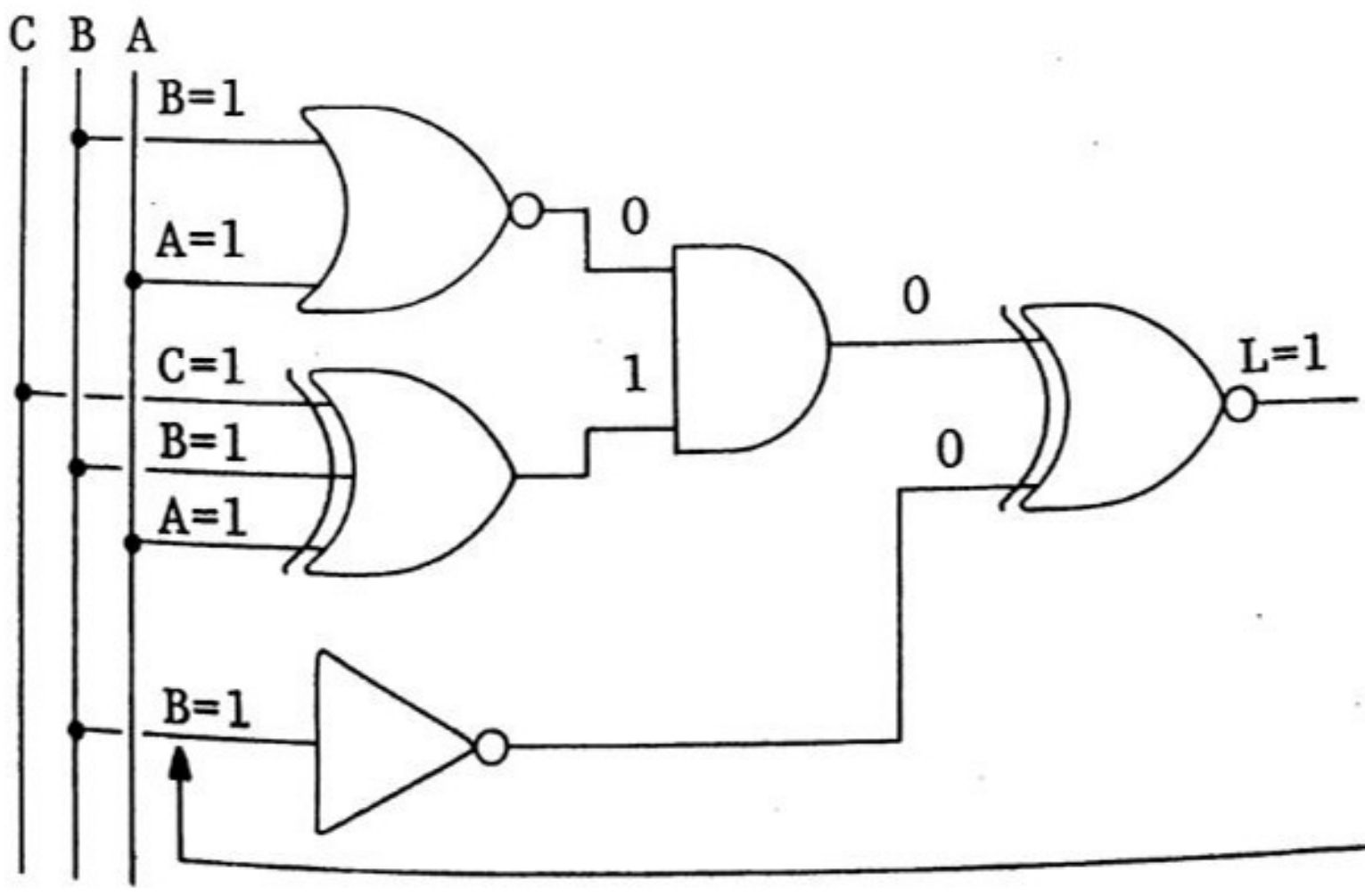
C	B	A	L
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	
1	1	0	
1	1	1	



C	B	A	L
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	
1	1	1	



C	B	A	L
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	



C	B	A	L
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

EQUIVALÊNCIA DE BLOCOS LÓGICOS:

É possível obtermos qualquer bloco lógico básico, utili - zando um outro bloco qualquer e inversores, uma vez que a maior parte de circuitos digitais é feita com portas "NÃO E" e "NÃO OU" (NAND e NOR), e mais, podemos também obter inversores a partir dessas portas.

OBTENÇÃO DE INVERSORES:

Podemos obter inversores de duas maneiras, ou seja, a par tir de uma porta "NÃO E" ou de uma porta "NÃO OU". Para tanto basta interligarmos suas entradas. Em ambos os casos, temos - uma saída que é o complemento da entrada. Vamos então anali sar esses dois casos separadamente.

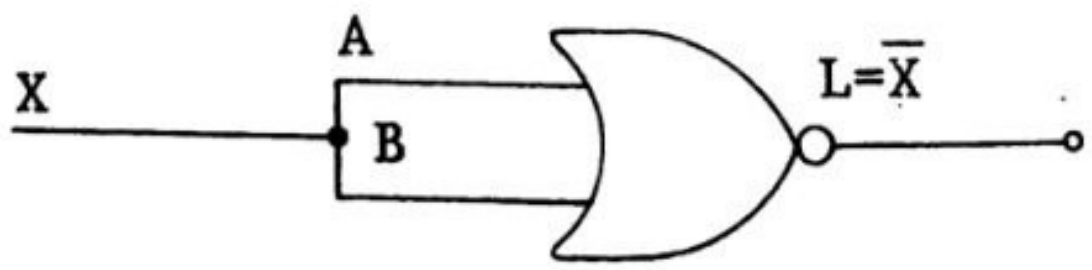
INVERSOR A PARTIR DE UMA PORTA NÃO OU:

Primeiramente, analisemos a tabela verdade de uma porta NOR.

B	A	L
0	0	1
0	1	0
1	0	0
1	1	0

Saídas inversas

Podemos notar que no caso em que A = 0 e B = 0, a saída assume valor (1), e quando A = 1 e B = 1, a saída assume valor (0). Concluímos então que, se interligarmos os terminais de entrada de uma porta "NÃO OU", teremos sempre a condição A = B. Desta forma, teremos:



No caso X = A = B. Se aplicarmos 1 à entrada X, segundo a tabela verdade acima, teremos zero (0) na saída. E, se aplicarmos zero na entrada X, obteremos 1 (um) na saída. Com base nesses fatos, montamos então a tabela verdade de um inversor.

X	L
0	1
1	0

INVERSOR A PARTIR DE UMA PORTA "NÃO E":

Analogamente ao caso anterior, vamos primeiramente escrever a tabela verdade de uma porta "NÃO E".

B	A	L
0	0	1
0	1	1
1	0	1
1	1	0

Saídas inversas

Interligando-se os terminais A e B, recaímos no caso anterior e, desta forma, a porta "NÃO E" se transforma num bloco inversor.

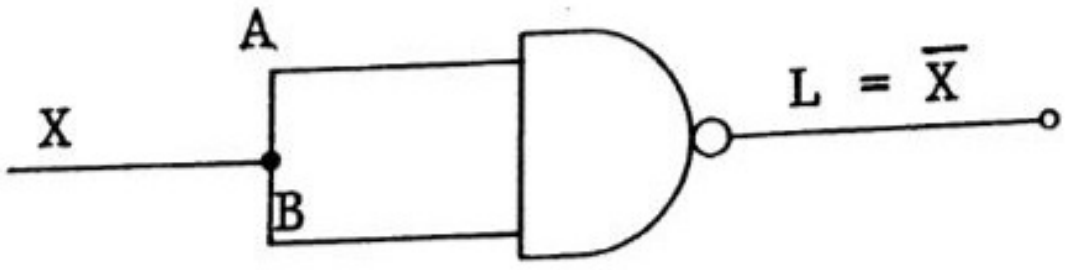
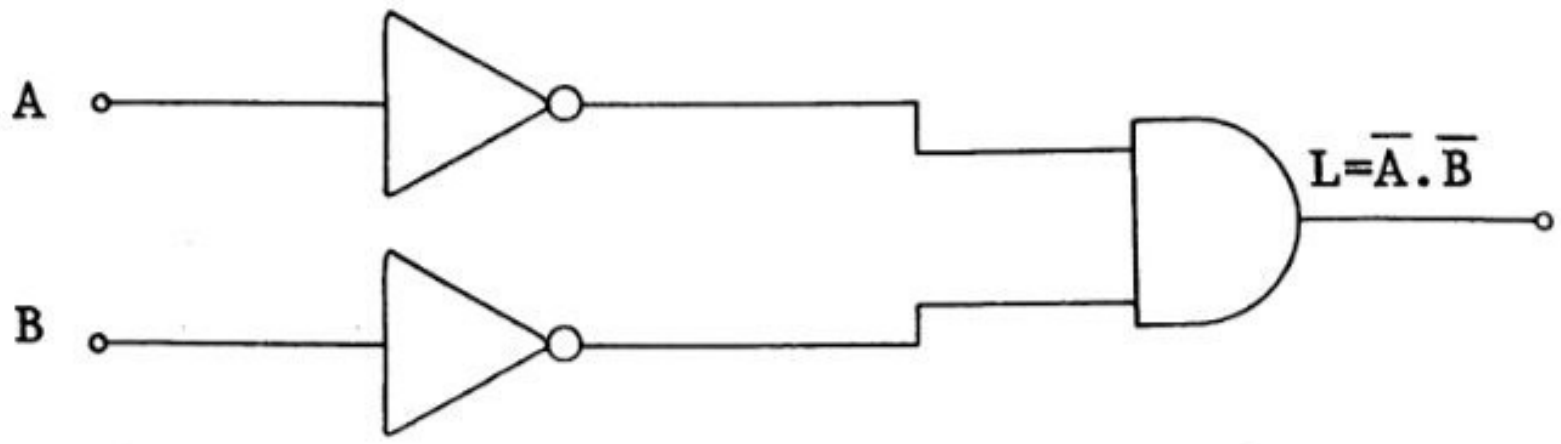


Tabela verdade de um circuito inversor, obtido a partir de uma porta "NÃO E".

X	L
0	1
1	0

OUTRAS EQUIVALÊNCIAS ENTRE BLOCOS LÓGICOS:

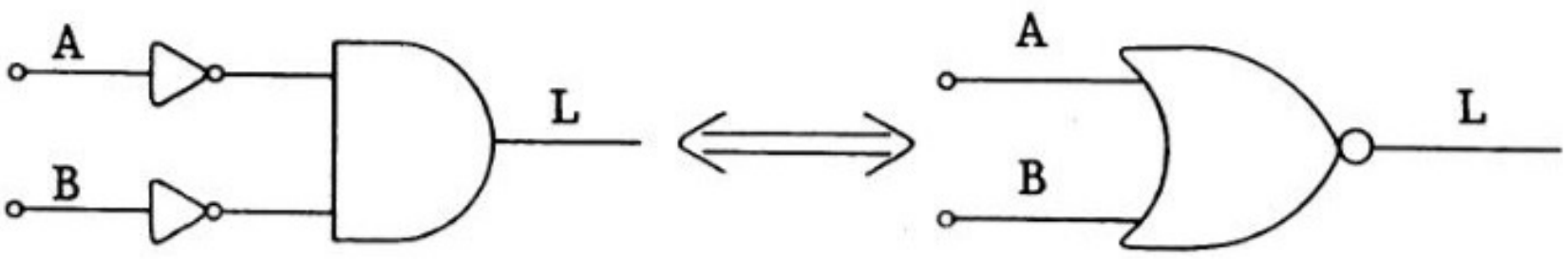
Porta "NÃO OU" a partir de porta "E" e "inversor".



Uma das maneiras de se provar tal fato é através do teore ma de De Morgan. Veja a apostila ED-4,página 9,onde vimos todos os fundamentos da álgebra de Boole.

Temos então que:

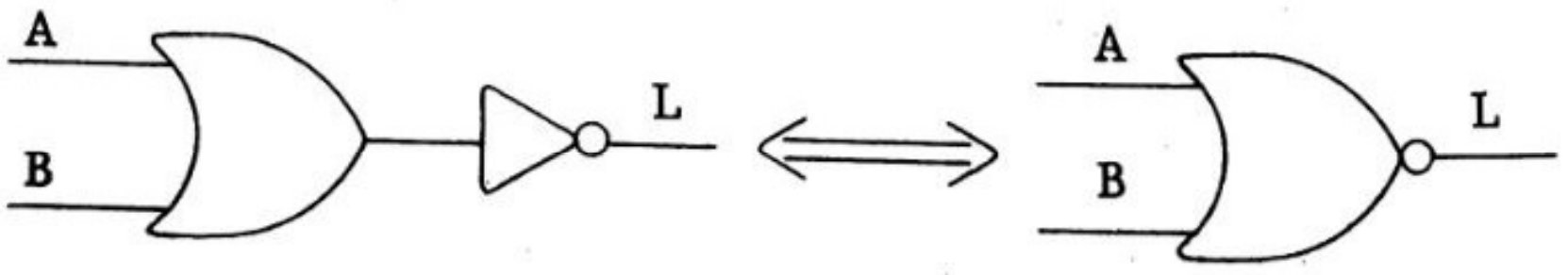
$L = \overline{A} \cdot \overline{B} \iff L = \overline{A + B}$



$\iff$ Este sinal indica equivalência.

Podemos ainda obter uma porta "NÃO OU" a partir de uma porta "OU", com um inversor na saída:

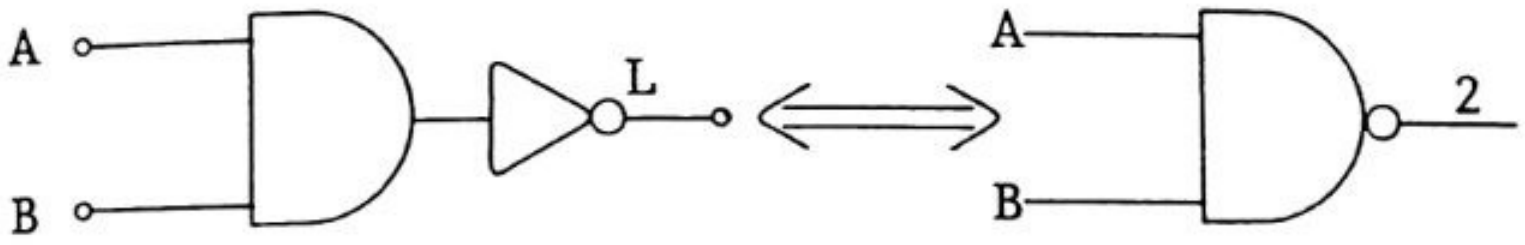
$L = \overline{A + B} \iff L = \overline{A + B}$



Porta "NÃO E" a partir de portas "E" e inversores.

Basta colocarmos um inversor na saída de uma porta "E", para obtermos uma porta "NÃO E".

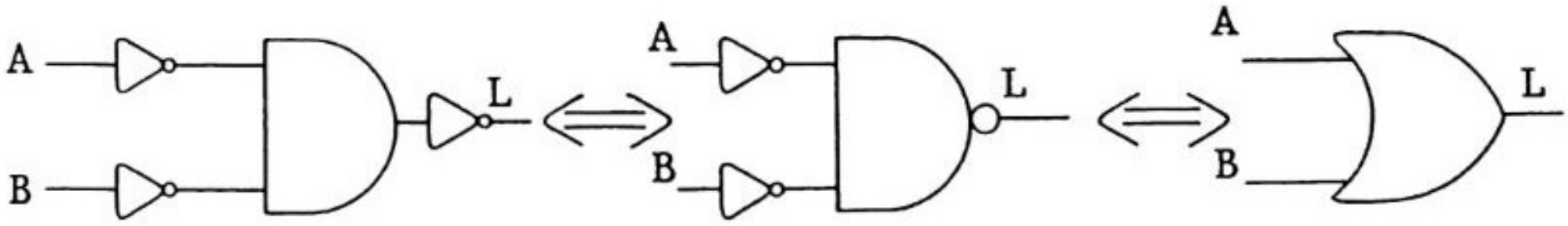
$L = \overline{A \cdot B} \iff L = \overline{A \cdot B}$



Porta "OU" a partir de portas "E" e inversores.

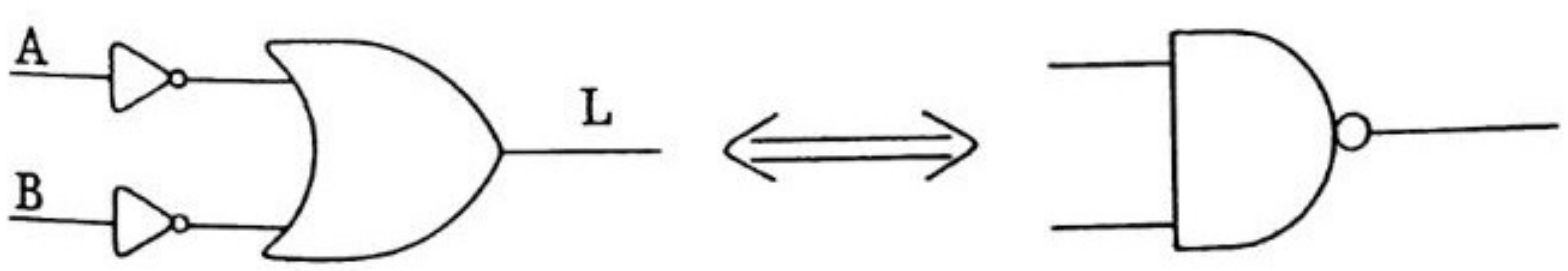
Basta colocarmos um inversor na saída e na entrada da porta "E".

$L = \overline{\overline{A} \cdot \overline{B}} \iff L = \overline{\overline{A} \cdot \overline{B}} \iff L = A + B$



Porta "NÃO E" a partir de porta "OU" e inversores.

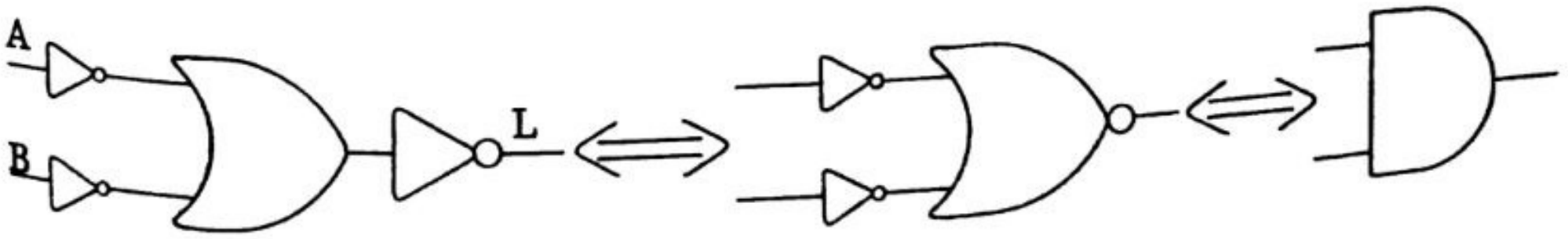
$L = \overline{A} + \overline{B} \iff L = \overline{A \cdot B}$



Uma das maneiras de se provar tal fato é através do teorema de De Morgan.

Porta "E" a partir de porta "OU" e inversores.

$L = \overline{\overline{A} + \overline{B}} \iff L = \overline{\overline{A} + \overline{B}} \iff L = A \cdot B$



EXERCÍCIOS PROPOSTOS:

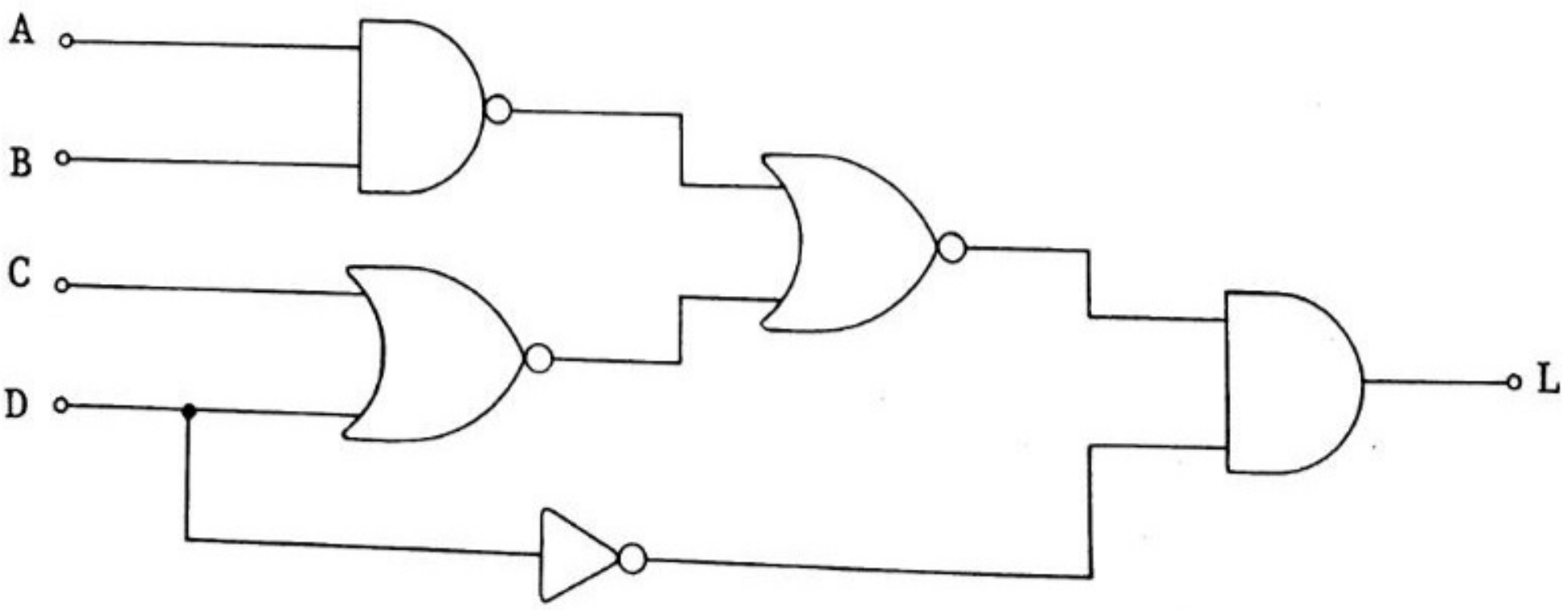
Conhecendo-se as expressões booleanas abaixo, desenhe os respectivos circuitos:

a) $L = (A.B.C) + \overline{C} + (B.\overline{C})$

b) $L = (A+C) \; . \; B + B.\overline{A}$

c) $L = \overline{B}.\overline{C}.\overline{D} + \overline{A.D} + A.\overline{C}.D$

Dado o circuito abaixo, escreva a sua expressão booleana e sua respectiva tabela verdade:



CURSO DE ELETRONICA DIGITAL E MICROPROCESSADORES

EXAME DA LIÇÃO ED-6

OBSERVAÇÃO

- cada questão é composta de três ou quatro alternativas.
- só uma delas está correta.
- marque a que considerar correta.
- passe as respostas corretas para a folha de exame.

1) Para uma expressão booleana com 6 variáveis, o número de combinações possíveis para a confecção da tabela verdade é:

a) 6
b) 36
c) 64

2) Para se construir a tabela verdade é necessário sabermos:

a) somente o número de variáveis;
b) número de variáveis, expressão booleana e circuito lógico;
c) n.d.a.

3) As expressões $(\overline{A} + \overline{B})$ e $(\overline{A \cdot B})$ são:

a) iguais;
b) diferentes;
c) proporcionais.

4) Obter a expressão lógica da tabela verdade abaixo com implementação positiva:

C	B	A	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

a) $A.\overline{B}.\overline{C} + \overline{A}.B.\overline{C} + \overline{A}.\overline{B}.C + \overline{A}.B.C + A.B.C$;
b) $\overline{A}.\overline{B}.\overline{C} + A.\overline{B}.C + \overline{A}.\overline{B}.C + A.\overline{B}.\overline{C} + \overline{A}.B.\overline{C}$;
c) $A.\overline{B}.\overline{C} + \overline{A}.B.C + \overline{A}.\overline{B}.C + A.B.C + A.\overline{B}.C$.

5) Podemos obter uma porta "NÃO OU" a partir:

a) de uma porta "E";
b) de inversores e porta "NÃO OU";
c) de inversor e porta "E".

6) Qual alternativa representa a tabela verdade da expressão booleana $L = (A+B) \cdot \overline{B}.(A \oplus B)$?

a)

VARIÁVEIS B	A	1º MEMBRO A + B	2º MEMBRO $\overline{B}$	3º MEMBRO A ⊕ B	RESULTADO FINAL $L = (A+B) \cdot \overline{B} \cdot (A \oplus B)$
0	0	0	1	0	0
0	1	1	1	1	1
1	0	1	0	1	0
1	1	1	0	0	0

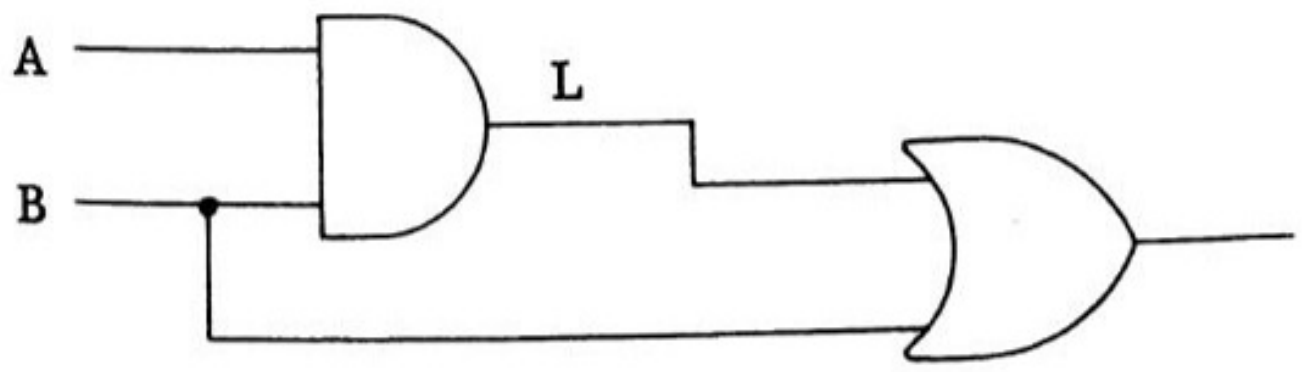
b)

VARIÁVEIS B A	1º MEMBRO A + B	2º MEMBRO $\overline{B}$	3º MEMBRO A ⊕ B	RESULTADO FINAL $L = (A+B) . \overline{B} . (A \oplus B)$
0 0	0	1	1	1
0 1	0	1	0	1
1 0	0	0	0	0
1 1	1	0	1	0

c)

VARIÁVEIS B A	1º MEMBRO A + B	2º MEMBRO $\overline{B}$	3º MEMBRO A ⊕ B	RESULTADO FINAL $L = (A+B) . \overline{B} . (A \oplus B)$
0 0	1	1	0	0
0 1	1	0	1	1
1 0	0	0	1	0
1 1	1	1	0	1

7) Qual alternativa representa a tabela verdade do circuito abaixo:



a)

B	A	L
0	0	0
0	1	1
1	0	1
1	1	1

b)

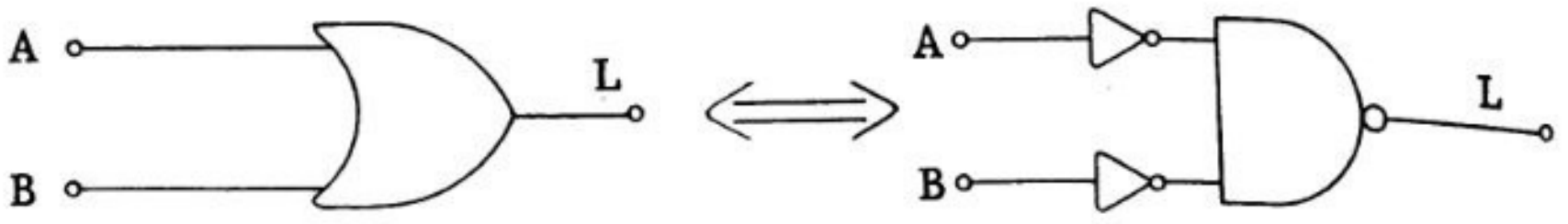
B	A	L
0	0	0
0	1	0
1	0	1
1	1	1

c)

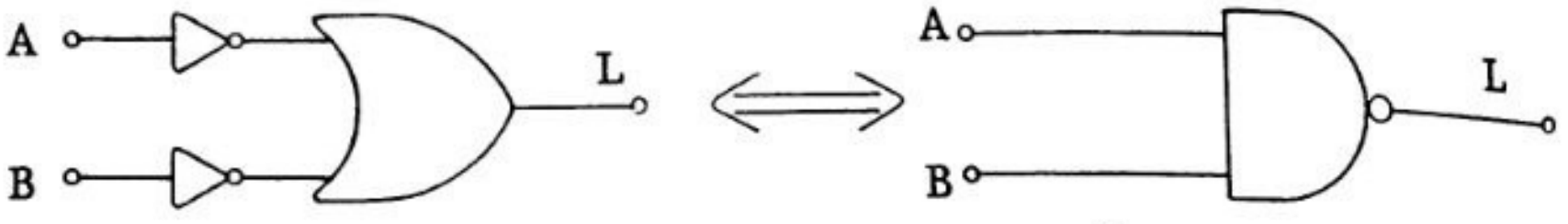
B	A	L
0	0	0
0	1	1
1	0	1
1	1	0

8) Qual das equivalências abaixo é a falsa:

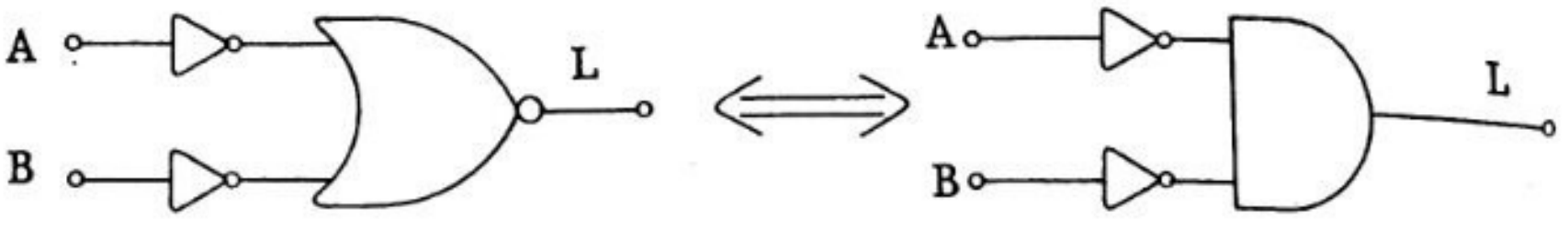
a)



b)

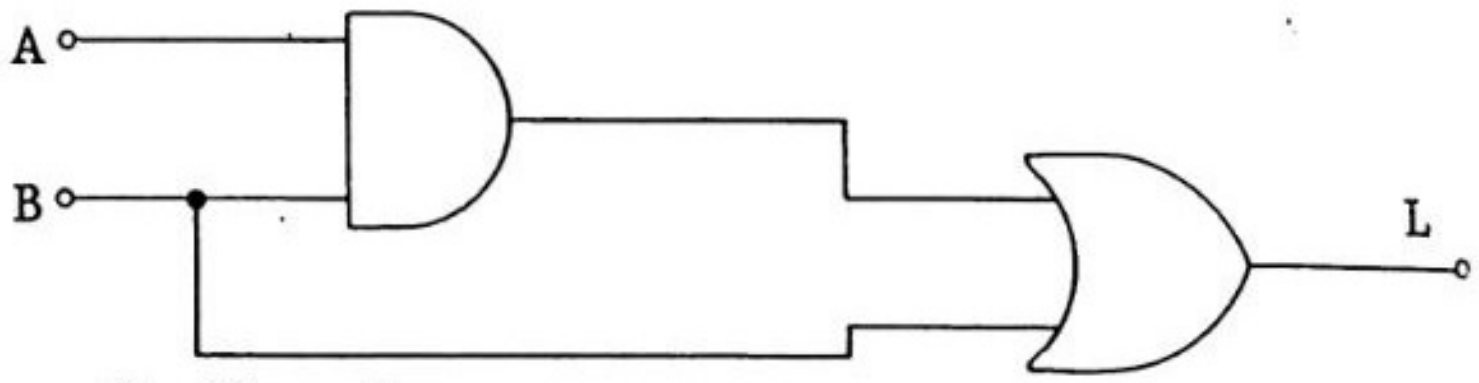


c)



Exercício resolvido no caderno

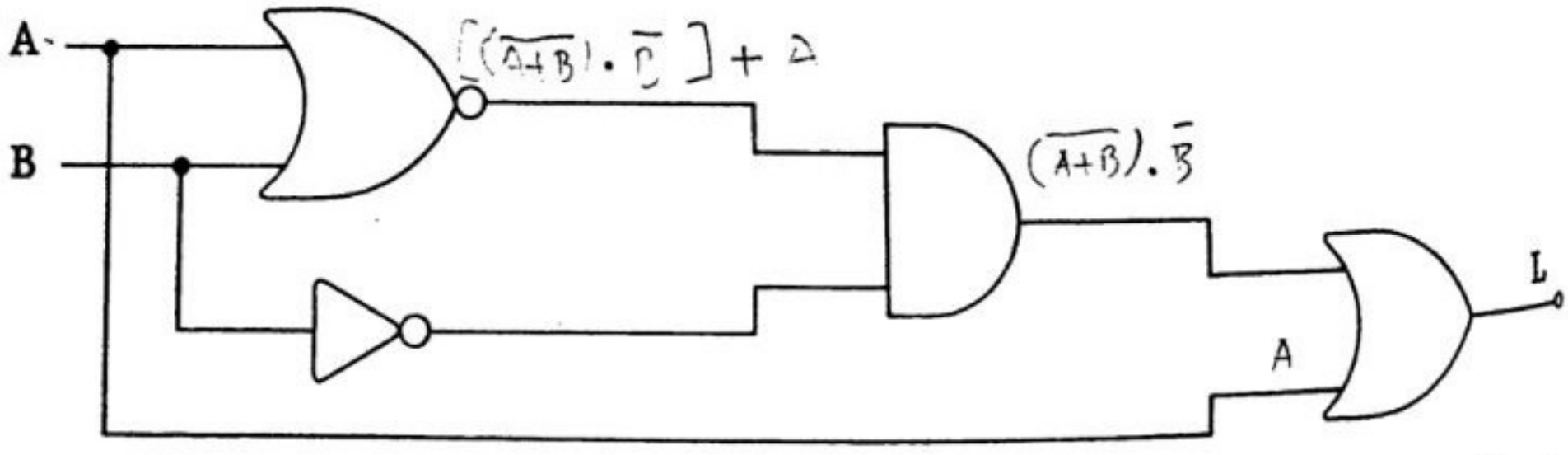
9) Qual é a expressão booleana para o circuito abaixo:



a) L = (A.B) + B;
b) L = (A.B) . B;
c) L = (A+B) . B.

$L = (A.B) + B$

10) Qual é a expressão booleana para o circuito abaixo:



a) $L = (\overline{A+\overline{B}}) . \overline{B} + A;$
b) $L = (\overline{A.B}) . \overline{B} + A;$
c) $L = [\overline{(A+B)} . \overline{B}] + A.$

$L = [(\overline{A+B}) . \overline{B}] + A$

CURSO DE
ELETRONICA DIGITAL E
MICROPROCESSADORES
CAIXA POSTAL 1642 – CEP 86100 – LONDRINA-PR.

1984

LIÇÃO ED-7

PROJETOS DE CIRCUITOS COMBINACIONAIS I

INTRODUÇÃO

Os circuitos combinacionais são projetados, utilizando as portas lógicas estudadas até o presente momento, tais como: porta lógica "E", "OU", "NÃO", "NÃO E", "NÃO OU", "OU EXCLUSIVO" e "NÃO OU EXCLUSIVO". Estas portas são combinadas de tal forma que executem uma tarefa idealizada pelo projetista, seguindo uma seqüência lógica que depende das variáveis de entrada e da saída de uma determinada tabela verdade.

Com circuitos combinacionais, podemos projetar somadores, comparadores, complementadores, conversores ou qualquer circuito lógico que dependa exclusivamente das variáveis de entrada, em função de uma determinada saída.

Para projetarmos um circuito lógico combinacional, necessitamos da expressão booleana que identifique este circuito e, para obtermos isto, necessitamos da tabela verdade. E, finalmente, para obtermos a tabela verdade, necessi-

tamos da identificação das variáveis de entrada e das funções de saída.

Veremos estes casos por meio de projetos práticos que demonstram passo a passo a obtenção do circuito final.

PRIMEIRO PROJETO

Projetar um circuito que acenda as lâmpadas L_1 vermelha e L_2 amarela, toda vez que pressionarmos as chaves "A" e "B" nas seguintes condições:

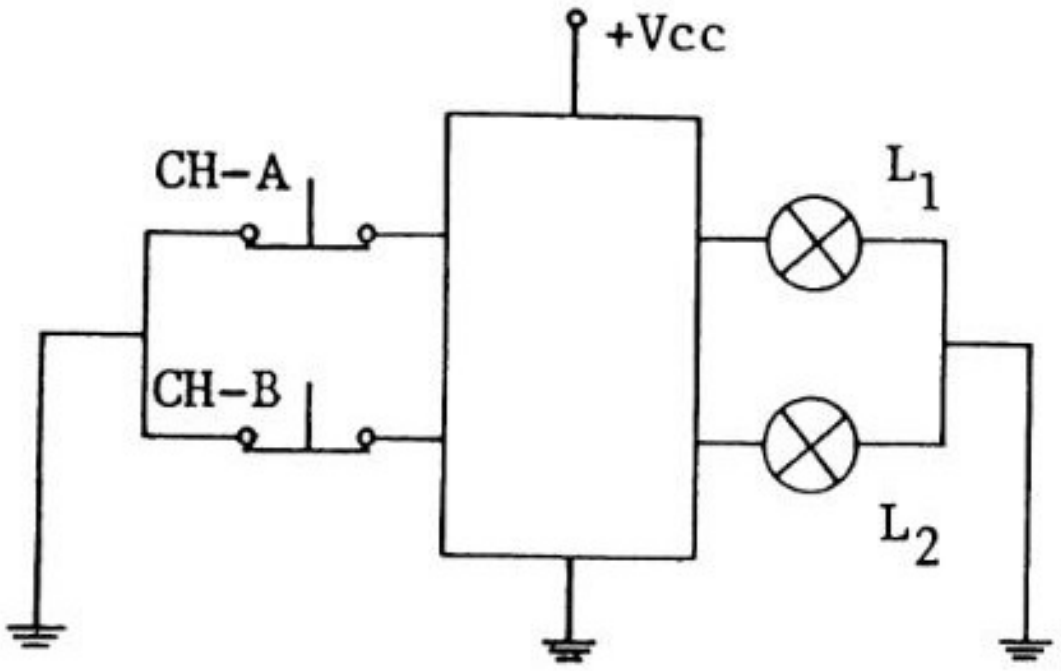


Figura 1 - Diagrama de bloco do circuito

0 - Quando as chaves não forem pressionadas, nenhuma lâmpada deverá acender.

1 - Quando pressionarmos somente a chave "A", deverá acender somente a lâmpada L_1 vermelha.

2 - Quando pressionarmos somente a chave "B", deverá acender somente a lâmpada L_2 amarela.

3 - Quando pressionarmos as chaves "A" e "B", deverão acender as lâmpadas L_1 vermelha e L_2 amarela, simultaneamente.

Para resolver este problema, devemos seguir as seguintes etapas:

1 - Montagem da tabela verdade;
2 - Obtenção da expressão;
3 - Montagem do circuito.

1 - MONTAGEM DA TABELA VERDADE

Ao montar a tabela verdade, devemos observar a quantidade de variáveis envolvidas no projeto. Neste caso, são as chaves "A" e "B". Portanto, temos 2 variáveis (colunas) e conseqüentemente teremos 2^2 possibilidades de combinações ou quatro linhas.

"Macete" para construir a tabela verdade:

- Duas variáveis "A" e "B", logo duas colunas;
- Para saber o número de linhas da tabela, elevamos a base do sistema (2) pela quantidade de variáveis de entrada ($2^2=4$). Logo teremos quatro linhas;
- A primeira coluna ("A") irá variar de um em um, sempre iniciando por zero, pois $2^0=1$;
- A segunda coluna ("B") irá variar de dois em dois, sempre, iniciando por zero, pois $2^1=2$.

CONDIÇÃO	VARIÁVEIS		SAÍDAS	
	$2^1=2$ B	$2^0=1$ A	L_1	L_2
0	0	0		
1	0	1		
2	1	0		
3	1	1		

$2^2=4$ linhas

CONDIÇÕES DAS VARIÁVEIS

Chave desligada = 0
Chave pressionada = 1

A condição 0 (A=0 e B=0) indica que não foi pressionada nanhuma das chaves e conseqüentemente nenhuma das lâmpadas deverá acender, logo $L_1=0$ e $L_2=0$, conforme ilustra a tabela abaixo:

CONDIÇÃO	VARIÁVEIS		SAÍDAS	
	B	A	L_1	L_2
0	0	0	0	0

Lâmpada apagada = 0

A condição 1 (A=1 e B=0) indica que foi pressionada a chave "A". Conseqüentemente acenderá a lâmpada L_1, logo L_1= 1 e L_2=0, conforme ilustra a tabela abaixo:

CONDIÇÃO	VARIÁVEIS		SAÍDAS	
	B	A	L_1	L_2
0	0	0	0	0
1	0	1	1	0

Lâmpada apagada = 0
Lâmpada acesa = 1

A condição 2 (A=0 e B=1) indica que foi pressionada a chave "B". Conseqüentemente acenderá a lâmpada L_2. Logo L_1=0 e L_2=1, conforme ilustra a tabela abaixo:

CONDIÇÃO	VARIÁVEIS		SAÍDAS	
	B	A	L_1	L_2
0	0	0	0	0
1	0	1	1	0
2	1	0	0	1

Lâmpada apagada = 0
Lâmpada acesa = 1

A condição 3 (A=1 e B=1) indica que foram pressionadas as chaves "A" e "B". Conseqüentemente acenderão as lâmpadas L_1 e L_2. Logo L_1=1 e L_2=1, conforme ilustra a tabela abaixo:

CONDIÇÃO	VARIÁVEIS		SAÍDAS	
	B	A	L_1	L_2
0	0	0	0	0
1	0	1	1	0
2	1	0	0	1
3	1	1	1	1

Assim, temos a tabela verdade completa e podemos obter a expressão booleana do circuito que será o passo seguinte.

2 - OBTENÇÃO DA EXPRESSÃO

A obtenção da expressão booleana segue as mesmas condições vistas na lição ED-6. Inicialmente, devemos obter a expressão, utilizando a saída L_1 e, posteriormente, utilizando a saída L_2.

EXPRESSÃO DA TABELA VERDADE COM SAÍDA L_1

Para obtermos a expressão lógica, necessitamos transcrever a tabela verdade, somente com as informações que iremos utilizar, tais como "A", "B" e "L_1", conforme ilustra a tabela abaixo:

VARIÁVEIS		SAÍDA
B	A	L_1
0	0	0
0	1	1
1	0	0
1	1	1

No primeiro passo, devemos identificar as saídas que estejam a nível 1, pois estamos trabalhando com implementação positiva e, ao mesmo tempo, identificar os índices e montar a expressão para a saída L_1

VARIÁVEIS		SAÍDA
B	A	L_1
0	0	0
0	1	1
1	0	0
1	1	1

$A\ \overline{B}$

$A\ B$

$L_1 = A\ \overline{B} + A\ B$

EXPRESSÃO DA TABELA VERDADE COM SAÍDA L_2

Para obtermos a expressão lógica, necessitamos trans-

crever a tabela verdade, somente com as informações "A","B" e "L_2", como ilustra a tabela abaixo:

VARIÁVEIS		SAÍDA
B	A	L_2
0	0	0
0	1	0
1	0	1
1	1	1

No primeiro passo, devemos identificar as saídas que estejam a nível 1, pois estamos trabalhando com implementação positiva e, ao mesmo tempo, identificar os índices e montar a expressão para a saída L_2.

VARIÁVEIS		SAÍDA
B	A	L_2
0	0	0
0	1	0
1	0	1
1	1	1

$\overline{A}$ B

A B

$L_2 = \overbrace{\overline{A}B} + \overbrace{AB}$

Assim as expressões booleanas para as saídas L1 e L2 são:

$$L_1 = A\,\overline{B} + A\,B$$

$$L_2 = \overline{A}\,B + A\,B$$

3 - MONTAGEM DO CIRCUITO

A montagem do circuito segue as mesmas regras vistas na lição ED.6,devendo observar que estamos agora trabalhando - com duas expressões L_1 e L_2. Portanto, devemos inicialmente, identificar a quantidade de variáveis envolvidas que neste

caso são "A" e "B". Em seguida, devemos desenhar o barramento de fiação (barramento de dados) para cada variável das expressões booleanas e finalmente montar o circuito seguindo os passos identificados por asterístico, iniciando pela expressão de L1, como ilustram as figuras 2 e 3.

$$L_1 = \underbrace{A\,\overline{B}}_{*} + \underbrace{A\,B}_{*} \qquad L_2 = \underbrace{\overline{A}\,B}_{*} + \underbrace{A\,B}_{*}$$

* PRIMEIRO PASSO

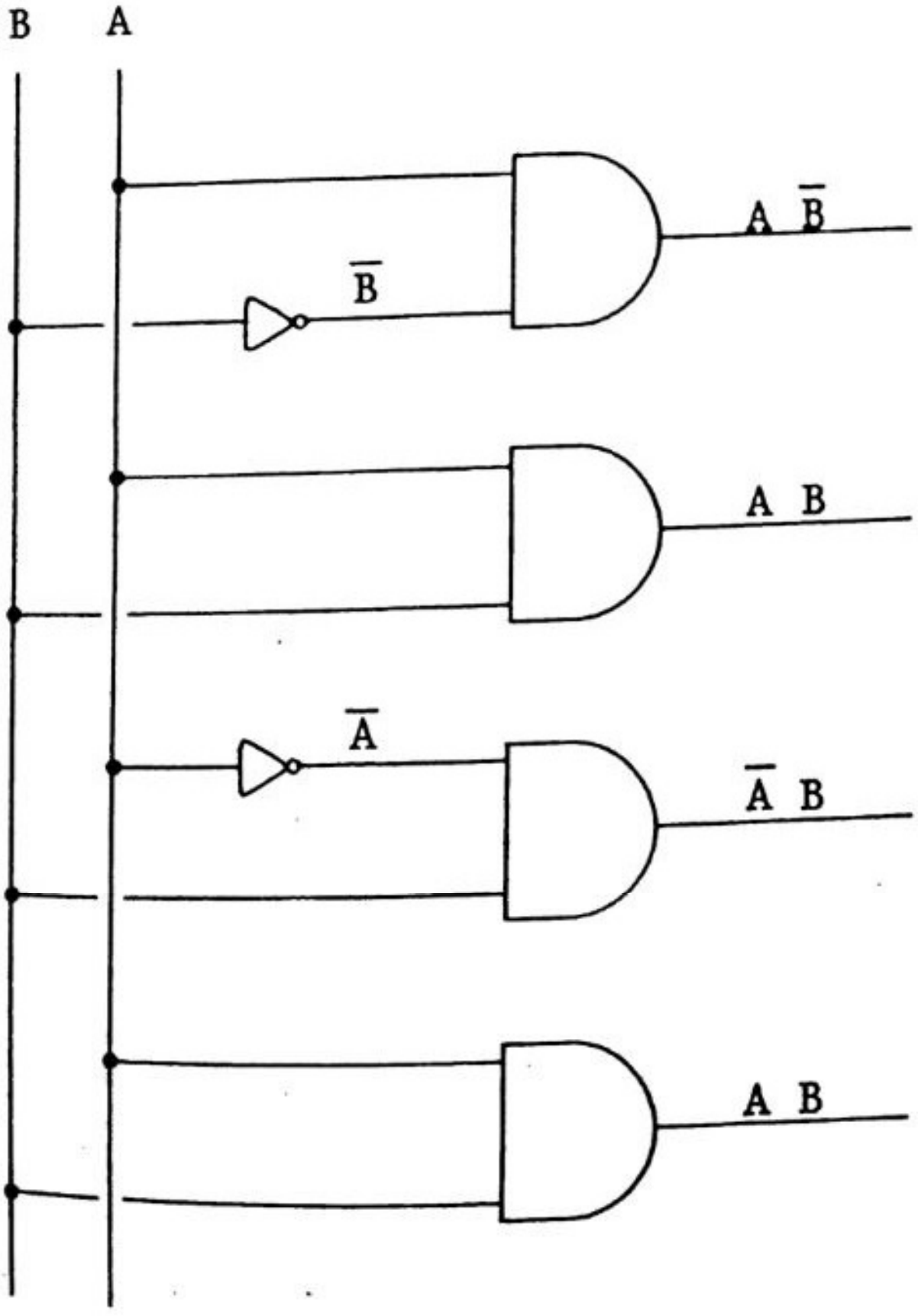


Figura 2

* SEGUNDO PASSO

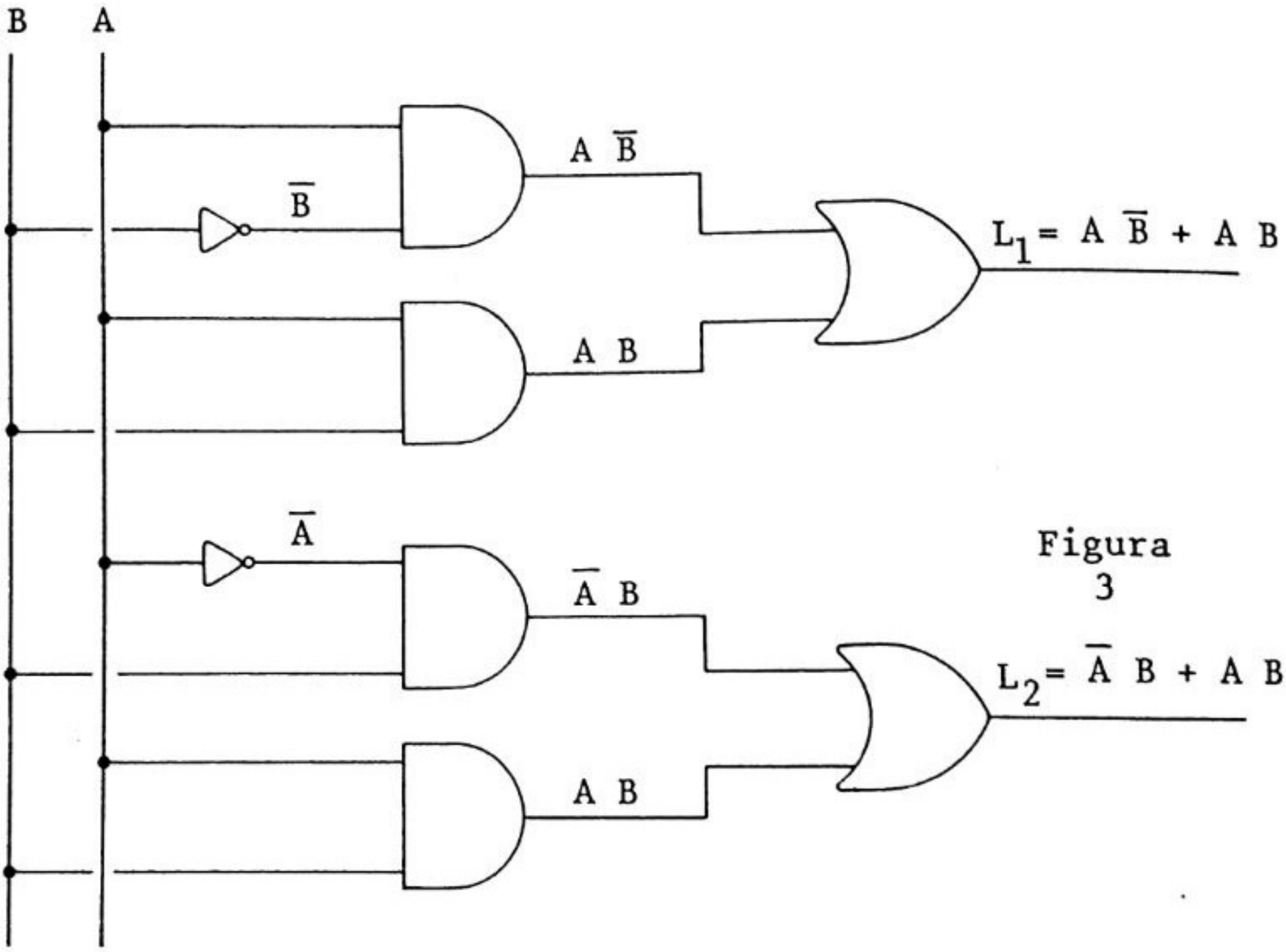


Figura 3

Este circuito pode ser simplificado um pouco mais, pois basta observarmos as duas expressões e concluímos que existe uma condição idêntica, como ilustramos abaixo:

$$L_1 = A\ \overline{B} + \boxed{A\ B}$$

$$L_2 = \overline{A}\ B + \boxed{A\ B}$$

Assim, o circuito simplificado é ilustrado na figura 4.

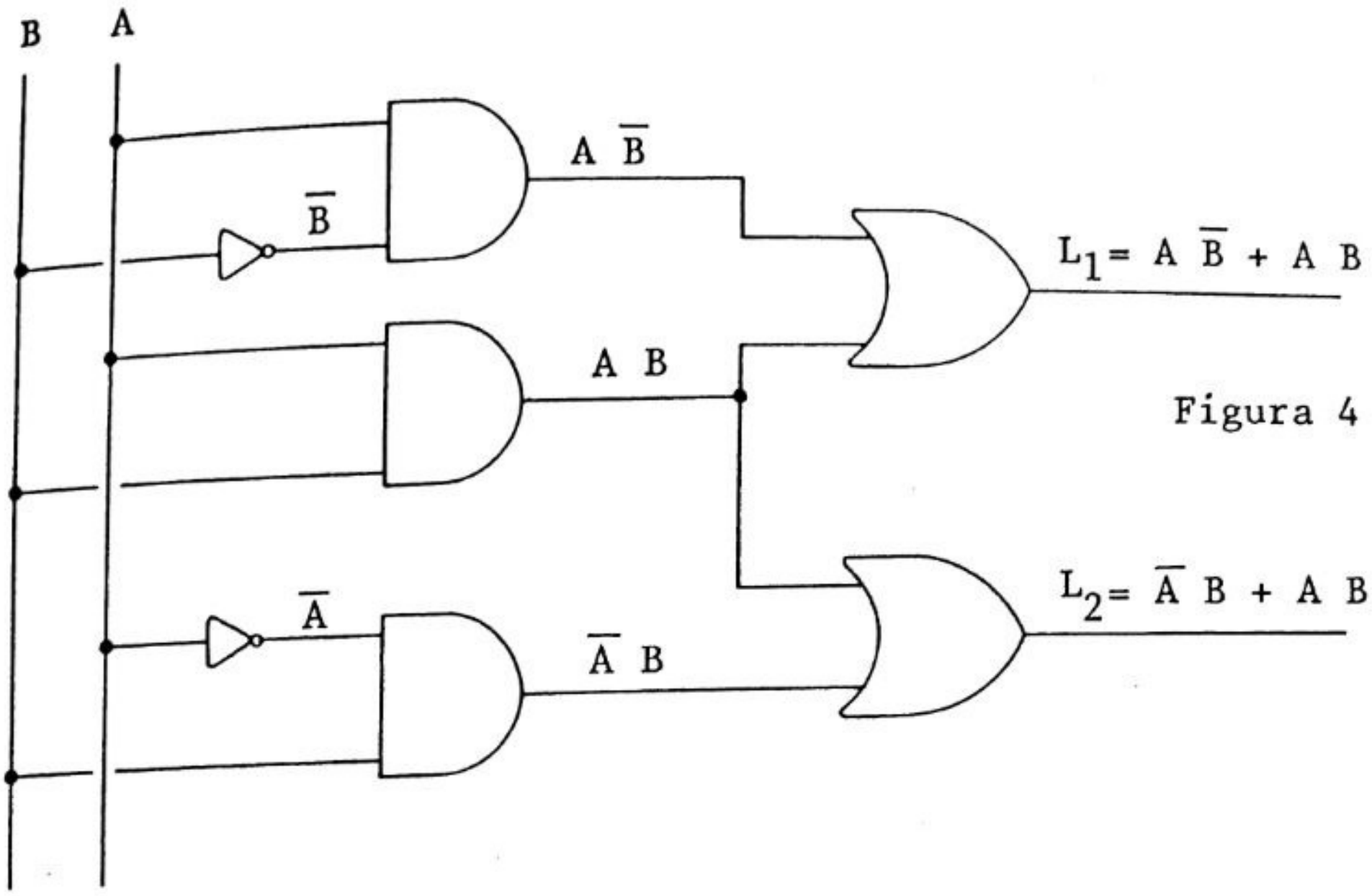


Figura 4

Observamos que este circuito poderia ser simplificado mais ainda. Porém, este assunto será estudado nas lições - ED-8, ED-9, ED-10 e ED-11.

Assim, o circuito definitivo tomaria o seguinte aspecto:

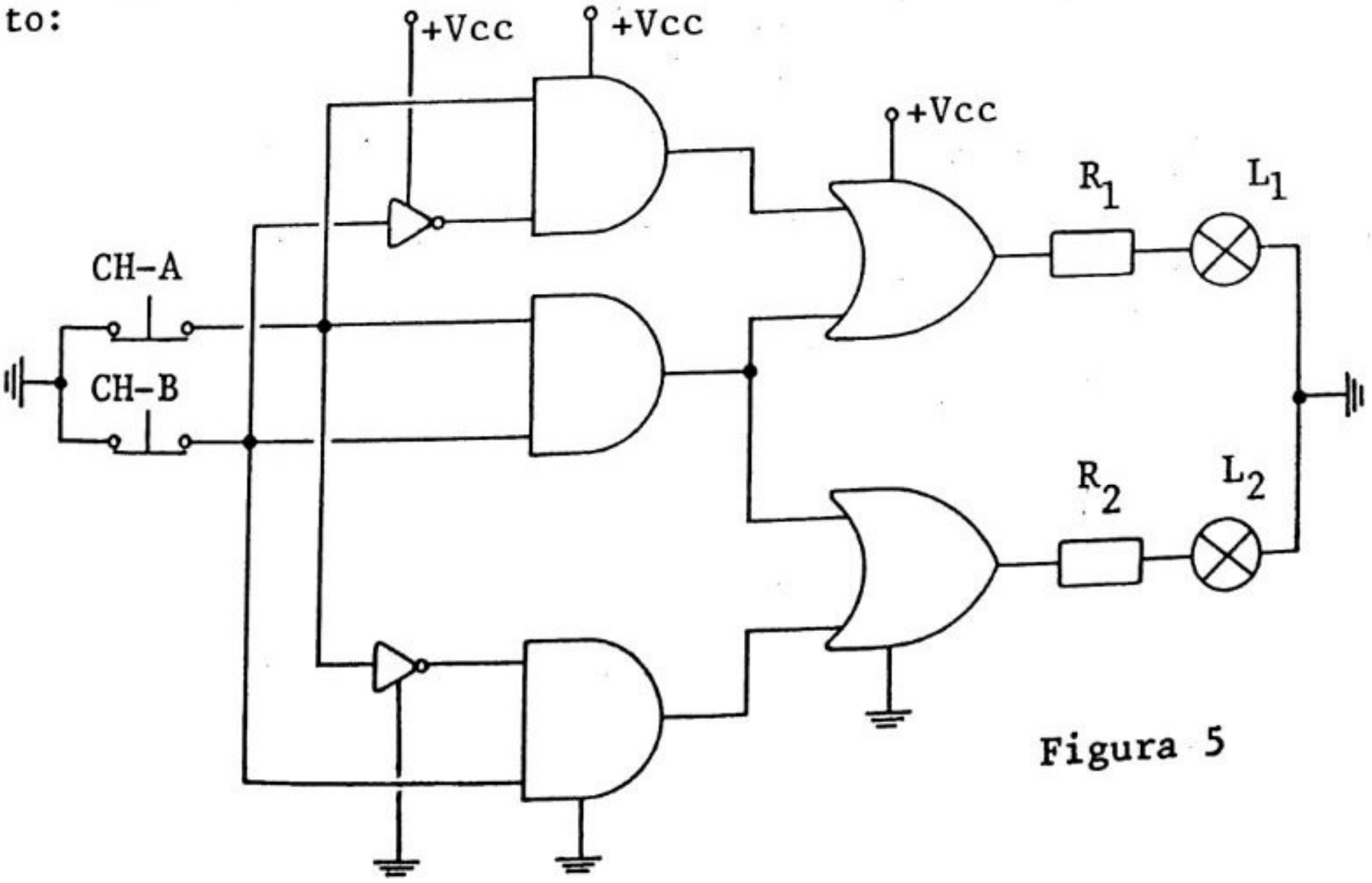


Figura 5

Observamos que, quando as chaves estiverem ligadas à terra, será igual a "0" (zero) e, quando as chaves estiverem abertas, será igual a "1" (um).

SEGUNDO PROJETO

A luz de uma sala deve ser controlada, independentemente, por quatro chaves de paredes "A", "B", "C" e "D", localizadas nas quatro entradas da sala, nas seguintes condições:

0 - Se nenhuma chave for pressionada, a lâmpada deverá permanecer apagada.

1 - Se pressionarmos somente a chave "A", a lâmpada deverá acender.

2 - Se pressionarmos somente a chave "B", a lâmpada deverá acender.

3 - Se pressionarmos somente a chave "C", a lâmpada deverá acender.

4 - Se pressionarmos somente as chaves "A", "B" e "C", a lâmpada deverá acender.

5 - Se pressionarmos somente a chave "D", a lâmpada deverá acender.

6 - Se pressionarmos somente as chaves "A", "B", e "D", a lâmpada deverá acender.

7 - Se pressionarmos somente as chaves "A", "C" e "D", a lâmpada deverá acender.

8 - Se pressionarmos somente as chaves "B", "C" e "D", a lâmpada deverá acender.

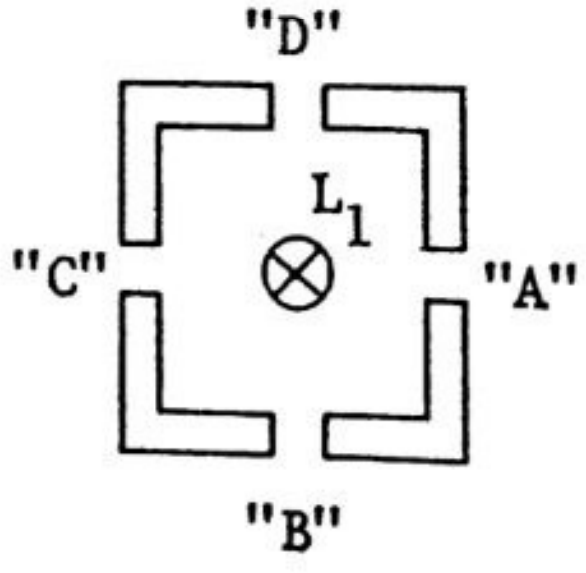


Figura 6
Planta da sala e a disposição das chaves e da lâmpada.

Observamos que, se entrarmos pela porta "A" e pressionarmos a chave "A", a lâmpada acenderá. E, se sairmos pela porta "A" ou por qualquer uma das saídas e pressionarmos a chave correspondente, a lâmpada apagará. E, se entrarmos novamente por qualquer uma das possibilidades e pressionarmos a chave correspondente, novamente a lâmpada se acenderá.

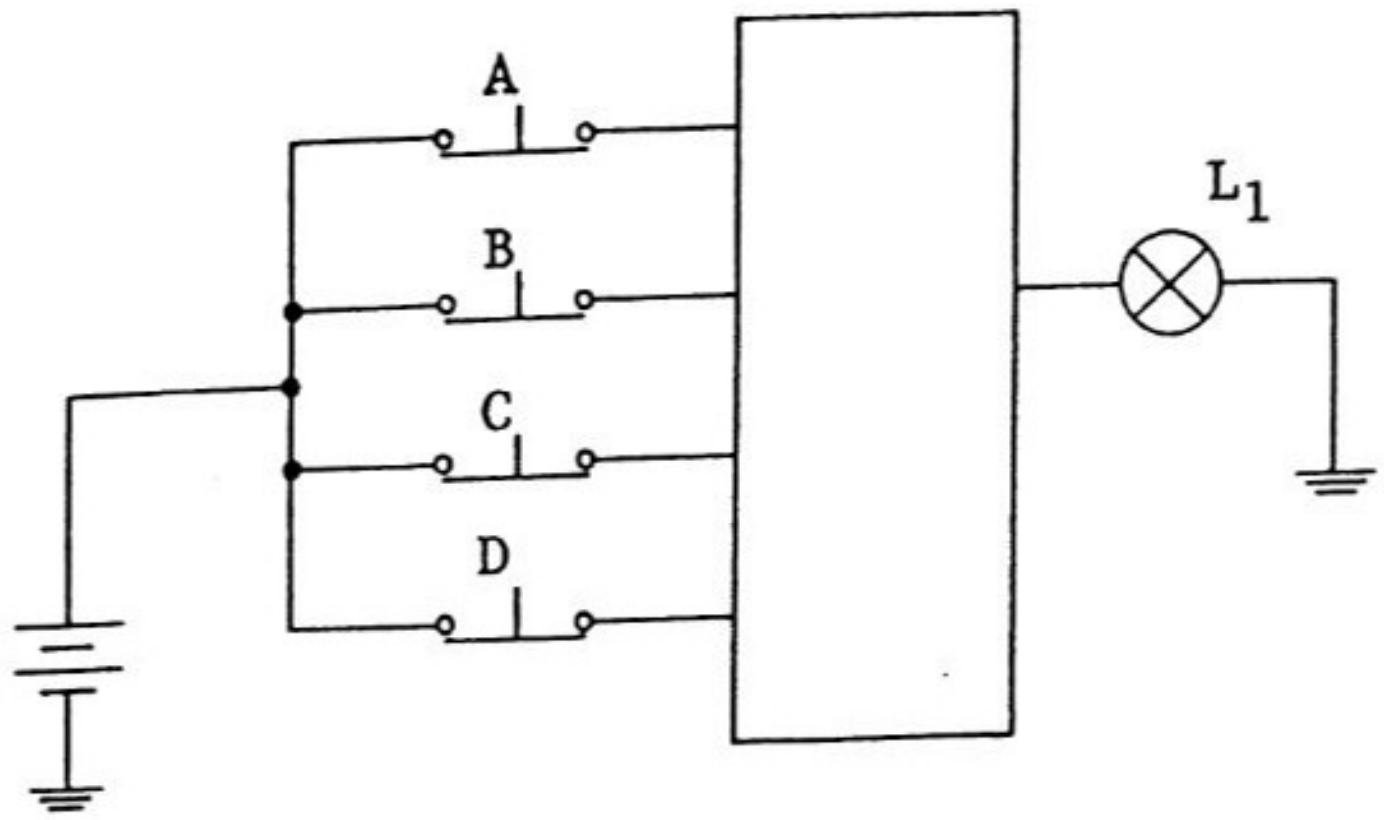


Figura 7
Diagrama de bloco do circuito.

Para resolver este problema, devemos seguir as mesmas etapas do projeto anterior.

1 - MONTAGEM DA TABELA VERDADE

O projeto identifica quatro chaves ("A", "B", "C" e "D"), portanto possuímos quatro variáveis (colunas) e, consequentemente, teremos 2^4 possibilidades de combinações ou dezesseis linhas.

"Macete" para construir a tabela verdade:

- Quatro variáveis "A", "B", "C" e "D", logo quatro colunas;
- Para saber o número de linhas da tabela, elevamos a base do sistema (2) pela quantidade de variáveis de entrada (2^4=16). Logo, teremos dezesseis linhas.
- A primeira coluna (A) varia de um em um, pois 2^0=1 , sempre iniciando por zero.
- A segunda coluna (B) varia de dois em dois, pois 2^1=2, sempre iniciando por zero.
- A terceira coluna (C) varia de quatro em quatro, pois

2^2=4, sempre iniciando por zero.

- A quarta coluna (D), varia de oito em oito, pois 2^3=8, sempre iniciando por zero.

CONDIÇÃO	VARIÁVEIS	SAÍDA
	D C B A	L_1
0	0 0 0 0	
1	0 0 0 1	
2	0 0 1 0	
3	0 0 1 1	
4	0 1 0 0	
5	0 1 0 1	
6	0 1 1 0	
7	0 1 1 1	
8	1 0 0 0	
9	1 0 0 1	
10	1 0 1 0	
11	1 0 1 1	
12	1 1 0 0	
13	1 1 0 1	
14	1 1 1 0	
15	1 1 1 1	

CONDIÇÕES DAS VARIÁVEIS

Chave desligada = 0
Chave pressionada = 1

A condição 0(A=0, B=0, C=0 e D=0) indica que não foi pressionada nenhuma das chaves e, conseqüentemente, a lâmpada não acenderá. Logo L_1=0, conforme ilustra a tabela abaixo:

CONDIÇÃO	VARIÁVEIS	SAÍDAS
	D C B A	L_1
0	0 0 0 0	0

A condição 1(A=1, B=0, C=0, e D=0) indica que foi pressionada a chave "A". Conseqüentemente, a lâmpada (L_1) se a-

cenderá. Logo L_1=1, conforme ilustra a tabela abaixo:

CONDIÇÃO	VARIÁVEIS	SAÍDAS
	D C B A	L_1
0	0 0 0 0	0
1	0 0 0 1	1

A condição 2(A=0, B=1, C=0 e D=0) indica que foi pressionada a chave "B". Conseqüentemente, a lâmpada (L_1) se acenderá. Logo L_1=1, conforme ilustra a tabela abaixo:

CONDIÇÃO	VARIÁVEIS	SAÍDAS
	D C B A	L_1
0	0 0 0 0	0
1	0 0 0 1	1
2	0 0 1 0	1

A condição 3 (A=1, B=1, C=0 e D=0)indica que foram pressionadas as chaves "A" e "B". Nestas condições, a lâmpada (L_1) ficará apagada, pois isto significa que uma pessoa entrou pela porta "A" e acendeu a lâmpada e ao mesmo tempo saiu pela porta "B" e apagou a lâmpada. Logo L_1=0, conforme ilustra a tabela abaixo:

CONDIÇÃO	VARIÁVEIS	SAÍDAS
	D C B A	L_1
0	0 0 0 0	0
1	0 0 0 1	1
2	0 0 1 0	1
3	0 0 1 1	0

A condição 4 (A=0, B=0, C=1 e D=0) indica que foi pressionada a chave "C". Conseqüentemente a lâmpada (L_1) se acenderá. Logo L_1=1, conforme ilustra a tabela a seguir:

CONDIÇÃO	VARIÁVEIS	SAÍDA
	D C B A	L_1
0	0 0 0 0	0
1	0 0 0 1	1
2	0 0 1 0	1
3	0 0 1 1	0
4	0 1 0 0	1

A condição 5 (A=1, B=0, C=1 e D=0) indica que foram pressionadas as chaves "A" e "C". Nestas condições, a lâmpada (L_1) ficará apagada, pois isto significa que uma pessoa entrou pela porta "A" e acendeu a lâmpada e ao mesmo tempo saiu pela porta "C" e apagou a lâmpada. Logo L_1=0, conforme ilustra a tabela abaixo:

CONDIÇÃO	VARIÁVEIS	SAÍDA
	D C B A	L_1
0	0 0 0 0	0
1	0 0 0 0	1
2	0 0 1 0	1
3	0 0 1 1	0
4	0 1 0 0	1
5	0 1 0 1	0

A condição 6 (A=0, B=1, C=1 e D=0) indica que foram pressionadas as chaves "B" e "C". Nestas condições, a lâmpada (L_1) ficará apagada, pois isto significa que uma pessoa entrou pela porta "B" e acendeu a lâmpada e ao mesmo tempo saiu pela porta "C" e apagou a lâmpada. Logo L_1=0, conforme ilustra a tabela a seguir:

CONDIÇÃO	VARIÁVEIS	SAÍDA
	D C B A	L_1
0	0 0 0 0	0
1	0 0 0 1	1
2	0 0 1 0	1
3	0 0 1 1	0
4	0 1 0 0	1
5	0 1 0 1	0
6	0 1 1 0	0

A condição 7 (A=1, B=1, C=1 e D=0) indica que foram pressionadas as chaves "A", "B" e "C". Nestas condições, a lâmpada (L_1) ficará acesa, pois isto significa que uma pessoa entrou pela porta "A" e acendeu a lâmpada e ao mesmo tempo ensaiu pela porta "B" e apagou a lâmpada e ainda tornou a entrar pela porta "C" e acendeu a lâmpada. Logo L_1=1, conforme ilustra a tabela abaixo:

CONDIÇÃO	VARIÁVEIS	SAÍDA
	D C B A	L_1
0	0 0 0 0	0
1	0 0 0 1	1
2	0 0 1 0	1
3	0 0 1 1	0
4	0 1 0 0	1
5	0 1 0 1	0
6	0 1 1 0	0
7	0 1 1 1	1

A condição 8 (A=0, B=0, C=0 e D=1) indica que foi pressionada a chave "D". Conseqüentemente, a lâmpada (L_1) se acenderá. Logo L_1=1, conforme ilustra a tabela a seguir:

CONDIÇÃO	VARIÁVEIS	SAÍDA
	D C B A	L_1
0	0 0 0 0	0
1	0 0 0 1	1
2	0 0 1 0	1
3	0 0 1 1	0
4	0 1 0 0	1
5	0 1 0 1	0
6	0 1 1 0	0
7	0 1 1 1	1
8	1 0 0 0	1

A condição 9 (A=1, B=0, C=0 e D=1) indica que foram pressionadas as chaves "A" e "D". Nestas condições, a lâmpada (L_1) ficará apagada, pois isto significa que uma pessoa entrou pela porta "A" e acendeu a lâmpada e ao mesmo tempo, saiu pela porta "D" e apagou a lâmpada. Logo L_1=0, conforme ilustra a tabela abaixo:

CONDIÇÃO	VARIÁVEIS	SAÍDA
	D C B A	L_1
0	0 0 0 0	0
1	0 0 0 1	1
2	0 0 1 0	1
3	0 0 1 1	0
4	0 1 0 0	1
5	0 1 0 1	0
6	0 1 1 0	0
7	0 1 1 1	1
8	1 0 0 0	1
9	1 0 0 1	0

A condição 10 (A=0, B=1, C=0 e D=1) indica que foram pressionadas as chaves "B" e "D". Nestas condições, a lâmpada (L_1) ficará apagada, pois isto significa que uma pessoa entrou pela porta "B" e acendeu a lâmpada e ao mesmo

tempo saiu pela porta "D" e apagou a lâmpada. Logo $L_1=0$, conforme ilustra a tabela abaixo:

CONDIÇÃO	VARIÁVEIS	SAÍDA
	D C B A	L_1
0	0 0 0 0	0
1	0 0 0 1	1
2	0 0 1 0	1
3	0 0 1 1	0
4	0 1 0 0	1
5	0 1 0 1	0
6	0 1 1 0	0
7	0 1 1 1	1
8	1 0 0 0	1
9	1 0 0 1	0
10	1 0 1 0	0

A condição 11 (A=1, B=1, C=0 e D=1) indica que foram pressionadas as chaves "A", "B" e "D". Nestas condições, a lâmpada (L_1) ficará acesa, pois isto significa que uma pessoa entrou pela porta "A" e acendeu a lâmpada e ao mesmo tempo saiu pela porta "B" e apagou a lâmpada e tornou a entrar pela porta "D" e acendeu a lâmpada. Logo $L_1=1$, conforme ilustra a tabela abaixo:

CONDIÇÃO	VARIÁVEIS	SAÍDA
	D C B A	L_1
0	0 0 0 0	0
1	0 0 0 1	1
2	0 0 1 0	1
3	0 0 1 1	0
4	0 1 0 0	1
5	0 1 0 1	0
6	0 1 1 0	0
7	0 1 1 1	1
8	1 0 0 0	1
9	1 0 0 1	0
10	1 0 1 0	0
11	1 0 1 1	1

A condição 12 (A=0, B=0, C=1 e D=1) indica que foram pressionadas as chaves "C" e "D". Nestas condições, a lâmpada (L_1) ficará apagada, pois isto significa que uma pessoa entrou pela porta "C" e acendeu a lâmpada e ao mesmo tempo saiu pela porta "D" e apagou a lâmpada. Logo, L_1=0, conforme ilustra a tabela abaixo.

CONDIÇÃO	VARIÁVEIS	SAÍDA
	D C B A	L_1
0	0 0 0 0	0
1	0 0 0 1	1
2	0 0 1 0	1
3	0 0 1 1	0
4	0 1 0 0	1
5	0 1 0 1	0
6	0 1 1 0	0
7	0 1 1 1	1
8	1 0 0 0	1
9	1 0 0 1	0
10	1 0 1 0	0
11	1 0 1 1	1
12	1 1 0 0	0

A condição 13 (A=1, B=0, C=1, e D=1) indica que foram pressionadas as chaves "A", "C" e "D". Nestas condições, a lâmpada (L_1) ficará acesa, pois isto significa que uma pessoa entrou pela porta "A" e acendeu a lâmpada e ao mesmo tempo saiu pela porta "C" e apagou a lâmpada e tornou a entrar pela porta "D" e acendeu a lâmpada. Logo L_1=1, conforme ilustra a tabela a seguir:

CONDIÇÃO	VARIÁVEIS				SAÍDA
	D	C	B	A	L_1
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	1
3	0	0	1	1	0
4	0	1	0	0	1
5	0	1	0	1	0
6	0	1	1	0	0
7	0	1	1	1	1
8	1	0	0	0	1
9	1	0	0	1	0
10	1	0	1	0	0
11	1	0	1	1	1
12	1	1	0	0	0
13	1	1	0	1	1

A condição 14 (A=0, B=1, C=1 e D=1) indica que foram pressionadas as chaves "B", "C" e "D". Nestas condições, a lâmpada (L_1) ficará acesa, pois isto significa que uma pessoa entrou pela porta "B" e acendeu a lâmpada e ao mesmo tempo saiu pela porta "C" e apagou a lâmpada e tornou a entrar pela porta "D" e acendeu a lâmpada. Logo L_1=1, conforme ilustra a tabela abaixo:

CONDIÇÃO	VARIÁVEIS				SAÍDA
	D	C	B	A	L_1
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	1
3	0	0	1	1	0
4	0	1	0	0	1
5	0	1	0	1	0
6	0	1	1	0	0
7	0	1	1	1	1
8	1	0	0	0	1
9	1	0	0	1	0
10	1	0	1	0	0
11	1	0	1	1	1
12	1	1	0	0	0
13	1	1	0	1	1
14	1	1	1	0	1

A condição 15 (A=1, B=1, C=1 e D=1) indica que foram pressionadas as chaves "A", "B", "C" e "D". Nestas condições, a lâmpada (L_1) ficará apagada, pois isto significa que uma pessoa entrou pela porta "A" e acendeu a lâmpada e ao mesmo tempo saiu pela porta "B" e apagou a lâmpada e retornou pela porta "C" e acendeu a lâmpada e tornou a sair pela porta "D", apagando a lâmpada. Logo, L_1=0, conforme ilustra a tabela abaixo:

CONDIÇÃO	VARIÁVEIS	SAÍDA
	D C B A	L_1
0	0 0 0 0	0
1	0 0 0 1	1
2	0 0 1 0	1
3	0 0 1 1	0
4	0 1 0 0	1
5	0 1 0 1	0
6	0 1 1 0	0
7	0 1 1 1	1
8	1 0 0 0	1
9	1 0 0 1	0
10	1 0 1 0	0
11	1 0 1 1	1
12	1 1 0 0	0
13	1 1 0 1	1
14	1 1 1 0	1
15	1 1 1 1	0

Assim, temos a tabela verdade completa e podemos obter a expressão booleana do circuito que será o passo seguinte.

2 - OBTENÇÃO DA EXPRESSÃO

Para obtermos a expressão booleana, devemos transcrever a tabela verdade, somente com as informações que iremos utilizar, tais como "A", "B", "C", "D" e "L_1" e identificar as saídas que estejam a nível 1, pois estamos trabalhando com implementação positiva. E, ao mesmo tempo, devemos identificar os índices e montar a expressão.

VARIÁVEIS	SAÍDA	
D C B A	L_1	
0 0 0 0	0	
0 0 0 1	1	$\overline{A}\ \overline{B}\ \overline{C}\ \overline{D}$
0 0 1 0	1	$\overline{A}\ B\ \overline{C}\ \overline{D}$
0 0 1 1	0	
0 1 0 0	1	$\overline{A}\ \overline{B}\ C\ \overline{D}$
0 1 0 1	0	
0 1 1 0	0	
0 1 1 1	1	$\overline{A}\ B\ C\ \overline{D}$
1 0 0 0	1	$\overline{A}\ B\ \overline{C}\ D$
1 0 0 1	0	
1 0 1 0	0	
1 0 1 1	1	$A\ B\ \overline{C}\ D$
1 1 0 0	0	
1 1 0 1	1	$\overline{A}\ B\ C\ D$
1 1 1 0	1	$A\ B\ C\ D$
1 1 1 1	0	

$$L_1 = A\overline{B}\overline{C}\overline{D} + \overline{A}B\overline{C}\overline{D} + \overline{A}\overline{B}C\overline{D} + ABC\overline{D} + \overline{A}\overline{B}\overline{C}D + AB\overline{C}D + A\overline{B}CD + \overline{A}BCD$$

3 - MONTAGEM DO CIRCUITO

A montagem do circuito segue as mesmas regras do projeto

anterior. Devemos desenhar o barramento de fiação para cada variável da expressão booleana que são quatro: "A", "B","C" e "D".

$$L_1 = \underbrace{\overline{A}\overline{B}\overline{C}\overline{D}}_{*} + \underbrace{\overline{A}B\overline{C}\overline{D}}_{*} + \underbrace{\overline{A}\overline{B}C\overline{D}}_{*} + \underbrace{ABC\overline{D}}_{*} + \underbrace{\overline{A}\overline{B}\overline{C}D}_{*} + \underbrace{AB\overline{C}D}_{*} + \underbrace{A\overline{B}CD}_{*} + \underbrace{\overline{A}BCD}_{*}$$

$$\overbrace{\qquad\qquad\qquad\qquad\qquad\qquad\qquad\qquad\qquad\qquad\qquad\qquad\qquad\qquad\qquad\qquad}^{*\ \ *}$$

* PRIMEIRO PASSO

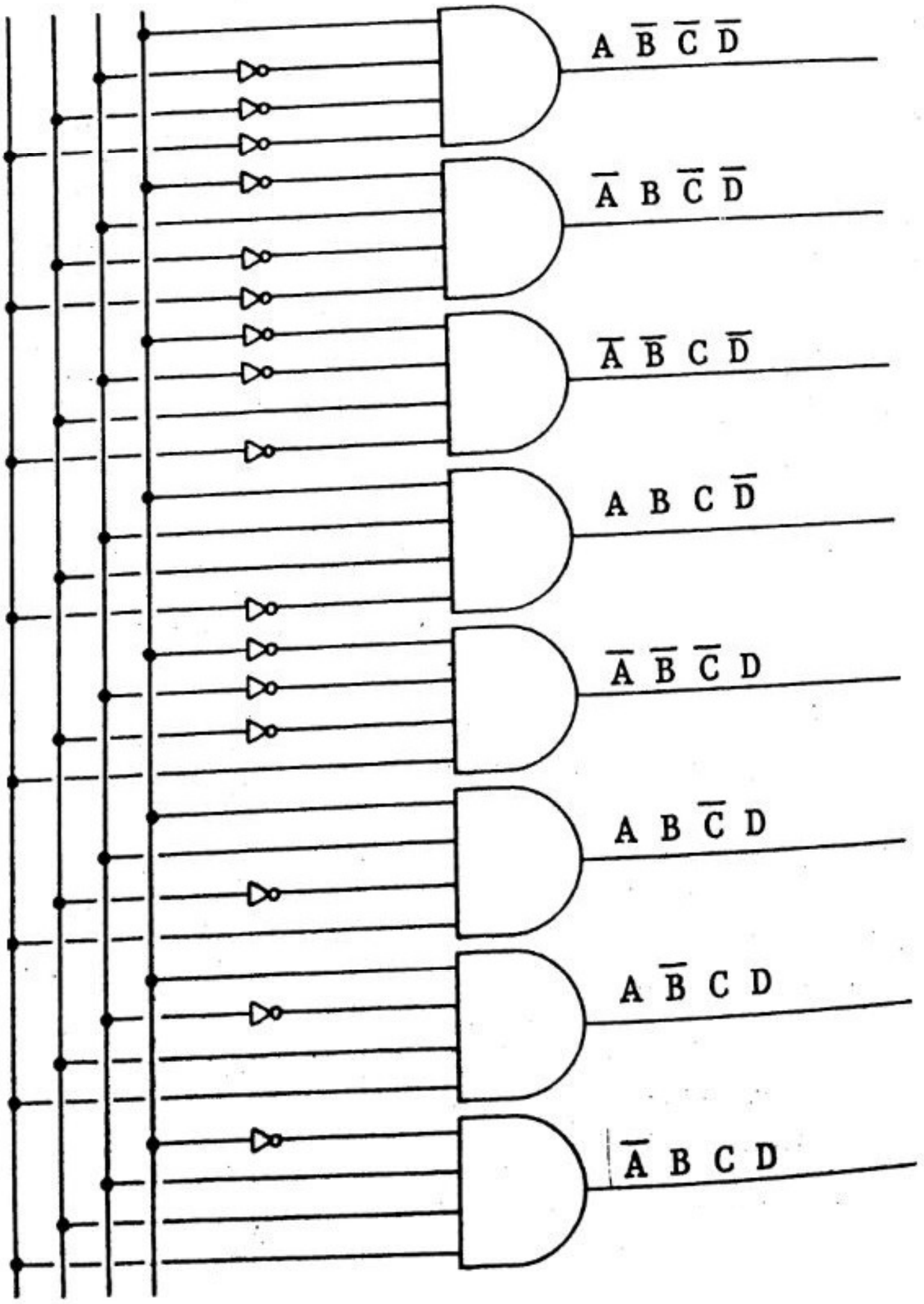


Figura 8

* SEGUNDO PASSO

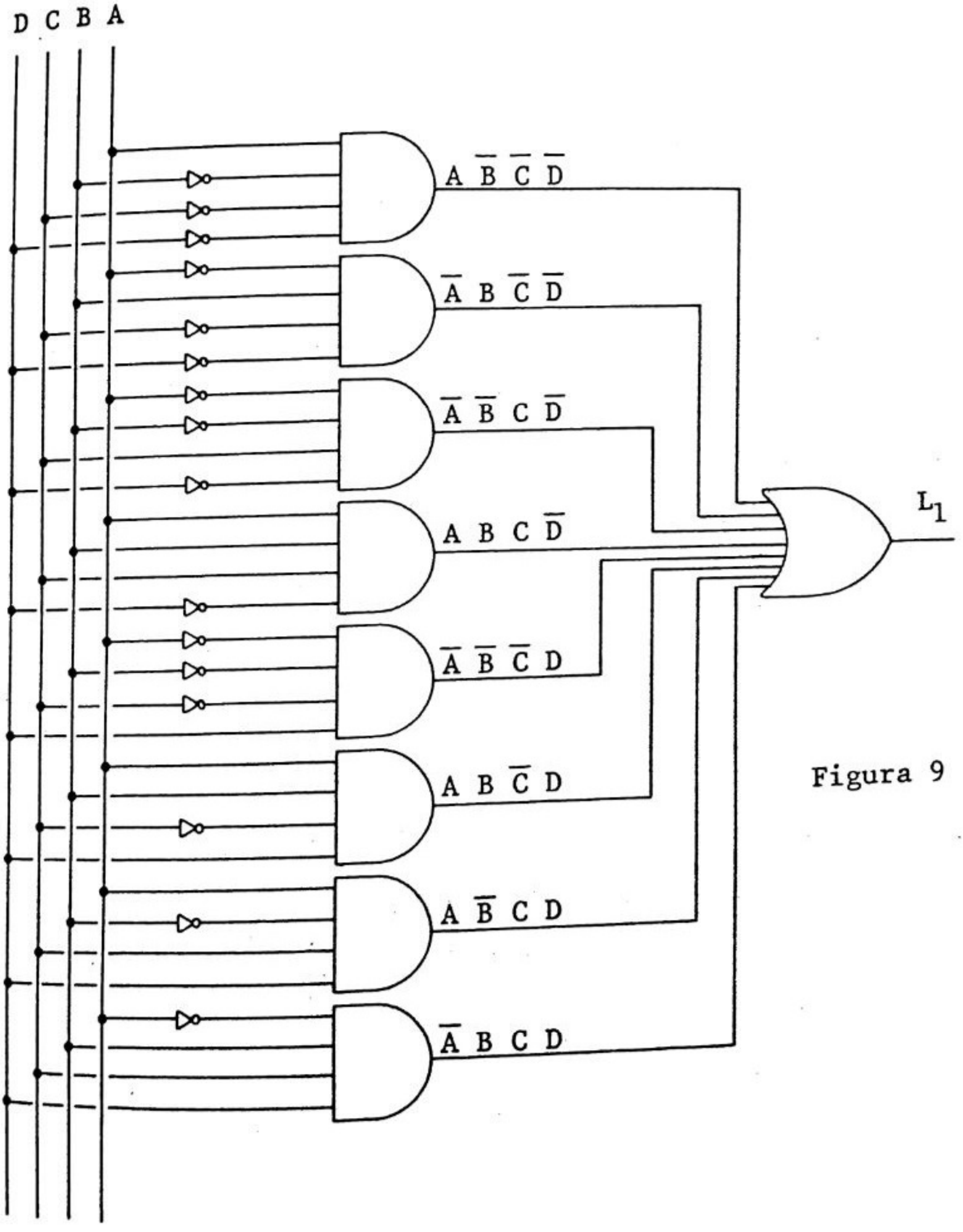


Figura 9

Observamos que este circuito poderia ser simplificado um pouco mais se utilizássemos, por exemplo, um inversor para cada índice idêntico. O circuito da figura 10 mostra as simplificações efetuadas, bem como as ligações das chaves e da lâmpada.

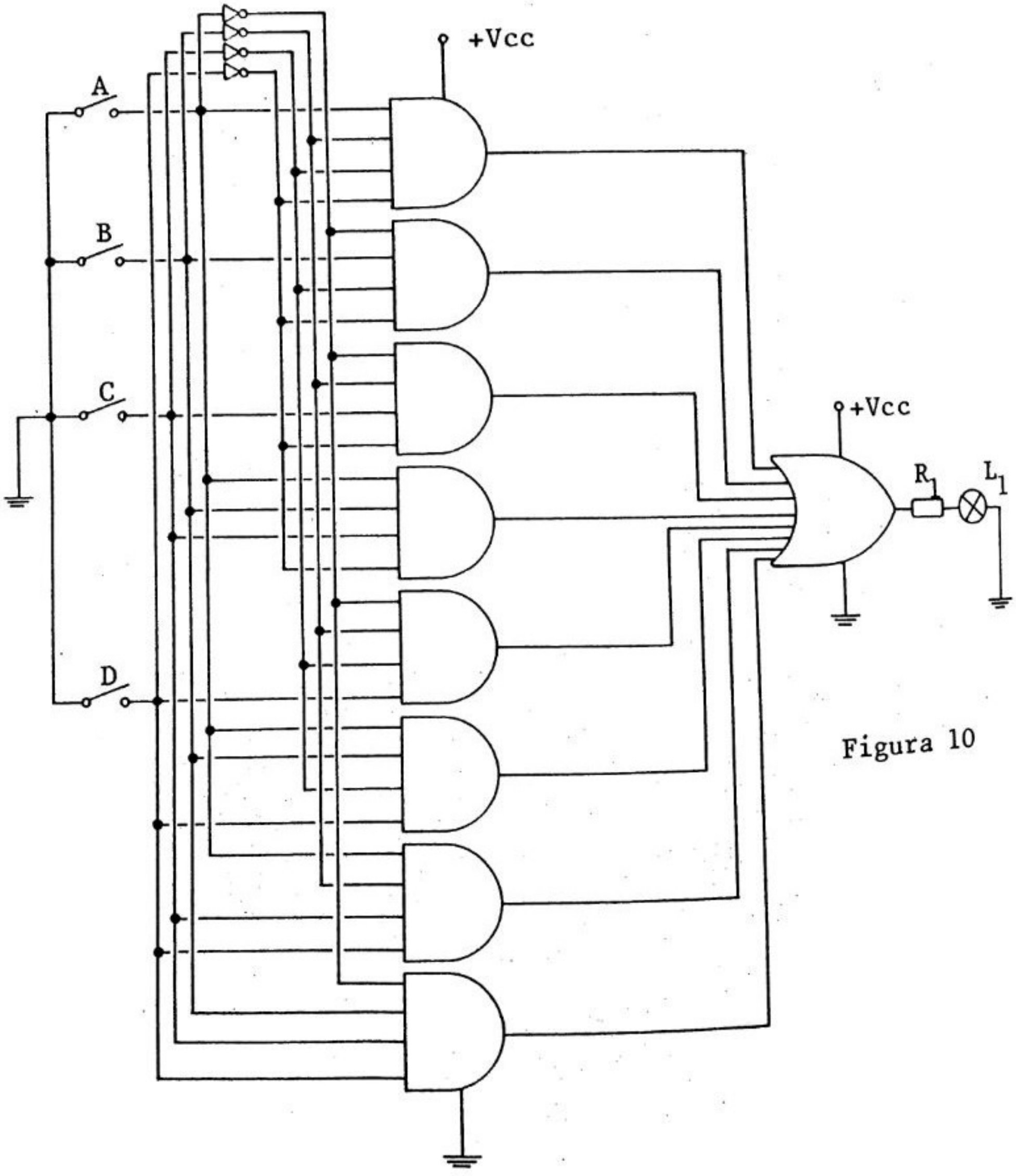


Figura 10

CURSO DE ELETRONICA DIGITAL E MICROPROCESSADORES

EXAME DA LIÇÃO ED-7

OBSERVAÇÃO

- cada questão é composta de três ou quatro alternativas.
- só uma delas está correta.
- marque a que considerar correta.
- passe as respostas corretas para a folha de exame.

1) Um sistema combinacional é aquele que:

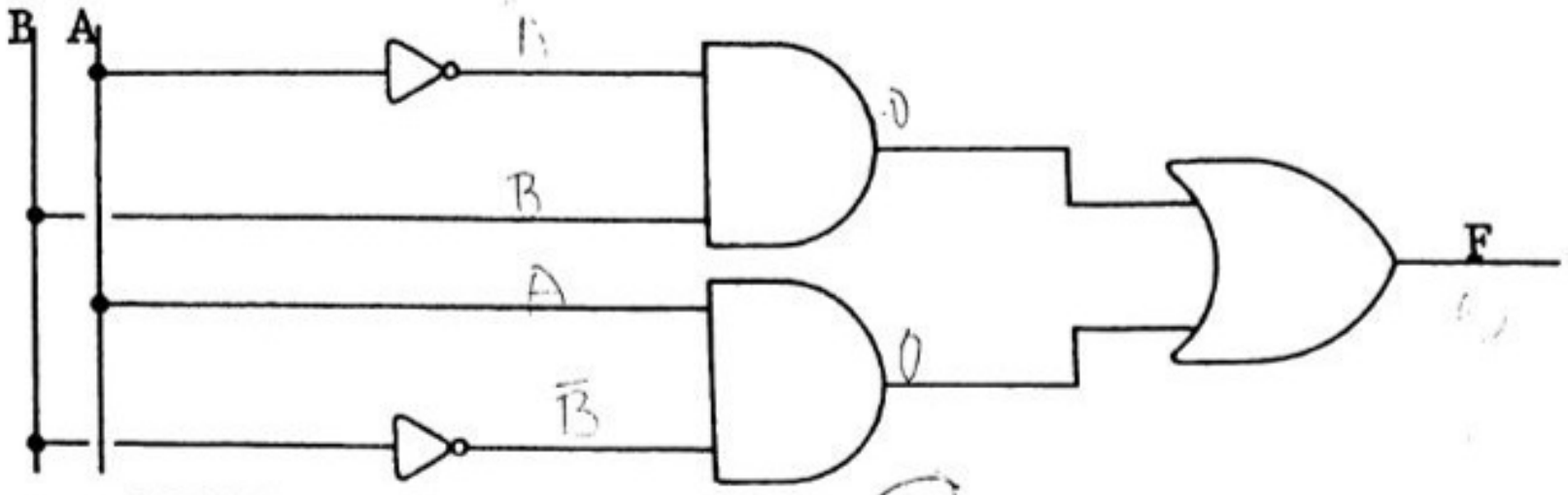
a) Depende de entradas passadas e, por isso, o seu sistema requer memoria;

b) As saídas são funções apenas de dados que se apresentam num certo instante, não interessando os dados anteriores;

c) Depende exclusivamente de combinação de entrada futuras, não interessando as entradas presentes.

2) O circuito dado a seguir corresponde a que função?

26



a) $F = \overline{\overline{A} + B}$;

b) $F = \overline{A} + B$;

c) $F = A \oplus B$

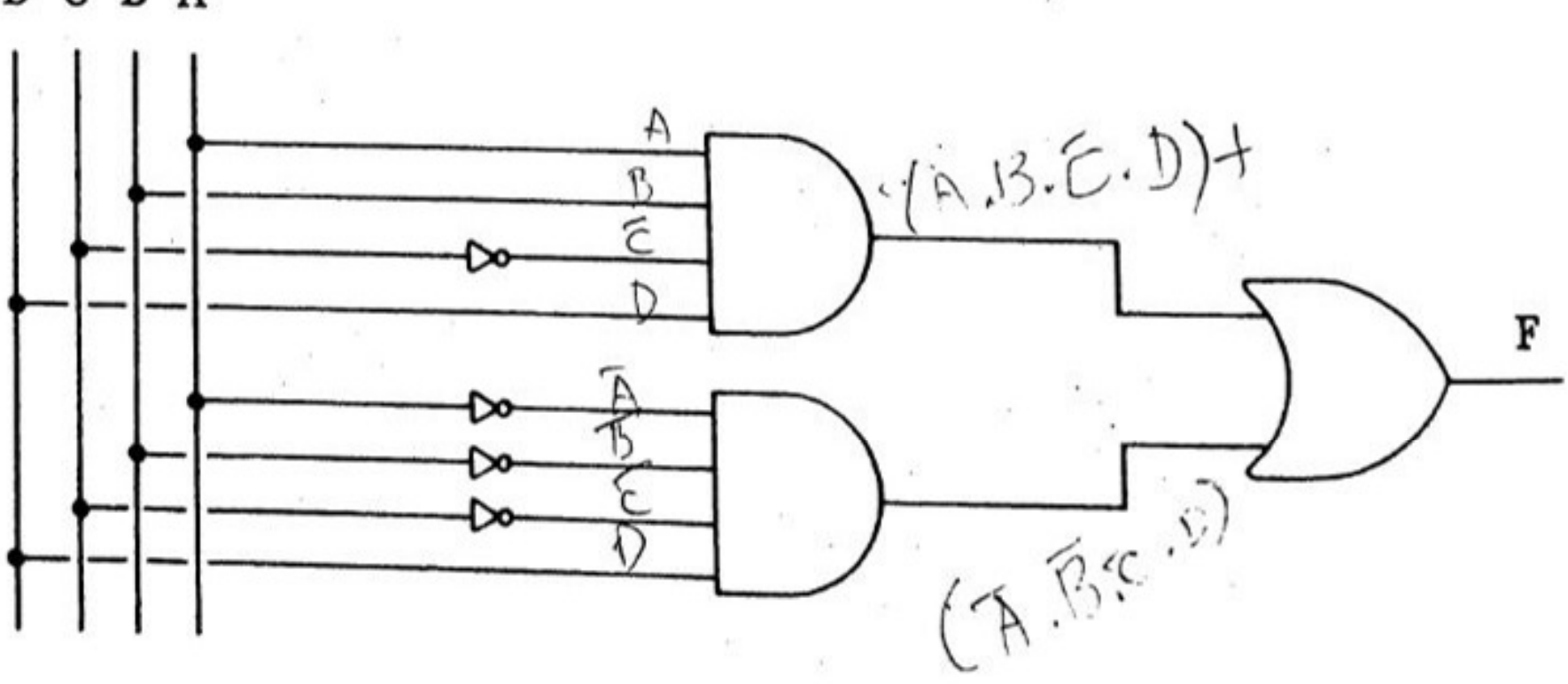
3) Assinale a alternativa correta:

a) Os circuitos combinacionais só servem para sistemas - que tenham no máximo 4 variáveis;

b) A função "NÃO OU EXCLUSIVO" pode ser expressa como um circuito combinacional;

c) As expressões dos circuitos combinacionais não podem ser simplificadas.

4) O circuito dado abaixo corresponde a que expressão boolea na:



a) $F = (\overline{A} \cdot B \cdot C \cdot D) + (\overline{A} \cdot \overline{B} \cdot \overline{C} \cdot D)$;

b) $F = (A \cdot B \cdot \overline{C} \cdot D) + (\overline{A} \cdot \overline{B} \cdot \overline{C} \cdot D)$;

c) $F = (A \cdot B \cdot \overline{C} \cdot D) + (\overline{A} \cdot \overline{B} \cdot C \cdot \overline{D})$;

d) Nenhuma das respostas anteriores.

5) Um sistema digital combinacional, constituído de quatro entradas "Y_0", "Y_1", "X_0", "X_1", indica, em sua saída "Z", 1 (um) sempre que as entradas $(X_1, X_0) \geq (Y_1, Y_0)$. A tabela verdade para o circuito é dado por:

a)

X_1	X_0	Y_1	Y_0	Z
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	1
0	1	1	0	1
0	1	0	1	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	1
1	0	1	1	1

b)

X_1	X_0	Y_1	Y_0	Z
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

c) As respostas "a" e "b" estão incorretas.

6) A Tabela verdade, a seguir, pode ser colocada em forma de circuitos? Assinale a alternativa correta:

C	B	A	L_1	L_2
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	0	0
1	0	0	1	0
1	0	1	0	1
1	1	0	1	1
1	1	1	0	0

a) Não, pois apresenta soluções irrelevantes;

b) Pode, pois se trata de uma tabela verdade e através dela chegamos às expressões e finalmente aos correspondentes circuitos;

c) Devido à presença de soluções irrelevantes, é possível se construírem os circuitos; do contrário não é possível.

7) Quais das alternativas representam a expressão booleana da questão 5?

a) $\bar{Y}_0 Y_1 \bar{X}_0 X_1 + Y_0 Y_1 X_0 X_1 + Y_0 Y_1 \bar{X}_0 X_1 + Y_0 Y_1 \bar{X}_0 X_1 + \bar{Y}_0 \bar{Y}_1 \bar{X}_0 \bar{X}_1 +$
$+ Y_0 \bar{Y}_1 \bar{X}_0 X_1 + Y_0 \bar{Y}_1 X_0 \bar{X}_1 + \bar{Y}_0 Y_1 X_0 X_1 + Y_0 Y_1 \bar{X}_0 X_1 + Y_0 \bar{Y}_1 X_0 \bar{X}_1$;

b) $\bar{Y}_0 \bar{Y}_1 \bar{X}_0 \bar{X}_1 + \bar{Y}_0 \bar{Y}_1 X_0 \bar{X}_1 + Y_0 \bar{Y}_1 X_0 \bar{X}_1 + \bar{Y}_0 \bar{Y}_1 \bar{X}_0 X_1 + Y_0 \bar{Y}_1 \bar{X}_0 X_1 +$
$+ \bar{Y}_0 Y_1 \bar{X}_0 X_1 + \bar{Y}_0 \bar{Y}_1 X_0 X_1 + Y_0 \bar{Y}_1 X_0 X_1 + \bar{Y}_0 Y_1 X_0 X_1 + Y_0 Y_1 X_0 X_1$;

30

c) $\bar{Y}_0\bar{Y}_1\bar{X}_0\bar{X}_1 + Y_0\bar{Y}_1X_0X_1 + Y_0\bar{Y}_1\bar{X}_0X_1 + \bar{Y}_0\bar{Y}_1X_0\bar{X}_1 + \bar{Y}_0\bar{Y}_1\bar{X}_0X_1 +$

$+Y_0\bar{Y}_1\bar{X}_0\bar{X}_1 + \bar{Y}_0Y_1X_0\bar{X}_1 + Y_0Y_1X_0\bar{X}_1 + Y_0\bar{Y}_1X_0X_1 + Y_0\bar{Y}_1\bar{X}_0\bar{X}_1.$

8) Quais das alternativas representam a expressão booleana da tabela verdade da questão 6, em função da saída L_1?

a) $\bar{A}\,\bar{B}\,C + \bar{A}\,B\,C$;

b) $\bar{A}\,\bar{B}\,\bar{C} + A\,\bar{B}\,C$;

c) $\bar{A}\,\bar{B}\,C + A\,\bar{B}\,C$;

9) Quais das alternativas representam a expressão booleana da tabela verdade da questão 6, em função da saída L_2?

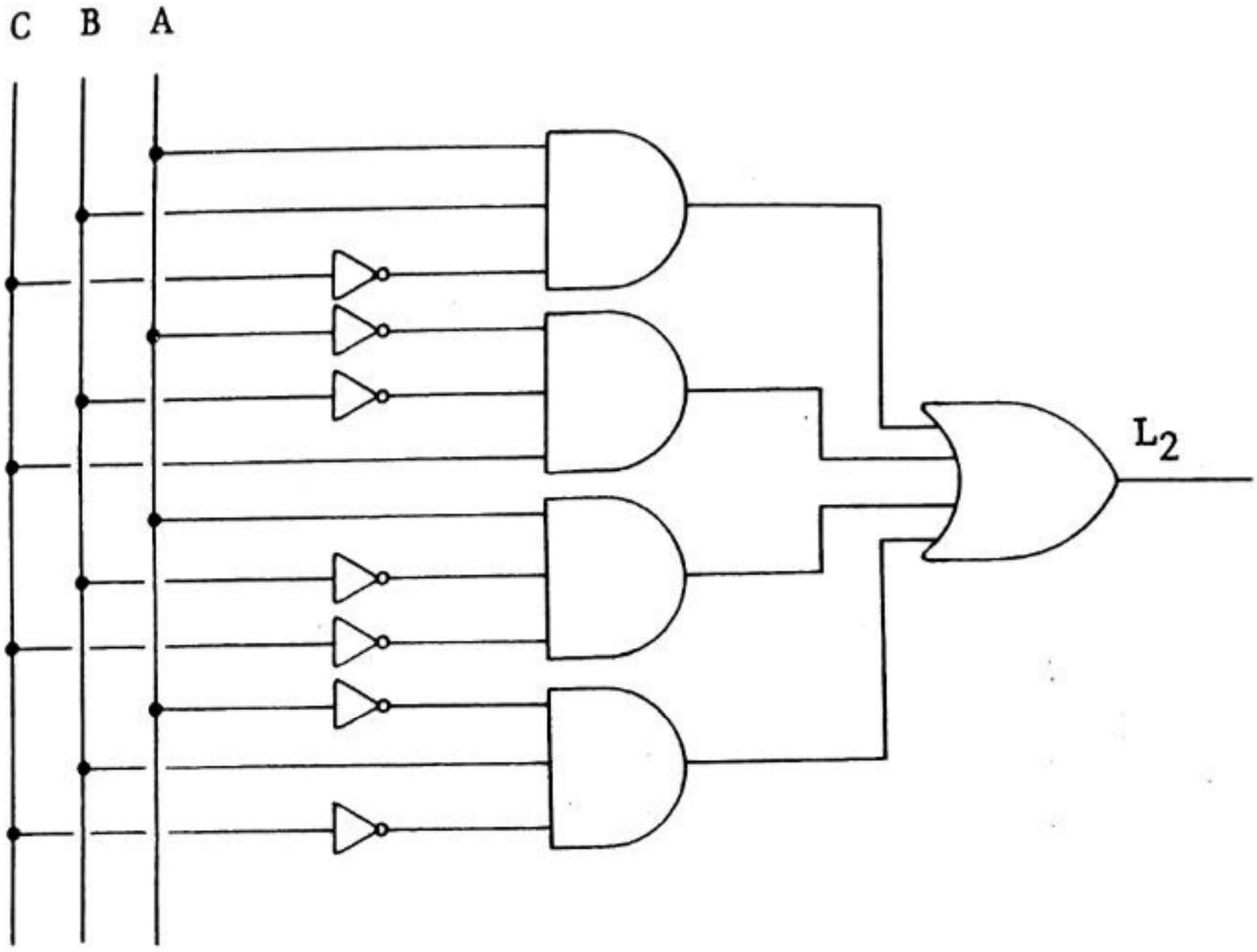
a) $A\,\bar{B}\,\bar{C} + A\,\bar{B}\,C + A\,\bar{B}\,\bar{C} + \bar{A}\,\bar{B}\,\bar{C}$;

b) $A\,\bar{B}\,C + \bar{A}\,B\,\bar{C} + A\,\bar{B}\,\bar{C} + \bar{A}\,\bar{B}\,\bar{C}$;

c) $A\,\bar{B}\,\bar{C} + \bar{A}\,B\,\bar{C} + A\,\bar{B}\,C + \bar{A}\,B\,C$;

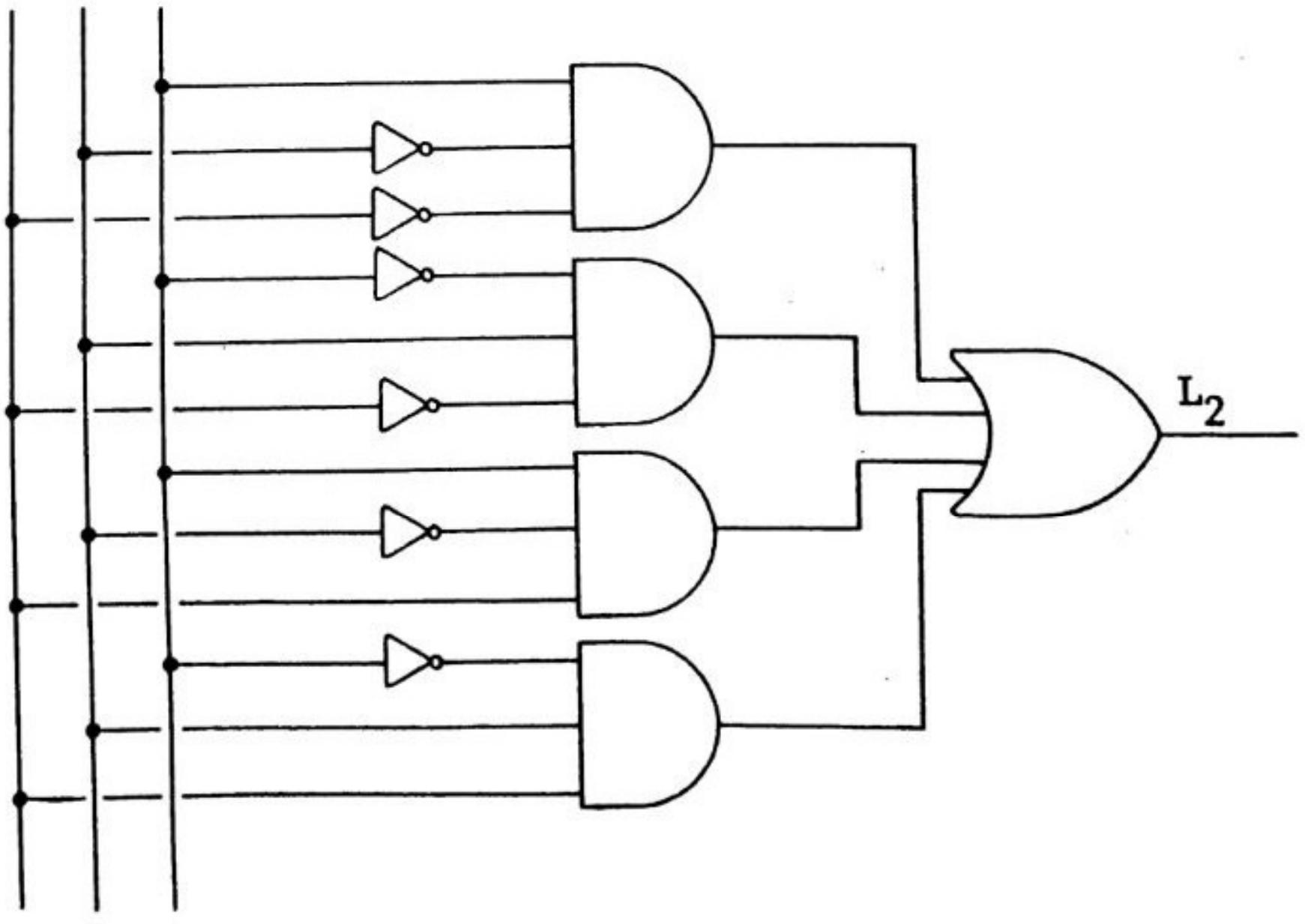
10) Quais das alternativas, a seguir, representam o circuito da tabela verdade da questão 6, para a saída L_2?

a)

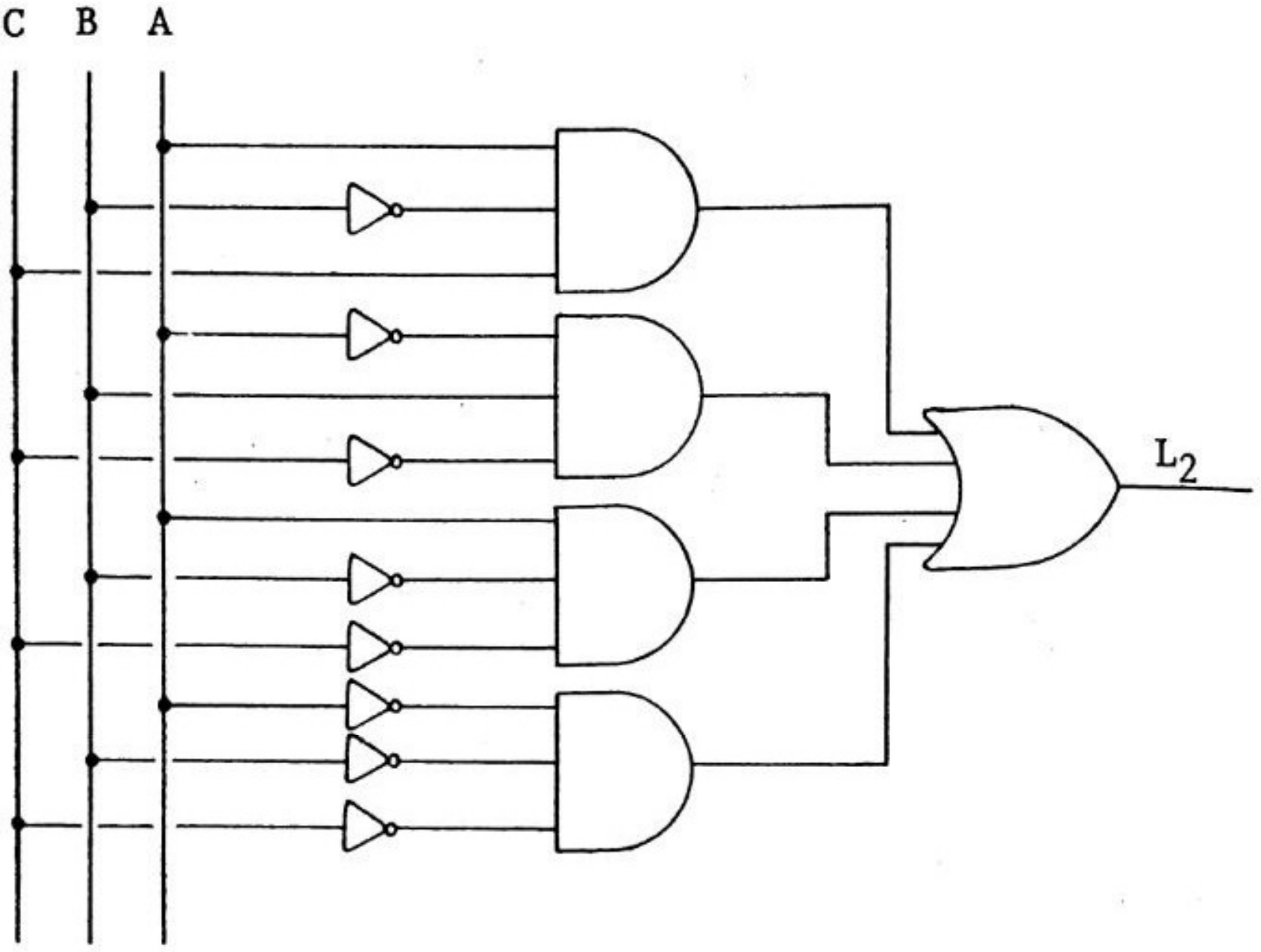


b) C B A

$$A.\bar{B}.\bar{C} + \bar{A}.B.\bar{C} + A.\bar{B}.C + \bar{A}.B.C = L_2$$



c)



CEDM-CURSO DE
ELETRONICA DIGITAL E
MICROPROCESSADORES
CAIXA POSTAL 1642 – CEP 86100 – LONDRINA-PR.

LIÇÃO ED-8

ÁLBEBRA DE BOOLE E SIMPLIFICAÇÃO DE CIRCUITOS LÓGICOS

Quando for necessário construir uma realização física de qualquer função, é sempre conveniente que consideremos o menor custo possível. Em nosso caso,poderemos verificar se um dado circuito realiza a função verdade adequada, comparando sua saída com a tabela verdade para cada combinação de entrada.Se a tabela verdade não oferecer nenhuma forma conveniente para se encontrar a realização mais econômica de uma dada função, então devemos recorrer à Álgebra de Boole e a um conjunto de postulados, propostos por Huntington, em 1904, matéria de estudo da presente lição.

Casos particulares { Teoria dos conjuntos
Álgebra de chaveamento(binária)

A teoria dos conjuntos é outro exemplo da Álgebra de Boole, podemos assim satisfazer ou demonstrar os postulados e teoremas, o que veremos também nesta lição.

POSTULADOS:

1) Referem-se à equivalência de uma variável, onde introduzindo outra variável será idêntica à anterior:

→ equivalência.

2) a- Combinação de elementos, função que aplicada a dois elementos do conjunto, o resultado equivale a outro elemento do conjunto:

ou (or) + $A + B = C$

b- Combinação de elementos, "E" (AND), fechada em K, fechada no conjunto:

E(and).

$A \cdot B = C$ (lê-se: A e B equivale a C)

3) a- Existe um elemento neutro relativo à aplicação ou (or):

$$A + 0 = A$$

b- Existe um elemento neutro relativo a E (and):

$$A \cdot 1 = A$$

4) São válidas as propriedades comutativas:

$$A + B = B + A$$

$$A \cdot B = B \cdot A$$

5) Valem as propriedades distributivas:

$$A \cdot (B + C) = (A \cdot B) + (A \cdot C)$$

$$A + (B \cdot C) = (A + B) \cdot (A + C)$$

6) Para qualquer elemento A do conjunto existe o elemento NÃO A; NÃO A → $\overline{A}$

$$\left.\begin{array}{l} A \cdot \overline{A} = 0 \\ A + \overline{A} = 1 \end{array}\right\} \text{ definem a negação.}$$

Teoremas

1) Demonstra-se que:

1.1) $A.A = A$

Essa identidade parece ser estranha, mas analisando todas as possibilidades poderemos confirmá-la.

Para $A = 0 \rightarrow 0 \,.\, 0 = 0$
Para $A = 1 \rightarrow 1 \,.\, 1 = 1$

Os resultados obtidos serão sempre iguais a A.

1.2) $A+A = A$

Demonstração:

$A+A = (A+A).1 = (A+A).(A+\overline{A})$

Vamos aplicar a propriedade distributiva.

$$(A + A) \,.\, (A + \overline{A}) = A + (A \,.\, \overline{A})$$

$$A + \underbrace{(A \,.\, \overline{A})}_{0} = A + 0 = A$$

$\therefore A + A = A$

2) Demonstra-se que:

$A + 1 = 1$

Demonstração:

$(A+1) = (A+1) \,.\, 1 = (A+1).1 = (A+1).(A+\overline{A})$

Aplicando a propriedade distributiva temos:

$$(A + 1) \,.\, (A + \overline{A}) = A + (1 \,.\, \overline{A})$$

$A + (1 \,.\, \overline{A}) = A + \overline{A} = 1$

$\therefore A + 1 = 1$

Uma maneira mais fácil de analisarmos esse teorema é através das duas possibilidades 0 ou 1, como mostraremos a seguir:

Para: $A = 0 \rightarrow 0 + 1 = 1$

Para: $A = 1 \rightarrow 1 + 1 = 1$

3) Chamaremos de $\overline{A}$ o complemento de A.

Assim:

O elemento 0 (zero) é o $\overline{1}$ e o elemento 1 (um) é o $\overline{0}$ } $0 = \overline{1}$, $1 = \overline{0}$

Se $A = 0 \rightarrow \overline{A} = 1$
Se $A = 1 \rightarrow \overline{A} = 0$

3.1) A partir do complemento de A, poderemos estabelecer a seguinte identidade:

$\overline{\overline{A}} = A.$

Se $A = 1 \rightarrow \overline{A} = 0$ e se $\overline{A} = 0 \rightarrow \overline{\overline{A}} = 1$

$\therefore \overline{\overline{A}} = 1$

Se $A = 0 \rightarrow \overline{A} = 1$ e se $\overline{A} = 1 \rightarrow \overline{\overline{A}} = 0$

$\therefore \overline{\overline{A}} = 0$

Assim, $\overline{\overline{A}} = A$.

4) Para cada elemento existe um único inverso(negado).

$A \rightarrow \overline{A}$ (é único).

5) $A + (\overline{A} \cdot B) = A+B$

Partindo-se da primeira identidade, iremos chegar à segunda.

$$A + (\overline{A} \cdot B) = \underbrace{(A+\overline{A})}_{1} \cdot (A+B)$$

$A + (\overline{A}.B) = 1 \cdot (A+B)$
$A + (\overline{A}.B) = (A+B)$

5.1) $A.(\overline{A}+B) = A.B$

Partindo-se da primeira identidade, vamos chegar à segunda.

$$A.(\overline{A}+B) = \underbrace{A.\overline{A}}_{0} + A.B = A.B$$

$$A.(\overline{A}+B) = A.B$$

6) Teoremas de Morgan:

$$\overline{A+B} = \overline{A}.\overline{B}$$

$$\overline{A.B} = \overline{A}+\overline{B}$$

Para provarmos esses dois teoremas vamos montar a tabela verdade de cada identidade e comparar os resultados.

A	B	$\overline{A}$	$\overline{B}$	$\overline{A}.\overline{B}$	$\overline{A+B}$	$\overline{A.B}$	$\overline{A}+\overline{B}$
0	0	1	1	1	1	1	1
0	1	1	0	0	0	1	1
1	0	0	1	0	0	1	1
1	1	0	0	0	0	0	0

são iguais — são iguais

Ambos os teoremas serão também verificados pela teoria dos conjuntos, que estudaremos logo a seguir:

Vamos passar para alguns exercícios de aplicação e verificar a grande utilidade da álgebra de Boole para a simplificação de expressões e circuitos lógicos.

Para isso o aluno deve se familiarizar bem como os postulados e teoremas já estudados e revistos a seguir, de forma bem reduzida.

TEOREMAS DA ÁLGEBRA BOOLEANA

Função ou (+)

1) $0 + A = A$
2) $1 + A = 1$
3) $A + \underline{A} = A$
4) $\underline{A} + \overline{A} = 1$
5) $\overline{A} + 1 = 1$

Função E (.)

1) $0 \cdot A = 0$
2) $1 \cdot A = A$
3) $A \cdot \underline{A} = A$
4) $A \cdot \overline{A} = 0$

Função NÃO

1) $\overline{\overline{A}} = A$

Comutatividade

1) $A + B = B + A$
2) $A \cdot B = B \cdot A$

Associatividade

1) $A + (B + C) = (A + B) + C$
2) $A \cdot (B \cdot C) = (A \cdot B) \cdot C$

Distributividade

1) $A \cdot (B + C) = (A \cdot B) + (A \cdot C)$
2) $A + (B \cdot C) = (A + B) \cdot (A + C)$
3) $(A + B) \cdot (A + C) = A + (B \cdot C)$

Absorção

1) $A + (A \cdot B) = A$
2) $A \cdot (\underline{A} + B) = A$
3) $A + (\underline{A} \cdot B) = A + B$
4) $A \cdot (\overline{A} + B) = A \cdot B$

Teoremas de Morgan

1) $\overline{A + B} = \overline{A} \cdot \overline{B}$
2) $\overline{A \cdot B} = \overline{A} + \overline{B}$

Exercícios:

1) Demonstrar, através de manipulação algébrica boolea - na, a validade das equivalências abaixo:

a) $(A.B) + (\overline{B}.\overline{C}) + (A.\overline{C}) = (A.B) + (\overline{B}.\overline{C})$

Partindo-se da primeira identidade, chegaremos à segun da:

$$(A.B) + (\overline{B}.\overline{C}) + (A.\overline{C}) \; . \; \underbrace{(B+\overline{B})}_{1} =$$

$$= (A.B) + (\overline{B}.\overline{C}) + (A.\overline{C}.B) + (A.\overline{C}.\overline{B}) =$$

Colocando (A.B) em evidência vem:

$$\rightarrow A.B(1+\overline{C}) + (\overline{B}.\overline{C}) + (A.\overline{C}.\overline{B})$$

Colocando $(\overline{B}.\overline{C})$ em evidência teremos:

$$\rightarrow A.B\ (1+\overline{C}) + (\overline{B}.\overline{C}) \; . \; (1+A)$$

Mas, $(1+\overline{C}) = 1$ e $(1+A) = 1$

Logo:

$$= (A.B) + (\overline{B}.\overline{C}) \quad (C.Q.D.)$$

b) $(A+B) \; . \; (\overline{A}+C) = (A.C) + (\overline{A}.B)$

Vamos partir da primeira identidade para chegarmos à segunda.

$$(A+B) \; . \; (\overline{A}+C) = \underbrace{A.\overline{A}}_{0} + A.C + B.\overline{A} + B.C$$

$$= A.C + B.\overline{A} + B.C$$

Podemos aplicar o seguinte artifício:

$$= A.C + B.\overline{A} + B.C \; . \; \underbrace{(A+\overline{A})}_{1}$$

$$= A.C + B.\overline{A} + B.C.A + B.C.\ \overline{A}.$$

Colocando A.C em evidência teremos:

$= A.C\ (1+B) + \overline{A}.B + \overline{A}.B.C$

Colocando $\overline{A}.B$ em evidência, vem:

$= A.C\ (1+B) + \overline{A}.B\ (1+C)$

Mas $(1+B) = 1$ e $(1+C) = 1$

Logo:

$= A.C + \overline{A}.B$ (C.Q.D.)

c) $(A+B) \cdot (A+C) = A+(B.C)$

Partindo-se da primeira identidade chegaremos à segunda.

$(A+B) \cdot (A+C) = \underbrace{A.A}_{A} + A.C + B.A + B.C$

$= A + A.C + A.B + B.C.$

Colocando A e B em evidência vem:

$= A.\underbrace{(1+C)}_{1} + B.(A+C)$

$= A + B.(A+C)$
$= A + A.B + B.C.$

Colocando A em evidência teremos:

$= A.\underbrace{(1+B)}_{1} + B.C$

$= A + (B \cdot C)$ (C.Q.D.)

C.Q.D = como queríamos demonstrar.

Vimos, pelos exemplos, através dos teoremas, como provar as igualdades. Desta forma, se o aluno tiver em mente os teoremas da Álgebra Booleana, terá uma ferramenta muito útil pa-

ra os circuitos digitais.

TEORIA DOS CONJUNTOS

A teoria dos conjuntos é outro exemplo da Álgebra de Boole. Pode-se considerar um conjunto qualquer coleçao de objetos ou elementos.

Para se referir a uma álgebra de conjuntos, devemos limitar os objetos que constituem tais conjuntos, de acordo com certos critérios significativos. O conjunto universal, por exemplo, se define de tal forma que inclua cada objeto que satisfaça critérios. Por razões lógicas, o conjunto universal - deve conter, necessariamente, pelo menos um objeto. O conjunto universal pode conter também um número finito de objetos.

Um grupo de pontos dentro de um plano é uma região finita de um plano, um exemplo interessante de um conjunto universal.

Quando se diz que R é um subconjunto de S, isto significa que cada objeto de R encontra-se também em S. Simbolizamos isto do seguinte modo: $R \subset S$.

Temos também um segundo conjunto importante que é o conjunto vazio, ou seja, aquele que não contém nenhum objeto.

O conjunto universal e o conjunto vazio são representados por Su e Sz, respectivamente (existem ainda outras nomenclaturas).

A união dos conjuntos R e S vem a ser o conjunto que contém todos os objetos tanto de R como de S, simbolizado por: $R \cup S$.

A intersecção dos conjuntos R e S é o conjunto que contém os elementos que se encontram em ambos os conjuntos R e S e a intersecção é designada como: $R \cap S$.

O complemento de um conjunto S, designado como C(S), contém os objetos que se encontram no conjunto universal, menos os do conjunto S.

Vamos exemplificar, para que o aluno possa entender com maior facilidade, cada representação.

Na figura 1, no retângulo, temos a configuração do con

junto universal, onde temos um grupo de pontos.

Os dois conjuntos R e S contêm os pontos do conjunto universal, encontrados dentro de seus respectivos círculos. Uma representação deste tipo é conhecida como diagrama de Venn.

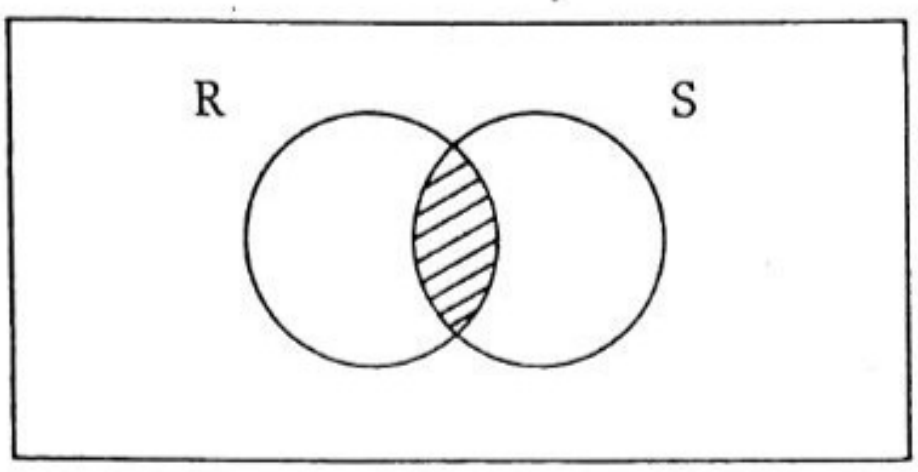


FIGURA 1

R ∩ S

A parte hachurada da figura 1 é a intersecção dos conjuntos R e S.

Da mesma forma, nas figuras 2 e 3, respectivamente, indicamos R ∪ S e o complemento de S → C(S).

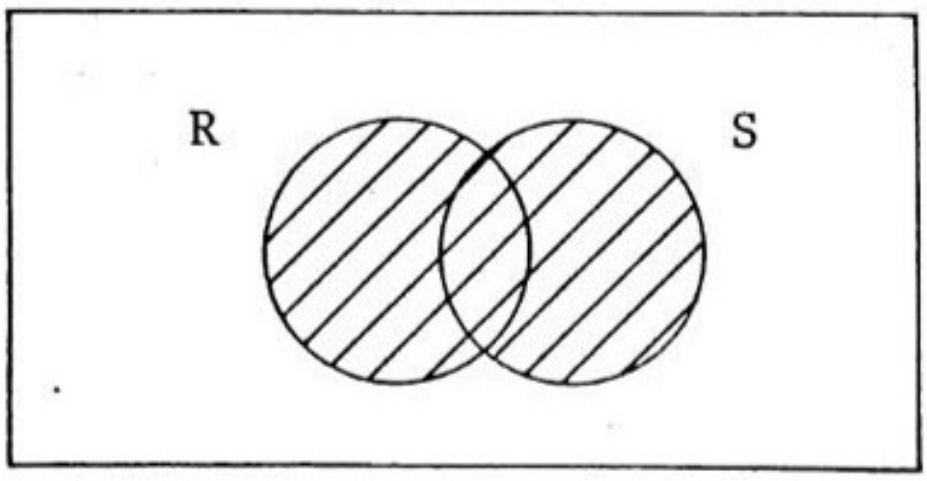


FIGURA 2

R ∪ S

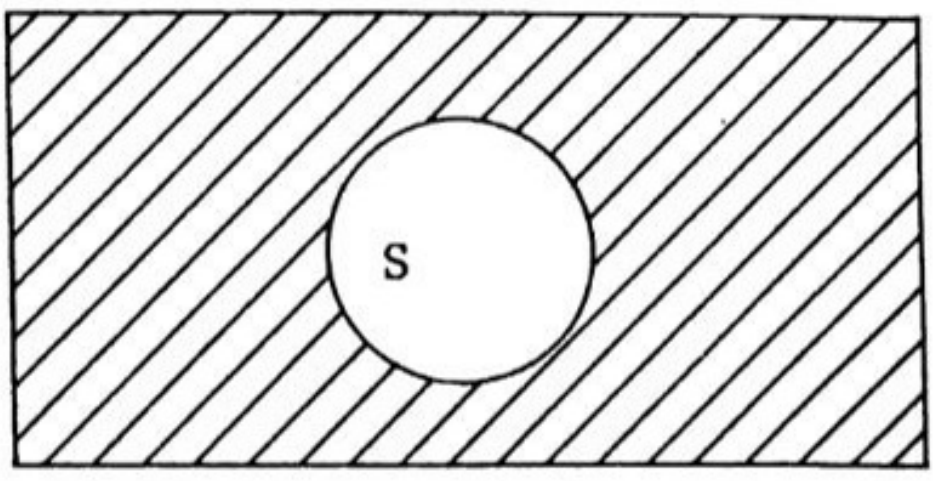


FIGURA 3

C(S) → Complemento de S

Recordando os postulados e teoremas já vistos, selecionaremos um conjunto de K objetos, que irão constituir conjuntos não contendo outros pontos que não sejam aqueles pertencentes ao conjunto universal.

O conjunto vazio que pertence a tais conjuntos é também um subconjunto do universal.

Desta forma, conforme indica a tabela da figura 4, podemos fazer a seguinte analogia:

$\cap$	$\longleftrightarrow$	.	(intersecção)
$\cup$	$\longleftrightarrow$	+	(união)
Sz	$\longleftrightarrow$	0	(conjunto vazio)
Su	$\longleftrightarrow$	1	(conjunto universo)
C(S)	$\longleftrightarrow$	$\overline{S}$	(complemento de S)
			($\longleftrightarrow$ lê-se equivale a).

FIGURA 4

De acordo com a interpretação da teoria dos conjuntos, as leis distributivas se convertem em:

$$A \cup (B \cap C) = (A \cup B) \cap (A \cup C) \qquad (I)$$

e

$$A \cap (B \cup C) = (A \cap B) \cup (A \cap C) \qquad (II)$$

Utilizando o diagrama de Venn (teoria dos conjuntos), podemos visualizar melhor as equações I e II, como se observa na figura 5.

FIGURA 5A

$A \cup (B \cap C)$

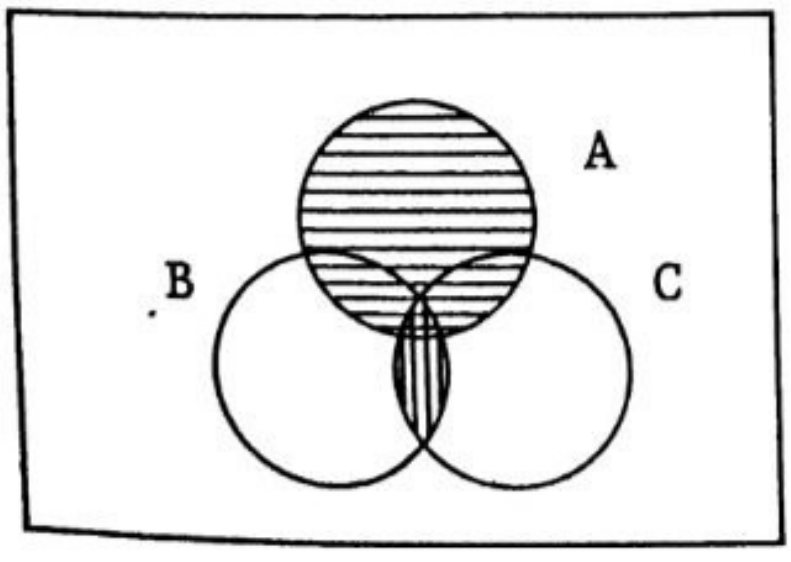
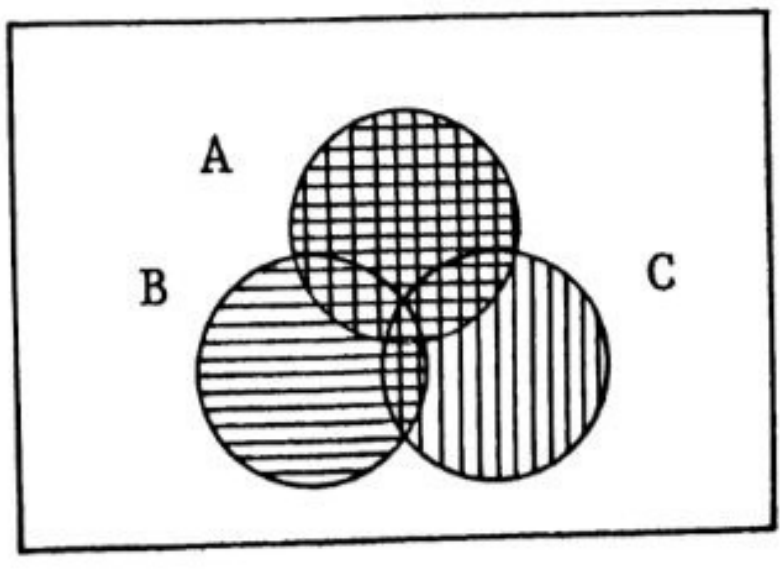


FIGURA 5B

$(A \cup B) \cap (A \cup C)$



Observando a figura 5A, nota-se que o conjunto $B \cap C$ está sombreado com linhas verticais; o conjunto A, com linhas horizontais e o conjunto $A \cup (B \cap C)$ compõe-se das partes sombreadas de ambas as formas, isto é, com linhas verticais e horizontais.

Na figura 5B, o conjunto $A \cup B$ representa-se por linhas horizontais e o conjunto $A \cup C$, por linhas verticais. As intersecções de ambos os conjuntos: $(A \cup B) \cap (A \cup C)$ são dadas então, pela zona das linhas cruzadas da figura 5B.

Observe que as zonas que representam ambos os lados da equação I são idênticas.

A validez da equação II pode-se ilustrar da mesma maneira, utilizando o diagrama de Venn.

E de acordo com a definição do complemento, segue-se imediatamente que:

$R \cap \overline{R} = Sz$ (conjunto vazio)

e

$R \cup \overline{R} = Su$ (conjunto universo)

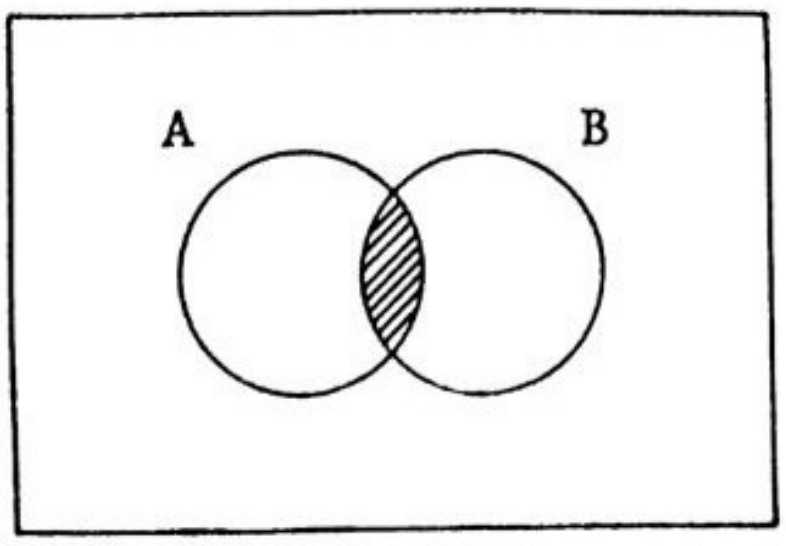
Da mesma forma, podemos demonstrar os teoremas de Morgan pela comparação entre os conjuntos resultantes das operações indicadas nos dois membros das expressões, como acabamos de exemplificar.

Vamos então provar o teorema de Morgan:

$$\overline{A \cdot B} = \overline{A} + \overline{B}$$

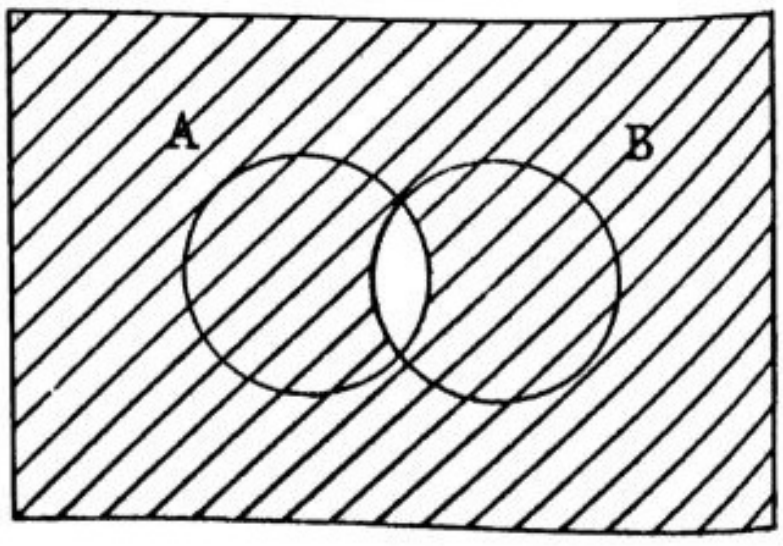
O termo $\overline{A \cdot B}$ é representado na figura 6b por $C(A \cap B)$, (lê-se complemento de A intersecção com B).

FIGURA 6a



$A \cap B$

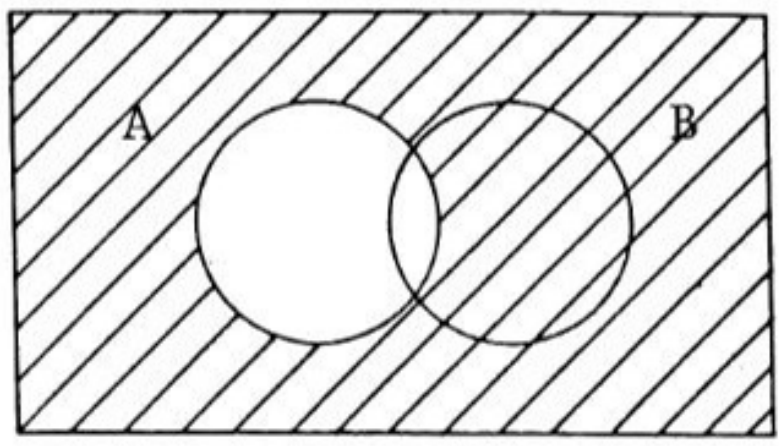
FIGURA 6b



$C\ (A \cap B)$

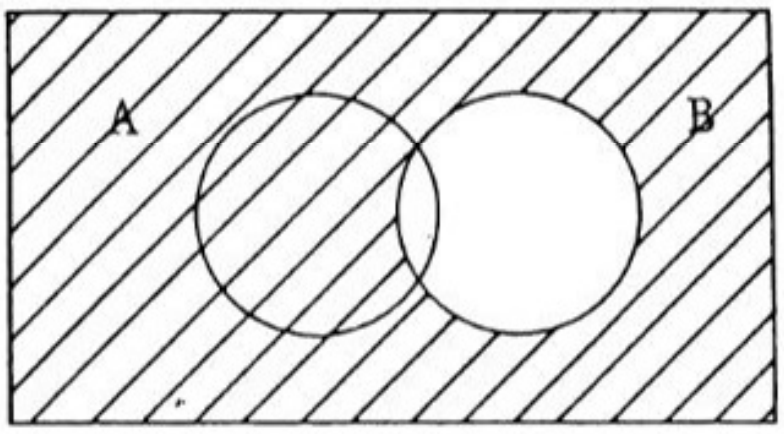
O segundo membro do teorema de Morgan é o conjunto resultante de $C(A) \cup C(B) = \overline{A} + \overline{B}$ idêntico ao obtido acima, conforme podemos verificar pela figura 7c.

FIGURA 7a



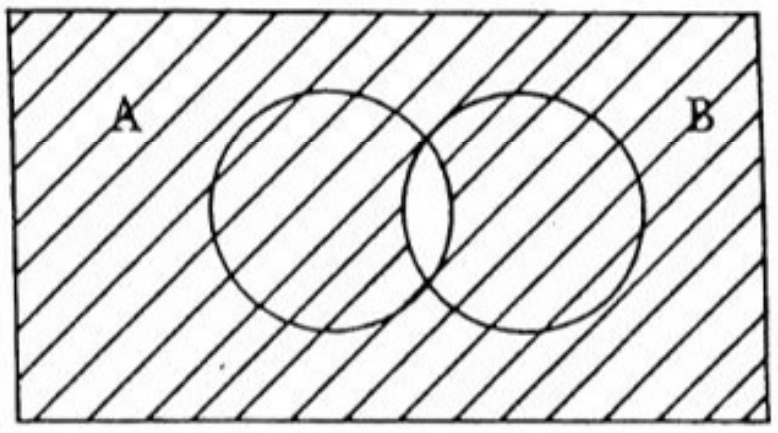
C (A)

FIGURA 7b



C (B)

FIGURA 7c

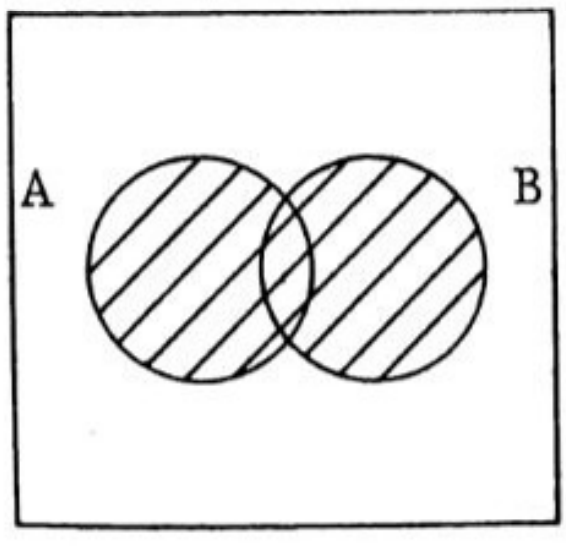


C (A) ∪ C (B)

O segundo teorema de Morgan é dado por: $\overline{A + B} = \overline{A} \cdot \overline{B}$, sua demonstração é ilustrada nas figuras 8b e 9c, onde o aluno poderá comprovar através das seguintes operações:

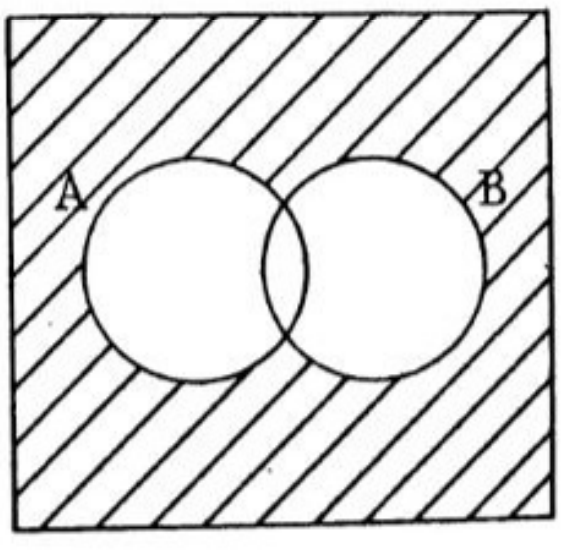
C (A ∪ B) → $\overline{A + B}$ → figura 8b
C (A) ∩ C(B) → $\overline{A} \cdot \overline{B}$ → figura 9c

FIGURA 8a



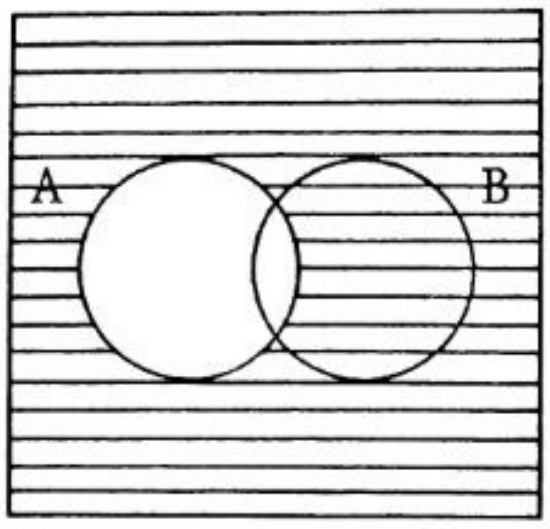
A ∪ B

FIGURA 8b



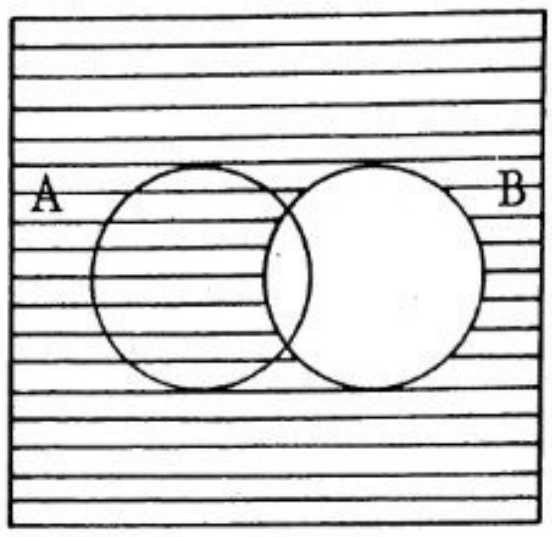
C (A ∪ B)

FIGURA 9a



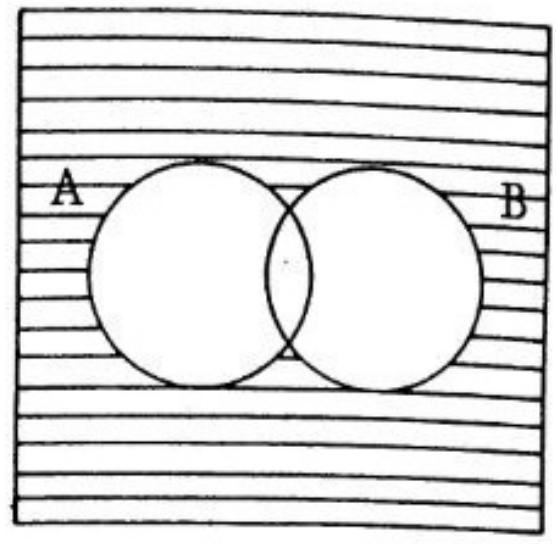
C (A)

FIGURA 9b



C (B)

FIGURA 9c



C (A) ∩ C(B)

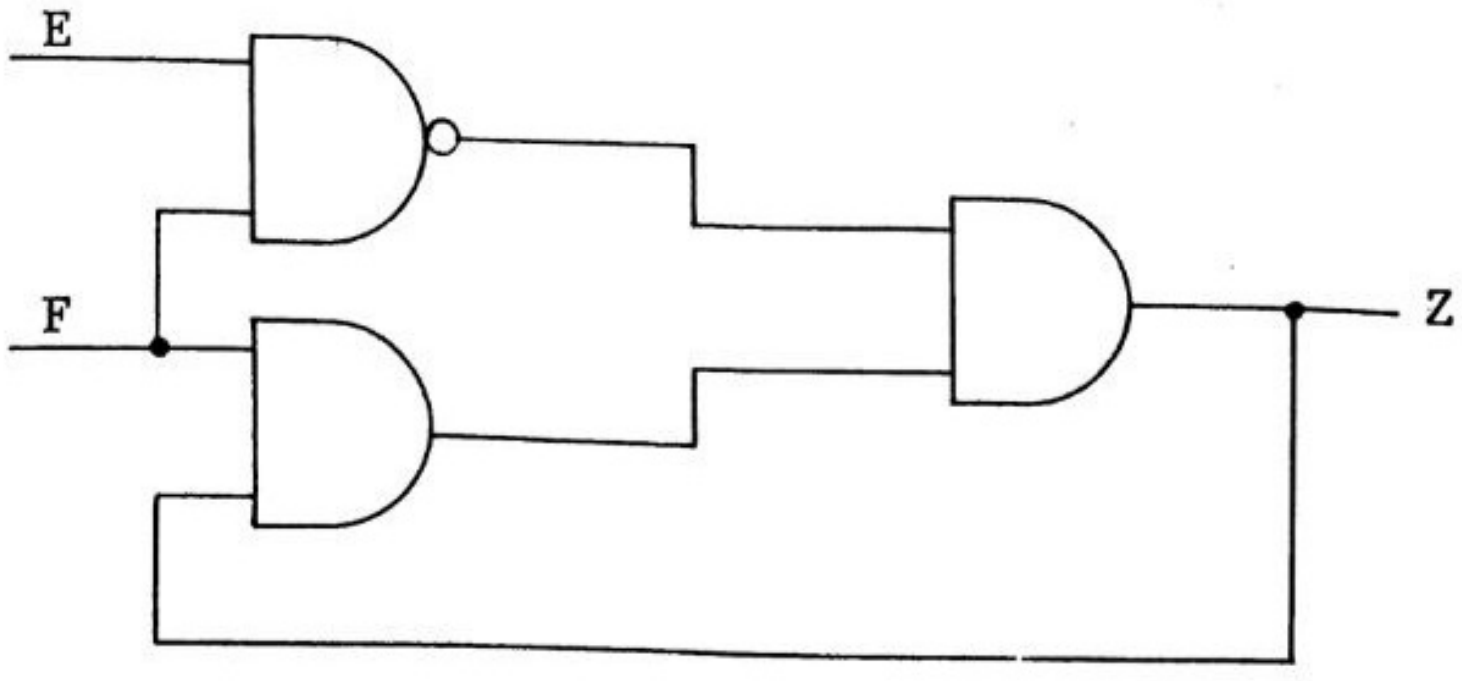
Como foram representadas e demonstradas várias expressões, outras relações lógicas também poderão ser comprovadas pelo aluno.

Vamos agora passar à simplificação de alguns blocos lógicos, onde o aluno poderá visualizar as aplicações dos postulados vistos, principalmente no que diz respeito aos teoremas de Morgan.

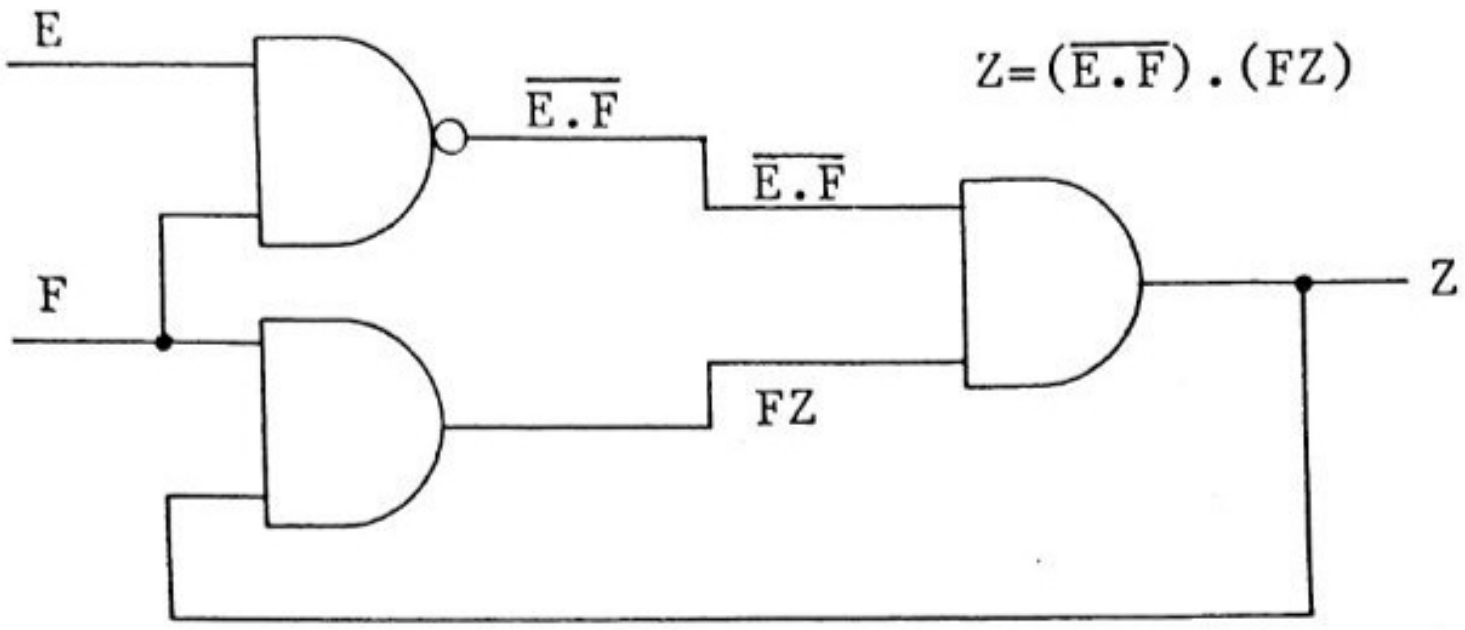
Exercícios:

1) Simplificar ao máximo as funções dadas abaixo:

a)



Primeiramente vamos encontrar a expressão de Z.



Sabemos que por Morgan: $\overline{A \cdot B} = \overline{A} + \overline{B}$

Logo:

$$Z = (\overline{E} + \overline{F}) \cdot (F \cdot Z)$$

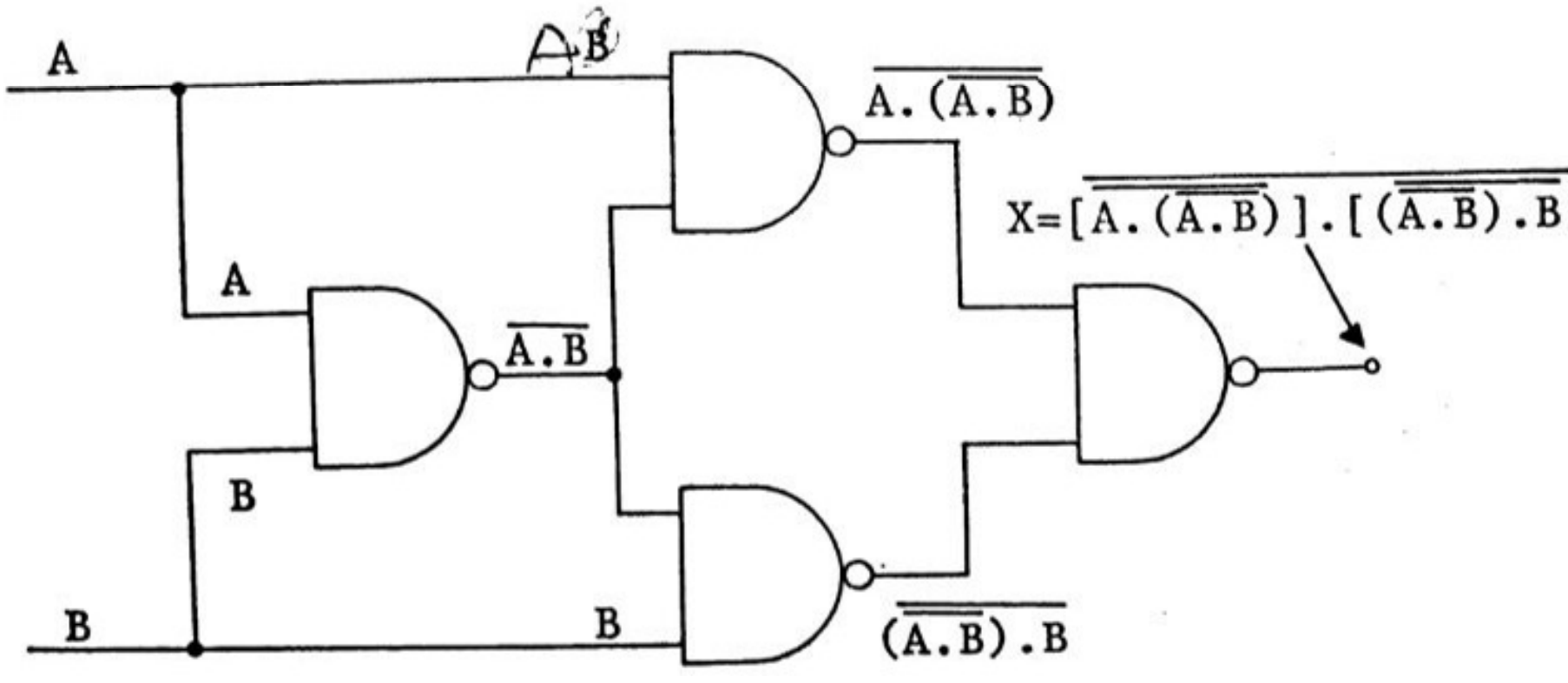
$$Z = (\overline{E} \cdot F \cdot Z) + (\overline{F} \cdot F \cdot Z)$$

$$0$$

Logo:

$Z = \overline{E} \cdot F \cdot Z$ o que simplificou a expressão de Z.

b)



A nossa expressão é:

$$X = \overline{\overline{[A.(\overline{A.B})]} \;.\; \overline{[B.(\overline{A.B})]}}$$

Sabemos do teorema de De Morgan que:

$$\overline{A \;.\; B} = \overline{A} + \overline{B}$$

$$X = \overline{\underbrace{[A.(\overline{A.B})]}_{A} \;.\; \underbrace{[B.(\overline{A.B})]}_{B}} = \overline{[A.(\overline{A.B})]} + \overline{[B.(\overline{A.B})]}$$

$$= A.\underbrace{(\overline{A.B})}_{\text{De Morgan}} + B.\underbrace{(\overline{A.B})}_{\text{De Morgan}}$$

$$= A.(\overline{A}+\overline{B}) + B(\overline{A}+\overline{B}) = A\cancel{.\overline{A}}^{0} + A.\overline{B} + \overline{A}.B + B\cancel{.\overline{B}}^{0}$$

Logo: $X = A.\overline{B} + \overline{A}.B$

2) Verificar as identidades a seguir utilizando Álgebra de Boole:

a) $A + (A.B) = A$

Aplicando a distributiva, teremos:

$$A + (A.B) = \underbrace{(A+A)}_{A} \;.\; (A+B)$$

$$= A \;.\; (A+B) \qquad \overbrace{1}$$

$$= A \;.\; [(A+B) \;.\; \overbrace{(\overline{A}+A)}]$$

$$= A \;.\; [\cancel{A.\overline{A}}^{0}+A.A+\overline{A}.B+A.B]$$

$$= A \;.\; [A.A+\overline{A}.B+A.B] = \underbrace{A.A.A}_{A} + \cancel{A.\overline{A}.B}^{0} + A.A.B = \underbrace{A.A}_{A} + \underbrace{A.A.B}_{A}$$

$$= A + A \cdot B = A\underbrace{(1+B)}_{1} = A$$

$$\therefore A + (A.B) = A$$

b) $[(\overline{A} + B) \cdot (B + \overline{A})] \cdot \overline{A} = \overline{A}$

Sabemos que:

$$A \cdot A = A$$

Assim:

$$(\overline{A} + B) \cdot (\overline{A} + B) = (\overline{A} + B)$$

$$(\overline{A} + B) \cdot \overline{A} = \overline{A} \cdot \overline{A} + \overline{A} \cdot B$$

$$= \overline{A} + \overline{A} \cdot B = \overline{A}\underbrace{(1+B)}_{1} = \overline{A} \qquad \text{(C.Q.D.)}$$

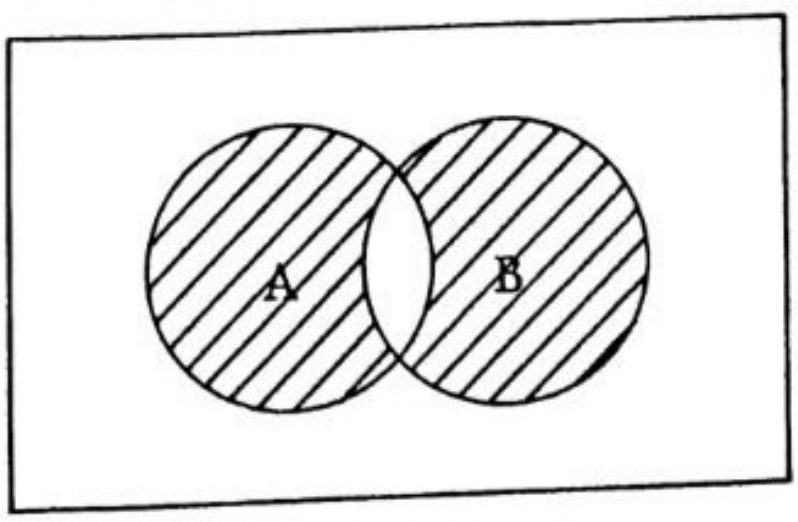
c) $\overline{A}.\overline{B}.\overline{C} + \overline{A}.B.\overline{C} + A.\overline{B}.C = \overline{A}.\overline{C} + A.\overline{B}.C$

$$\overline{A}.\overline{B}.\overline{C} + \overline{A}.B.\overline{C} + A.\overline{B}.C = \overline{A}.\overline{C}\underbrace{(\overline{B}+B)}_{1} + A.\overline{B}.C$$

$$= \overline{A}.\overline{C} + A.\overline{B}.C$$

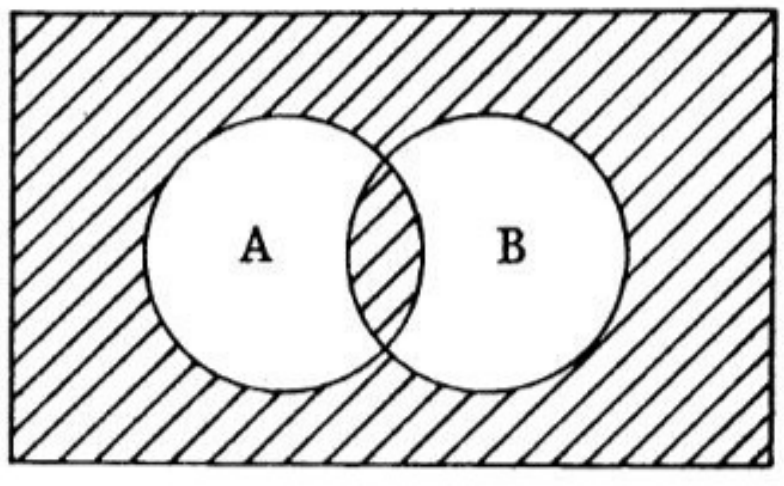
$$\therefore \overline{A}.\overline{B}.\overline{C} + \overline{A}.B.\overline{C} + A.\overline{B}.C = \overline{A}.\overline{C} + A.\overline{B}.C$$

3) Mostrar a função "OU EXCLUSIVO" por meio da representação do diagrama de Venn:



$A \oplus B$

4) Mostrar a função "NÃO OU EXCLUSIVO" por meio da representação do diagrama de Venn:



$$\overline{A \oplus B}$$

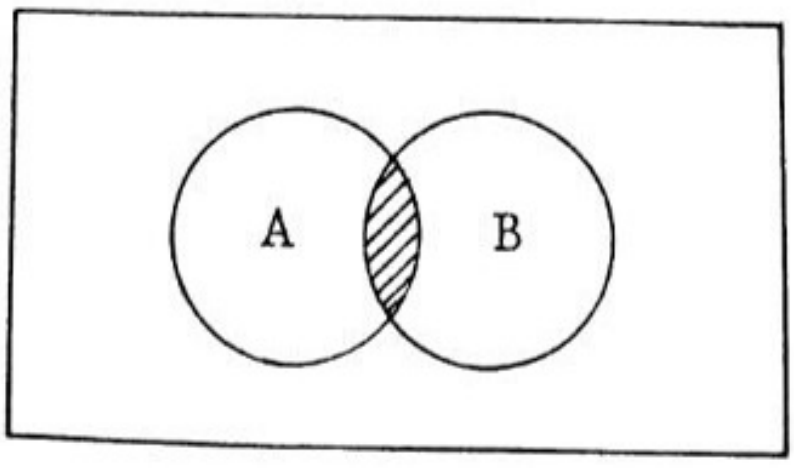
CEDM - CURSO DE ELETRONICA DIGITAL E MICROPROCESSADORES

EXAME DA LIÇÃO ED-8

OBSERVAÇÃO

- cada questão é composta de três ou quatro alternativas.
- só uma delas está correta.
- marque a que considerar correta.
- passe as respostas corretas para a folha de exame.

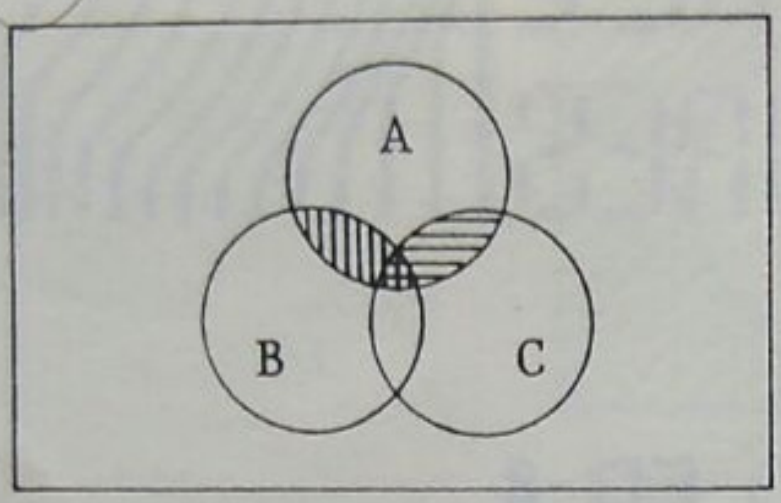
1) A parte hachurada da figura abaixo corresponde à seguinte alternativa:



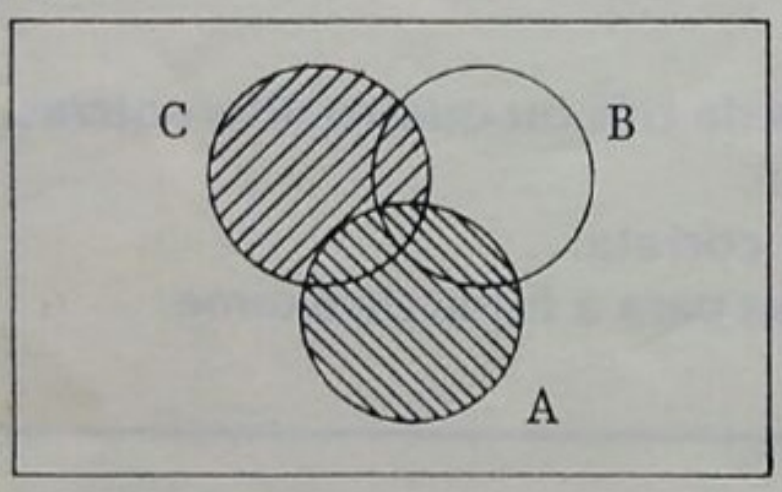
a) $A \cup B$;
b) $A \cap \overline{B}$;
c) $A \cup \overline{B}$;
d) C (A).

2) A expressão $(A \cap B) \cup (A \cap C)$ corresponde à seguinte área no diagrama de Venn:

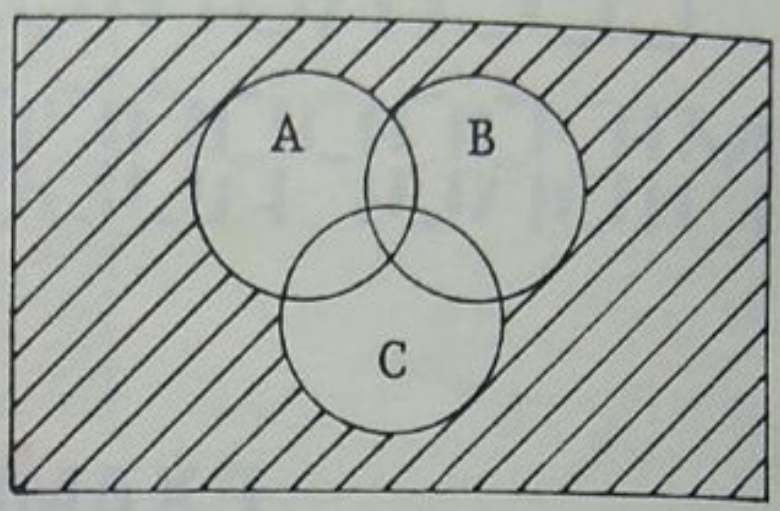
a)



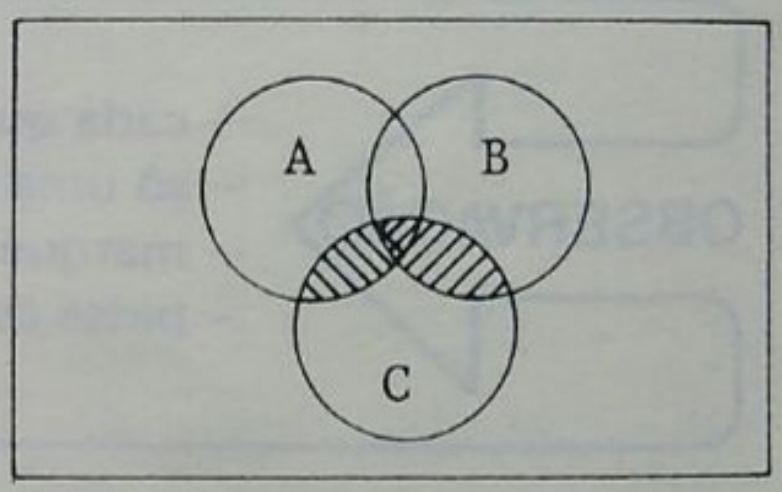
b)



c)



d)



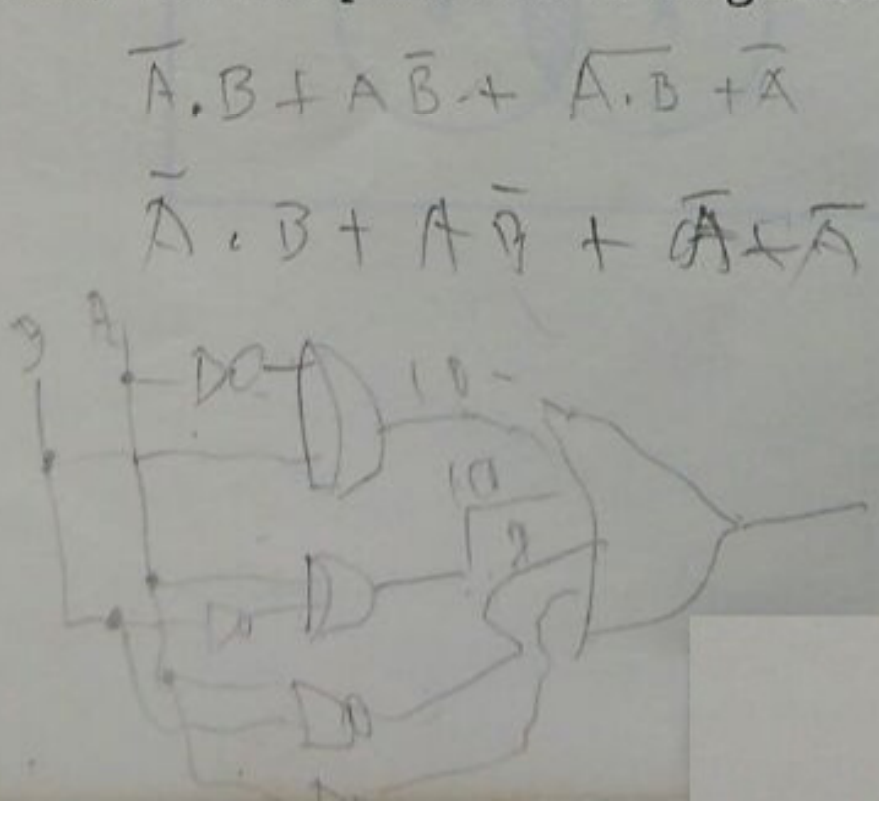
3) A expressão $\overline{A}.B + \overline{A.B} + A.\overline{B} + \overline{A}$, simplificada através da álgebra booleana, corresponderá à seguinte expressão:

a) A + B;

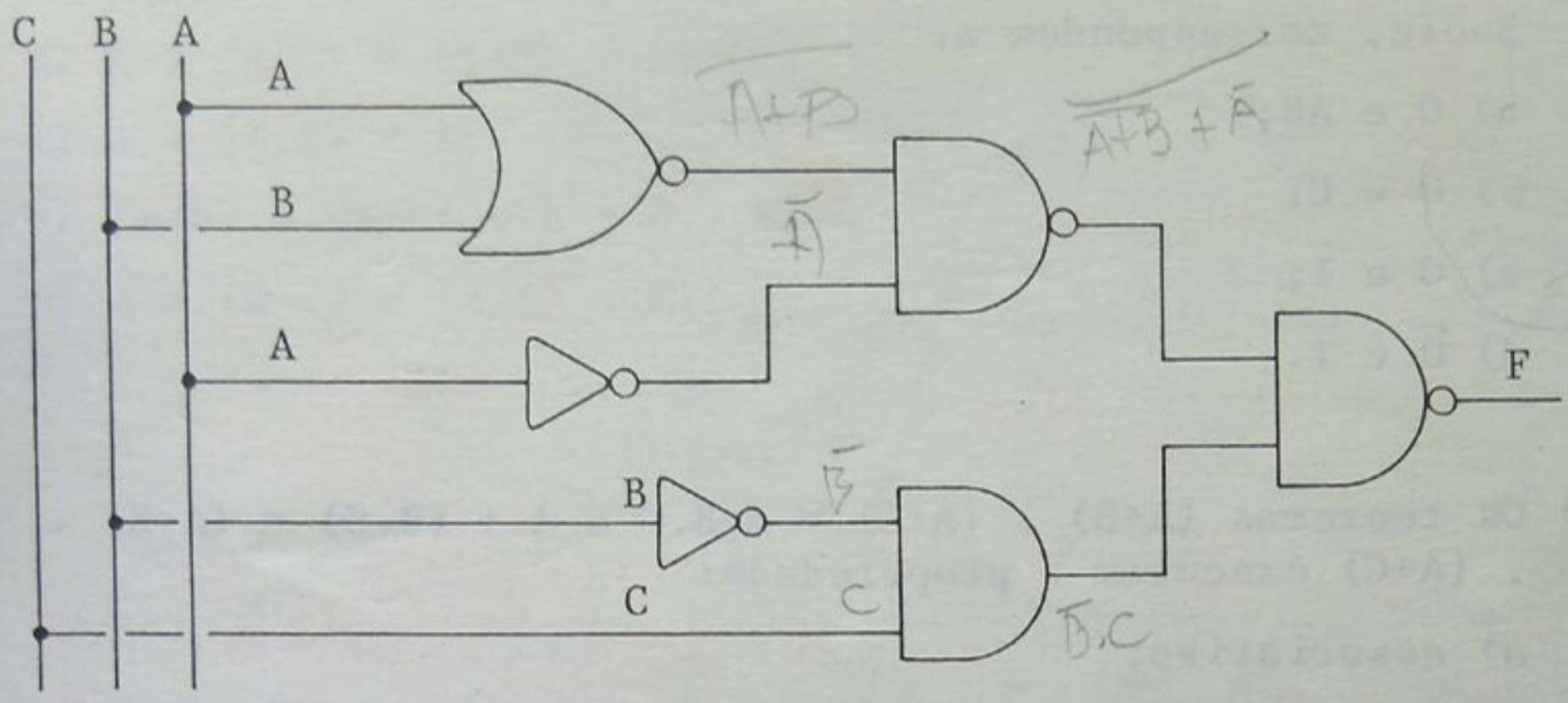
b) A . B;

c) $\overline{A \ . \ B}$;

d) $\overline{A}$



4) O circuito lógico corresponde à seguinte expressão final:



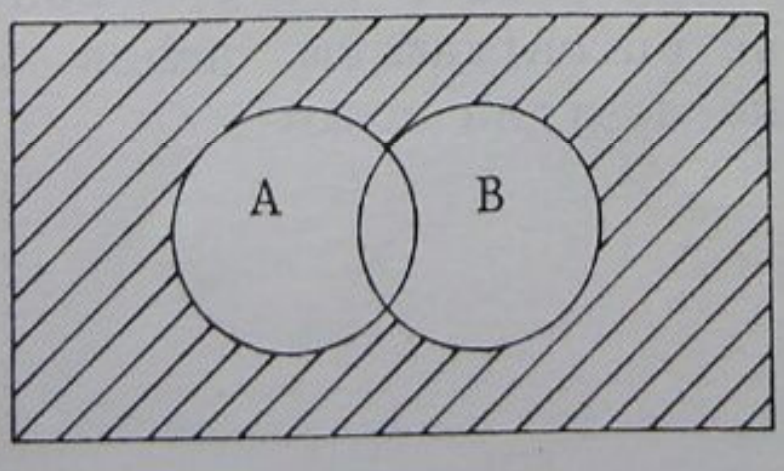
a) $F = \overline{\overline{(A+B)} \cdot A \cdot \overline{B}.C}$

b) $F = \overline{\overline{(A+B)} \cdot \overline{A} \cdot \overline{B}.C}$

c) $F = \overline{(A+B) \cdot \overline{A} \cdot \overline{B}.C}$

d) $F = \overline{(A+B) \cdot A \cdot B.\overline{C}}$

5) O diagrama de Venn dado a seguir corresponde à seguinte alternativa.



a) $A \cap B$;
b) $C(A \cap B)$;
c) $C(\underline{A} \cup B)$;
d) $C(\overline{A} \cup B)$.

6) As expressões: $X = (A+B) \cdot (C+D) \cdot 0$ e $Y = A+\overline{A}+B.C+\overline{B.C}$ simplificadas através dos postulados e teoremas da Álgebra de Boole, correspondem a:

a) 0 e AB;

b) 0 e C;

c) 0 e 1;

d) $\overline{0}$ e $\overline{1}$.

7) Os teoremas $(A+B) \cdot (A+C) = A+B.C$ e $A + (B.C) = (A+B) \cdot (A+C)$ executam a propriedade:

a) associativa;

b) de absorção;

c) comutativa;

d) distributiva.

8) Assinale a alternativa correta:

a) $\overline{A} \cdot B + A.B + C = C$;

b) $(\overline{A} + \overline{B}) + \overline{(A \cdot B)} + C = 1$;

c) $\overline{(\overline{\overline{A+B}}) + \overline{B} + \overline{C} + C + (\overline{D} + A)} = \overline{A + \overline{D}}$;

d) não existe nenhum teorema da álgebra booleana que execute a propriedade distributiva.

9) A intersecção de dois conjuntos R e S é o conjunto que contém os elementos que se encontram em ambos os conjuntos R e S. A intersecção se designa como:

a) $R \cap S$;

b) $R \cup S$;

c) $R \emptyset S$;

d) $C (R \emptyset S)$.

0) Assinale a alternativa incorreta:

a) A + (B.C) = (A+B) . (A+C);

b) A + (A.B) = A;

c) (A+B) . (A+C) = A + B . C;

d) A + (B+C) = (A+B) . C.

D(A+B)+e)

A+ (A.B) = A

A+A . AB = A . (A,B)

A . A (1+ B) = A

1

(A+B) . (A+C) =

AA + AC + AB + BC

A + AC + AB + BC

A . (1+C) + A+B(1+B)

A +

A + (B+C) = (A+B) + C

A + (B.C) = (A+B) . (A+C)

CEDM-CURSO DE
ELETRONICA DIGITAL E
MICROPROCESSADORES
CAIXA POSTAL 1642 – CEP 86100 – LONDRINA-PR.

LIÇÃO ED-9

SIMPLIFICAÇÃO DE EXPRESSÕES E CIRCUITOS I

(Mapas de Veitch-Karnaugh)

O mapa de Karnaugh é um dos meios de simplificação de circuitos lógicos e expressões lógicas de muita utilidade.Não se baseia em nenhum teorema novo e somente no raciocínio, que é bem simples e de fácil compreensão.

O mapa de Karnaugh pode ser considerado como uma extensão do diagrama de Venn.

Os mapas de Karnaugh podem ter duas formas, como indicam a figura 1 e figura 2.

FIGURA 1

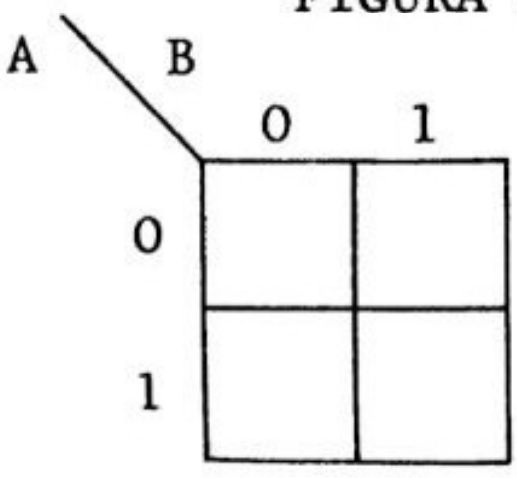
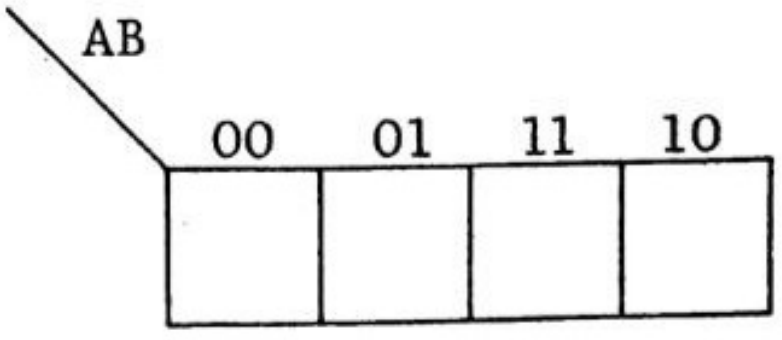


FIGURA 2



Os mapas de Karnaugh das figuras 1 e 2 são para duas

variáveis (A e B), embora mapas de duas variáveis sejam de rara utilidade. Porém, para os problemas básicos, iremos iniciar com o mapa de duas variáveis em ambas as formas.

Inicialmente vamos considerar uma tabela verdade para duas variáveis A e B. Anotam-se as quatro combinações possíveis de entrada e os valores de saída de função correspondente.

Vamos considerar, por exemplo, as tabelas verdade das funções "E" (AND) e "OU (OR). Ver figura 3 e 4 respectivamente:

TABELA VERDADE DA FUNÇÃO "E"

A	B	A.B
0	0	0
0	1	0
1	0	0
1	1	1

FIGURA 3

TABELA VERDADE DA FUNÇÃO "OR"

A	B	A+B
0	0	0
0	1	1
1	0	1
1	1	1

FIGURA 4

Como o aluno pode ver pelas figuras 1 e 2, o mapa de Karnaugh para duas variáveis, que é o nosso caso, consiste de 4 (quatro) células representando cada célula uma combina - ção das variáveis A e B.

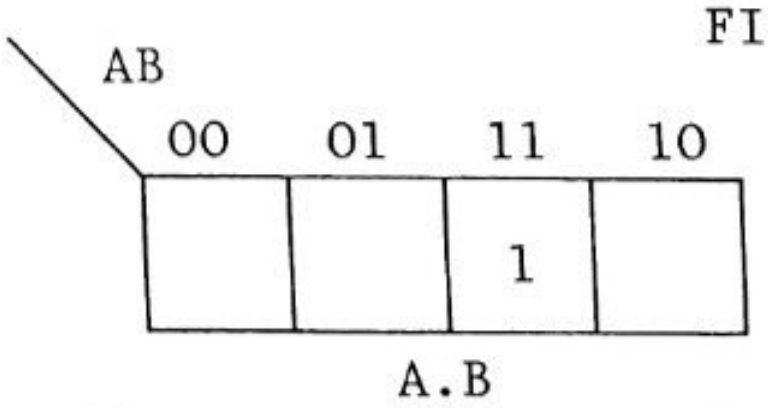
Cada quadrado ou célula terá o valor um (1), quando a função tiver o valor 1 na saída.

E terá o valor zero (0), quando a função de saída assu

mir valor zero. Geralmente se omite a colocação do zero nas células para maior clareza do mapa. O aluno verá mais adiante que somente o valor um no mapa de Karnaugh é que é interessante.

Logo, para a função "E" (AND) esta só assumirá valor 1 quando A e B forem iguais a um. Na figura 5 indicamos as duas formas do mapa de Karnaugh para a função "E" (AND).

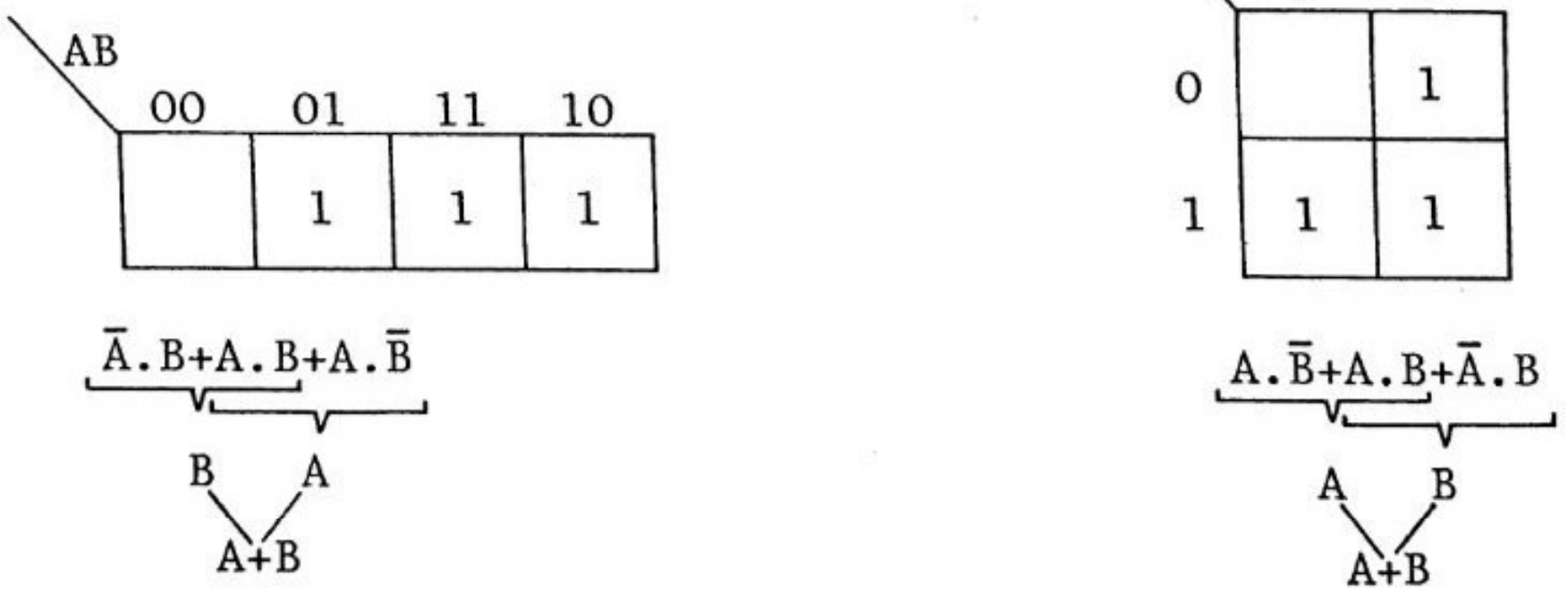
FIGURA 5



Para as outras combinações de A e B, isto é, A = 0 e B = 0, A = 0 e B = 1, A = 1 e B = 0, a função assume valor zero que nós omitimos no mapa de Karnaugh.

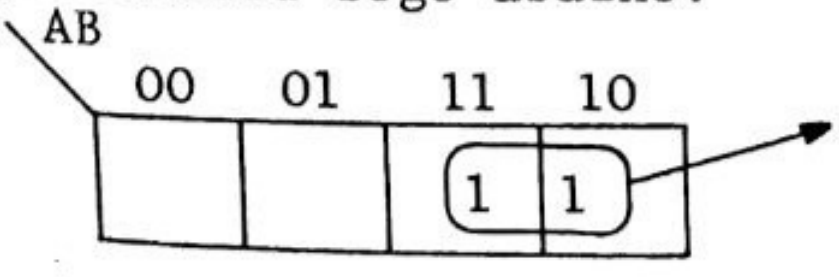
Vamos agora considerar a função "OU" (OR). Sua tabela verdade é dada na figura 4 e assume valor 1 para 3 combinações possíveis de A e B. O mapa de Karnaugh, nas duas formas, é dada pela figura 6.

FIGURA 6



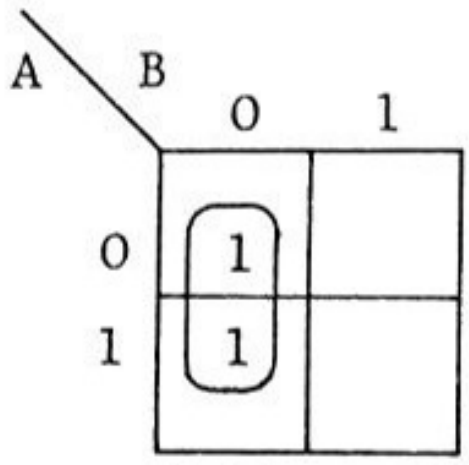
Observando a figura 6, podemos definir células que são adjacentes entre si. Isto é melhor visualizado pela figura 7, apresentada logo abaixo:

FIGURA 7

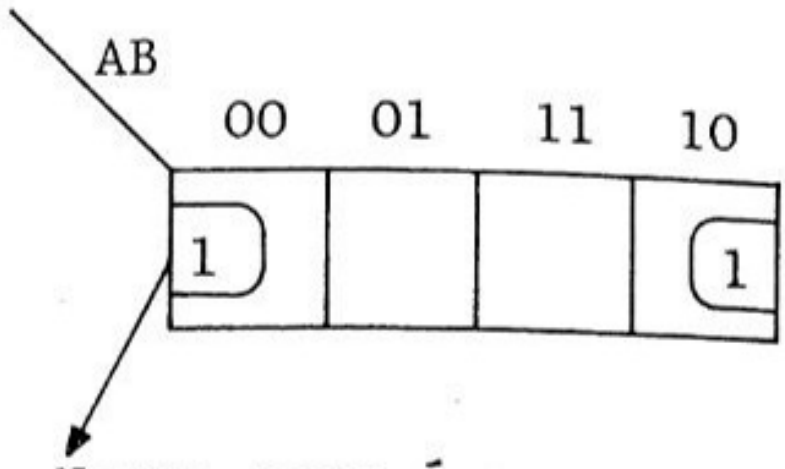


Células adjacentes entre si podem ser agrupadas entre si
$(A.B) + (A.\bar{B}) = A$

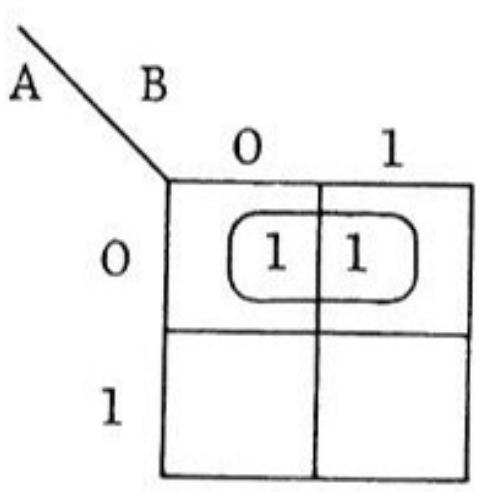
Da mesma forma podemos ter:



$(\bar{A}.\bar{B})+(A.\bar{B})=\bar{B}$



Neste caso é como se as duas pontas se tocassem formando um circulo $(\bar{A}.\bar{B})+(A.\bar{B}) = \bar{B}$

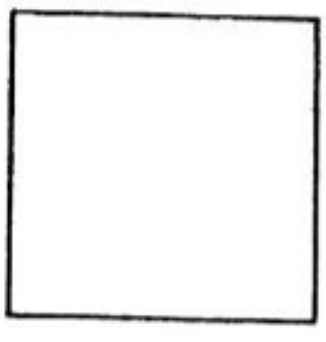


$(\bar{A}.\bar{B})+(\bar{A}.B)=\bar{A}$

De outro ponto de vista, se o aluno recordar a interpretação do diagrama de Venn (Lição ED-8), o conjunto universal se interpreta como o conjunto de todas as 2^n combinações de valores de n variáveis, dividindo o conjunto em 2^n áreas iguais e sombreando as que correspondem às combinações, para que a função tenha o valor 1.

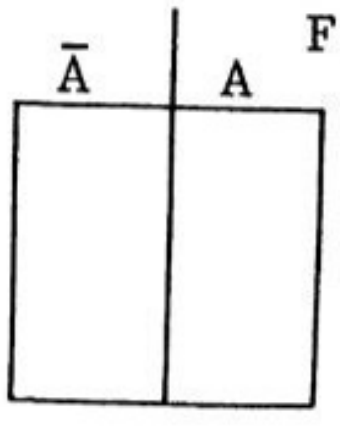
Na figura 8, temos a representação do conjunto universal. Na figura 8A, dividimos pela metade o conjunto, para corresponder às combinações de entrada em que A = 1 e às combinações em que $\bar{A}$ = 0.

FIGURA 8



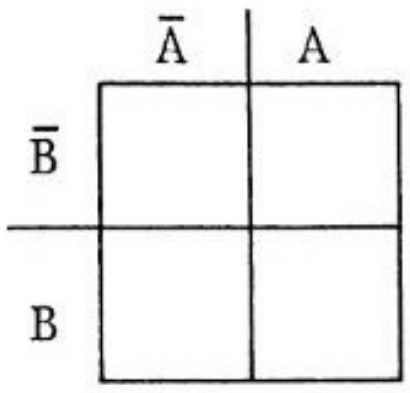
Conjunto universal

FIGURA 8A



E finalmente, na figura 8B, temos a nova divisão que corresponde a B = 1 e $\bar{B}$ = 0.

FIGURA 8B



Com esta notação, as interpretações da função "E" (AND) (como a intersecção de conjuntos) e da função "OU" (OR), (como a união de conjuntos) facilitam enormemente para a tarefa de se determinar quais as células que devemos sombrear.

Nas figuras 9A e 9B podemos verificar que as áreas ou células sombreadas correspondem àqueles que contêm o valor 1 (um), para as variáveis "A" e "B".

FIGURA 9A

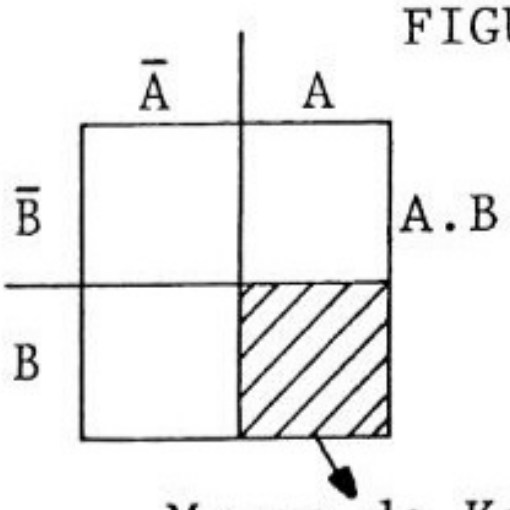
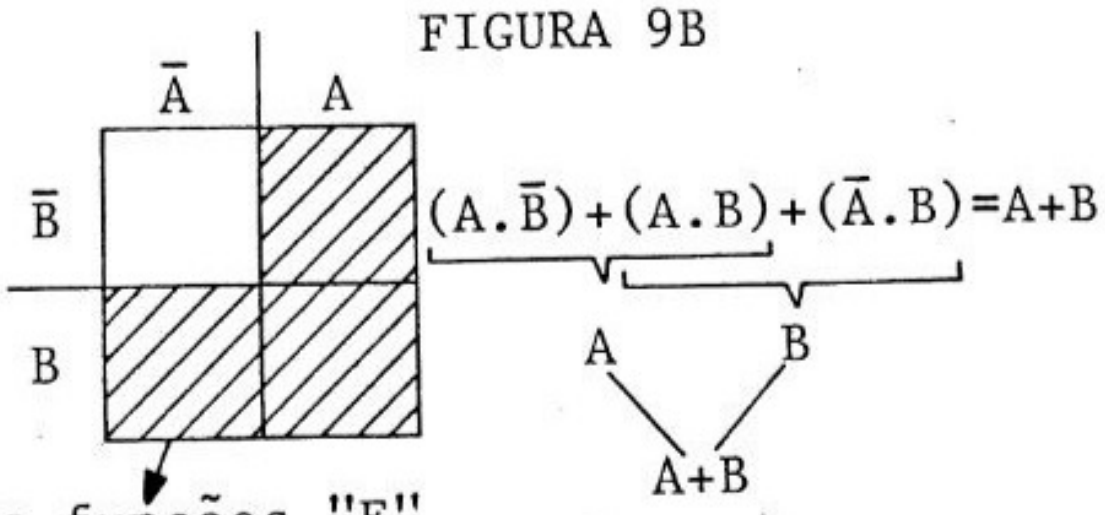


FIGURA 9B



Mapas de Karnaugh das funções "E" (AND) e "OU" (OR) (FORMA DE VENN).

Podemos afirmar que o mapa de Karnaugh é essencialmente uma forma simplificada da tabela verdade e que os conceitos - do diagrama de Venn, de união ($\cup$) e intersecção ($\cap$) - de zonas ou células, ajudam a elaborar e interpretar um mapa de Karnaugh.

Posto que deve haver uma célula para cada combinação de entrada, devemos ter 2^n células em um mapa de Karnaugh para n variáveis. Podemos então interpretar o mapa através de uma forma gráfica da tabela verdade ou de acordo com a união e a intersecção de áreas, como acabamos de explicar.

No mapa de Karnaugh, tanto faz colocarmos na horizontal a variável A, como na vertical, conforme indicam as figuras 10A e 10B.

FIGURA 10A

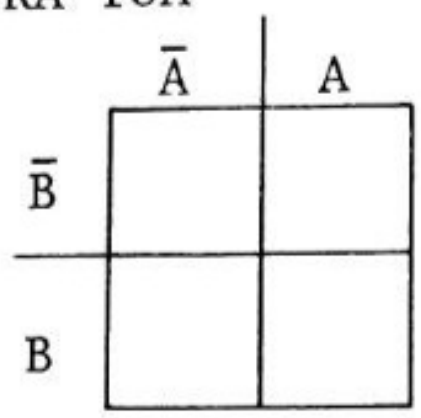
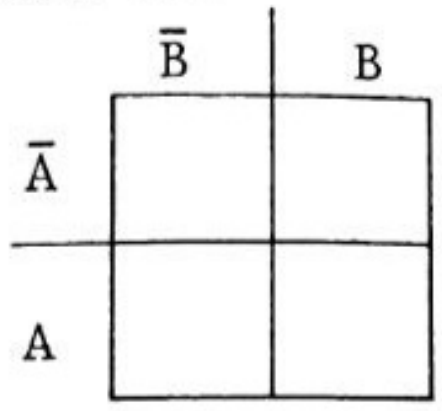


FIGURA 10B



Vamos considerar a tabela verdade da figura 11, e analisarmos cada possibilidade, mostrando desta forma a intersecção de cada região.

FIGURA 11

A	B	
0	0	→ caso a
0	1	→ caso b
1	0	→ caso c
1	1	→ caso d

Existem 4 possibilidades: casos a, b, c e d.

Para o caso a, temos:

$$\begin{cases} A = 0 \\ B = 0 \end{cases}$$

A região do diagrama que mostra esta condição é a intersecção das regiões onde A = 0 e B = 0.

Vamos analisar onde A=0. Isto é o mesmo que dizer $\bar{A}$=1. Desta forma teremos, no mapa de Karnaugh (figura 12).

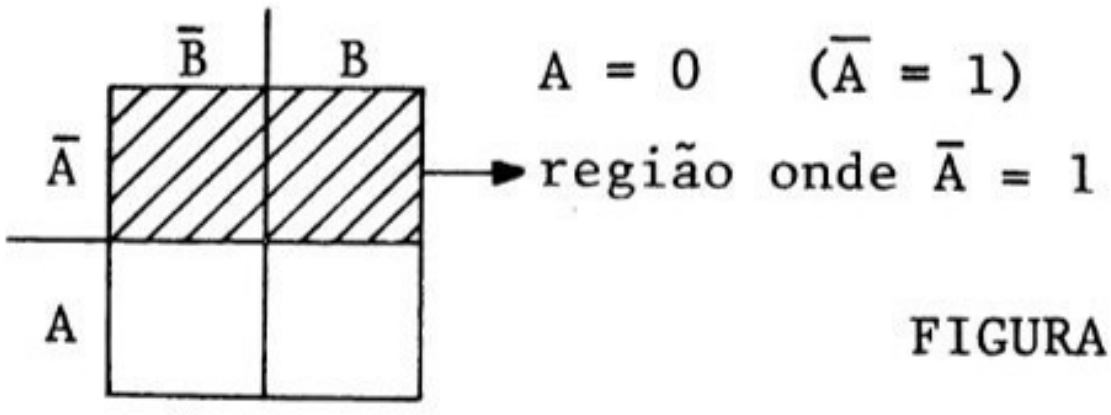


FIGURA 12

Na figura 12A, temos hachurada a região onde: B = 0, isto é, onde $\overline{B}$ = 1.

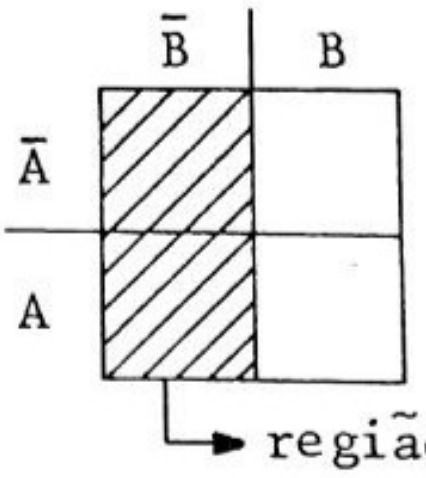


FIGURA 12A

A intersecção das duas regiões hachuradas é dada pela figura 12B.

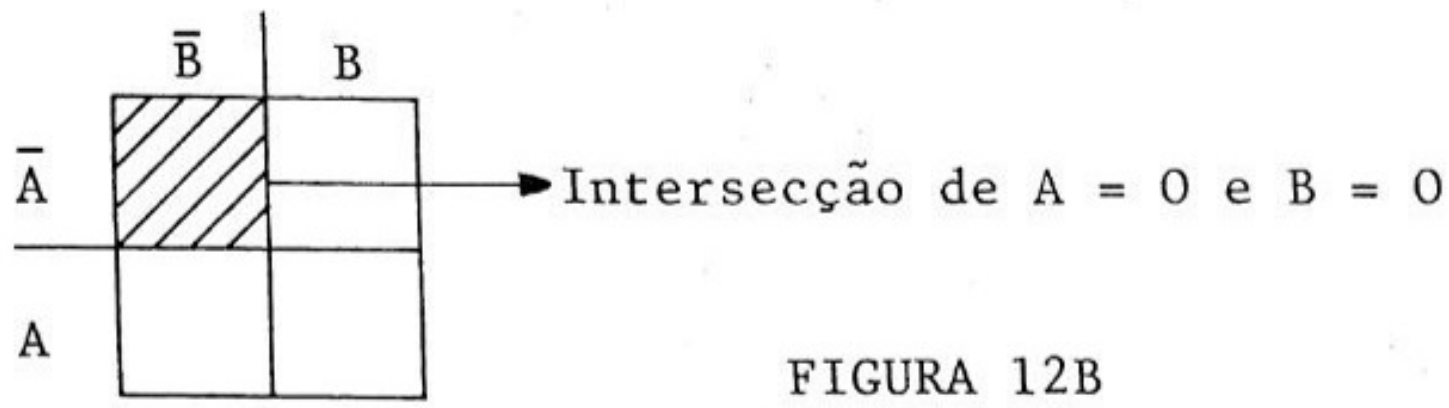
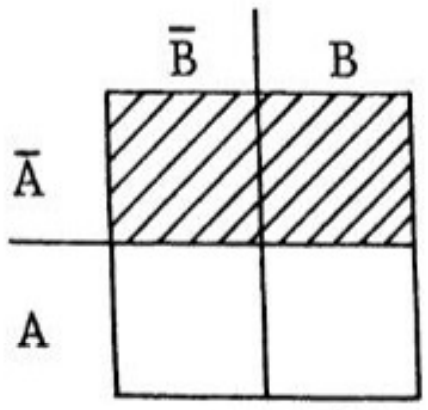


FIGURA 12B

A região que mostra a intersecção de A = 0 e B = 0 é também chamada de $\overline{A}$. $\overline{B}$.

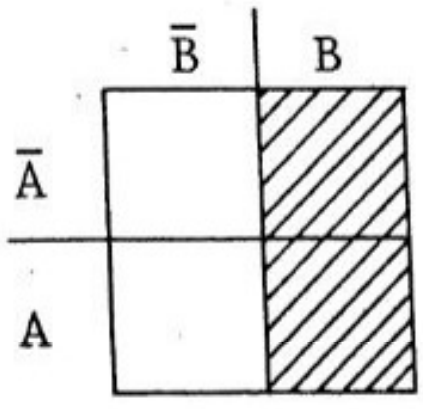
Vamos agora passar para o caso b, onde A = 0 e B = 1. As figuras 13, 13A e 13B indicam as respectivas regiões:

FIGURA 13



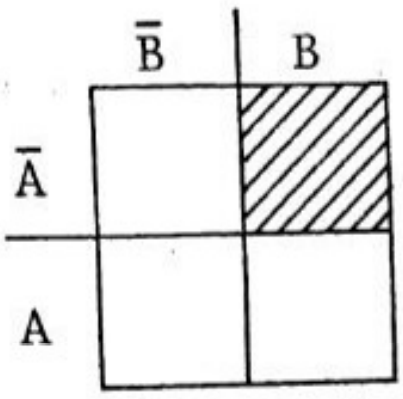
A=0 ou $\overline{A}$=1

FIGURA 13A



B=1

FIGURA 13B

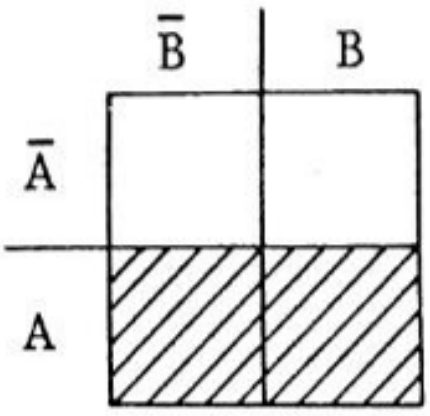


Intersecção de A=0 e B=1

A região que mostra a intersecção de A = 0 e B = 1 é também chamada de $\overline{A}$. B.

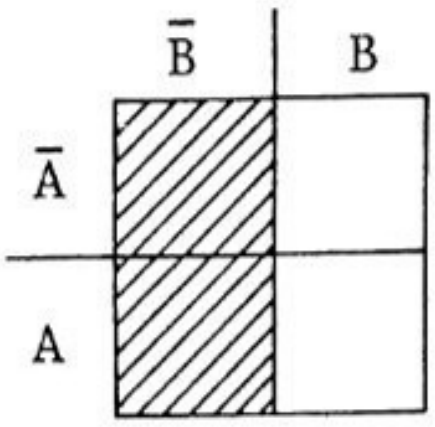
Da mesma maneira, para o caso c, A = 1 e B = 0 são mostradas nas figuras 14, 14A e 14B, respectivamente:

FIGURA 14



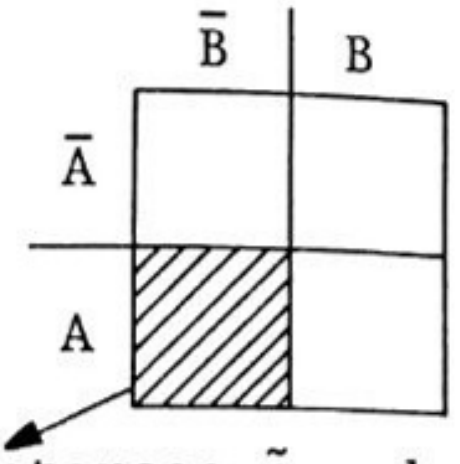
A = 1

FIGURA 14A



B=0 ou $\overline{B}$=1

FIGURA 14B

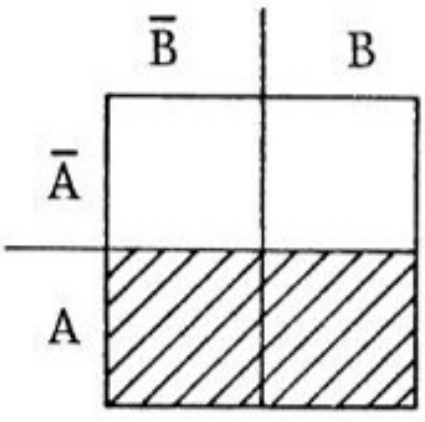


Intersecção de A=1 e B=0

A região que indica a intersecção de A = 1 e B = 0 é também chamada de A . $\overline{B}$.

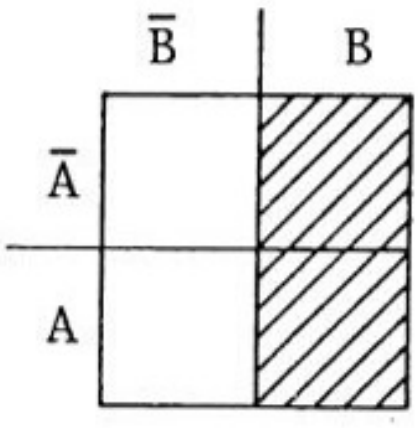
Para o último caso, que é o caso d, temos A = 1 e B = 1. As figuras 15, 15A e 15B indicam as respectivas regiões.

FIGURA 15



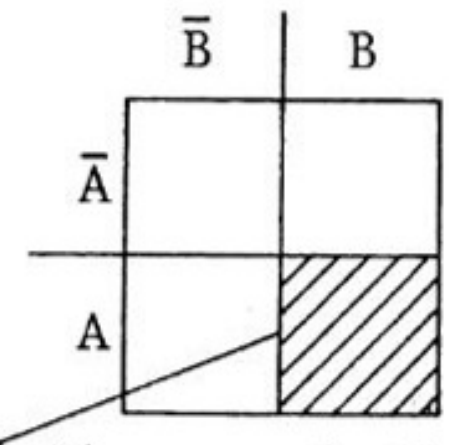
A = 1

FIGURA 15A



B = 1

FIGURA 15B



região que indica onde A=1 e B=1

A região da figura 15B é também chamada de região A . B.

Para as quatro possibilidades estudadas até agora tivemos o seguinte:

Para o caso a → A = 0 e B = 0 → $\overline{A}.\overline{B}$
Para o caso b → A = 0 e B = 1 → $\overline{A}.B$
Para o caso c → A = 1 e B = 0 → $A.\overline{B}$
Para o caso d → A = 1 e B = 1 → A.B

Como podemos ver, cada linha da tabela verdade da figura 11 corresponde a uma região ou célula própria e única no mapa de Karnaugh.

Estas regiões ou células que acabamos de mostrar correspondem aos locais onde devem ser colocados os valores que a função assume em todas as possibilidades. No nosso caso em

estudo são quatro possibilidades.

Vamos exemplificar para melhor entendimento dos conceitos estudados até agora. Seja, por exemplo, a tabela verdade da função "OU" (OR) que já é conhecida pelo aluno (figura 16).

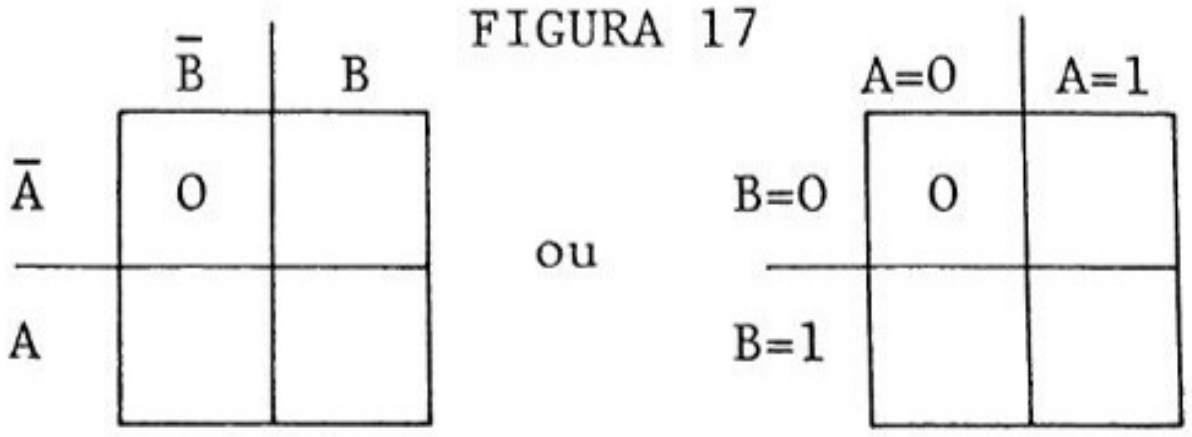
TABELA VERDADE DA FUNÇÂO "OU" (OR).

FIGURA 16

A	B	F	
0	0	0	→ caso a
0	1	1	→ caso b
1	0	1	→ caso c
1	1	1	→ caso d

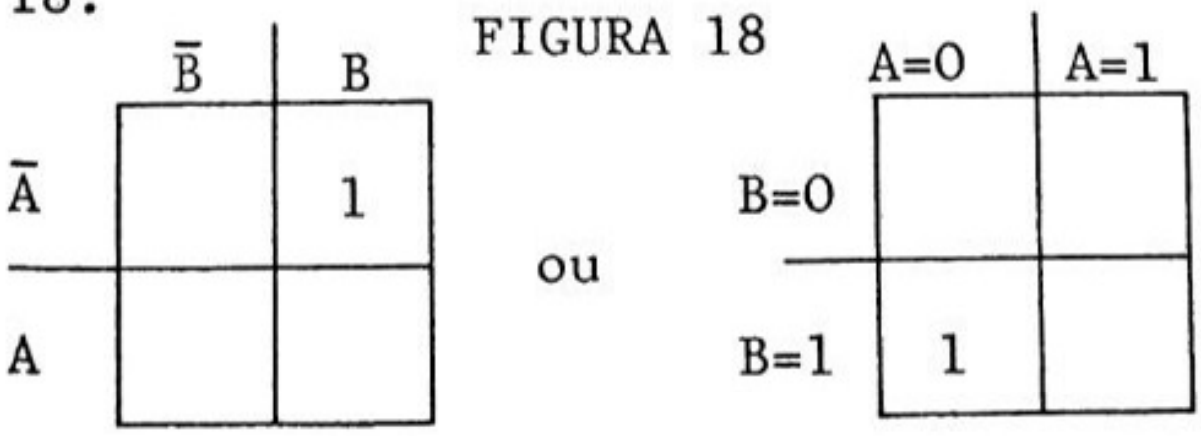
Para o caso a A = 0 e B = 0, já detalhamos como são colocadas estas variáveis no mapa de Karnaugh. Logo, não vamos seguir passo a passo e sim colocar diretamente o valor de F na região $\bar{A} \cdot \bar{B}$, ver figura 17.

FIGURA 17



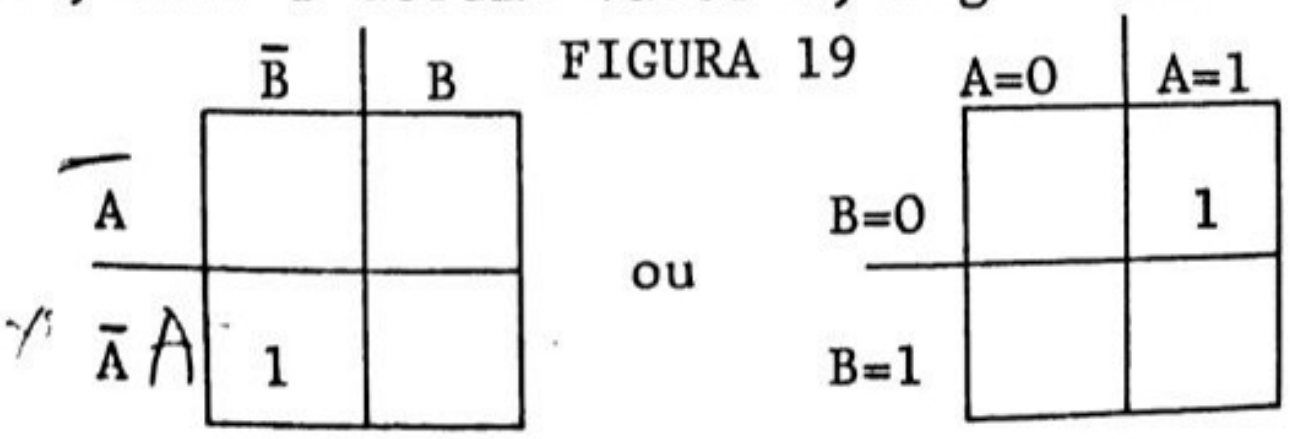
Para o caso b, A = 0 e B = 1 região $\bar{A} \cdot B$, onde F = 1, ver figura 18.

FIGURA 18



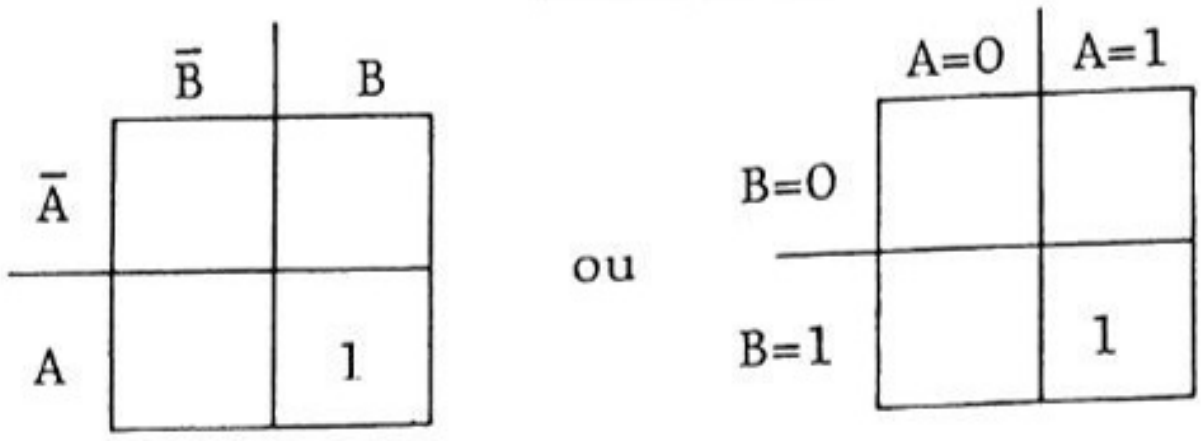
Em seguida, vamos passar para o caso c, A = 1 e B = 0, - região $A.\bar{B}$, onde F assume valor 1, figura 19.

FIGURA 19



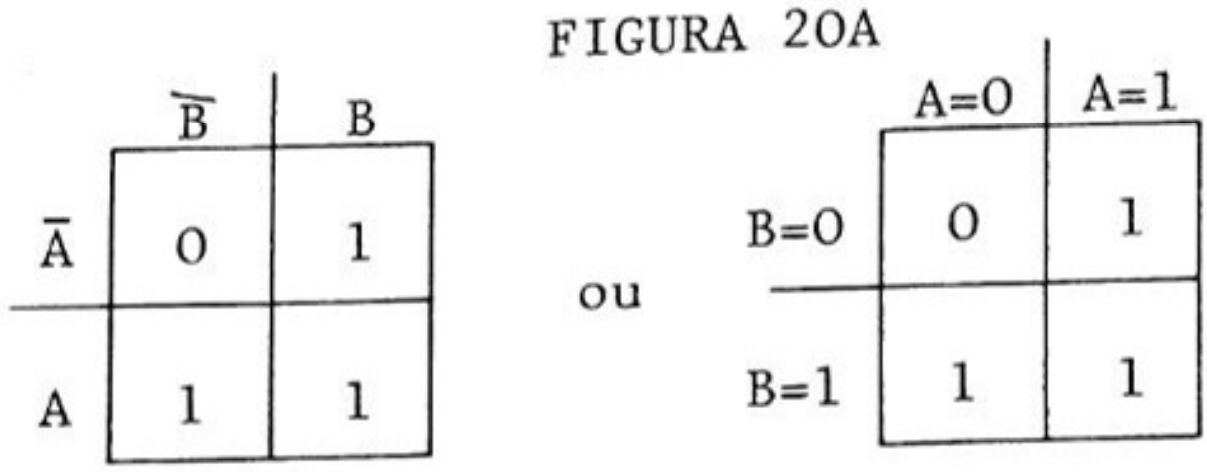
Finalmente, passando para o caso d, onde A = 1 e B = 1, região A . B e F assume valor 1, ver figura 20.

FIGURA 20



A tabela verdade da figura 16 está escrita agora sob a forma do mapa de Karnaugh, como mostra a figura 20A.

FIGURA 20A



Como o aluno pode ver, colocamos as variáveis A e B no mapa de Karnaugh de duas formas diferentes e o resultado obtido foi o mesmo. Cabe ao aluno escolher a maneira que for mais fácil para o seu aprendizado.

Após o perfeito entendimento da colocação das variáveis A e B no mapa de Karnaugh, podemos obter a expressão característica da função que será dada por:

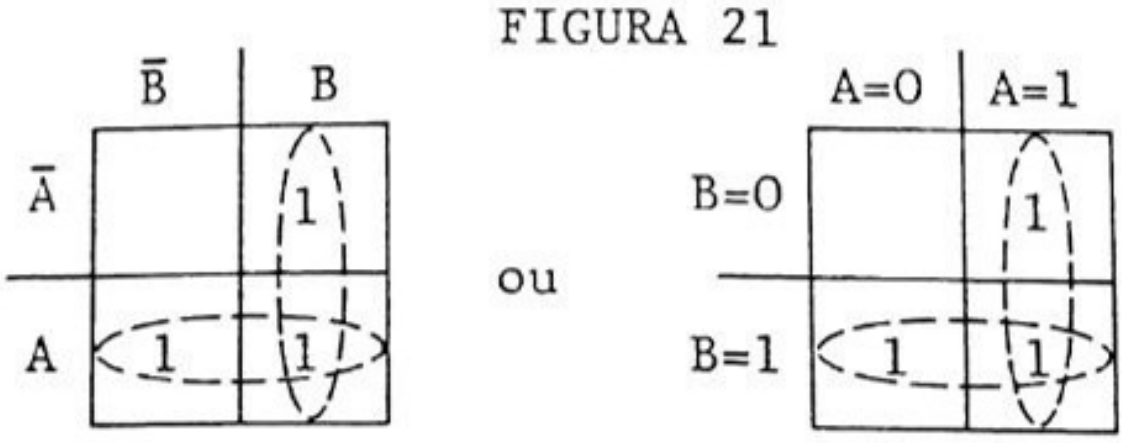
$F = \bar{A}.B + A\,\bar{B} + A\,B$ (ou obtida através da tabela verdade).

A expressão corresponde às células onde a função F assume o valor 1. Devido a esse fato em geral, o zero não é colocado no mapa de Karnaugh, a fim de evitar futuras confusões.

Após obtida a função F, final, vamos agora obter a expressão simplificada do diagrama.

Retomando o diagrama final dado pela figura 21, temos:

FIGURA 21

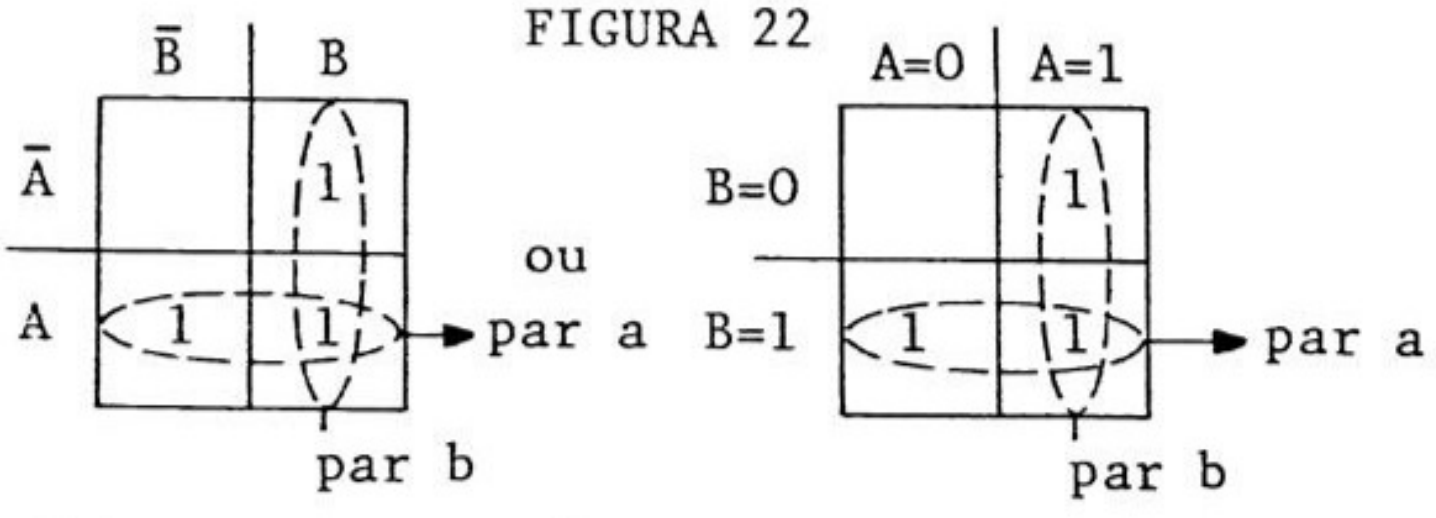


Como já mencionamos no início da lição, células adjacentes entre si, onde F assume o valor 1, podem ser agrupadas entre si formando pares, e o mesmo 1 pode pertencer a mais de um par.

Após agruparmos todos os pares possíveis no mapa de Karnaugh, escrevemos a expressão de cada par, ou seja, a região que o par assume no diagrama.

Vamos primeiro definir cada par do nosso mapa de Karnaugh, como mostra a figura 22.

FIGURA 22



O par "a" ocupa a região onde a variável A assume o valor 1. Logo sua expressão será:

Par a = A, pois nesta região o A = 1.

Para o par"b", fazemos o mesmo, isto é, o par "b" corresponde à região onde B = 1. Logo a sua expressão será:

Par b = B.

Pelo agrupamento em pares já feitos na figura 22, podemos ver que nenhum um (1) ficou fora dos pares. Para obtermos a forma simplificada de F, basta agruparmos os pares "a" e "b", isto é:

F = A + B, que corresponde exatamente à tabela verdade da função "OU" que foi dada pela figura 16 no início do exemplo.

A expressão obtida diretamente através da tabela verdade foi:

$$F = A\,\overline{B} + A.B + \overline{A}\,B$$

par a: A + par b: B

Simplificada através do mapa de Karnaugh, pelo agrupamento de pares, se resumiu a:

$$F = A + B$$

É óbvio que a minimização através do mapa de Karnaugh - simplifica em muito o circuito, diminuindo desta forma o custo e a montagem.

Vamos considerar o circuito que executa a seguinte tabela verdade, figura 23:

A	B	F
0	0	1
0	1	1
1	0	1
1	1	1

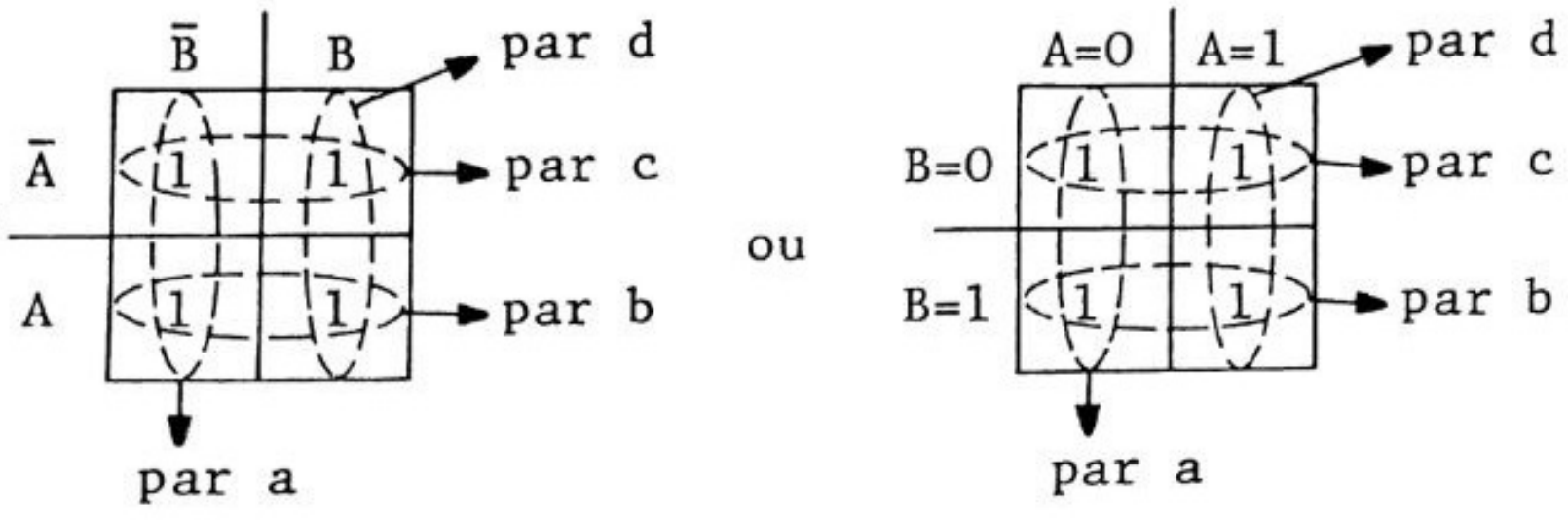
FIGURA 23

Vamos obter a expressão característica diretamente da tabela verdade. Sabemos que devemos considerar somente os casos onde F assume o valor 1. Desta forma teremos:

$$F = \overline{A}.\overline{B} + \overline{A}\,B + A.\overline{B} + A.B$$

Vamos passar para o mapa de Karnaugh a nossa tabela verdade, mediante o processo já estudado, figura 24.

FIGURA 24



Vamos escrever as expressões dos pares a, b, c, e d.

Para o par a ⟶ $\overline{B}$

Para o par b ⟶ A

Para o par c ⟶ $\overline{A}$

Para o par d ⟶ B

Vamos agrupar os pares e obter a expressão simplificada de F:

$$F = \overline{B} + A + \overline{A} + B.$$

Mas $A + \overline{A} = 1$

e $B + \overline{B} = 1$

Logo $F = 1$

O que está correto, pois, como podemos ver pela tabela verdade da figura 23, para qualquer valor de A e B a função de saída F sempre assumirá o valor um, o que corresponde à expressão simplificada através do mapa de Karnaugh.

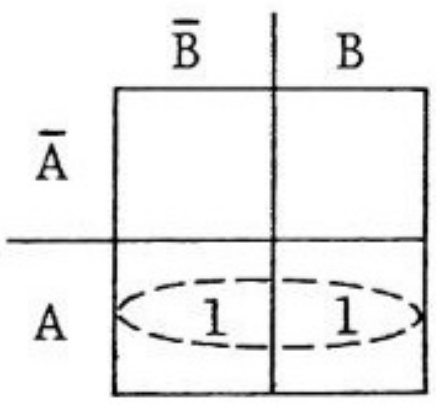
Na próxima lição, o aluno poderá compreender outros mapas de Karnaugh que englobam mais de duas variáveis, e o processo será o mesmo.

O aluno deve ter em mente algumas propriedades que já explicamos, mas que voltamos a frisar:

Frequentemente, para reduzirmos uma expressão através do mapa de Karnaugh, uma célula em branco é entendida como representativa de nenhuma combinação de saída, ou seja, saida igual a zero.

Em se "lendo" um mapa de Karnaugh, dois quadrados que contenham o um (1) e que sejam adjacentes entre si podem ser agrupados, tanto horizontalmente como verticalmente.

As variáveis que são constantes para um par de célula 1 definem o par, por exemplo:



O mapa da figura ao lado é lido como A.

Logo, conclui-se que podem ser formados pares possíveis por duas células 1 adjacentes.

Lendo-se um mapa, toda célula um (1) deve ser computada no mínimo uma vez, embora uma célula um (1) possa ser usada em mais de um par.

Uma célula 1 não será computada para ela mesma, se ela puder ser computada em um par de duas células um.

Desta forma o aluno não encontrará dificuldades para a simplificação pelo mapa de Karnaugh.

EXEMPLOS RESOLVIDOS:

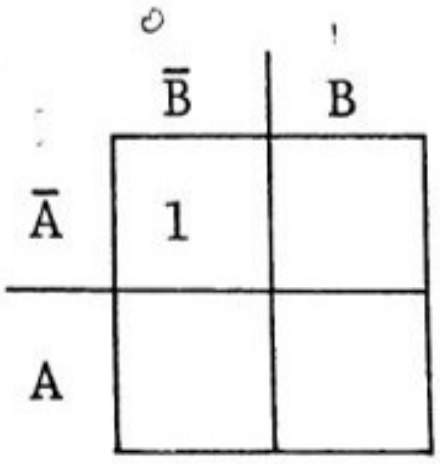
1) Obter o circuito da tabela verdade abaixo pelo método do mapa de Karnaugh.

A	B	F
0	0	1
0	1	1
1	0	0
1	1	1

Resolução:

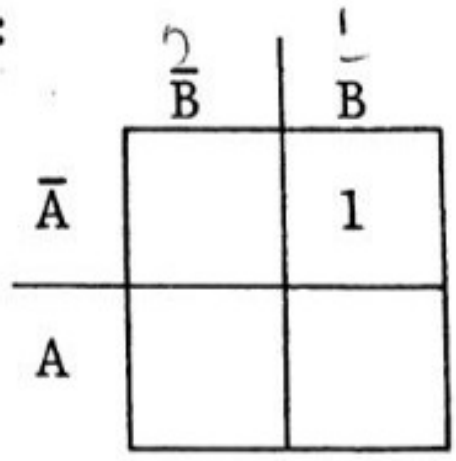
Caso a → A = 0 e B = 0 → $\overline{A}.\overline{B}$
Caso b → A = 0 e B = 1 → $\overline{A}.B$
Caso c → F = 0 portanto condição sem efeito
Caso d → A = 1 e B = 1 → $A.B$

Caso a:



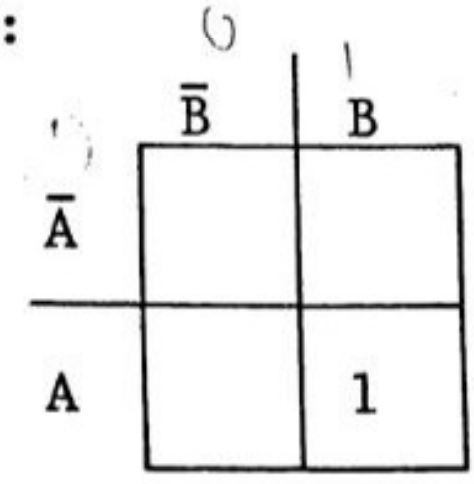
A = 0
B = 0
F = 1

Caso b:



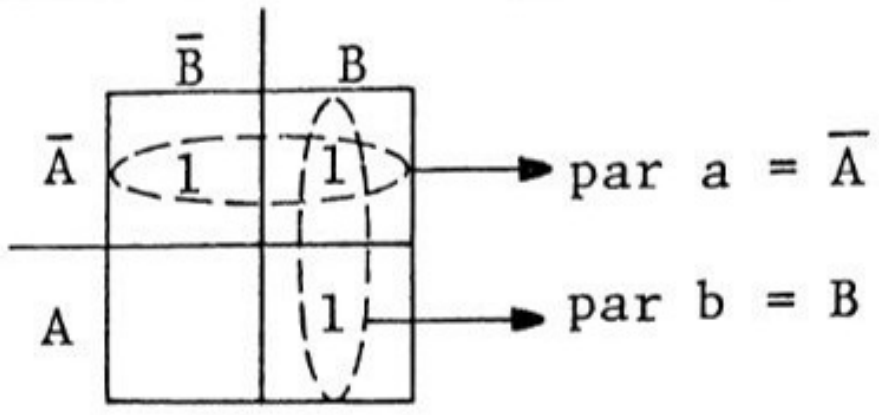
A = 0
B = 1
F = 1

Caso d:



A = 1
B = 1
F = 1

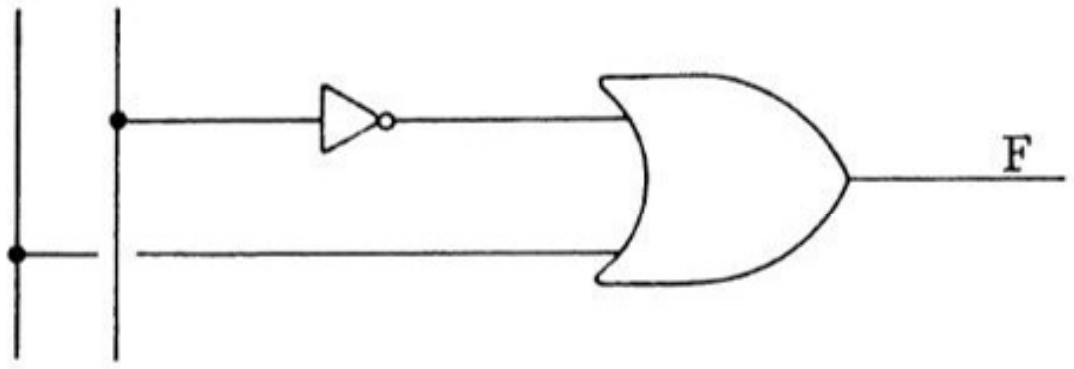
Teremos então os seguintes pares:



Portanto F será:

$$F = \overline{A} + B$$

E finalmente temos o circuito:



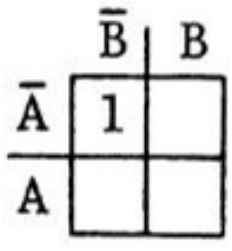
2) Obter o circuito da tabela verdade abaixo pelo método do mapa de Karnaugh:

A	B	F
0	0	1
0	1	0
1	0	1
1	1	0

Resolução:

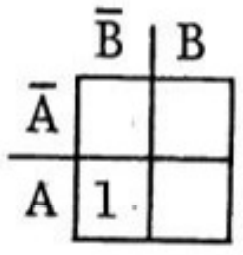
Caso a ⟶ A = 0 e B = 0 ⟶ $\overline{A}.\overline{B}$
Caso b ⟶ F = 0 condição sem efeito
Caso c ⟶ A = 1 e B = 0 ⟶ $A.\overline{B}$
Caso d ⟶ F = 0 condição sem efeito.

Caso a:



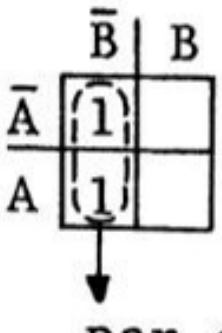
A = 0
B = 0
F = 1

Caso c:



A = 1
B = 0
F = 1

Temos então o seguinte par:

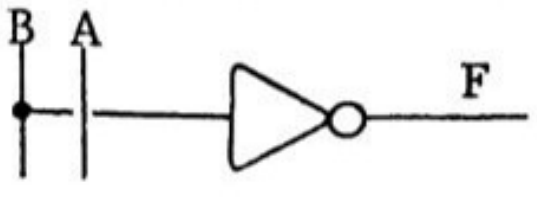


par a = $\overline{B}$

Portanto F será:

$$F = \overline{B}$$

E finalmente temos o circuito:



CURSO DE ELETRONICA DIGITAL E MICROPROCESSADORES

EXAME DA LIÇÃO ED-9

OBSERVAÇÃO

- cada questão é composta de três ou quatro alternativas.
- só uma delas está correta.
- marque a que considerar correta.
- passe as respostas corretas para a folha de exame.

1) Assinalar a alternativa correta:

a) o mapa de Karnaugh não pode ser considerado como uma extensão do diagrama de Venn;

b) só existe uma única forma para indicar o mapa de Karnaugh;

c) o mapa de Karnaugh não se baseia em nenhum teorema novo;

d) todas as respostas estão incorretas.

2) A tabela verdade abaixo corresponde à seguinte expressão:

A	B	F
0	0	1
0	1	1
1	0	1
1	1	0

$F = \bar{A} \cdot \bar{B} + \bar{A} \cdot B + A \cdot \bar{B}$

a) $F = \bar{A} \cdot \bar{B} + \bar{A} \cdot B + A \cdot B$;

b) $F = \bar{A} \cdot \bar{B} + \bar{A} \cdot B + A \cdot \bar{B}$;

c) $F = \bar{A} \cdot \bar{B} + A \cdot \bar{B} + A \cdot \bar{B}$;

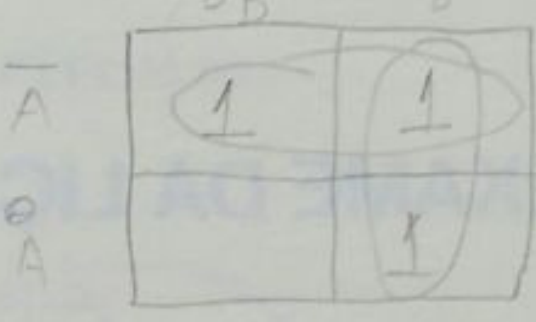
d) todas as respostas anteriores estão incorretas.

3) A expressão $F = \bar{A} \cdot \bar{B} + \bar{A} \cdot B + A \cdot \bar{B}$, simplificada através do mapa de Karnaugh, se reduz a:

a) $F = \bar{A} + \bar{B}$;

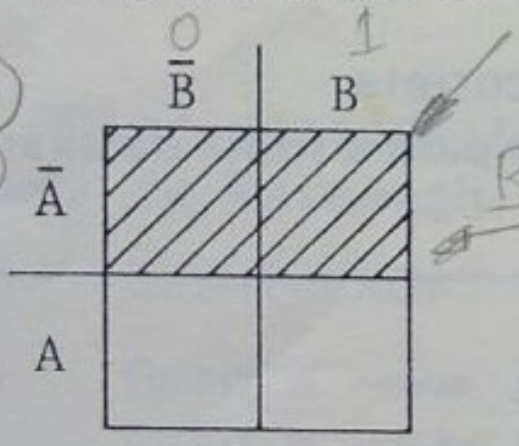
b) $F = \bar{A} + B$;

c) $F = A \cdot B$.

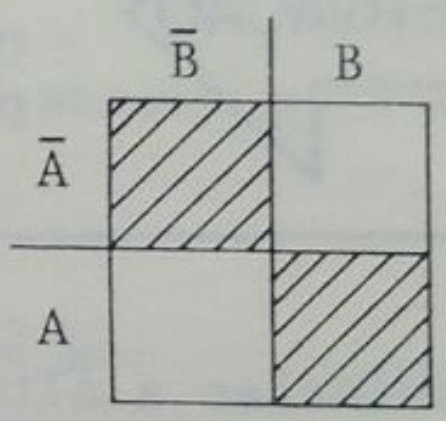


4) No mapa de Karnaugh, a região que corresponde a B = 0 é a seguinte:
Obs: (região onde B = 0 é o mesmo que $\bar{B} = 1$)

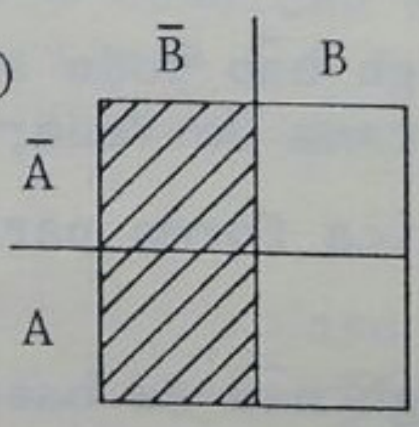
a)



b)

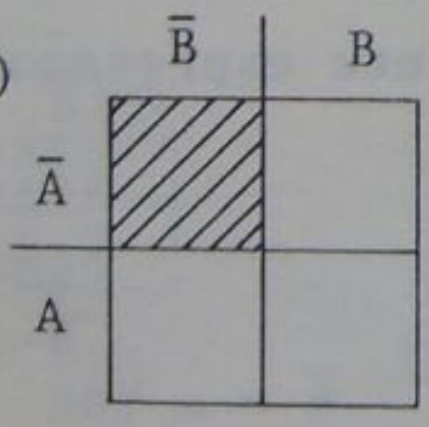


c)

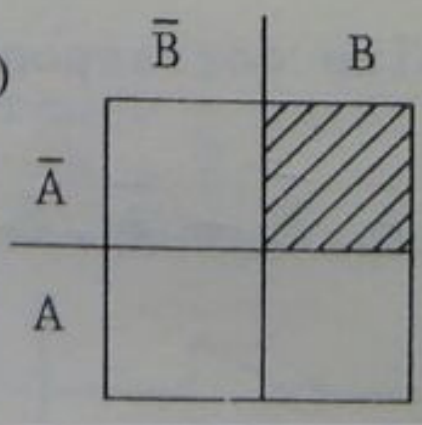


5) A intersecção de A = 1 e B = 0 é também conhecida por $A.\bar{B}$. A região que corresponde à intersecção de A = 1 e B = 0 é dada por:

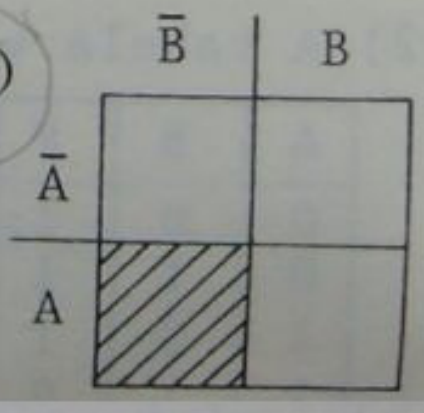
a)



b)



c)



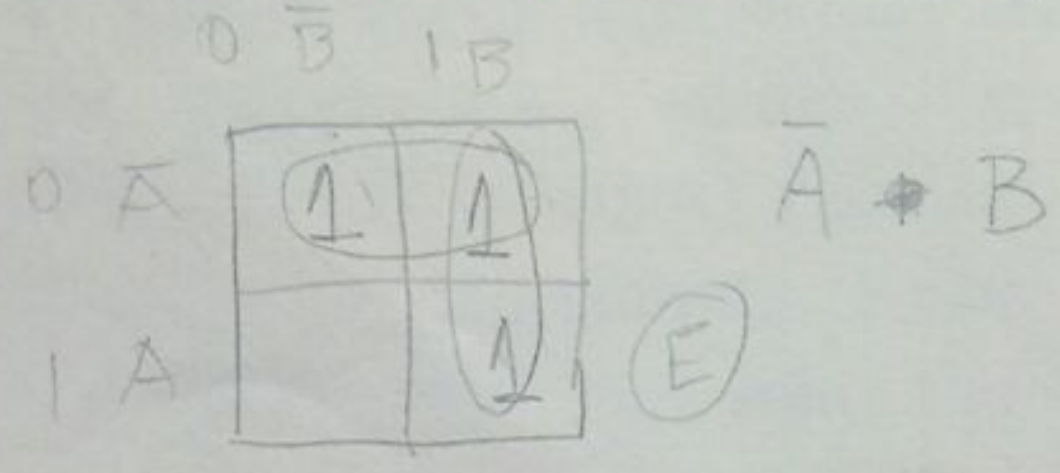
6) A seguinte expressão $G = \overline{A} \cdot B + A \cdot B + A \cdot \overline{B}$, simplificada através do mapa de Karnaugh pelo agrupamento de pares, se resume a:

a) $G = \overline{A + B}$;

b) $G = A + B$;

c) $G = \overline{A} \cdot B$;

d) $G = A + \overline{B}$.



7) Assinale a alternativa correta:

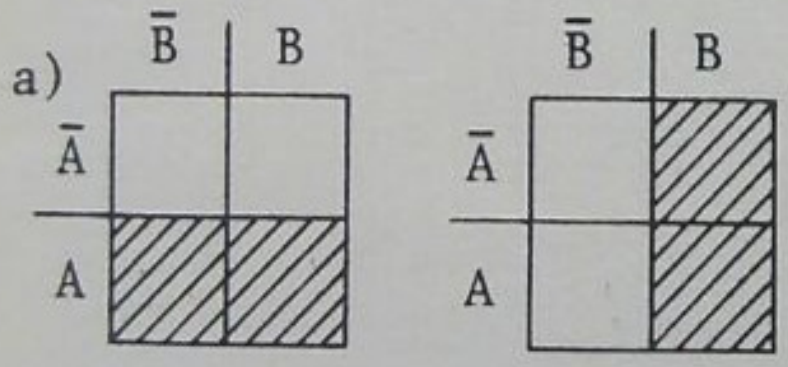
a) no mapa de Karnaugh não é possível formarem-se pares possíveis por duas células 1 adjacentes;

b) uma célula 1 no mapa de Karnaugh não pode ser usada em mais de um par;

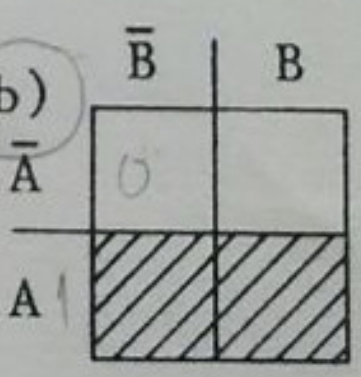
c) as alternativas a e b estão incorretas.

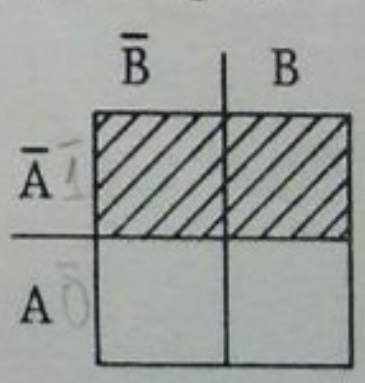
8) As regiões correspondentes a A = 1 e A = 0 são dadas por:

a)

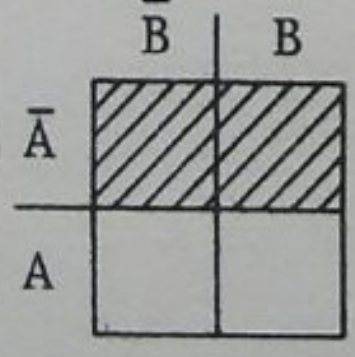


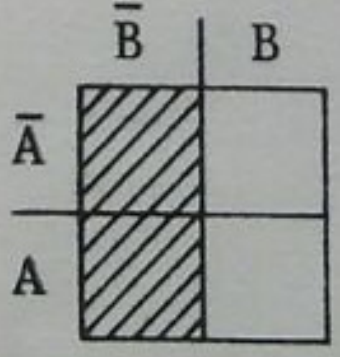
b)



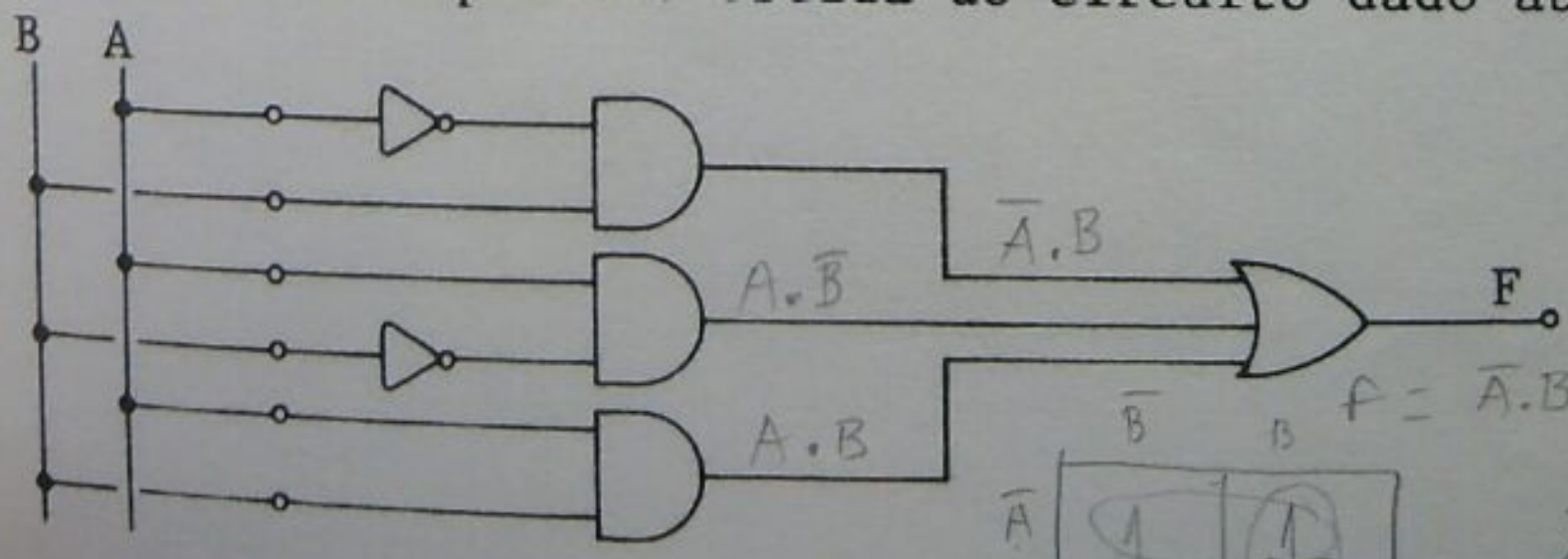


c)





9) Considere a expressão obtida do circuito dado abaixo:



20

Após a simplificação pelo mapa de Karnaugh, corresponderá a uma função:

a) "E" (AND);

b) "NÃO OU" (NOR);

c) "NÃO E" (NAND);

d) "OU" (OR).

A	A	B	E	OR	NOR
1	0	0	0	0	0
1	0	1	0	1	0
0	1	0	0	1	0
0	1	1	1	1	0

10) Assinale a alternativa correta:

a) uma célula em branco no mapa de Karnaugh é entendida como representação de uma combinação de saída;

b) as variáveis que são constantes para um par de célula um (1), definem o par;

c) toda célula um (1) no mapa deve ser computada no mínimo duas vezes.

CEDM-CURSO DE
ELETRONICA DIGITAL E
MICROPROCESSADORES
CAIXA POSTAL 1642 – CEP 86100 – LONDRINA-PR.

LIÇÃO ED-10

SIMPLIFICAÇÃO DE EXPRESSÕES E CIRCUITOS II

(Diagramas de Veitch-Karnaugh)

Até agora vimos os mapas de Karnaugh para duas variáveis. Estudaremos, a seguir, os mapas de três e quatro variáveis.

O mapa pode ter as seguintes possibilidades de representação:

	$\bar{A}$		A	
$\bar{C}$	0	2	6	4
C	1	3	7	5
	$\bar{B}$	B		$\bar{B}$

ou

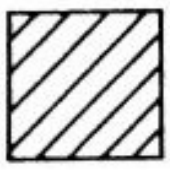
	$\bar{B}$		B	
$\bar{A}$	0	1	3	2
A	4	5	7	6
	$\bar{C}$	C		$\bar{C}$

É só uma questão de inverter as variáveis.

Vamos considerar a seguinte função:

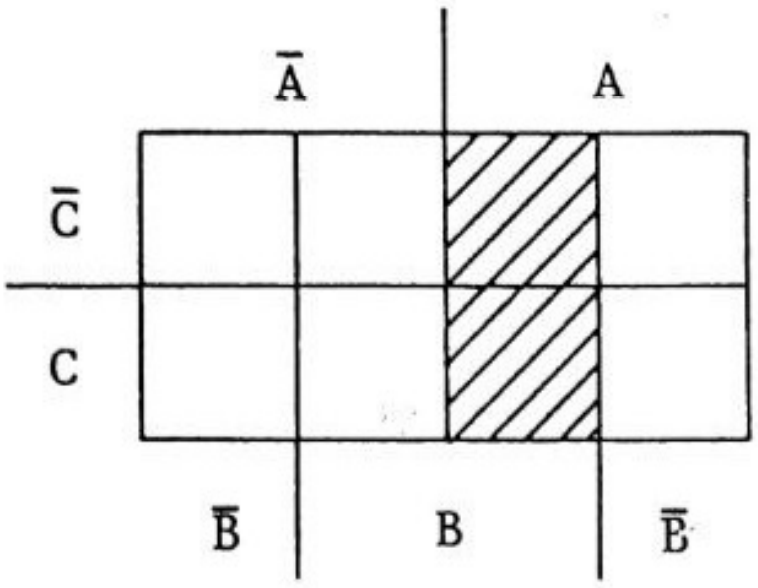
$$F(A.B.C) = A \cdot B + \overline{B} \cdot C$$

Vamos transpor para o mapa de Karnaugh:

a região A . B chamaremos de 

a região $\overline{B}$. C será

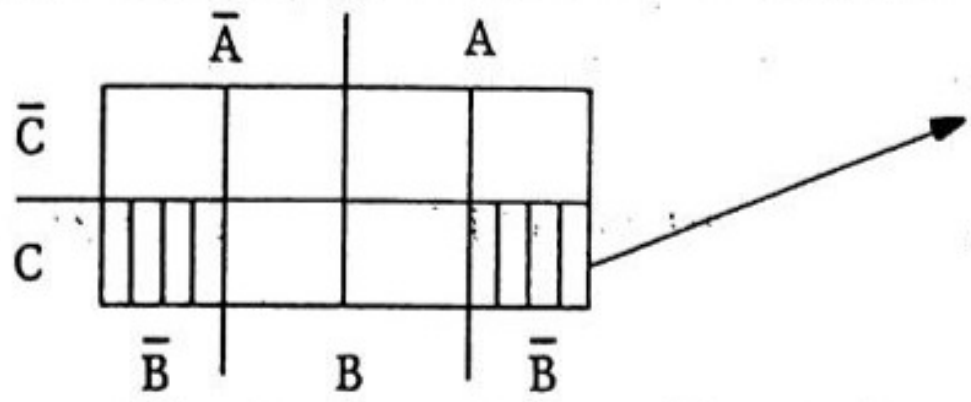
Dessa forma, teremos:



A . B é a intersecção de A com B, logo é a região comum às duas variáveis.

FIGURA 1

Na figura 2, indicamos a região comum pertencente a $\overline{B}$. C.



Região comum pertencente a $\overline{B}$. C (intersecção de $\overline{B}$ com C).

FIGURA 2

A união de A . B com $\overline{B}$. C é dada na figura 3.

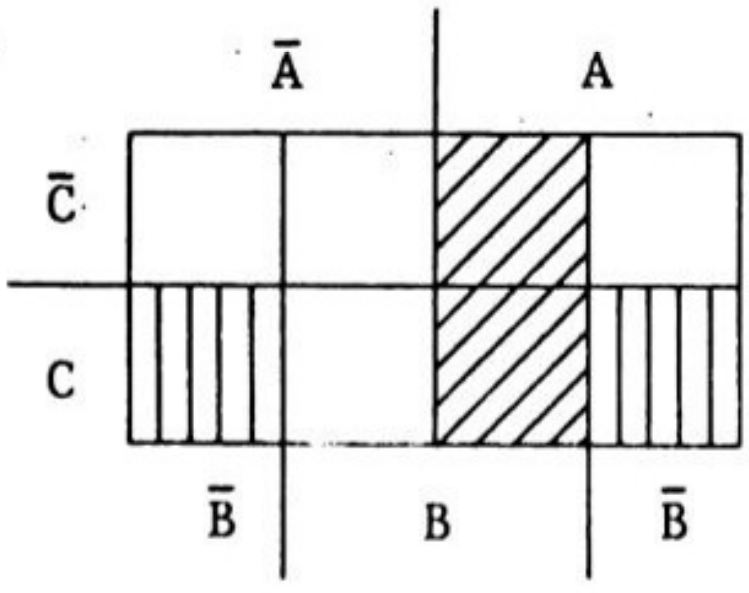


FIGURA 3

As células hachuradas correspondem a valores um, assumidos pela nossa função. Assim, teremos na figura 4:

	$\bar{A}$		A	
$\bar{C}$	0	0	1	0
C	1	0	1	1
	$\bar{B}$	B		$\bar{B}$

FIGURA 4

Considere a tabela verdade dada pela figura 5.

A	B	C	F	
0	0	0	0	→ caso a
0	0	1	1	→ caso b
0	1	0	1	→ caso c
0	1	1	1	→ caso d
1	0	0	0	→ caso e
1	0	1	1	→ caso f
1	1	0	0	→ caso g
1	1	1	1	→ caso h

FIGURA 5

Para o caso b: a função assume valor 1, logo deve ser colocada no mapa de Karnaugh.

Caso b — $\bar{A} \cdot \bar{B} \cdot C$

Caso c, caso d, caso f, caso h, também serão colocados no mapa de Karnaugh, pois a função F assume valor um (1)

Teremos então:

Caso c → $\bar{A} \cdot B \cdot \bar{C}$
Caso d → $\bar{A} \cdot B \cdot C$
Caso f → $A \cdot \bar{B} \cdot C$
Caso g → $A \cdot B \cdot C$

Analogamente ao exemplo dado no início, podemos colocar no

mapa de Karnaugh os respectivos lugares onde a função assume valor 1, correspondente a cada caso.

Teremos então: (figura 6).

	$\overline{B}$		B	
$\overline{A}$	caso a 0	caso b 1	caso d 1	caso c 1
A	caso e 0	caso f 1	caso h 1	caso g 0
	$\overline{C}$	C		$\overline{C}$

FIGURA 6

onde: $\overline{A}.\overline{B}.C + \overline{A}.B.\overline{C} + \overline{A}.B.C + A.\overline{B}.C + A.B.C$

nos demais casos, a função assume valor zero.

O segundo passo a seguir é efetuarmos as simplificações.

Inicialmente, vamos agrupar as regiões onde F = 1 forem adjacentes, em seqüência de dois a dois. Esse agrupamento de dois a dois é chamado de quadra.

Para o nosso caso que é um diagrama de três variáveis, teremos:

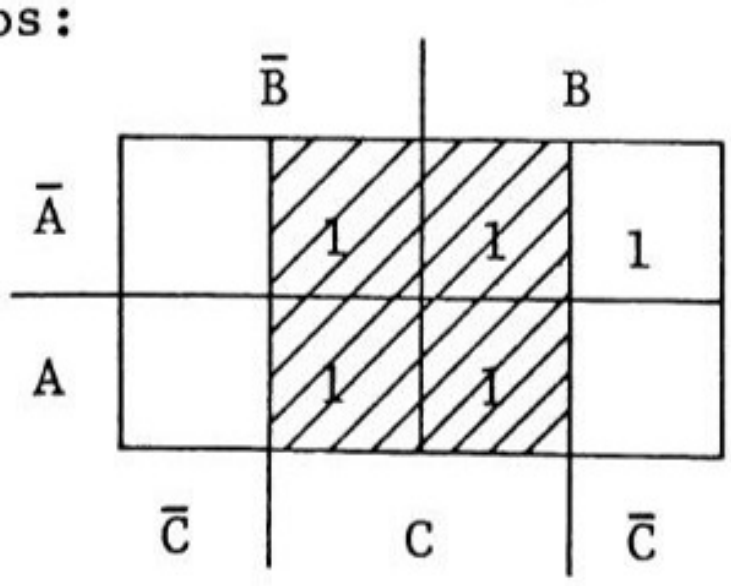


FIGURA 7

Podemos ver pelo mapa, que essa quadra está contida em ambas as regiões de C. Logo chamamos essa quadra de C.

Essa é a única quadra existente no mapa. Vamos agora determinar o número de pares possíveis e escrevermos as suas expressões.

Devemos ter em mente algumas considerações, a saber: não são incluídas como pares os pares já inclusos nas quadras, podendo ocorrer um par formado por um "um" externo à quadra e um outro "um" pertencente também à quadra.

Na figura 8, indicamos os dois pares possíveis, mas não devemos utilizá-los, pois já foram incluídos na quadra.

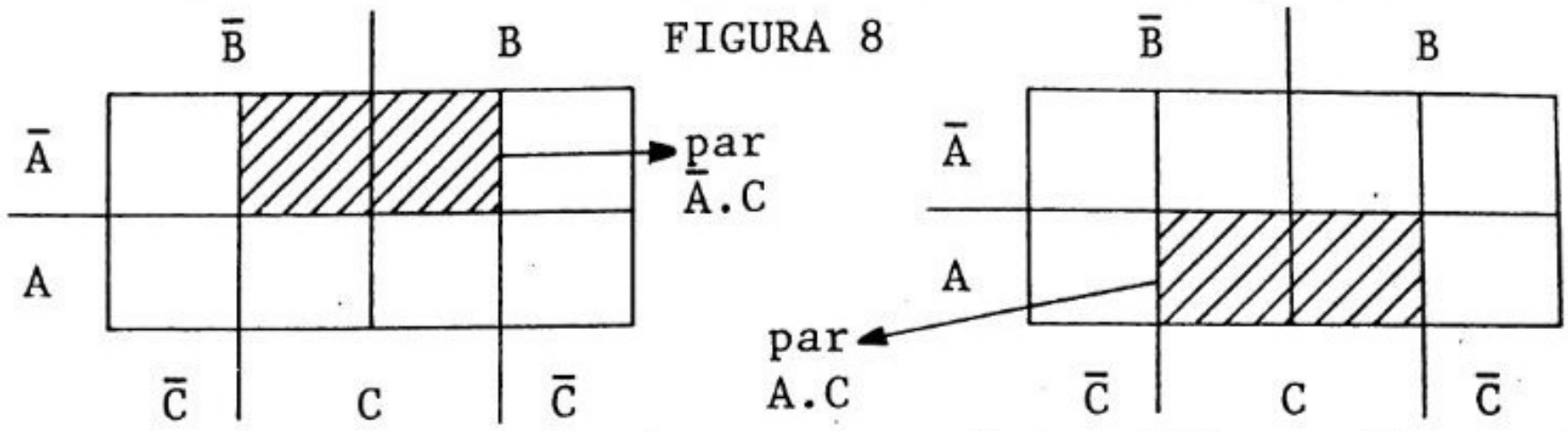


FIGURA 8

Para o nosso exemplo temos o seguinte: (figura 9).

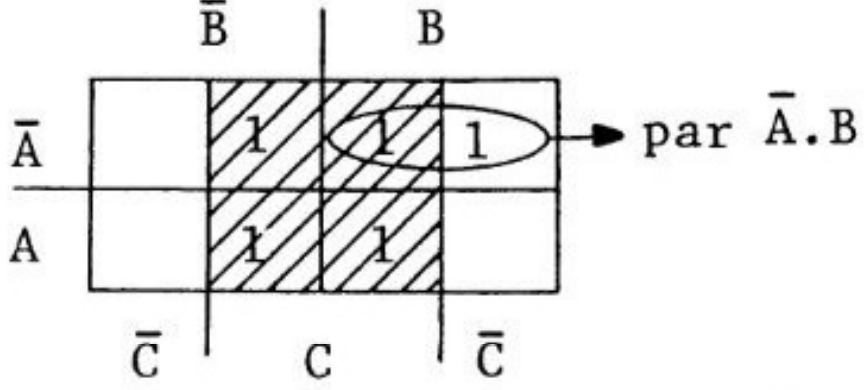


FIGURA 9

Esse par é chamado de $\bar{A} \cdot B$, pois está na região de intersecção de $\bar{A} = 1$ e $B = 1$.

Esse par não depende de C, pois se localiza tanto em C como em $\bar{C}$ (não C). Nesse caso, a expressão resulta independentemente de C.

Feita a localização das quadras e dos pares, devemos, a seguir, considerar os termos isolados que não puderam ser agrupados em nenhum par e em nenhuma quadra.

NOTA: Para o nosso exemplo,isso não ocorre, pois agrupamos todos os elementos de valor 1.

Finalizando, devemos anexar ao par e ao termo isolado as expressões referentes à quadra.

Teremos então:

Quadra = C

Par: $\bar{A} \cdot B$

Termo isolado: não há

E com isso já temos a expressão minimizada que será:

$F = (\bar{A} \cdot B) + C$

Para o aluno ter uma idéia de como ocorreu a simplificação, vamos comparar o circuito antes da minimização com o circuito depois da minimização, figuras 10 e 11, respectivamente.

Antes da minimização:

$F = \overline{A}.\overline{B}.C + \overline{A}.B.\overline{C} + \overline{A}.B.C + A.\overline{B}.C + A.B.C$

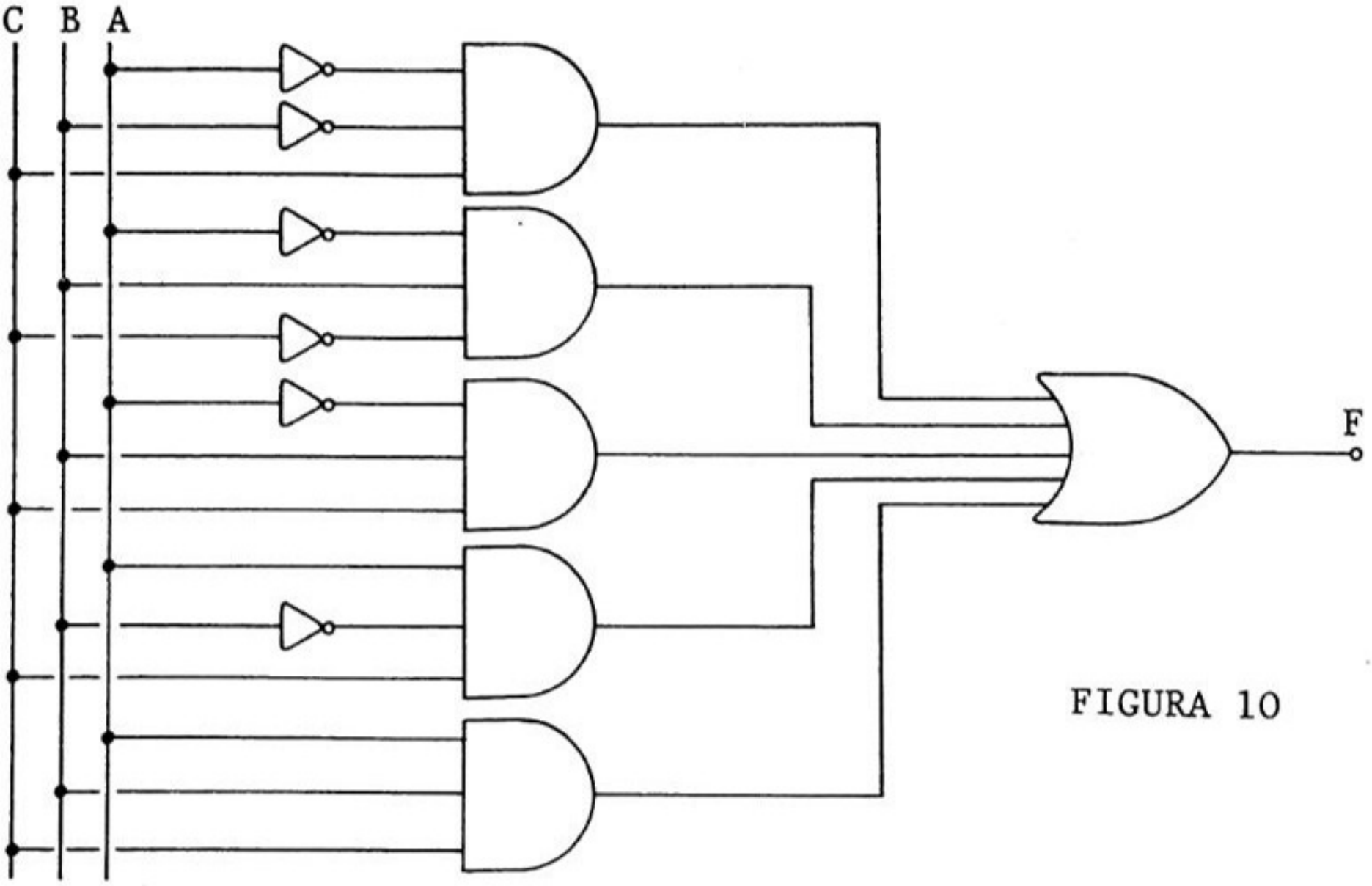


FIGURA 10

Após a simplificação:

$F = (\overline{A}.B) + C$

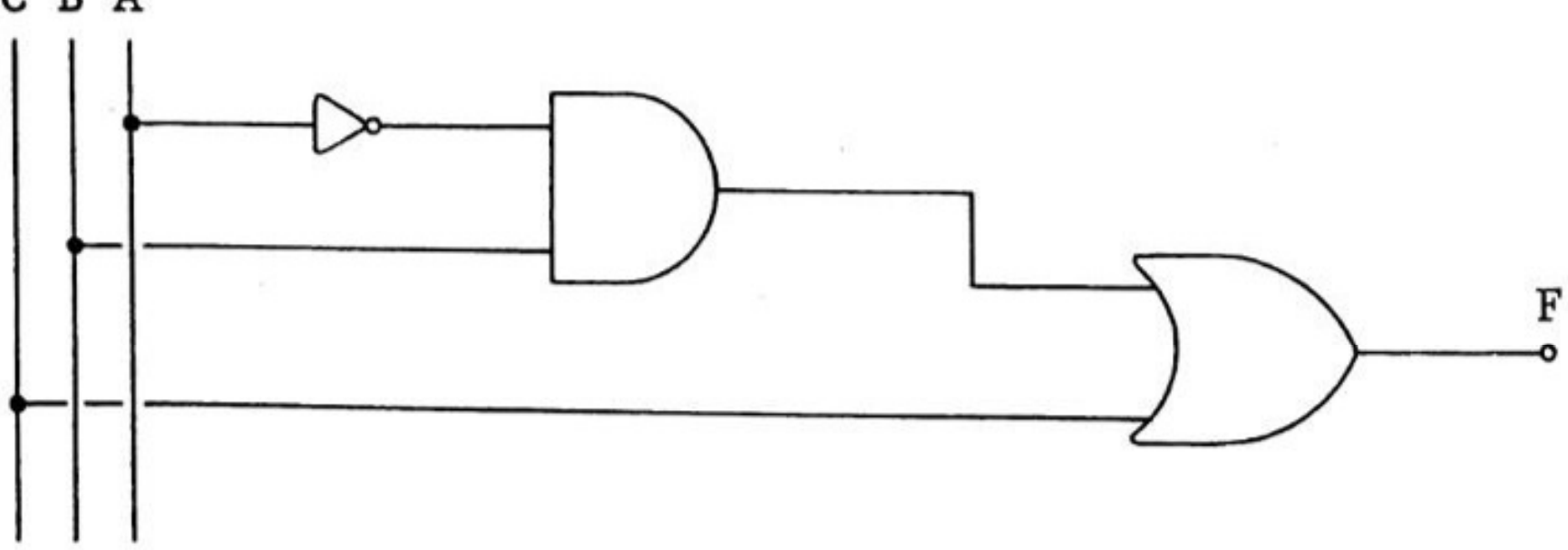


FIGURA 11

Como podemos ver, o número de portas lógicas simplificou-se bastante, o que, em termos econômicos, é de muita valia para o projetista.

Vamos considerar um outro exemplo. Seja a tabela verdade da figura 12:

A	B	C	F	
0	0	0	1	→ caso a
0	0	1	1	→ caso b
0	1	0	0	→ caso c
0	1	1	0	→ caso d
1	0	0	0	→ caso e
1	0	1	1	→ caso f
1	1	0	1	→ caso g
1	1	0	0	→ caso h

FIGURA 12

Vamos passar para o mapa de Karnaugh com os valores de F = 1, figura 13:

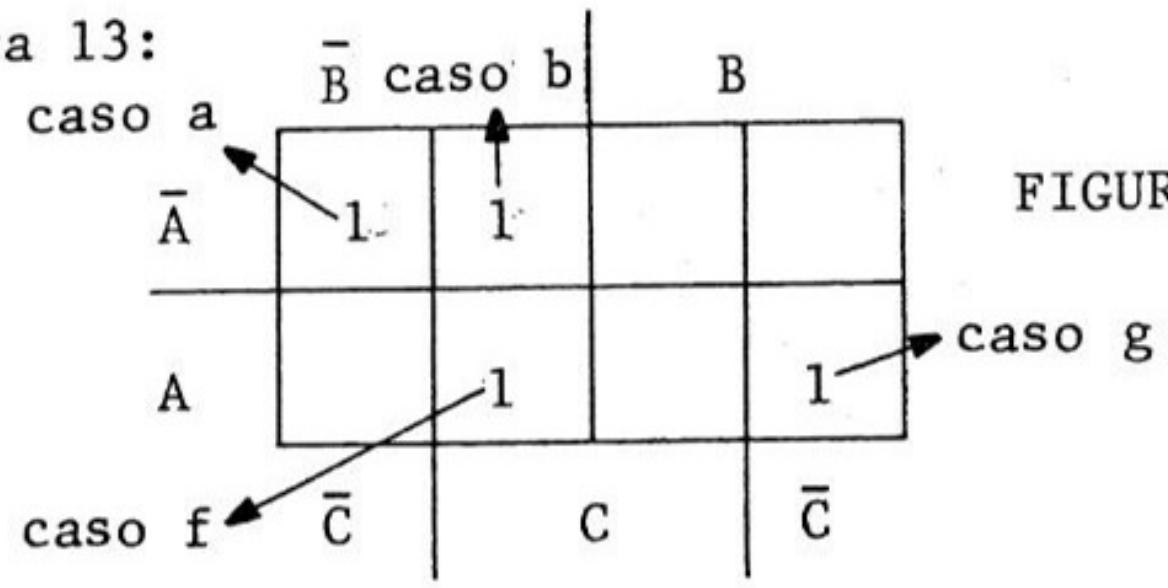


FIGURA 13

Da tabela verdade tiramos a seguinte expressão de F:

$$F = \bar{A}.\bar{B}.\bar{C} + \bar{A}.\bar{B}.C + A.\bar{B}.C + A.B.\bar{C}$$

Vamos agora agrupar as quadras, os pares e os termos isolados:

Em termos de quadra não há possibilidade de se agrupar. Porém, temos dois pares, como são indicados na figura 14.

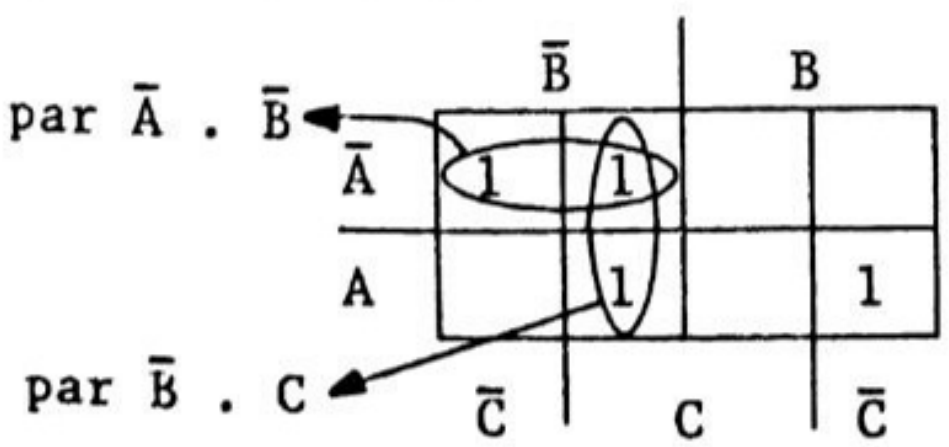


FIGURA 14

Temos um termo isolado, como indica a figura 15.

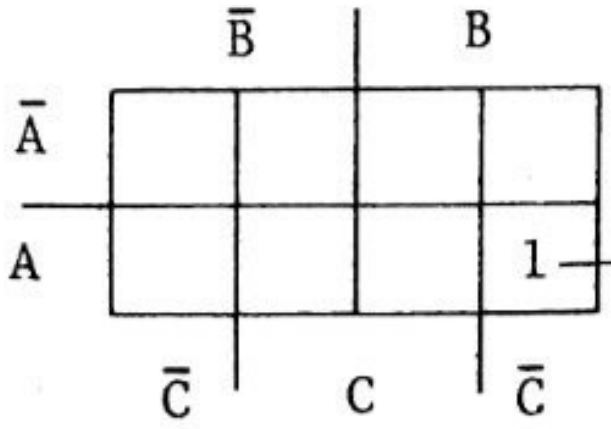


FIGURA 15

Termo isolado ⟹ $A.B.\bar{C}$

Logo, nossa expressão final se resume em:

$$F = \bar{A} \cdot \bar{B} + \bar{B} \cdot C + A \cdot B \cdot \bar{C}$$

O circuito será o ilustrado na figura 16:

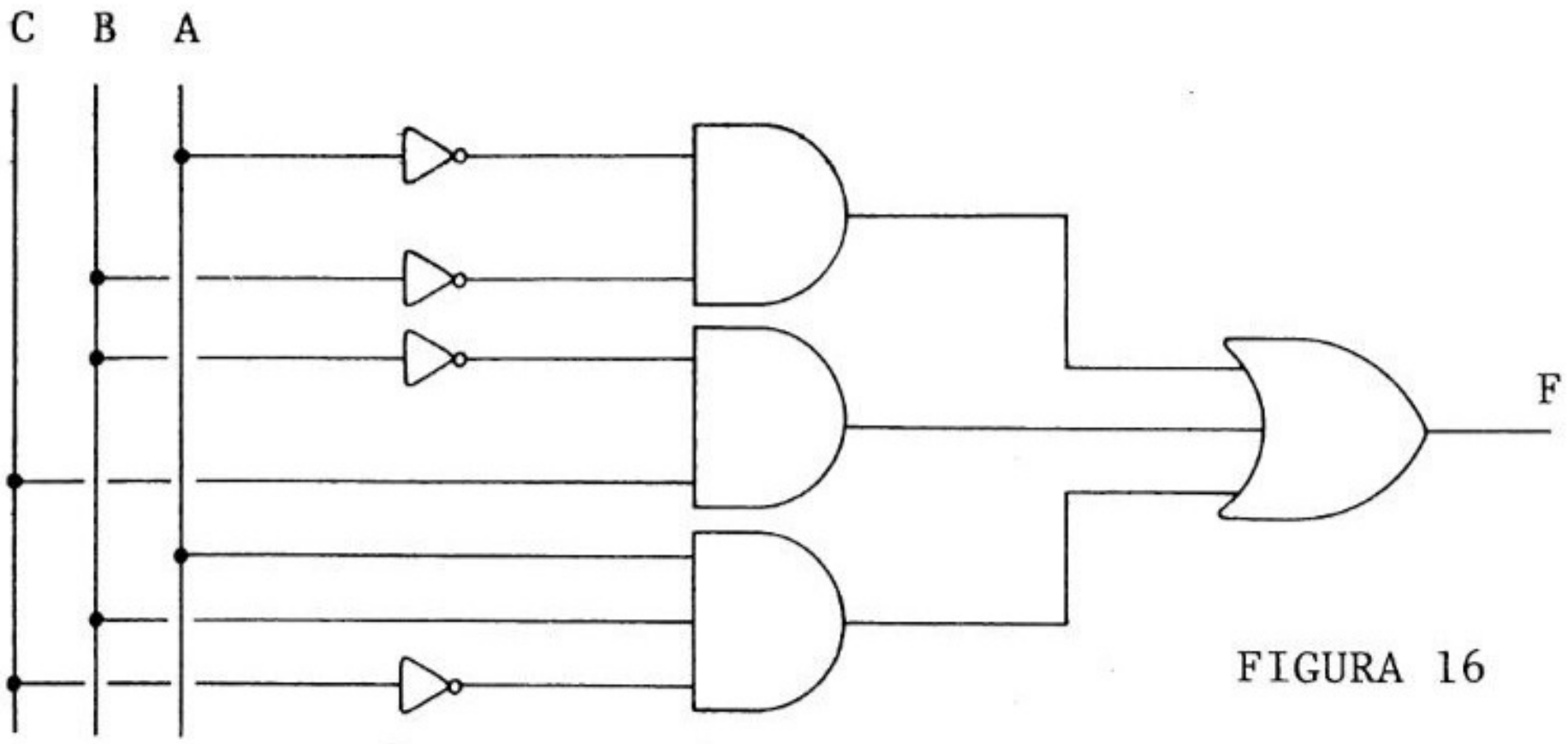


FIGURA 16

Vamos passar à minimização direta, através de uma expressão algébrica. O processo será idêntico aos exemplos anteriores.

Seja a seguinte expressão:

$$F = \bar{A}.\bar{B}.\bar{C} + \bar{A}.B.\bar{C} + \bar{A}.B.C + A.B.C$$

Colocando a expressão diretamente no mapa de Karnaugh, teremos: (figura 17)

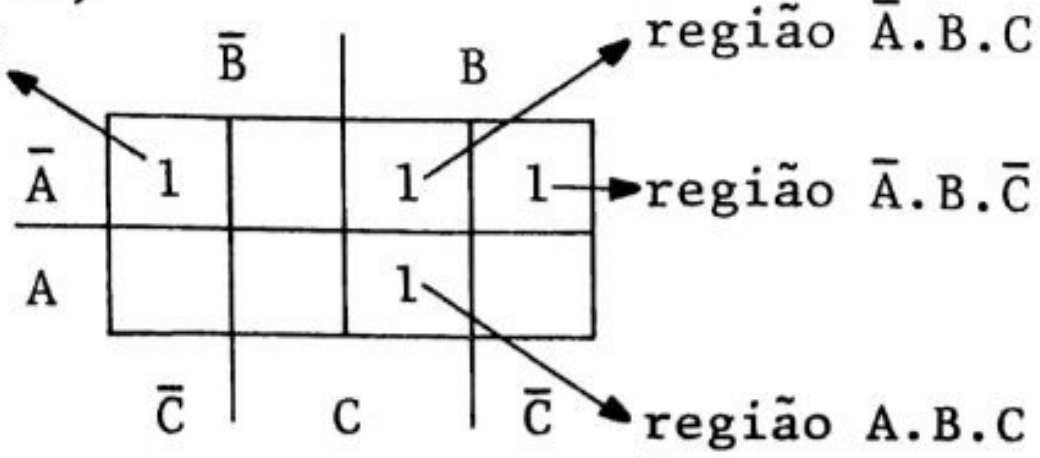


FIGURA 17

Não há possibilidade de obtermos quadras, mas teremos - dois pares, como indica a figura 18:

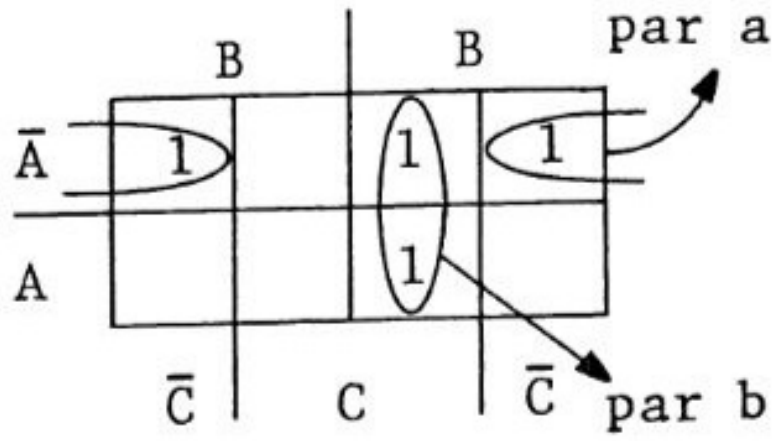


FIGURA 18

o par a corresponde a $\bar{A} \cdot \bar{C}$
o par b corresponde a $B \cdot C$

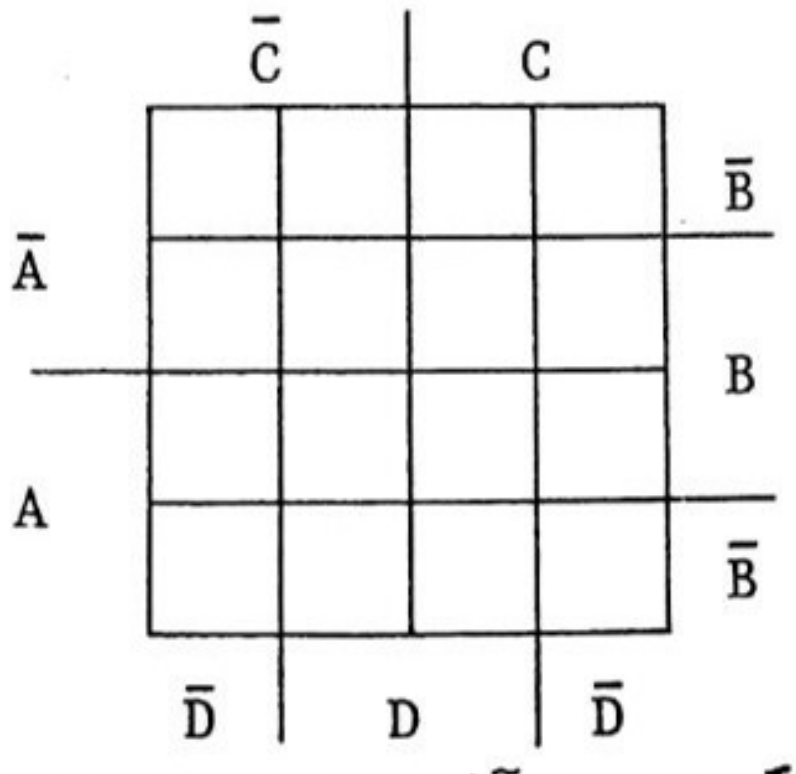
Como não temos termos isolados, a expressão minimizada será:

$$F = \bar{A}.\bar{C} + B.C$$

DIAGRAMAS PARA QUATRO VARIÁVEIS:

O mapa de Karnaugh geralmente é usado para expressões - que englobam até 4 variáveis. A partir de cinco variáveis, usa-se um outro processo que veremos na lição ED-11. Pois, utilizando mapa de Karnaugh, para projetos com mais de quatro variáveis, torna-se muito trabalhosa a minimização.

O mapa de Karnaugh para quatro variáveis é ilustrado na figura 19.



FIGÚRA 19

Vamos analisar todas as regiões possíveis do mapa, isto é, regiões onde: A = 1, $\bar{A}$ = 1(A = 0), B = 1, $\bar{B}$ = 1, C = 1, - $\bar{C}$=1, D=1 e $\bar{D}$=1, figuras, 20, 21, 22, 23, 24, 25, 26 e 27, res-

pectivamente:

FIGURA 20

região A = 1

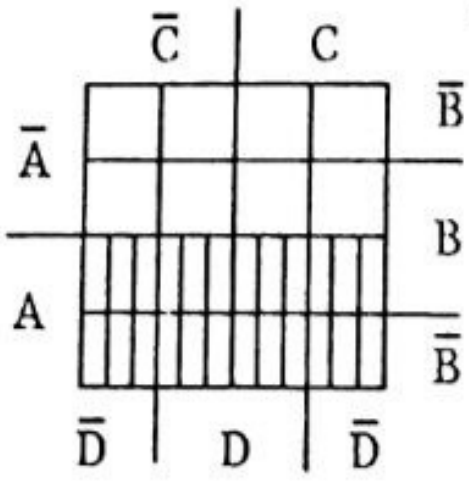


FIGURA 21

região Ā = 1

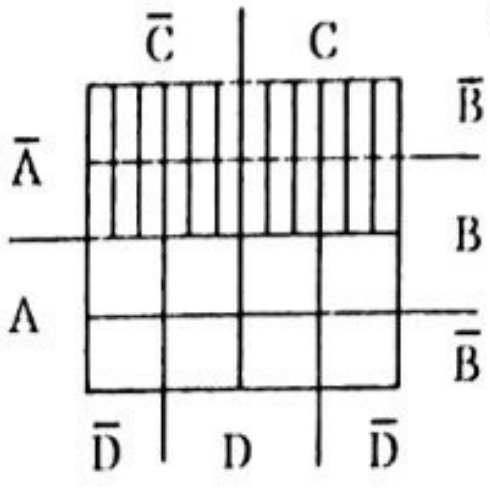


FIGURA 22

região B = 1

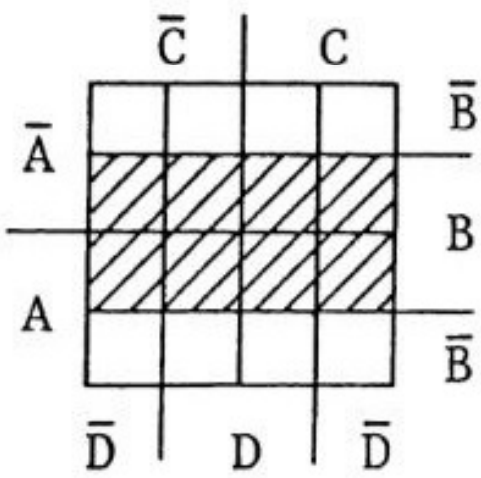


FIGURA 23

região B̄ = 1

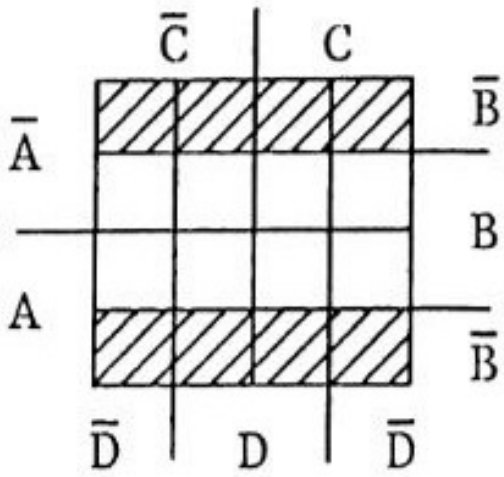


FIGURA 24

região C = 1

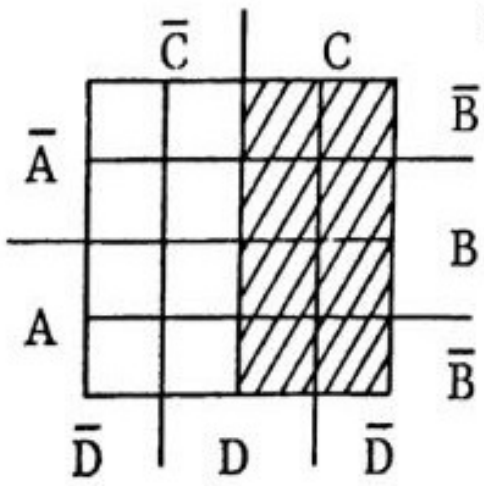


FIGURA 25

região C̄ = 1

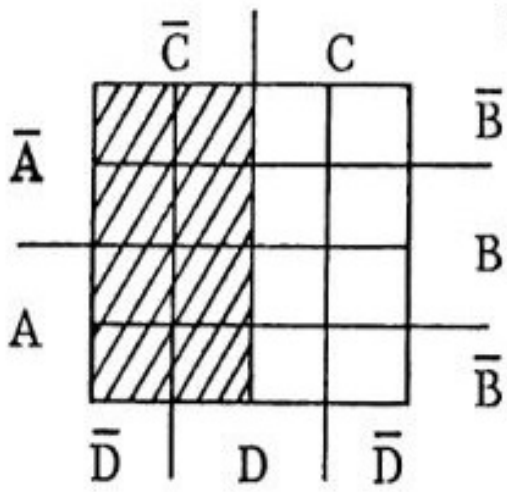


FIGURA 26

região D = 1

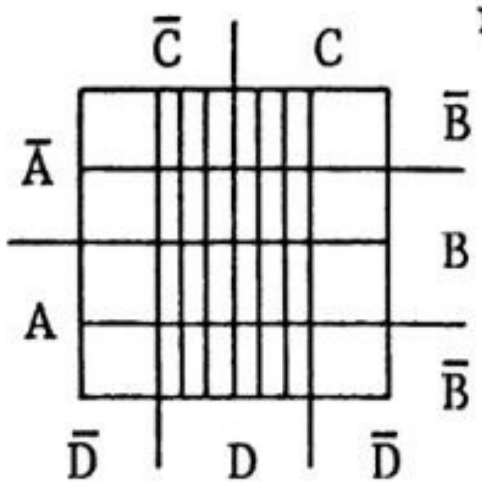
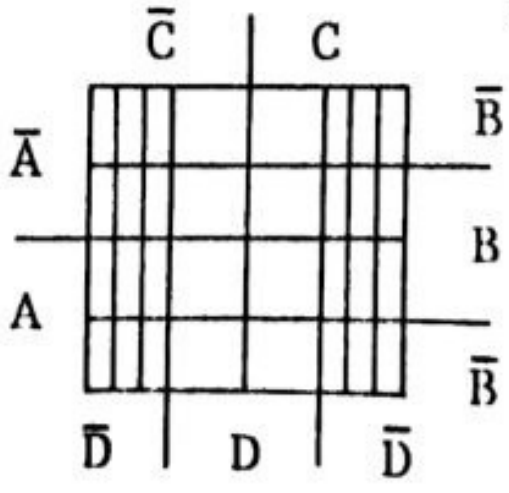


FIGURA 27

região D̄ = 1



Essas regiões que acabamos de delimitar são conhecidas como oitavas:

Região onde $\underline{A} = 1$ — oitava A.
Região onde $\overline{A} = 1$ $(A = 0)$ — oitava $\overline{A}$.
Região onde $\underline{B} = 1$ — oitava $\underline{B}$.
Região onde $\overline{B} = 1$ — oitava $\overline{B}$.

e assim por diante.

Nesse diagrama, como nos outros, temos também uma região para cada caso da tabela verdade.

Temos, como exemplo, uma região dada por:

$A\ \overline{B}\ .\ \overline{C}\ \overline{D}$ ⟶ que corresponde a ⟶ 1000.

Isto é: $A = 1$, $B = 0$ $(\overline{B} = 1)$, $C = 0$, $D = 0$

A intersecção dessas regiões nos fornecerá a região A.B.C.D, como mostra a figura 28.

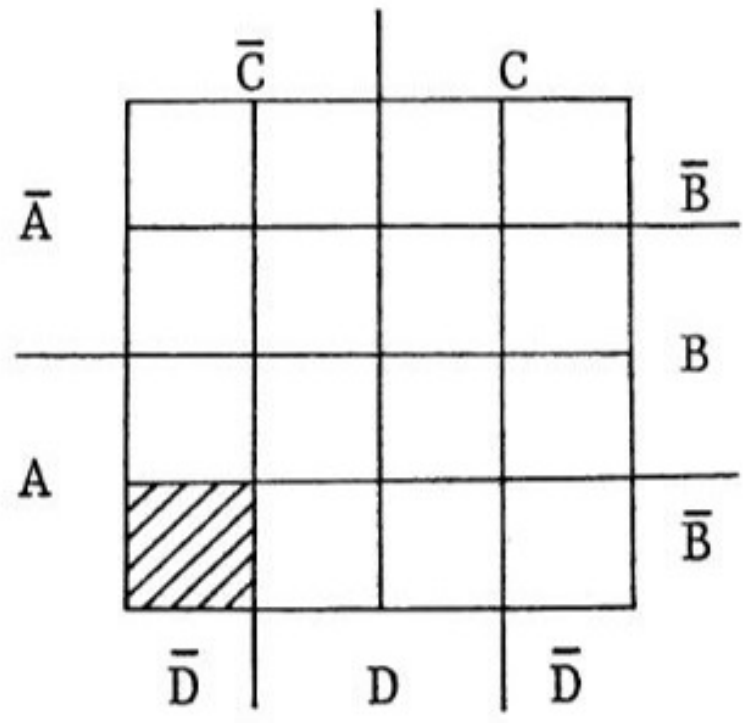


FIGURA 28

Como o aluno pode notar, deve-se tomar muito cuidado com a delimitação de cada região, pois sendo mais de três variáveis, a visualização de cada região, torna-se um pouco mais difícil, como já vimos anteriormente.

Para uma melhor compreensão de colocação no mapa de Karnaugh, vamos considerar a tabela verdade da figura 29.

A	B	C	D	F
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	0
1	1	1	1	1

FIGURA 29

A expressão algébrica F, extraída diretamente da tabela verdade, será:

$$F = \bar{A}.\bar{B}.\bar{C}.\bar{D} + \bar{A}.\bar{B}.\bar{C}.D + \bar{A}.\bar{B}.C.\bar{D} + \bar{A}.\bar{B}.C.D + \bar{A}.B.\bar{C}.D + A.\bar{B}.\bar{C}.\bar{D} + A.\bar{B}.\bar{C}.D + A.\bar{B}.C.\bar{D} + A.\bar{B}.C.D + A.B.\bar{C}.\bar{D} + A.B.\bar{C}.D + A.B.C.D$$

Transpondo-a para o mapa, teremos: (figura 30).

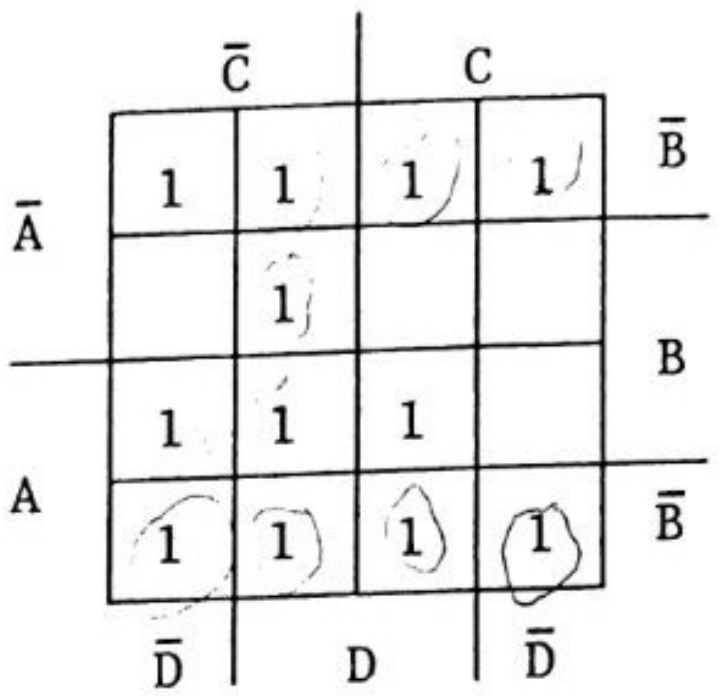


FIGURA 30

As simplificações seguem o mesmo processo já utilizado para os diagramas de duas e três variáveis. Porém, nesse caso, o principal agrupamento não será a quadra e sim a oitava.

Como ocorreu com o diagrama de três variáveis, aqui também os lados extremos opostos se comunicam, podendo-se dessa maneira agrupá-los em oitavas, quadras, pares, com termos localizados em lados opostos.

Vamos passar à minimização da função do nosso exemplo.

Como já dissemos, devemos primeiro agrupar as oitavas; em seguida, as quadras, os pares e, por último, os termos isolados.

A figura 31 indica a oitava, obtida através do mapa da figura 30.

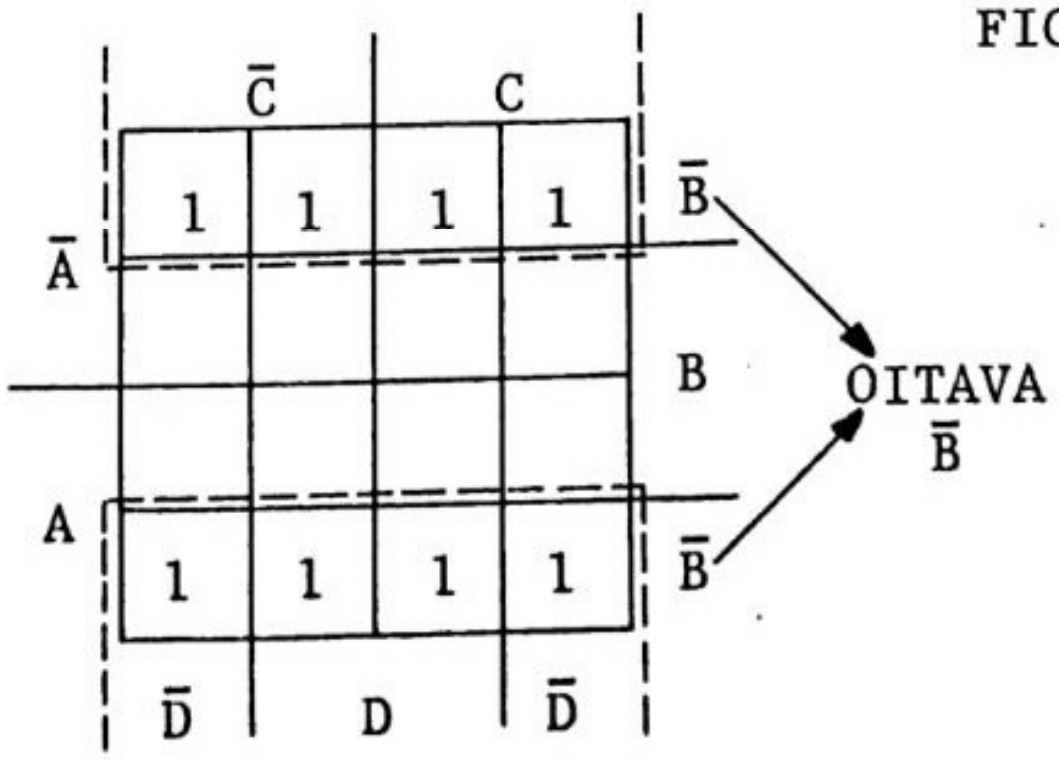


FIGURA 31

Todos os elementos 1 se encontram na na região onde $\bar{B} = 1$

Abaixo, nas figuras 32, 33, 34, temos as quadras:

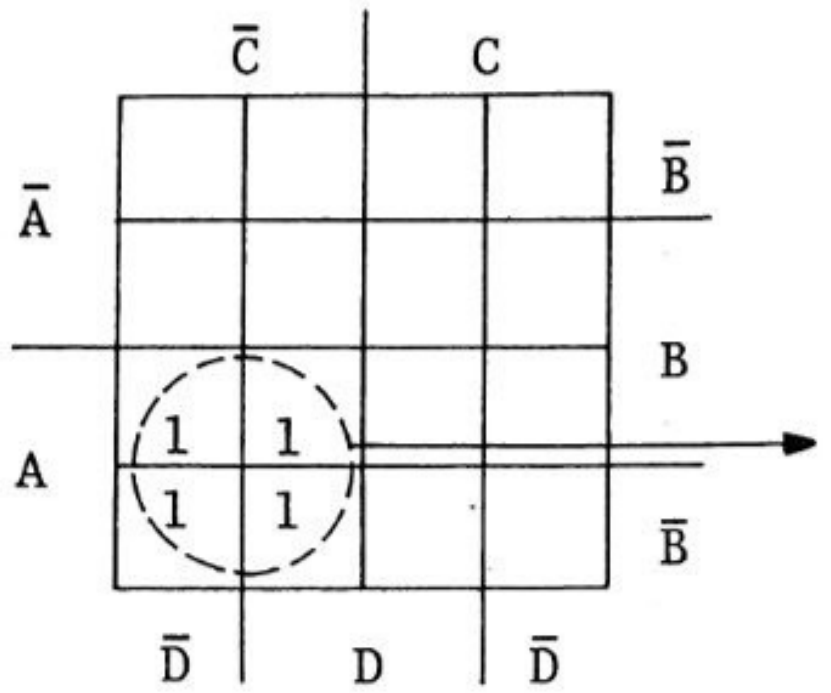


FIGURA 32

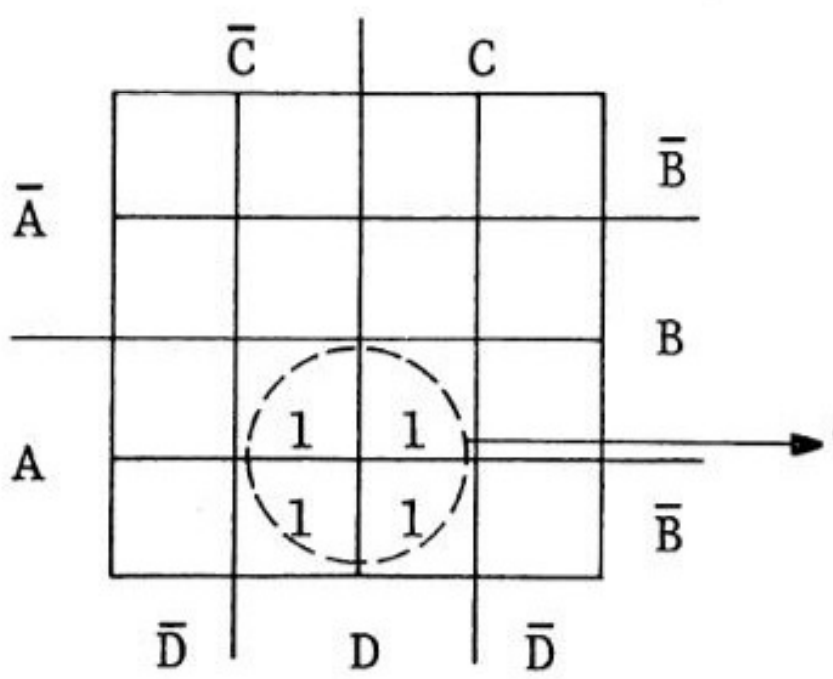


FIGURA 33

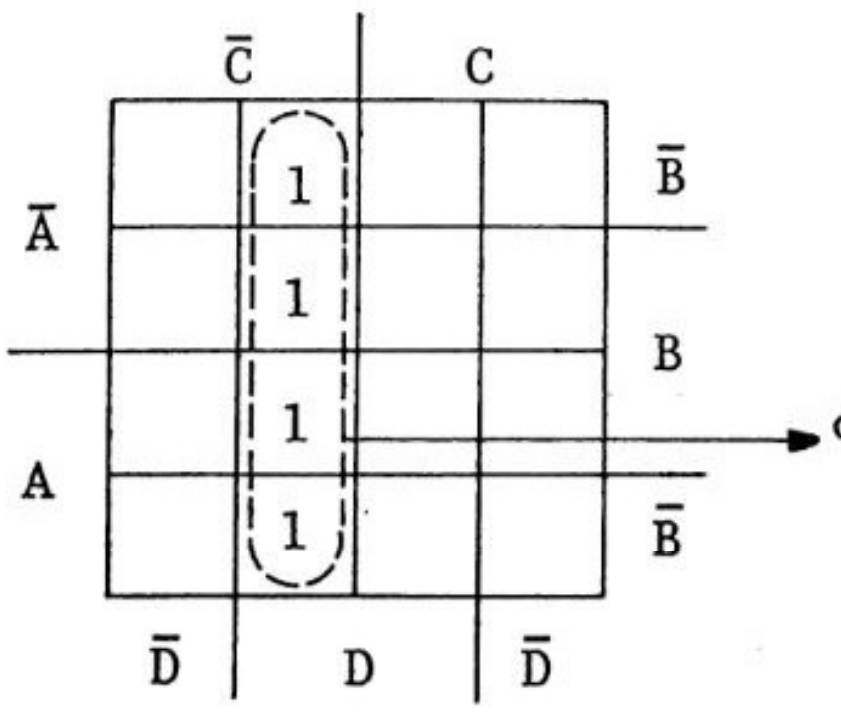


FIGURA 34

Determinamos separadamente a oitava e as quadras, para uma melhor visualização do aluno, porém, todos agrupados ao mesmo tempo será como na figura 35.

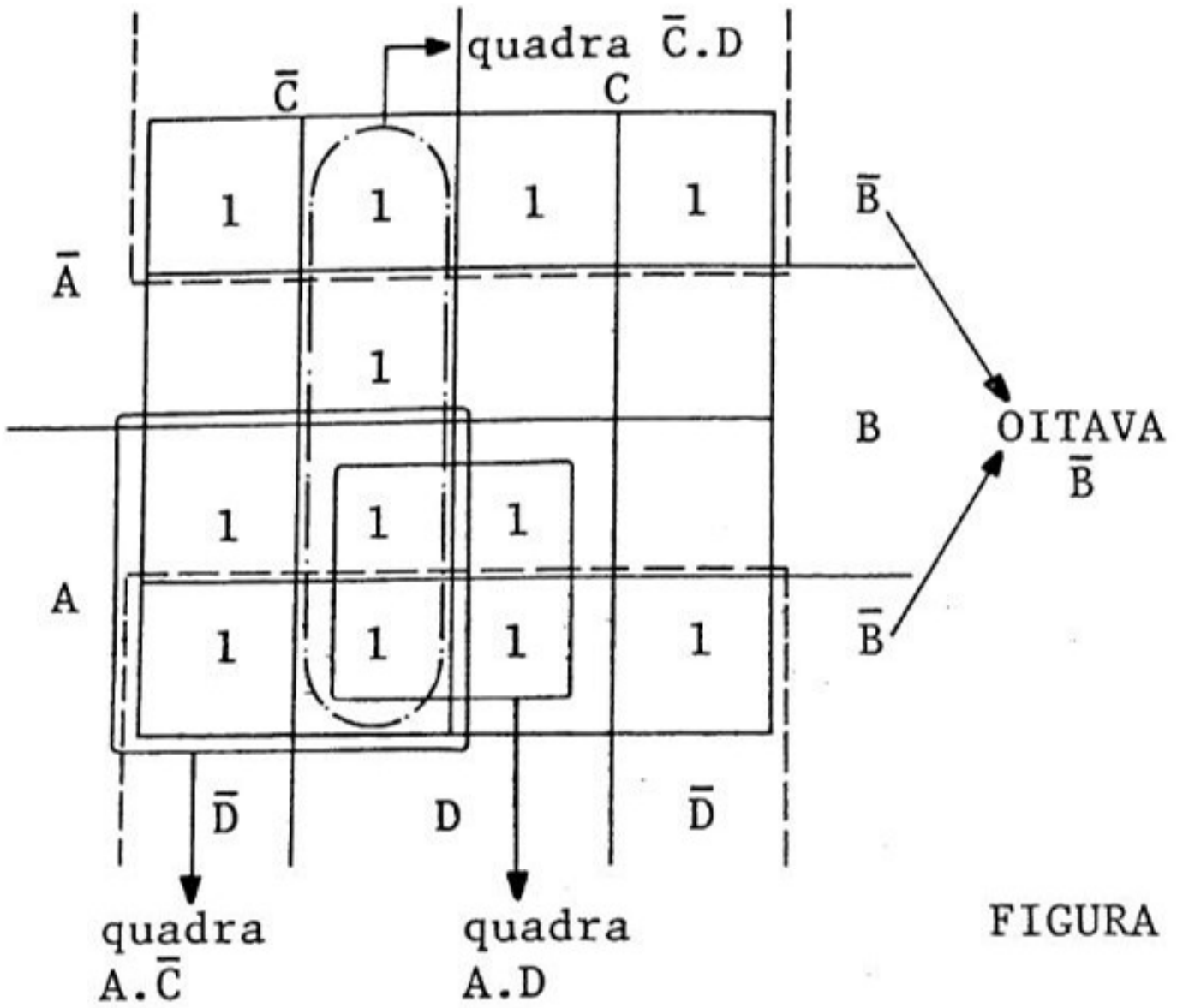


FIGURA 35

Agrupando a oitava e as quadras, temos a expressão final minimizada.

Obs: não temos termos isolados e pares.

$$F = \bar{B} + A.\bar{C} + A.D + \bar{C}.D$$

O circuito da expressão acima é dado pela figura 36:

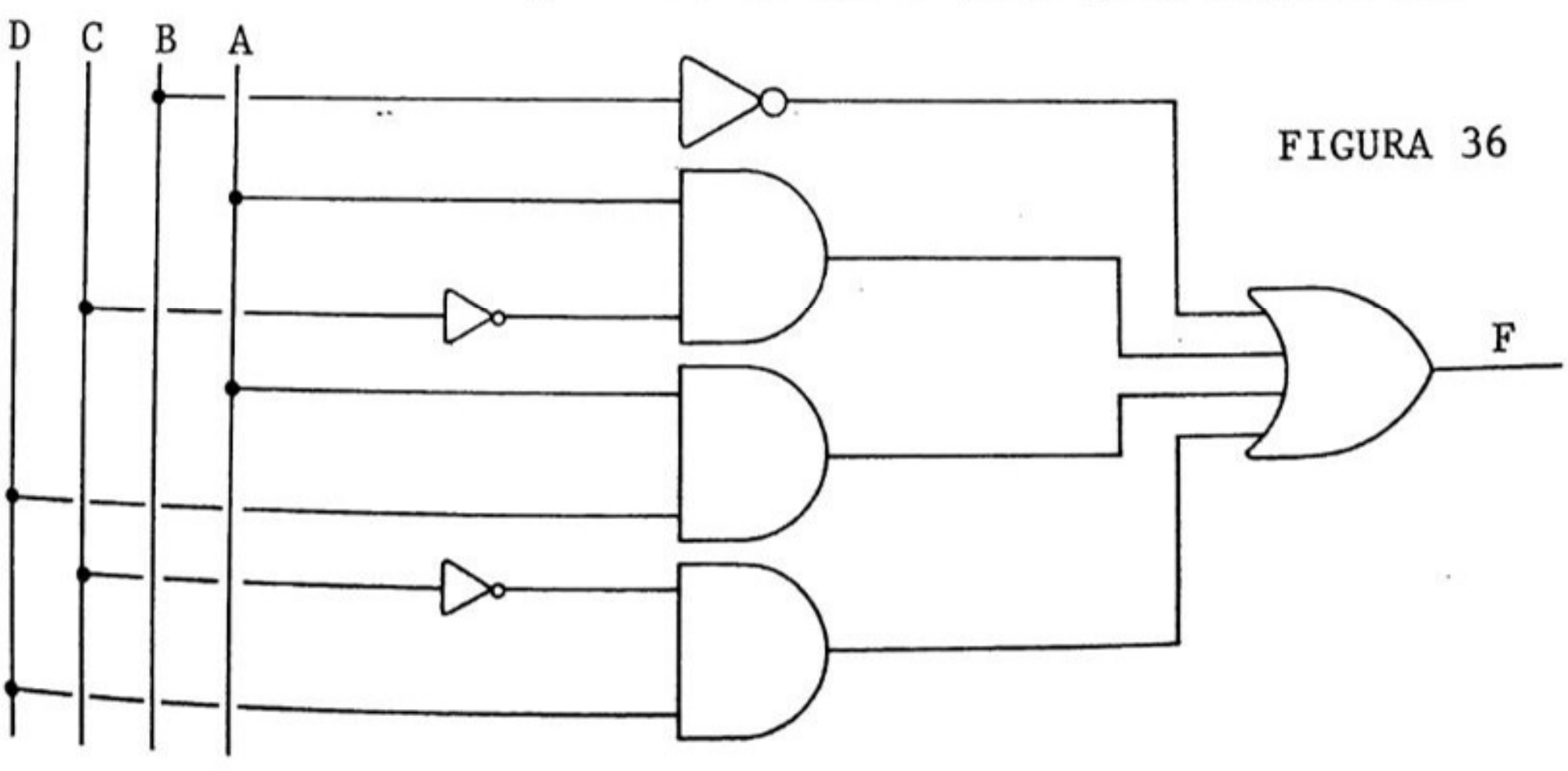


FIGURA 36

OUTRO EXEMPLO:

Minimizar a expressão abaixo, usando o mapa de Karnaugh.

$$F = \overline{A}.\overline{B}.\overline{C}.\overline{D} + \overline{A}.\overline{B}.\overline{C}.D + \overline{A}.\overline{B}.C.\overline{D} + \overline{A}.B.C.\overline{D}$$

Transpondo diretamente a expressão para o mapa, teremos: (figura 37).

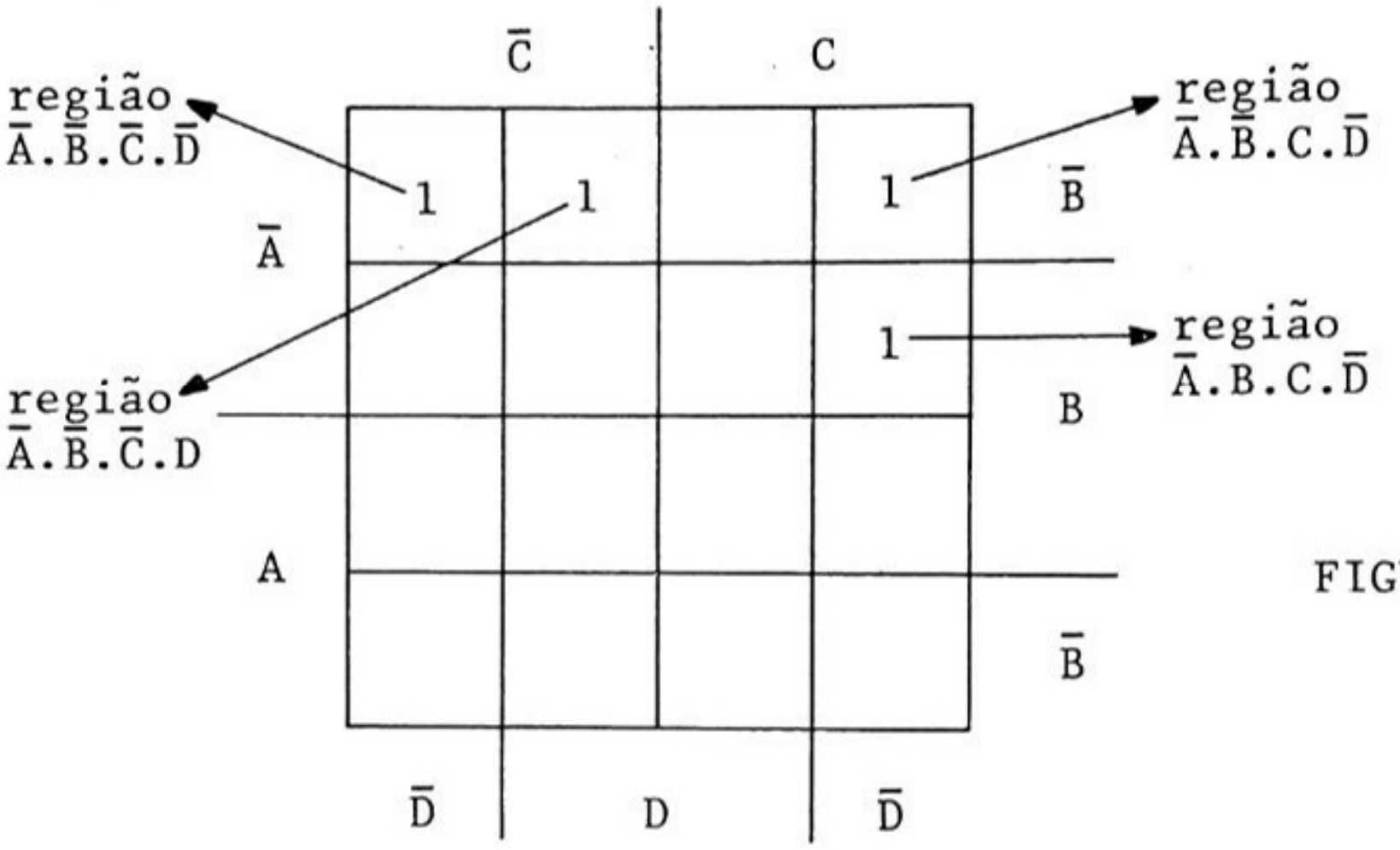


FIGURA 37

Agrupando-se os termos, teremos: (figura 38).

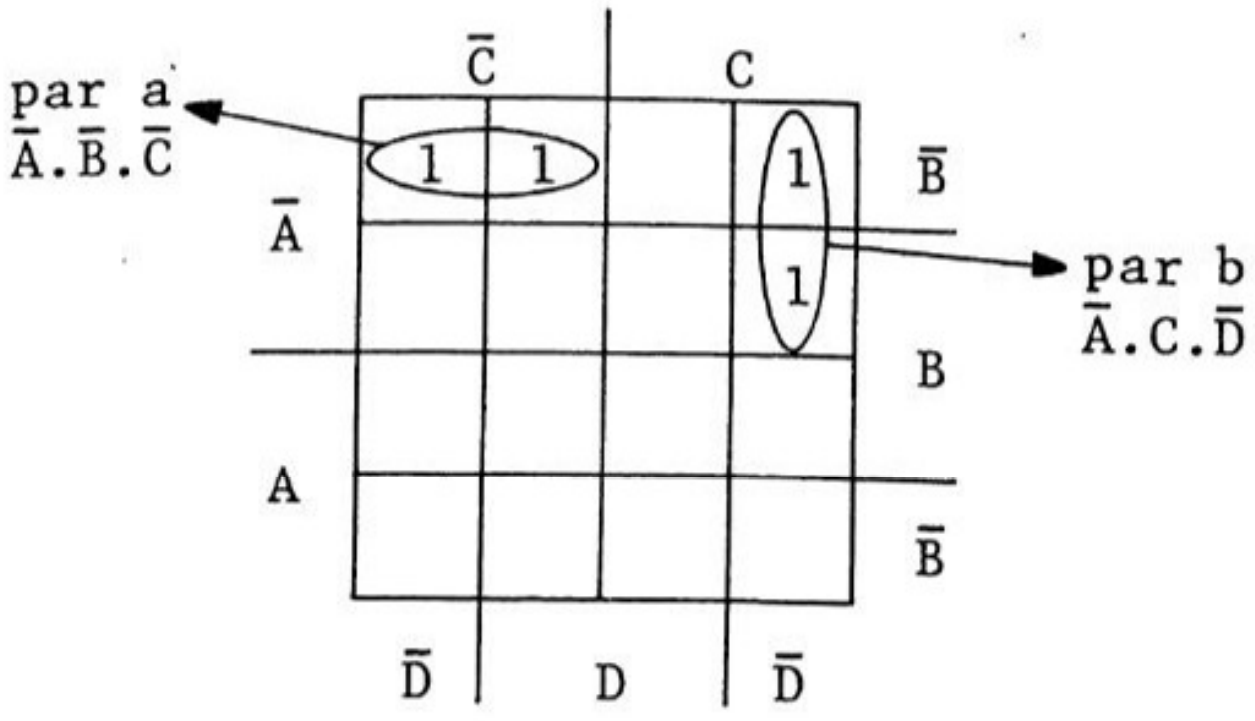


FIGURA 38

Formamos somente dois pares: par a que compreende $\overline{A}.\overline{B}.\overline{C}$ e o par b que corresponde a $\overline{A}.C.\overline{D}$.

Logo, a nossa função simplificada será:

$$F = \overline{A}.\overline{B}.\overline{C} + \overline{A}.C.\overline{D}$$

O circuito da expressão acima é dado pela figura 39:

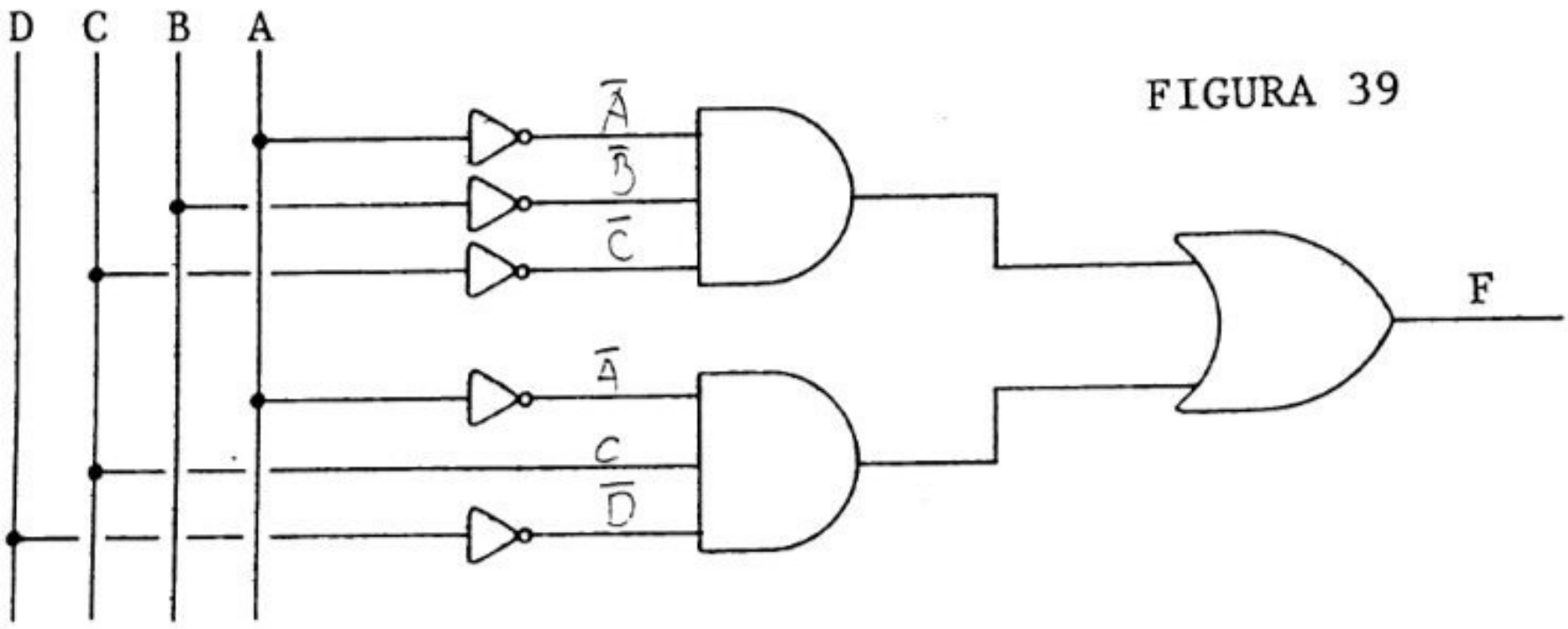


FIGURA 39

Como o aluno pode ver, com a ajuda do mapa de Karnaugh, podemos simplificar expressões e, com isso, diminuir o custo de um projeto qualquer, pois o número de portas diminui sensivelmente com a simplificação.

CONDIÇÃO IRRELEVANTE OU FUNÇÕES NÃO COMPLETAMENTE ESPECIFICADAS:

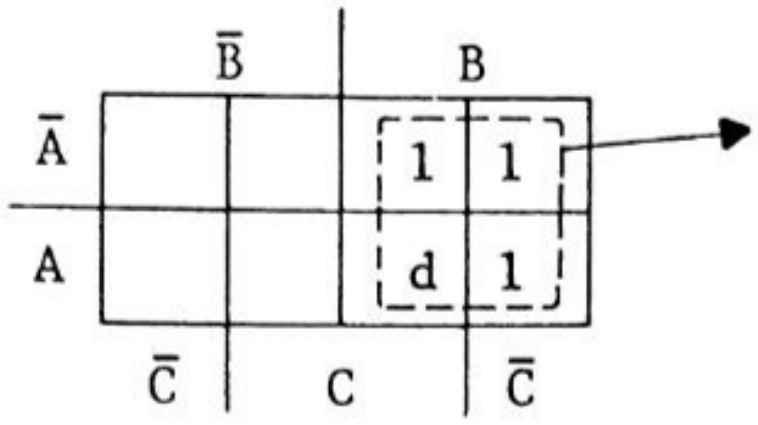
A condição irrelevante significa que, para uma dada combinação das variáveis de entrada, da tabela verdade, a saída poderá assumir valor um (1) ou zero (0) indiferentemente.

Vamos exemplificar, considerando a tabela verdade da figura 40.

A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	d

FIGURA 40

Passando para o mapa a tabela verdade, teremos:



quadra = B

FIGURA 41

O símbolo d significa que, neste caso, a expressão pode ser identificada com valores zero (0) ou um (1). Quando escolhermos valor zero, a expressão simplificada será: $F = \overline{A}.B + B.\overline{C}$, o que corresponde a dois pares no mapa de Karnaugh.

Se escolhermos valor um par d, teremos então a formação de uma quadra e a expressão sera: F = B. Logo, para uma melhor simplificação, escolhemos valor um para a condição irrelevante.

EXEMPLOS RESOLVIDOS:

Obter a expressão da tabela verdade, usando o mapa de Karnaugh.

A	B	C	F_1	F_2
0	0	0	1	1
0	0	1	1	1
0	1	0	1	1
0	1	1	0	0
1	0	0	0	1
1	0	1	1	1
1	1	0	0	0
1	1	1	1	0

Observamos que a tabela verdade possui duas saídas F_1 e F_2, portanto temos que executar um mapa de Karnaugh para cada saída. O que é uma outra inconveniência do mapa de Karnaugh.

Inicialmente, executaremos o mapa de Karnaugh para a saída F_1, que extraída diretamente da tabela verdade será:

$$F_1 = \overline{A}.\overline{B}.\overline{C} + \overline{A}.\overline{B}.C + \overline{A}.B.\overline{C} + A.\overline{B}.C + A.B.C.$$

Passando para o mapa de Karnaugh, com os valores de F_1, temos:

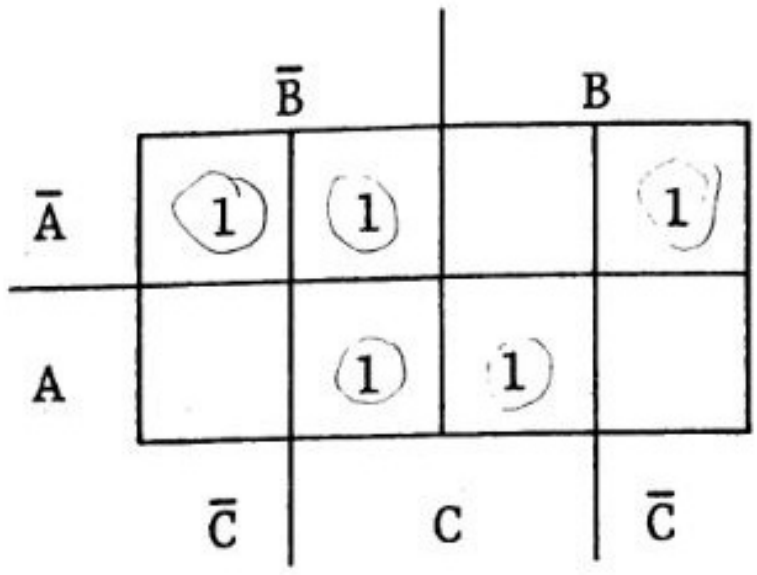


FIGURA 42

Vamos agora agrupar as quadras, os pares e os termos isolados:

Em termos de quadra não há possibilidade de se agrupar. Porém temos dois pares, como indicados na figura 43.

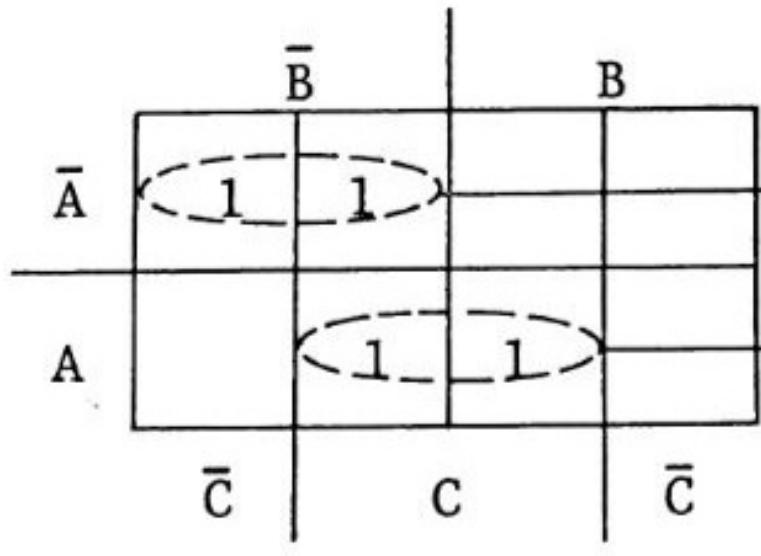


FIGURA 43

E mais um terceiro par, como indica a figura 44.

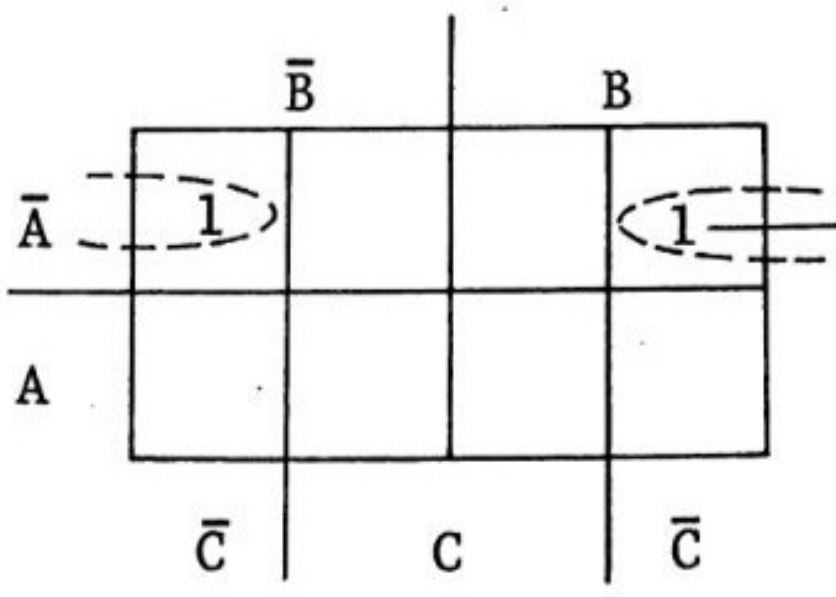


FIGURA 44

Logo, nossa expressão final de F_1 se resume em:

$$F_1 = \overline{A}.\overline{B} + A.C + \overline{A}.\overline{C}$$

Executando o mapa de Karnaugh para a saída F2, extraída diretamente da tabela verdade, teremos;

$$F2 = \overline{A}.\overline{B}.\overline{C} + \overline{A}.\overline{B}.C + \overline{A}.B.\overline{C} + A.\overline{B}.\overline{C} + A.\overline{B}.C$$

Passando para o mapa de Karnaugh, com os valores de F_2, temos:

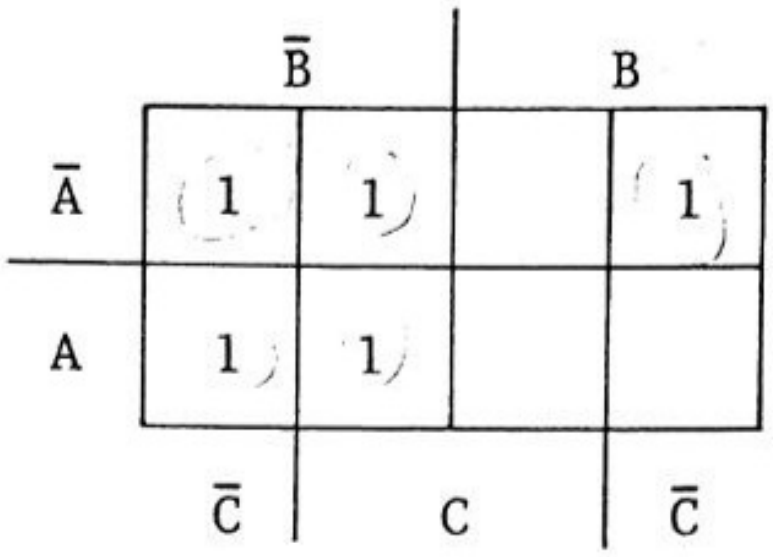


FIGURA 45

Vamos agora agrupar as quadras, os pares e os termos isolados:

Temos uma quadra, como ilustra a figura 46

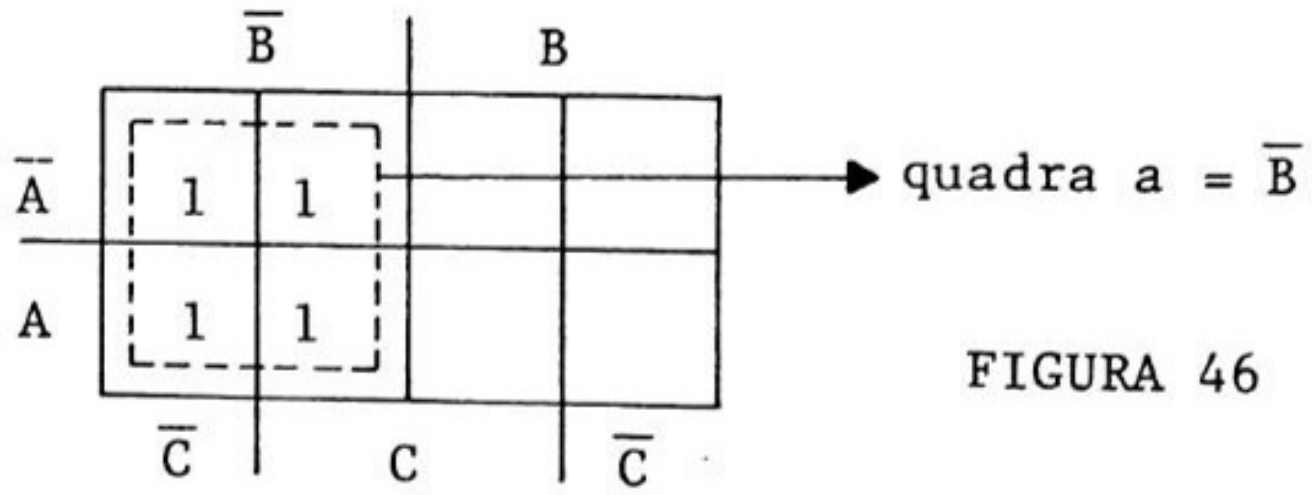


FIGURA 46

E um par, como ilustra a figura 47

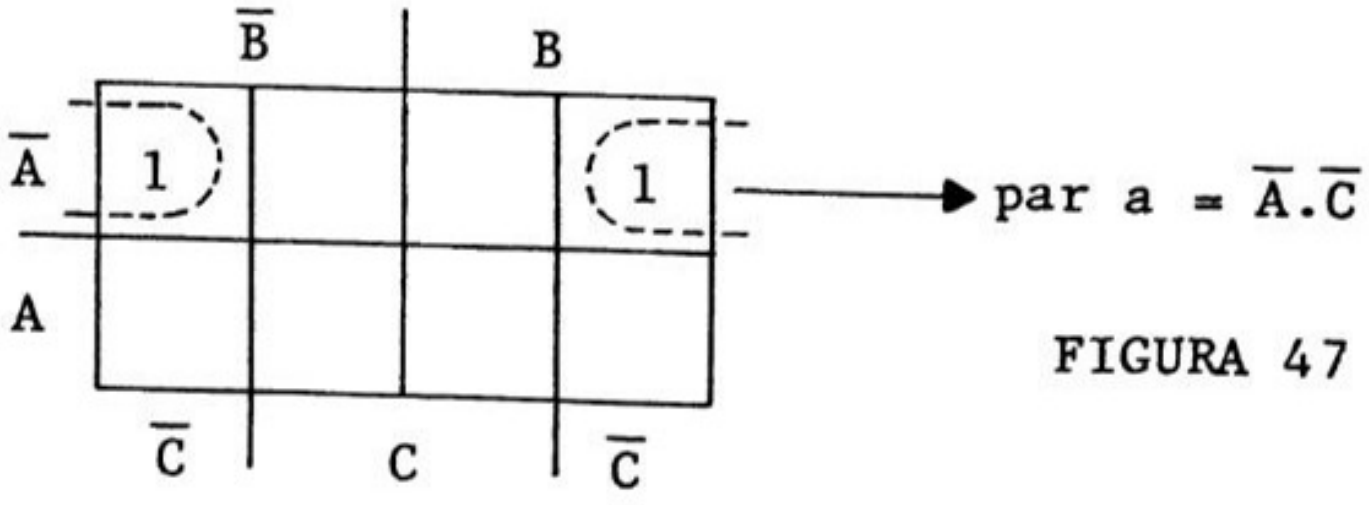


FIGURA 47

Logo, nossa expressão final de F_2 = se resume em:

$$F2 = \overline{B} + \overline{A}.\overline{C}$$

CURSO DE ELETRONICA DIGITAL E MICROPROCESSADORES

EXAME DA LIÇAO ED-10

OBSERVAÇÃO

- cada questão é composta de três ou quatro alternativas.
- só uma delas está correta.
- marque a que considerar correta.
- passe as respostas corretas para a folha de exame.

1) O mapa de Karnaugh é utilizado para tabela verdade e expressões algébricas de:

a) somente duas variáveis;

b) três ou mais variáveis;

c) somente até quatro variáveis.

2) Utilizando o mapa de Karnaugh de três variáveis, ao simplificá-lo, devemos ter sempre em mente a seguinte prioridade:

a) localizar primeiro as pares, em seguida as quadras e, por último, os termos isolados;

b) localizar as quadras, os pares e, por último, os termos isolados;

c) as alternativas a e b são corretas.

3) Quais as expressões abaixo são possíveis de se minimizar - com a ajuda do mapa de Karnaugh:

a) $F = \overline{A}.B.C + \overline{A}.\overline{B}.C + A.B.\overline{C} + A.B.C$;

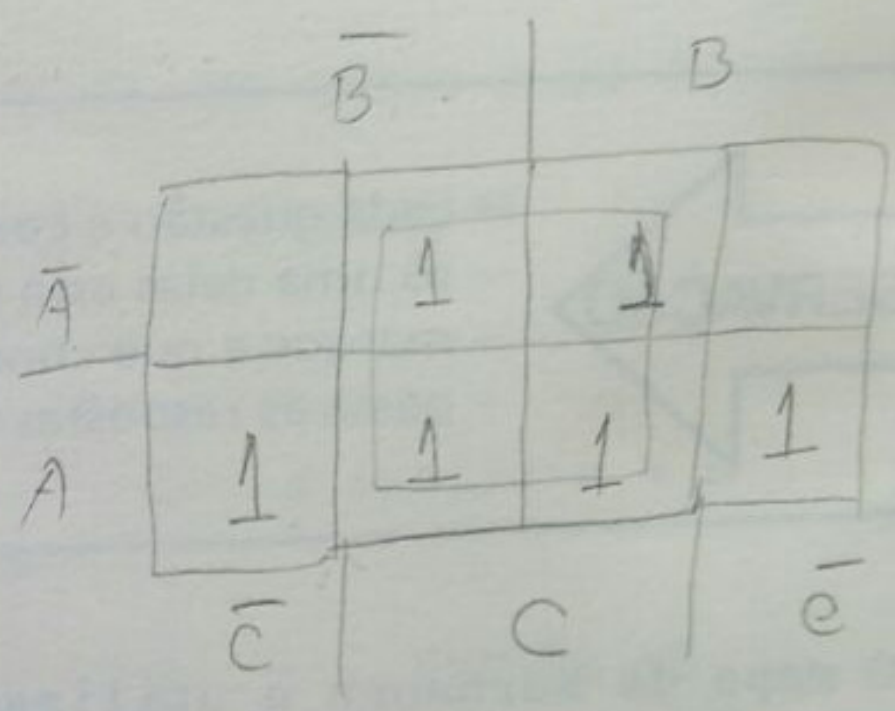
b) $F = A.\overline{B}.\overline{C}.\overline{D} + \overline{A}.B.\overline{C}.D + A.B.\overline{C}.\overline{D} + \overline{A}.B.C.D$;

c) $F = \overline{A}.B + A.\overline{B} + A.B + \overline{A}.\overline{B}$;

d) todas as expressões acima são possíveis de simplificação.

4) A tabela verdade abaixo apresenta a seguinte funçao ja minimizada:

A	B	C	F
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1



a) $F = \overline{C} + (A.B)$;

b) $F = C + (A.\overline{B})$;

c) $F = C + (A.B)$.

F = C̄ + (A.B)

F = C + (A.B)

5) A expressão algébrica $F = \overline{A}.\overline{B}.\overline{C} + \overline{A}.\overline{B}.C + \overline{A}.B.\overline{C} + A.\overline{B}.C + A.B.\overline{C}$ corresponde à seguinte tabela verdade:

a)

A	B	C	F	
0	0	0	1	$\bar{A}\bar{B}\bar{C}$
0	0	1	1	$\bar{A}\bar{B}C$
0	1	0	1	$\bar{A}B\bar{C}$
0	1	1	0	
1	0	0	0	
1	0	1	1	$A\bar{B}C$
1	1	0	1	$AB\bar{C}$
1	1	1	0	

b)

A	B	C	F	
0	0	0	1	$\bar{A}\bar{B}\bar{C}$
0	0	1	1	$\bar{A}\bar{B}C$
0	1	0	1	$\bar{A}B\bar{C}$
0	1	1	0	
1	0	0	0	
1	0	1	1	$A\bar{B}C$
1	1	0	0	
1	1	1	1	ABC

c) as alternativas a e b estão incorretas.

6) As regiões conhecidas como oitavas só existem para diagramas:

a) de três variáveis;

b) de quatro ou mais variáveis;

c) sómente de quatro variáveis.

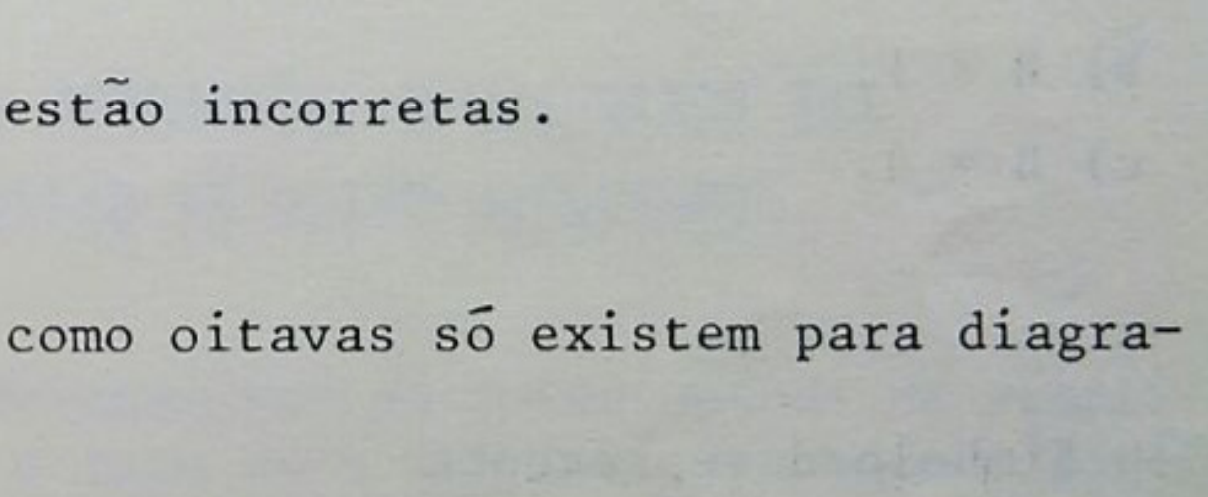
7) A expressão $F = \overline{A}.B.\overline{C} + A.\overline{B}.\overline{C} + A.B.\overline{C}$, após minimização pelo mapa de Karnaugh, se reduz a:

a) $F = A.C + \overline{B}.C$;

b) $F = \overline{A}.C + B.\overline{C}$;

c) $F = A.\overline{C} + B.C$;

d) $F = A.\overline{C} + B.\overline{C}$.



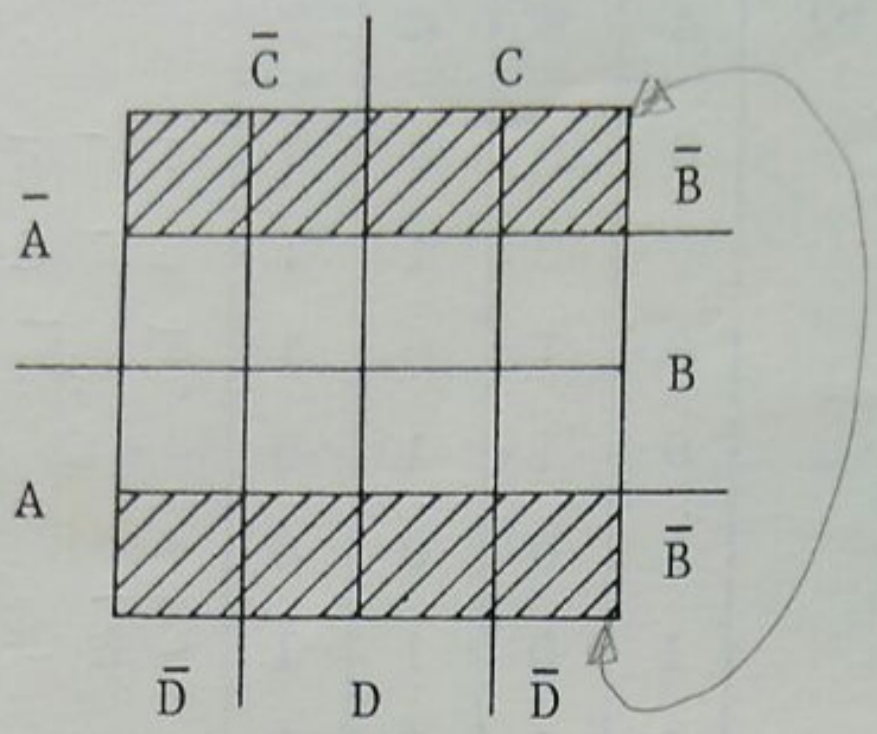
8) Verificar quais as funções abaixo que podem ser simplificadas:

a) $F_1 = \overline{A}.B + A.\overline{B}$;

b) $F_2 = A.B + \overline{A}.\overline{B}$;

c) F_1 e F_2 não admitem simplificação.

9) Para o seguinte mapa de Karnaugh:



a região hachurada corresponde a:

a) $\overline{B} = 1$;

b) $B = 1$;

c) $B = d$.

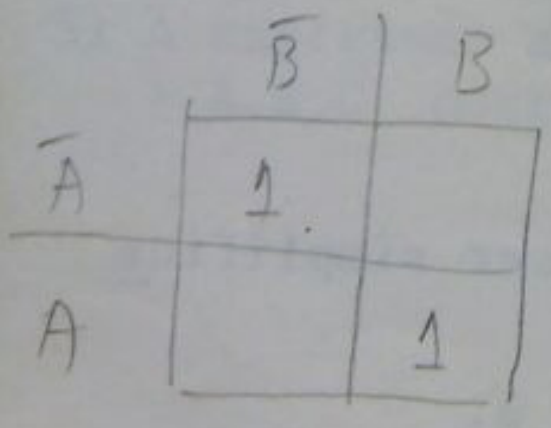
10) O símbolo d representa:

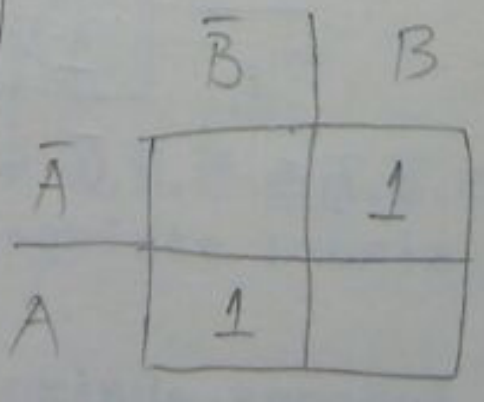
a) que a expressão assume valor zero, se somente as entradas forem iguais a um;

b) que nessa condição a expressão pode assumir valores zero (0) ou um (1);

c) as afirmativas a e b estão incorretas.

$A.B + \overline{A}\,\overline{B}$





$= \overline{A}B + A\overline{B}$

CURSOS DE APERFEIÇOAMENTO

CURSO DE
ELETRÔNICA DIGITAL E
MICROPROCESSADORES

CAIXA POSTAL 1642 - CEP 86100 - LONDRINA - PARANÁ

LIÇÃO ED-11

SIMPLIFICAÇÃO DE EXPRESSÕES E CIRCUITOS III

(PROCESSO TABULAR DE QUINE-McCLUSKEY)

Vamos nesta lição desenvolver um outro método de simplificação muito útil para o caso de 4 variáveis ou mais. Porém daremos, inicialmente, algumas definições e simplificação de expressões e circuitos.

Simplificar uma expressão é reduzí-la a uma forma mínima, sem alterar a sua condição lógica.

Existem várias maneiras, já vistas em lições anteriores, de se conseguir isto, como, por exemplo, simplificações, empregando teoremas da Álgebra Booleana (Lição ED-8); simplificações, por meio dos diagramas de Veitch-Karnaugh (Lição ED-9 e ED-10).

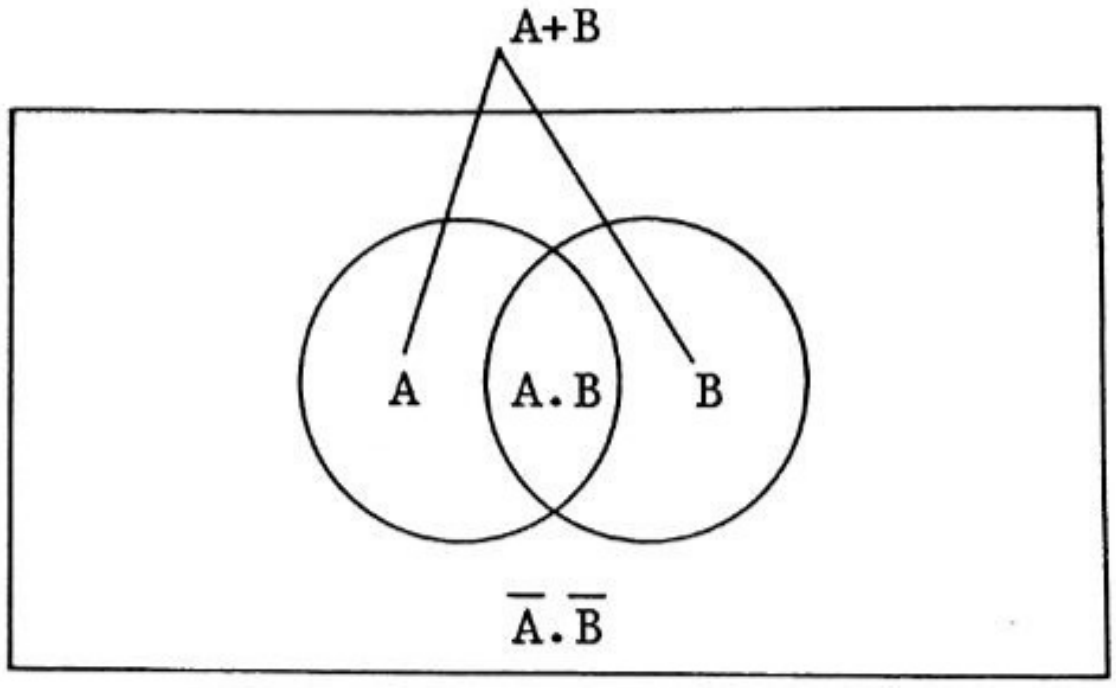
O primeiro método consiste na aplicação dos teoremas da Álgebra Booleana, visualizando a expressão a ser simplificada. Este processo é muito cansativo e oferece maior margem de erros.

O segundo é simples e mais prático, se a simplificação não envolver casos com mais de cinco variáveis. Para casos que envolvam mais de cinco variáveis, aconselha-se o emprego do processo tabular de Quine-Mccluskey.

Os diagramas de Veitch-Karnaugh e o processo tabular de

Quine-McCluskey são executados de formas semelhantes, baseados nas adjacências do diagrama de Venn.

FIGURA 01



A Fig. 1 ilustra um diagrama de Venn para duas variáveis. O retângulo define o universo, onde estão contidos dois círculos, um círculo definindo a propriedade de A, isto é, A é verdadeiro dentro do círculo e não verdadeiro fora dele. O outro definindo a propriedade de B, ou seja, B é verdadeiro dentro do círculo e não verdadeiro fora dele.

Assim a intersecção de A com B($A \cap B$) deve ser A.B (A e B). Já o domínio fora dos círculos deve ser $\overline{A}.\overline{B}$ (inverso de A e inverso de B). Por outro lado a união de A com B ($A \cup B$) deve ser A+B (A ou B).

FIGURA 02

Nº	A B	FUNÇÕES	
		INTERSECÇÃO	UNIÃO
0	0 0	$\overline{A}.\overline{B}$	$\overline{A}+\overline{B}$
1	0 1	$\overline{A}.B$	$\overline{A}+B$
2	1 0	$A.\overline{B}$	$A+\overline{B}$
3	1 1	A.B	A+B

A figura 2 ilustra uma tabela de combinações de duas variáveis com função intersecção (mintermo), lógica positiva e

função união (maxtermo), lógica negativa.

FIGURA 03

Nº	A	B	C	F	FUNÇÕES (MINTERMO)		FUNÇÕES (MAXTERMO)	
0	0	0	0	1	$\overline{A}.\overline{B}.\overline{C}$	*	$A+B+C$	
1	0	0	1	0	$\overline{A}.\overline{B}.C$		$A+B+\overline{C}$	*
2	0	1	0	1	$\overline{A}.B.\overline{C}$	*	$A+\overline{B}+C$	
3	0	1	1	1	$\overline{A}.B.C$	*	$A+\overline{B}+\overline{C}$	
4	1	0	0	0	$A.\overline{B}.\overline{C}$		$\overline{A}+B+C$	*
5	1	0	1	1	$A.\overline{B}.C$	*	$\overline{A}+B+\overline{C}$	
6	1	1	0	0	$A.B.\overline{C}$		$\overline{A}+\overline{B}+C$	*
7	1	1	1	0	$A.B.C$		$\overline{A}+\overline{B}+\overline{C}$	*
					"1"		"Ø"	

* Mintermos ativados a "UM" e Maxtermos ativados a "ZERO":

A figura 3 ilustra uma tabela de combinações de três variáveis, portanto contendo oito linhas, sendo que as linhas: 0, 2, 3 e 5 estão ativadas a "UM", temos, neste caso, mintermos. Assim, para obtermos a expressão, necessitamos executar um somatório dos mintermos Σm (0, 2, 3, 5), ou seja, $F(A,B,C) = \overline{A}.\overline{B}.\overline{C} + \overline{A}.B.\overline{C} + \overline{A}.B.C + A.\overline{B}.C.$, isto ocorre na lógica positiva. Por outro lado, se tomarmos as linhas ativadas a "ZERO", teremos, neste caso, maxtermos como, por exemplo, as linhas - 1, 4, 6 e 7 da tabela 3. Desta forma, para obtermos a expressão, necessitamos executar uma produtória dos maxtermos ΠM (1, 4, 6, 7), isto é, $F(A,B,C) = (A+B+\overline{C}).(\overline{A}+B+C).(\overline{A}+\overline{B}+C).(\overline{A}+\overline{B}+\overline{C})$, isto ocorre na lógica negativa.

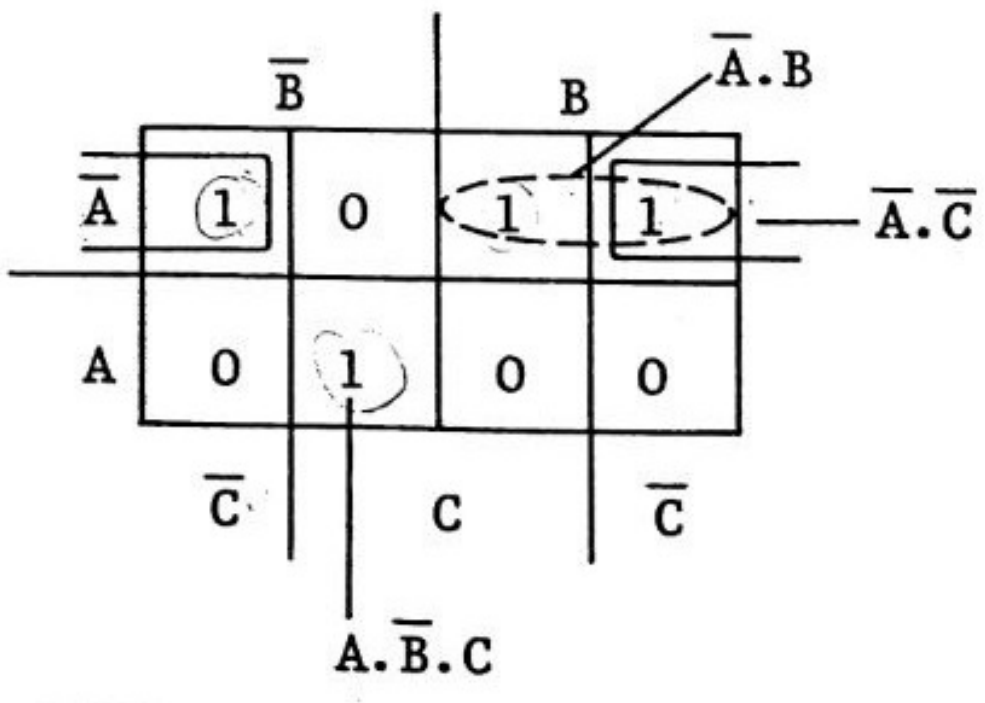
FIGURA 04

Nº	A B C	MINTERMOS $F = \overline{A}.\overline{C} + \overline{A}.B + A.\overline{B}.C$
0	0 0 0	1 - $\overline{A}.\overline{B}.\overline{C}$ → $\overline{A}.-.\overline{C}$
1	0 0 1	0
2	0 1 0	1 - $\overline{A}.B.\overline{C}$ → $\overline{A}.B.-$
3	0 1 1	1 - $\overline{A}.B.C$ → $\overline{A}.B.-$
4	1 0 0	0
5	1 0 1	1 - $A.\overline{B}.C$
6	1 1 0	0
7	1 1 1	0

A figura 4 ilustra a mesma tabela da figura 3, contendo, porém, somente os mintermos ativados a "UM". Esta mesma tabela mostra a simplificação daqueles mintermos, onde só é permitido a eliminação de um único elemento da variável por vez. Assim os mintermos $\overline{A}.\overline{B}.\overline{C}$ (0) e $\overline{A}.B.\overline{C}$ (2) contêm um único elemento das variáveis diferentes entre si, que é a variável B, das duas linhas. A variável B, destas linhas, podem serem assim simplificados: $\overline{A}.\cancel{B}.\overline{C} + \overline{A}.\cancel{B}.\overline{C} = \overline{A}.\overline{C}$ e do mesmo modo ocorre com os mintermos: $\overline{A}.B.\cancel{C}$ (2) e $\overline{A}.B.\cancel{C}$ (3), que simplificados se tornam $\overline{A}.B$. Porém o mesmo não ocorre com o mintermo $A.\overline{B}.C$ (5), pois, se tomarmos o mintermo $\overline{A}.\overline{B}.\overline{C}$ (0), para simplificá-lo, teremos dois elementos incomuns: o "A" e o "C" e isto não é permitido, uma vez que estamos utilizando,nestas simplificações, o teorema $A+\overline{A} = 1$ e o conceito de vizinhança. O mesmo irá ocorrer, se tomarmos os mintermos $\overline{A}.B.\overline{C}$ (2) e $\overline{A}.B.\overline{C}$(3) para simplificá-lo. O mintermo $A.\overline{B}.C$ (5) é um caso isolado.

Podemos verificar que, no mapa de Karnaugh, ocorre esta mesma simplificação.

FIGURA 05



Assim $F = \overline{A}.\overline{C} + \overline{A}.B + A.\overline{B}.C$

Vamos tomar um exemplo para quatro variáveis, como ilustra a tabela da figura 6.

Nº	A	B	C	D	F = $\overline{A}$.D
0	0	0	0	0	0
1	0	0	0	1	1 - $\overline{A}.\overline{B}.\overline{C}.D$
2	0	0	1	0	0
3	0	0	1	1	1 - $\overline{A}.\overline{B}.C.D$
4	0	1	0	0	0
5	0	1	0	1	1 - $\overline{A}.B.\overline{C}.D$
6	0	1	1	0	0
7	0	1	1	1	1 - $\overline{A}.B.C.D$
8	1	0	0	0	0
9	1	0	0	1	0
10	1	0	1	0	0
11	1	0	1	1	0
12	1	1	0	0	0
13	1	1	0	1	0
14	1	1	1	0	0
15	1	1	1	1	0

$\overline{A}.-.\overline{C}.D$ e $\overline{A}.-.C.D$ $\rightarrow$ $\overline{A}.-.-.D$

FIGURA 06

$$F = \Sigma m\ (1,3,5,7)$$
$$= \overline{A}.\overline{B}.\overline{C}.D + \overline{A}.\overline{B}.C.D + \overline{A}.B.\overline{C}.D + \overline{A}.B.C.D$$
$$= \overline{A}.\overline{C}.D + \overline{A}.C.D$$
$$= \overline{A}.D$$

Como podemos observar, inicialmente, foi eliminado o elemento B e, posteriormente, uma segunda simplificação eliminou o elemento C, ficando, desta forma, F = $\overline{A}$.D.

Por definição:

Mintermo - é a aplicação da função "E" (AND), envolvendo todas as variáveis independentes.

Exemplo: $\overline{A}.\overline{B}.\overline{C}$, $\overline{A}.B.\overline{C}$, $\overline{A}.B.C$, $A.\overline{B}.C$ etc.

Maxtermo - é a aplicação da função "OU" (OR), envolvendo todas as variáveis independentes.

Exemplo: $A+B+\overline{C}$, $\overline{A}+B+C$, $\overline{A}+\overline{B}+C$, $\overline{A}+\overline{B}+\overline{C}$ etc.

Dada uma expressão qualquer, é possível simplificá-la ou desenvolvê-la algebricamente, de modo apresentá-la como:

1º - uma aplicação da função "OU", envolvendo mintermos. (somatório de mintermos).

2º - uma aplicação da função "E", envolvendo maxtermos. (produtória de maxtermos).

Logo, dada uma função F, esta pode ser decomposta em:

$$F(A,B,...N) = \underbrace{(...)}_{\text{MINTERMO}} + \underbrace{(...)}_{\text{MINTERMO}} + \underbrace{(...)}_{\text{MINTERMO}} = \Sigma m.$$

Ou ainda

$$F(A,B,...N) = \underbrace{(+++)}_{\text{MAXTERMO}} . \underbrace{(+++)}_{\text{MAXTERMO}} . \underbrace{(+++)}_{\text{MAXTERMO}} = \Pi M.$$

A seguir, alguns exemplos para que o aluno se familiarize melhor.

Exemplo:

1) Tomaremos inicialmente a função simplificada $F(A,B,C) = \overline{A}.\overline{C} + \overline{A}.B + A.\overline{B}.C$ (Veja figuras 4 e 5), expressá-la como uma somatória de mintermos:

$$F(A,B,C) = \overline{A}.\overline{C} + \overline{A}.B + A.\overline{B}.C$$

Os mintermos $\overline{A}.\overline{C}$ e $\overline{A}.B$ não contêm todas as variáveis independentes (A,B,C), usaremos então, do seguinte artifício:

$$F(A,B,C) = \overline{A}.\overline{C}\,\underbrace{(B+\overline{B})}_{1} + \overline{A}.B\,\underbrace{(C+\overline{C})}_{1} + A.\overline{B}.C$$

$$= \overline{A}.\overline{B}.\overline{C} + \overline{A}.B.\overline{C} + \overline{A}.\overline{B}.\overline{C}^{\,*} + \overline{A}.B.C + A.\overline{B}.C$$

$$\Sigma m = \overline{A}.\overline{B}.\overline{C} + \overline{A}.B.\overline{C} + \overline{A}.B.C + A.\overline{B}.C$$
$$\Sigma m = 0, 2, 3, 5$$

* O mintermo $\overline{A}.B.\overline{C}$ foi eliminado por estar repetido.

2) Dada a função simplificada $F(A,B,C,D) = \overline{A}.D$ (Veja figura 6), expressá-la como uma somatória de mintermos:

$F(A,B,C,D) = \overline{A}.D$

Como o mintermo $\overline{A}.D$ não contém todas as variáveis inde - pendentes, teremos que encontrá-las:

$$F(A,B,C,D) = \overline{A}.D$$
$$= \overline{A}.D(B + \overline{B})$$
$$= \overline{A}.B.D + \overline{A}.\overline{B}.D$$
$$= \overline{A}.B.D(C+\overline{C}) + \overline{A}.\overline{B}.D\ (C + \overline{C})$$
$$= \overline{A}.B.C.D + \overline{A}.B.\overline{C}.D + \overline{A}.\overline{B}.C.D + \overline{A}.\overline{B}.\overline{C}.D$$
$$\Sigma m = \overline{A}.B.C.D + \overline{A}.B.\overline{C}.D + \overline{A}.\overline{B}.C.D + \overline{A}.\overline{B}.\overline{C}.D$$
$$\Sigma m = 1, 3, 5, 7$$

3) Expressar a função $F(A,B,C) = \overline{A}.\overline{C} + \overline{A}.B + A.\overline{B}.C$ (Veja exemplo 1), como uma produtória de maxtermos.

Resposta - no exemplo 1,a somatória do mintermo encontra da foi: $\Sigma m = 0, 2, 3, 5$. Assim a produtória de maxtermos da função $F(A,B,C) = \overline{A}.\overline{C} + \overline{A}.B + A.\overline{B}.C$ será os elementos não con tidos na somatória: 1,4,6 e 7.

$\Pi M = 1,4,6,7$

$$\underbrace{\overline{A}.\overline{B}.C}_{1} + \underbrace{A.\overline{B}.\overline{C}}_{4} + \underbrace{A.B.\overline{C}}_{6} + \underbrace{A.B.C}_{7}$$

Para transformá-los em produtória, basta inverter as variáveis:

$$\Pi M = A+B+\overline{C} \cdot \overline{A}+B+C \cdot \overline{A}+\overline{B}+C \cdot \overline{A}+\overline{B}+\overline{C}$$

4) Expressar a função $F(A,B,C,D) = A+(C+B.D)$ como uma produtória de maxtermos:

$F(A,B,C,D) = A+(C+(B.D))$

Sabemos que $(a+b.c) = (a+b) \cdot (a+c)$

Aplicando a propriedade distributiva, teremos:

$F(A,B,C,D) = A+((C+B) \cdot (C+D))$

Novamente temos:

$$F(A,B,C,D) = \underbrace{(A+C+B)}_{1} \cdot \underbrace{(A+C+D)}_{2}$$

08

Sabemos que $A.\overline{A} = 0$

No maxtermo 1, falta a variável D.
No maxtermo 2, falta a variável B.

Logo:

$F(A,B,C,D) = A + C + B\,(D.\overline{D})\ .\ A+C+D\,(B.\overline{B})$

Pela distributiva:

$F(A,B,C,D) = \underbrace{A+B+C+D}.\ A+B+C+\overline{D}.\ \underbrace{A+B+C+D}.\ A+\overline{B}+C+D$

* Como A.A = A, basta um destes maxtermos.

$F(A,B,C,D) = A+B+C+D\ .\ A+B+C+\overline{D}\ .\ A+\overline{B}+C+D$

5) Expressar a função $F(A,B,C) = (A.\overline{B}) + (A+\overline{C})$ como uma produtória de maxtermos:

$F(A,B,C) = (A.\overline{B}) + (A+\overline{C})$

Aplicando a propriedade distributiva, teremos:

$F(A,B,C) = (A+\overline{C}+A)\ .\ (A+\overline{C}+\overline{B})$

Mas $A + A = A$

$F(A,B,C) = \underbrace{(A+\overline{C})}\ .\ (A+\overline{B}+\overline{C})$

1 2

No maxterno 1, falta o elemento B.

$F(A,B,C) = [(A+\overline{C}) + B.\overline{B}]\ .\ (A+\overline{B}+\overline{C})$

Aplicando a distributiva

$F(A,B,C) = (A+\overline{C}+B)\ .\ \underbrace{(A+\overline{B}+\overline{C})}\ .\ \underbrace{(A+\overline{B}+\overline{C})}$

Como - $A\ .\ A = A$

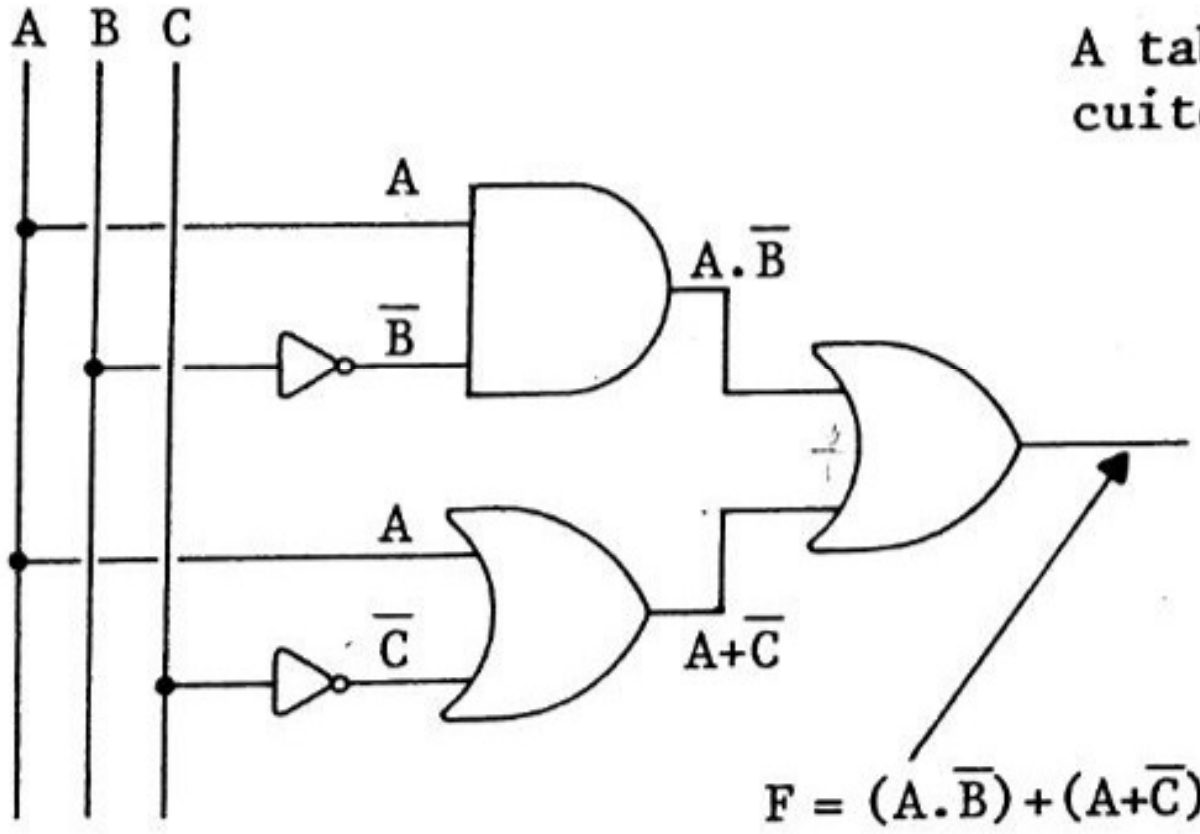
$F(A,B,C) = (A+B+\overline{C})\ .\ (A+\overline{B}+\overline{C})\ .$

Vamos tomar a expressão inicial e montar o seu circuito

equivalente:

$$F(A,B,C) = (A.\overline{B}) + (A+\overline{C})$$

FIGURA 07



A tabela verdade deste circuito será:

A	B	C	F
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

A. $\overline{B}$

A+ $\overline{C}$

Vamos fazer o mesmo para a expressão final:

$$F(A,B,C) = (A+B+\overline{C}) \cdot (A+\overline{B}+\overline{C})$$

A tabela verdade correspondente é:

A	B	C	F	MAXTERMO
0	0	0	1	
0	0	1	0	A + B + $\overline{C}$
0	1	0	1	
0	1	1	0	A + $\overline{B}$ + $\overline{C}$
1	0	0	1	
1	0	1	1	
1	1	0	1	
1	1	1	1	

Como podemos ver, pelas tabelas verdade, a nossa produtória de maxtermos, é correta.

Observamos que, expressar uma função como somatória de mintermo, é fundamental, para que possamos aplicar uma simplificação, tanto no processo do mapa de Karnaugh, como no tabular de Quine-McCluskey.

PROCESSO TABULAR DE QUINE-McCLUSCKEY PARA MINIMIZAÇÃO DE FUNÇÕES DE CHAVEAMENTO

O mapa de Karnaugh, com o qual o aluno já deve ter se familiarizado bem,é um instrumento ou ferramenta de análise muito poderoso, porém é um método que não oferece muita vantagem, quando aplicado em expressões com grande número de variáveis.

Quando se tem funções de 5 variáveis ou mais, fica mais difícil de reanalizar o mapa de Karnaugh, por isso desenvolveu-se um método tabular, baseado,principalmente, no trabalho de W.V. Quine e E.J. McCluskey que facilita muito em relação as deficiências que possam ocorrer no mapa de Karnaugh.

O método de McCluskey é fundamentalmente um procedimento organizado geniosamente,para se efetuar uma busca exaustiva de todas as combinações possíveis de mintermos e selecionar a combinação mínima, requerida para realizar a função.

O ponto de partida do método de McCluskey está na lista de mintermos da função. Se a função não estiver na forma de somatória de mintermos, o aluno deverá então colocá-la pelos métodos já vistos nesta lição.

O método do Quine-McCluskey bem como o mapa de Karnaugh estão fundamentados na aplicação repetitiva do teorema $A.B + A.\overline{B} = A$, sendo, porém, o método do Quine-McCluskey o de maior uso em problemas de múltiplas funções. É um método que permite a programação em computadores para projetar circuitos de alta complexidade.

Procedimentos (para funções completamente especificadas)

1º) Para a aplicação do método, deve-se partir de funções colocadas na forma de Σm (somatória de mintermos, ou seja, na forma canônica).

Por exemplo: $\Sigma m\ (1,3,5,7)$

Colocando na forma canônica:

NÚMERO		TERMO CANÔNICO.
DECIMAL	BINÁRIO	
1	0 0 1	$\overline{A}\,\overline{B}C$
3	0 1 1	$\overline{A}BC$
5	1 0 1	$A\overline{B}C$
7	1 1 1	ABC

$F(A,B,C) = \overline{A}.\overline{B}.C + \overline{A}.B.C + A.\overline{B}.C + A.B.C$

2º) Agrupar os termos canônicos que contiverem o mesmo número de bit 1.

Por exemplo: $\Sigma m\ (1,3,5,7)$

TERMO CANÔNICO	NÚMERO DE BIT 1	MINTERMO (TERMO CANÔNICO)
$\overline{A}\ \overline{B}\ C$	1	1
$\overline{A}\ B\ C$ $A\ \overline{B}\ C$	2	3 5
A B C	3	7

A tabela acima ilustra o agrupamento. Notamos que o mintermo (1) = 001 contém um único bit 1. Os mintermos (3,5) = 011, 101 contém dois bits 1 e o mintermo (7) = 111 contém três bits 1.

3º) Procede-se à formação de todos os pares possíveis entre mintermos de um grupo com o grupo seguinte, e a formação de um par ocorrerá, sempre que a diferença entre os mintermos for uma potência de dois (2) e o mintermo agrupado acima for menor que o mintermo agrupado abaixo.

Por exemplo: $\Sigma m\ (1,3,5,7)$

Nº BIT 1	MINTERMO	PAR
1	1	1,3(2)
2	3	1,5(4)
	5	
3	7	3,7(4) 5,7(2)

A tabela acima ilustra a formação dos pares. Notamos que os mintermos (1,3) = 001, 011 = $\overline{A}.\overline{B}.C$, $\overline{A}.B.C$ formam um par, pois 3-1 = 2 → $\overline{A}.B.C + \overline{A}.\overline{B}.C = \overline{A}.-.C$, elimina-se assim a variável B, que corresponde ao peso 2 da subtração de 3-1,pois:

A.B.C

2^0 X C = 1 X C = peso 1
2^1 X B = 2 X B = peso 2
2^2 X A = 4 X A = peso 4

Assim o par é 1,3(2)

└este índice indica que foi eliminada a variável B.

Os mintermos (1,5) = 001, 101 = $\overline{A}.\overline{B}.C$, $A.\overline{B}.C$ formam outro par, pois 5-1 = 4 → $A.\overline{B}.C + \overline{A}.\overline{B}.C = -.\overline{B}.C$, elimina-se então a variável A, que corresponde ao peso 4 da subtração de 5-1 pois:

A.B.C

2^0 X C = 1 X C = peso 1
2^1 X B = 2 X B = peso 2
2^2 X A = 4 X A = peso 4

Assim o par é 1,5(4)

└este índice indica que foi eliminada a variável A.

Os mintermos (3,7) = 011, 111 = $\overline{A}.B.C$, $A.B.C$ formam também um par, pois 7-3 = 4 → $\overline{A}.B.C + A.B.C = -.B.C$, elimina-se, deste modo, a variável A, que corresponde ao peso 4 da subtração de 7-3 pois:

A.B.C
- 2^0 X C = 1 X C = peso 1
- 2^1 X B = 2 X B = peso 2
- 2^2 X A = 4 X A = peso 4

Assim o par é 5,7(2)

└ este índice indica que foi eliminada a variável B.

4º) Procede-se à formação de todas as quadras possíveis. Faz-se por tentativa entre pares de um grupo e os do grupo seguinte, realizando a formação da quadra, sempre que:

a) - os pares tenham sido formados pela eliminação da mesma variável (mesma diferença assinalada entre parênteses).

b) - os mintermos do par superior (grupo acima) devem ser menores que os mintermos do par inferior.

c) - a diferença entre cada mintermo de um par e o correspondente do outro par deve ser uma potência de dois.

Por exemplo: Σm (1,3,5,7)

Nº BIT 1	MINTERMOS	PAR	QUADRA
1	1✓	1,3(2)	1,3,5,7(2,4)
2	3✓	1,5(4)	~~1,5,3,7(4,2)~~
	5✓	3,7(4)	
3	7✓	5,7(2)	

✓ é uma identificação de que todos os mintermos foram agrupados em forma de par.

A tabela acima ilustra a formação das quadras. Notamos que os mintermos (1,3,5,7) = 001, 011, 101, 111 = $\overline{A}.\overline{B}.C$, $\overline{A}.B.C$, $A.\overline{B}.C$, A.B.C formam uma quadra, pois 5-1 = 4 e 7-3 = 4 → $\overline{A}.-.C + A.-.C = -.-.C$, elimina-se, assim, a variável A, que corresponde ao peso 4 das subtrações: 5-1 e 7-3, pois:

A.-.C

2^0 X C = 1 X C = peso 1

2^2 X A = 4 X A = peso 4

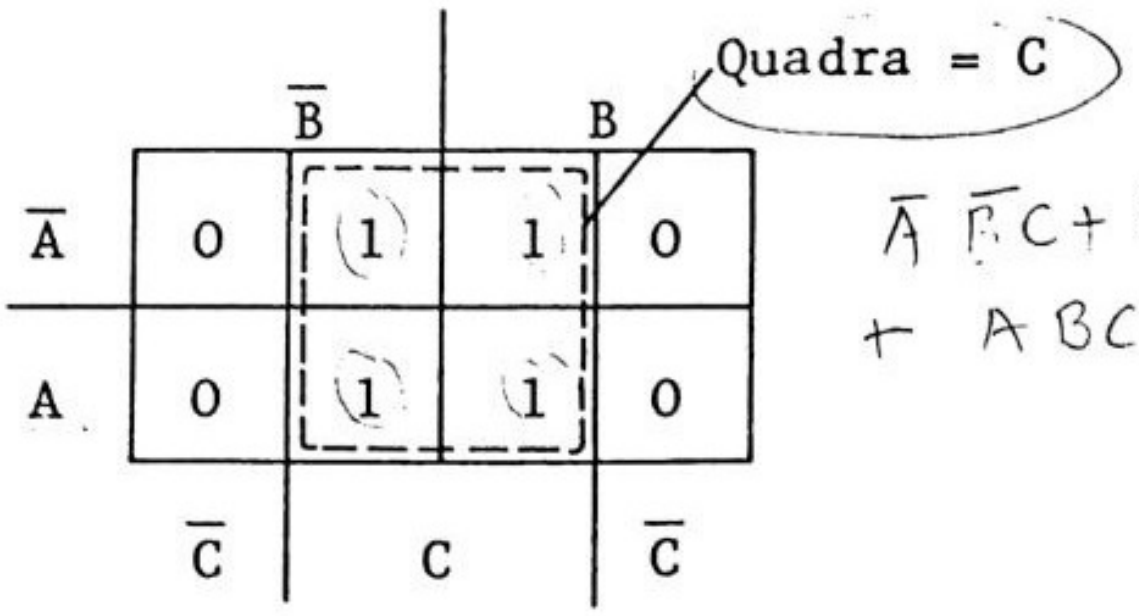
Assim a quadra é 1,3,5,7(2,4)

estes índices indicam que foram eliminadas as variáveis A e B.

Os mintermos 1,5,3,7 também formam uma quadra, que é a mesma encontrada anteriormente, só que em ordem inversa, portanto podemos eliminá-la.

5º) De maneira análoga, procede-se à formação de octetos e demais.

Para o nosso exemplo: Σm (1,3,5,7) a simplificação máxima é uma quadra, portanto não admitindo um octeto, veja que, pelo mapa de Karnaugh, também obtemos uma quadra.



6º) Assim, em seguida, devemos aplicar os pares, as quadras, etc. Em uma tabela de implicativos diretos, para verificarmos se é possível simplificar ainda mais a expressão. Porém este exemplo dado foi simplificado ao máximo, restando somente uma quadra, como implicativo direto, dispensando, portanto, sua aplicação na tabela de implicativos diretos. Isto será visto em exemplos mais à frente. Assim temos um único implicativo direto:

Quadra - 1,3,5,7(2,4)

7º) Procede-se à formação da expressão final, fazendo-se um somatório dos mintermos simplificados.

Por exemplo: $\Sigma m\ (1,3,5,7)$

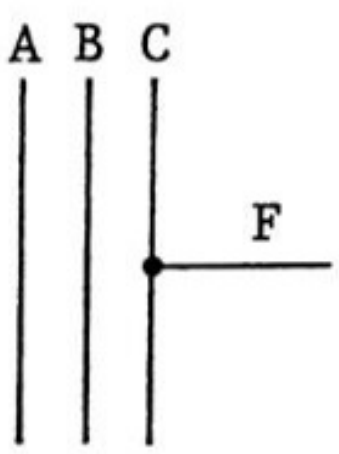
O nosso exemplo é constituído dos mintermos: $\Sigma m(1,3,5,7) = F(A,B,C)$, ou seja, $F(A,B,C) = \overline{A}.\overline{B}.C + \overline{A}.B.C + A.\overline{B}.C + A.B.C$, onde: A tem peso 4, B tem peso 2 e C tem peso 1. Ver tabela abaixo.

	VARIÁVEIS E SEUS PESOS		
Nº	4	2	1
1	$\overline{A}$	$\overline{B}$	C
3	$\overline{A}$	B	C
5	A	$\overline{B}$	C
7	A	B	C

C

Conforme simplificação máxima obtida no 6º passo, ou seja, quadra 1,3,5,7(2,4), pode-se montar a expressão final, onde os números 1,3,5 e 7 indicam serem vizinhos - (formam uma quadra). Os índices (2,4) indicam que devemos eliminar as variáveis correspondentes a estes pesos, ou seja, A e B. Assim: F = C.

8º) Procede-se a montagem final do circuito.



Observação: Como o projeto é bem simples, tomamos a saída F da linha de barramento C.

Exemplos resolvidos:

1) Exemplo:

Proceder a minimização da função:

$F(A,B,C,D) = \Sigma m\ (0,2,3,7,8,10,11,12,14)$.

1º Passo

NÚMERO		TERMO
DECIMAL	BINÁRIO	CANÔNICO
0	0 0 0 0	$\overline{A}.\overline{B}.\overline{C}.\overline{D}$
2	0 0 1 0	$\overline{A}.\overline{B}.C.\overline{D}$
3	0 0 1 1	$\overline{A}.\overline{B}.C.D$
7	0 1 1 1	$\overline{A}.B.C.D$
8	1 0 0 0	$A.\overline{B}.\overline{C}.\overline{D}$
10	1 0 1 0	$A.\overline{B}.C.\overline{D}$
11	1 0 1 1	$A.\overline{B}.C.D$
12	1 1 0 0	$A.B.\overline{C}.\overline{D}$
14	1 1 1 0	$A.B.C.\overline{D}$

$$F(A,B,C,D) = \overline{A}.\overline{B}.\overline{C}.\overline{D} + \overline{A}.\overline{B}.C.\overline{D} + \overline{A}.\overline{B}.C.D + \overline{A}.B.C.D + A.\overline{B}.\overline{C}.\overline{D} + A.\overline{B}.C.\overline{D} + A.\overline{B}.C.D + A.B.\overline{C}.\overline{D} + A.B.C.\overline{D}.$$

2º Passo

Vamos agrupar os mintermos que tenham o mesmo número de bit "1".

0 → não tem nenhum bit 1 - pois 0 = 0000

2, 8 → tem um bit 1 cada { 2 - 0010 ; 8 - 1000

3, 10 e 12 → tem 2 bit 1 cada { 3 = 0011 ; 10 = 1010 ; 12 = 1100

7, 11 e 14 → tem 3 bit 1 cada { 7 = 0111 ; 11 = 1011 ; 14 = 1110

Ver tabela a seguir.

TERMOS CANÔNICOS	NÚMERO DE BIT 1	MINTERMOS
$\overline{A}.\overline{B}.\overline{C}.\overline{D}$	0	0
$\overline{A}.\overline{B}.C.\overline{D}$ $A.\overline{B}.\overline{C}.\overline{D}$	1	2 8
$\overline{A}.\overline{B}.C.D$ $A.\overline{B}.C.\overline{D}$ $A.B.\overline{C}.\overline{D}$	2	3 10 12
$\overline{A}.B.C.D$ $A.\overline{B}.C.D$ $A.B.C.\overline{D}$	3	7 11 14

Convém ao aluno rever, em lições passadas, o sistema de base 2, para efetuar este passo.

3º Passo

Vamos passar à formação dos pares, lembrando sempre que o mintermo do grupo superior deve ser menor que o mintermo do grupo inferior e a diferença entre eles deve ser uma potência de 2.

GRUPO 1 — MINTERMO 0 - 0000 — nenhum bit 1

GRUPO 2 — MINTERMO 2 - 0010, 8 - 1000 — um bit 1 cada mintermo

GRUPO 3 — MINTERMO 3 - 0011, 10 - 1010, 12 - 1100 — dois bit 1 cada mintermo

GRUPO 4 — MINTERMO 7 - 0111, 11 - 1011, 14 - 1110 — três bit 1 cada mintermo

Tomando o grupo 1, mintermo "0", podemos formar um par com o mintermo "2", pois "0" é menor que "2" e a diferença entre eles é uma potência de dois 2 - 0 = 2.

Logo, escrevemos assim: par 0,2 (2)

par — a diferença entre os mintermos indica - que foi eliminada a variável de peso 2, ou seja, C.

A = 8
B = 4
C = 2
D = 1

Da mesma forma,com o mintermo "8", pois "0" é menor que "8" e a diferença entre eles é uma potência de dois.

Então → 0,8 (8)

par — a diferença entre os mintermos indica que foi eliminada a variável de peso 8, ou seja, A.

O grupo 1 já está pronto, pois só tem um mintermo que é o zero e só podemos relacioná-lo com o grupo 2 que é o seu vizinho.

Passemos ao grupo 2, mintermo "2". Podemos associá-lo ao mintermo "3" e ao mintermo "10" do grupo 3, ao "12" não é possível, pois a diferença entre eles é 12-2=10 e não é potência de dois.

Teremos: 2,3 (1)

par — a diferença indica que foi eliminada a variável de peso 1, ou seja, D.

2,10 (8)

par — a diferença indica que foi eliminada a variável de peso 8, ou seja, A.

O mintermo "8" do grupo 2 associamos ao "10" e ao "12"do grupo 3.

Teremos: 8,10 (2)

par — a diferença indica que foi eliminada a variável de peso 2, ou seja, C.

8,12 (4)
—v— └— a diferença indica que foi eliminada
par a variável de peso 4, ou seja, B.

O grupo 2 está terminado. Passemos ao grupo 3. Temos 3 mintermos: "3", "10" e "12". Podemos associar o mintermo "3" ao "7" e ao "11" do grupo 4, porém ao "14" não é possível, pois não teríamos uma potência de dois 14-3 = 11.

Teremos: 3,7 (4)
—v— │
par └— a diferença indica que foi eliminada a
variável de peso 4, ou seja, B.

3,11 (8)
—v— │
par └— a diferença indica que foi eliminada a
variável de peso 8, isto é A.

Para o mintermo 10 do grupo 3, teremos:

10,11 (1)
—v— │
par └— a diferença indica que foi eliminada a
variável de peso 1, ou seja, D.

10,14(4)
—v— │
par └— a diferença indica que foi eliminada a
variável de peso 4, ou seja, B.

Finalmente,o mintermo "12" do grupo 3, que só é possível associar-se ao mintermo "14" do grupo 4 (pelas mesmas razões já explicadas).

12,14 (2)
—v— │
par └— a diferença indica que foi eliminada a
variável de peso 2, ou seja, C.

Geralmente fazemos isso com a ajuda de uma tabela, pois o processo é tabular, porém detalhamos passo a passo para o

aluno certificar-se corretamente como funciona o processo.

Nº BIT 1	MINTERMOS	PARES
0	0	0,2 (2) — C 0,8 (8) — A
1	2 8	2,3 (1) — D 2,10(8) — B
2	3 10 12	8,10(2) — C 8,12(4) — B 3,7 (4) — B
3	7 11 14	3,11(8) — A 10,11(1) — D 10,14(4) — B 12,14(2) — C

4º Passo

Após a formação de todos os pares, passemos à formação de quadras, onde os pares a serem agrupados devem ter a mesma diferença assinalada entre parênteses. Os mintermos do grupo superior devem ser menores que os do par inferior e a diferença entre cada mintermo de um par e o correspondente do outro deve ser uma potência de dois.

Para a formação das quadras, podemos ter o par "0,2" com o par "8,10" do grupo imediatamente abaixo, pois ambos têm a mesma diferença assinalada entre parênteses (2) e "0,2" é menor que "8,10". O aluno deverá tomar o par "0,2" e, por tentativas, formar quadras com cada par possível do grupo seguinte.

Temos: 0,2,8,10(2,8)

Quadra — o índice 2 foi obtido na formação do par. E o 8 é a diferença de 8-0 = 8 e 10-2 = 8. Estes índices indicam - ainda que foram eliminadas as variáveis de peso 8 e 2, ou seja, A e C - respectivamente.

O par "0,2" não forma quadra com os demais pares do grupo seguinte, por serem diferentes os índices assinalados en-

tre parênteses.

Os pares "0, 8" e "2, 10" formam a mesma quadra, só que em ordem diferente. Logo, não é preciso repeti-la, porém é bom identificá-la, para não incluí-la na expressão final.

Logo: ~~0,8,2,10(8,2)~~

O par "0,8" não forma quadra com os demais pares do grupo seguinte, por serem diferentes os índices assinalados entre parênteses.

Passemos em seguida para o grupo seguinte. O par "2,3"pode ser associado ao par "10, 11", pois ambos possuem o mesmo índice entre parênteses. E o par "2,3" é menor que o par "10, 11" e a diferença é uma potência de dois.

Logo: 2, 3, 10, 11 (1,8)

Quadra — o índice 1 foi obtido na formação do par. E o 8 é a diferença de 10-2 = 8 e 11-3 = 8. Estes índices indicam ainda que foram eliminadas as variáveis de peso 8 e 1, ou seja, A e D respectivamente.

Os pares "2, 10" e "3, 11" formam a mesma quadra, só que em ordem diferente. Logo não é preciso repeti-la, porém, é bom identificá-la para não incluí-la na expressão final.

Logo: ~~2, 10, 3, 11 (8,1)~~

O par "8, 10" pode ser associado ao par "12, 14", pois possuem o mesmo índice entre parênteses. E o par "8, 10" é menor que o par "12, 14", e a diferença é uma potência de dois.

Logo: 8, 10, 12, 14 (2,4)

Quadra — o índice 2 foi obtido na formação do par. E o 4 é a diferença de 12-8 = 4 e 14-10 = 4. Estes índices indicam ainda que foram eliminadas as variáveis de peso 4 e 2, ou seja, B e C - respectivamente.

O par "8, 12" e "3, 7" não forma uma quadra, pois o par "8, 12" é maior do que o par seguinte "3, 7", apesar de ambos possuírem índices iguais, assinalados entre parênteses.

Os pares "8, 12" e "10, 14" formam a mesma quadra anterior, só que em ordem diferente. Logo, não é preciso repeti-la, porém é bom identificá-la para não incluí-la na expressão final.

Logo ~~8, 12, 10, 14 (4,2)~~

Como este processo é tabular, vamos montar uma tabela, mostrando os mesmos passos descritos.

Nº BIT 1	MINTERMOS	PARES	QUADRAS
0	0✓	0,2 (2) 0,8 (8)	0,2,8,10(2,8) ~~0,8,2,10(8,2)~~
1	2✓ 8✓	2,3 (1) 2,10(8) 8,10(2) 8,12(4)	2,3,10,11(1,8) ~~2,10,3,11(8,1)~~ 8,10,12,14(2,4) ~~8,12,10,14(4,2)~~
2	3✓ 10✓ 12✓	3,7 (4) 3,11(8) 10,11(1) 10,14(4) 12,14(2)	
3	7✓ 11✓ 14✓		

✓ é uma identificação de que todos os mintermos foram agrupados em forma de par.

5º Passo

A seguir, procede-se à formação dos octetos, porém não possuímos nenhum octeto, pois as quadras contêm índices diferentes. Assim montamos uma tabela com todas as simplificações ocorridas, eliminando as quadras repetidas.

Ver tabela a seguir.

Nº BIT 1	MINTERMOS	PARES	QUADRAS	OCTETOS
0	0✓	0,2 (2)✓ 0,8 (8)✓	0,2,8,10 (2,8)	NÃO É POSSÍVEL
1	2✓ 8✓	2,3 (1)✓ 2,10(8)✓	2,3,10,11(1,8)	
2	3✓ 10✓ 12✓	8,10(2)✓ 8,12(4)✓	8,10,12,14(2,4)	
3	7✓ 11✓ 14✓	3,7 (4) 3,11(8)✓ 10,11(1)✓ 10,14(4)✓ 12,14(2)✓		

✓ é uma identificação de que todos os mintermos e pares foram eliminados pelos pares ou quadras. Assim restaram as quadras e o par "3, 7 (4)" que não foram utilizados em simplificações de ordem superior, denominados de implicativos diretos.

Assim temos os seguintes implicativos diretos:

Quadras { 0,2,8,10 (2,8); 2,3,10,11(1,8); 8,10,12,14(2,4) } Par - 3,7 (4)

6º Passo

A seguir, procede-se à aplicação das quadras e do par na tabela de implicativos diretos.

	MINTERMOS								
IMPLICATIVOS DIRETOS	0	2	3	7	8	10	11	12	14
0,2,8,10 (2,8)	x	x			x	x			
2,3,10,11 (1,8)		x	x			x	x		
8,10,12,14(2,4)					x	x		x	x
3,7 (4)			x	x					

Assinalamos com um "X" onde os implicativos diretos correspondem aos mintermos das colunas, ilustrados na tabela anterior. Por exemplo, para a quadra 0,2,8,10, assinalamos as colunas dos mintermos 0,2,8 e 10.

	MINTERMOS								
IMPLICATIVOS DIRETOS	0	2	3	7	8	10	11	12	14
0,2,8,10 (2,8)	(x)	x			x	x			
2,3,10,11 (1,8)		x	x			x	(x)		
8,10,12,14 (2,4)					x	x		(x)	(x)
3,7 (4)			x	(x)					

Em seguida, devemos checar a expressão minimizada. Primeiro, devemos assinalar com um círculo os mintermos que tenham somente um X na sua coluna.

Exemplo: o mintermo 0 só aparece uma vez. Logo, vamos assinalá-lo. Ver tabela acima.

Da mesma forma, os mintermos 7, 11, 12 e 14 só aparecem uma vez. Logo, assinalamos com um círculo cada um deles ver tabela acima.

	MINTERMOS								
IMPLICATIVOS DIRETOS	0	2	3	7	8	10	11	12	14
0,2,8,10 (2,8)	(x)	[x]			[x]	[x]			
2,3,10,11 (1,8)		[x]	[x]			[x]	(x)		
8,10,12,14 (2,4)					[x]	[x]		(x)	(x)
3,7 (4)			[x]	(x)					

Depois assinalamos, com um quadrado, todos X que estejam nas linhas que contiverem pelo menos um círculo. Veja tabela acima. Este processo é efetuado em uma única tabela, porém fizemos passo a passo para maior compreensão do aluno.

Assim temos um círculo ou um quadrado em todas as colunas, significando que todas as quadras e o par 3,7 (4) possuem um implicativo direto no núcleo. Logo, todos irão para a expressão final. Desta forma, temos os seguintes implicativos diretos.

Quadras { 0,2,8,10 (2,8)
2,3,10,11(1,8)
8,10,12,14(2,4) } Par - 3,7 (4)

——▷ 7º Passo

Procede-se à formação da expressão final, fazendo-se um somatório dos mintermos simplificados.

O nosso exemplo é constituído pela função F(A,B,C,D) = = Σm (0,2,3,7,8,10,11,12,14), onde: A tem peso 8, B, peso 4; C, peso 2 e D, peso 1.

Assim a quadra 0,2,8,10 (2,8) indica que foram eliminados os índices de peso 8 e 2, ou seja, A e C dos mintermos.

	VARIÁVEIS E SEUS PESOS			
Nº	8	4	2	1
0	$\overline{A}$	$\overline{B}$	$\overline{C}$	$\overline{D}$
2	$\overline{A}$	$\overline{B}$	C	$\overline{D}$
8	A	$\overline{B}$	$\overline{C}$	$\overline{D}$
10	A	$\overline{B}$	C	$\overline{D}$

1º Quadra = $\overline{B}.\overline{D}$ Restante

A quadra 2,3,10,11 (1,8) indica que foram eliminados os índices de peso 8 e 1, ou seja, A e D dos mintermos.

	VARIÁVEIS E SEUS PESOS			
Nº	8	4	2	1
2	$\overline{A}$	$\overline{B}$	C	$\overline{D}$
3	$\overline{A}$	$\overline{B}$	C	D
10	A	$\overline{B}$	C	$\overline{D}$
11	A	$\overline{B}$	C	D

2º Quadra = $\overline{B}.C$

A quadra 8,10,12,14 (2,4) indica que foram eliminados os índices de peso 4 e 2, ou seja, B e C dos mintermos.

	VARIÁVEIS E SEUS PESOS			
Nº	8	4	2	1
8	A	$\overline{B}$	$\overline{C}$	$\overline{D}$
10	A	$\overline{B}$	C	$\overline{D}$
12	A	B	$\overline{C}$	$\overline{D}$
14	A	B	C	$\overline{D}$

3º Quadra = $A.\overline{D}$

O par 3,7 (4) indica que foi eliminado o índice de peso 4, ou seja, B dos mintermos.

	VARIÁVEIS E SEUS PESOS			
Nº	8	4	2	1
3	$\overline{A}$	$\overline{B}$	C	D
7	$\overline{A}$	B	C	D

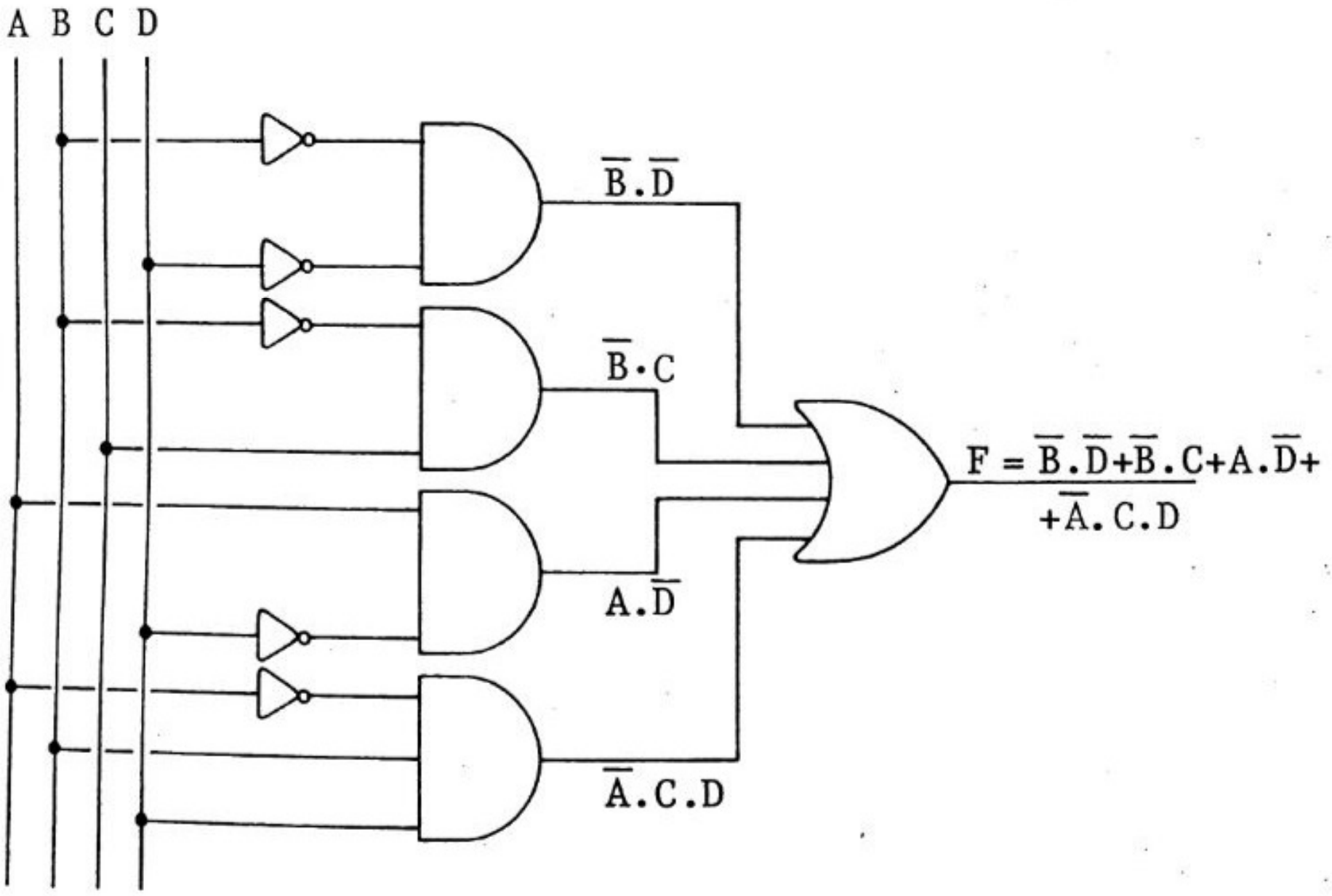
1º Par = $\overline{A}.C.D$

Em seguida, faz-se o somatório das quadras e do par. Assim:

$$F(A,B,C,D) = \overline{B}.\overline{D} + \overline{B}.C + A.\overline{D} + \overline{A}.C.D$$

8º Passo

Procede-se à montagem final do circuito



Exemplo 2

Efetuar a minimização da função $F(A,B,C,D,E) = \Sigma m(1,2,3,5,9,10,11,18,19,20,21,23,25,26,27)$

Inicialmente, agrupam-se os mintermos que tenham o mesmo número de bit 1.

Não iremos detalhar passo a passo, e sim, partir diretamente para a tabela. Qualquer dúvida, consultar os exercícios anteriores desta lição.

Nº BIT 1	MINTERMOS	PARES	QUADRAS
0		1,3(2) ✓	1,3,9,11(2,8)
1	1 ✓	1,5(4)	~~1,9,3,11(8,2)~~
	2 ✓	1,9(8) ✓	2,3,10,11(1,8) ✓
2	3 ✓	2,3(1) ✓	2,3,18,19(1,16) ✓
	5 ✓	2,10(8) ✓	~~2,10,3,11(8,1)~~
	9 ✓	2,18(16) ✓	2,10,18,26(8,16) ✓
	10 ✓	3,11(8) ✓	~~2,18,3,19(16,1)~~
	18 ✓	3,19(16) ✓	~~2,18,10,26(16,8)~~
	20 ✓	5,21(16)	3,11,19,27(8,16) ✓
3	11 ✓	9,11(2) ✓	~~3,19,11,27(16,8)~~
	19 ✓	9,25(16) ✓	9,11,25,27(2,16)
	21 ✓	10,11(1) ✓	~~9,25,11,27(16,2)~~
	25 ✓	10,26(16) ✓	10,11,26,27(1,16) ✓
	26 ✓	18,19(1) ✓	~~10,26,11,27(16,1)~~
4	23 ✓	18,26(8) ✓	18,19,26,27(1,8) ✓
	27 ✓	20,21(1)	~~18,26,19,27(8,1)~~
		19,23(4)	
		21,23(2)	
		11,27(16) ✓	
		19,27(8) ✓	
		25,27(2) ✓	
		26,27(1) ✓	

OCTETOS
2,3,10,11,18,19,26,27(1,8,16)
~~2,3,18,19,10,11,26,27(1,16,8)~~
~~2,10,18,26,3,11,19,27(8,16,1)~~

OBS.: As quadras e os octetos riscados são repetidos, portanto podem ser eliminados.

Em seguida, montamos a tabela dos implicativos diretos. Para isso, selecionamos os mintermos que não foram utilizados em simplificações de ordem superior, os implicativos diretos, isto é, todos os mintermos que não estão identificados pelo sinal ✓ na tabela anterior.

		MINTERMOS														
IMPLICATIVOS DIRETOS		1	2	3	5	9	10	11	18	19	20	21	23	25	26	27
a	2,3,10,11,18,19,26,27(1,8,16)		ⓧ	[x]			ⓧ	[x]	ⓧ	[x]					ⓧ	[x]
b	1,3,9,11(2,8)	x		x		x		x								
c	9,11,25,27(2,16)					[x]		[x]						ⓧ		[x]
d	1,5(4)	x			x											
e	5,21(16)				x							x				
f	20,21(1)										ⓧ	[x]				
g	19,23(4)									x			x			
h	21,23(2)											x	x			

Assinalemos, com um círculo, todo X que for único numa dada coluna, e também, com um quadrado, todo X de uma dada linha que contiver, pelo menos, um círculo, conforme tabela acima.

Algumas vezes, uma única aplicação da tabela não é suficiente, para uma simplificação total da expressão. Então devemos retirar os octetos, as quadras e os pares que tenham sido assinalados por círculos ou quadrados numa dada linha para formar a expressão final, como os obtidos da tabela acima.

Octeto - 2,3,10,11,18,19,26,27 (1,8,16)

Quadra - 9,11,25,27 (2,16)

Par - 20,21 (1)

Os mintermos que contiverem,na tabela de implicativos diretos ,numa dada coluna,dois "X" ou mais, sem serem identifi-

cados por círculo ou quadrado, deverão ser retirados para que seja verificado se é possível uma outra simplificação. Assim temos os seguintes pares e quadra:

Coluna 1 { 1,3,9,11 (2,8)
1,5, (4)

Coluna 5 { ~~1,5 (4)~~
5,21 (16)

Coluna 23 { 19,23 (4)
21,23 (2)

Para verificarmos se é possível uma outra simplificação, devemos listar todos os pares, quadras e octeto, retirados da tabela dos implicativos diretos, assim:

Octeto - 2,3,10,11,18,19,26,27 (1,8,16)

Quadras { 9,11,25,27 (2,16)
~~1,3,9,11 (2,8)~~

Pares { 20,21 (1)
1,5 (4)
~~5,21 (16)~~
19,23 (4)
~~21,23 (2)~~

Analisando estes implicativos, notamos que alguns estão repetidos. Por exemplo, a quadra 1,3,9,11 (2,8) tem o mintermo 1 repetido no par 1,5 (4), o mintermo 3, repetido no octeto 2,3,10,11,18,19,26,27 (1,8,16) e os mintermos 9 e 11,

repetidos na quadra 9,11,25,27 (2,16), portanto podemos eliminá-la. O par 5,21 (16) tem o mintermo 5 repetido no par 1,5 (4) e o mintermo 21, repetido no par 20,21 (1), portanto podemos eliminá-lo. O par 21,23 (2) tem o mintermo 21 repetido no par 20,21 (1) e o mintermo 23 repetido no par 19,23 (4),logo, pode ser também eliminado.

Em seguida procede-se à formação da expressão final.

Tomamos inicialmente o octeto 2,3,10,11,18,19,26,27(1,8, 16), o qual indica a eliminação dos índices de peso 16,8 e 1, ou seja, A,B e E dos mintermos.

A = 16
B = 8
C = 4
D = 2
E = 1

	VARIÁVEIS E SEUS PESOS				
Nº	16	8	4	2	1
2	$\overline{A}$	$\overline{B}$	$\overline{C}$	D	$\overline{E}$
3	$\overline{A}$	$\overline{B}$	$\overline{C}$	D	E
10	$\overline{A}$	B	$\overline{C}$	D	$\overline{E}$
11	$\overline{A}$	B	$\overline{C}$	D	E
18	A	$\overline{B}$	$\overline{C}$	D	$\overline{E}$
19	A	$\overline{B}$	$\overline{C}$	D	E
26	A	B	$\overline{C}$	D	$\overline{E}$
27	A	B	$\overline{C}$	D	E

Octeto - $\overline{C}.D$

A quadra 9,11,25,27 (2,16) indica que foram eliminados os índices de peso 16 e 2, ou seja, A e D dos mintermos.

	VARIÁVEIS E SEUS PESOS				
Nº	16	8	4	2	1
9	$\overline{A}$	B	$\overline{C}$	$\overline{D}$	E
11	$\overline{A}$	B	$\overline{C}$	D	E
25	A	B	$\overline{C}$	$\overline{D}$	E
27	A	B	$\overline{C}$	D	E

Quadra - $B.\overline{C}.E$

O par 20,21(1) indica que foi eliminado o índice de peso 1, ou seja, E dos mintermos. Assim, temos:

	VARIÁVEIS E SEUS PESOS				
Nº	16	8	4	2	1
20	A	$\overline{B}$	C	$\overline{D}$	$\overline{E}$
21	A	$\overline{B}$	C	$\overline{D}$	E

1º Par = $A.\overline{B}.C.\overline{D}$

O par 1,5(4) indica que foi eliminado o índice de peso 4, ou seja, C dos mintermos. E supondo que o aluno já tenha entendido o funcionamento, podemos retirar a expressão diretamente. Assim, temos:

2º Par = $\overline{A}.\overline{B}.\overline{D}.E$

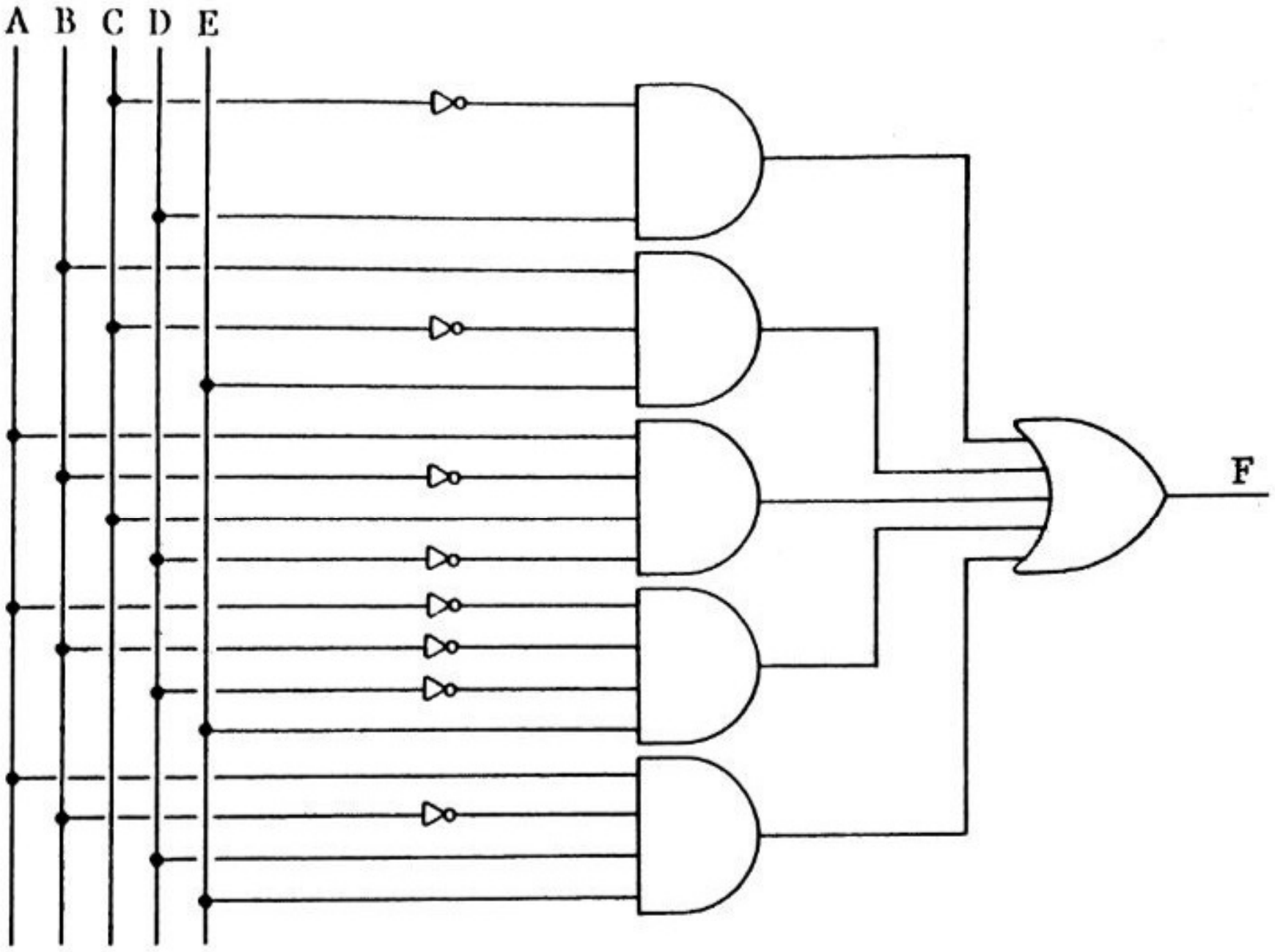
O par 19,23(4) indica que foi eliminado o índice de peso 4, ou seja, C dos mintermos. Assim, temos:

3º Par - $A.\overline{B}.D.E$

Fazendo-se o somatório dos pares, quadras e octetos, teremos:

$$F = \overline{C}.D + B.\overline{C}.E + A.\overline{B}.C.\overline{D} + \overline{A}.\overline{B}.\overline{D}.E + A.\overline{B}.D.E$$

Finalmente monta-se o circuito:



MÉTODO DO QUINE-McCLUSKEY(COM CONDIÇÕES IRRELEVANTES)

Simplificar a função $F(A,B,C,D) = \Sigma m(1,5,8,9,13,14,15) + \Sigma m I_R (3,7,10,11,12)$.

A aplicação desse método é idêntica à de funções total - mente especificadas, ou seja, os mintermos irrelevantes são considerados como totalmente especificados, quando da aplicação na tabela tabular do Quine-McCluskey. Porém ao aplicá-los na tabela dos implicativos diretos, devemos considerá-los como irrelevantes, ou seja, eles podem assumir ou não uma simplificação.

Nº BIT 1	MINTERMOS	PARES	QUADRAS	OCTETOS
1	1✓ 8✓	1,3(2)✓ 1,5(4)✓ 1,9(8)✓ 8,9(1)✓ 8,10(2)✓ 8,12(4)✓	1,3,5,7(2,4)✓ 1,3,9,11(2,8)✓ ~~1,5,9,13(4,8)~~ 1,5,9,13(4,8)✓ ~~1,9,3,11(8,2)~~ ~~1,9,5,13(8,4)~~	1,3,5,7,9,11,13,15(2,4,8) ~~1,3,9,11,5,7,13,15(2,8,4)~~ ~~1,5,9,13,3,7,11,15(4,8,2)~~
2	3✓ 5✓ 9✓ 10✓ 12✓	3,7(4)✓ 3,11(8)✓ 5,7(2)✓ 5,13(8)✓ 9,11(2)✓ 9,13(4)✓ 10,11(1)✓ 10,14(4)✓ 12,13(1)✓ 12,14(2)✓	8,9,10,11(1,2)✓ 8,9,12,13(1,4)✓ ~~8,10,9,11(2,1)~~ 8,10,12,14(2,4)✓ ~~8,12,9,13(4,1)~~ ~~8,12,10,14(4,2)~~	8,9,10,11,12,13,14,15(1,2,4) ~~8,9,12,13,10,11,14,15(1,4,2)~~ ~~8,10,12,14,9,11,13,15(2,4,1)~~
3	7✓ 11✓ 13✓ 14✓	7,15(8)✓ 11,15(4)✓ 13,15(2)✓ 14,15(1)✓	3,7,11,15(4,8)✓ ~~3,11,7,15(8,4)~~ 5,7,13,15(2,8)✓ ~~5,13,7,15(8,2)~~ 9,11,13,15(2,4)✓ ~~9,13,11,15(4,2)~~ 10,11,14,15(1,4)✓ ~~10,14,11,15(4,1)~~ 12,13,14,15(1,2)✓ ~~12,14,13,15(2,1)~~	
4	15✓			

Desta forma, obtemos dois octetos:

Octetos { 1,3,5,7,9,11,13,15 (2,4,8)
Octetos { 8,9,10,11,12,13,14,15 (1,2,4)

Em seguida,aplicamos os octetos na tabela de implicativos diretos:

IMPLICATIVOS DIRETOS	MINTERMOS TOTALMENTE ESPECIFICADOS							MINTERMOS IRRELEVANTES				
	1	5	8	9	13	14	15	3	7	10	11	12
1,3,5,7,9,11,13,15(2,4,8)	⊗	⊗		x	x		x	(x)	(x)		[x]	
8,9,10,11,12,13,14,15(1,2,4)			⊗	x	x	⊗	x			⊗	[x]	(x)

Como já era de se esperar, a aplicação dos octetos na tabela dos implicativos diretos resultou infrutífera, pois estes são simplificações de ordem superior, para funções de quatro variáveis.

No exemplo dado, o termo irrelevante não teve utilidade para simplificações. Porém, em alguns casos, ele poderá ser simplificado. Isto ocorre quando uma dada linha dos mintermos totalmente especificados contiver X sem círculo e os mintermos irrelevantes da mesma linha contiverem X com círculo.

Assim, devemos encontrar a expressão final. O octeto 1,3, 5,7,9,11,13,15 (2,4,8) indica que foram eliminados os índi - ces de peso 8,4 e 2, ou seja, A,B e C, dos mintermos.

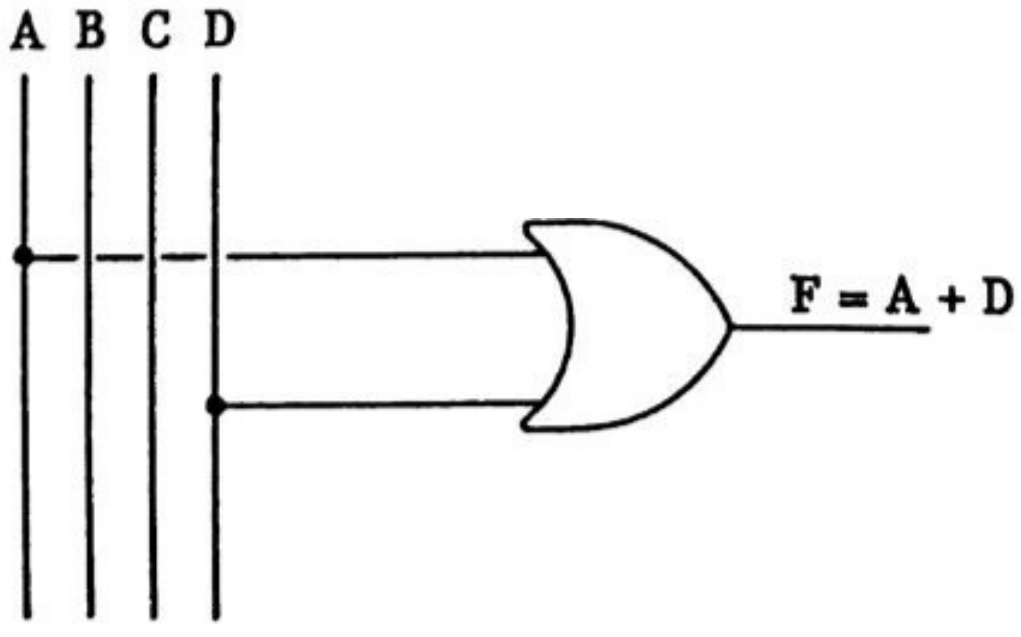
1º Octeto = D

O octeto 8,9,10,11,12,13,14,15 (1,2,4) indica que foram eliminados os índices de peso 4, 2 e 1, ou seja, as variáveis B, C e D dos mintermos:

2º Octeto = A

Assim a expressão final será:

F = A + D



CEDM
CURSOS DE APERFEIÇOAMENTO

CURSO DE
ELETRÔNICA DIGITAL E
MICROPROCESSADORES

CAIXA POSTAL 1642 - CEP 86100 - LONDRINA PARANÁ

EXAME DA LIÇÃO ED-11

OBSERVAÇÃO

- cada questão é composta de três ou quatro alternativas.
- só uma delas está correta.
- marque a que considerar correta.
- passe as respostas corretas para a folha de exame.

1) Por definição, chamamos de mintermo:

   a) à aplicação da função "OU" (OR), envolvendo todas as variáveis independentes;

   b) à aplicação da função "E" (AND), envolvendo todas as variáveis independentes;

   c) as alternativas a e b estão incorretas.

2) Expressar a função $F(A,B,C,D) = \overline{C}.\overline{D} + \overline{A}.C.D$ como uma somatória de mintermos:

   a) $F(A,B,C,D) = A+B+C+D \;.\; A+B+C+D \;.\; A+B+C+D \;.\; A+B+C+D$;
   b) $F(A,B,C,D) = A.B.\underline{C}.\underline{D} + A.\underline{B}.\underline{C}.\underline{D} + \underline{A}.B.\underline{C}.\underline{D} + \underline{A}.\underline{B}.\underline{C}.\underline{D}$;
   c) $F(A,B,C,D) = A.\underline{B}.\overline{C}.\overline{D} + A.\overline{B}.\overline{C}.\overline{D} + \overline{A}.B.\overline{C}.\overline{D} + \overline{A}.\overline{B}.\overline{C}.\overline{D} + \overline{A}.B.C.D + \overline{A}.\overline{B}.C.D$;
   d) N.R.A.

3) O item básico para se usar o método tabular de McCluskey é:

a) que os mintermos sejam agrupados por ordem crescente de quantidade de bit 1;

b) que se deva partir da função na forma de somatório de mintermos;

c) as alternativas "a" e "b" estão corretas.

4) A função F(A,B,C,D) = Σm (0,2,3,6,7,8,9,10,13) corresponde a que tabela do processo de McCluskey?

a)

NÚMERO DE BIT 1	MINTERMOS	PARES	QUADRAS
0	0✓	0,2(2)✓ 0,8(8)	0,2,8,10(2,8)
1	2✓ 8✓	2,3(1)✓ 2,6(4)✓ 2,10(8) 8,9(1)✓ 8,10(2)✓	2,3,6,7(1,4) ~~2,6,3,7(4,1)~~ 8,9,6,7(1,2) × 2,6,9,13(4,7)
2	3✓ 6✓ 9✓ 10✓		
3	7✓ 13✓	3,7 (4)✓ 6,7 (1)✓ 9,13(4)✓	

b)

NÚMERO DE BIT 1	MINTERMOS	PARES	QUADRAS
0	0✓	0,2(2)✓ 0,8(8)✓	0,2,8,10(2,8) ~~11,8,2,10(8,2)~~
1	2✓ 8✓	2,3(1)✓ 2,6(4)✓ 2,10(8)✓ 8,9(1) 8,10(2)✓	2,3,6,7(1,4) ~~2,6,3,7(4,1)~~
2	3✓ 6✓ 9✓ 10✓		
3	7✓ 13✓	3,7(4)✓ 6,7(1)✓ 9,13(4)	

c) as alternativas "a" e "b" estão incorretas.

5) Da questão quatro obtemos as seguintes quadras e pares:

a) 0,2,8,10(2,8) - 2,3,6,7(1,4) - 8,9,6,7(1,2)
- 2,6,9,13(4,7) - 0,8(8) - 2,10(8);

b) 0,2,8,10(2,8) - 0,8,2,10(8,2) - 2,3,6,7(1,4)
-2,6,3,7(4,1) - 8,9(1) - 9,13(4);

c) 0,2,8,10(2,8) - 2,3,6,7(1,4) - 8,9(1) - 9,13(4);

d) N.R.A.

6) Qual a tabela de implicativos diretos está correta?

a)

IMPLICATIVOS DIRETOS	MINTERMOS								
	0	2	3	6	7	8	9	10	13
0,2,8,10(2,8)	x	x				x		x	
2,3,6,7(1,4)		[x]	(x)	[x]	[x]				
8,9,6,7(1,2)				x	x	x	x		
2,6,9,13(4,7)		[x]		[x]			[x]		(x)
0,8 (8)	x					x			
2,10(8)		x						x	

b) na alternativa "a" estão faltando mintermos;

c)

IMPLICATIVOS DIRETOS	MINTERMOS								
	0	2	3	6	7	8	9	10	13
0,2,8,10(2,8)	(x)	[x]				[x]		(x)	
2,3,6,7(1,4)		[x]	(x)	(x)	(x)				
8,9 (1)						x	x		
9,13(4)							[x]		(x)

7) Da questão seis obtemos as seguintes quadras e pares:

a) 0,2,8,10(2,8) - 2,3,6,7(1,4) - 8,9(1) - 9,13(4);

b) 0,2,8,10(2,8) - 2,3,6,7(1,4) - 8,9(1);

c) 0,2,8,10(2,8) - 2,3,6,7(1,4) - 9,13(4);

d) N.R.A

$E.\bar{D} + \bar{A}.C + A.\bar{B}.\bar{C} + A.\bar{C}.D$

8) Da questão sete obtemos a seguinte expressão final:

a) $F(A,B,C,D) = B.D + \bar{A}.C + A.B.C$;

b) $F(A,B,C,D) = \bar{B}.\bar{D} + \bar{A}.C + A.\bar{C}.D + \bar{A}.\bar{B}.C$;

c) $F(A,B,C,D) = \bar{B}.\bar{D} + \bar{A}.C + A.\bar{C}.D + A.\bar{B}.\bar{C}$;

d) $F(A,B,C,D) = \bar{B}.\bar{D} + \bar{A}.C + A.\bar{C}.D$.

9) A forma mínima de $F(A,B,C,D,E) = \Sigma m\ (0,6,8,10,12,14,17,19,20,22,25,27,28,30)$ é:

a) $F(A,B,C,D,E) = A.B.\bar{E} + C.D.\bar{E} + A.\bar{C}.E + \bar{A}.\bar{C}.\bar{D}.\bar{E}$;

b) $F(A,B,C,D,E) = \bar{A}.B.\bar{E} + C.D.\bar{E} + A.\bar{C}.E + A.C.\bar{E} + \bar{A}.\bar{C}.\bar{D}.\bar{E}$;

c) $F(A,B,C,D,E) = A.B.E + A.B.E + A.C.E + A.C.E + A.C.D.E$.

10) A forma mínima de $F(A,B,C,D) = \Sigma m\ (1,4,8,9,13,14,15) + \Sigma mIR\ (2,3,11,12)$ é:

a) $F(A,B,C,D) = \bar{B}.D + A.\bar{C} + A.B + B.\bar{C}.\bar{D}$;

b) $F(A,B,C,D) = \bar{B}.D + A.\bar{C} + A.B + B.\bar{C}.\bar{D} + \bar{A}.\bar{B}.C$;

c) $F(A,B,C,D) = \bar{B}.D + A.\bar{C} + A.B$;

d) N.R.A.

CURSOS DE APERFEIÇOAMENTO

CURSO DE
ELETRÔNICA DIGITAL E
MICROPROCESSADORES

CAIXA POSTAL 1642 - CEP 86100 - LONDRINA - PARANÁ

LIÇÃO ED-12

PROJETOS DE CIRCUITOS COMBINACIONAIS II

INTRODUÇÃO

Na apostila Projetos de Circuitos Combinacionais I, vimos como desenvolver circuitos, utilizando expressões booleanas, conseguidas diretamente sem nenhuma simplificação. Nesta apostila iremos prosseguir o estudo, porém com novos exemplos e aplicando o processo de simplificação de Veitch-Karnaugh.

Veremos a aplicação deste processo por meio de exemplos.

Primeiro Projeto

Desenvolver um circuito que converta uma tabela do sistema binário para o sistema Gray.

Para solucionarmos estes problemas, devemos seguir as seguintes etapas:

1 - Montagem das tabelas;
2 - Aplicação do processo de Veitch-Karnaugh;
3 - Montagem do circuito.

1 - MONTAGEM DAS TABELAS

Em nosso exemplo montaremos uma tabela no sistema biná-

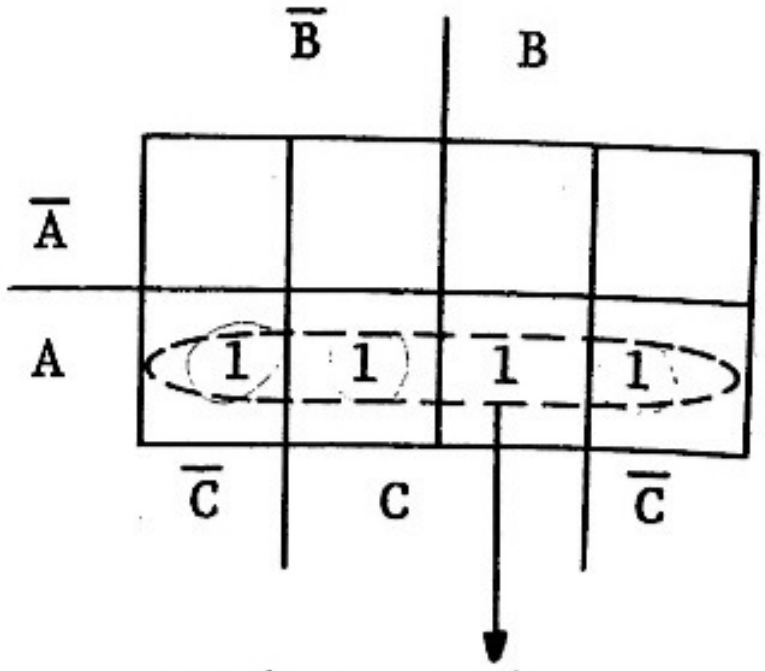
rio com três variáveis, porém este processo é válido para qualquer quantidade de variáveis. E montaremos ao mesmo tempo a tabela correspondente no sistema Gray.

Variáveis de Entrada			Variáveis de Saída		
BINÁRIO			GRAY		
A	B	C	Fa	Fb	Fc
0	0	0	0	0	0
0	0	1	0	0	1
0	1	0	0	1	1
0	1	1	0	1	0
1	0	0	1	1	0
1	0	1	1	1	1
1	1	0	1	0	1
1	1	1	1	0	0

2 - APLICANDO O PROCESSO DE VEITCH-KARNAUGH

A utilização do processo de Veitch-Karnaugh é idêntica ao aprendido nas lições anteriores. Deve-se observar que temos três saídas: Fa, Fb e Fc. Devemos então aplicar um mapa para cada saída. Vamos reconstituir a tabela somente com a saída Fa e aplicar no mapa.

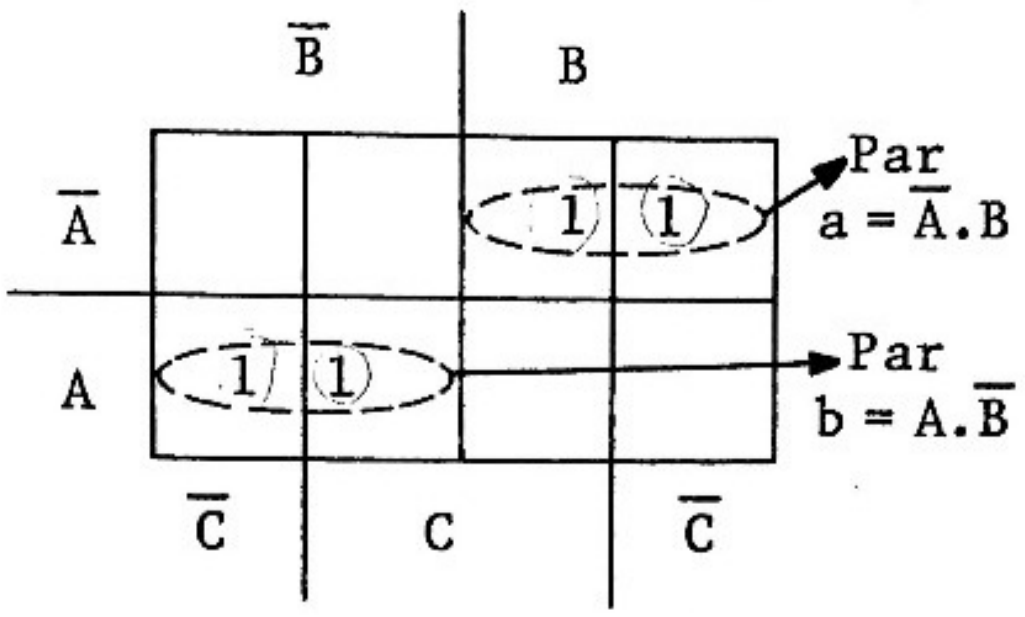
A	B	C	Fa
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1



Fa = A

Reconstituindo a tabela com a saída Fb e aplicando no mapa:

A	B	C	Fb
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	0



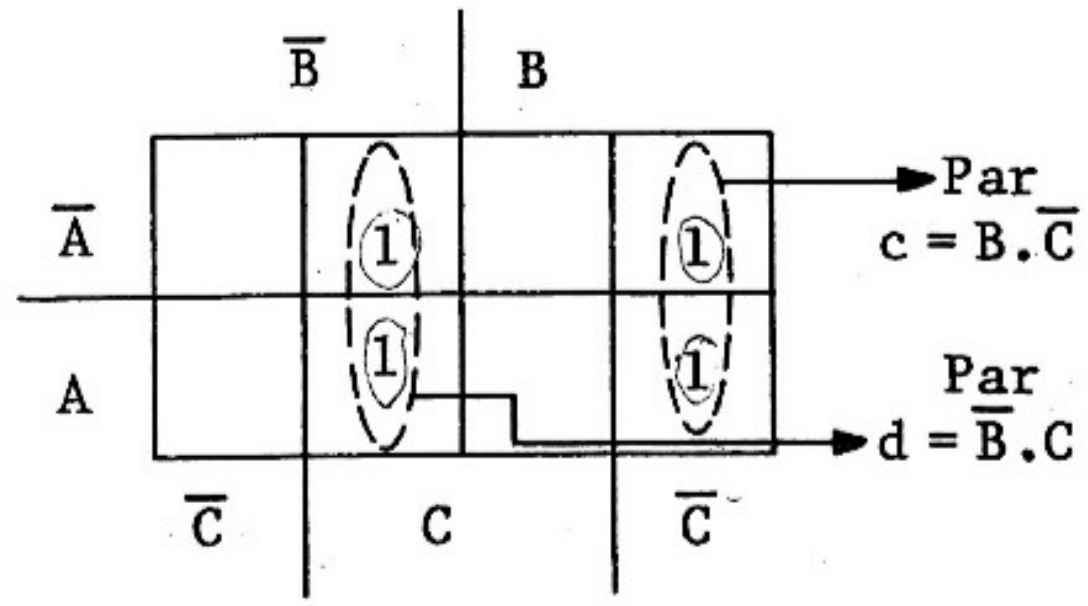
$Fb = \overline{A}.B + A.\overline{B}$

Aplicando a minimização pelo teorema: ou-exclusivo, temos:

$Fb = A \oplus B$

Finalmente reconstituiremos a tabela com a saída Fc, e aplicando no mapa:

A	B	C	Fc
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0



$Fc = B.\overline{C} + \overline{B}.C$

Aplicando a minimização pelo teorema: ou-exclusivo, temos:

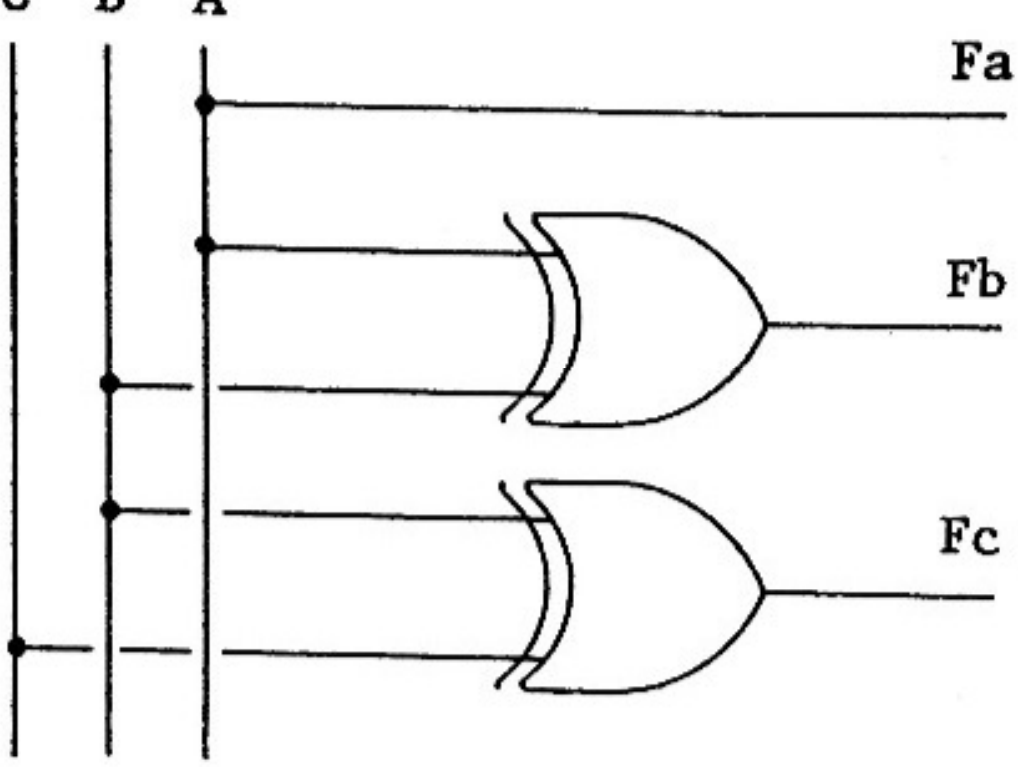
$Fc = B \oplus C$

3 - MONTAGEM DO CIRCUITO

A montagem do circuito depende das equações obtidas, o que reconstituiremos abaixo:

$Fa = A$
$Fb = A \oplus B$
$Fc = B \oplus C$

FIGURA 1



SEGUNDO PROJETO

Uma câmara municipal consiste de prefeito, de presidente do conselho da cidade e de dois presidentes de distritos . Todos têm um voto. Uma moção que consiga a maioria, passa. A menos que seja impugnada pelo prefeito e pelo presidente do conselho da cidade. Se a impugnação for só do prefeito a moção deverá ser posta novamente em votação.

Projetar um circuito que indique as condições de impugnação e de nova votação.

1 - MONTAGEM DA TABELA

Como possuímos quatro votantes: (A) Prefeito; (B) Presidente do conselho da cidade; (C) Presidente de distrito; (D) Presidente de distrito, teremos uma tabela de quatro variáveis e de duas saídas, onde a saída F_1 será a impugnação e a saída F_2 será a nova votação.

Inicialmente, veremos como conseguir as informações da saída F_1. Para os casos a,b,c, e d houve a impugnação, pois

tanto o prefeito com o presidente do conselho da cidade impugnaram. Para os casos e, f, g, i, j, l e n. Foram impugnados por não serem maioria.

A	B	C	D	F_1	F_2	
0	0	0	0	1	0	Caso a
0	0	0	1	1	0	Caso b
0	0	1	0	1	0	Caso c
0	0	1	1	1	0	Caso d
0	1	0	0	1	1	Caso e
0	1	0	1	1	1	Caso f
0	1	1	0	1	1	Caso g
0	1	1	1	0	1	Caso h
1	0	0	0	1	0	Caso i
1	0	0	1	1	0	Caso j
1	0	1	0	1	0	Caso l
1	0	1	1	0	0	Caso m
1	1	0	0	1	0	Caso n
1	1	0	1	0	0	Caso o
1	1	1	0	0	0	Caso p
1	1	1	1	0	0	Caso q

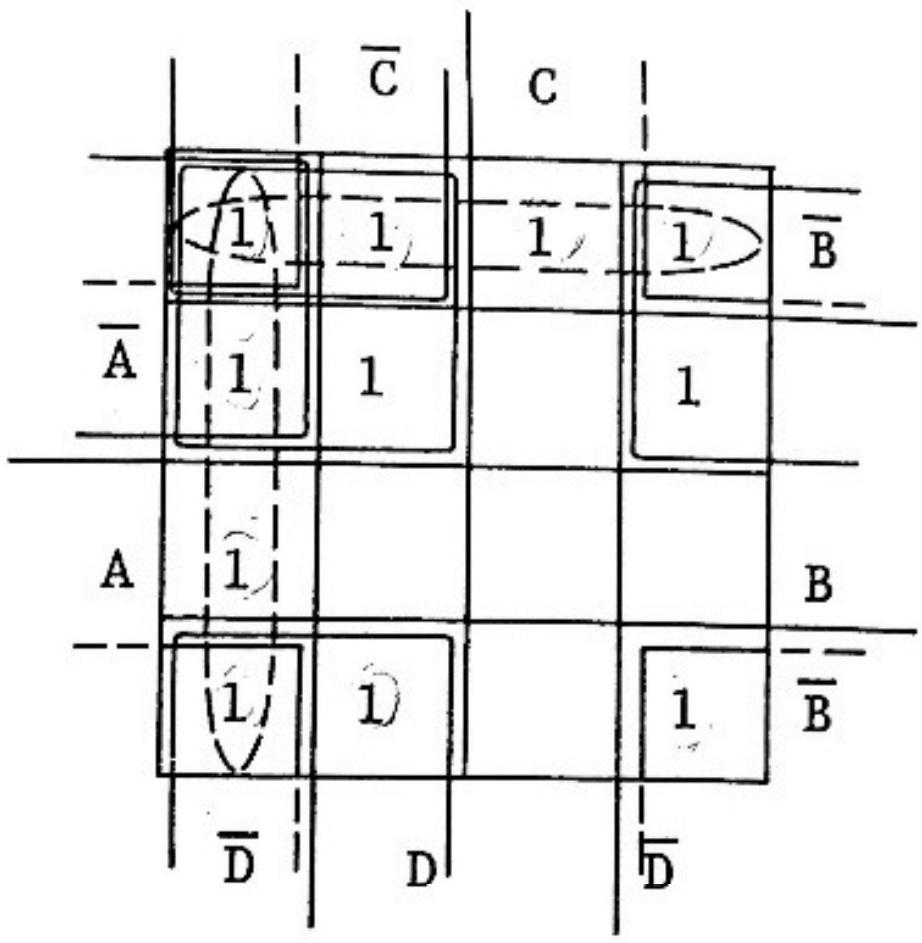
Para a saída F_2, caso em que a moção deverá ser posta - novamente em votação, só se verifica nos casos e, f, g e h, pois nos casos a, b, c e d ocorre a impugnação também do presidente do conselho da cidade.

2 - APLICANDO O PROCESSO DE VEITCH-KARNAUGH

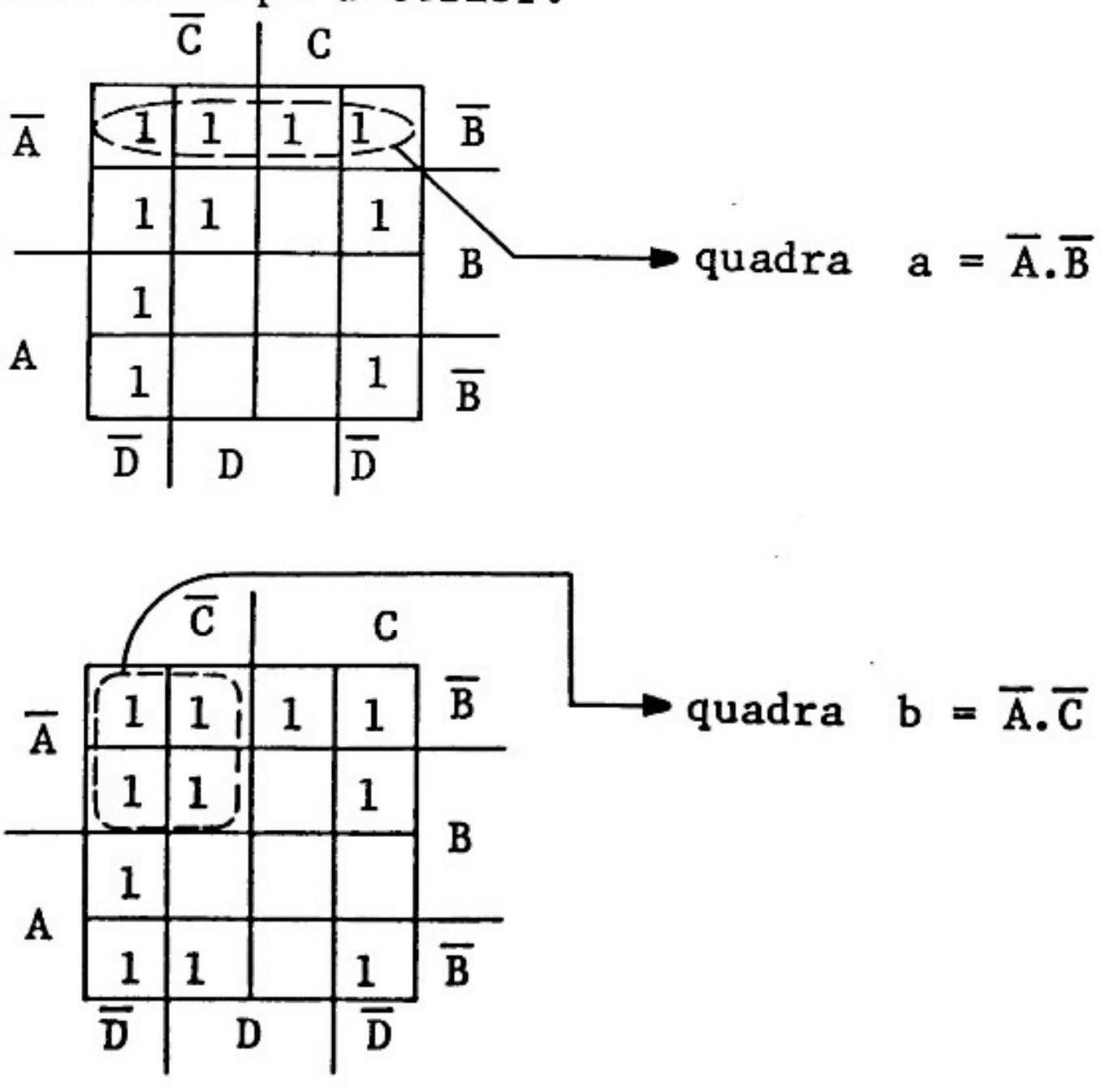
A aplicação do processo de Veitch-Karnaugh se verifica distintamente para F_1 e F_2.

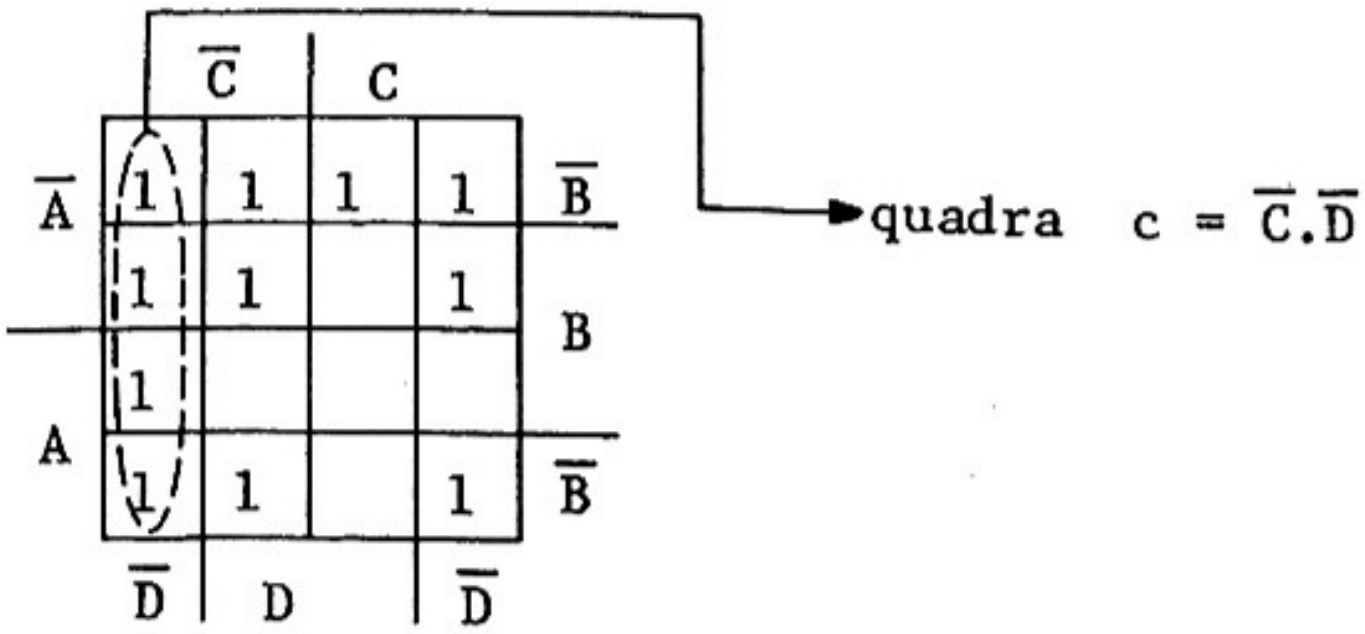
Inicialmente, transcrevemos a tabela com a saída F_1 e aplicamos o processo do mapa de Karnaugh.

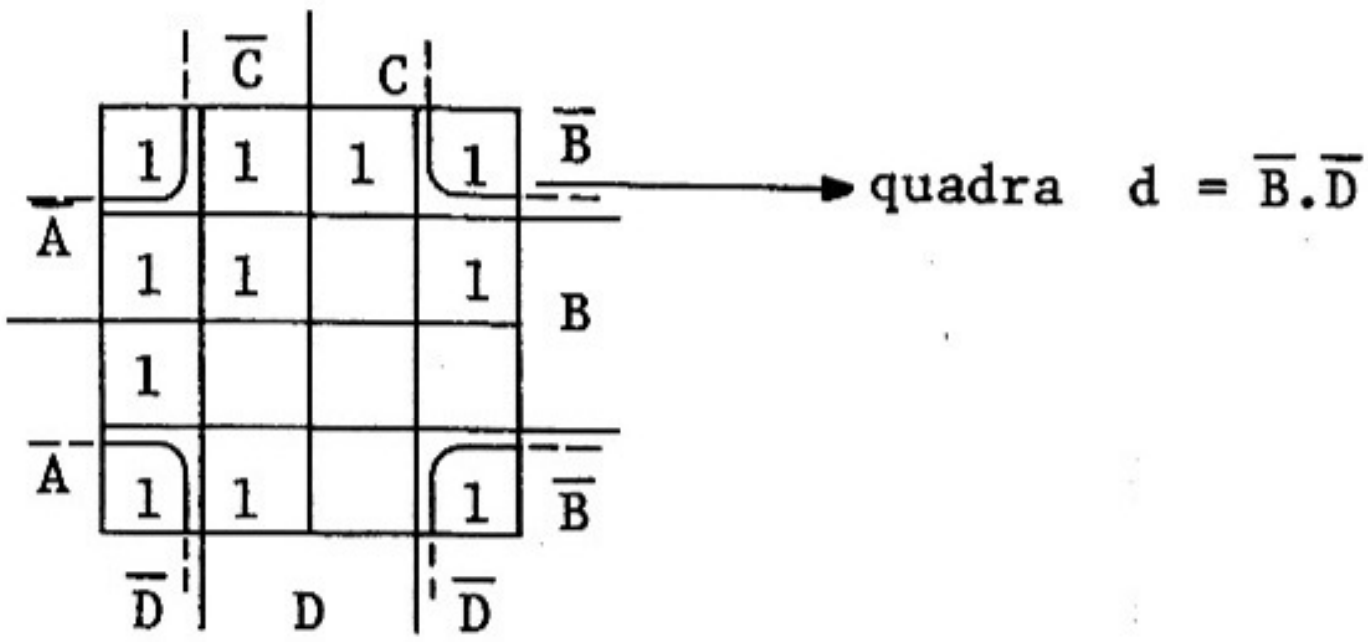
A	B	C	D	F1
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

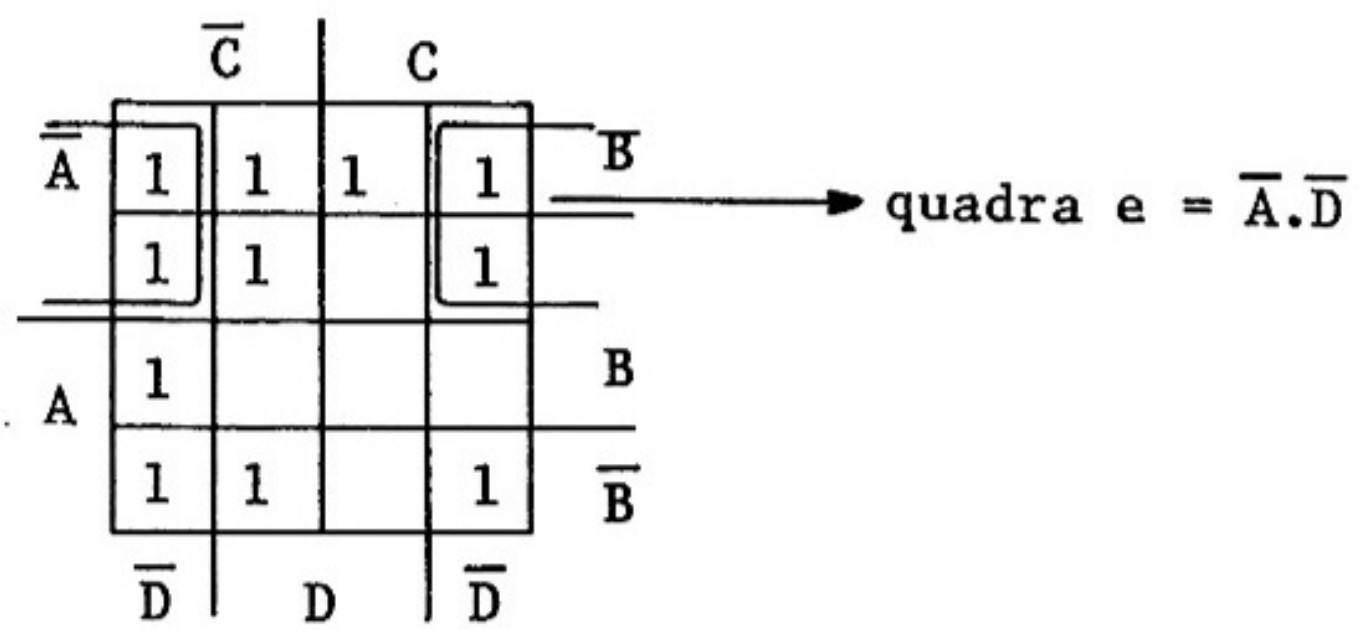


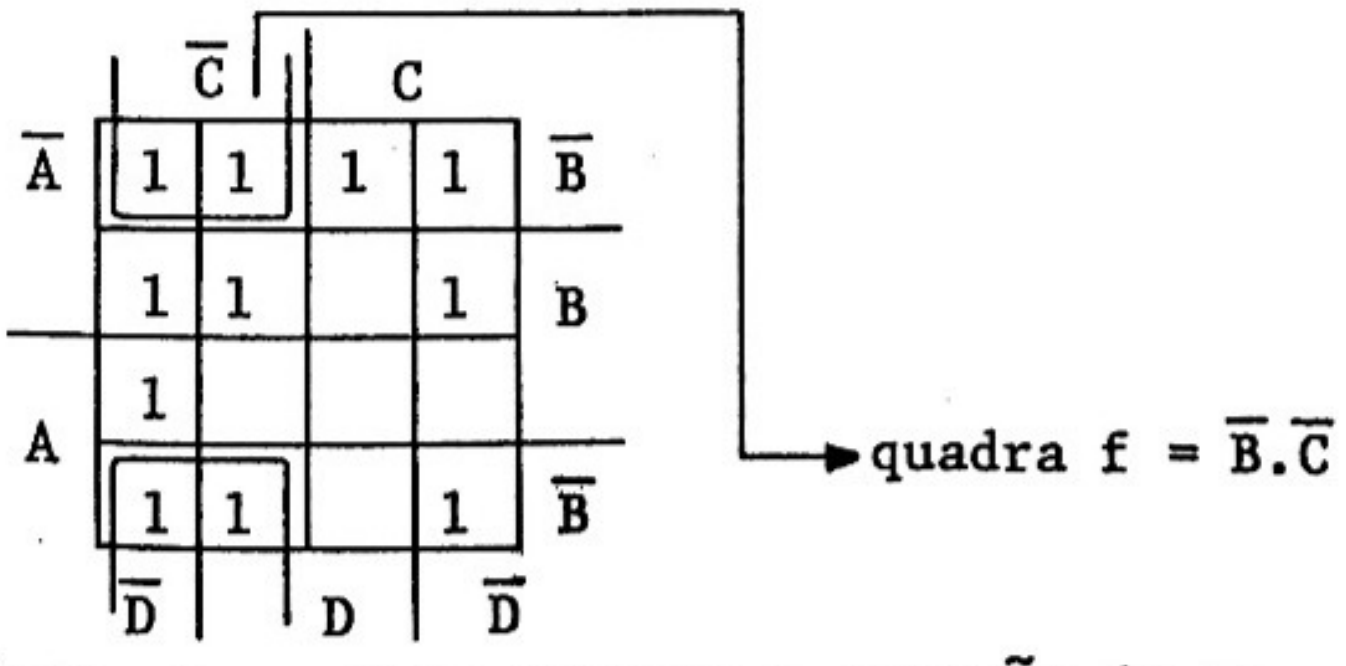
Vamos mostrar separadamente no mapa os casos de pares e quadras, vistos no mapa anterior.









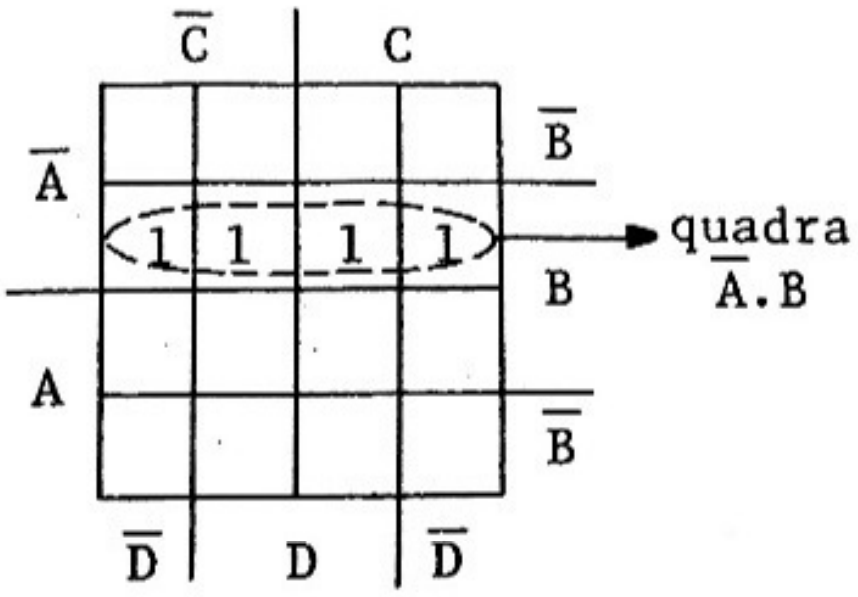


Unindo as quadras teremos a equação de F1.

$$F1 = \overline{A}.\overline{B} + \overline{A}.\overline{C} + \overline{C}.\overline{D} + \overline{B}.\overline{D} + \overline{A}.\overline{D} + \overline{B}.\overline{C}$$

Iremos agora transcrever a tabela com a saída F_2 e aplicá-la no processo do mapa de Karnaugh.

A	B	C	D	F2
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0



Assim, a saída F2 será dada pela equação:

$$F2 = \overline{A}.B$$

3 - MONTAGEM DO CIRCUITO

A montagem do circuito depende das equações obtidas, (como demonstraremos):

$$F1 = \overline{A}.\overline{B} + \overline{A}.\overline{C} + \overline{C}.\overline{D} + \overline{B}.\overline{D} + \overline{A}.\overline{D} + \overline{B}.\overline{C}$$

$$F2 = \overline{A}.B$$

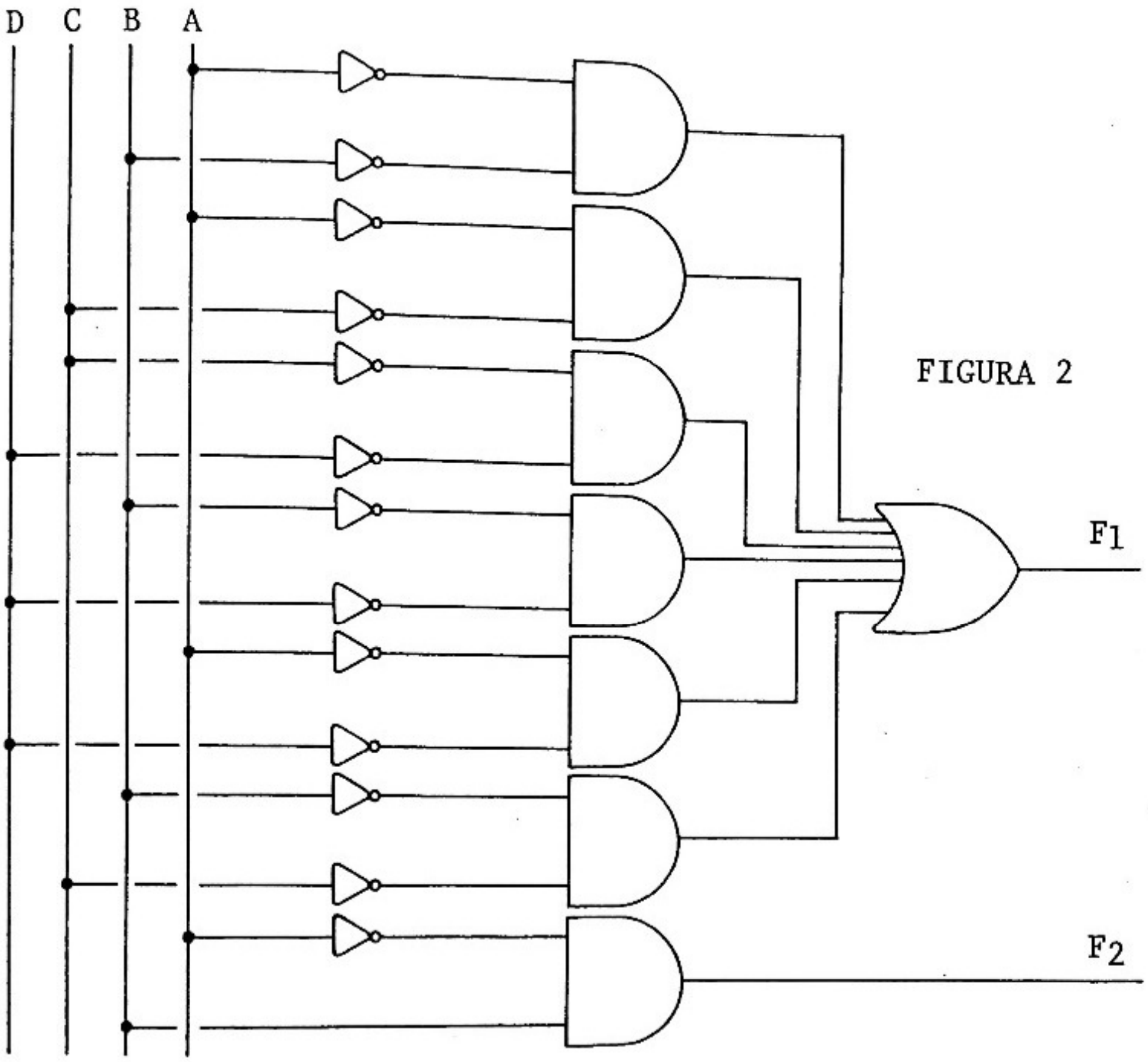


FIGURA 2

TERCEIRO PROJETO

Desenvolver um circuito que converta uma tabela do sistema Gray para o sistema binário.

Observamos que este projeto é o inverso do primeiro.

1 - MONTAGEM DAS TABELAS

No primeiro projeto foi adotada uma tabela de três variáveis. Da mesma forma, adotaremos para este exemplo uma tabela com três variáveis. Observamos que, neste caso, devemos montar primeiramente a tabela no sistema Gray, como entradas; e uma tabela no sistema binário, como saídas.

Variáveis de Entrada			Saídas		
A	B	C	Fa	Fb	Fc
0	0	0	0	0	0
0	0	1	0	0	1
0	1	1	0	1	0
0	1	0	0	1	1
1	1	0	1	0	0
1	1	1	1	0	1
1	0	1	1	1	0
1	0	0	1	1	1

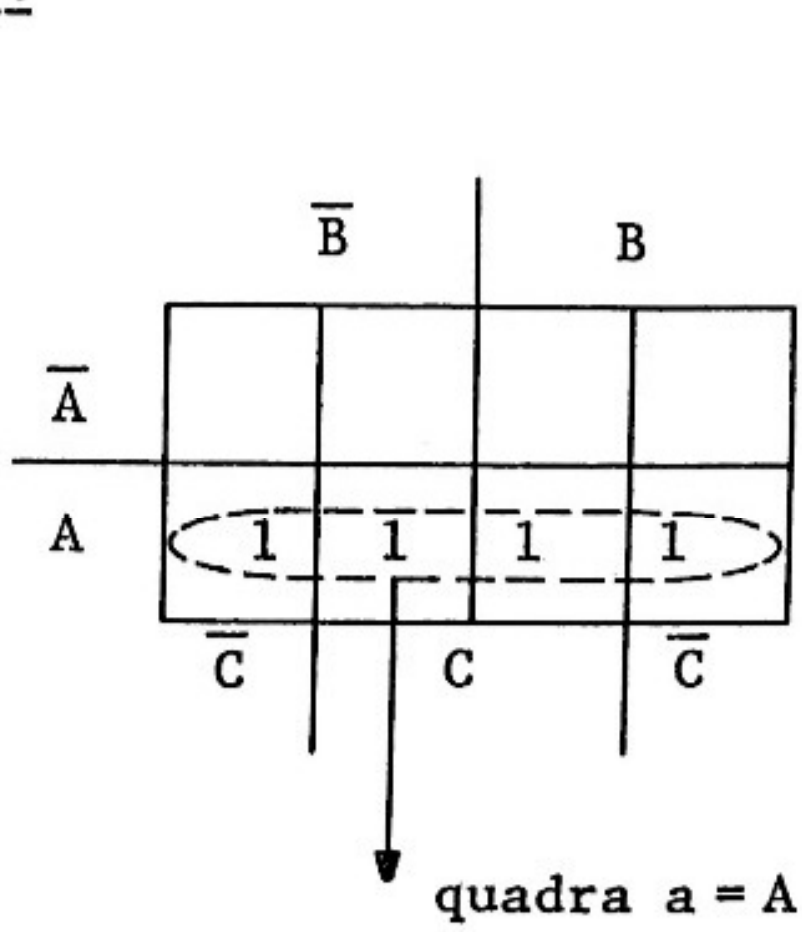
2 - APLICANDO O PROCESSO DE VEITCH-KARNAUGH

A aplicação do processo de Veitch-Karnaugh, neste caso, é idêntico aos anteriores. Porém observamos que o mapa será montado em função do sistema Gray, o que provocará uma mudança na disposição dos dados no interior das células, como pode ser visto nos mapas a seguir:

Para a saída Fa temos:

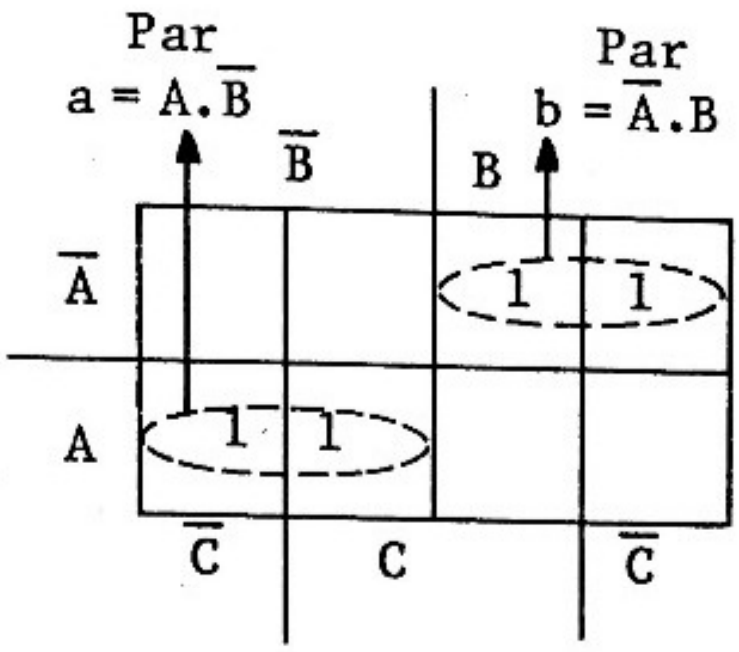
A	B	C	Fa
0	0	0	0
0	0	1	0
0	1	1	0
0	1	0	0
1	1	0	1
1	1	1	1
1	0	1	1
1	0	0	1

Fa = A



Para a saída Fb temos:

A	B	C	Fb
0	0	0	0
0	0	1	0
0	1	1	1
0	1	0	1
1	1	0	0
1	1	1	0
1	0	1	1
1	0	0	1



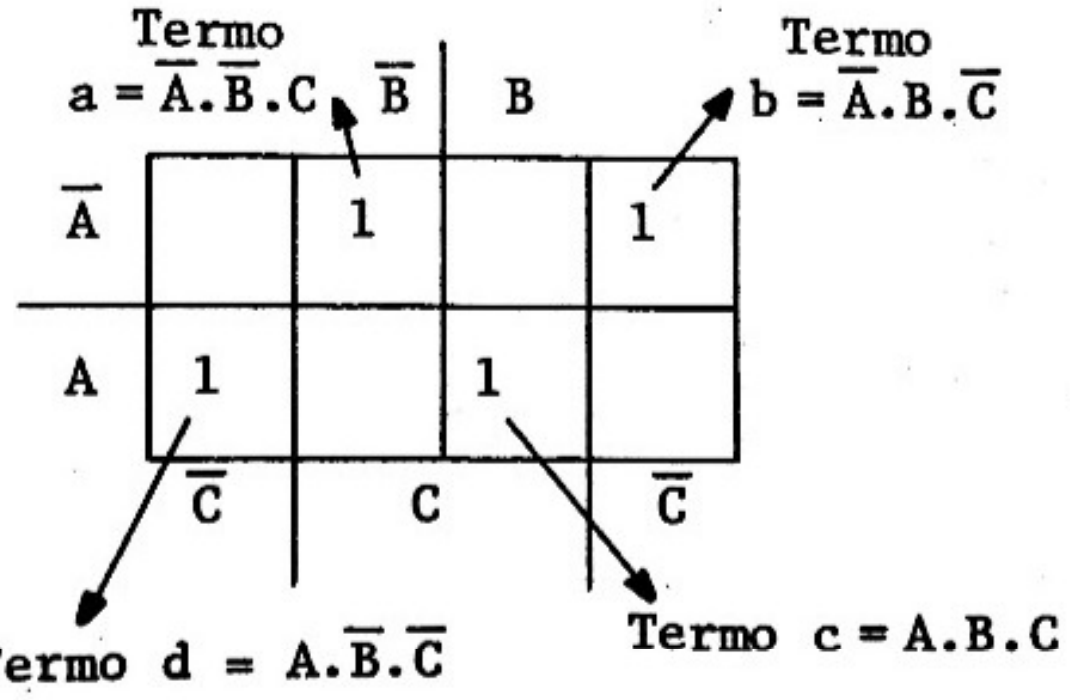
$Fb = \overline{A}.B + A.\overline{B}$

Aplicando a minimização pelo teorema: ou-exclusivo, te mos:

$Fb = A \oplus B$

Para a saída Fc temos:

A	B	C	Fc
0	0	0	0
0	0	1	1
0	1	1	0
0	1	0	1
1	1	0	0
1	1	1	1
1	0	1	0
1	0	0	1



Para a saída Fc não houve nenhum par e nenhuma quadra , assim só temos termos isolados que agrupados formam a expressão de Fc.

$Fc = \overline{A}.\overline{B}.C + \overline{A}.B.\overline{C} + A.B.C + A.\overline{B}.\overline{C}$

Aplicando os termos em evidência e minimizando pelos teoremas: ou-exclusivo e não ou-exclusivo, temos:

$$Fc = \overline{A}.\overline{B}.C + \overline{A}.B.\overline{C} + A.B.C + A.\overline{B}.\overline{C}$$

$$Fc = \overline{A}(\overline{B}.C + B.\overline{C}) + A(B.C + \overline{B}.\overline{C})$$

$$Fc = \overline{A}(B \oplus C) + A(\overline{B \oplus C})$$

$$Fc = A \oplus B \oplus C$$

3 - MONTAGEM DO CIRCUITO

A montagem do circuito depende das expressões obtidas no passo anterior.

$$Fa = A$$
$$Fb = A \oplus B$$
$$Fc = A \oplus B \oplus C$$

Observamos que as saídas Fb e Fc possuem um termo em comum, o que possibilita a utilização de um único termo para as duas saídas.

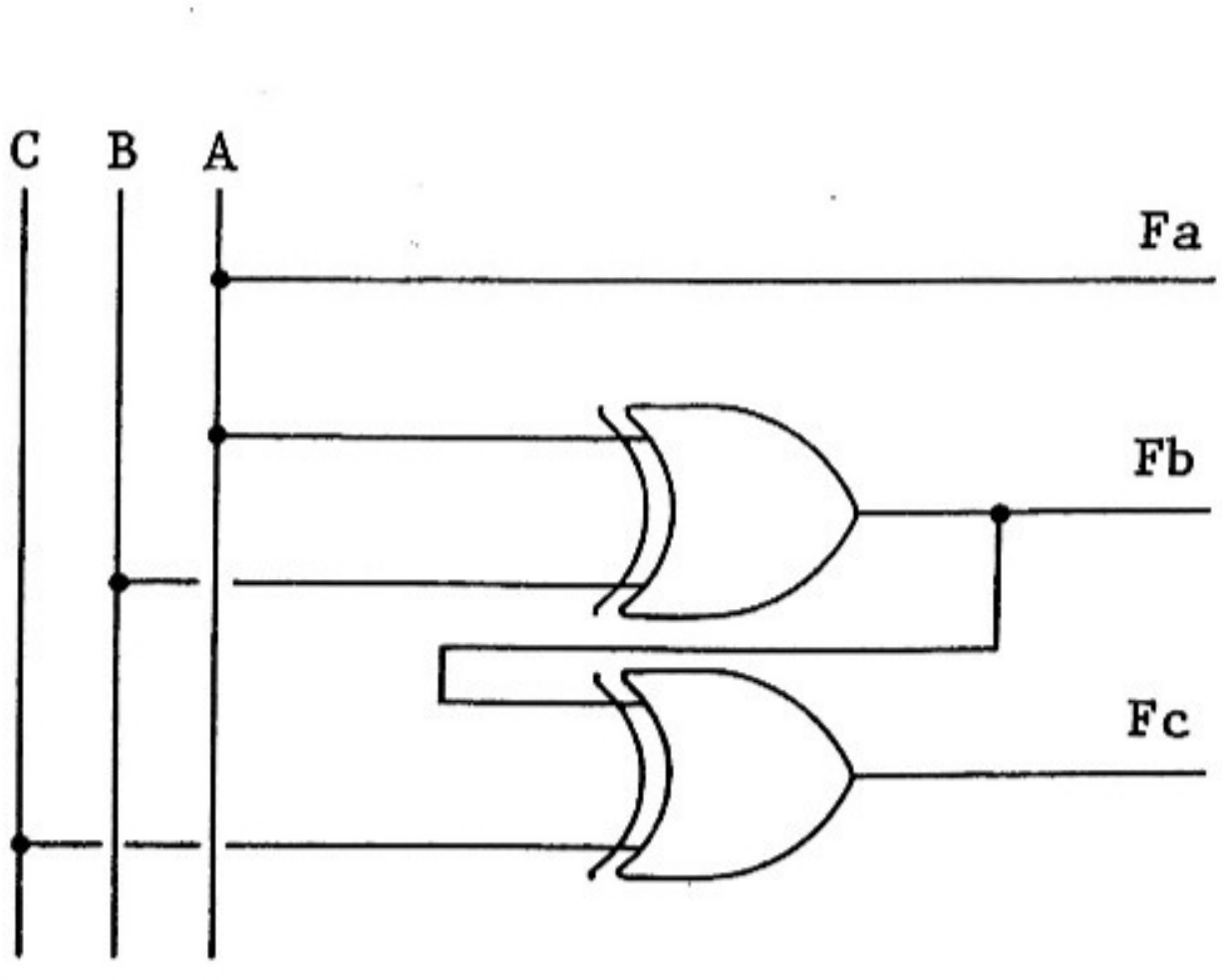


FIGURA 3

QUARTO PROJETO

Projetar um dado eletrônico, utilizando circuitos digitais. Para este projeto devemos levar em conta que possuímos um oscilador divisor por seis, como ilustra a Figura 4 a baixo:

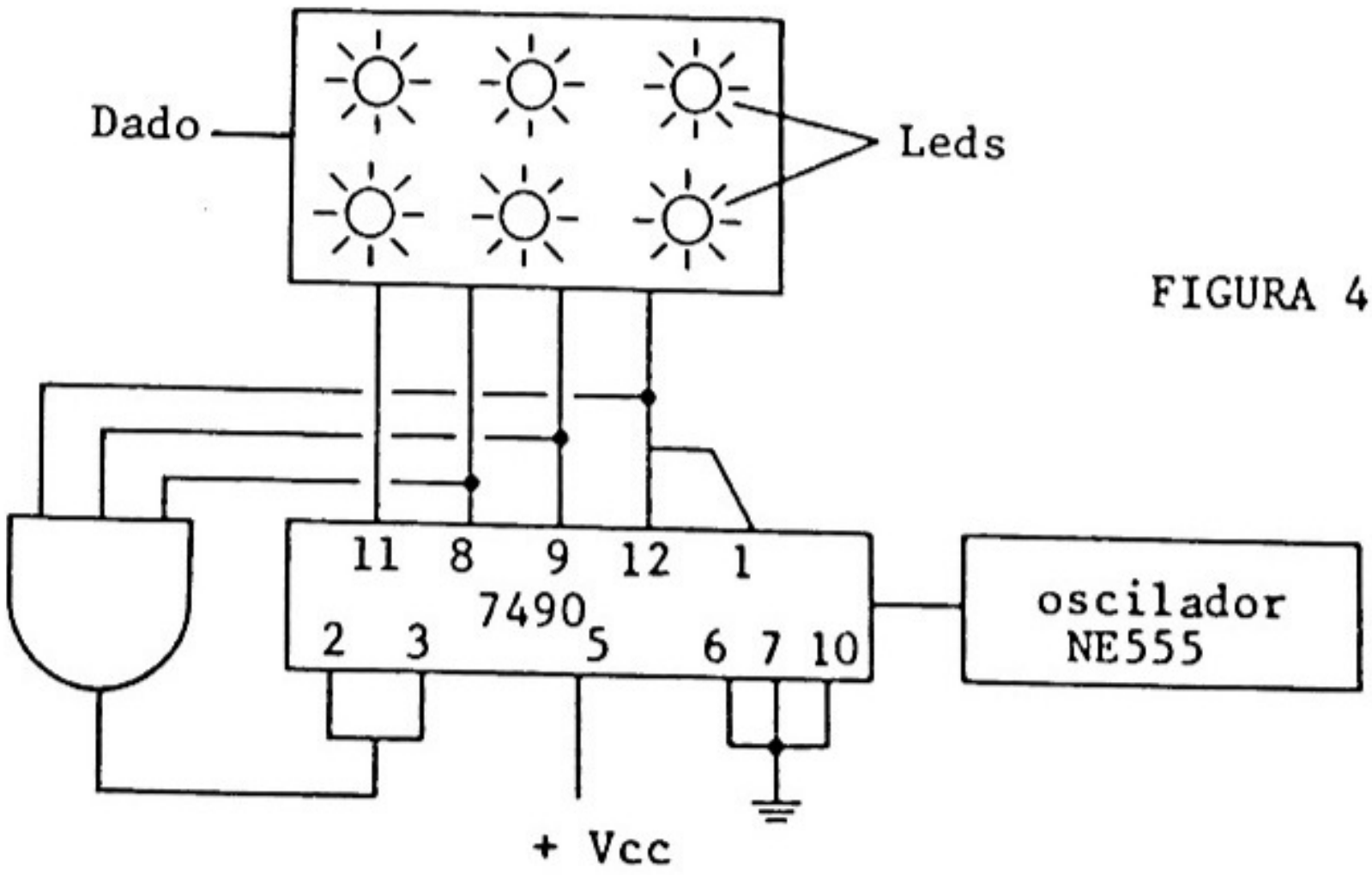


FIGURA 4

1 - MONTAGEM DA TABELA

A tabela terá quatro variáveis de entrada que são os índices A, B, C e D, fornecidos no circuito da Figura 4. As saídas terão de ser em número de seis para poder cobrir todas as possibilidades de ocorrência de um dado. Assim a denominaremos de: L1, L2, L3, L4, L5 e L6, de conformidade com a tabela ilustrada abaixo:

Caso	Variáveis de Entrada				Saídas					
	A	B	C	D	L1	L2	L3	L4	L5	L6
0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	1	1	0	0	0	0	0
2	0	0	1	0	1	1	0	0	0	0
3	0	0	1	1	1	1	1	0	0	0
4	0	1	0	0	1	1	1	1	0	0
5	0	1	0	1	1	1	1	1	1	0
6	0	1	1	0	1	1	1	1	1	1
7	0	1	1	1	X	X	X	X	X	X
8	1	0	0	0	X	X	X	X	X	X
9	1	0	0	1	X	X	X	X	X	X
10	1	0	1	0	X	X	X	X	X	X
11	1	0	1	1	X	X	X	X	X	X
12	1	1	0	0	X	X	X	X	X	X
13	1	1	0	1	X	X	X	X	X	X
14	1	1	1	0	X	X	X	X	X	X
15	1	1	1	1	X	X	X	X	X	X

No caso 0 (zero), todas as saídas estarão no estado 0 (zero). No caso 1(um), teremos a saída L1 no estado 1(um) que representa a condição 1(um) do dado. No caso 2 (dois), teremos as saídas L1 e L2 no estado 1(um) que representam a condição 2(dois) do dado. No caso 3 (três), temos as saídas L1, L2 e L3 no estado 1(um) que representam a condição 3(três) do dado. No caso 4 (quatro), temos as saídas L1, L2, L3 e L4 no estado 1 (um) que representam a condição 4 (quatro) do dado. No caso 5 (cinco), temos as saídas L1, L2, L3, L4 e L5 no estado 1(um) que representam a condição 5 (cinco) do dado. No caso 6 (seis), temos as saídas L1, L2, L3, L4, L5 e L6 no estado 1(um) que representam a condição 6 (seis) do dado. Do caso 7 (sete) em diante, temos saídas irrelevantes, pois o oscilador divisor, apresentado na figura 4, está programado para executar uma contagem de 0 (zero) até 6 (seis) o que torna o resto da tabela sem efeito. Os casos irrelevantes na tabela estão preenchidos por X.

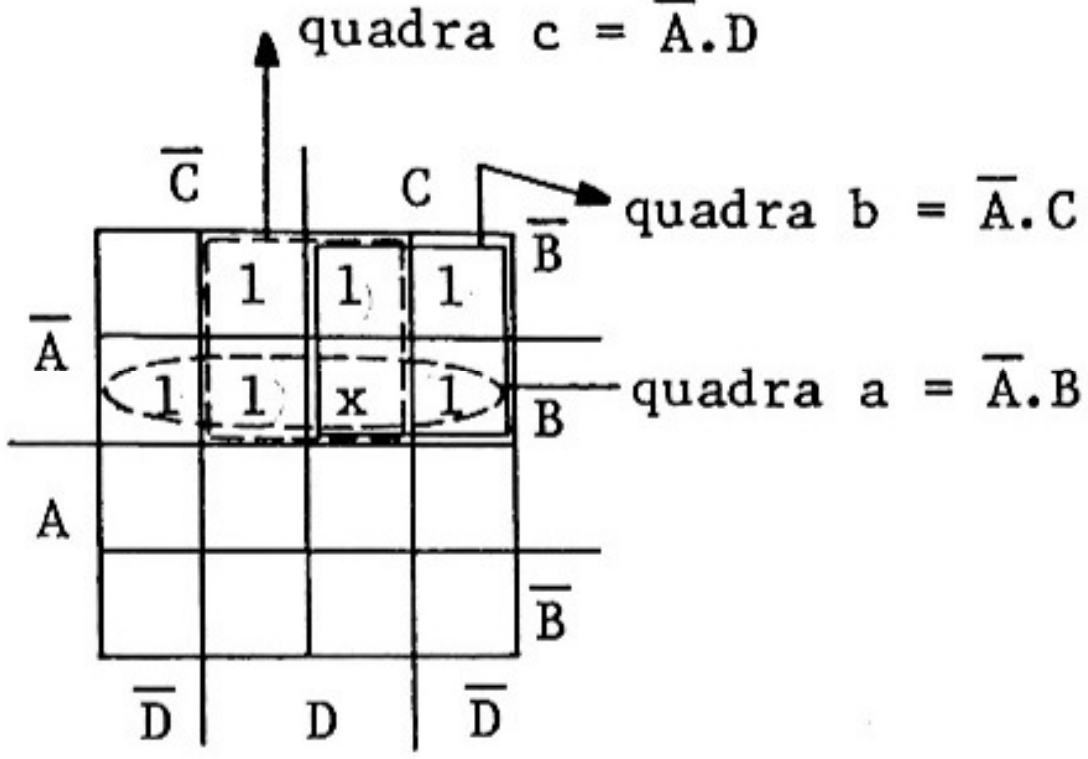
2 - APLICANDO O PROCESSO DE VEITCH-KARNAUGH

A aplicação do processo de Veitch-Karnaugh é idêntica

aos projetos anteriores. Porém, observamos que o mapa será preenchido em função das condiçoes ativadas a um e mais alguns casos representados por um "X" por serem irrelevantes.Os casos irrelevantes são utilizados para possibilitar uma maior simplificação, pois,como sabemos,eles podem ser utilizados - como 0 (zero) ou com 1 (um).

A EXPRESSÃO DE L1 SERÁ

A	B	C	D	L1
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	X

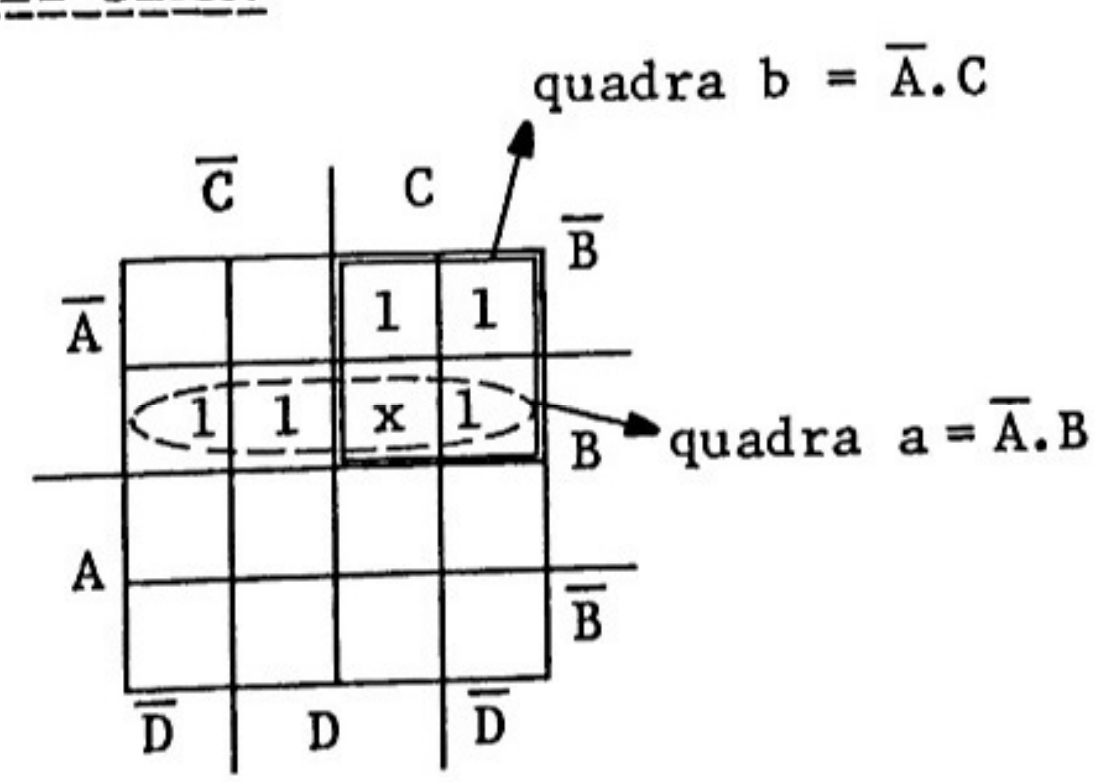


Unindo as quadras, teremos a expressão de L1.

$L1 = \overline{A}.B + \overline{A}.C + \overline{A}.D$

A EXPRESSÃO DE L2 SERÁ:

A	B	C	D	L2
0	0	0	0	0
0	0	0	1	0
0	0	1	0	1
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	X

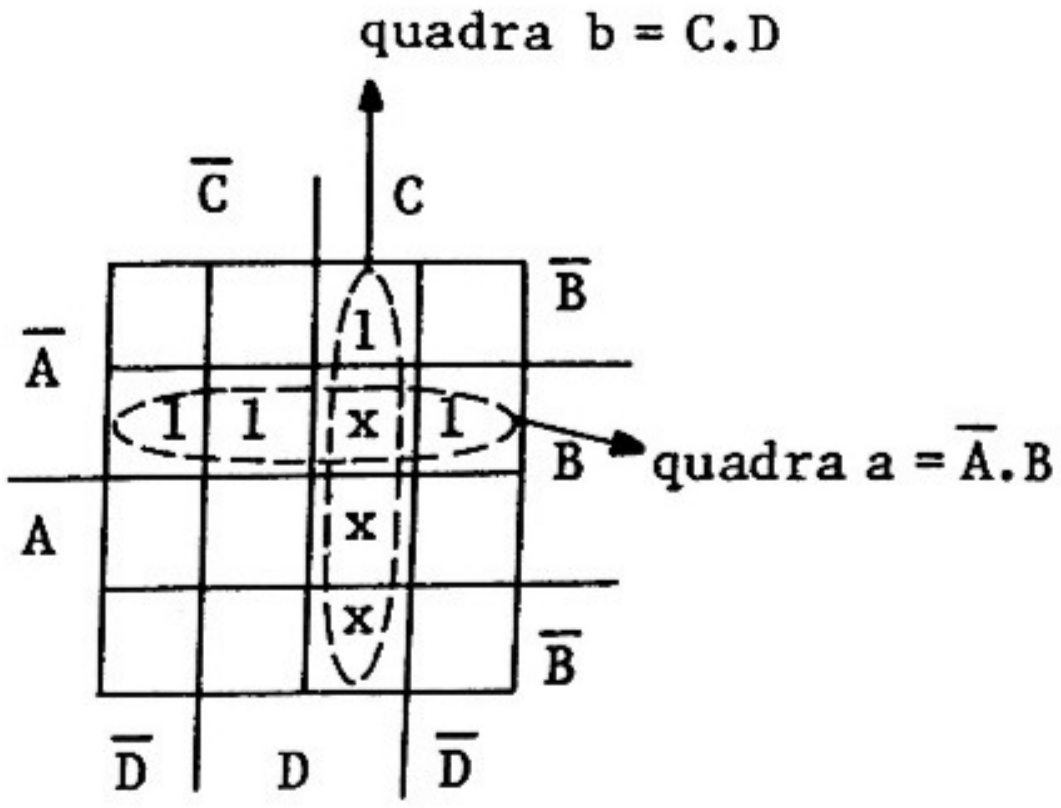


Unindo as quadras, teremos a expressão de L2.

$L2 = \overline{A}.B + \overline{A}.C$

A EXPRESSÃO DE L3 SERÁ:

A	B	C	D	L3
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	X



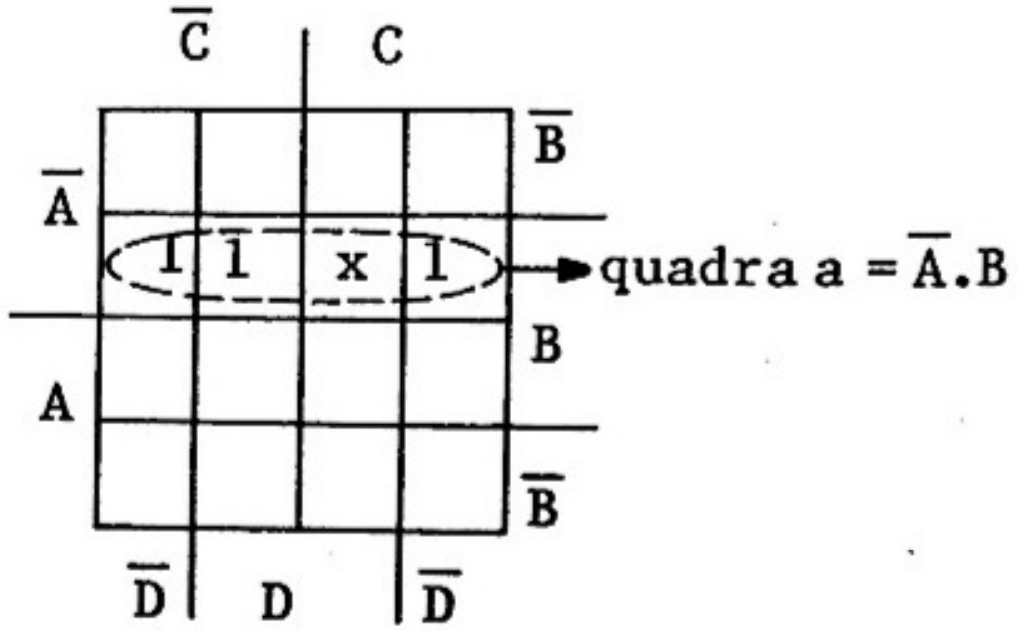
Obs.: Colocamos mais duas condições irrelevantes a fim de se formar uma quadra, e obter uma simplificação maior.

Unindo as quadras, teremos a expressão de L3.

$L3 = \overline{A}.B + C.D$

A EXPRESSÃO DE L4 SERÁ:

A	B	C	D	L4
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	X

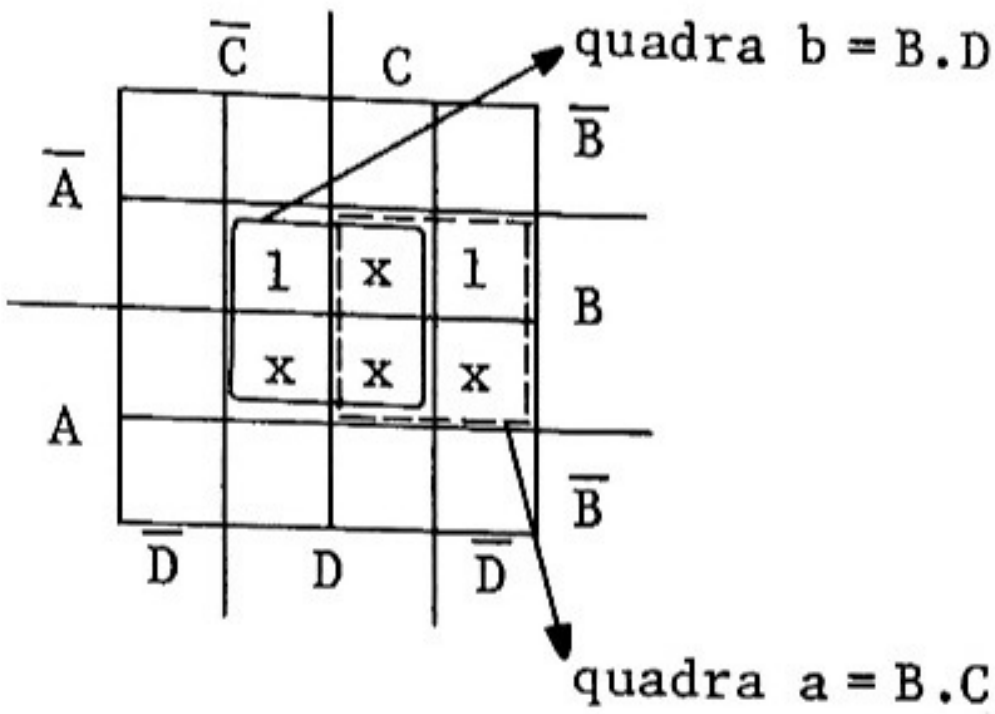


Assim a expressão de L4 será:

$L4 = \overline{A}.B$

A EXPRESSÃO DE L5 SERÁ:

A	B	C	D	L5
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	X

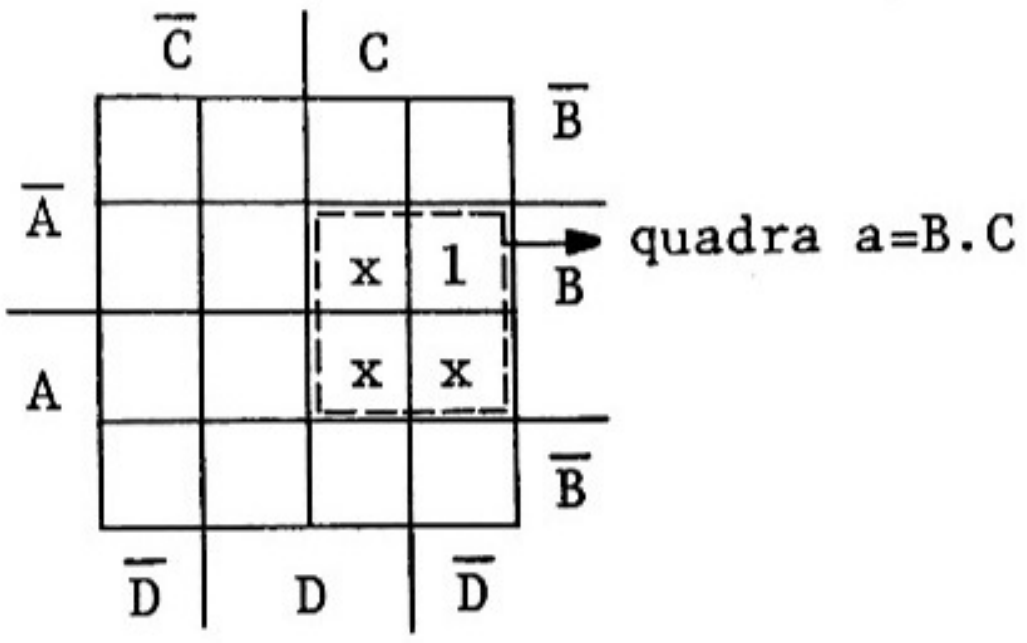


Unindo as quadras, teremos a expressão de L5.

L5 = B.C + B.D

A EXPRESSÃO DE L6 SERÁ:

A	B	C	D	L6
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	1
0	1	1	1	X



Assim a expressão de L6 será:

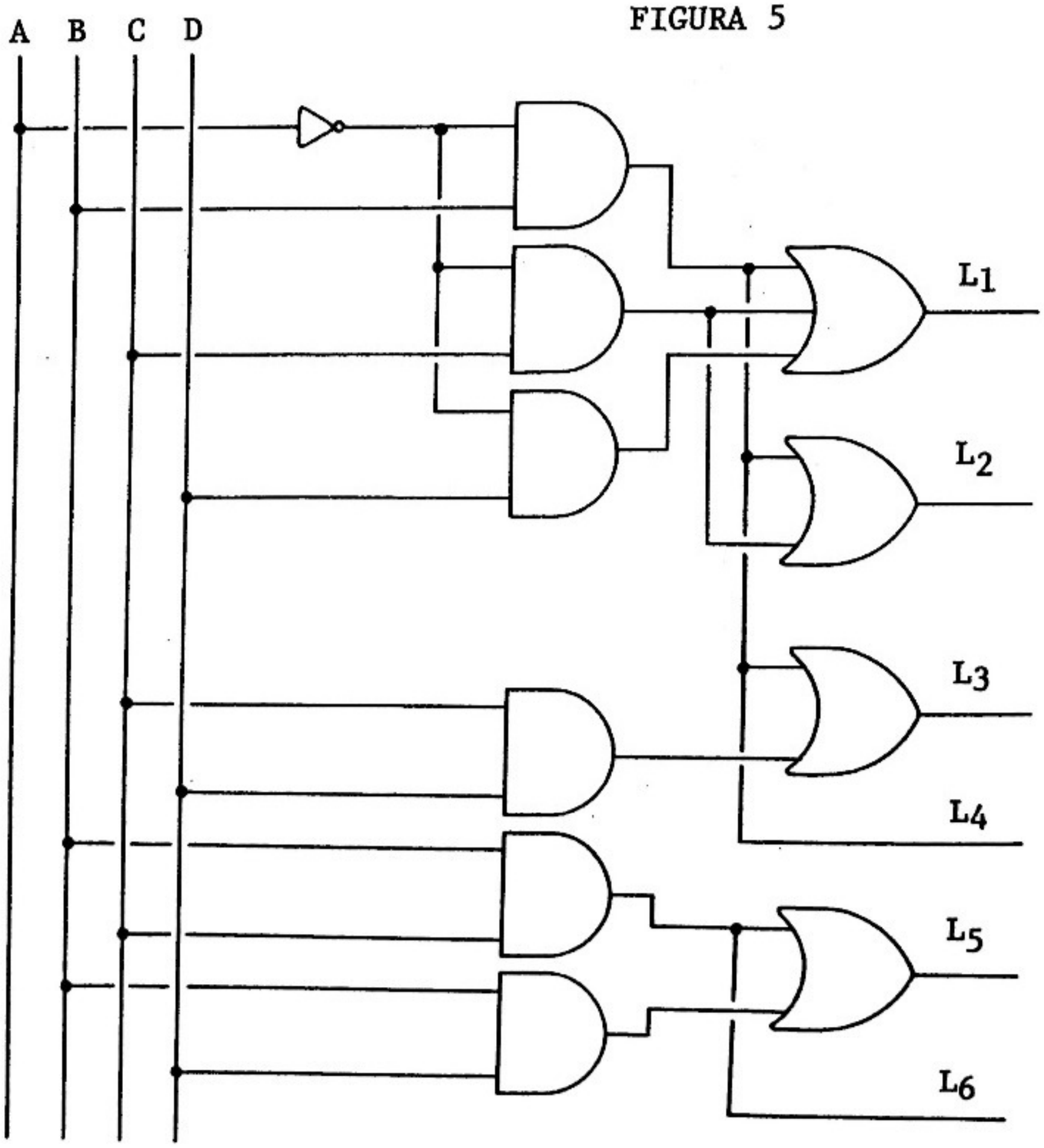
L6 = B.C

3 - MONTAGEM DO CIRCUITO

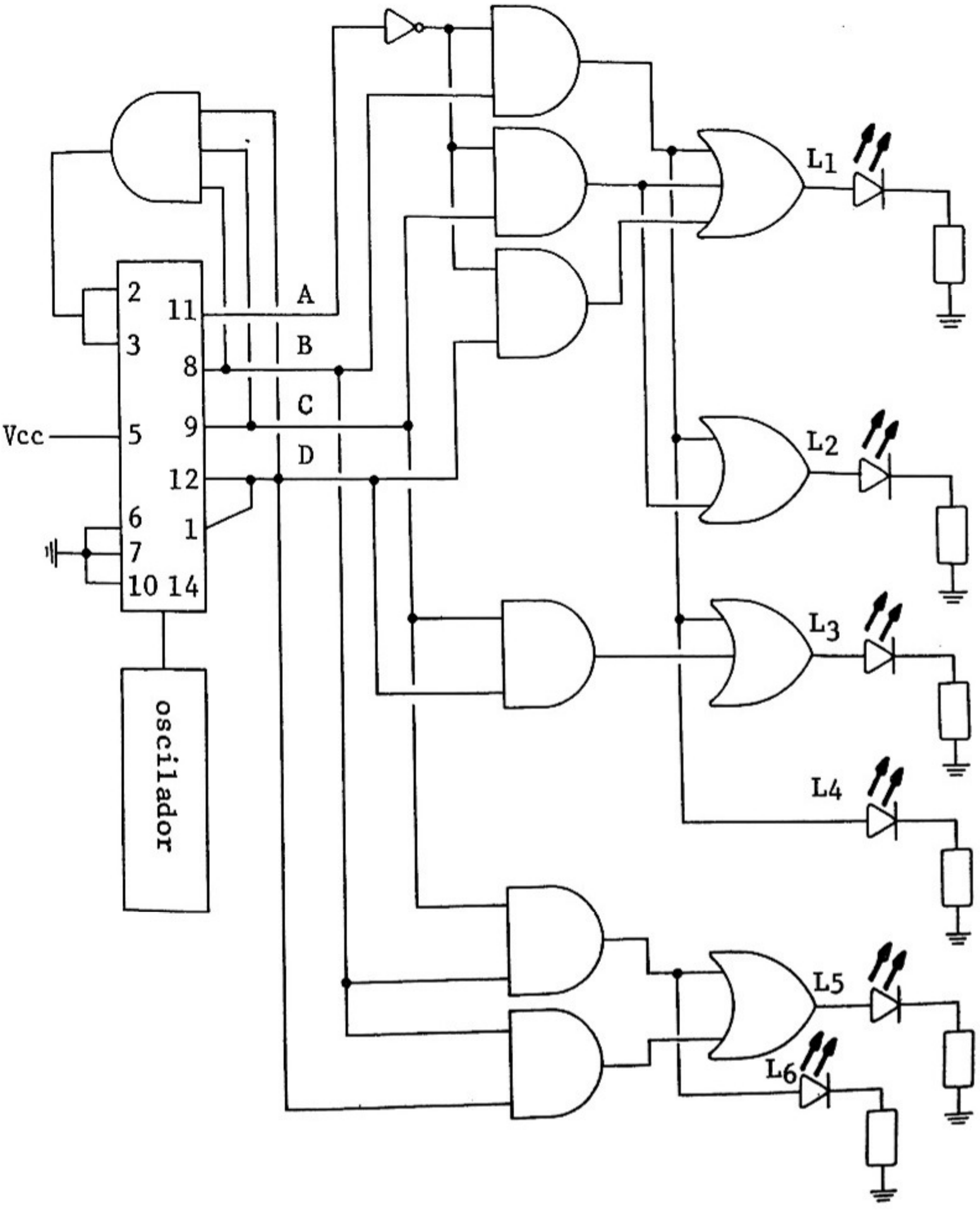
A montagem do circuito depende das expressões obtidas nos passos anteriores, as quais reproduziremos abaixo:

$$L1 = \overline{A}.B + \overline{A}.C + \overline{A}.D$$
$$L2 = \overline{A}.B + \overline{A}.C$$
$$L3 = \overline{A}.B + C.D$$
$$L4 = \overline{A}.B$$
$$L5 = \overline{B}.C + B.D$$
$$L6 = \overline{B}.C$$

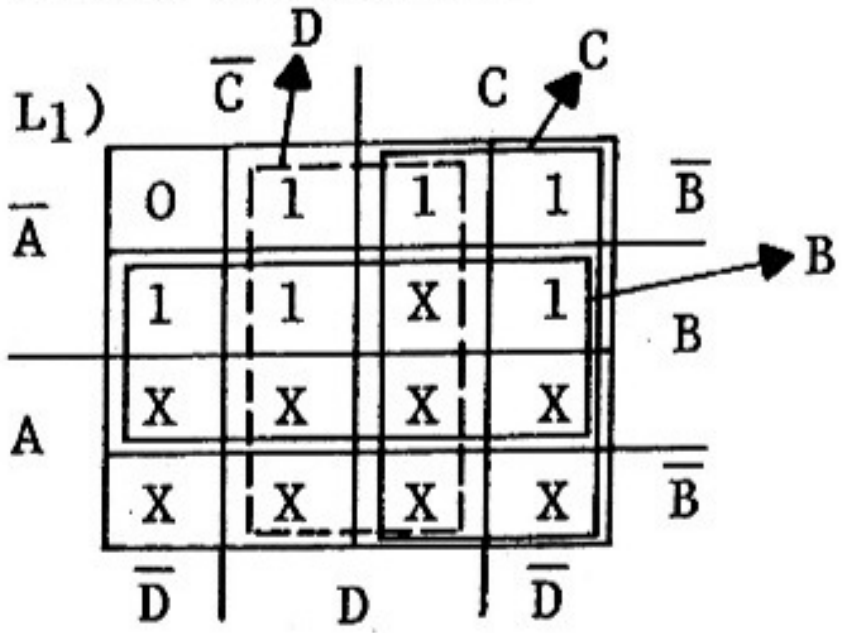
FIGURA 5



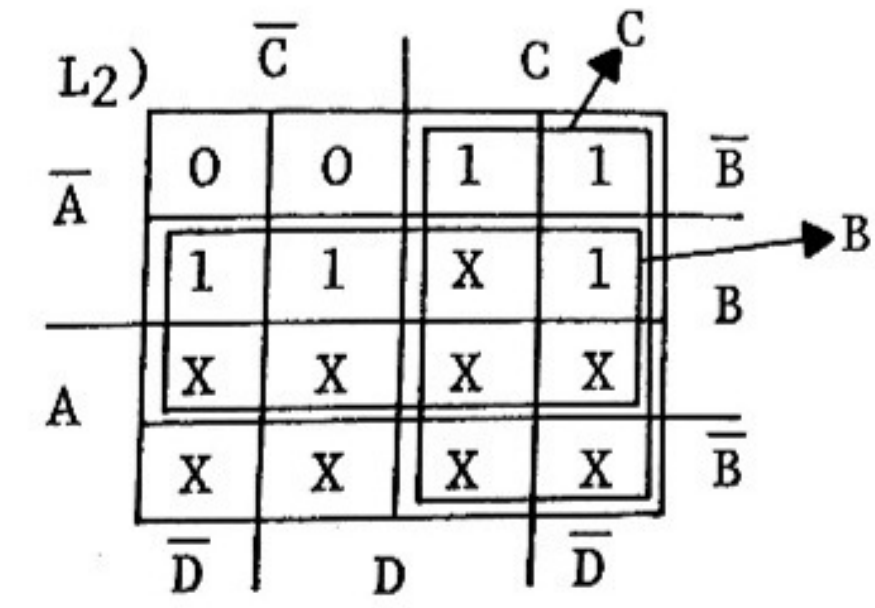
Unindo o circuito projetado ao circuito oscilador divisor e ligando leds nas saídas L1, L2, L3, L4, L5 e L6, o circuito final será o ilustrado na figura.



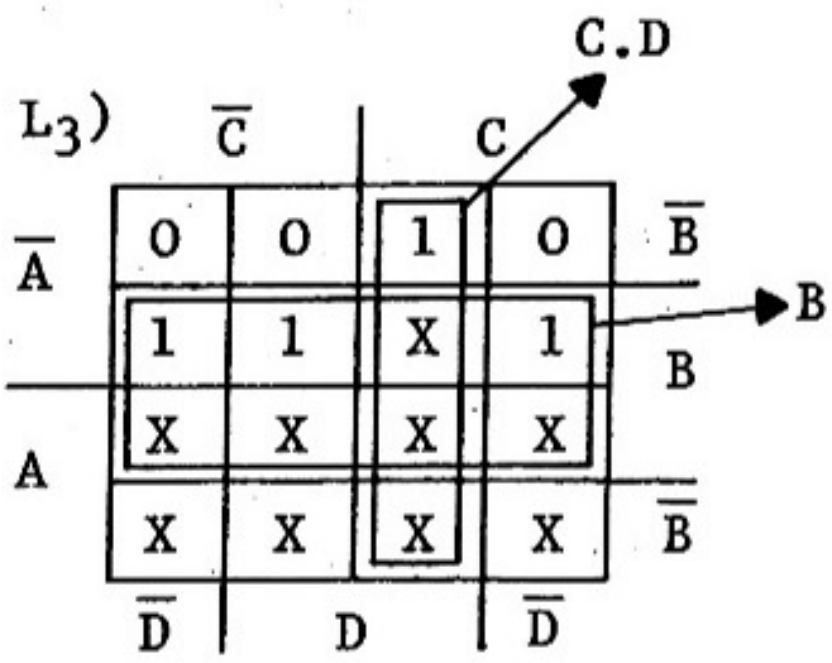
Observamos que este mesmo projeto pode ser simplificado ainda mais se considerarmos os casos acima de seis como irrelevante. Assim, os mapas de Karnaugh ficariam preenchidos conforme ilustramos abaixo:



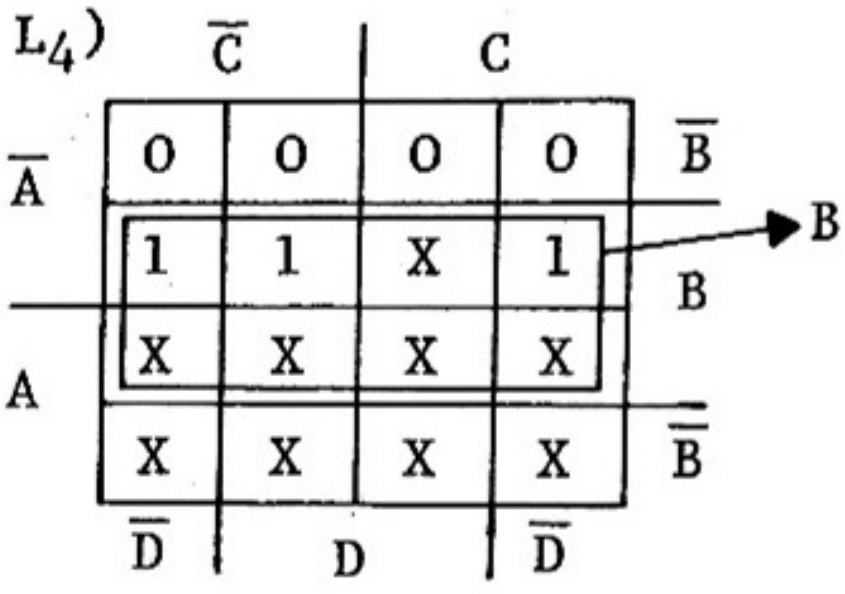
$L_1 = B+C+D$



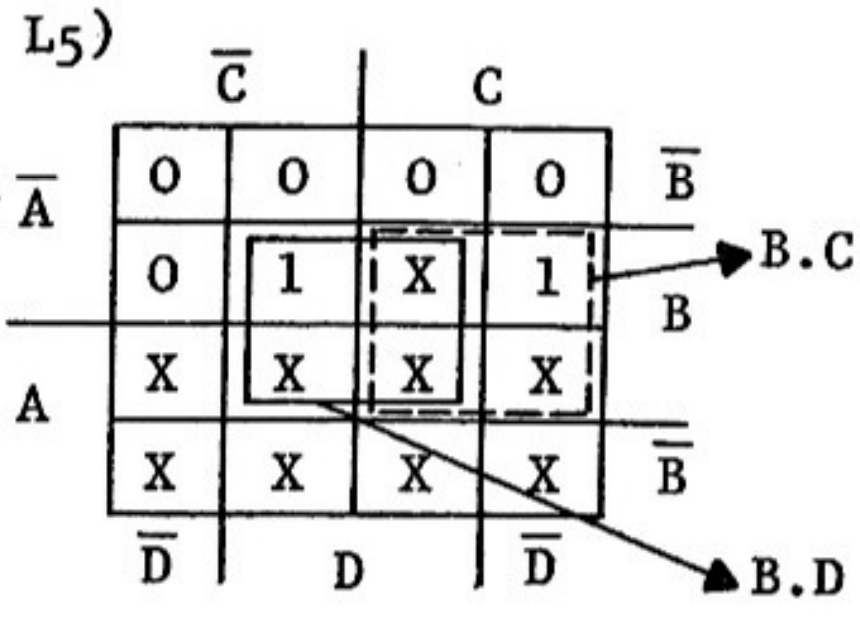
$L_2 = B+C$



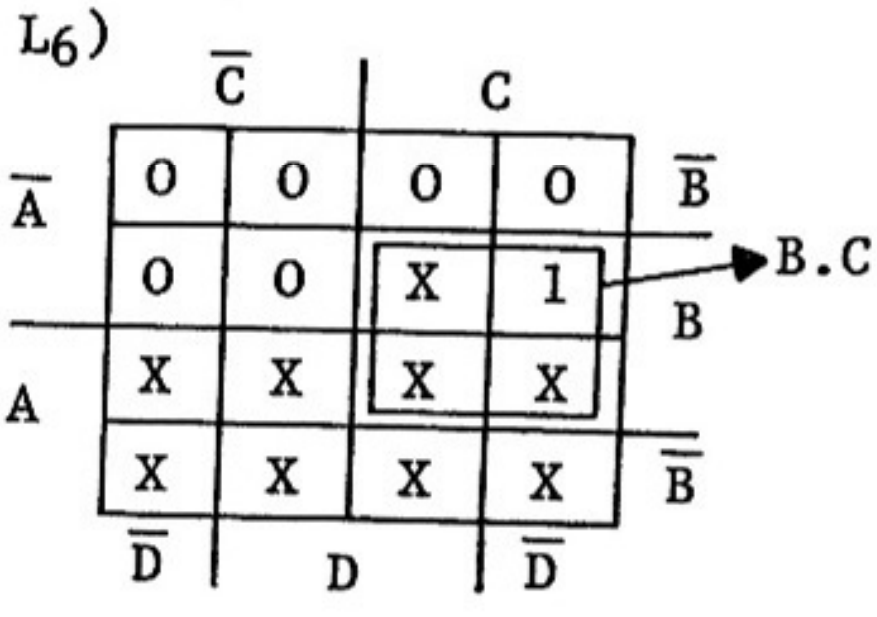
$L_3 = B+C.D$



$L_4 = B$



$L_5 = B.C+B.D$



$L_6 = B.C$

CURSOS DE APERFEIÇOAMENTO

CURSO DE
ELETRÔNICA DIGITAL E
MICROPROCESSADORES

CAIXA POSTAL 1642 - CEP 86100 - LONDRINA - PARANÁ

EXAME DA LIÇÃO ED-12

OBSERVAÇÃO

- cada questão é composta de três ou quatro alternativas.
- só uma delas está correta.
- marque a que considerar correta.
- passe as respostas corretas para a folha de exame.

O projeto abaixo refere-se a todas as questões deste exame.

Projetar um circuito que converta uma tabela de quatro variáveis no código "BCD 8421" para o código "excesso três", (qualquer duvida com respeito a estes códigos veja lição ED-3).

1) Qual alternativa está correta com relação à montagem da tabela?

   a) a tabela possui quatro variáveis de entrada e três saídas concordantes com o sistema excesso-três;

b) a tabela possui quatro variáveis de entrada e quatro saídas;

c) a tabela possui quatro variáveis de entrada e cinco saídas.

2) Qual alternativa apresenta a tabela correta?

a)

A	B	C	D	Fa	Fb	Fc
0	0	0	0	0	1	1
0	0	0	1	1	0	0
0	0	1	0	1	0	1
0	0	1	1	1	1	0
0	1	0	0	1	1	1
0	1	0	1	0	0	0
0	1	1	0	0	0	1
0	1	1	1	0	1	0
1	0	0	0	0	1	1
1	0	0	1	1	0	0

b)

A	B	C	D	Fa	Fb	Fc	Fd
0	0	0	0	0	0	0	1
0	0	0	1	0	0	0	0
0	0	1	0	0	0	1	0
0	0	1	1	0	0	1	1
0	1	0	0	0	0	1	1
0	1	0	1	0	0	1	0
0	1	1	0	0	0	0	0
0	1	1	1	0	0	0	1
1	0	0	0	1	0	0	1
1	0	0	1	1	0	0	0

c)

A	B	C	D	Fa	Fb	Fc	Fd
0	0	0	0	0	0	1	1
0	0	0	1	0	1	0	0
0	0	1	0	0	1	0	1
0	0	1	1	0	1	1	0
0	1	0	0	0	1	1	1
0	1	0	1	1	0	0	0
0	1	1	0	1	0	0	1
0	1	1	1	1	0	1	0
1	0	0	0	1	0	1	1
1	0	0	1	1	1	0	0

d)

A	B	C	D	Fa	Fb	Fc	Fd
0	0	1	1	0	0	0	0
0	1	0	0	0	0	0	1
0	1	0	1	0	0	1	0
0	1	1	0	0	0	1	1
0	1	1	1	0	1	0	0
1	0	0	0	0	1	0	1
1	0	0	1	0	1	1	0
1	0	1	0	0	1	1	1
1	0	1	1	1	0	0	0
1	1	0	0	1	0	0	1

3) Qual alternativa apresenta o preenchimento do mapa corretamente em função da saída Fa?

a)

$\overline{A}$ \ $\overline{C}$	$\overline{C}$	C	C	$\overline{B}$
$\overline{A}$		1	1	1
	x	x	x	x
A	1	1	x	x
	$\overline{D}$	D	D	$\overline{D}$

b)

$\overline{A}$ \ $\overline{C}$	$\overline{C}$	C	C	$\overline{B}$
$\overline{A}$		1	1	1
	1			
	x	x	x	x
A		1	x	x
	x	x	x	x
	$\overline{D}$	D	D	$\overline{D}$

c)

$\overline{A}$ \ $\overline{C}$	$\overline{C}$	C	C	$\overline{B}$
$\overline{A}$				
	1	1	1	1
	x	x	x	x
A	x	x	x	x
	$\overline{D}$	D	D	$\overline{D}$

d)

$\overline{A}$ \ $\overline{C}$	$\overline{C}$	C	C	$\overline{B}$
$\overline{A}$				
	1	1	1	1
	1	1	x	x
A	x	x	x	x
	$\overline{D}$	D	D	$\overline{D}$

1

4) Assinale a alternativa que contém a expressão correta em função da saída Fb:

a) $Fb = \overline{B}.C + A.\overline{B} + A.\overline{C}.\overline{D}$

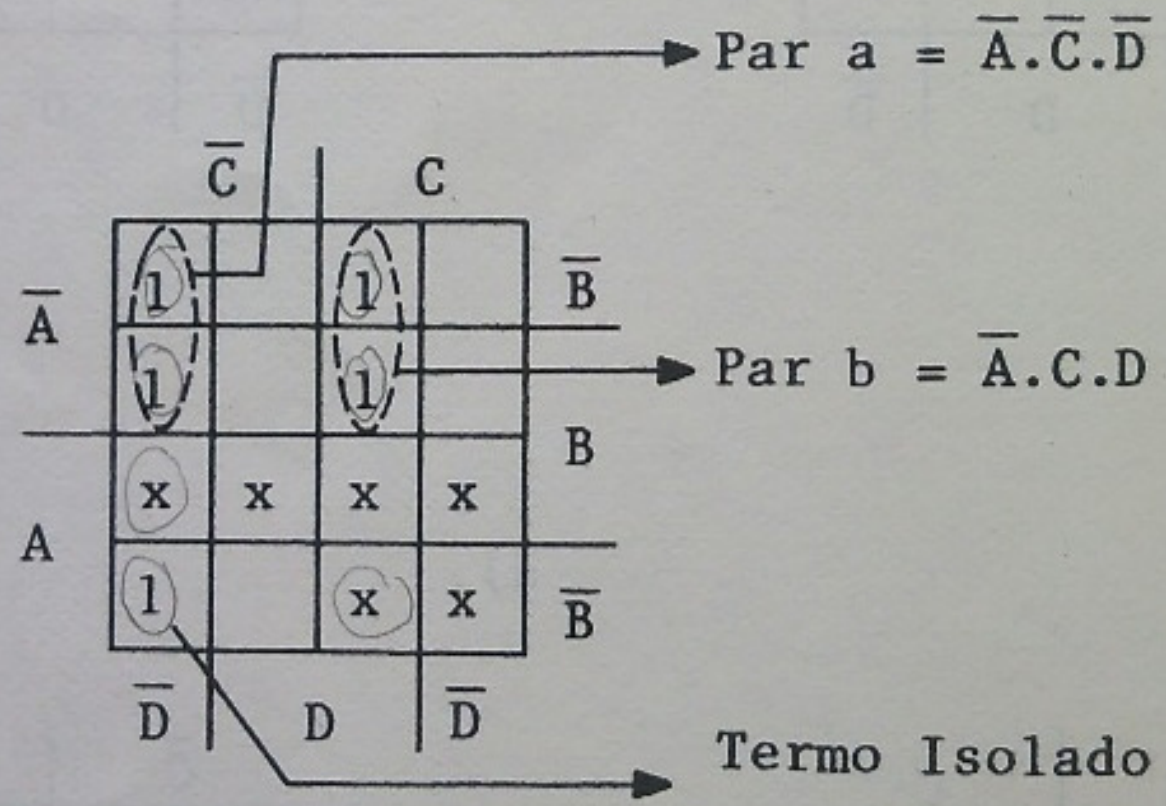
b) $Fb = B.C + \overline{B}.\overline{C} + \overline{B}.C.\overline{D}$

c) $Fb = \overline{B}.C + B.D + B.C.\overline{D}$

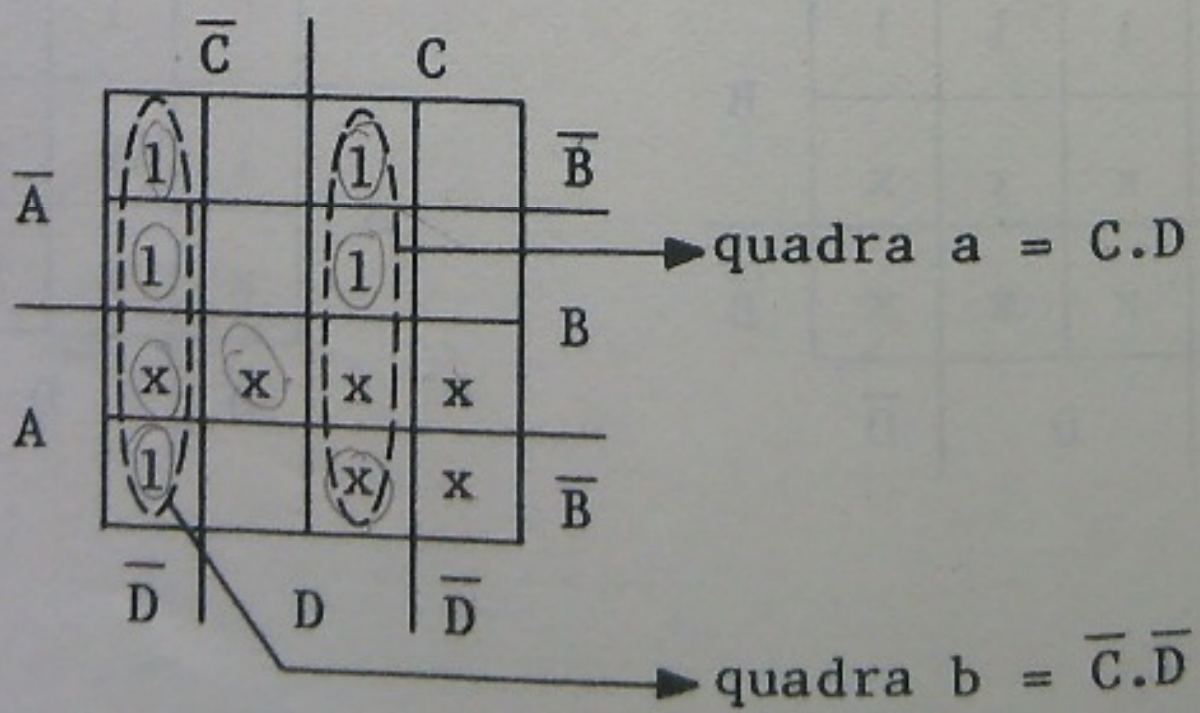
d) $Fb = \overline{B}.C + \overline{B}.D + B.\overline{C}.\overline{D}$

5) Assinale a alternativa que esteja mais correta em relação à saída Fc:

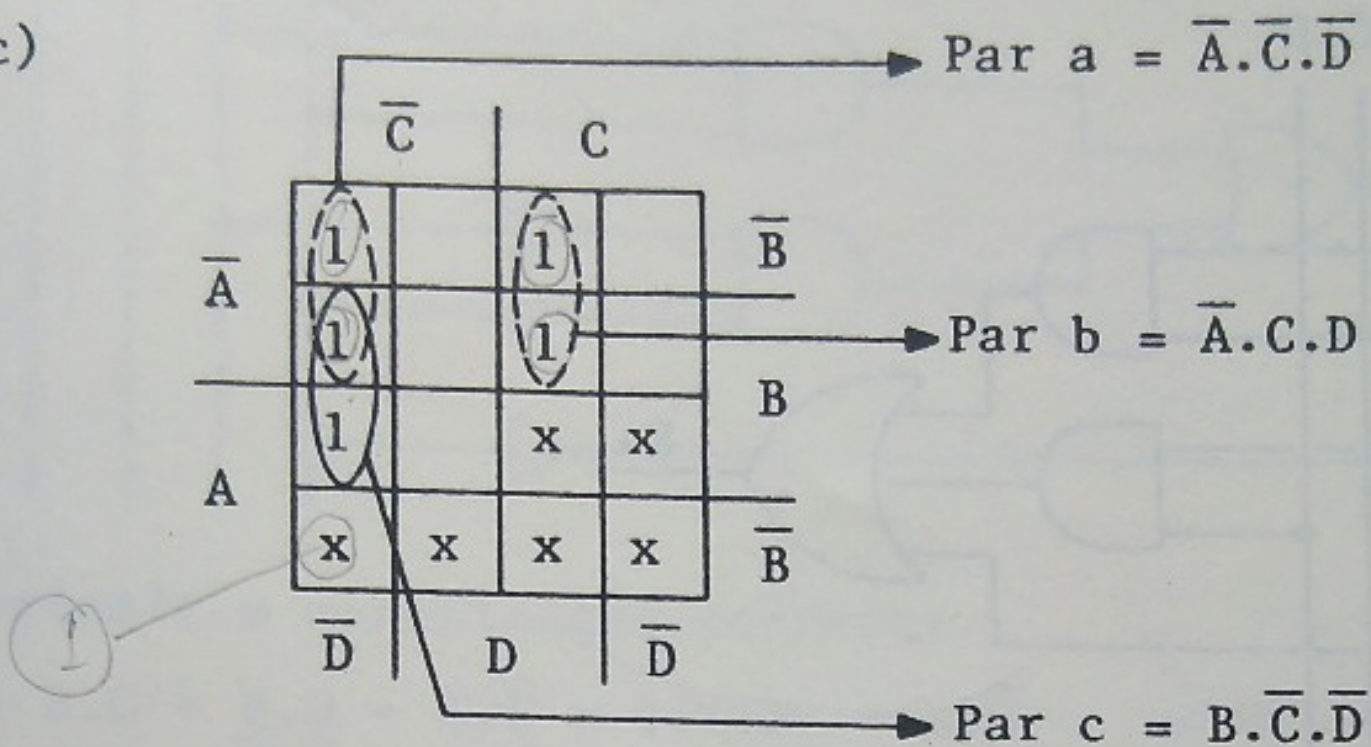
a)



b)



c)

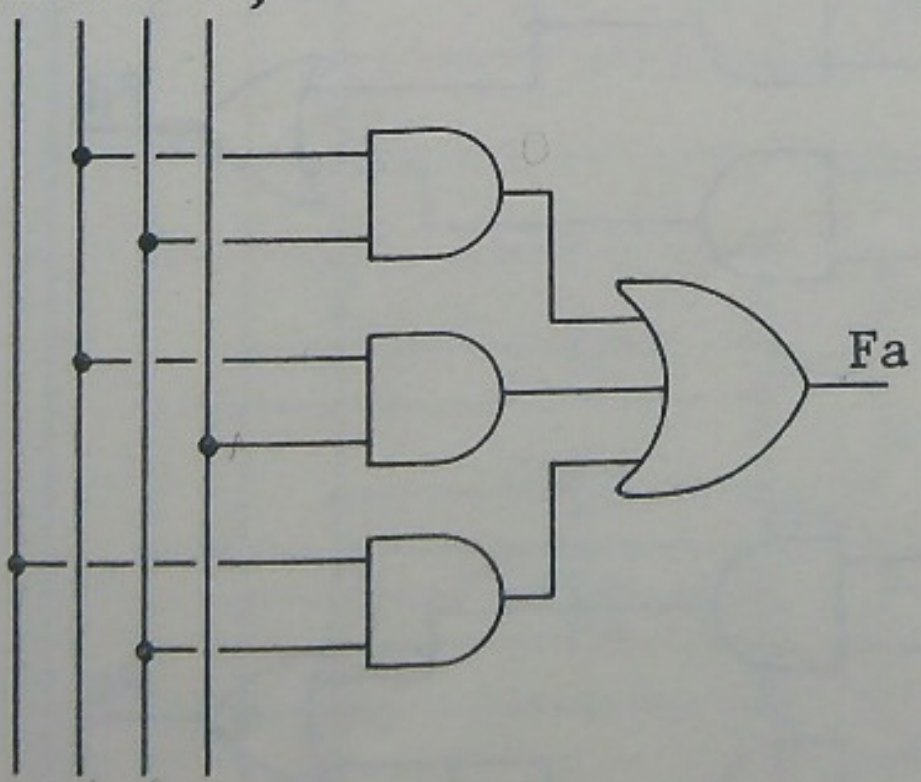


6) Assinale a alternativa que contém a expressão correta em função da saída Fd:

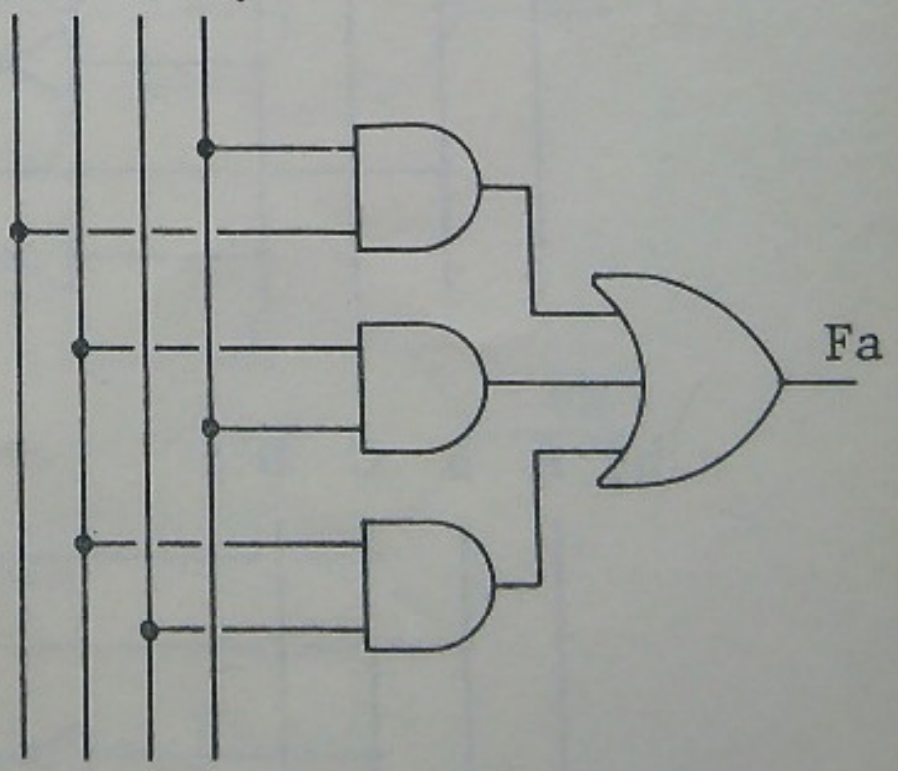
a) $Fd = \overline{D}$
b) $Fd = C.\overline{D} + C.\overline{D}$
c) $Fd = C.D + C.\overline{D}$
d) $Fd = \overline{C}.\overline{D} + \overline{C}.\overline{D}$

7) Assinale a alternativa que contém o circuito da função Fa:

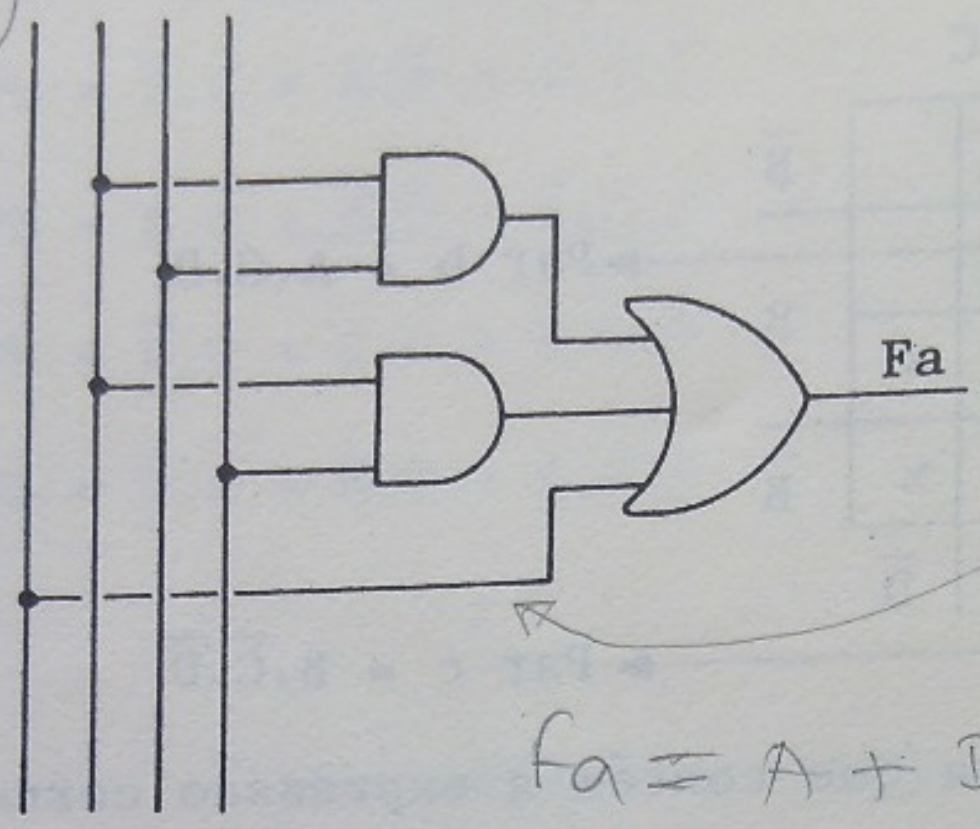
a) A B C D;



b) A B C D;

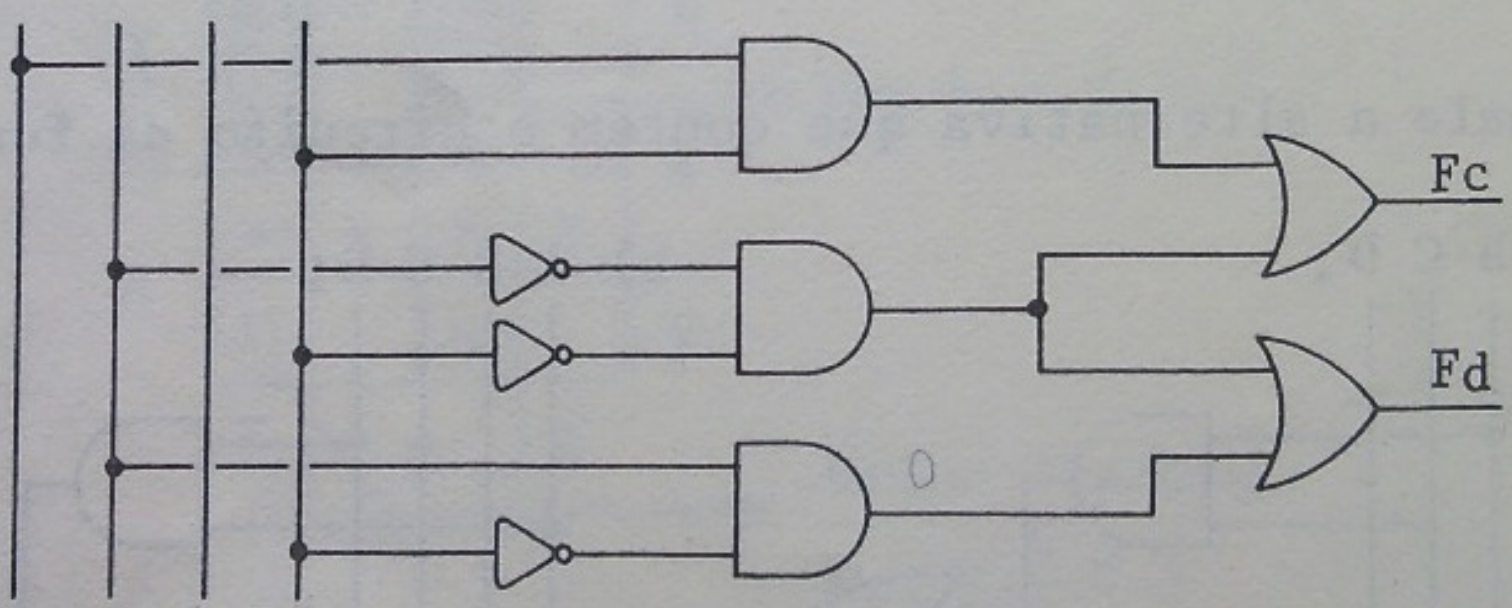


c) A B C D.

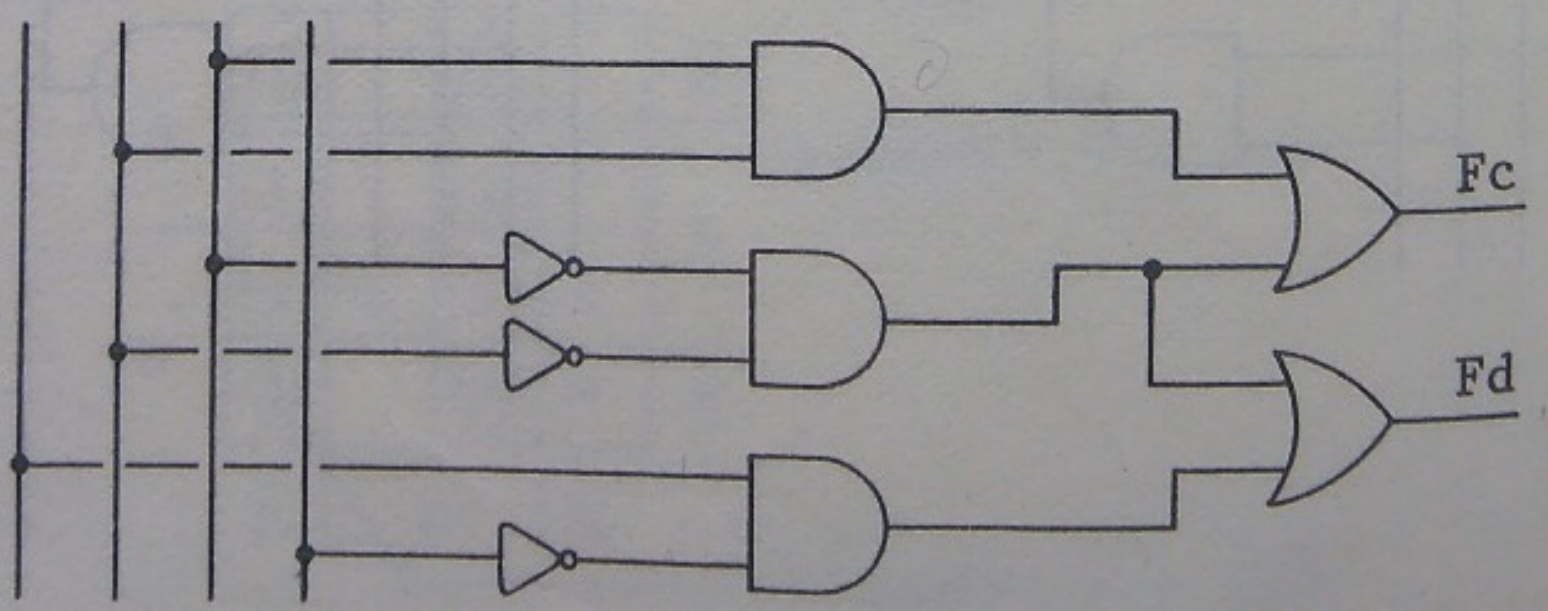


8) Assinale a alternativa que contém o circuito da função Fc em conjunto com a função Fd:

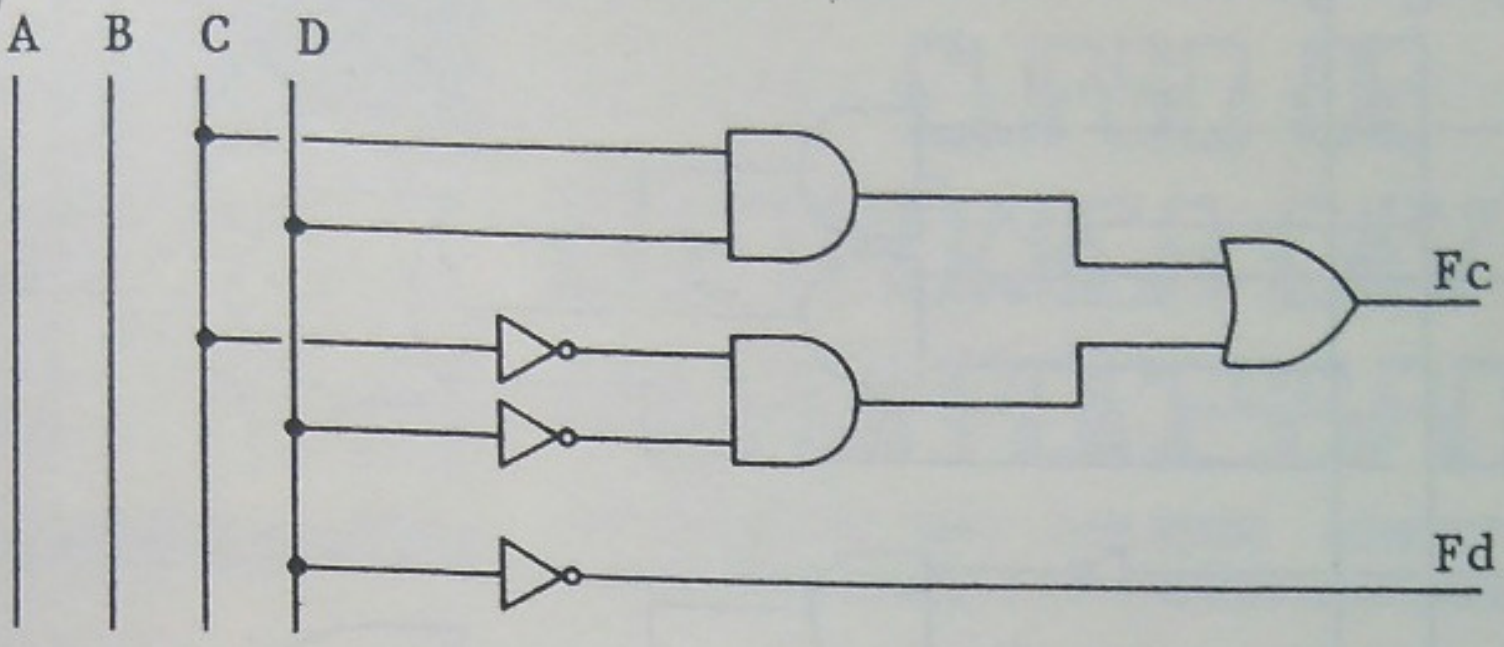
a) A B C D;



b) A B C D;



c)

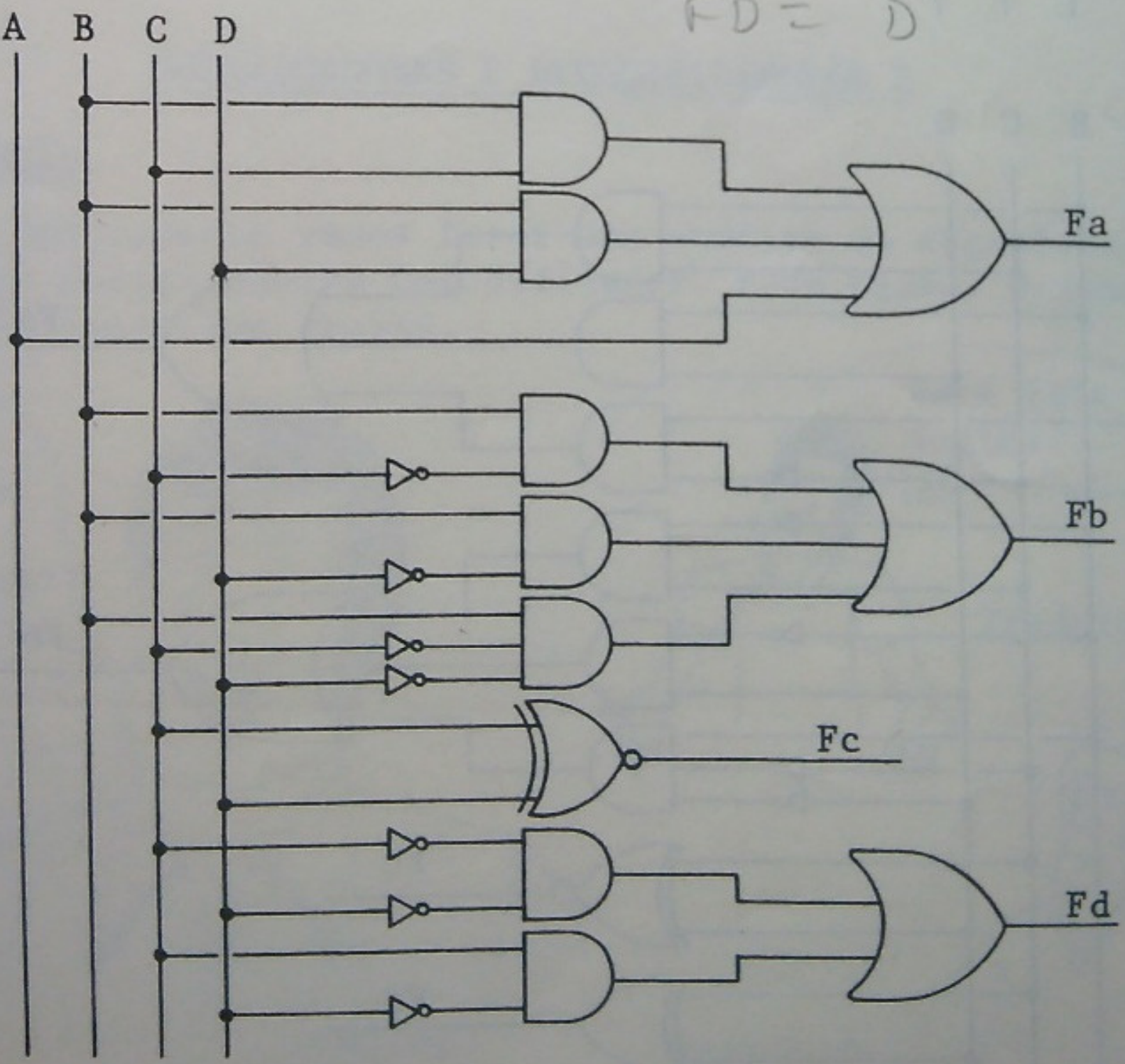


9) Assinale a minimização correta:

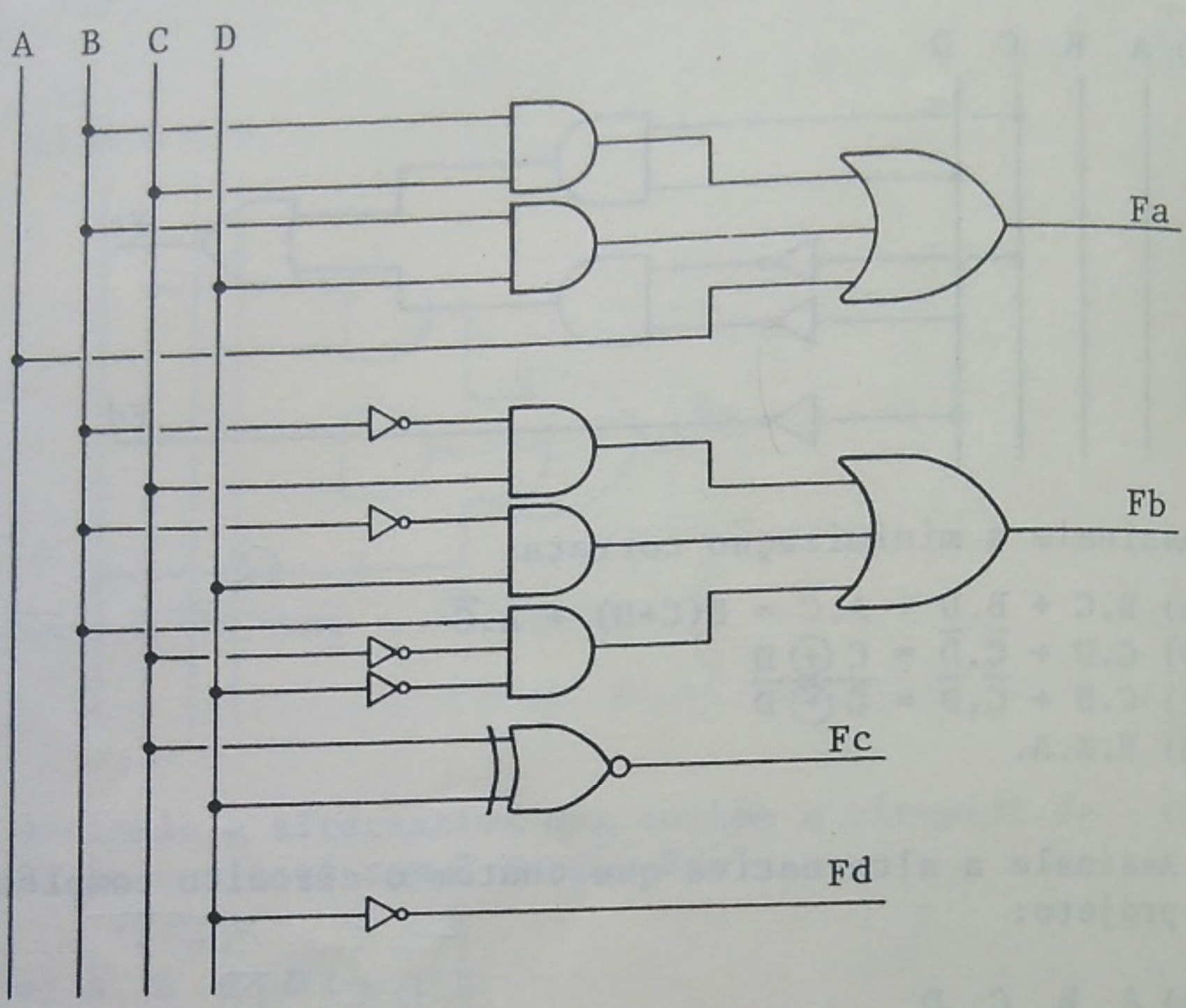
a) $B.C + \overline{B}.\overline{D} + A.\overline{C} = B(C+D) + A.\overline{C}$
b) $C.D + \overline{C}.\overline{D} = C \oplus D$
c) $C.D + \overline{C}.\overline{D} = \overline{C \oplus D}$
d) N.R.A.

10) Assinale a alternativa que contém o circuito completo do projeto:

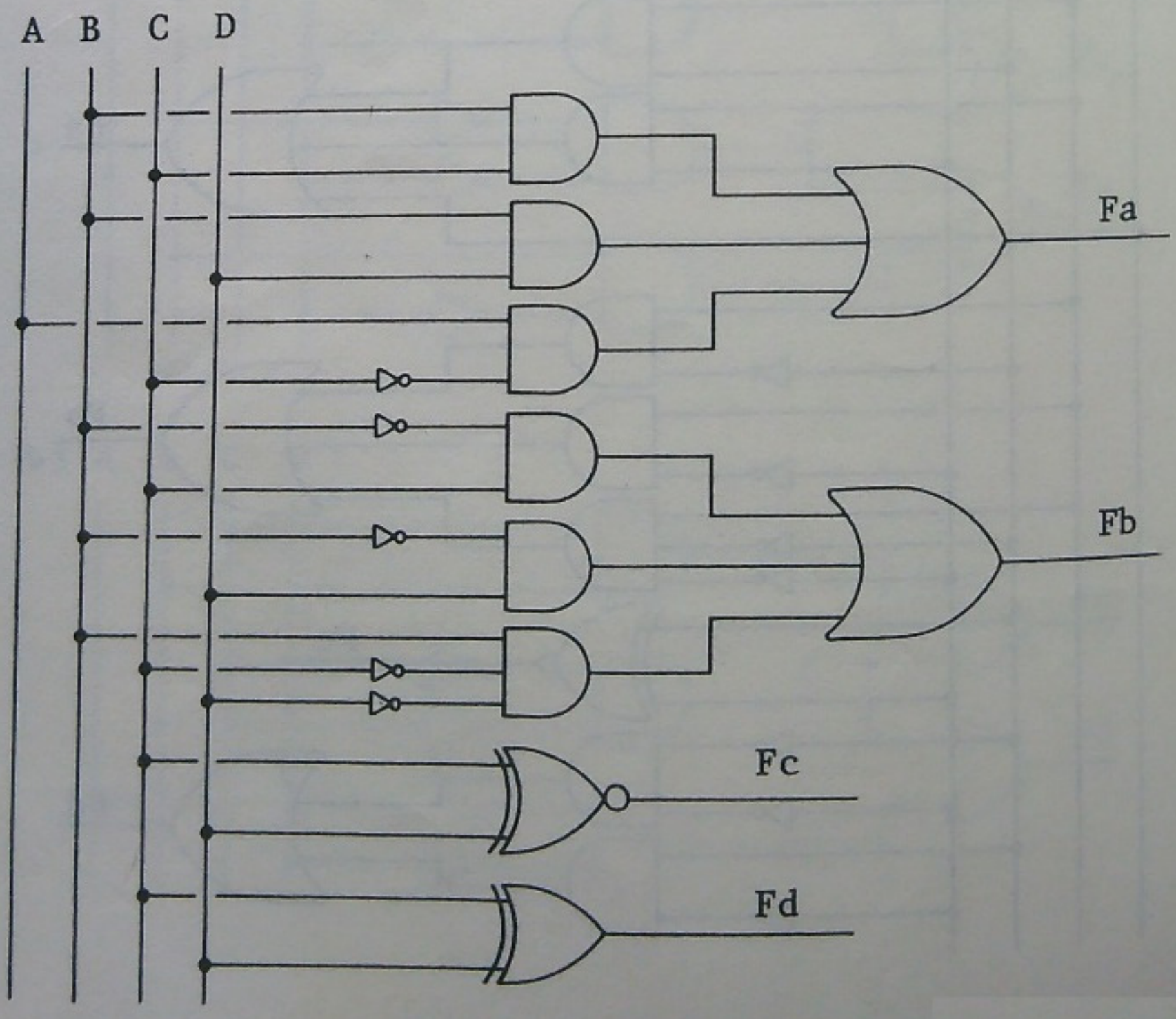
a)



b)



c)



CEDM
CURSOS DE APERFEIÇOAMENTO

CURSO DE
ELETRÔNICA DIGITAL E
MICROPROCESSADORES

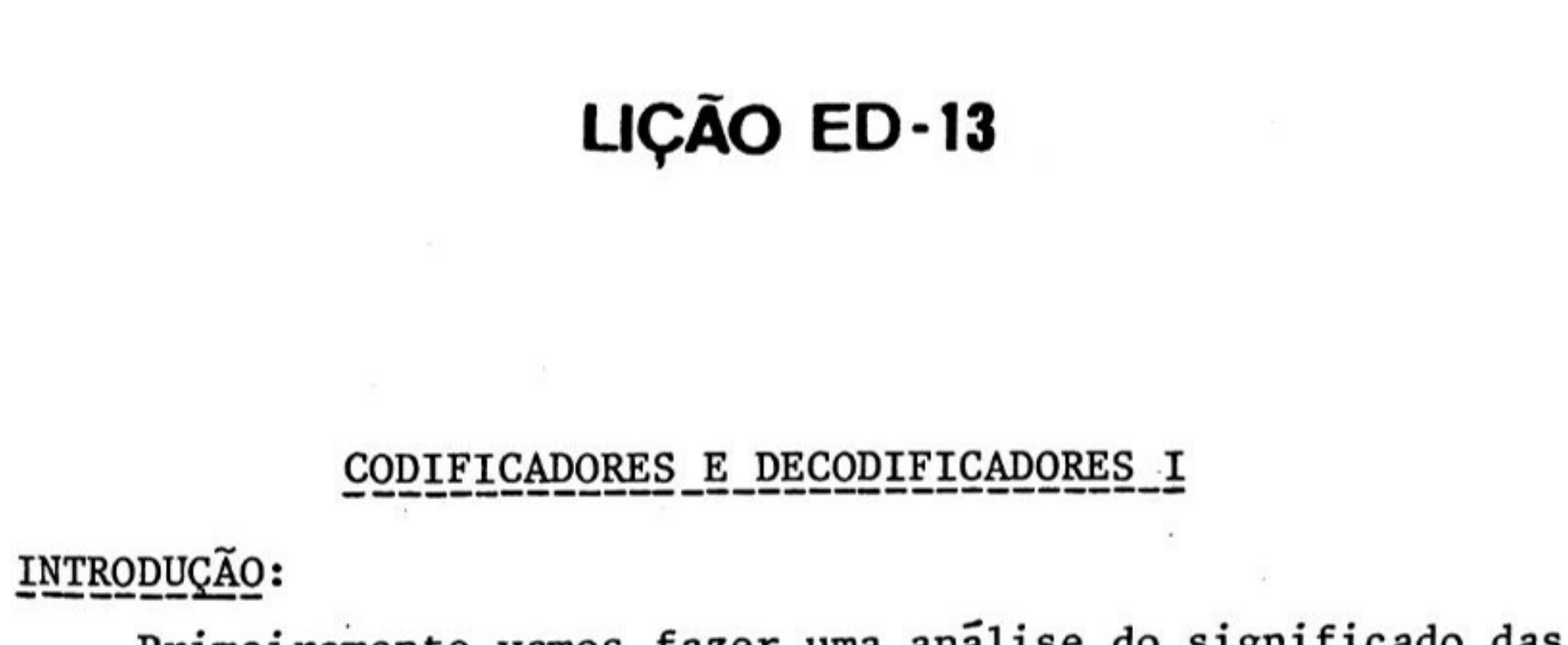
CAIXA POSTAL 1642 - CEP 86100 - LONDRINA - PARANÁ

LIÇÃO ED-13

CODIFICADORES E DECODIFICADORES I

INTRODUÇÃO:

Primeiramente vamos fazer uma análise do significado das palavras Codificador e Decodificador. Para tanto, vejamos a situação ilustrada abaixo.



Se tomarmos a pessoa de idioma inglês como referência, o tradutor será um codificador, pois está transformando uma linguagem conhecida sua numa outra, no caso, o português; e se tomarmos a pessoa de idioma português como referência,o mesmo tradutor será um Decodificador, pois está transformando uma linguagem desconhecida (Inglês), em uma linguagem conhecida (Português).

Podemos então concluir que a diferença entre os dois termos: codificador e decodificador é apenas uma questão referencial.

Para o nosso estudo, iremos verificar que os codificadores são exatamente o oposto dos decodificadores. Enquanto os Codificadores geram os códigos os Decodificadores simplesmente identificam códigos específicos.

Assim como, na situação acima, houve a necessidade de um tradutor para que a conversação ocorresse entre o Inglês e o Português, muitos outros sistemas necessitam da decodificação da informação. Pois, enquanto computadores e outros circuitos lógicos operam em uma forma de código binário, o homem prefere trabalhar em código decimal. Daí portanto a necessidade de converter-se a informação representada pelas palavras - digitalizadas em linguagem de máquina (Assembler).

DECODIFICADORES:

Trata-se de um circuito lógico combinacional,que detecta a presença de um número ou palavra binária particular. A entrada do Decodificador é um número binário paralelo e a saída é um sinal binário, o qual identificará a presença ou a ausência daquele número particular.

· Basicamente o circuito Decodificador é uma porta "E". Como já sabemos, de lições anteriores, a saída de uma porta "E" é 1 binário, se todas as suas entradas estão em 1 binário. Conectando-se as entradas de uma porta "E" à fonte de dados, a presença de qualquer número binário pode ser detectada quando a saída for 1 binário.

A figura 1 mostra,como exemplo, uma porta "E" de duas entradas usadas para detectar a presença do número binário de dois bits 01. A tabela verdade, junto da figura 1, mostra o

funcionamento do circuito, ou seja, quando o número de entrada for 01, a saída "C" é 1 binário. Para todas as outras combinações da entrada (A e B) a saída é 0 binário. O número a ser detectado consiste, portanto, de dois bits, A e B, o B sendo o bit menos significativo (LSB). Note que, quando A é 0 e B é 1, ambas as entradas da porta "E" estão altas e a saída "C" é 1 binário, indicando a presença do número desejado. O inversor na entrada A faz com que a entrada superior da porta "E" seja 1 binário, quando a entrada A for 0. Como já dissemos anteriormente, para qualquer outra combinação de bits na entrada, a saída do decodificador será o binário.

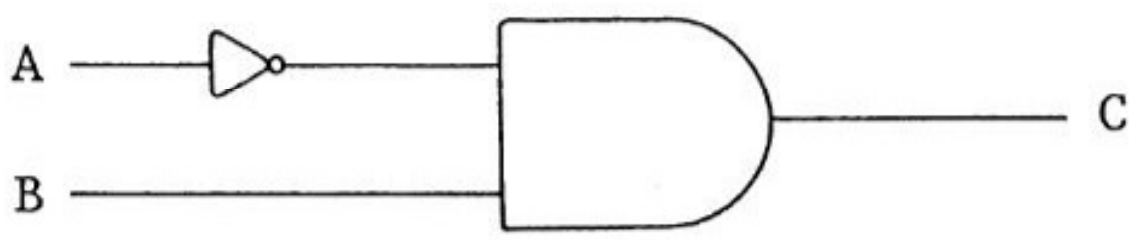


FIGURA 1

A	B	C
0	0	0
0	1	1
1	0	0
1	1	0

Porta "E" de duas entradas (A e B), usada para detectar o número 01.

A partir da tabela verdade ou do circuito, podemos escrever a equação de saída, ou seja:

$$C = \overline{A}.B.$$

Independentemente do tamanho da palavra binária, uma porta "E" pode ser usada para detectar a presença de qualquer número binário, desde que o número de entrada da porta "E" seja igual ao número de bits da palavra binária.

Sabe-se que uma palavra binária simples de N dígitos de comprimento pode representar 2^n elementos diferentes de informações. Por exemplo, para uma palavra de 2 bits, teremos um subconjunto com quatro desses elementos de informações, cada um representando um dos estados binários da palavra, ou seja, 00, 01, 10 e 11. Embora, em algumas situações, deva ser reco-

nhecida apenas a presença de uma única palavra, na maioria das situações requer a detecção de todos estados possíveis de serem representados pela palavra binária de entrada. Um decodificador prático deve reconhecer a presença ou existência de cada um desses estados. Se representarmos cada estado binário por uma letra, por exemplo, W, X, Y e Z, estas letras correspondem às quatro saídas de um decodificador com duas entradas (A e B). Construindo-se o mapa de Karnaugh para cada designação de estado, poderemos escrever a expressão booleana para cada um dos estados. Então vejamos:

	$\overline{B}$	B
$\overline{A}$	W	X
A	Y	Z

Matriz de referência (Decodificador de 2 bits).

	$\overline{B}$	B
$\overline{A}$	1	0
A	0	0

$W = \overline{A}.\overline{B}$

Mapa de Karnaugh para o estado W.

	$\overline{B}$	B
$\overline{A}$	0	1
A	0	0

$X = \overline{A}.B$

Mapa de Karnaugh para o estado X.

	$\overline{B}$	B
$\overline{A}$	0	0
A	1	0

$Y = A.\overline{B}$

Mapa de Karnaugh para o estado Y.

	$\overline{B}$	B
$\overline{A}$	0	0
A	0	1

$Z = A.B$

Mapa de Karnaugh para o estado Z.

O mapa de Karnaugh para o estado W nos permite verificar que ocorre a saída W (1), se ambas as entradas A e B forem (0) binário. Baseados neste fato, podemos escrever a ex-

pressão booleana para a saída W:

$$W = \overline{A}.\overline{B}$$

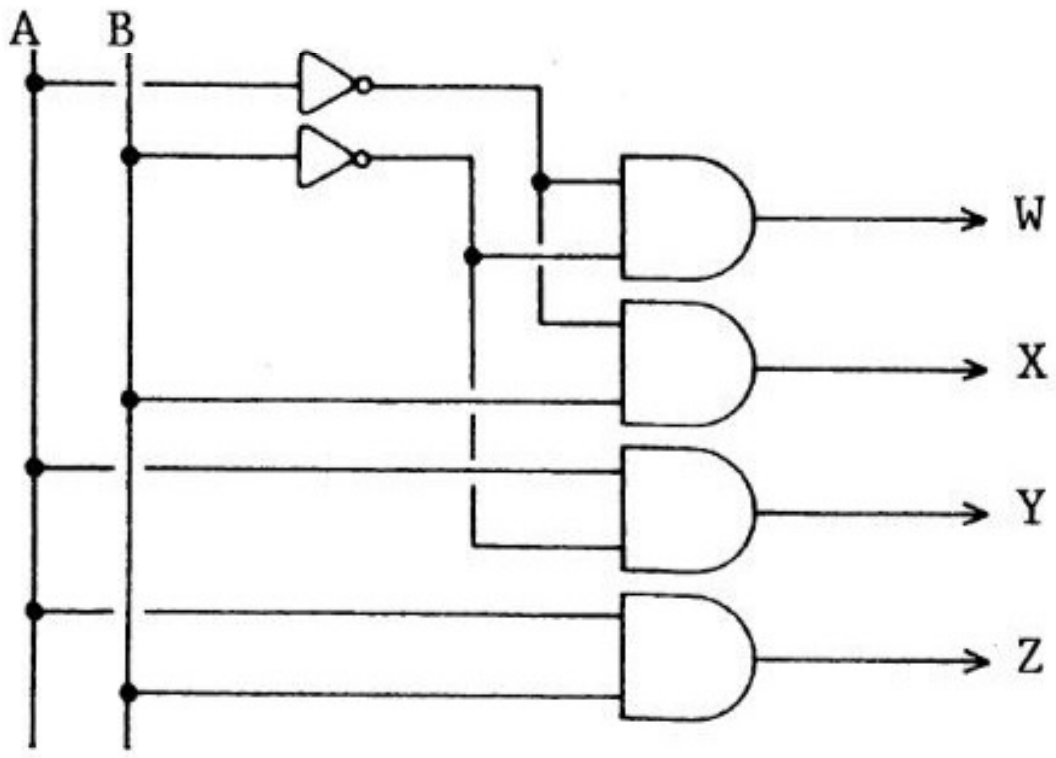
Analogamente, obteremos as expressões booleanas para os outros 3 estados:

$$X = \overline{A}.B$$

$$Y = A.\overline{B}$$

$$Z = A.B$$

Tendo já determinado as expressões booleanas para W, X, Y e Z, podemos, então, executar o circuito:



A	B	W	X	Y	Z
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

FIGURA 2

Decodificador de 2 - para - 4 linhas

Quando se tratar de decodificação simples, não é necessário construir os mapas de Karnaugh para cada estado, como foi feito anteriormente. Como exemplo, vamos estudar a decodificação de uma palavra de 3 bits. Primeiramente construímos a matriz de referência.

Z^n, $N = 3$ } teremos 8 estados binários (Q, R, S, T, U, V, W, X).

Então:

	$\overline{B}$		B	
$\overline{A}$	Q	R	T	S
A	U	V	X	W
	$\overline{C}$	C		$\overline{C}$

Basta, portanto, determinarmos a expressão booleana para cada estado. Como a designação de cada estado é única,podemos escrever diretamente, pela simples inspeção da matriz de referência. A saída X assume valor lógico 1 apenas para:

A = B = C = 1

Logo, a expressão booleana será:

X = A.B.C

As demais expressões extraídas da matriz de referência são:

$Q = \overline{A} \cdot \overline{B} \cdot \overline{C}$

$R = A \cdot \overline{B} \cdot \overline{C}$

$S = \overline{A} \cdot B \cdot \overline{C}$

$T = \overline{A} \cdot B \cdot C$

$U = A \cdot \overline{B} \cdot \overline{C}$

$V = A \cdot \overline{B} \cdot C$

$W = A \cdot B \cdot \overline{C}$

$X = A \cdot B \cdot C$

Executando-se o circuito, teremos:

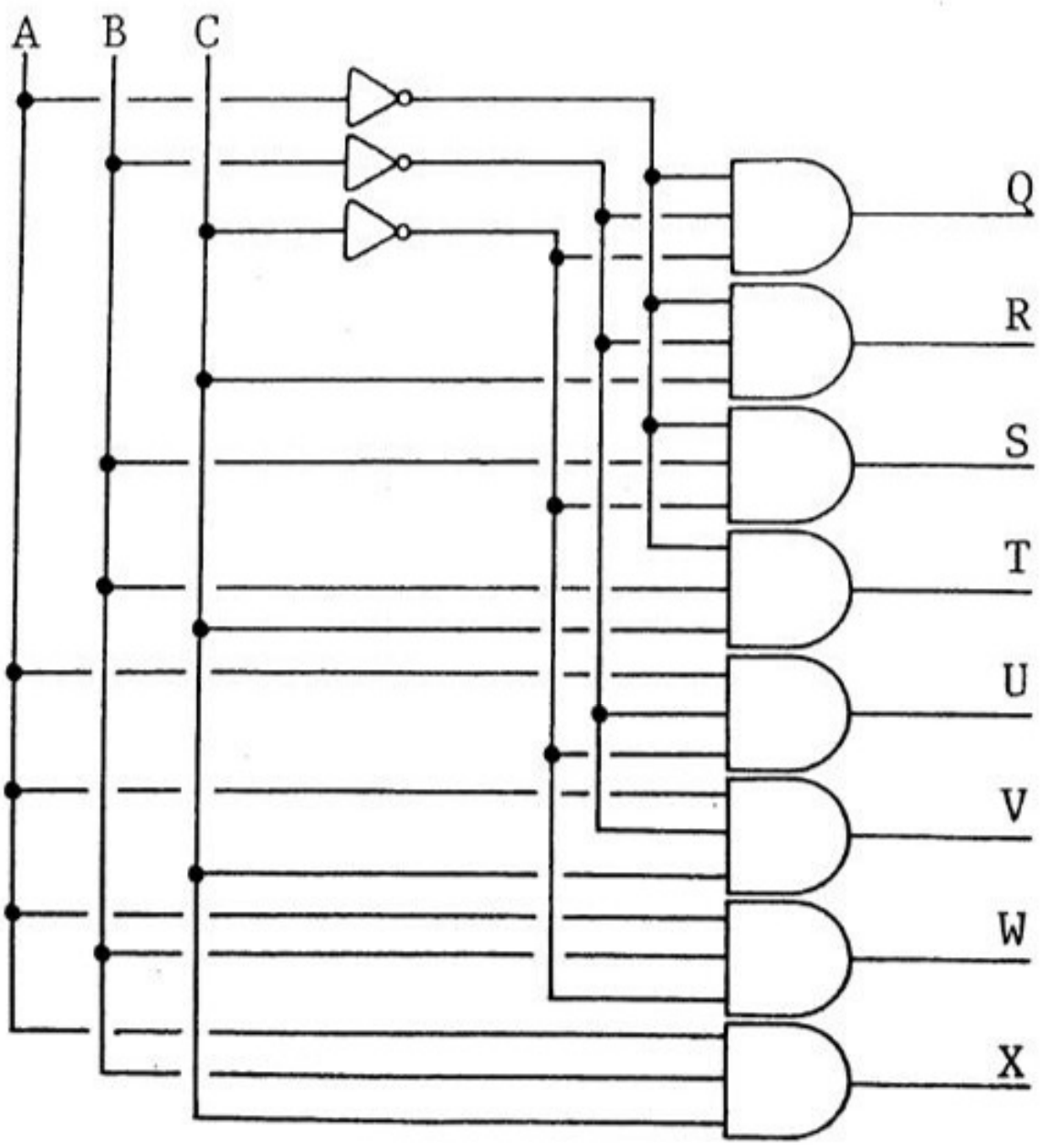


FIGURA 3

A	B	C	Q	R	S	T	U	V	W	X
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

Para o mesmo circuito apresentado na figura 3, ao invés de usarmos portas "E" com 3 entradas, as mesmas equações poderiam ter sido implementadas, usando-se portas "NÃO E" de $\overline{3}$ entradas.

porta"NÃO E" com 3 entradas

DECODIFICADOR: BCD 8421 p/ 9876543210

Em se tratando de aplicações dos Decodificadores, uma das mais comuns é a conversão binária para decimal. O código BCD (do inglês binary-coded decimal) é um código ponderado uma vez que o dígito decimal no código 8421 é igual à soma - dos produtos dos dígitos na palavra codificada vezes as potências sucessivas de dois, começando pelo dígito da direita.

A entrada para o Decodificador deverá ser um número paralelo de 4 bits,que represente os dígitos BCD de 0000 até 1001. Para observar e decodificar os dez estados de saídas possíveis, de 0 a 9, usam-se 10 portas "E". A saída deste decodificador normalmente é ligada a um display de números decimais. Ao se aplicar um número BCD a este decodificador, uma das 10 (dez) linhas de saída vai para o nível alto, indicando a presença daquele número BCD específico. Se ao invés de utili

zarmos portas "E", usarmos portas "NÃO E", quando todas as entradas de uma porta "NÃO E" estiverem em 1 binário, sua saída será o 0 binário. Daí o fato de que, para este decodificador, todas as saídas das portas serão altas, mesmo aquela que estiver decodificando um estado de entrada particular. Para melhor compreendermos o seu funcionamento, montaremos a tabela verdade de um circuito decodificador, onde a entrada são bits do código BCD 8421 e as saídas são os respectivos bits do código 9876543210.

Nº	ENTRADA (BCD)				SAÍDA DECIMAL									
	A	B	C	D	0	1	2	3	4	5	6	7	8	9
0	0	0	0	0	0	1	1	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1	1	1
2	0	0	1	0	1	1	0	1	1	1	1	1	1	1
3	0	0	1	1	1	1	1	0	1	1	1	1	1	1
4	0	1	0	0	1	1	1	1	0	1	1	1	1	1
5	0	1	0	1	1	1	1	1	1	0	1	1	1	1
6	0	1	1	0	1	1	1	1	1	1	0	1	1	1
7	0	1	1	1	1	1	1	1	1	1	1	0	1	1
8	1	0	0	0	1	1	1	1	1	1	1	1	0	1
9	1	0	0	1	1	1	1	1	1	1	1	1	1	0
10	1	0	1	0	1	1	1	1	1	1	1	1	1	1
11	1	0	1	1	1	1	1	1	1	1	1	1	1	1
12	1	1	0	0	1	1	1	1	1	1	1	1	1	1
13	1	1	0	1	1	1	1	1	1	1	1	1	1	1
14	1	1	1	0	1	1	1	1	1	1	1	1	1	1
15	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Irrelevante

Para o código BCD 8421 temos ($2^4 = 16$), 16 possibilidades (estados). O código 9876543210 não nos mostra a lei de

formação para números maiores que 9. Daí o fato de que, para o código BCD 8421, pouco importa o valor assumido pelas possibilidades excedentes, visto que, ao passarmos para o código 9876543210, essas possibilidades excedentes tornam-se irrelevantes.

Continuando, da tabela verdade, podemos extrair as seguintes expressões booleanas:

$S_0 = \overline{A}.\overline{B}.\overline{C}.\overline{D}$ Equações de controle

$S_1 = \overline{A}.\overline{B}.\overline{C}.D$

$S_2 = \overline{A}.\overline{B}.C.\overline{D}$

$S_3 = \overline{A}.\overline{B}.C.D$

$S_4 = \overline{A}.B.\overline{C}.\overline{D}$

$S_5 = \overline{A}.B.\overline{C}.D$

$S_6 = \overline{A}.B.C.\overline{D}$

$S_7 = \overline{A}.B.C.D$

$S_8 = A.\overline{B}.\overline{C}.\overline{D}$

$S_9 = A.\overline{B}.\overline{C}.D$

A figura 4 nos mostra o circuito deste decodificador.

Como já foi dito anteriormente, os estados 1010, 1011, 1100, 1101, 1110 e 1111 não são incluídos no código BCD 8421, sendo, portanto, considerados como entrada falsa de dados. Como todos os estados são decodificados de forma explícita, ao se levar um dado falso a uma das entradas, todas as saídas deste decodificador serão falsas (ou 1).

O Decodificador que veremos a seguir também é conhecido como Decodificador BCD - Decimal com rejeição de dados falsos.

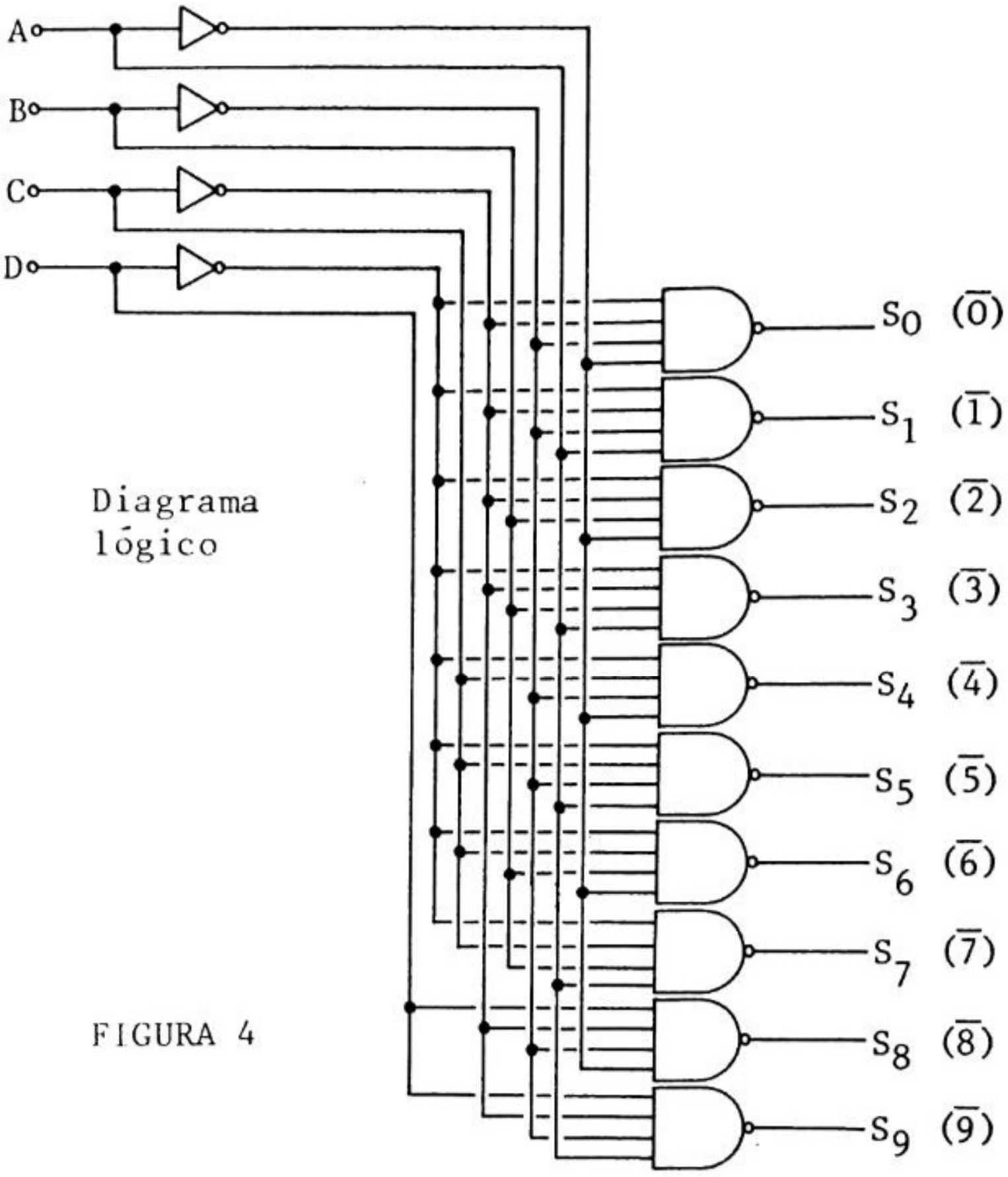
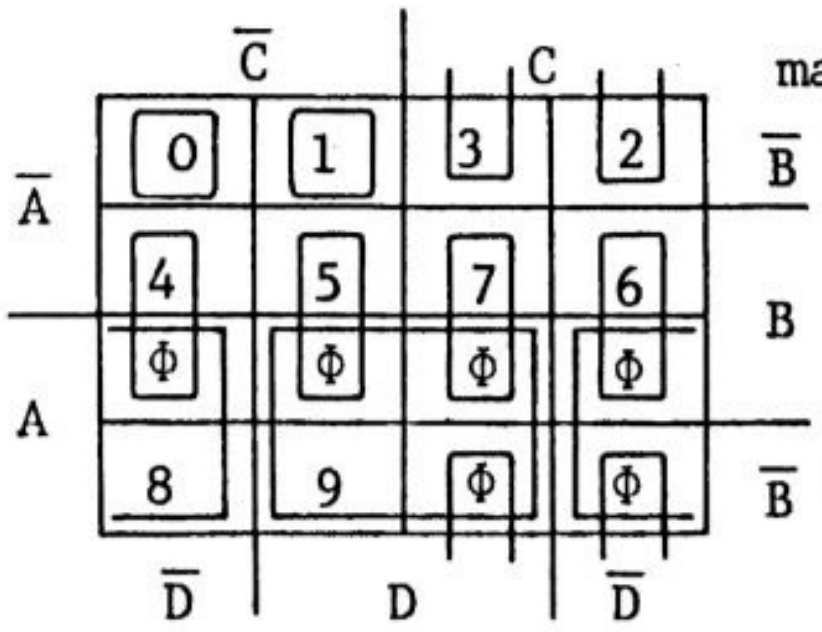


Diagrama lógico

FIGURA 4

O mesmo circuito lógico pode ser melhorado de modo que não venha a rejeitar as entradas falsas de dados. Isto é feito minimizando-se os requisitos de faixa de entradas das portas "NÃO E". Para a mesma tabela verdade apresentada logo atrás, vamos agora montar o mapa de Karnaugh ou matriz de referência e escrever as novas equações de controle:



matriz de referência

Φ irrelevante

Equações de controle:

$S_0 = \overline{A}.\overline{B}.\overline{C}.\overline{D}$

$S_1 = \overline{A}.\overline{B}.\overline{C}.D$

$S_2 = \overline{B}.C.\overline{D}$

$S_3 = \overline{B}.C.D$

$S_4 = B.\overline{C}.\overline{D}$

$S_5 = B.\overline{C}.D$

$S_6 = B.C.\overline{D}$

$S_7 = B.C.D$

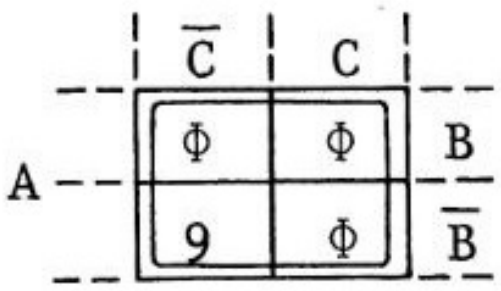
$S_8 = A.\overline{D}$

$S_9 = A.D$

Cada número decimal colocado no interior das células agrupou o maior número possível de combinações opcionais irrelevantes (ϕ)

Por exemplo:

nº 9



$9 = A.D$

Assim sendo, teremos o seguinte circuito:

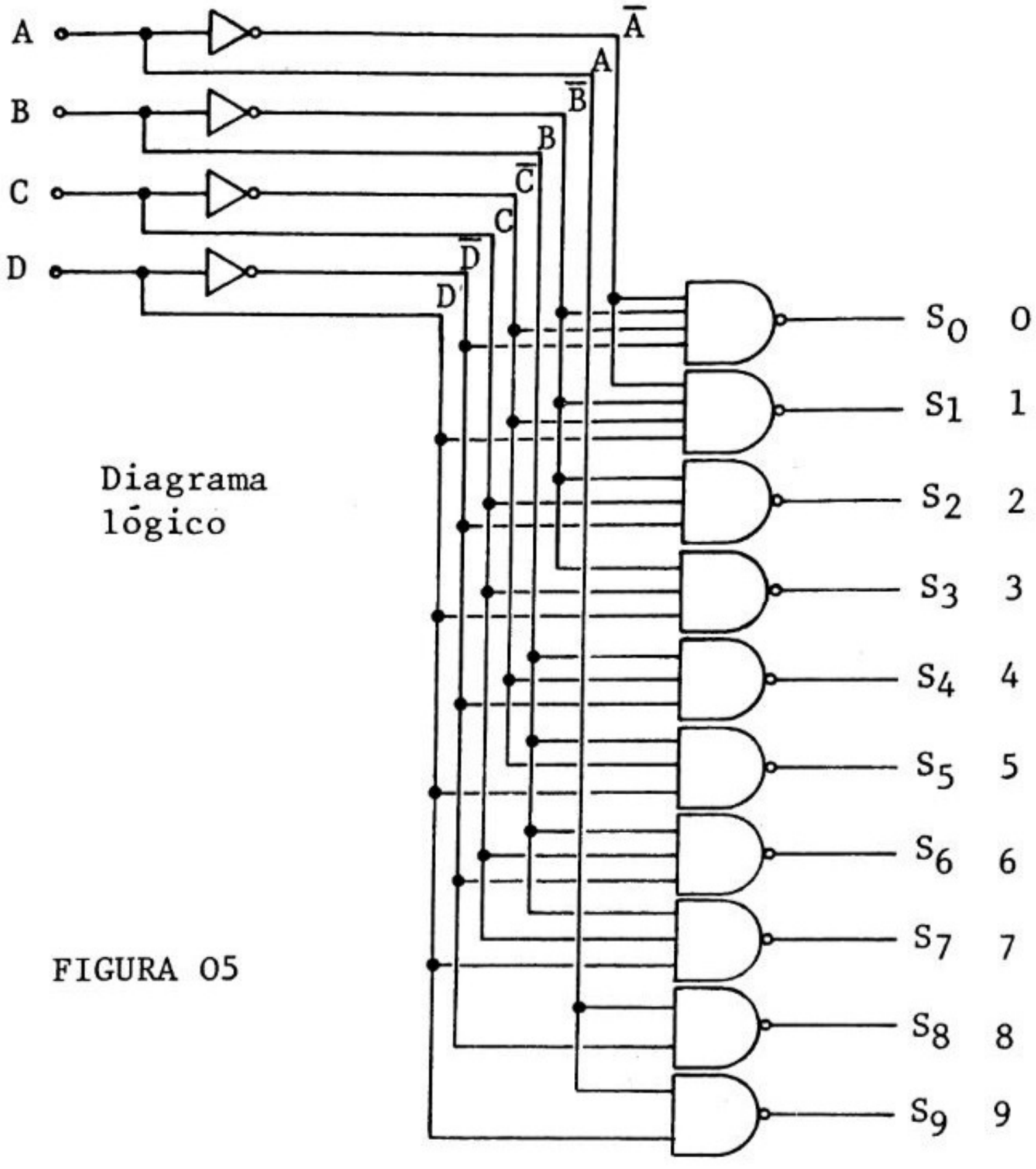


Diagrama lógico

FIGURA 05

Em muitos casos é desejável que o desacoplamento dos estados de entrada se faça apenas dentro de um certo intervalo de tempo. Deste modo, quaisquer dados,que ocorram nas entradas do circuito decodificador durante certos intervalos de tempo,são rejeitados. Como obtê-los? Simples, basta acrescentar uma entrada de comando de transferência à matriz de decodificação. Quando o comando for falso, a decodificação não será realizada. Existem muitas técnicas diferentes de comando de transferência, que são usadas, dependendo da matriz decodificadora rejeitar ou não dados falsos.

Apenas,a título de exemplo,a figura 6 nos mostra um cir-

cuito de comando de transferência para o decodificador BCD-para-decimal com rejeição de dados falsos.

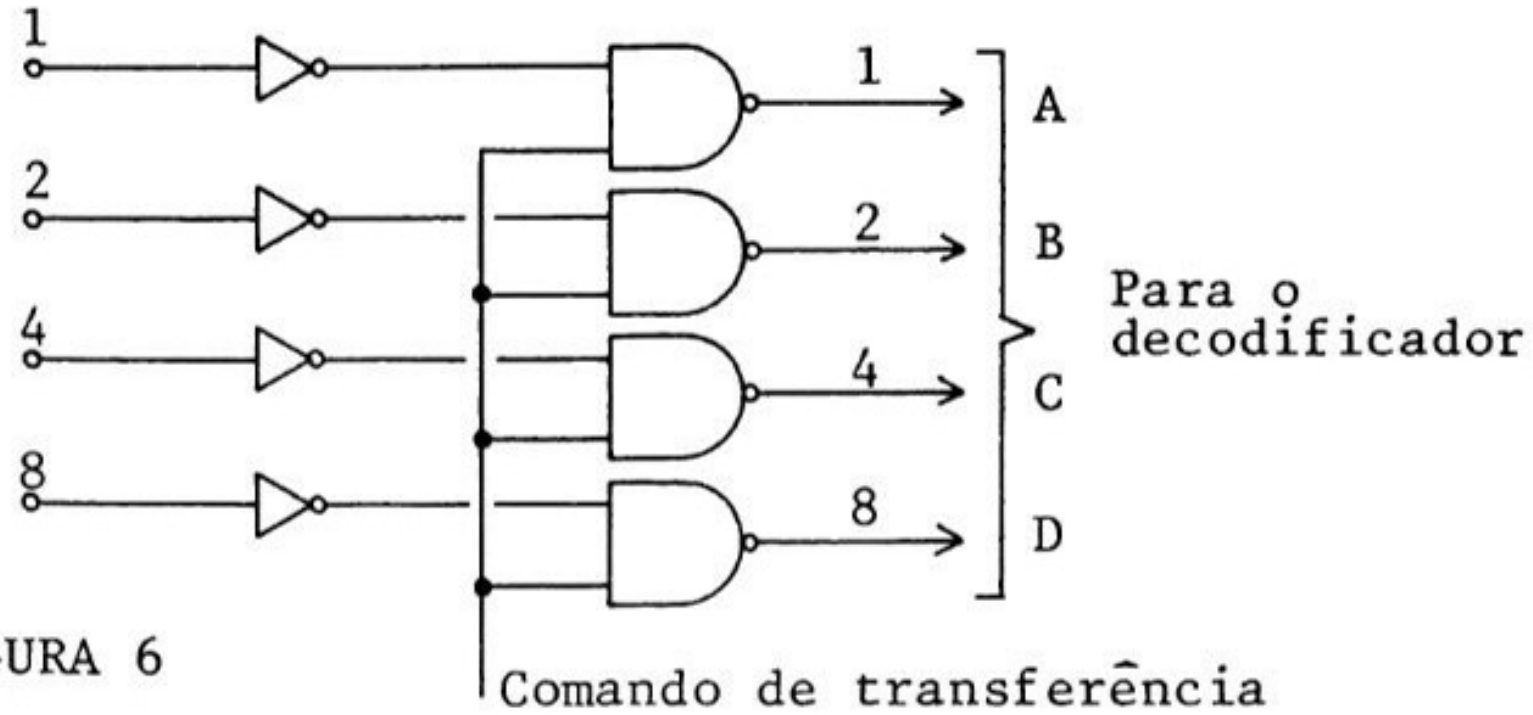


FIGURA 6

Através deste método, realmente o dado falso (1111) entra no decodificador. A matriz rejeita esta entrada e as saídas (todas elas) permanecem falsas.

Como já foi dito, existe uma gama variada de circuitos de comando de transferência que serão vistos de acordo com as necessidades do nosso curso.

DECODIFICADOR BCD 8421 PARA EXCESSO 3

Do mesmo modo que procedemos anteriormente, vamos agora montar a tabela verdade (figura 7) de um circuito decodificador, onde a entrada são bits do código BCD 8421 e as saídas são os respectivos bits do código Excesso 3.

Veja que o código Excesso 3,aqui utilizado,é para representar até o algarismo 9. As representações dos algarismos de 10 a 15 não ocorreram (1010, 1011, 1100, 1101, 1110 e 1111), logo, para estas condições a resposta torna-se irrelevante.

BCD 8421				EXCESSO 3			
A	B	C	D	S_3	S_2	S_1	S_0
0	0	0	0	0	0	1	1
0	0	0	1	0	1	0	0
0	0	1	0	0	1	0	1
0	0	1	1	0	1	1	0
0	1	0	0	0	1	1	1
0	1	0	1	1	0	0	0
0	1	1	0	1	0	0	1
0	1	1	1	1	0	1	0
1	0	0	0	1	0	1	1
1	0	0	1	1	1	0	0
1	0	1	0	ϕ	ϕ	ϕ	ϕ
1	0	1	1	ϕ	ϕ	ϕ	ϕ
1	1	0	0	ϕ	ϕ	ϕ	ϕ
1	1	0	1	ϕ	ϕ	ϕ	ϕ
1	1	1	0	ϕ	ϕ	ϕ	ϕ
1	1	1	1	ϕ	ϕ	ϕ	ϕ

ϕ = saídas irrelevantes

Da tabela acima, podemos extrair as seguintes expressões:

$$S_3 = \overline{A}.B.\overline{C}.D + \overline{A}.B.C.\overline{D} + \overline{A}.B.C.D + A.\overline{B}.\overline{C}.\overline{D} + A.\overline{B}.\overline{C}.D$$

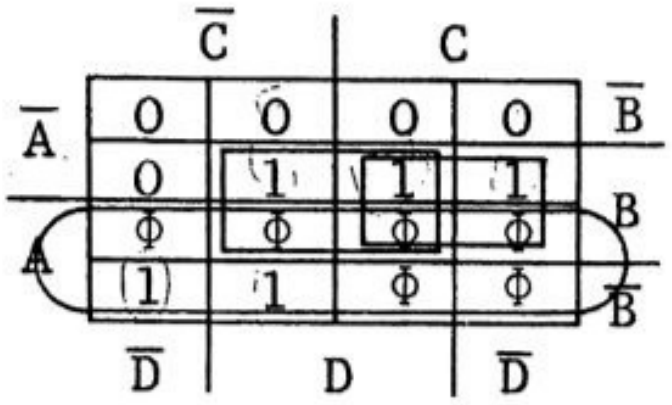
$$S_2 = \overline{A}.\overline{B}.\overline{C}.D + \overline{A}.\overline{B}.C.\overline{D} + \overline{A}.\overline{B}.C.D + \overline{A}.B.\overline{C}.\overline{D} + A.\overline{B}.\overline{C}.D$$

$$S_1 = \overline{A}.\overline{B}.\overline{C}.\overline{D} + \overline{A}.\overline{B}.C.D + \overline{A}.B.\overline{C}.\overline{D} + \overline{A}.B.C.D + A.\overline{B}.\overline{C}.\overline{D}$$

$$S_0 = \overline{A}.\overline{B}.\overline{C}.\overline{D} + \overline{A}.\overline{B}.C.\overline{D} + \overline{A}.B.\overline{C}.\overline{D} + \overline{A}.B.C.\overline{D} + A.\overline{B}.\overline{C}.\overline{D}.$$

Para simplificarmos os diagramas acima, vamos utilizar o mapa de Karnaugh para cada uma das saídas.

Para S_3:

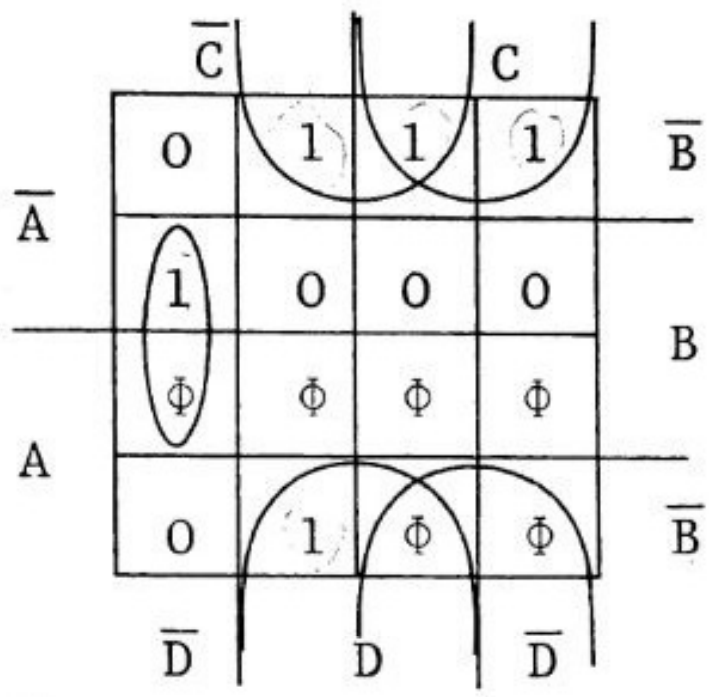


1 oitava - A
2 quadras - B.D e B.C.

Então podemos escrever a expressão de S_3, da seguinte - forma:

$$S_3 = A + B.D + B.C$$

Para S_2, vem:



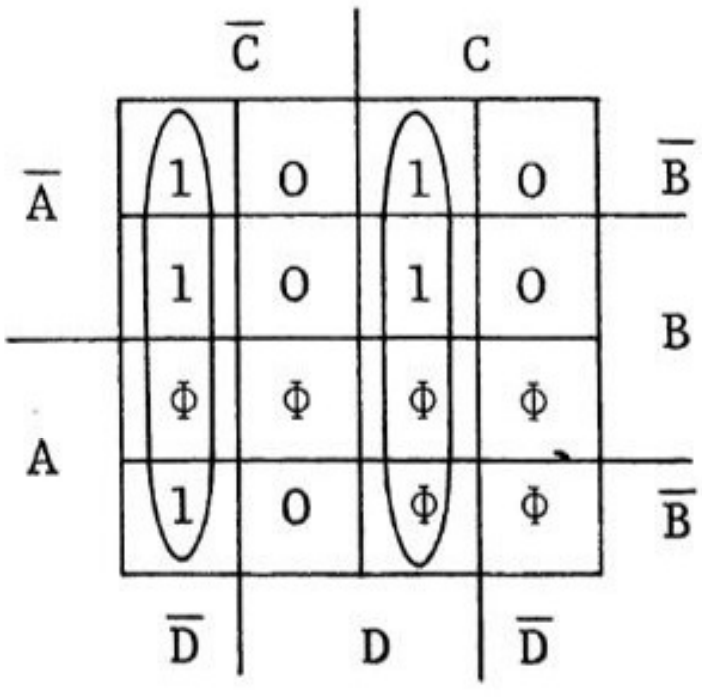
1 par - $B.\overline{C}.\overline{D}$
2 quadras - $\overline{B}.D$ e $\overline{B}.C$.

Analogamente:

$$S_2 = \overline{B}.D + \overline{B}.C + B.\overline{C}.\overline{D}$$

OBS.: Devemos lembrar que ϕ (termo irrelevante), tanto pode ser igual a 1 como igual a zero.

Para S_1, teremos:

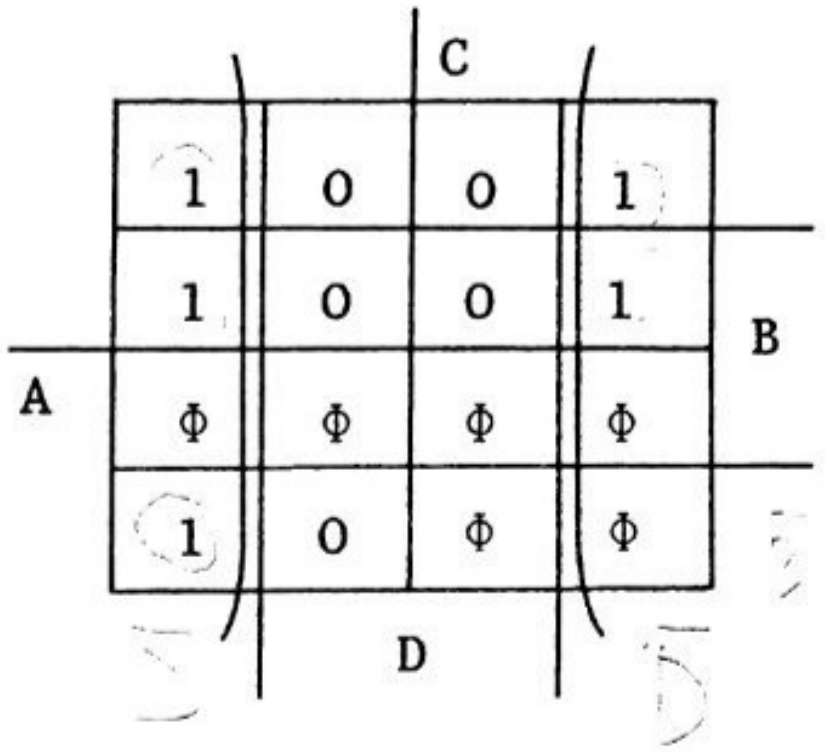


Duas quadras: $\overline{C}.\overline{D}$ e $C.D$

Portanto:

$$S_1 = \overline{C}.\overline{D} + C.D$$

Para S_0, teremos:



1 oitava: $\overline{D}$

Logo: $S_0 = \overline{D}$

De posse das expressões simplificadas, podemos agora executar o circuito decodificador. (fugura 8).

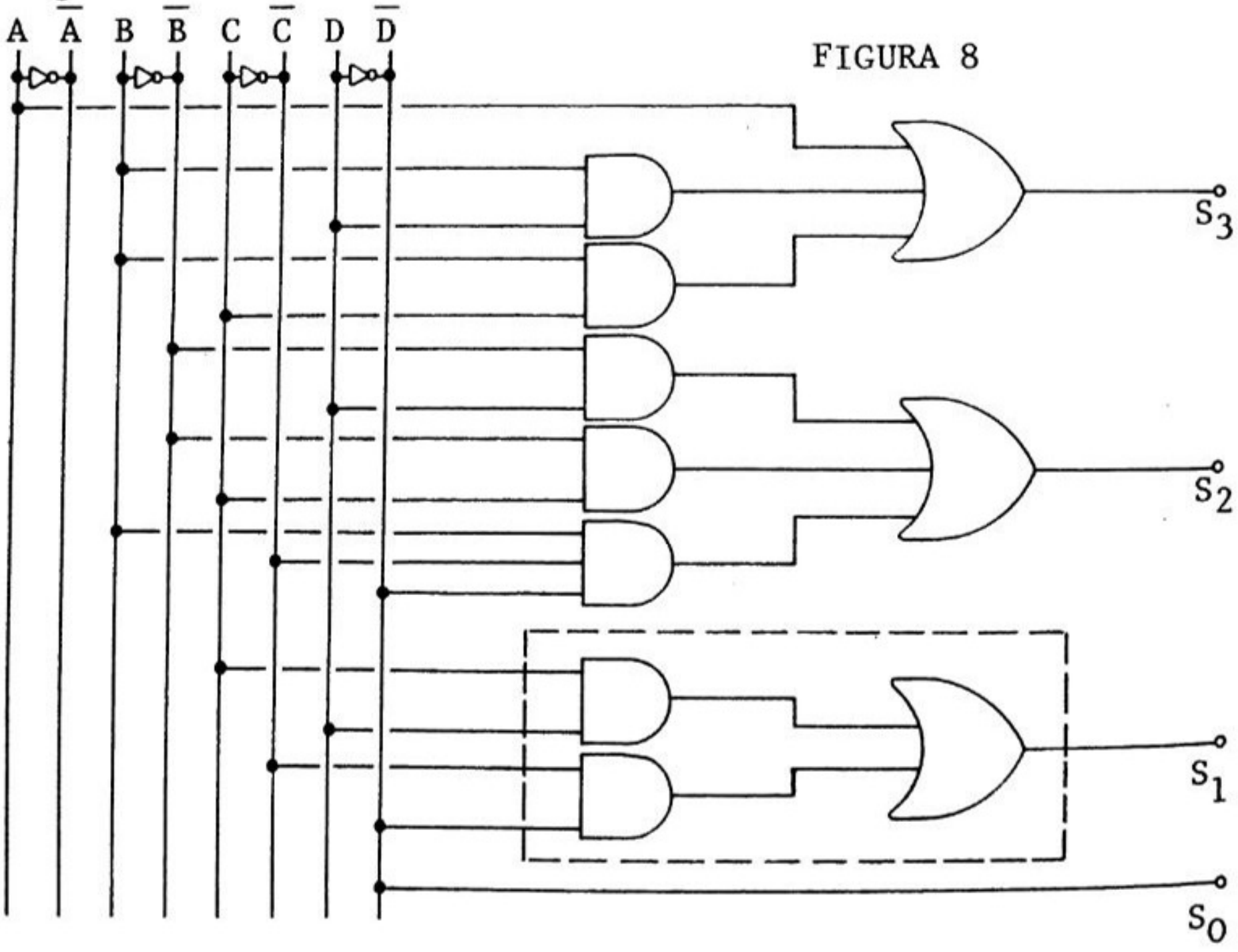
$S_0 = \overline{D}$

$S_1 = \overline{C}.\overline{D} + C.D$

$S_2 = \overline{B}.D + \overline{B}.C + B.\overline{C}.\overline{D}$

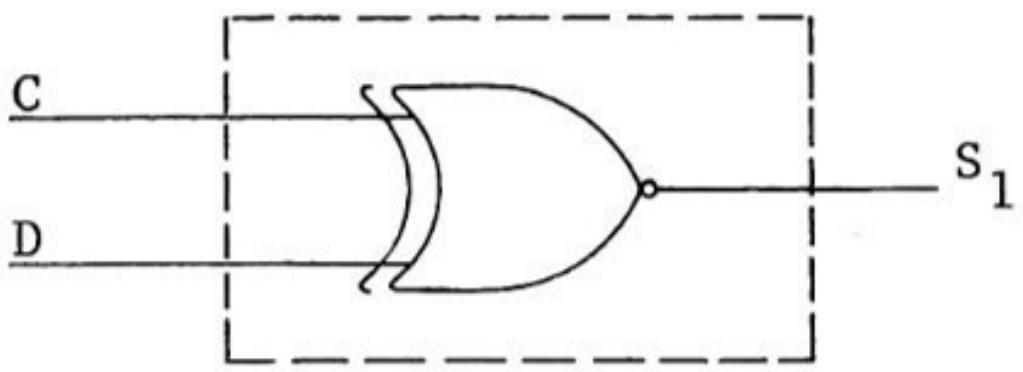
$S_3 = A + B.D + B.C$

FIGURA 8



Observamos que S_1 poderia ser simplificado ainda mais, pois, como sabemos, $S_1 = \overline{\bar{C}.\bar{D}} + C.D$, que equivale à expressão "NÃO OU EXCLUSIVA" $S_1 = C \oplus D$.

Portanto, a parte, em destaque da figura 8, poderia ser substituída por:



CEDM
CURSOS DE APERFEIÇOAMENTO

CURSO DE
ELETRÔNICA DIGITAL E
MICROPROCESSADORES

CAIXA POSTAL 1642 - CEP 86100 - LONDRINA - PARANÁ

EXAME DA LIÇÃO ED-13

OBSERVAÇÃO

- cada questão é composta de três ou quatro alternativas.
- só uma delas está correta.
- marque a que considerar correta.
- passe as respostas corretas para a folha de exame.

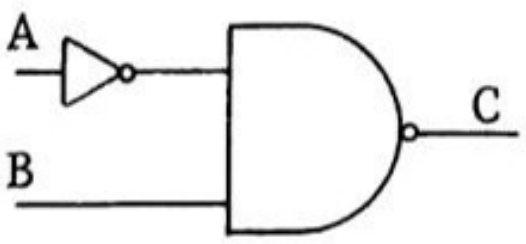
1) O circuito decodificador basicamente é constituído de:

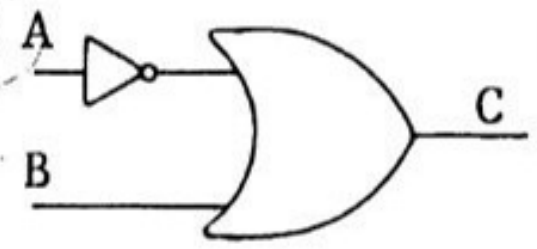
a) porta "E" ou "NÃO E";
b) porta "NÃO OU";
c) porta "OU";
d) N.R.A.

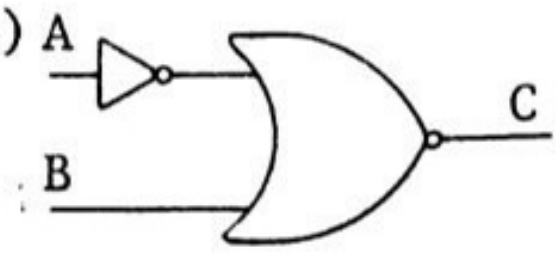
2) Um decodificador com uma palavra de entrada de 5 bits apresenta no máximo $2^5 = 32$ saídas.

a) 32; b) 16; c) 64; d) N.R.A.

3) O circuito da figura 1 é equivalente ao circuito:

a) 

b) 

c) 

d) N.R.A.

4) Quando confeccionamos tabelas verdade, para os diversos tipos de Decodificador, o símbolo ϕ significa:

a) valor irrelevante;
b) valor relevante;
c) não possui significado algum.

5) Com relação à questão anterior, ϕ pode assumir valores:

a) 0; b) 1; c) 0 e 1, dependendo da conveniência.

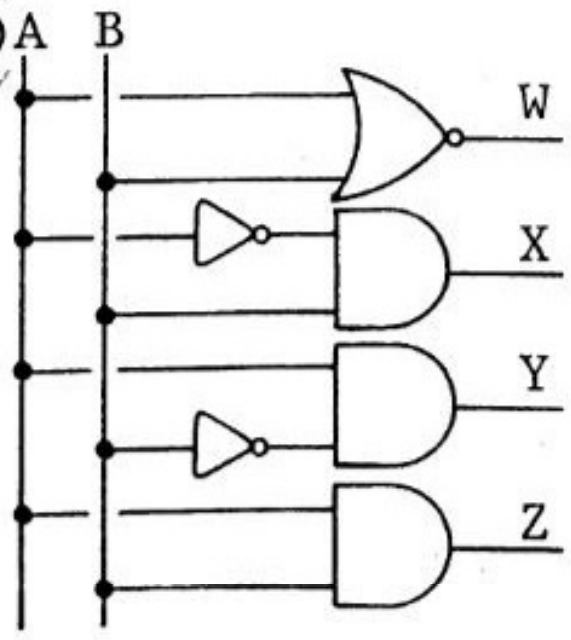
6) Para que o desacoplamento dos estados de entrada se faça dentro de um certo intervalo de tempo, usamos:

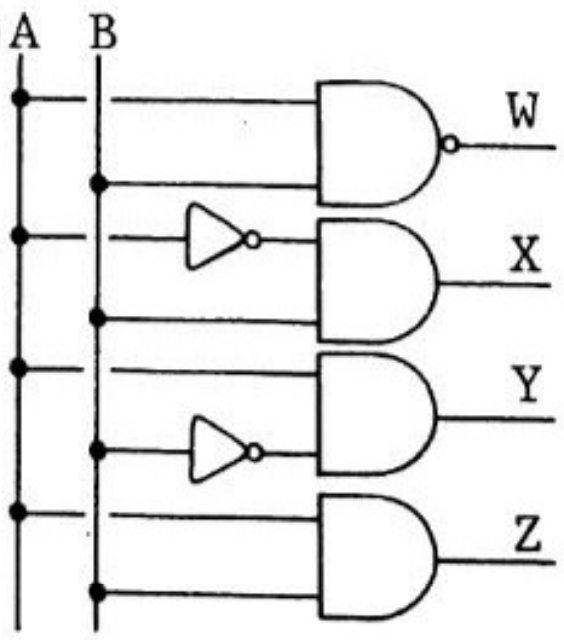
a) circuito codificador;
b) comando de transferência;
c) circuito multiplexador.

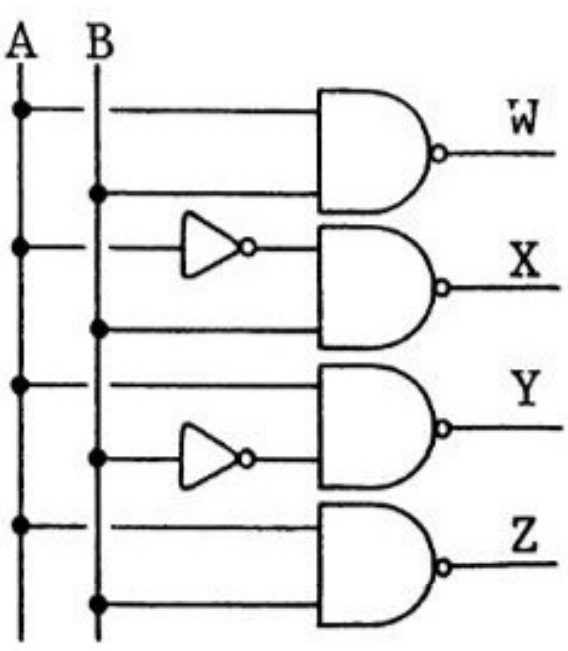
7) A transposição das expressões obtidas na tabela verdade, para o mapa de Karnaugh:

a) simplifica estas expressões;
b) complica estas expressões;
c) N.R.A.

8) O circuito da figura 2 é equivalente ao circuito:

a)


b)


c)


d) N.R.A.

9) O circuito da figura 6 funciona da seguinte forma:

a) quando estiver decodificando o dado (0101) e o comando de transferência estiver no estado 0(zero), a saída será (0101);
b) quando estiver decodificando o dado (0101) e o comando

de transferência estiver no estado 0(zero),a saída será (1010);

c) quando estiver decodificando o dado (0101) e o comando de transferência estiver no estado 1 (um), a saída será (0101);

d) N.R.A.

10)O circuito da figura 6 gera a seguinte tabela verdade:

a)

ENTRADA					SAÍDA			
C	1	2	4	8	1	2	4	8
0	0	0	0	0	1	1	1	1
0	0	0	0	1	1	1	1	1
0	0	0	1	0	1	1	1	1
0	0	0	1	1	1	1	1	1
0	0	1	0	0	1	1	1	1
0	0	1	0	1	1	1	1	1
0	0	1	1	0	1	1	1	1
0	0	1	1	1	1	1	1	1
0	1	0	0	0	1	1	1	1
0	1	0	0	1	1	1	1	1
0	1	0	1	0	1	1	1	1
0	1	0	1	1	1	1	1	1
0	1	1	0	0	1	1	1	1
0	1	1	0	1	1	1	1	1
0	1	1	1	0	1	1	1	1
0	1	1	1	1	1	1	1	1

b)

ENTRADA					SAÍDA			
C	1	2	4	8	1	2	4	8
1	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
1	0	0	1	0	0	0	1	0
1	0	0	1	1	0	0	1	1
1	0	1	0	0	0	1	0	0
1	0	1	0	1	0	1	0	1
1	0	1	1	0	0	1	1	0
1	0	1	1	1	0	1	1	1
1	1	0	0	0	1	0	0	0
1	1	0	0	1	1	0	0	1
1	1	0	1	0	1	0	1	0
1	1	0	1	1	1	0	1	1
1	1	1	0	0	1	1	0	0
1	1	1	0	1	1	1	0	1
1	1	1	1	0	1	1	1	0
1	1	1	1	1	1	1	1	1

c)

ENTRADA					SAÍDA			
C	1	2	4	8	1	2	4	8
1	0	0	0	0	1	1	1	1
1	0	0	0	1	1	1	1	1
1	0	0	1	0	1	1	1	1
1	0	0	1	1	1	1	1	1
1	0	1	0	0	1	1	1	1
1	0	1	0	1	1	1	1	1
1	0	1	1	0	1	1	1	1
1	0	1	1	1	1	1	1	1
1	1	0	0	0	1	1	1	1
1	1	0	0	1	1	1	1	1
1	1	0	1	0	1	1	1	1
1	1	0	1	1	1	1	1	1
1	1	1	0	0	1	1	1	1
1	1	1	0	1	1	1	1	1
1	1	1	1	0	1	1	1	1
1	1	1	1	1	1	1	1	1

d) As alternativas "a" e "b" estão corretas.

CEDM
CURSOS DE APERFEIÇOAMENTO

CURSO DE
ELETRÔNICA DIGITAL E
MICROPROCESSADORES

CAIXA POSTAL 1642 - CEP 86100 - LONDRINA - PARANÁ

LIÇÃO ED-14

CODIFICADORES E DECODIFICADORES II

INTRODUÇÃO:

Esta lição é continuação do assunto da lição ED-13. Iremos estudar vários tipos de decodificadores, porém os mais difundidos são os "Decodificador/alimentador BCD para-decimal" e "Decodificador/alimentador BCD para 7 segmentos". A tabela abaixo ilustra os principais decodificadores da série SN54/74.

TIPO	DECODIFICADOR
SN54/7442	Decodificador BCD para decimal
SN54/7443	Decodificador excesso 3 para decimal
SN54/7444	Decodificador gray excesso 3 para decimal
SN54/7445	Decodificador/alimentador BCD para decimal
SN54/7446	Decodificador/alimentador BCD para 7 segmentos
SN54/7447	Decodificador/alimentador BCD para 7 segmentos
SN54/7448	Decodificador/alimentador BCD para 7 segmentos
SN54/7449	Decodificador/alimentador BCD para 7 segmentos
SN54/74141	Decodificador/alimentador BCD para decimal (Válvulas de catodo frio)
SN54/74145	Decodificador/alimentador BCD para decimal

DECODIFICADOR EXCESSO 3 PARA BCD 8421

O processo para se chegar ao circuito decodificador é análogo ao anterior (lição ED-13), porém devemos observar:

1) No código Excesso 3, os números 1101, 1110, 1111, 0000, 0001 e 0010 não representam algarismos de 0 a 9, no entanto são possibilidades que também podem ser assumidas. Uma vez que estas possibilidades não existem no código, a saída para as mesmas se tornam irrelevantes.

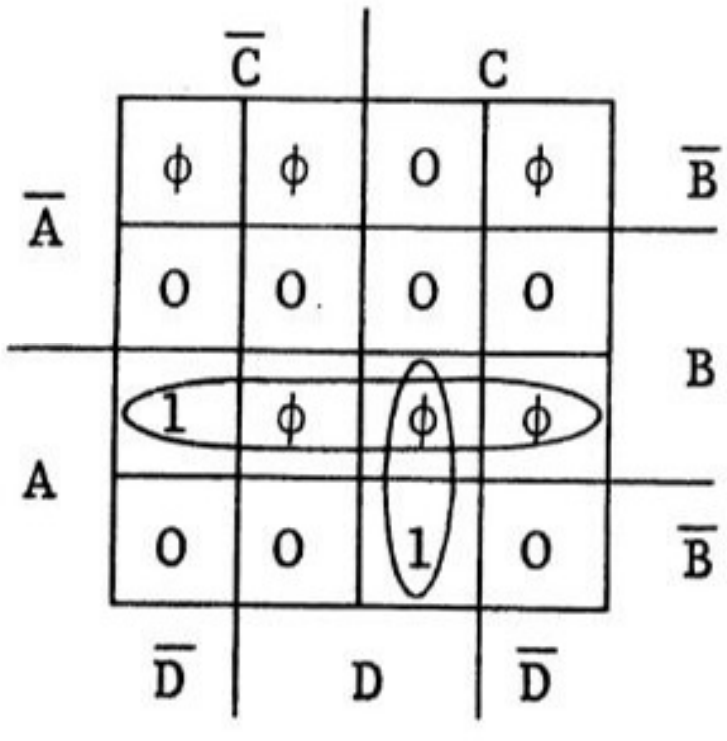
2) Ao se utilizar o mapa de Karnaugh para simplificar as expressões extraídas da tabela verdade, deve-se ter uma atenção especial na hora da colocação, pois devemos sempre achar a região indicada pela possibilidade assumida pela entrada e, nesta mesma região, colocar o valor assumido pela saída.

A figura 1 nos mostra a tabela verdade, da qual extraímos as seguintes expressões:

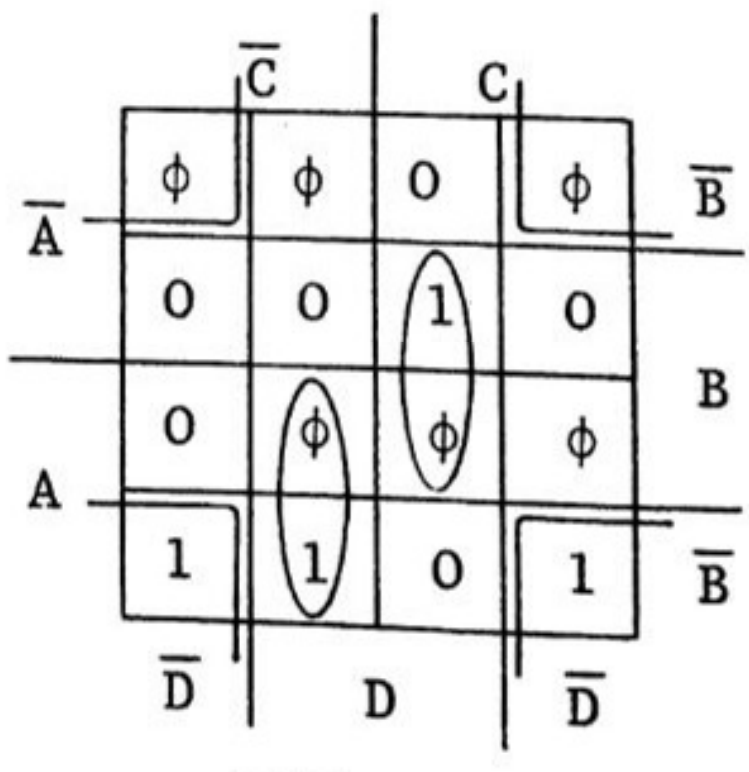
$$F8 = \overline{A}\ \overline{B}\ C\ D + A\ \overline{B}\ \overline{C}\ \overline{D}$$
$$F4 = \overline{A}\ B\ \overline{C}\ D + \overline{A}\ \overline{B}\ \overline{C}\ \overline{D} + A\ \overline{B}\ \overline{C}\ D + A\ \overline{B}\ C\ \overline{D}$$
$$F2 = \overline{A}\ B\ \overline{C}\ \overline{D} + \overline{A}\ B\ C\ \overline{D} + A\ \overline{B}\ \overline{C}\ D + A\ \overline{B}\ C\ \overline{D}$$
$$F1 = \overline{A}\ B\ \overline{C}\ \overline{D} + \overline{A}\ B\ C\ \overline{D} + A\ \overline{B}\ \overline{C}\ \overline{D} + A\ \overline{B}\ C\ \overline{D} + A\ B\ \overline{C}\ \overline{D}.$$

As expressões já simplificadas são:

$$F8 = \overline{A\ B} + A\ \overline{C}\ D$$
$$F4 = \overline{B+D} + A\ \overline{C}\ D + B\ C\ D$$
$$F2 = \overline{C} \oplus D$$
$$F1 = \overline{D}$$

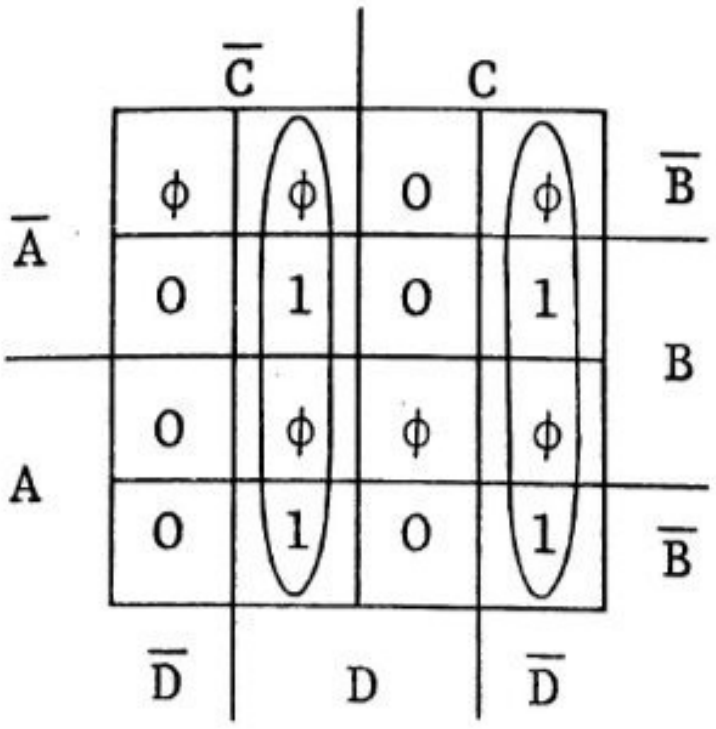


$F_8 = A.B + A.C.D$



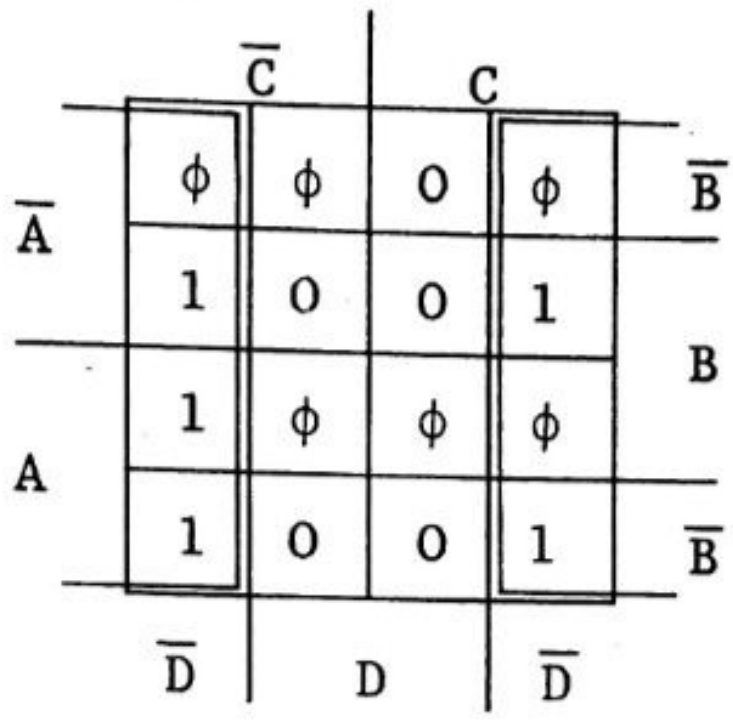
$F_4 = \overline{B}.\overline{D} + A.\overline{C}.D + B.C.D$

$F_4 = \overline{B+D} + A.\overline{C}.D + B.C.D$



$F_2 = \overline{C}.D + C.\overline{D}$

$F_2 = C \oplus D$



$F_1 = \overline{D}$

EXCESSO 3				BCD 8421			
A	B	C	D	F_8	F_4	F_2	F_1
0	0	1	1	0	0	0	0
0	1	0	0	0	0	0	1
0	1	0	1	0	0	1	0
0	1	1	0	0	0	1	1
0	1	1	1	0	1	0	0
1	0	0	0	0	1	0	1
1	0	0	1	0	1	1	0
1	0	1	0	0	1	1	1
1	0	1	1	1	0	0	0
1	1	0	0	1	0	0	1
1	1	0	1	ø	ø	ø	ø
1	1	1	0	ø	ø	ø	ø
1	1	1	1	ø	ø	ø	ø
0	0	0	0	ø	ø	ø	ø
0	0	0	1	ø	ø	ø	ø
0	0	1	0	ø	ø	ø	ø

Irrelevantes

Tabela verdade

FIGURA 1

Executando-se o circuito teremos:

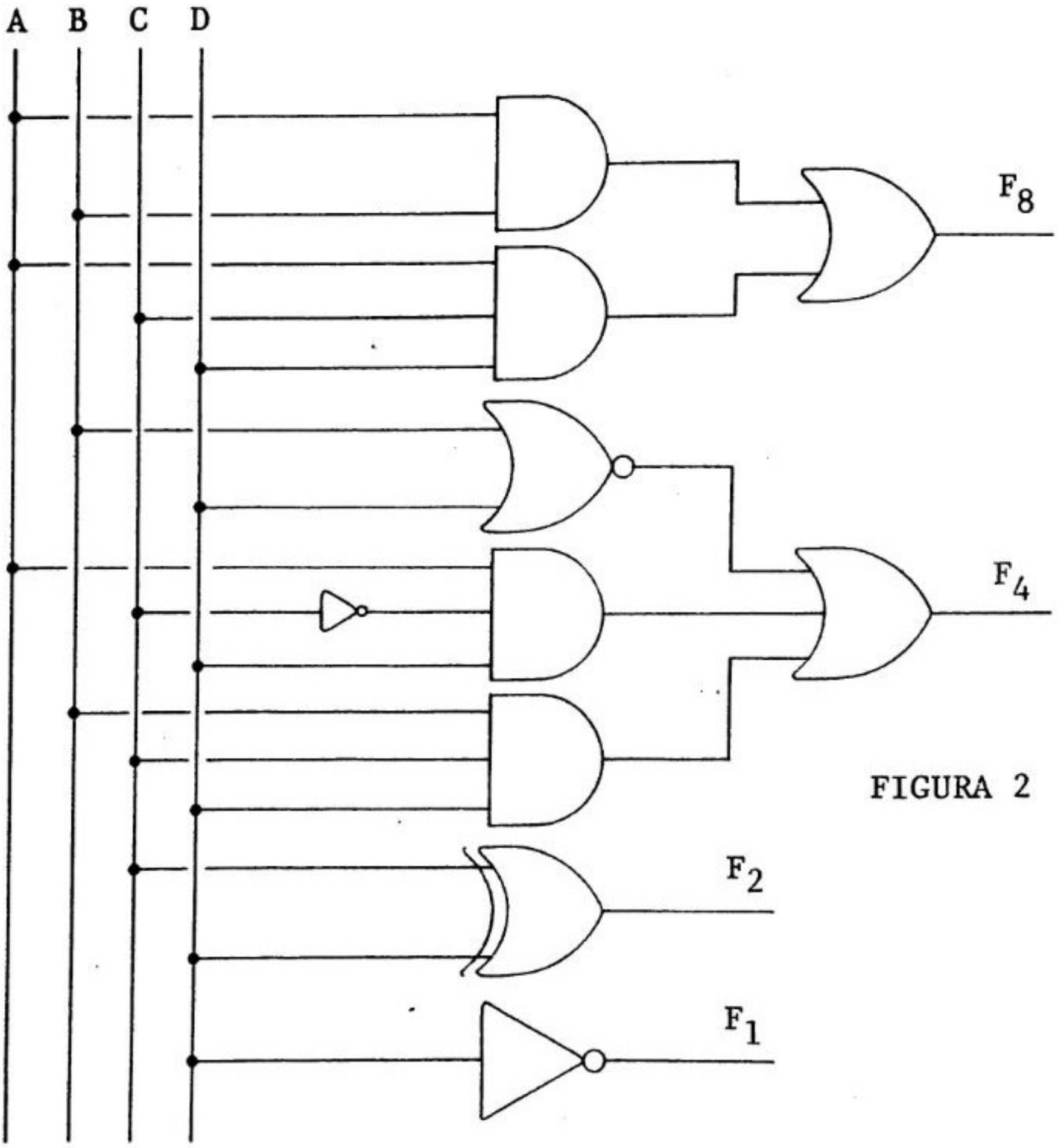


FIGURA 2

DECODIFICADOR BCD PARA JOHSON:

Pelo mesmo processo utilizado anteriormente, retiramos da tabela verdade as seguintes expressões:

$$F4 = \overline{A}.B.\overline{C}.D + \overline{A}.B.C.\overline{D} + \overline{A}.B.C.D + A.\overline{B}.\overline{C}.\overline{D} + A.\overline{B}.\overline{C}.D$$

$$F3 = \overline{A}.\overline{B}.\overline{C}.\overline{D} + \overline{A}.\overline{B}.\overline{C}.D + \overline{A}.\overline{B}.C.\overline{D} + \overline{A}.\overline{B}.C.D + A.\overline{B}.\overline{C}.\overline{D}$$

$$F2 = \overline{A}.\overline{B}.C.\overline{D} + \overline{A}.\overline{B}.\overline{C}.D + \overline{A}.\overline{B}.C.D + \overline{A}.B.C.\overline{D} + \overline{A}.B.C.D$$

$$F1 = \overline{A}.\overline{B}.C.\overline{D} + \overline{A}.\overline{B}.C.D + \overline{A}.B.\overline{C}.\overline{D} + \overline{A}.B.\overline{C}.D + \overline{A}.B.C.\overline{D}$$

$$F_0 = \overline{A}.\overline{B}.\overline{C}.D + \overline{A}.\overline{B}.C.\overline{D} + \overline{A}.\overline{B}.C.D + \overline{A}.B.\overline{C}.\overline{D} + \overline{A}.B.\overline{C}.D$$

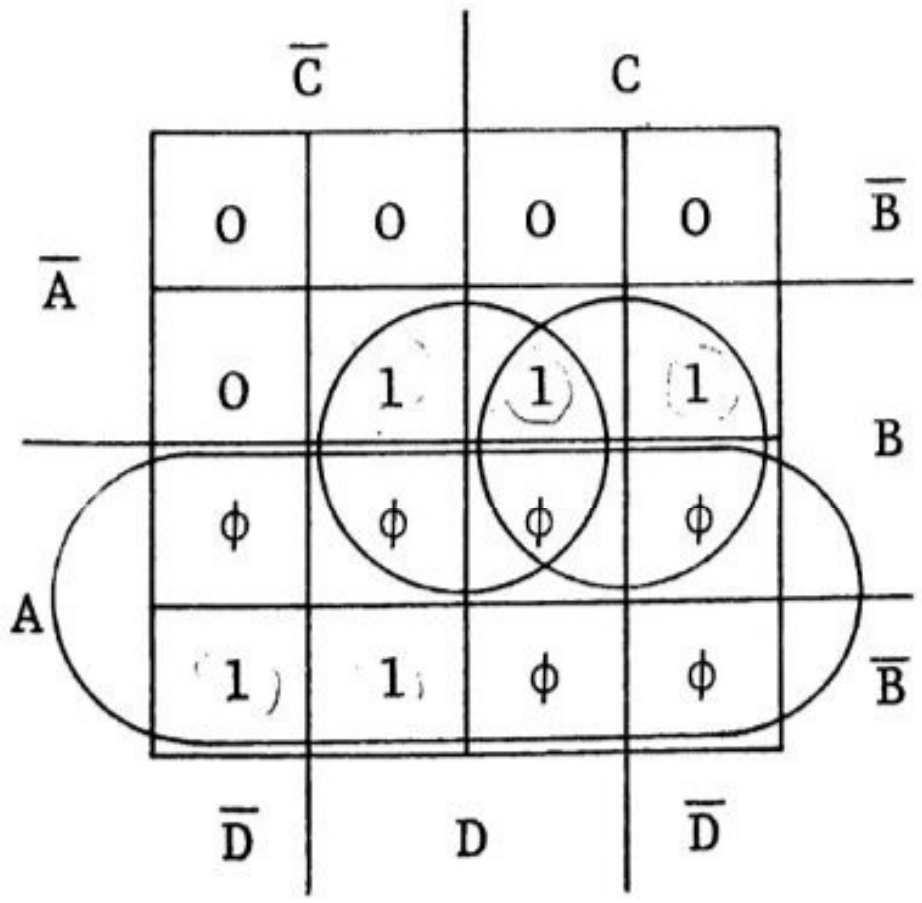
BCD 8421				JOHSON				
A	B	C	D	F_4	F_3	F_2	F_1	F_0
0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0	1
0	0	1	0	0	0	0	1	1
0	0	1	1	0	0	1	1	1
0	1	0	0	0	1	1	1	1
0	1	0	1	1	1	1	1	1
0	1	1	0	1	1	1	1	0
0	1	1	1	1	1	1	0	0
1	0	0	0	1	1	0	0	0
1	0	0	1	1	0	0	0	0
1	0	1	0	ø	ø	ø	ø	ø
1	0	1	1	ø	ø	ø	ø	ø
1	1	0	0	ø	ø	ø	ø	ø
1	1	0	1	ø	ø	ø	ø	ø
1	1	1	0	ø	ø	ø	ø	ø
1	1	1	1	ø	ø	ø	ø	ø

Tabela verdade

Irrelevantes

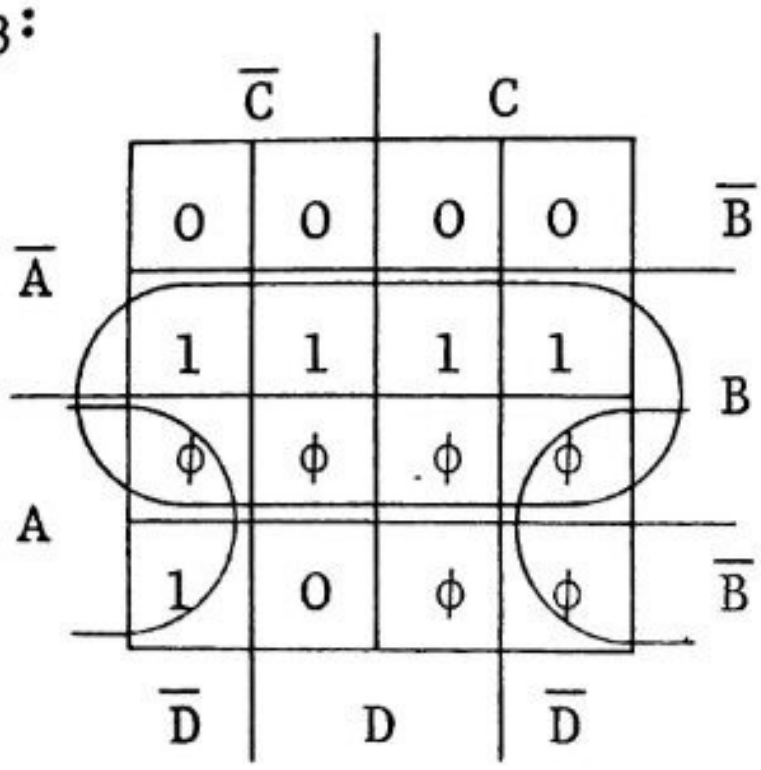
Transpondo as expressões obtidas para o mapa de Karnaugh, teremos:

F_4

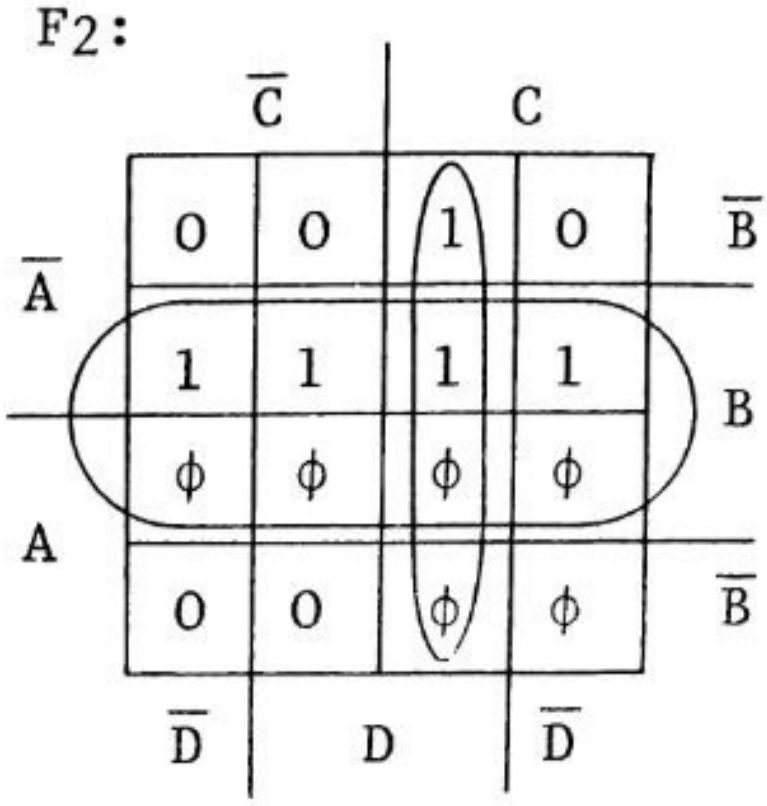


Logo $F_4 = A + B.C + B.D$

F_3:



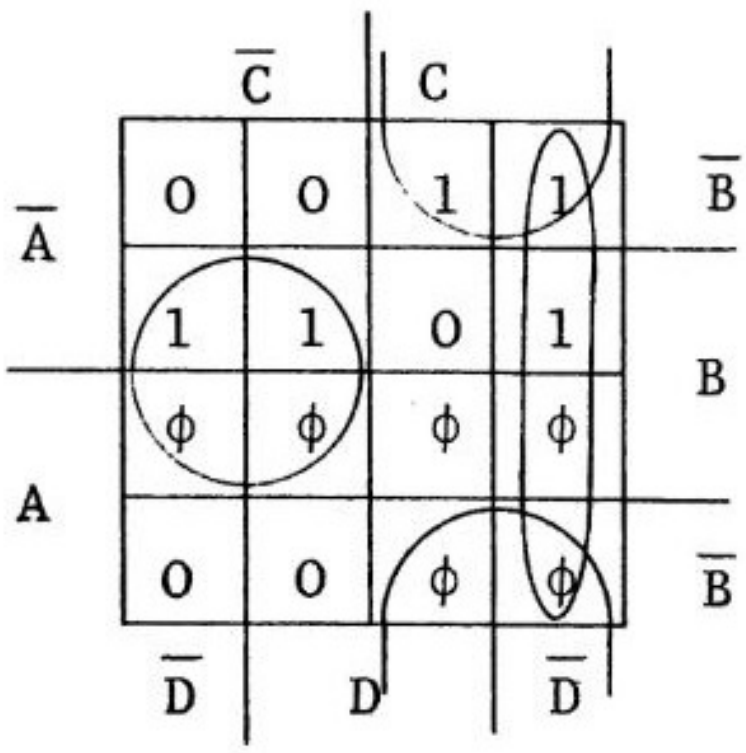
F_2:



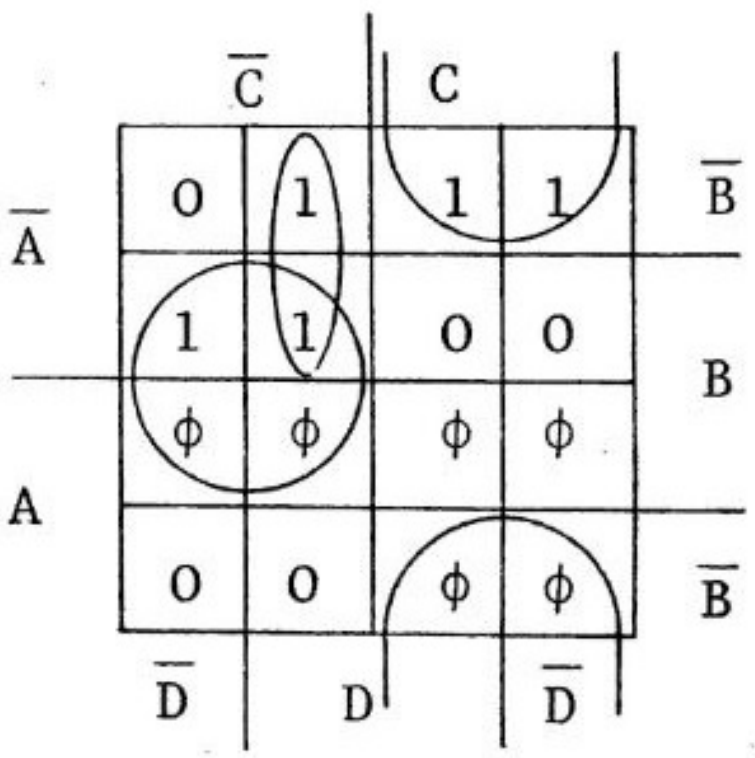
Logo: $F_3 = B + A.\overline{D}$

$F_2 = B + C.D$

F_1:



F_0:



Logo: $F_1 = B.\overline{C} + \overline{B}.C + C.\overline{D}$

$F_1 = B \oplus C + C.\overline{D}$

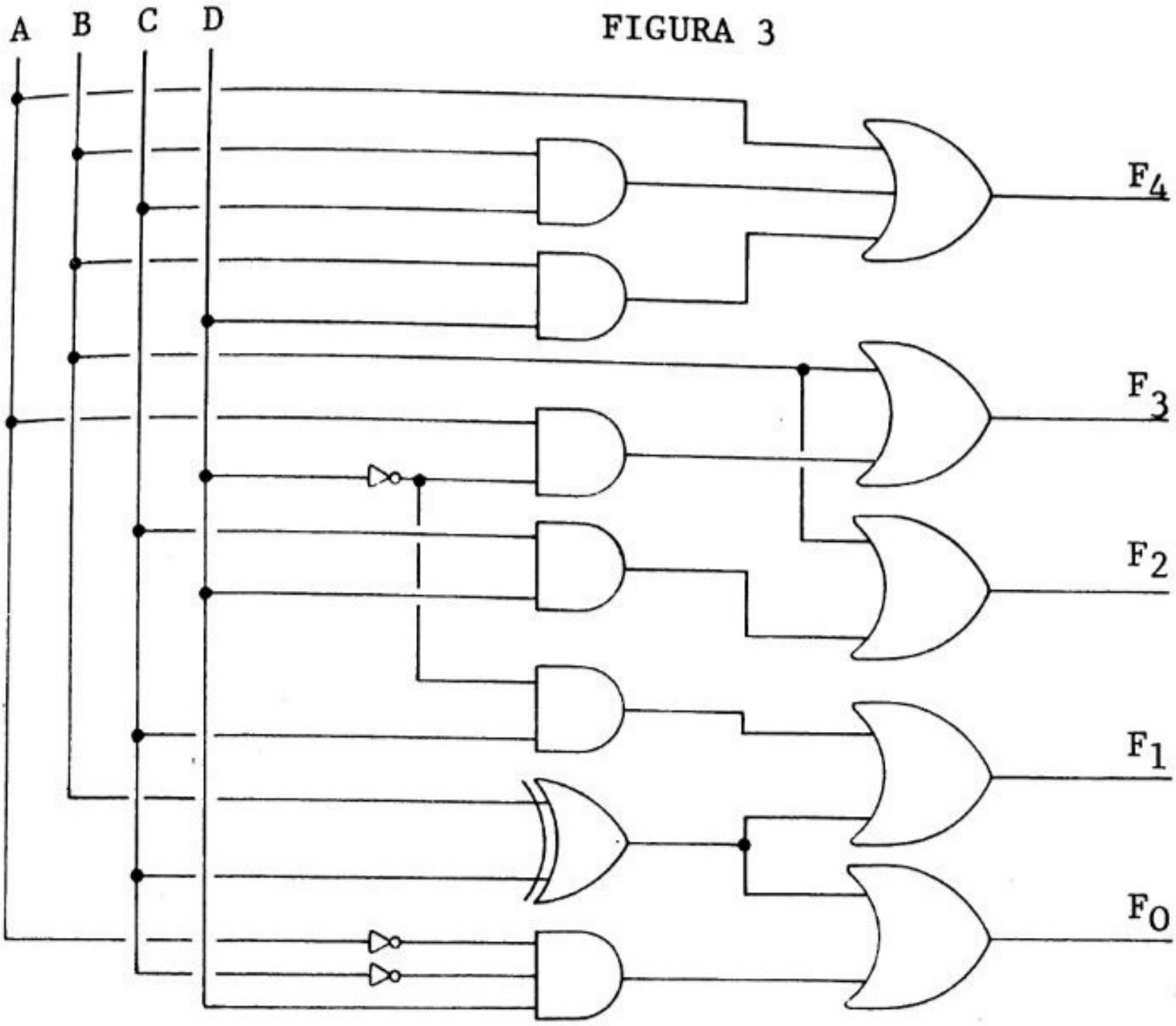
Logo: $F_0 = B.\overline{C} + C.\overline{B} + \overline{A}.\overline{C}.D$

$F_0 = B \oplus C + \overline{A}.\overline{C}.D$

De posse dessas equações podemos executar o circuito decodificador que assim ficará:

$F4 = A + B.\underline{C} + B.D$
$F_3 = B + A.\overline{D}$
$F_2 = B + C.D$
$F_1 = B \oplus C + \underline{C}.\overline{D}$
$F_0 = B \oplus C + \overline{A}.\overline{C}.D$

FIGURA 3



DECODIFICADOR JONHSON PARA BCD 8421

O código Johson apresenta apenas 10 elementos, porém com 5 variáveis. Como já vimos, com 5 variáveis, podemos formar 32 possibilidades distintas entre si.

Da tabela verdade, ver figura 4, extraímos as seguintes - expressões:

$$F_8 = \overline{A}.\overline{B}.\overline{C}.\overline{D}.\overline{E} + A.B.\overline{C}.\overline{D}.\overline{E}$$

$$F_4 = \overline{A}.B.C.D.E + A.\overline{B}.C.\overline{D}.\overline{E} + A.B.C.D.\overline{E} + \overline{A}.B.C.D.E$$

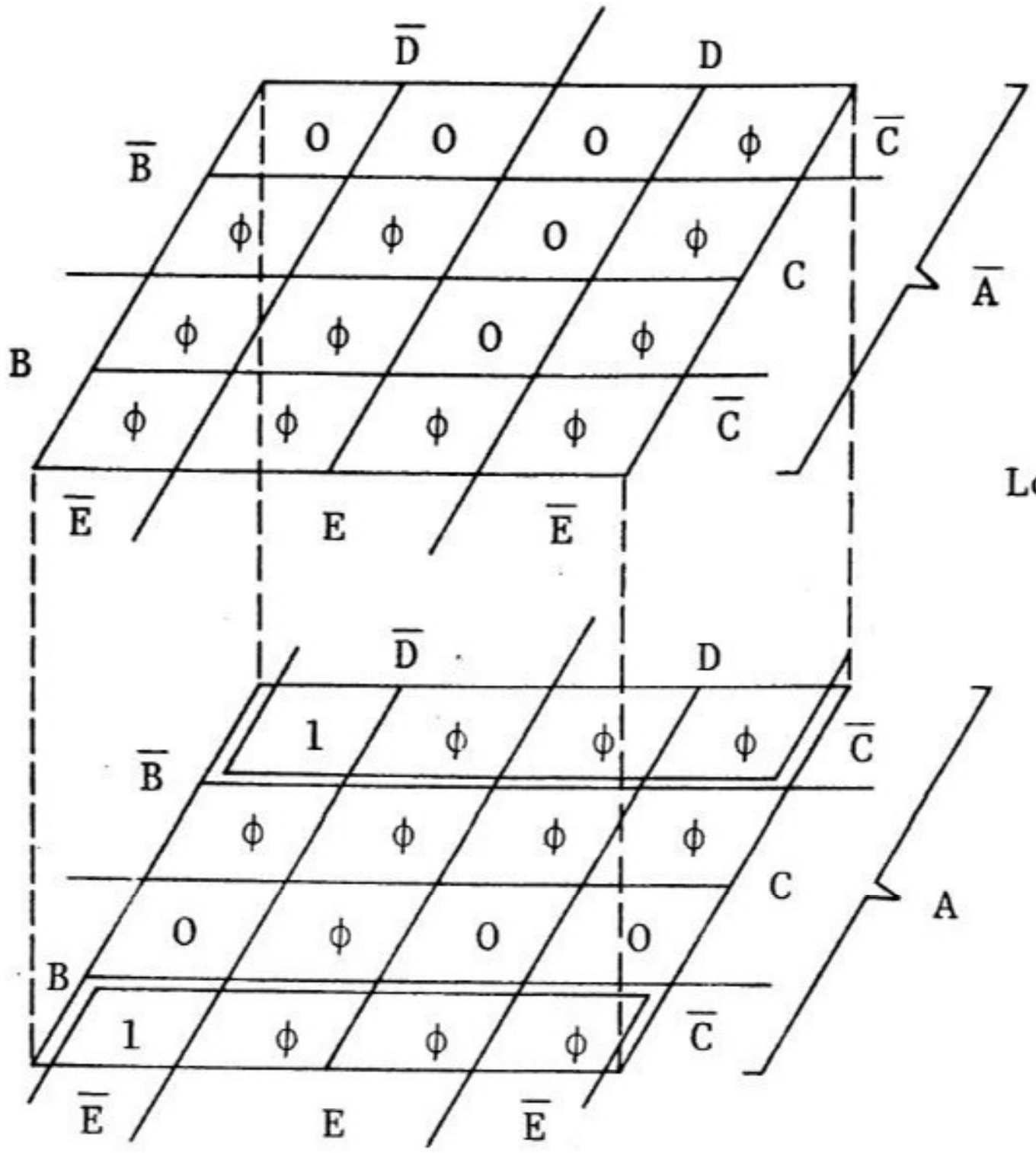
$$F_2 = \overline{A}.\overline{B}.\overline{C}.D.E + \overline{A}.\overline{B}.C.D.E + A.\overline{B}.C.\overline{D}.\overline{E} + A.B.C.D.\overline{E}$$

$$F_1 = \overline{A}.\overline{B}.\overline{C}.\overline{D}.E + \overline{A}.\overline{B}.C.D.E + A.\overline{B}.\overline{C}.\overline{D}.\overline{E} + A.B.C.\overline{D}.\overline{E} + A.B.C.D.E.$$

Através do mapa de Karnaugh Tridimensional, podemos simplificar estas expressões:

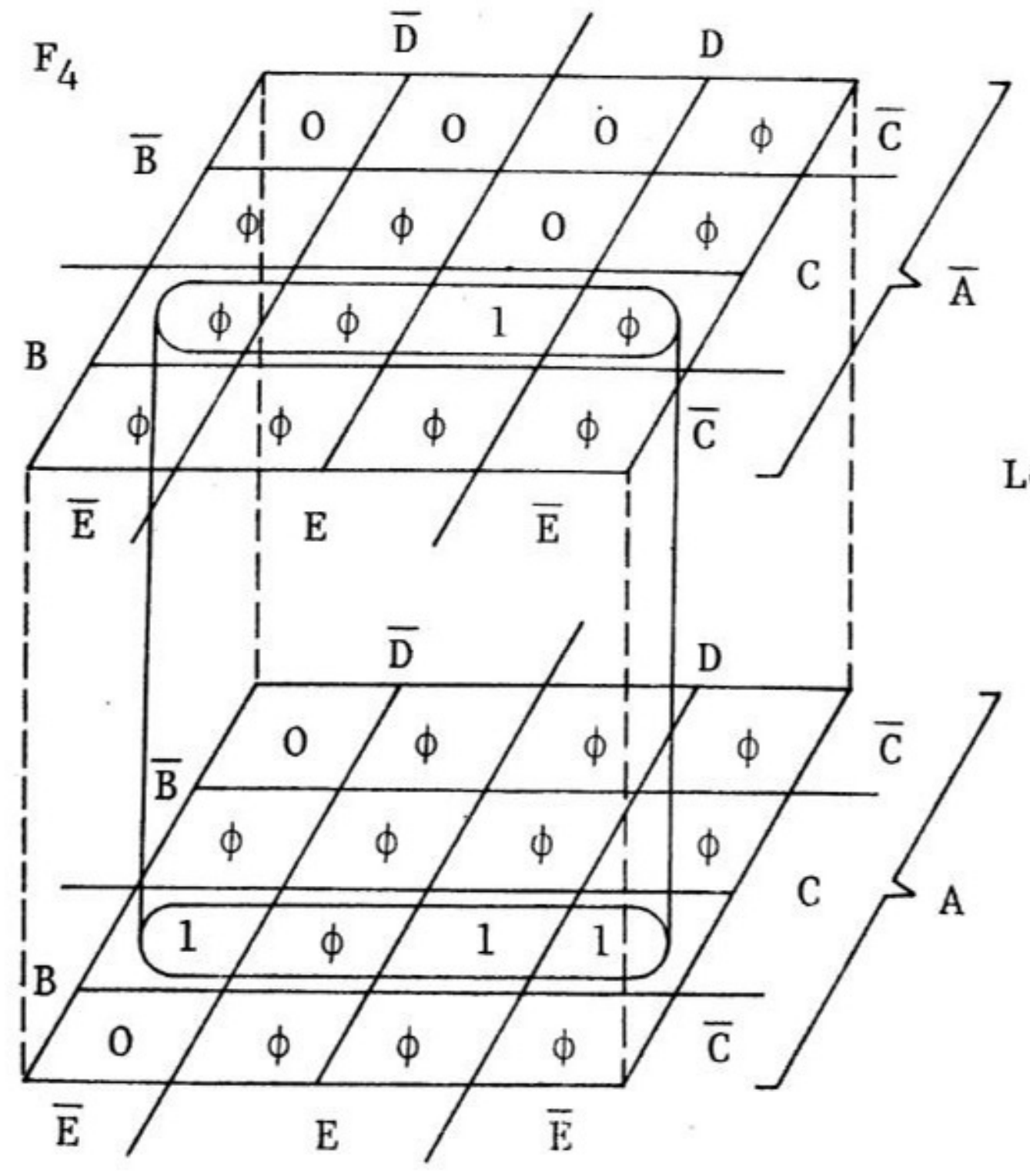
08

F_8

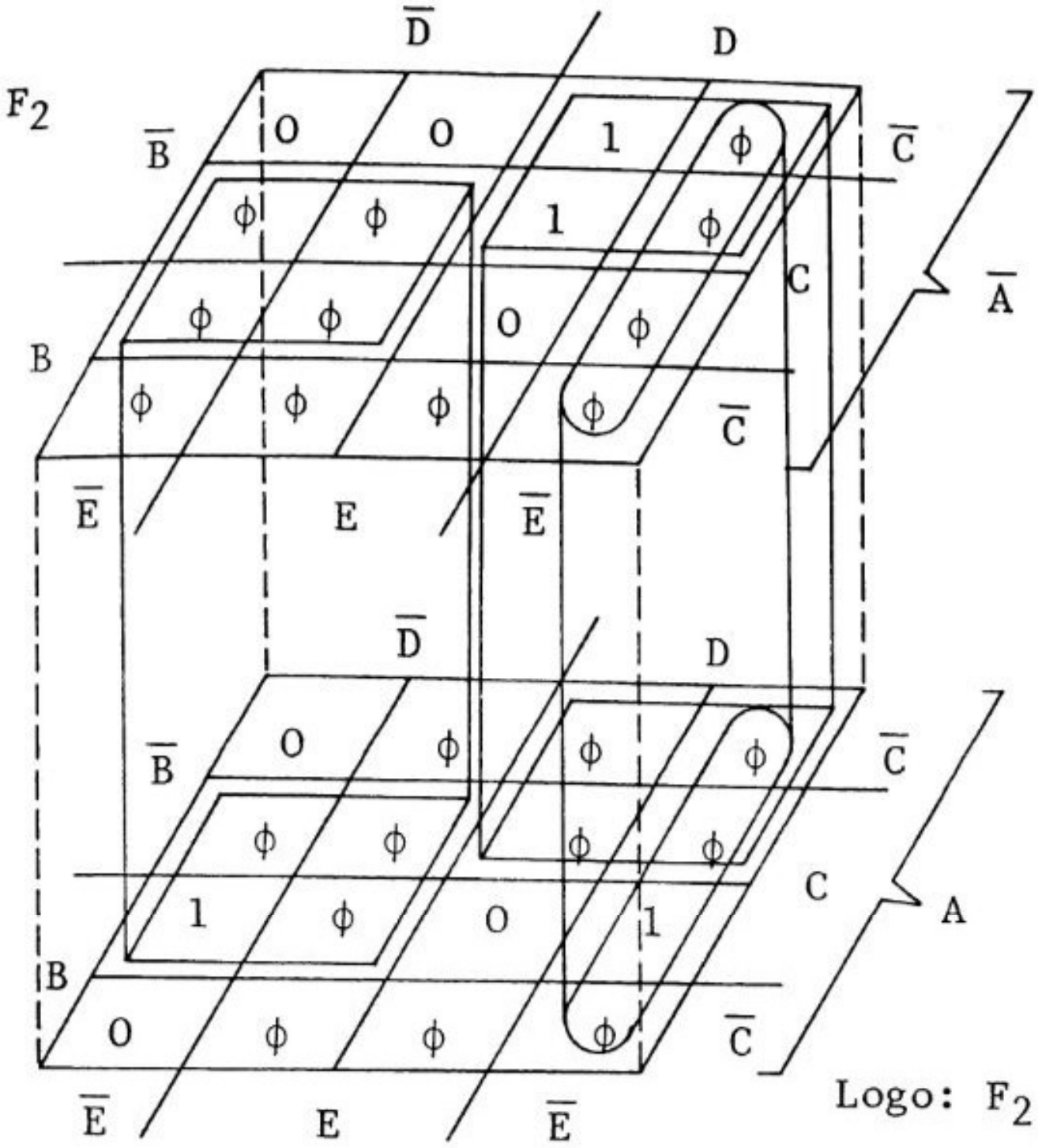


Logo: $F_8 = A.\bar{C}$

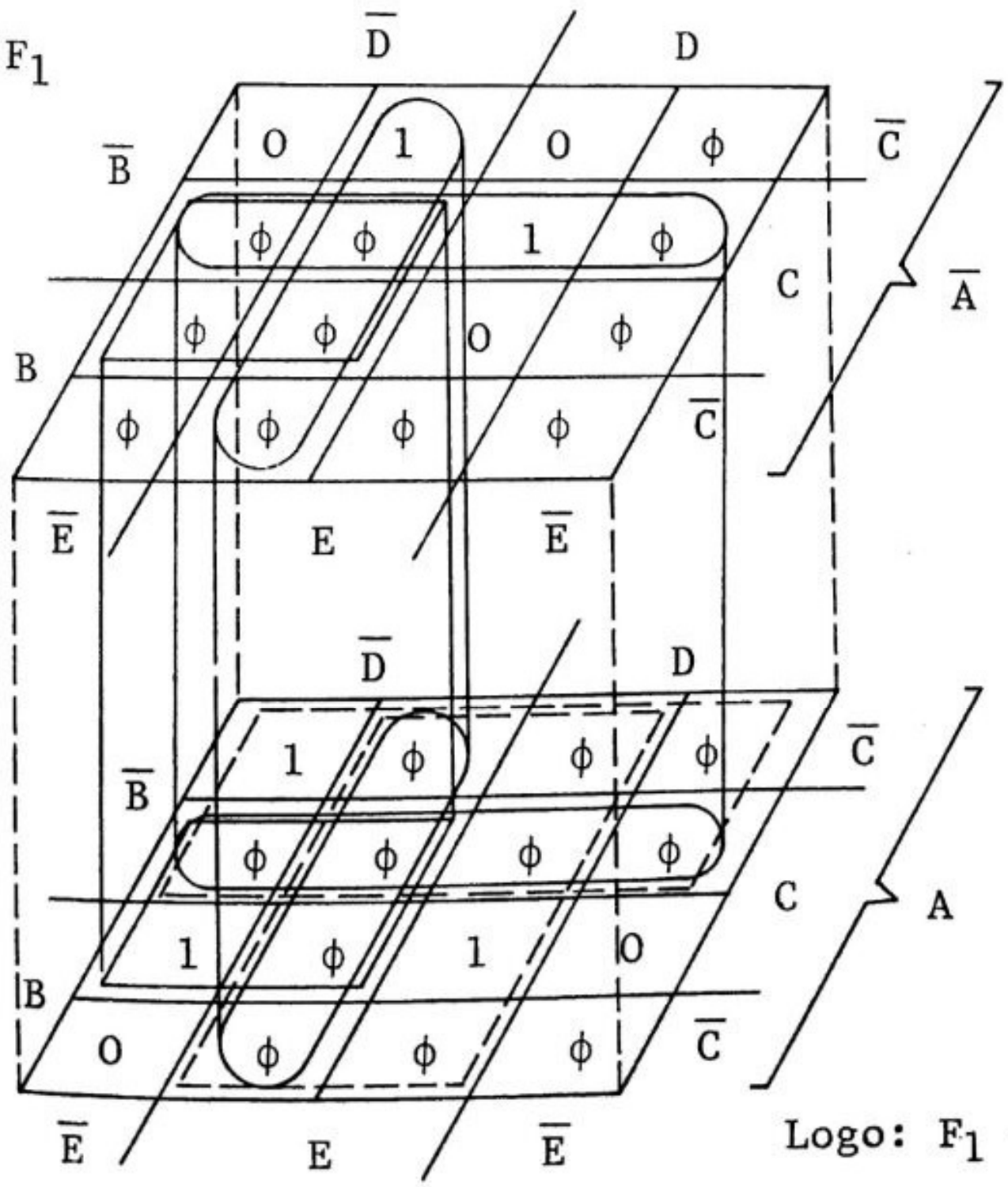
F_4



Logo: $F_4 = B.C$



Logo: $F_2 = C.\overline{D} + \overline{B}.D + D.\overline{E}$



Logo: $F_1 = \underline{A}.\overline{B} + \underline{A}.E + C.\overline{D} + \overline{B}.C + \overline{D}.E$

JONHSON					BCD 8421			
A	B	C	D	E	F_8	F_4	F_2	F_1
0	0	0	0	0	0	0	0	0
0	0	0	0	1	0	0	0	1
0	0	0	1	0	ϕ	ϕ	ϕ	ϕ
0	0	0	1	1	0	0	1	0
0	0	1	0	0	ϕ	ϕ	ϕ	ϕ
0	0	1	0	1	ϕ	ϕ	ϕ	ϕ
0	0	1	1	0	ϕ	ϕ	ϕ	ϕ
0	0	1	1	1	0	0	1	1
0	1	0	0	0	ϕ	ϕ	ϕ	ϕ
0	1	0	0	1	ϕ	ϕ	ϕ	ϕ
0	1	0	1	0	ϕ	ϕ	ϕ	ϕ
0	1	0	1	1	ϕ	ϕ	ϕ	ϕ
0	1	1	0	0	ϕ	ϕ	ϕ	ϕ
0	1	1	0	1	ϕ	ϕ	ϕ	ϕ
0	1	1	1	0	ϕ	ϕ	ϕ	ϕ
0	1	1	1	1	0	1	0	0
1	0	0	0	0	1	0	0	1
1	0	0	0	1	ϕ	ϕ	ϕ	ϕ
1	0	0	1	0	ϕ	ϕ	ϕ	ϕ
1	0	0	1	1	ϕ	ϕ	ϕ	ϕ
1	0	1	0	0	ϕ	ϕ	ϕ	ϕ
1	0	1	0	1	ϕ	ϕ	ϕ	ϕ
1	0	1	1	0	ϕ	ϕ	ϕ	ϕ
1	0	1	1	1	ϕ	ϕ	ϕ	ϕ
1	1	0	0	0	1	0	0	0
1	1	0	0	1	ϕ	ϕ	ϕ	ϕ
1	1	0	1	0	ϕ	ϕ	ϕ	ϕ
1	1	0	1	1	ϕ	ϕ	ϕ	ϕ
1	1	1	0	0	0	1	1	1
1	1	1	0	1	ϕ	ϕ	ϕ	ϕ
1	1	1	1	0	0	1	1	0
1	1	1	1	1	0	1	0	1

FIGURA 4

Executando-se o circuito, obteremos:

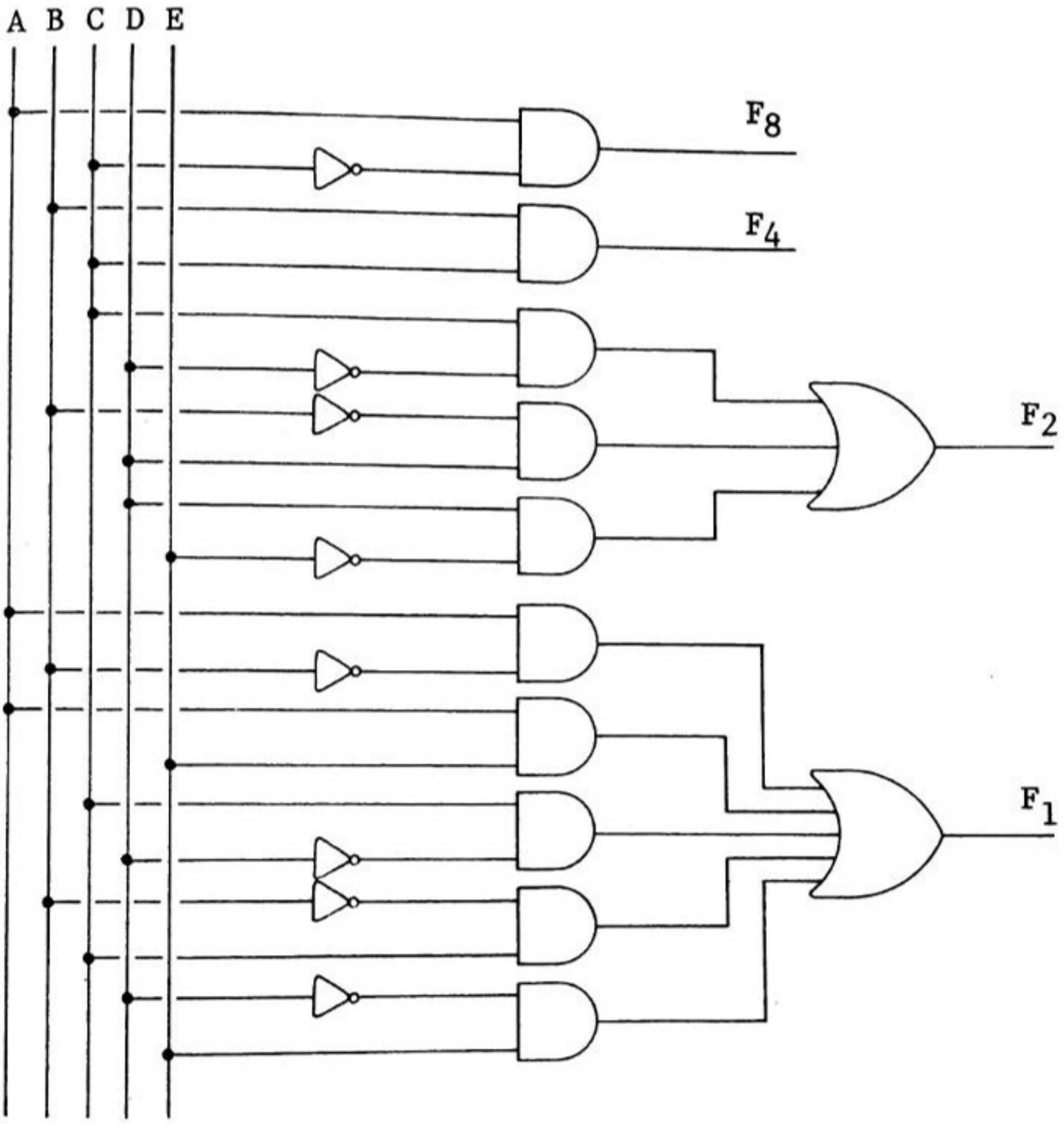


FIGURA 5

DECODIFICADOR BCD 8421 PARA 2 ENTRE 5

Agiremos analogamente aos casos anteriores:

BCD 8421				2 ENTRE 5				
A	B	C	D	F_4	F_3	F_2	F_1	F_0
0	0	0	0	0	0	0	1	1
0	0	0	1	0	0	1	0	1
0	0	1	0	0	0	1	1	0
0	0	1	1	0	1	0	0	1
0	1	0	0	0	1	0	1	0
0	1	0	1	0	1	1	0	0
0	1	1	0	1	0	0	0	1
0	1	1	1	1	0	0	1	0
1	0	0	0	1	0	1	0	0
1	0	0	1	1	1	0	0	0
1	0	1	0	ϕ	ϕ	ϕ	ϕ	ϕ
1	0	1	1	ϕ	ϕ	ϕ	ϕ	ϕ
1	1	0	0	ϕ	ϕ	ϕ	ϕ	ϕ
1	1	0	1	ϕ	ϕ	ϕ	ϕ	ϕ
1	1	1	0	ϕ	ϕ	ϕ	ϕ	ϕ
1	1	1	1	ϕ	ϕ	ϕ	ϕ	ϕ

Tabela verdade

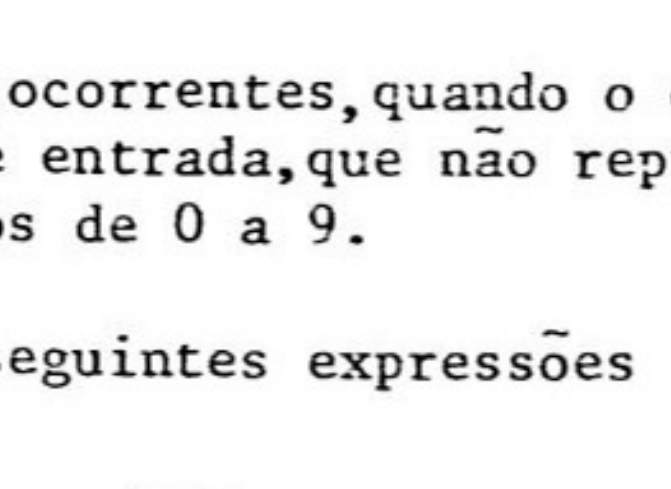
ϕ - representa as saídas irrelevantes, ocorrentes, quando o código BCD 8421 apresenta estados de entrada, que não representam no código decimal algarismos de 0 a 9.

Da tabela verdade, extraímos as seguintes expressões de saída:

$$F4 = \overline{A}.B.C.\overline{D} + \overline{A}.B.\overline{C}.D + A.\overline{B}.\overline{C}.\overline{D} + A.\overline{B}.\overline{C}.D$$
$$F3 = \overline{A}.\overline{B}.C.D + \overline{A}.B.\overline{C}.\overline{D} + \overline{A}.B.\overline{C}.D + A.\overline{B}.\overline{C}.D$$
$$F2 = \overline{A}.\overline{B}.\overline{C}.D + \overline{A}.\overline{B}.C.\overline{D} + \overline{A}.B.\overline{C}.D + A.\overline{B}.C.\overline{D}$$
$$F1 = \overline{A}.\overline{B}.\overline{C}.\overline{D} + \overline{A}.\overline{B}.C.\overline{D} + \overline{A}.B.\overline{C}.\overline{D} + \overline{A}.B.C.D$$
$$F0 = \overline{A}.\overline{B}.\overline{C}.\overline{D} + \overline{A}.\overline{B}.\overline{C}.D + \overline{A}.\overline{B}.C.D + \overline{A}.B.C.\overline{D}$$

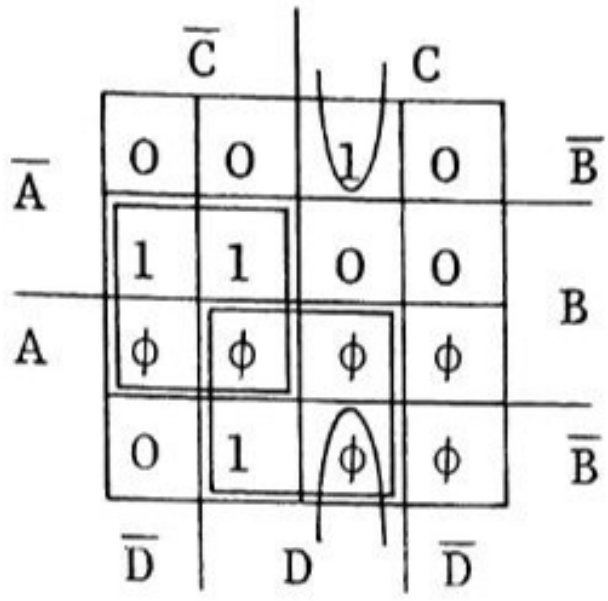
Simplificando as expressões através do mapa de Karnaugh:

F_4:



1 oitava: A
1 quadra: BC. Logo: $F_4 = A + BC$.

F_3:

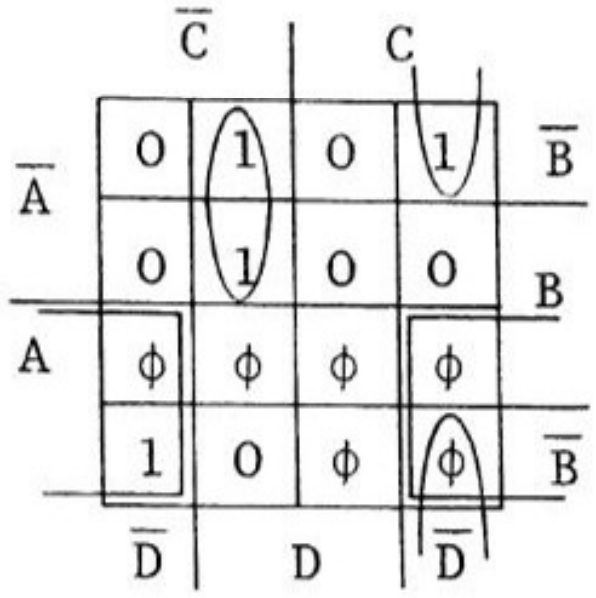


2 quadras: $B\overline{C}$
$A\overline{D}$

1 par: $\overline{B}CD$

Logo: $F_3 = \overline{B}.C.D + B.\overline{C} + A.D$

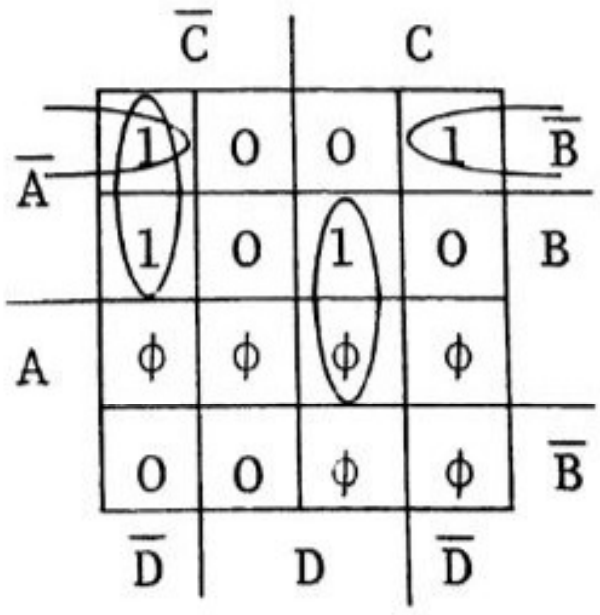
F_2:



1 quadra: $A\overline{D}$
2 pares: $\overline{B}\ C\ \overline{D}$
$\overline{A}\ C\ D$

Logo: $F_2 = \overline{A}.\overline{C}.D + \overline{B}.C.\overline{D} + A.\overline{D}$

F_1:



3 pares: $\overline{A}\ \overline{B}\ \overline{D}$
$\overline{A}\ C\ \overline{D}$
$B\ C\ D$

Logo: $F_1 = \overline{A}.\overline{B}.\overline{D} + \overline{A}.\overline{C}.\overline{D} + B.C.D$

$F_1 = \overline{(A+B+D)} + \overline{(A+C+D)} + B.C.D$

14

F_0:

	$\overline{C}\,\overline{D}$	$\overline{C}D$	$C D$	$C\overline{D}$	
$\overline{A}\,\overline{B}$	1	1	1	0	$\overline{B}$
$\overline{A}B$	0	0	0	1	B
$A B$	ϕ	ϕ	ϕ	ϕ	
$A\overline{B}$	0	0	ϕ	ϕ	$\overline{B}$

3 pares: $\overline{A}.\overline{B}.\overline{C}$
$B.C.\overline{D}$
$\overline{B}.C.D$

Logo: $F_0 = \overline{A}.\overline{B}.\overline{C} + B.C.\overline{D} + \overline{B}.C.D$
$F_0 = (\overline{A+B+C}) + B.C.\overline{D} + \overline{B}.C.D$

Resumindo, teremos:

$$\begin{cases} F_4 = A + B.C \\ F_3 = \boxed{\overline{B}.C.D} + B.\overline{C} + A.D \\ F_0 = \boxed{\overline{B}.C.D} + B.C.\overline{D} + (\overline{A+B+C}) \\ F_2 = \overline{A}.\overline{C}.D + \overline{B}.C.\overline{D} + A.\overline{D} \\ F_1 = (\overline{A+B+D}) + (\overline{A+C+D}) + B.C.D \end{cases}$$

Executando-se o circuito, teremos:

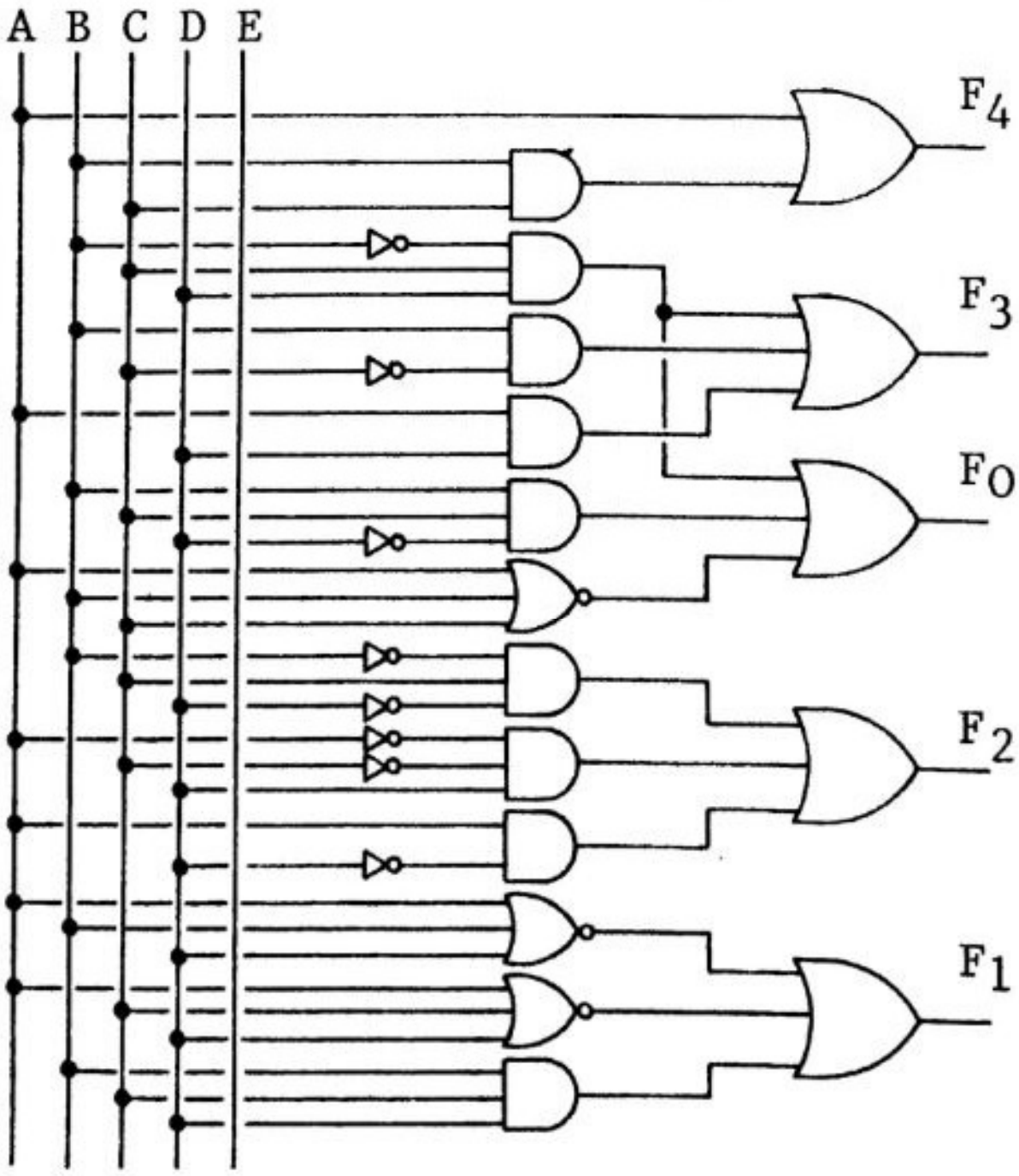


FIGURA 6

DECODIFICADOR 2 ENTRE 5 PARA BCD 8421

O processo de se obter o circuito decodificador é o mesmo usado até agora, porém cabe, neste caso, algumas observações:

1) Lembrar sempre que o código 2 entre 5 é apenas um grupo de dez números, num conjunto de 32 possibilidades,que se podem obter a partir de 5 bits.

2) Mais uma vez, lembramos que as condições tidas como irrelevantes ocorrem (para este caso) nas situações,onde a entrada não corresponde a um estado do código 2 entre 5.

DECODIFICADOR BCD 8421 PARA DISPLAY DE 7 SEGMENTOS

Trata-se de um circuito lógico,combinacional, que recebe o código BCD 8421 na entrada e gera, na saída, um código especial de 7 bits. Este display permite que sejam visualizados os dígitos decimais de "0" a "9", os dígitos octais de "0" a "7", os dígitos hexadecimais de "0" a "9" e os caracteres "A,B,C,D,E,F", dependendo exclusivamente do tipo de decodificação. Os displays serão assunto de apostilas futuras.

A figura abaixo nos mostra uma configuração esquemática de um display de 7 segmentos, com os respectivos códigos de cada barra.

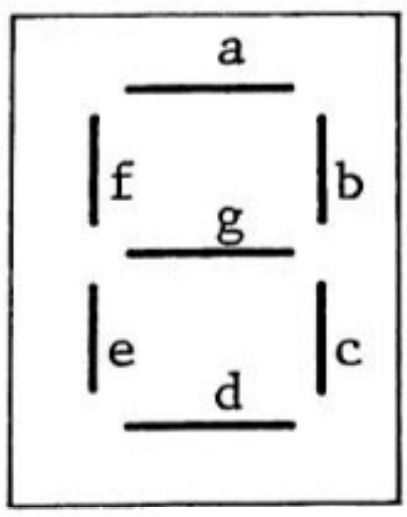
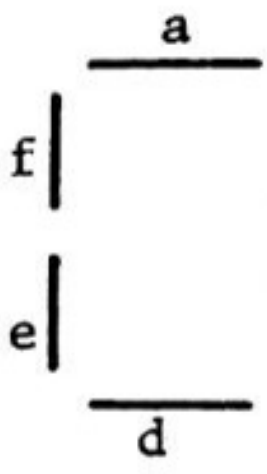


FIGURA 7

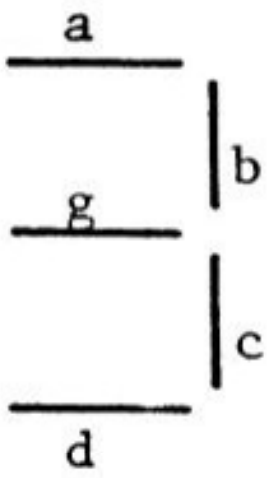
Seu funcionamento é simples, pois,se aplicarmos num dos segmentos um nível de tensão um, este se ascenderá.

Para melhor entendermos a tabela verdade, vamos agora analisar alguns casos:



Para o algarismo zero, é necessário nível de tensão 1 nos seguintes segmentos:

a, b, c, d, e, f e nível zero para o segmento g.



Para o algarismo 3, temos:

1 → a, b, c, d e g.

0 → c e f.

Procedendo-se da mesma forma, para os demais algarismos, podemos então montar a tabela verdade. Mas antes vamos montar a tabela orientadora dos segmentos a serem controlados.

DECIMAL	CÓDIGO P/ 7 SEGMENTOS						
	a	b	c	d	e	f	g
0	1	1	1	1	1	1	0
1	0	1	1	0	0	0	0
2	1	1	0	1	1	0	1
3	1	1	1	1	0	0	1
4	0	1	1	0	0	1	1
5	1	0	1	1	0	1	1
6	1	0	1	1	1	1	1
7	1	1	1	0	0	0	0
8	1	1	1	1	1	1	1
9	1	1	1	1	0	1	1

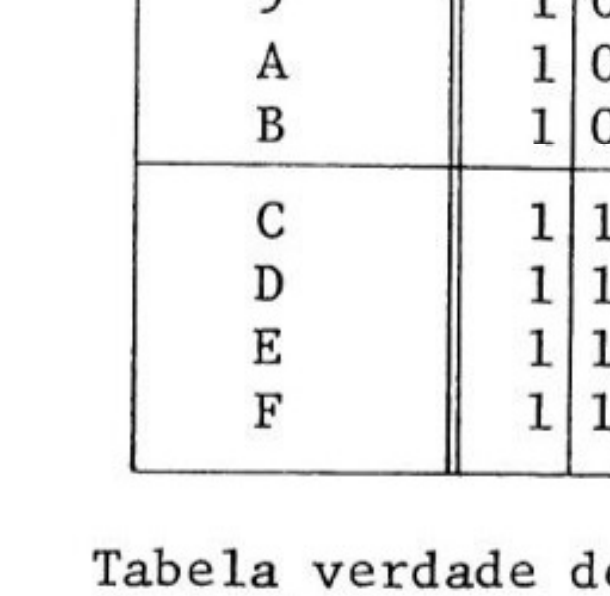
Tabela orientadora dos segmentos, para uma decodificação decimal:

DECIMAL	BCD 8421				CÓDIGO P/ 7 SEGMENTOS						
	A	B	C	D	a	b	c	d	e	f	g
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	1	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	1	0	1	1
A	1	0	1	0	1	1	1	0	1	1	1
B	1	0	1	1	0	0	1	1	1	1	1
C	1	1	0	0	1	0	0	1	1	1	0
D	1	1	0	1	0	1	1	1	1	0	1
E	1	1	1	0	1	0	0	1	1	1	1
F	1	1	1	1	1	0	0	0	1	1	1

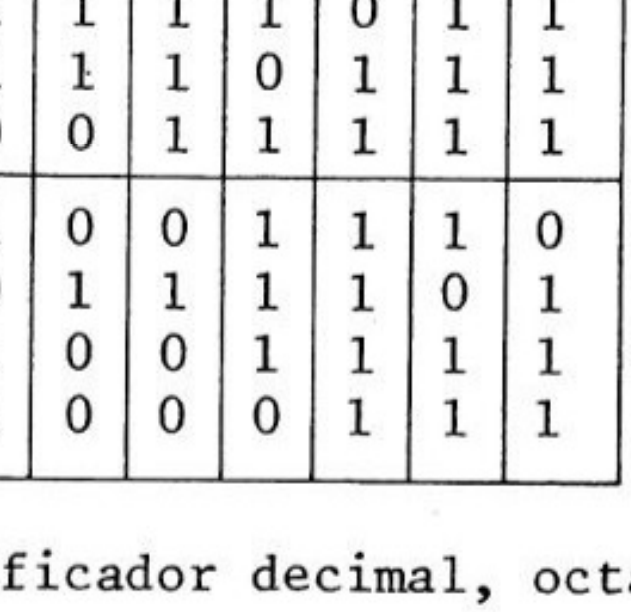
Tabela verdade de um decodificador decimal, octal e hexa decimal.

Para chegarmos até o circuito decodificador, vamos então transpor a tabela verdade para o mapa de Karnaugh, obtendo assim, expressões de saída simplificadas.

a



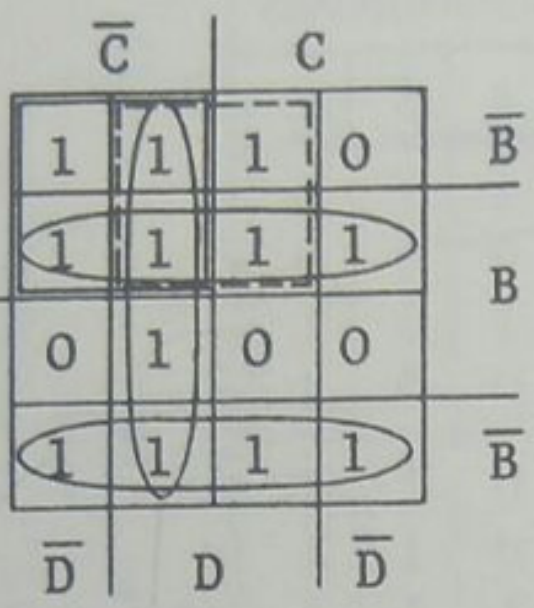
b



$a = C.\overline{D} + \overline{A}.C + B.C + \overline{A}.B.D + \overline{B}.\overline{C}.\overline{D} + A.\overline{B}.\overline{C} + A.\overline{C}.\overline{D}$

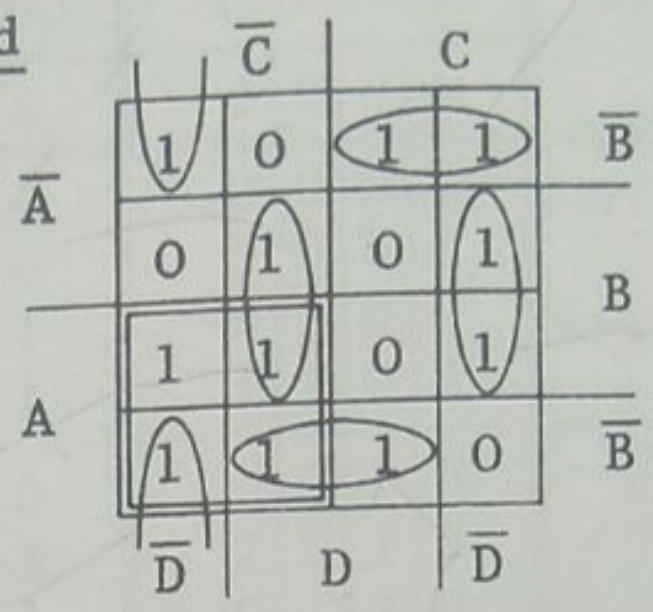
$b = \overline{A}.\overline{B} + \overline{B}.\overline{D} + \overline{A}.C.D + \overline{A}.\overline{C}.\overline{D} + A.\overline{C}.D$

c



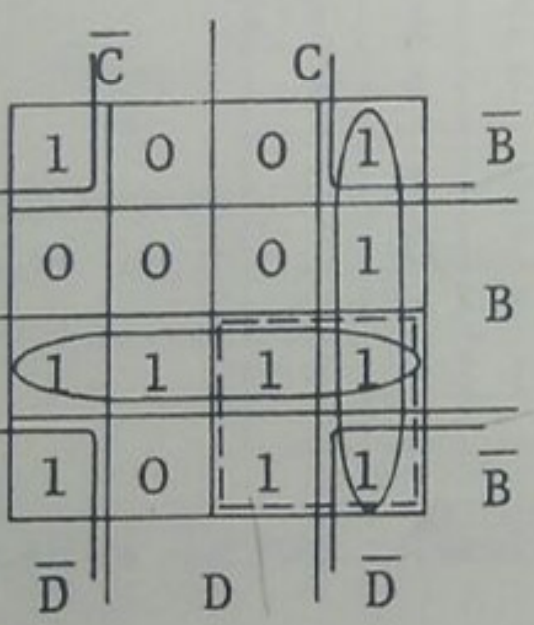
$c = A.\overline{B} + \overline{C}.D + \overline{A}.B + \overline{A}.\overline{C} + \overline{A}.D$

d



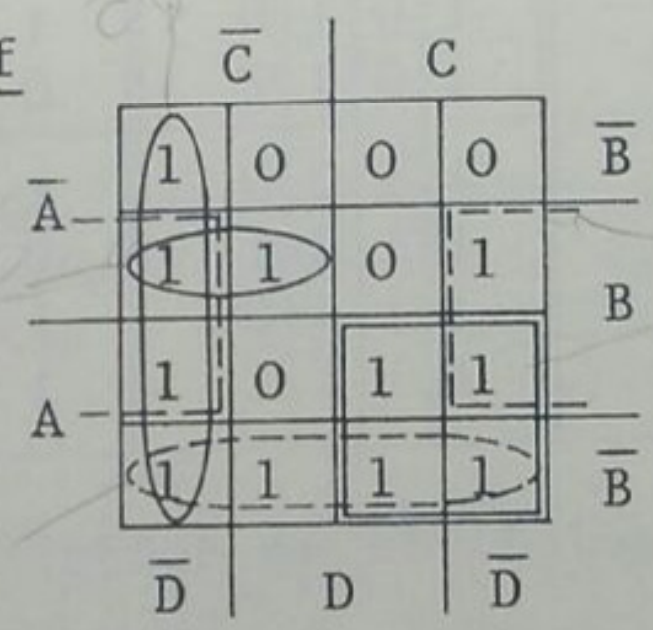
$d = A.\overline{C} + \overline{B}.\overline{C}.\overline{D} + B.\overline{C}.D + A.\overline{B}.D + B.C.\overline{D} + \overline{A}.\overline{B}.C$

e



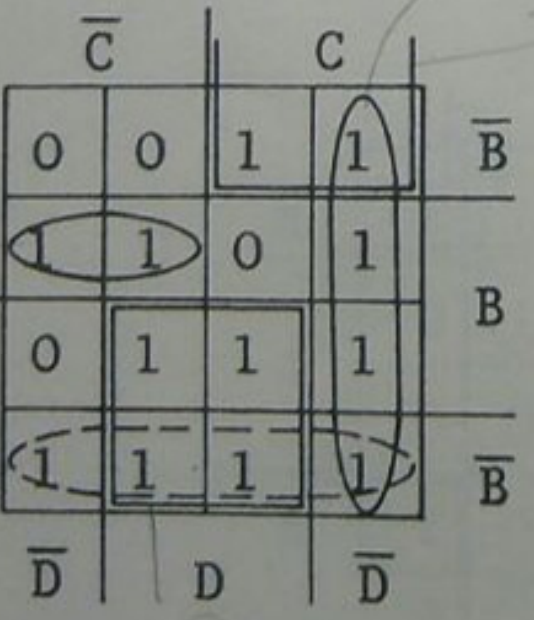
$c = \overline{B}.\overline{D} + C.\overline{D} + A.C + A.B$

f



$f = A.\overline{B} + \underline{A}.C + B.\overline{D} + \overline{C}.\overline{D} + \overline{A}.B.\overline{C}$

g



$g = C.\overline{D} + \overline{B}.C + A.D + A.\overline{B} + \overline{A}.B.\overline{C}$

De todos esses mapas de Karnaugh acima, obtemos:

$b = \overline{B}.\overline{D} + \overline{A}.\overline{B} + \overline{A}.\overline{C}.\overline{D} + A.\overline{C}.D + \overline{A}.C.D$

$$e = \overline{B.D} + A.B + \overline{A.C} + \overline{C.D}$$

$$f = \overline{A.B} + \overline{C.D} + \overline{A.C} + B.\overline{D} + \overline{\overline{A}.B.\overline{C}}$$

$$c = \overline{A.B} + \overline{C}.D + \overline{A}.B + \overline{A}.\overline{C} + \overline{A}.D$$

$$g = \overline{A.B} + A.D + \overline{C.D} + \overline{B}.C + \overline{\overline{A}.B.\overline{C}}$$

$$a = B.C + \overline{A}.C + \overline{C.D} + \overline{\overline{B}.\overline{C}.D} + \overline{A}.B.D + A.\overline{C}.\overline{D} + A.\overline{B}.\overline{C}$$

$$d = A.\overline{C} + A.\overline{B}.D + B.\overline{C}.D + \overline{\overline{B}.\overline{C}.D} + B.C.\overline{D} + \overline{A}.\overline{B}.C$$

Executando-se o circuito da mesma maneira como vínhamos fazendo até agora, teremos:

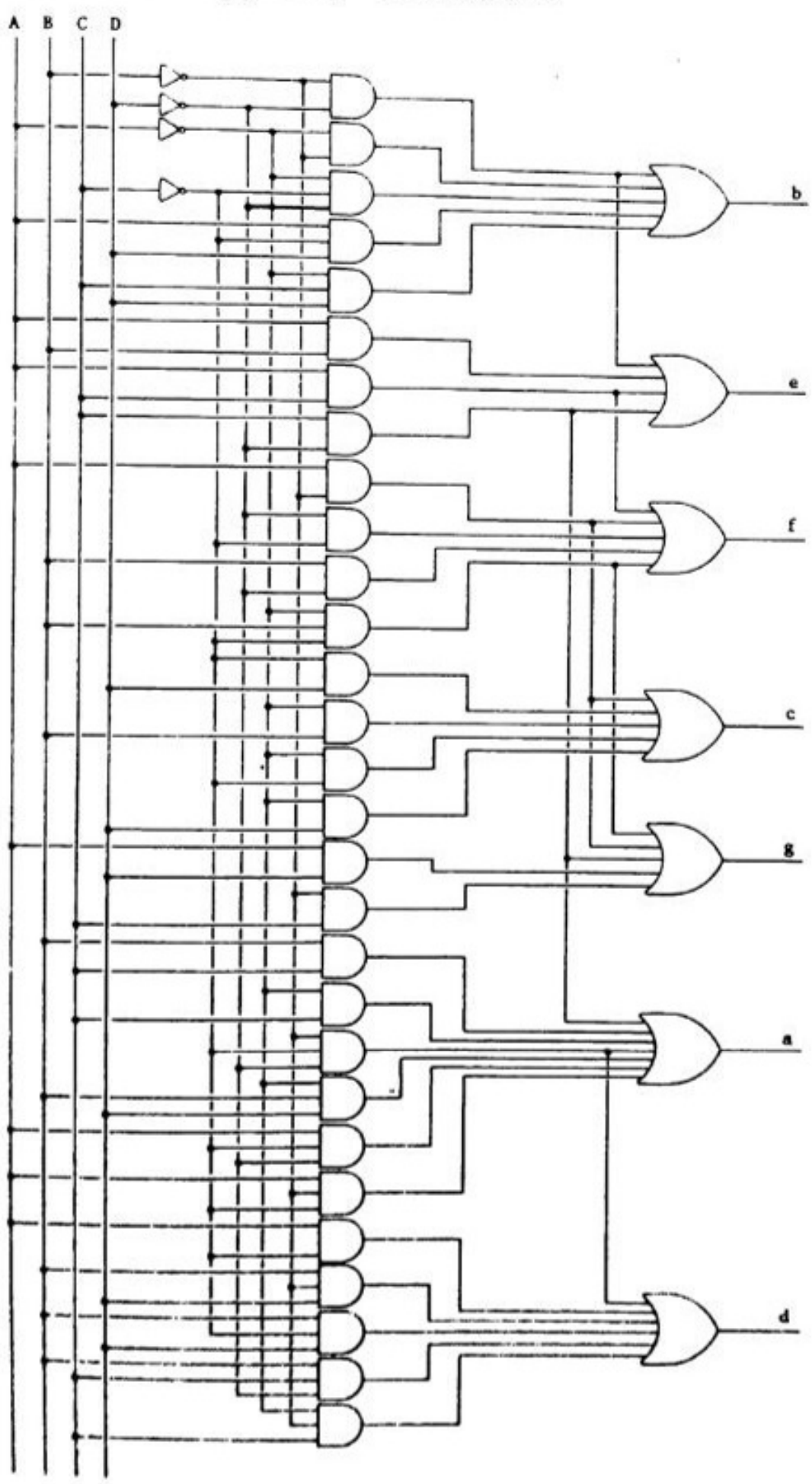


FIGURA 8

OBS.: Neste exemplo, consideramos, para maior comodidade de assimilação, que o segmento acende quando ele estiver - submetido ao nível um de tensão. Entretanto podemos encontrar displays, em que o segmento acende, quando este - estiver ao nível zero de tensão. Para obtermos este segundo tipo de decodificador, basta, na tabela verdade, invertermos os níveis de saída.

CODIFICADOR

Trata-se de um circuito lógico, combinacional, que gera um código de saída binária de vários bits.

Uma aplicação típica deste circuito lógico é a transformação ou translação do sinal de entrada de um teclado decimal para o código BCD 8421. Tanto este circuito, como os demais similares, geram um único código de saída para cada entrada individual. Os Codificadores são, na realidade, o oposto dos Decodificadores.

CODIFICADOR DECIMAL PARA BCD 8421

Para o circuito apresentado na Fig. 9, quando qualquer uma das linhas de entrada é levada a nível zero de tensão, o código BCD 8421 (de 4 bits) é então gerado na saída. Tomamos, por exemplo, a entrada do número 6; levando-se esta entrada a zero binário, as saídas das portas 2 e 3 serão forçadas a 1 binário e as portas 4 e 1 apresentarão saídas baixas. Se fizermos a leitura DCBA, o código de saída será 0110, ou seja, o equivalente binário do número decimal 6.

ENTRADAS	SAÍDAS	
1 1 1 1 1 1 1 1 1	1 1 1 1	0
0 1 1 1 1 1 1 1 1	1 1 1 0	1
1 0 1 1 1 1 1 1 1	1 1 0 1	2
1 1 0 1 1 1 1 1 1	1 1 0 0	3
1 1 1 0 1 1 1 1 1	1 0 1 1	4
1 1 1 1 0 1 1 1 1	1 0 1 0	5
1 1 1 1 1 0 1 1 1	1 0 0 1	6
1 1 1 1 1 1 0 1 1	1 0 0 0	7
1 1 1 1 1 1 1 0 1	0 1 1 1	8
1 1 1 1 1 1 1 1 0	0 1 1 0	9

Observamos que as saídas em binário são negadas.

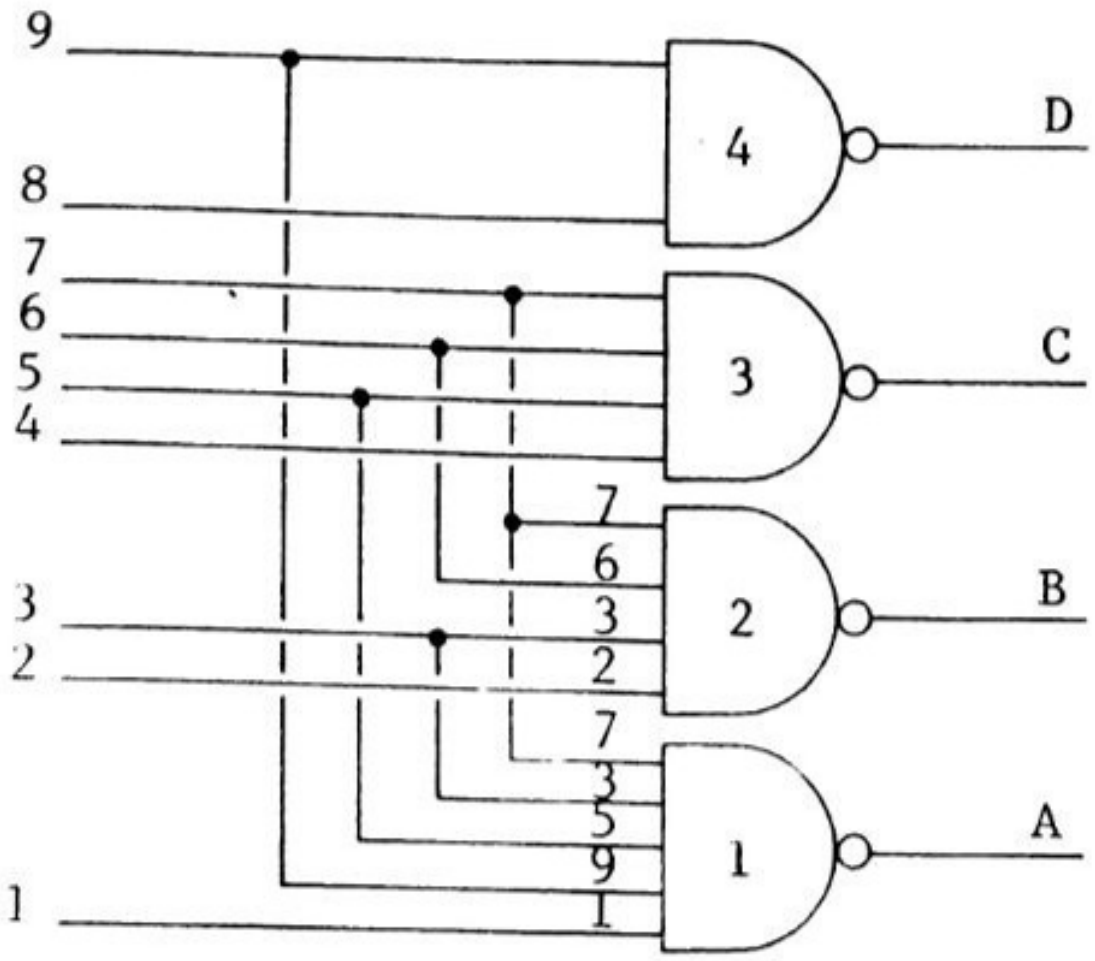


FIGURA 9

Este circuito é equivalente ao TTL 74147 - 74LS147

Resumindo, a codificação é a transformação do problema, passo a passo, tal como foi esquematizado na seqüência, ou seja, é basicamente uma operação de transcrever um código de base DEZ ou OCTAL,HEXADECIMAL,etc.,para um outro código de base DOIS(Binário).

CODIFICADOR OCTAL PARA BCD 421

EI	0	1	2	3	4	5	6	7	2	1	0		GS	EO
0	0	1	1	1	1	1	1	1	1	1	1	0	0	1
0	1	0	1	1	1	1	1	1	1	1	0	1	0	1
0	1	1	0	1	1	1	1	1	1	0	1	2	0	1
0	1	1	1	0	1	1	1	1	1	0	0	3	0	1
0	1	1	1	1	0	1	1	1	0	1	1	4	0	1
0	1	1	1	1	1	0	1	1	0	1	0	5	0	1
0	1	1	1	1	1	1	0	1	0	0	1	6	0	1
0	1	1	1	1	1	1	1	0	0	0	0	7	0	1
0	1	1	1	1	1	1	1	1	1	1	1	0	1	0
1	X	X	X	X	X	X	X	X	1	1	1	0	1	1

1 = Nível alto
0 = Nível baixo
X = Qualquer nível

Observamos que as saídas em binário são negadas.

A figura 10 ilustra o circuito típico do codificador de oito linhas para três linhas (Codificador Octal para Binário 421), com possibilidade de expansão em cascata utilizando a entrada EI e a saída EO habilitadora.

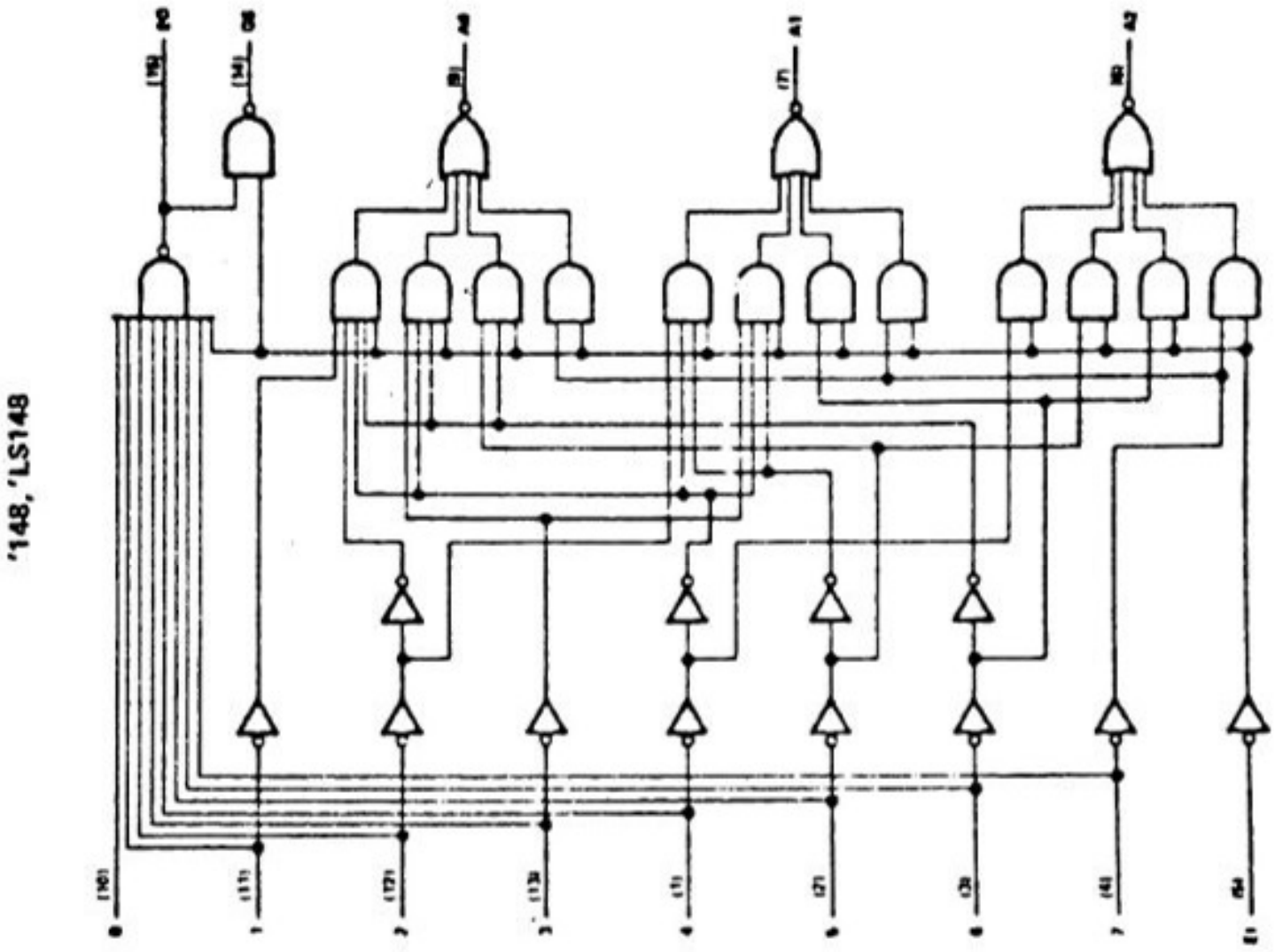


FIGURA 10

A figura 11 ilustra a expansão em cascata do circuito da figura 10. Nestas condições o circuito se torna um codificador hexadecimal para binário 8421.

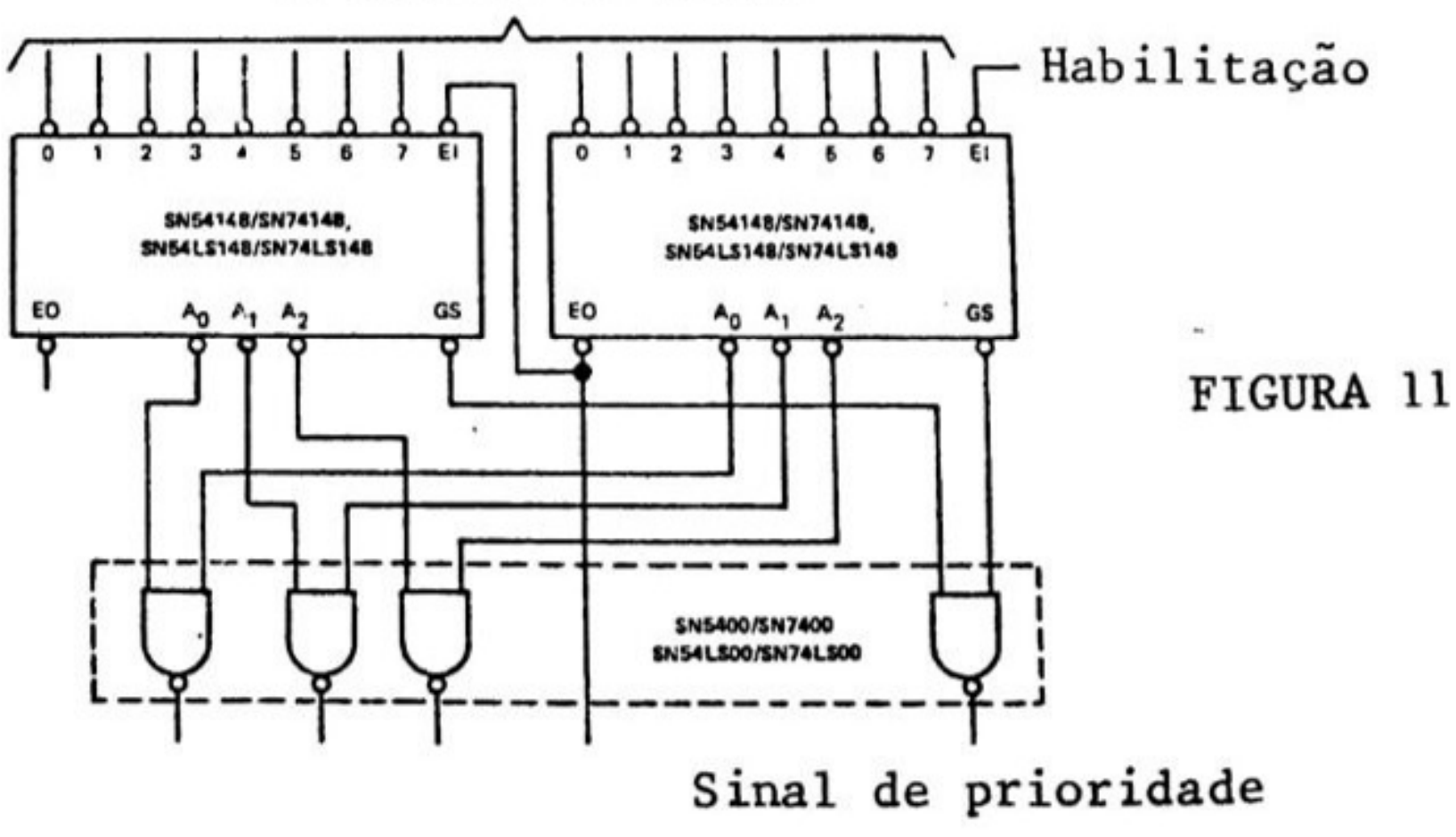


FIGURA 11

CURSOS DE APERFEIÇOAMENTO

CURSO DE
ELETRÔNICA DIGITAL E
MICROPROCESSADORES

CAIXA POSTAL 1642 - CEP 86100 - LONDRINA - PARANÁ

EXAME DA LIÇÃO ED-14

OBSERVAÇÃO

- cada questão é composta de três ou quatro alternativas.
- só uma delas está correta.
- marque a que considerar correta.
- passe as respostas corretas para a folha de exame.

1) De conformidade com o projeto do decodificador excesso 3 para BCD 8421, levando-se em conta os termos irrelevantes, podemos dizer que as seguintes expressões são equivalentes:

a) $F = \overline{A}.B.\overline{C}.D + \overline{A}.B.C.\overline{D} + A.\overline{B}.\overline{C}.D + A.\overline{B}.C.\overline{D} = A.B + A.C.D =$
$= A.B + A.C.D;$

b) $F = \overline{A}.B.\overline{C}.D + \overline{A}.B.C.\overline{D} + A.\overline{B}.\overline{C}.D + A.\overline{B}.C.\overline{D} = \overline{C}.D + C.\overline{D} = C \oplus D;$

c) $F = \overline{A}.B.\overline{C}.D + \overline{A}.B.C.\overline{D} + A.\overline{B}.\overline{C}.D + A.\overline{B}.C.\overline{D} = \overline{C}.D + C.\overline{D} = \overline{D};$

d) N.R.A.

Este projeto refere-se às questões 2 à 10 projetar um circuito decodificador octal para display de 7 segmentos.

2) Qual alternativa está correta com relação à montagem da tabela?

a)

ENTRADAS			SAÍDAS						
A	B	C	a	b	c	d	e	f	g
0	0	0	1	1	1	1	1	1	0
0	0	1	0	1	1	0	0	0	0
0	1	0	1	1	0	1	1	0	1
0	1	1	1	1	1	1	0	0	1
1	0	0	0	1	1	0	0	1	1
1	0	1	1	0	1	1	0	1	1
1	1	0	1	0	1	1	1	1	1
1	1	1	1	1	1	0	0	0	0

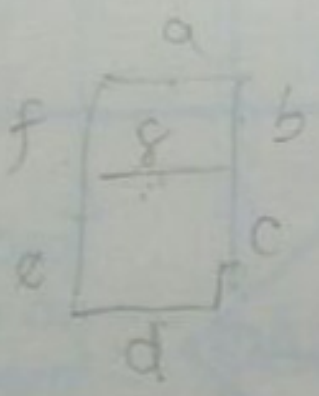
b)

ENTRADAS			SAÍDAS					
A	B	C	a	b	c	d	e	f
0	0	0	1	1	1	1	1	1
0	0	1	0	1	1	0	0	0
0	1	0	1	1	0	1	1	0
0	1	1	1	1	1	1	0	0
1	0	0	0	1	1	0	0	1
1	0	1	1	0	1	1	0	1
1	1	0	1	0	1	1	1	1
1	1	1	1	1	1	0	0	0

c)

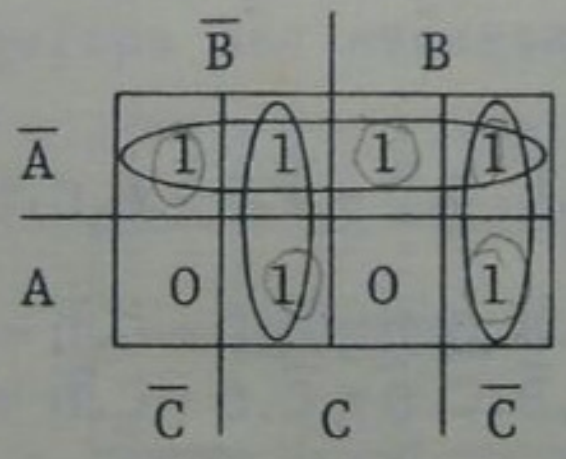
ENTRADAS			SAÍDAS						
A	B	C	a	b	c	d	e	f	g
0	0	0	1	1	1	1	1	1	0
0	0	1	1	1	0	0	0	0	0
0	1	0	1	1	0	1	1	0	1
0	1	1	1	1	1	1	1	0	0
1	0	0	0	1	1	0	0	1	1
1	0	1	1	0	1	1	1	0	1
1	1	0	1	1	0	1	1	1	1
1	1	1	0	1	1	1	0	0	0

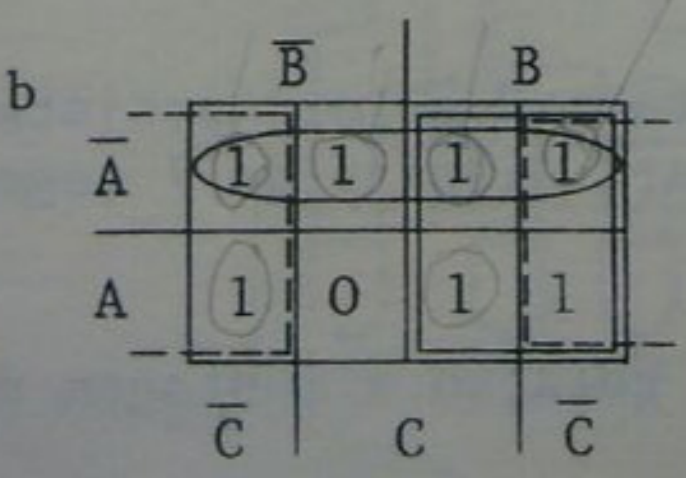
d) N.R.A



3) Qual alternativa está correta com relação à saída a e b?

a)





b) $a = \overline{\overline{A} \oplus \overline{C}} + B;$
$b = \overline{A} + \overline{B}.\overline{C} + B.C;$

c) $a = \overline{A} + \overline{B}.C + B.\overline{C};$
$b = \overline{A} + \overline{B} + \overline{C};$

d) As alternativas "a" e "b" estão corretas.

4) Assinale a alternativa correta:

a) $c = \overline{B}.\overline{C} + A.\overline{C} + \underline{B}.C$;
b) $c = B.\overline{C} + A.C + \overline{B}.C$;
c) $c = A + \overline{B} + C$;
d) N.R.A.

5) Assinale a alternativa correta com relação à saída d:

a)

	$\overline{B}$		B	
$\overline{A}$	0	0	1	1
A	0	1	1	1
	$\overline{C}$	C		$\overline{C}$

b)

	$\overline{B}$		B	
$\overline{A}$	1	0	0	1
A	0	0	0	1
	$\overline{C}$	C		$\overline{C}$

c)

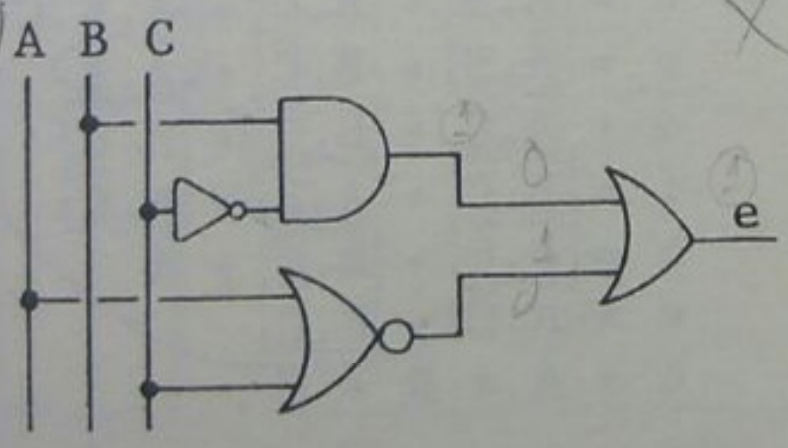
	$\overline{C}$		C	
$\overline{A}$	1	0	1	1
A	0	1	0	1
	$\overline{B}$	B		$\overline{B}$

d) N.R.A

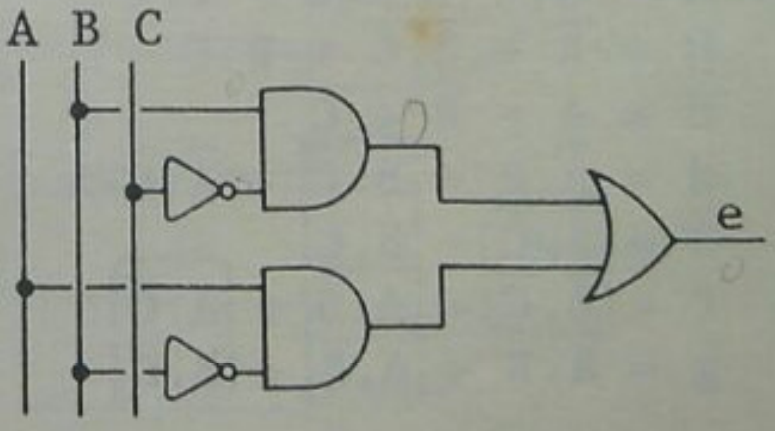
$\overline{A}\,\overline{B}\,\overline{C} + \overline{A}\,B\,\overline{C} + \overline{A}\,BC + A\,\overline{B}\,C + A\,B\,\overline{C}$

6) Assinale a alternativa correta com relação à saída e:

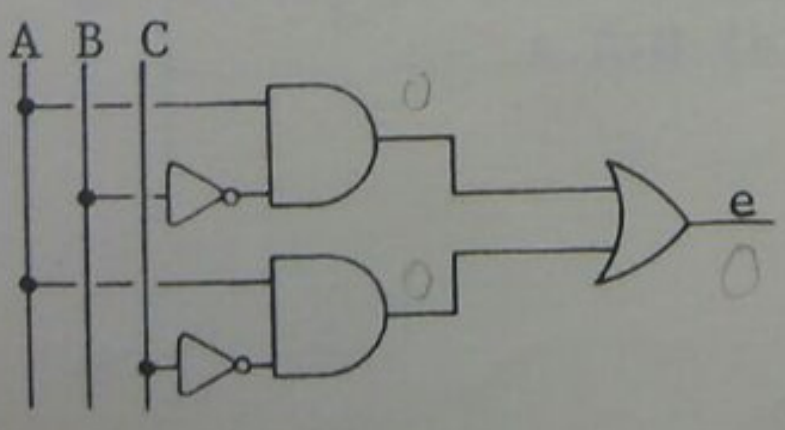
a)



b)



c)



d) N.R.A

7) Assinale a alternativa correta:

a) $f = \overline{B}.\overline{C} + \overline{A}.\overline{B} + A.\overline{C}$;
b) $f = \overline{B}.\overline{C} + A.\overline{B} + A.\overline{C}$;
c) $f = \overline{B}.C + \overline{A}.\overline{B} + A.\overline{C}$;
d) $f = \overline{B}.C + \overline{A}.\overline{B} + \overline{A}.\overline{C}$.

8) Assinale a alternativa correta com relação à saída g:

a)

	$\overline{B}$		B	
$\overline{A}$	0	0	1	1
A	1	1	0	1
	$\overline{C}$	C		$\overline{C}$

b) $g = A \oplus B + B.\overline{C}$

c)

	$\overline{B}$		B	
$\overline{A}$	0	0	0	1
A	1	1	0	1
	$\overline{C}$	C		$\overline{C}$

d) As alternativas "a" e "b" estão corretas.

9) Assinale a alternativa correta:

a) $a = \overline{A}.C + A.\overline{C} + B.\overline{C}$
$b = \overline{A} + \overline{B}.\overline{C} + B.C$
$c = A + \overline{B} + C$
$d = A.B + B.C + \overline{A}.C + A.\overline{B}.C$
$e = \overline{A}.C + B.C$
$f = \overline{B}.C + A.B + A.\overline{C}$
$g = \overline{A}.B + A.B + B.\overline{C}$

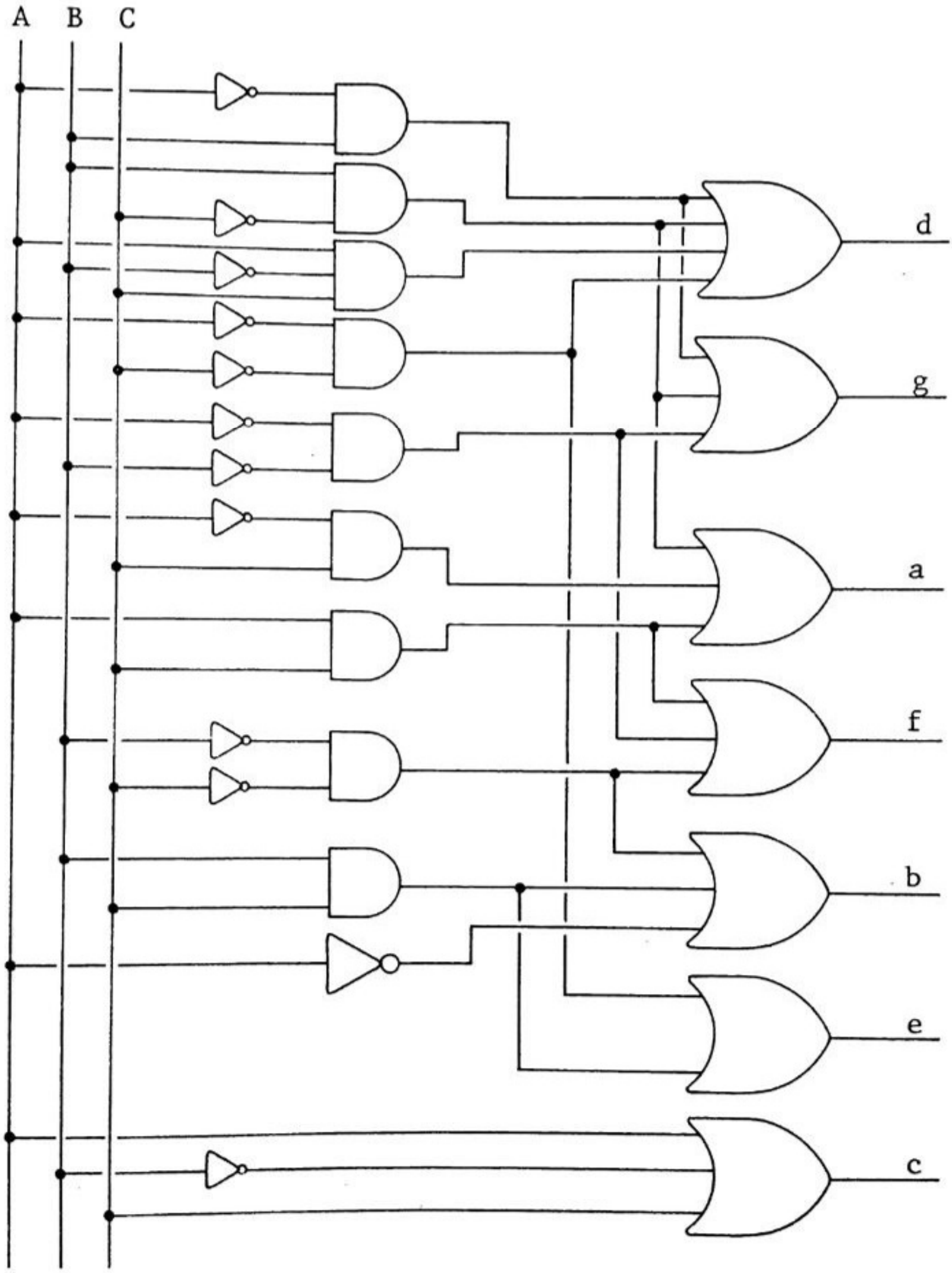
b) $d = \overline{A}.B + B.\overline{C} + A.\overline{B}.C + \overline{A}.\overline{C}$
$g = \overline{A}.B + B.\overline{C} + A.B$
$a = \overline{A}.C + B.\overline{C} + A.\overline{C}$
$f = B.\overline{C} + A.B + A.\overline{C}$
$b = \overline{B}.\overline{C} + B.\overline{C} + \overline{A}$
$e = A.\overline{C} + B.\overline{C}$
$c = A + B + C$

c) $b = \overline{B}.\overline{C} + B.\overline{C} + \overline{A}$
$f = \overline{B}.\overline{C} + A.\overline{B} + A.\overline{C}$
$a = \overline{A}.C + B.\overline{C} + A.\overline{C}$
$g = \overline{A}.B + B.\overline{C} + A.\overline{B}$
$d = \overline{A}.B + B.\overline{C} + A.\overline{C} + A.\overline{B}.C$
$e = B.C + A.\overline{C}$
$c = A + \overline{B} + C$

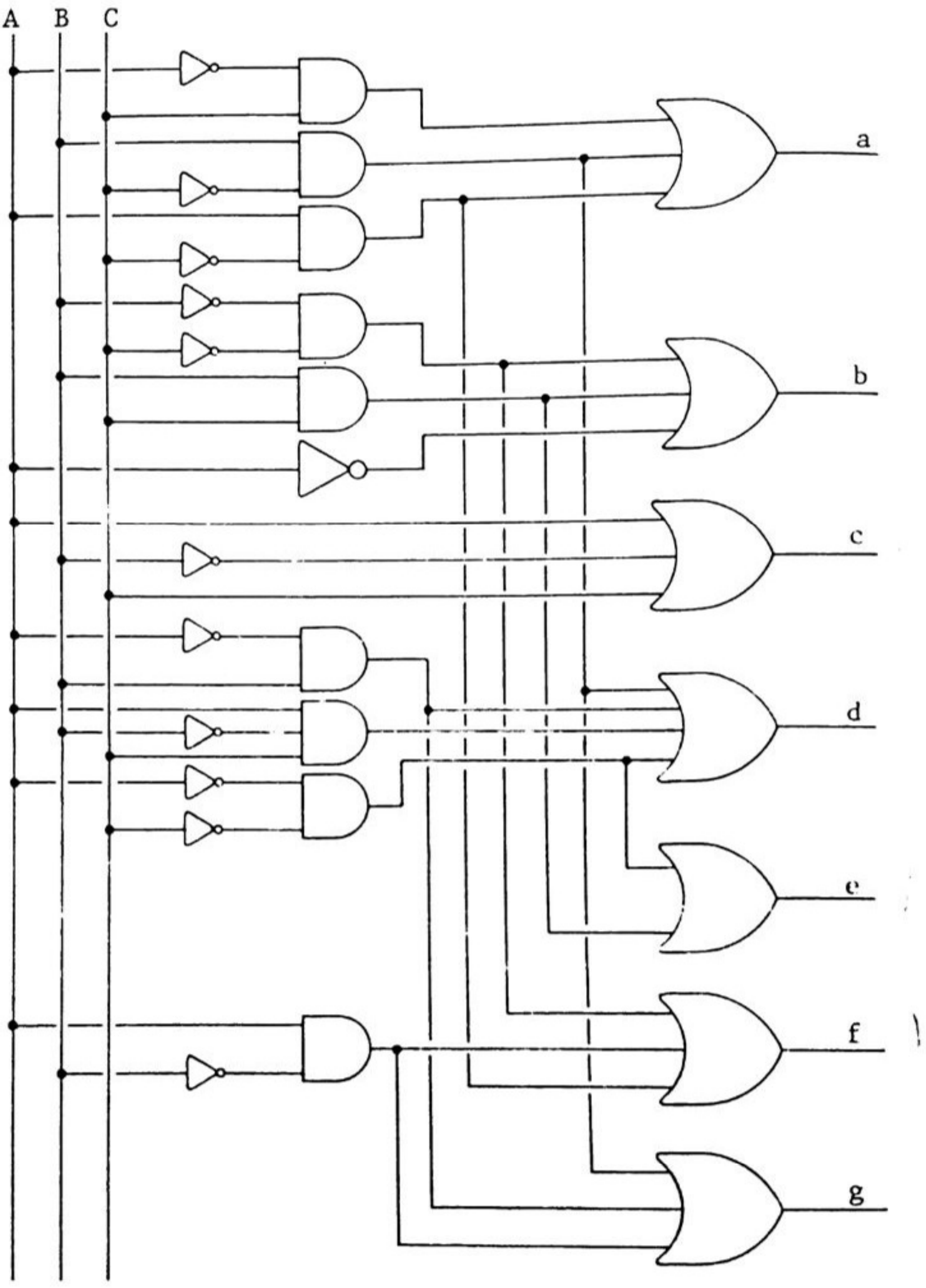
d) N.R.A.

10) Assinale a alternativa correta:

a)



b)



c) Não é possivel obter o circuito;

d) N.R.A.

CURSOS DE APERFEIÇOAMENTO

CURSO DE
ELETRÔNICA DIGITAL E
MICROPROCESSADORES

CAIXA POSTAL 1642 · CEP 86100 · LONDRINA - PARANÁ

LIÇÃO ED-15

CIRCUITOS ARITMÉTICOS

Nesta lição, trataremos de um assunto muito importante, isto é, o estudo dos chamados circuitos aritméticos, utilizados em grande escala nos computadores.

Uma calculadora digital, por exemplo, deve evidentemente conter circuitos que realizem operações aritméticas, como adição, subtração, multiplicação e divisão.

É perfeitamente possível construir uma calculadora, em que o único circuito presente seja, por exemplo, um somador.

As outras operações, por exemplo, poderão realizar-se mediante programação.

A seguir introduziremos instruções à calculadora, expondo como esta deve usar o somador, de forma repetida, para encontrar o produto, por exemplo: de uma multiplicação, divisão ou subtração.

SOMADORES:

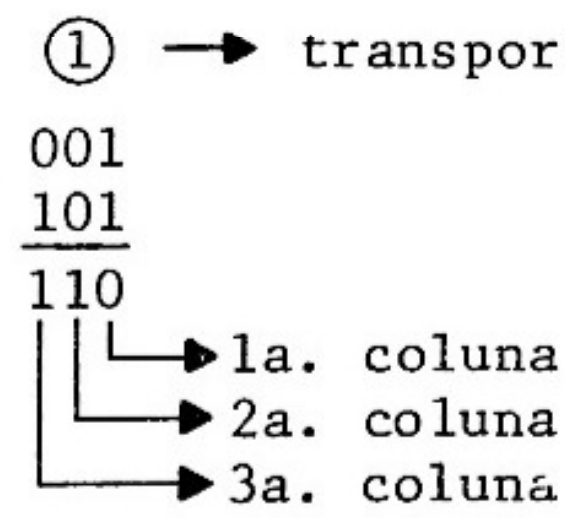
Os somadores, em computadores digitais, utilizam, em sua maioria, combinações de funções lógicas já conhecidas como circuitos E, OU e NÃO para realizar as funções de adição.

Quando se somam números, é necessário, freqüentemente, transportar um número à coluna seguinte. Como o aluno já viu as operações básicas em lições anteriores, faremos somente uma breve recordação.

É o transporte das operações aritméticas que torna necessário o emprego de circuitos complexos nos computadores. Quando o transporte não for necessário, um simples circuito "OU EXCLUSIVO" poderia somar números com facilidade, pois havendo pulsos em uma das entradas, conseqüentemente haverá pulsos de saída.

Em um somador, por exemplo, um trem de pulsos aplicado à entrada soma-se a um grupo de pulsos aplicado à outra entrada.

Vamos considerar a seguinte soma:



Como o aluno pode ver, na primeira coluna, temos a soma de 1 e 1, que equivale a zero e transporta-se 1. O 1 que se transporta é indicado com um círculo na parte superior da segunda coluna; somando o 1 aos zeros da segunda coluna, obtém-se o próprio 1 sem transporte. Na terceira coluna, a soma de 1 e 0 produz 1. Finalmente, obtemos a soma final que é 110.

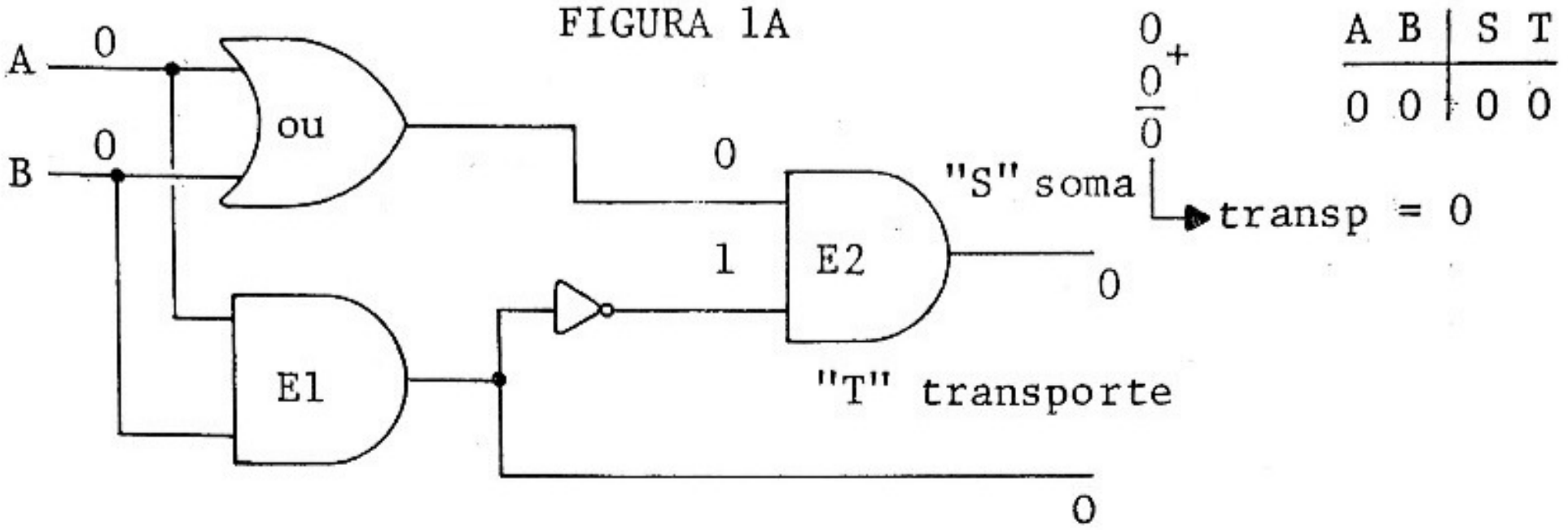
SEMI-SOMADOR (HALF-ADDRES)

A figura 1 ilustra um circuito semi-somador ou meio somador.

Considerando os dados binários 0011 e 0101 e o circuito da figura 1A, podemos ver que a porta "OU" em conjunto com a porta "E_2" executam a soma dos dados de entrada 0 + 0 = 0, 0 + 1 = 1, 1 + 0 = 1 e 1 + 1 = 0 e vai 1. A porta "E1" produz um na saída, quando as entradas A e B estiverem a um, esta condição

origina um transporte.

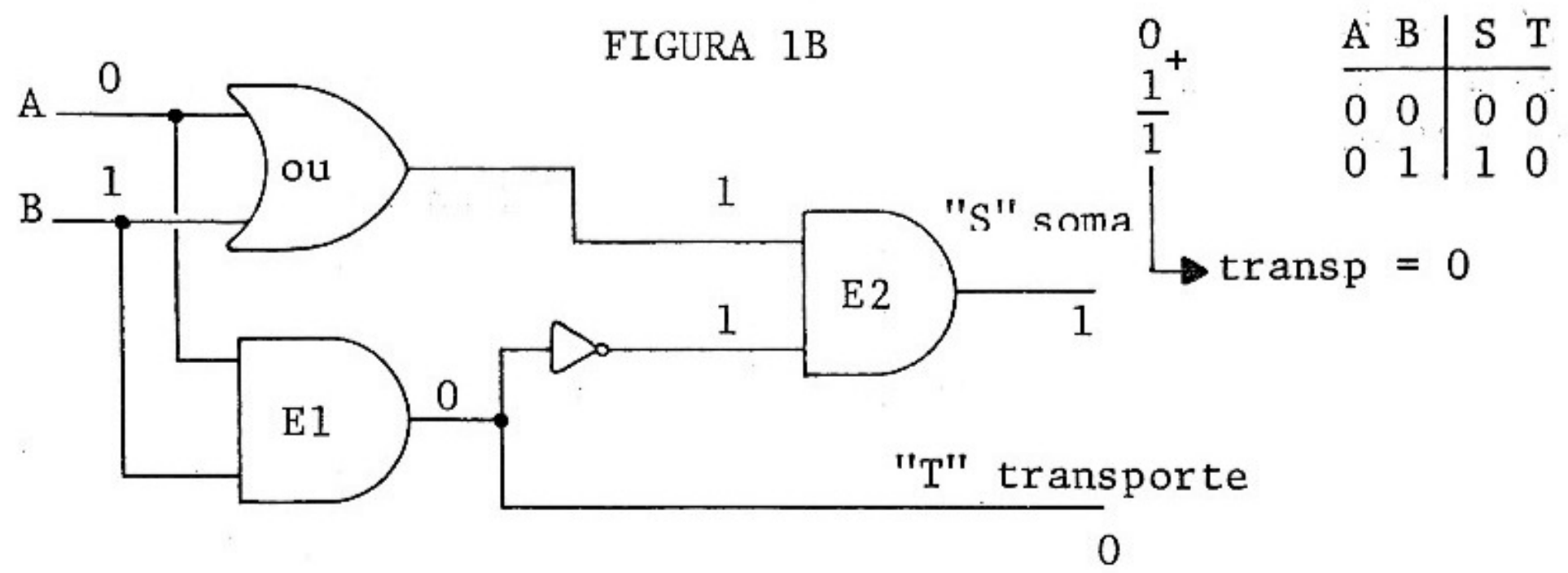
FIGURA 1A



A	B	S	T
0	0	0	0

Analisando o circuito da figura 1A,vemos A = 0 e B = 0 e a saída soma S = 0 e o transporte T = 0.

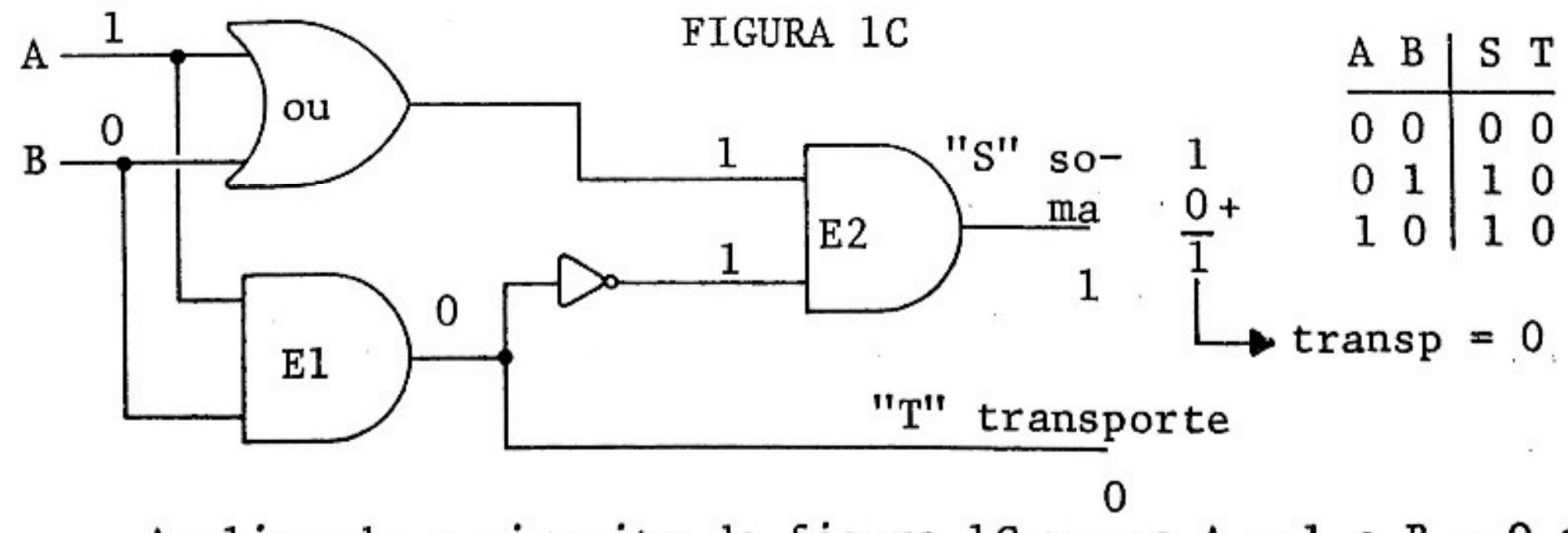
FIGURA 1B



A	B	S	T
0	0	0	0
0	1	1	0

Analisando o circuito da figura 1B,vemos A = 0 e B = 1 e a saída soma S = 1 e o transporte T = 0.

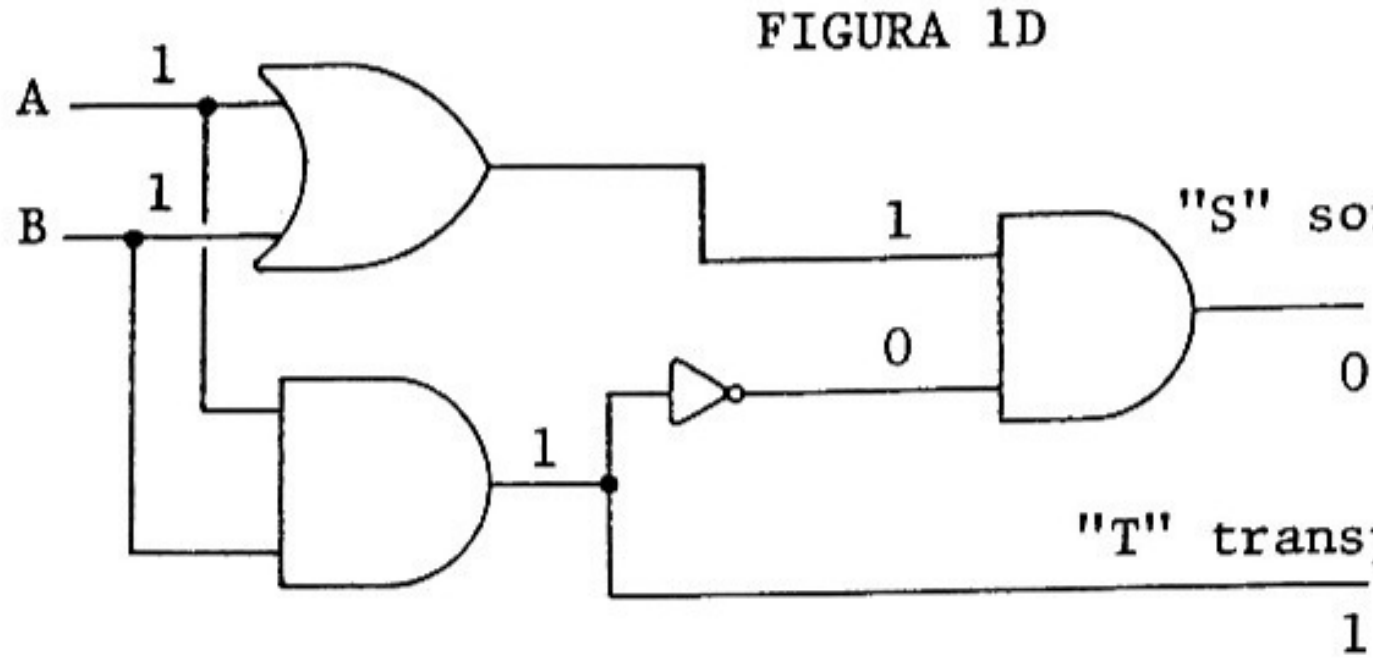
FIGURA 1C



A	B	S	T
0	0	0	0
0	1	1	0
1	0	1	0

Analisando o circuito da figura 1C,vemos A = 1 e B = 0 e a saída soma S = 1 e o transporte T = 0.

FIGURA 1D

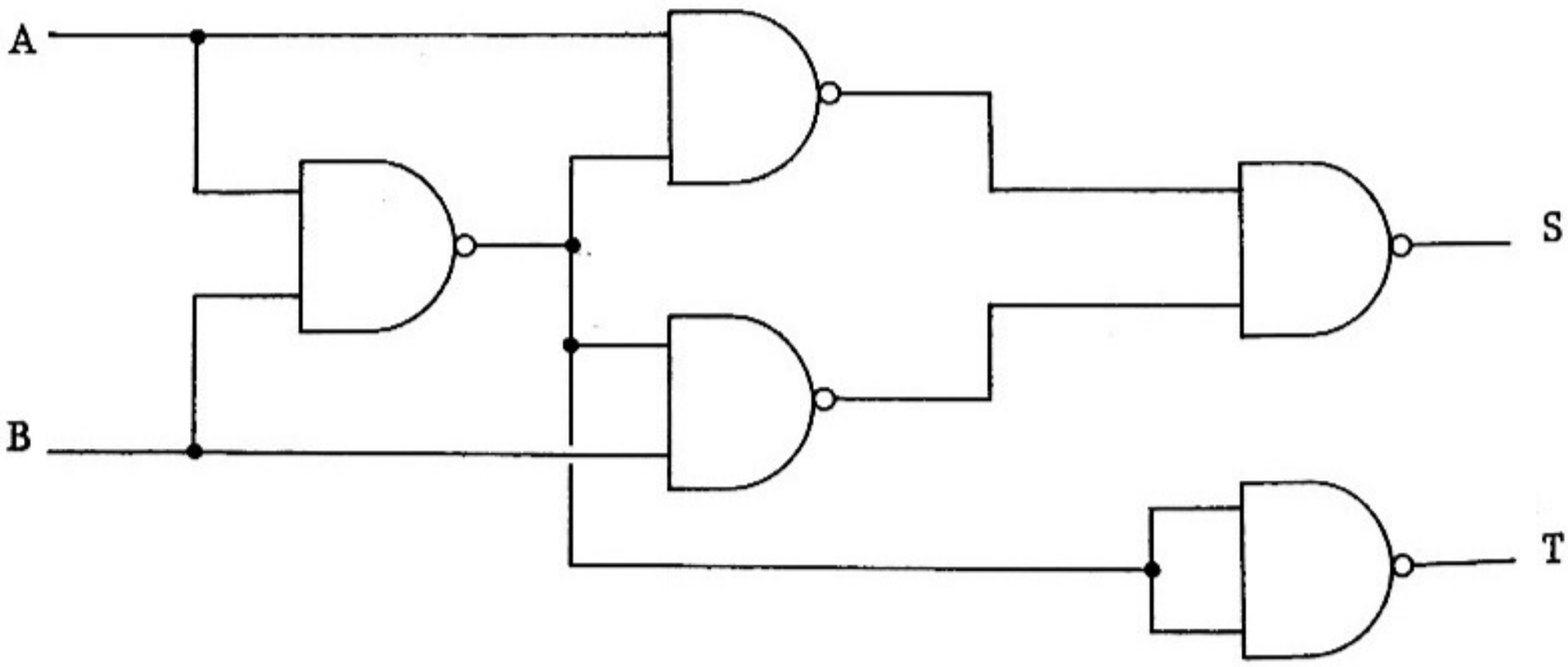


A	B	S	T
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Analisando o circuito da figura 1D, vemos A = 1 e B = 1 e a saída soma S = 0 e o transporte T = 1.

Uma outra forma de se obter um circuito semi-somador seria utilizar portas "NÃO E" (NAND) de duas variáveis, (figura 2) ou aplicar os dados da tabela do semi-somador no mapa de Karnaugh.

FIGURA 2



SOMADOR COMPLETO (FULL-ADDRES)

O circuito somador completo efetua a soma completa de uma coluna de três bits, como ilustra a tabela a seguir.

Temos então:

A	B	C	Soma = S		T = transporte
0	0	0	0	não há transporte →	T = 0
0	0	1	1	não há transporte →	T = 0
0	1	0	1	não há transporte →	T = 0
0	1	1	0	transporte 1 →	T = 1
1	0	0	1	não há transporte →	T = 0
1	0	1	0	transporte 1 →	T = 1
1	1	0	0	transporte 1 →	T = 1
1	1	1	1	transporte 1 →	T = 1

A tabela verdade com as oito possibilidades dadas acima é indicada pela figura 3.

A	B	C	S	T
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

FIGURA 3

As expressões características da soma e do transporte serão, respectivamente:

$$S = \overline{A}.\overline{B}.C + \overline{A}.B.\overline{C} + A.\overline{B}.\overline{C} + A.B.C$$

$$T = \overline{A}.B.C + A.\overline{B}.C + A.B.\overline{C} + A.B.C$$

Como temos três variáveis, o mapa de Karnaugh será indicado pelas figuras 4 e 5.

06

Para S = $\overline{A}.\overline{B}.C + \overline{A}.B.\overline{C} + A.\overline{B}.\overline{C} + A.B.C$

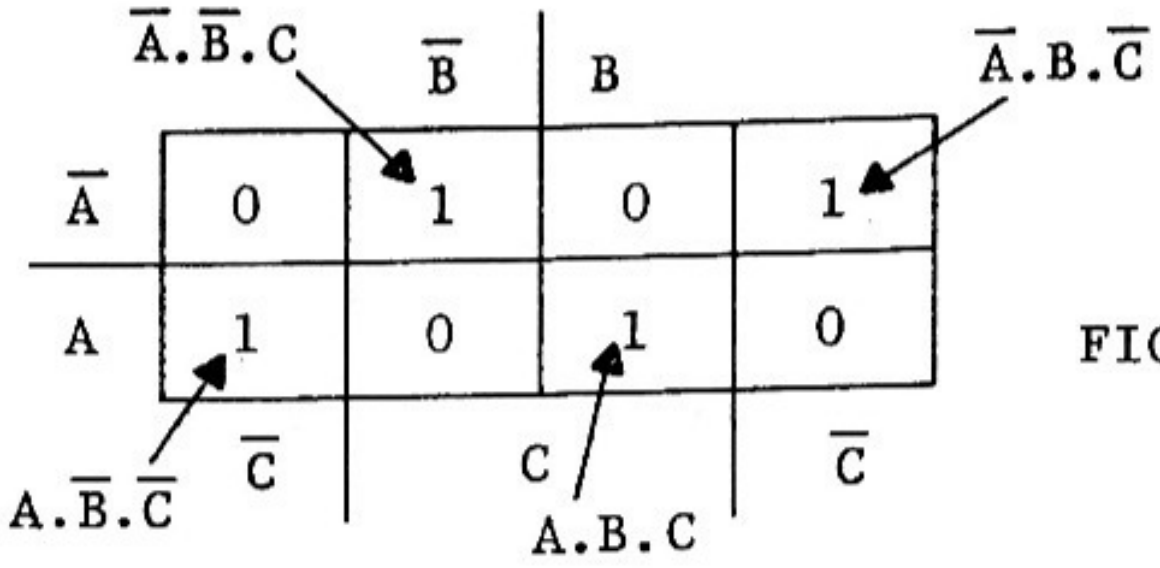


FIGURA 4

Como não podemos simplificar, teremos então:

$S = \overline{A}.\overline{B}.C + \overline{A}.B.\overline{C} + A.\overline{B}.\overline{C} + A.B.C$
$S = \overline{A}(\overline{B}.C + B.\overline{C}) + A(\overline{B}.\overline{C} + B.C)$
$S = \overline{A}(B \oplus C) + A(\overline{B \oplus C})$
$S = A \oplus B \oplus C$

(recordar, se preciso, as lições referentes à simplificação pelo mapa de Karnaught).

$T = \overline{A}.B.C + A.\overline{B}.C + A.B.\overline{C} + A.B.C$

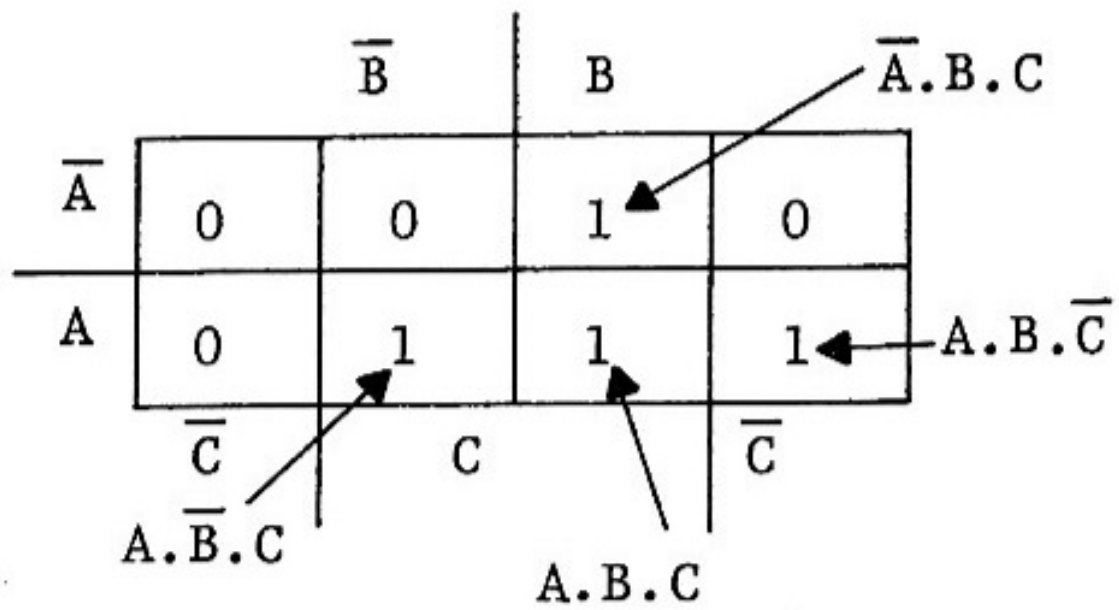


FIGURA 5

Poderemos agrupar em pares, para simplificação, como indica a figura 6.

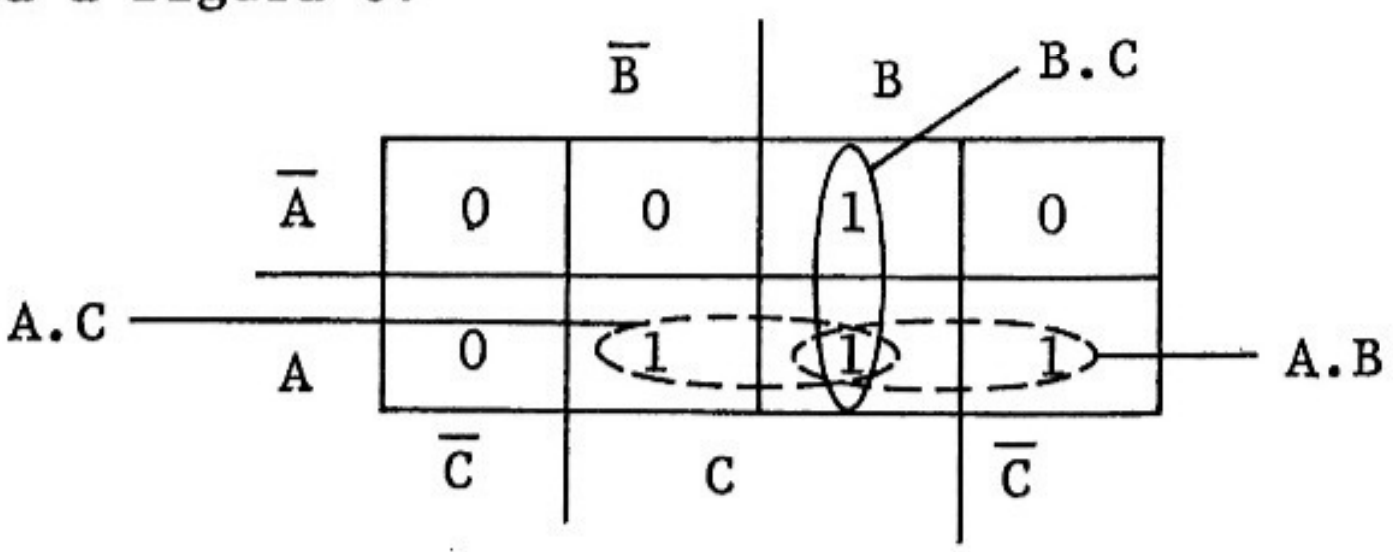


FIGURA 6

$T = A.C + A.B + B.C$

De posse das expressões características, podemos esquematizar o circuito somador completo, como indica a figura 7.

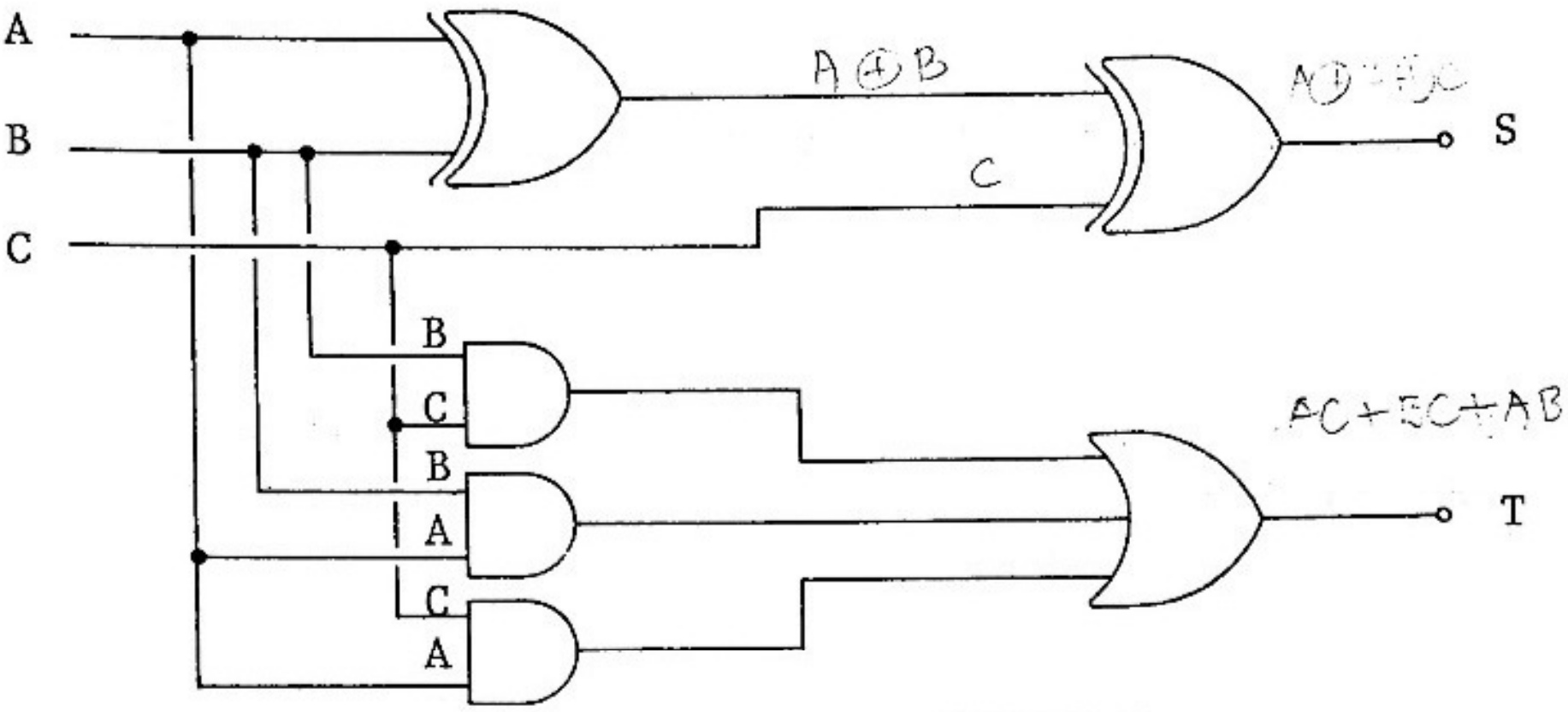


FIGURA 7

SOMADOR COMPLETO A PARTIR DE DOIS SEMI-SOMADORES

A partir do circuito semi-somador da figura 2, podemos construir um somador completo. Basta, para isso, agruparmos a este circuito um outro meio somador, como ilustra a figura 8.

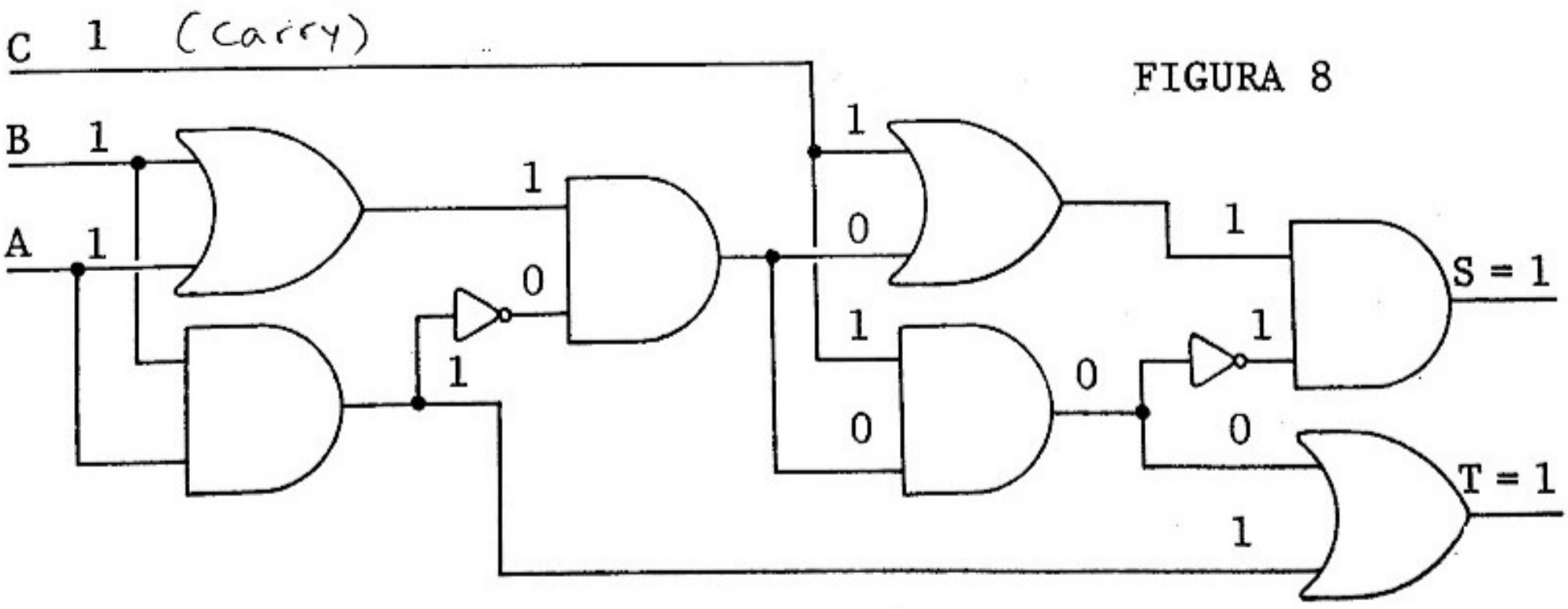


FIGURA 8

O circuito somador completo da figura 8 executa a soma de três bits de uma só vez. A entrada "A" corresponde à primeira parcela, a entrada "B" corresponde à segunda parcela e a entrada "C" corresponde ao transporte "vem um", assim:

1 - vem um "C"
+ 1 - 2a. parcela "B"
1 - 1a. parcela "A"
1 e vai um (T = 1)

A soma é obtida na saída "S" e o transporte "vai um" é obtido na saída "T".

FUNCIONAMENTO EM PARALELO

Números de vários dígitos podem ser somados em série(uma coluna por vez) ou em paralelo (todas as colunas simultaneamente).

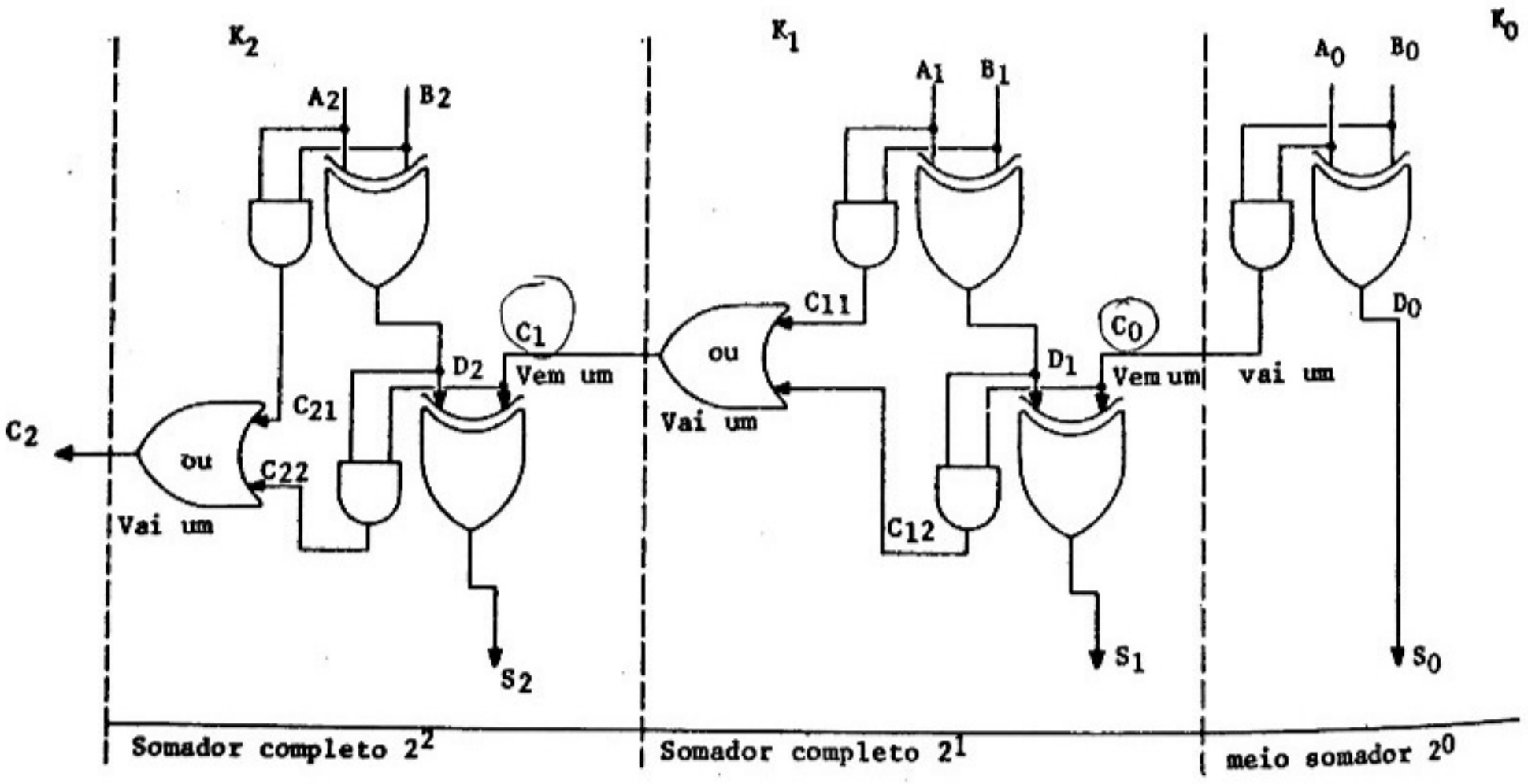


FIGURA 9

$$\begin{array}{r} A_2\ A_1\ A_0 \\ \underline{B_2\ B_1\ B_0} \end{array} +$$

Como já vimos, cada dígito, com exceção do circuito K0, necessita de dois semi-somadores em cascata, o que equivale a um somador completo.

O transporte "Vem um" não existe, quando somamos, por exemplo, $A_0 + B_0$.

Vamos considerar K1: o C_1 será o dígito "Vai um", o C_0 será o dígito "Vem um". Nestas condições, podemos considerar a soma direta de A1 + B1. Quando A1 + B1 forem iguais a 1, o transporte (primeiro deles) é chamado de C_{11}, como ilustra a figura 9.

Se B1 = 0 e A1 = 1, temos D1 = 1 e se C_0 = 1, a soma S_1 = 0 e conseqüentemente originará o "Vai um" designado por C_{12}. Para o estágio K2 o funcionamento será análogo ao descrito para o estágio K1.

SOMADOR EM SÉRIE

Os somadores em série utilizam somente um somador completo para efetuar a soma de quatro bits ou mais, dependendo somente da capacidade dos registradores empregados.

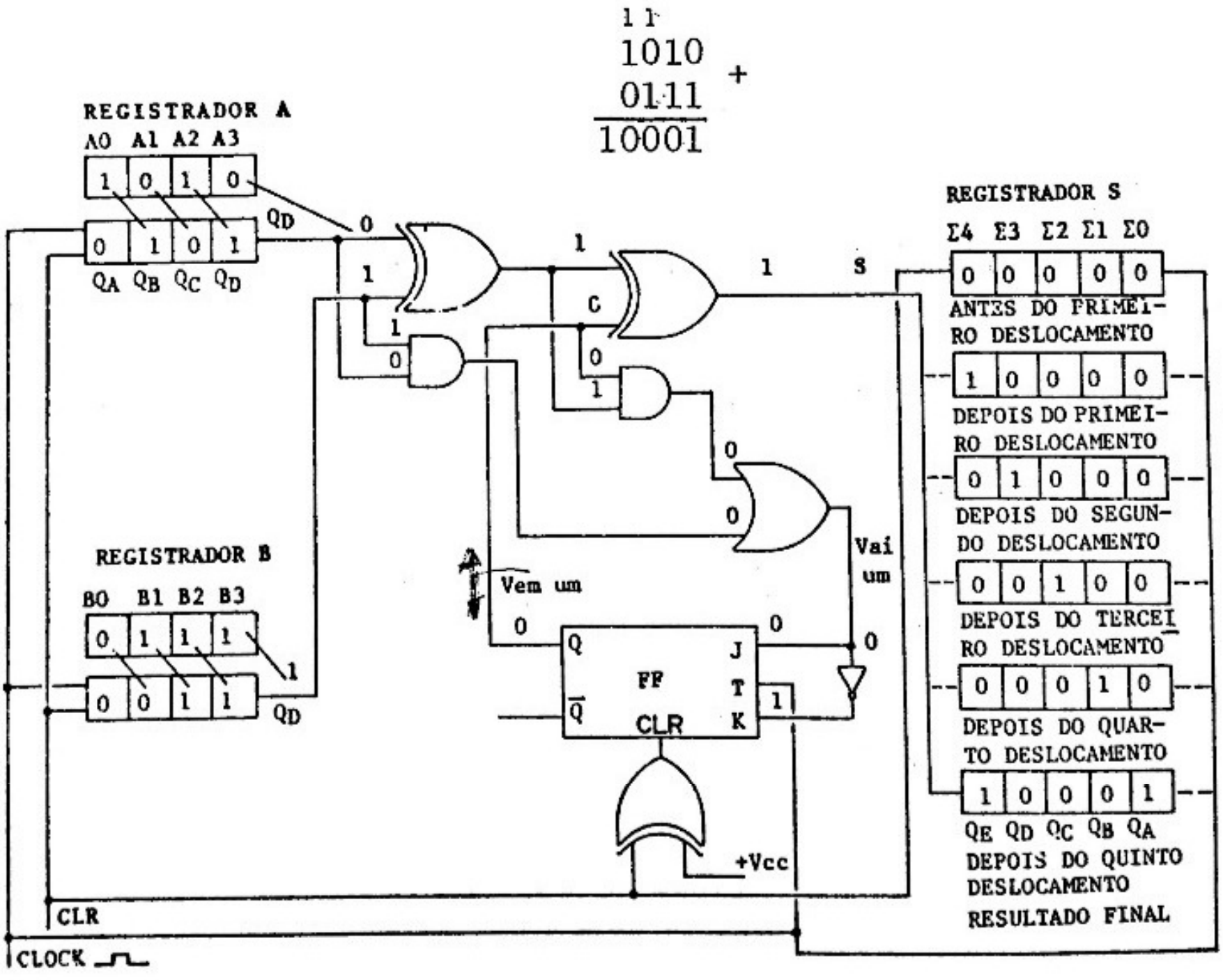


FIGURA 10

O somador em série utiliza dois registradores de deslocamentos (shift register) "A" e "B" para armazenar os dados a serem somados. Os registradores são inicialmente zerados através do comando "CLR" e posteriormente introduzem-se neles os dados. No registrador "A" introduzimos o número binário 1010 e no "B", o número binário 0111. Para efetuarmos a soma, por exemplo, de A3 + B3, temos que emitir um pulso (clock) nos registradores e no flip-flop (FF) para que os bits A3 e B3 e o "Vai um" (Q do flip-flop = 0) sejam somados. Assim:

```
Vem um = 0                          Vem um = 0
     A3 = 0                              A2 = 1
     B3 = 1  +                           B2 = 1  +
          1  e vai um = 0                     0  e vai um = 1

Vem um = 1                          Vem um = 1
     A1 = 0                              A0 = 1
     B1 = 1  +                           B0 = 0  +
          0  e vai um = 1                     0  e vai um = 1
```

O resultado da soma $A_3 + B_3$ + vem um = 1 que será armazenado no registrador "S" depois do primeiro deslocamento. O resultado da soma $A_2 + B_2$ + vem um = 0 será armazenado no registrador "S", depois do segundo deslocamento e o resultado vai um = 1 será memorizado no flip-flop FF, para ser utilizado na soma seguinte. O resultado da soma $A_1 + B_1$ + vem um = 0 será armazenado no registrador "S" depois do terceiro deslocamento e o resultado vai um = 1 será memorizado no flip-flop FF para ser utilizado na soma seguinte. O resultado da soma $A_0 + B_0$ + Vem um = 0 segue a mesma condição do passo anterior, porém o flip-flop FF contém armazenado o Vai um = 1. Logo, devemos efetuar mais uma soma que neste caso será A + B + Vem um = 1 que será armazenado no registrador "S" depois do quinto deslocamento. O resultado final será equivalente a:

```
Vem um = 1          1010
     A = 0          0111  +
     B = 0  +      -----
          1        10001
```

Observamos que o resultado da soma é armazenado em um terceiro registrador "S".

SUBTRAÇÃO

A subtração nos computadores é realizada com os mesmos circuitos que utilizamos para a soma, porém estes são ligados de forma diferente.

SEMI-SUBTRATOR

Como vimos em lições anteriores, a operação subtração se faz:

$$\begin{array}{r} 0 \\ -\ 0 \\ \hline 0 \end{array} \qquad \begin{array}{r} 0 \\ -\ 1 \\ \hline 1 \end{array} \text{ (e empresta um)} \qquad \begin{array}{r} 1 \\ -\ 0 \\ \hline 1 \end{array} \qquad \begin{array}{r} 1 \\ -\ 1 \\ \hline 0 \end{array}$$

Montando a tabela verdade, teremos:

A	B	D	E
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

Onde:

D = diferença entre A e B

E = empréstimo

As expressões características serão:

$$D = A \oplus B \qquad E = \overline{A} \cdot B$$

Desta forma, teremos um circuito bem simples, dado pela figura 11.

O circuito da figura 11 é conhecido como meio subtrator e, a partir dele, é possível construírem-se circuitos mais completos.

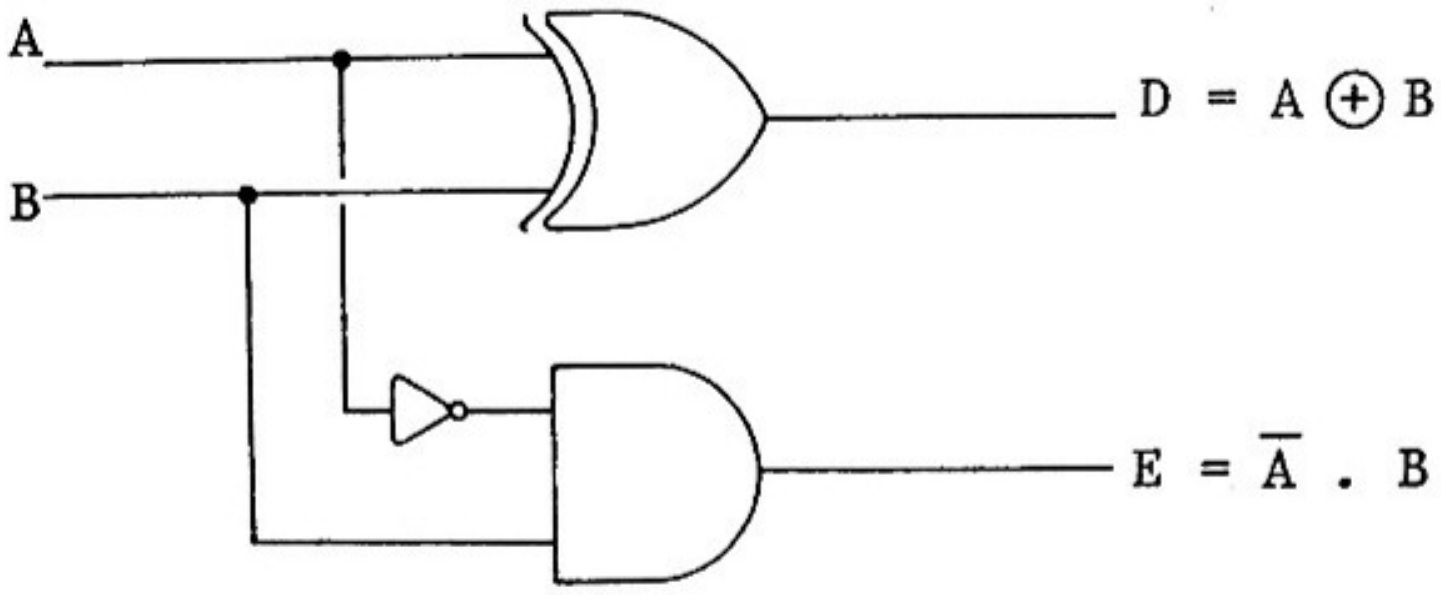


FIGURA 11

SUBTRATOR COMPLETO

Da mesma forma que ocorreu com o circuito meio somador, ocorrerá com o circuito semi-subtrator. Se quisermos, por exemplo, fazer uma subtração, onde os bits binários tenham mais de um algarismo, o circuito não indicará a diferença correta, devido ao transporte ou aos empréstimos que ocorrem, como ilustra a figura 11.

O subtrator completo efetua a subtração completa de uma coluna de três digitos.

Vamos considerar as seguintes possibilidades, para podermos construir o circuito subtrator completo.

A	B	C		D	E
0	- 0	- 0	=	0	0
0	- 0	- 1	=	1	1
0	- 1	- 0	=	1	1
0	- 1	- 1	=	0	1
1	- 0	- 0	=	1	0
1	- 0	- 1	=	0	0
1	- 1	- 0	=	0	0
1	- 1	- 1	=	1	1

A = primeira parcela

B = segunda parcela

C = terceira parcela

D = diferença

E = empréstimo

Colocando em uma tabela todas as possibilidades possíveis, (ver figura 12), teremos as seguintes expressões características para a diferença e para o empréstimo:

A	B	C	D	E
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

FIGURA 12

$$D = \overline{A}.\overline{B}.C + \overline{A}.B.\overline{C} + A.\overline{B}.\overline{C} + A.B.C \qquad I$$

$$E = \overline{A}.\overline{B}.C + \overline{A}.B.\overline{C} + \overline{A}.B.C + A.B.C \qquad II$$

Tomando a expressão I e II e efetuando algumas simplificações, teremos:

$$D = \overline{A}.\overline{B}.C + \overline{A}.B.\overline{C} + A.\overline{B}.\overline{C} + A.B.C$$
$$D = \overline{A}(\overline{B}.C + B.\overline{C}) + A(\overline{B}.\overline{C} + B.C)$$
$$D = \overline{A}.(B \oplus C) + A.\overline{(B \oplus C)}$$
$$D = A \oplus B \oplus C$$

$$E = \overline{A}.\overline{B}.C + \overline{A}.B.\overline{C} + \overline{A}.B.C + A.B.C$$
$$E = \overline{A}.B.\underbrace{(\overline{C} + C)}_{1} + C.(\overline{A}.\overline{B} + A.B)$$
$$E = \overline{A}.B + C.\overline{(A \oplus B)}$$

O termo $\overline{A}.B$ é o próprio empréstimo de um meio subtrator, como o visto através da figura 11.

A parcela $C.(\overline{A}.\overline{B} + A.B)$ é idêntica à $C\ \overline{(A \oplus B)}$. Este termo executa a operação (soma parcial) - (empréstimo interno). O circuito subtrator completo constará de dois meios subtratores, sendo uma simples combinação da "PORTA OU" dos empréstimos de saída dos dois meios subtratores, como indica a figura 13.

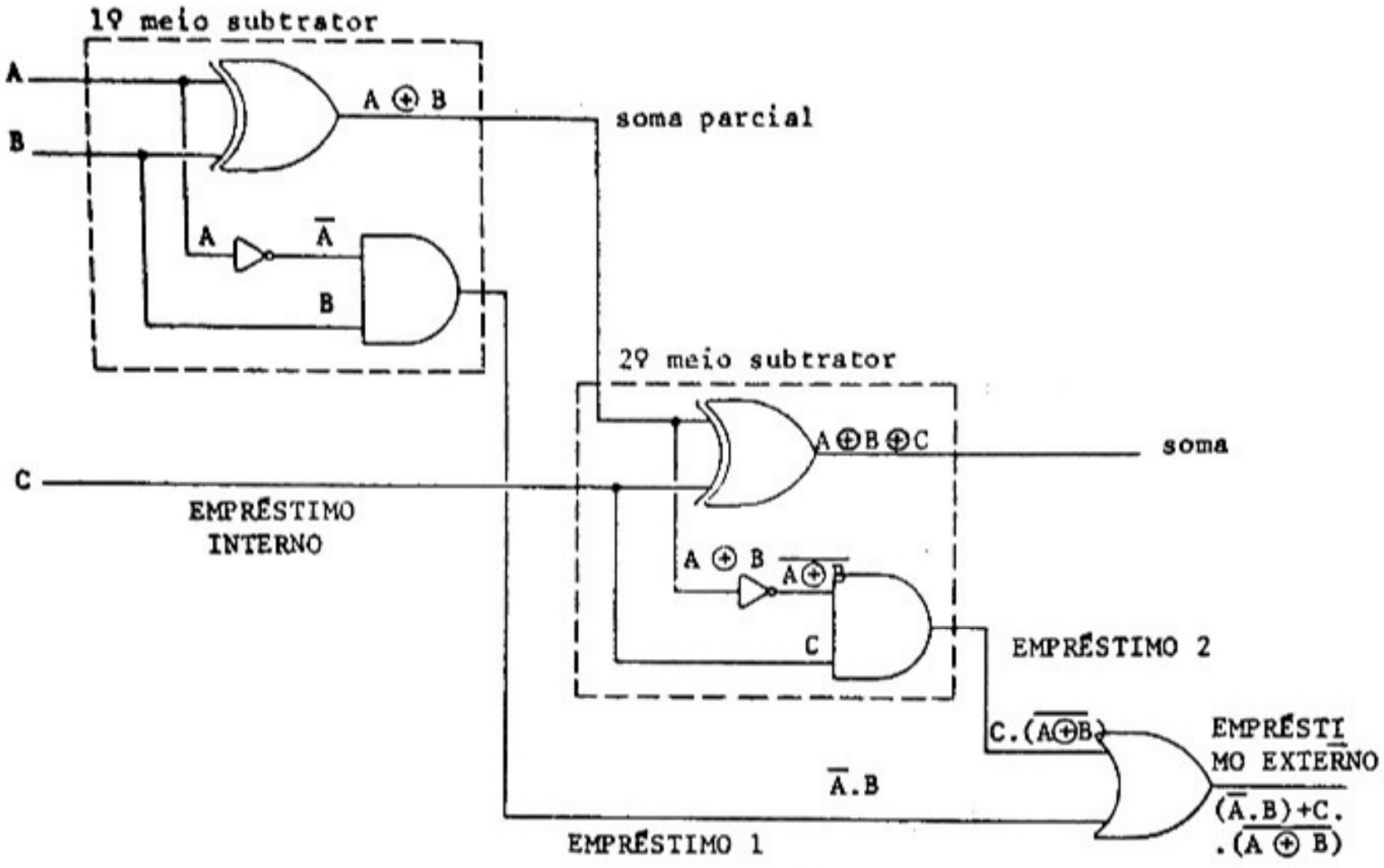


FIGURA 13

Podemos ainda determinar uma outra forma para o subtrator completo. Vamos tomar novamente as expressões características:

$$D = \overline{A}.\overline{B}.C + \overline{A}.B.\overline{C} + A.\overline{B}.\overline{C} + A.B.C$$

Colocando em um mapa de Karnaugh, teremos:

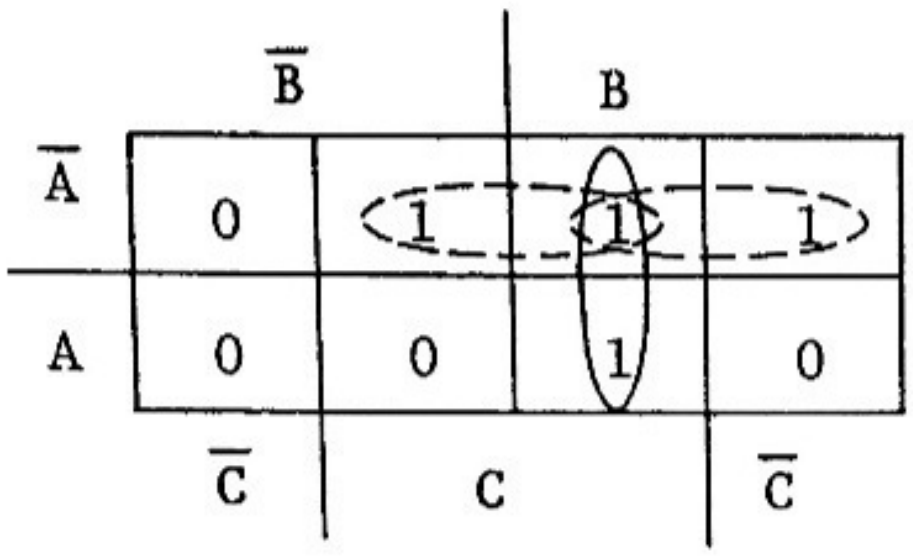
	$\overline{B}$		B	
$\overline{A}$	0	1	0	1
A	1	0	1	0
	$\overline{C}$	C		$\overline{C}$

Pela técnica de simplificação, teremos:

$$D = A \oplus B \oplus C \qquad III$$

Para a outra expressão booleana, teremos:

$$E = \overline{A}.\overline{B}.C + \overline{A}.B.\overline{C} + \overline{A}.B.C + A.B.C$$



Diretamente do mapa de Karnaugh tiramos a expressão característica já simplificada:

$$E = \overline{A}.B + \overline{A}.C + B.C \qquad IV$$

A partir das expressões III e IV, teremos o circuito apresentado pela figura 14.

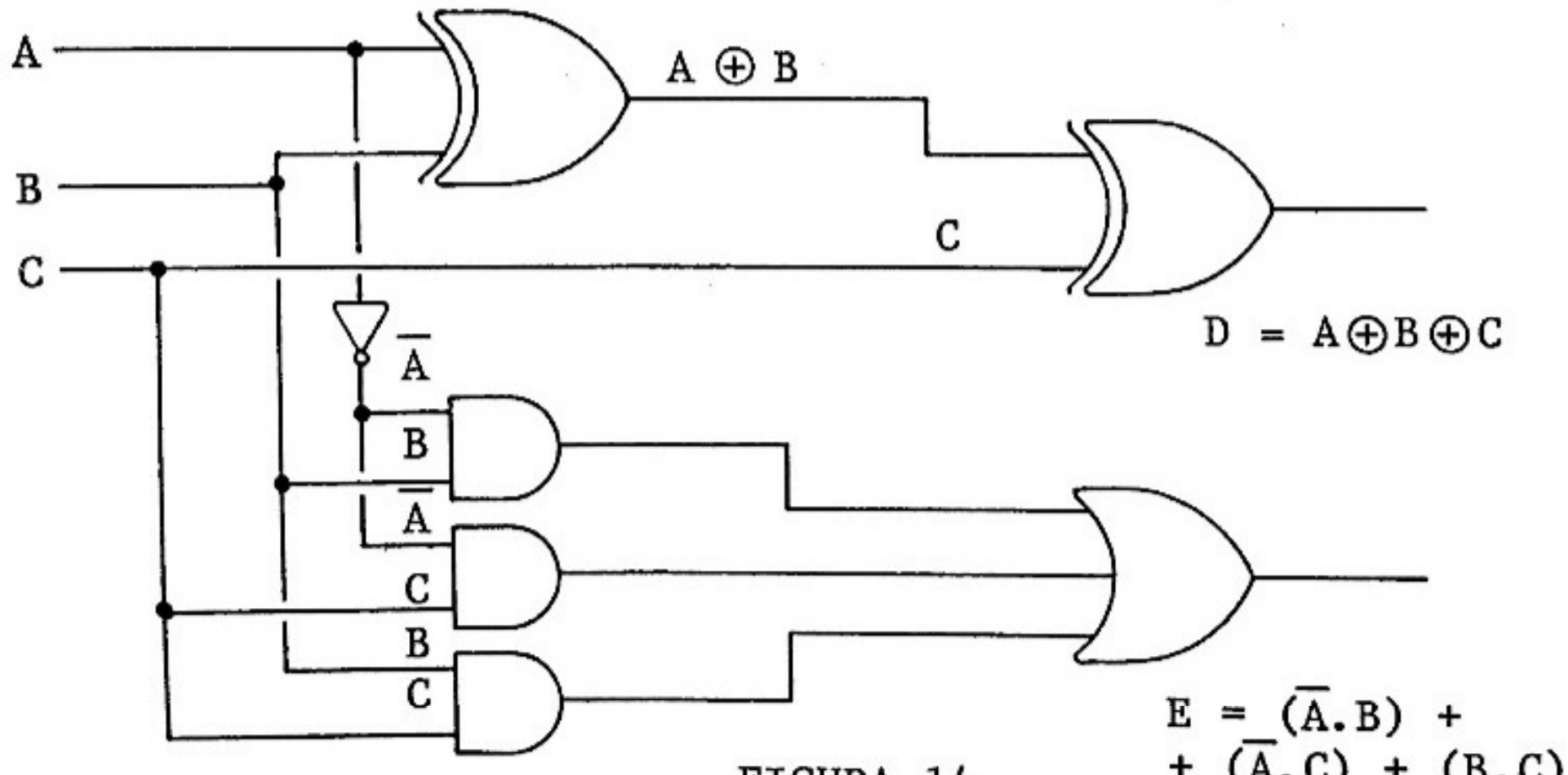


FIGURA 14

SOMADOR/SUBTRATOR COMPLETO

Às vezes, necessitamos de circuitos que executem as duas operações. O processo é o mesmo já estudado. A tabela - verdade única para a adição e para a subtração é ilustrada na figura 15.

Para distinguirmos uma operação da outra é bem simples. Basta, por exemplo, introduzirmos na tabela uma nova variável, a que chamaremos de V. Quando V for igual a um (1),o circuito efetuará a subtração. Para V igual a zero (0),teremos a adição efetuada pelo circuito. Assim teremos uma soma completa ou uma subtração completa, dependendo apenas do nível zero ou um.

Teremos então: V = variável de controle
D = subtração ou soma dependendo da variável de controle
T = transporte

A tabela verdade para ambas as operações é indicada na figura 15.

	V	A	B	C	D	T
Soma completa	0	0	0	0	0	0
	0	0	0	1	1	0
	0	0	1	0	1	0
	0	0	1	1	0	1
	0	1	0	0	1	0
	0	1	0	1	0	1
	0	1	1	0	0	1
	0	1	1	1	1	1
Subtração completa	1	0	0	0	0	0
	1	0	0	1	1	1
	1	0	1	0	1	1
	1	0	1	1	0	1
	1	1	0	0	1	0
	1	1	0	1	0	0
	1	1	1	0	0	0
	1	1	1	1	1	1

FIGURA 15

A partir da tabela verdade da figura 15, tiramos as expressões características de D e T.

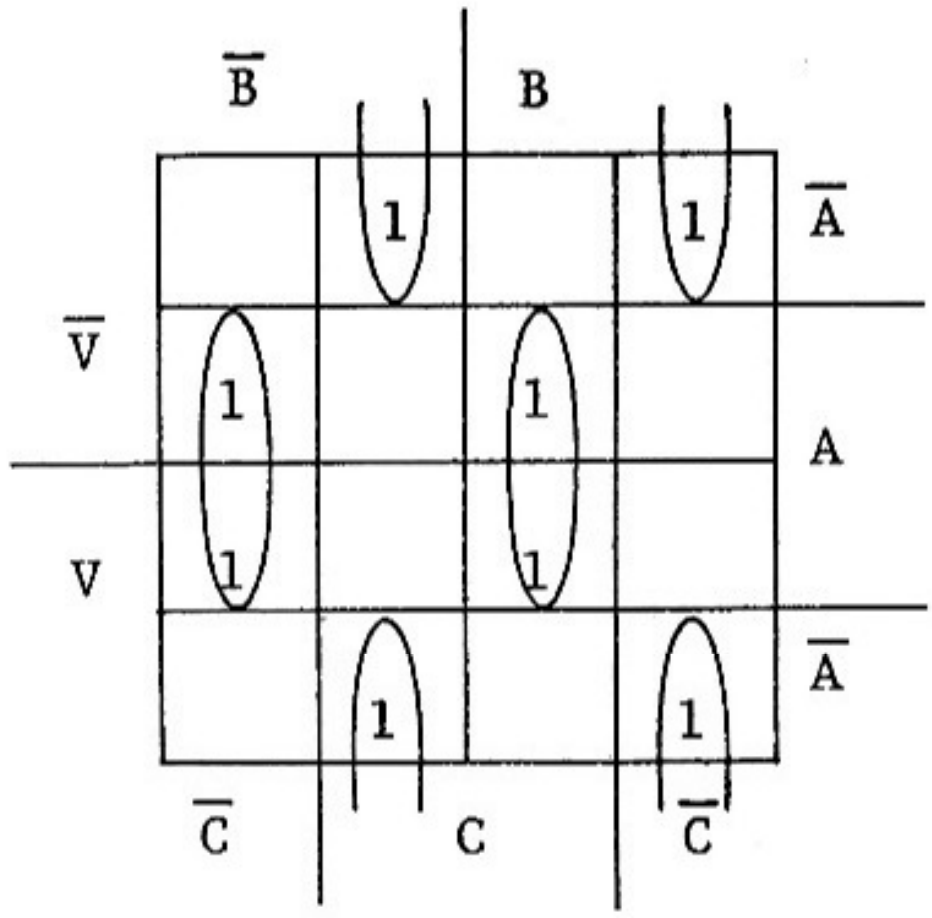
$$D = \overline{V}.\ \overline{A}.\overline{B}.C + \overline{V}.\ \overline{A}.B.\overline{C} + \overline{V}.\ A.\overline{B}.\overline{C} + \overline{V}.\ A.B.C + V.\ \overline{A}.\overline{B}.C + V.\ \overline{A}.B.\overline{C} + V.\ A.\overline{B}.\overline{C} + V.\ A.B.C$$

$$T = \overline{V}.\ \overline{A}.B.C + \overline{V}.\ A.\overline{B}.C + \overline{V}.\ A.B.\overline{C} + \overline{V}.\ A.B.C + V.\ \overline{A}.\overline{B}.C + V.\ \overline{A}.B.\overline{C} + V.\ \overline{A}.B.C + V.\ A.B.C$$

Passando para um mapa de Karnaugh ambas as expressões, teremos:

Para D

V	A	B	C	D	
0	0	0	0	0	
0	0	0	1	1	- $\overline{V}.\overline{A}.\overline{B}.C$
0	0	1	0	1	- $\overline{V}.\overline{A}.B.\overline{C}$
0	0	1	1	0	
0	1	0	0	1	- $\overline{V}.A.\overline{B}.\overline{C}$
0	1	0	1	0	
0	1	1	0	0	
0	1	1	1	1	- $\overline{V}.A.B.C$
1	0	0	0	0	
1	0	0	1	1	- $V.\overline{A}.\overline{B}.C$
1	0	1	0	1	- $V.\overline{A}.B.\overline{C}$
1	0	1	1	0	
1	1	0	0	1	- $V.A.\overline{B}.\overline{C}$
1	1	0	1	0	
1	1	1	0	0	
1	1	1	1	1	- $V.A.B.C$



A partir do diagrama, teremos:

$$D = A.\overline{B}.\overline{C} + \overline{A}.\overline{B}.C + A.B.C + \overline{A}.B.\overline{C}$$

Colocando em evidência, teremos:

$$D = \overline{B}(\overline{C}.A + \overline{A}.C) + B(A.C + \overline{A}.\overline{C})$$
$$D = \overline{B}(A \oplus C) + B\overline{(A \oplus C)}$$
$$D = A \oplus B \oplus C$$

Para a expressão de T, teremos:

$$T = B.C + \overline{V}.A.B + V.\overline{A}.B + \overline{V}.A.C + V.\overline{A}.C$$

V	A	B	C	T	
0	0	0	0	0	
0	0	0	1	0	
0	0	1	0	0	
0	0	1	1	1	$\overline{V}.\overline{A}.B.C$
0	1	0	0	0	
0	1	0	1	1	$\overline{V}.A.\overline{B}.C$
0	1	1	0	1	$\overline{V}.A.B.\overline{C}$
0	1	1	1	1	$\overline{V}.A.B.C$
1	0	0	0	0	
1	0	0	1	1	$V.\overline{A}.\overline{B}.C$
1	0	1	0	1	$V.\overline{A}.B.\overline{C}$
1	0	1	1	1	$V.\overline{A}.B.C$
1	1	0	0	0	
1	1	0	1	0	
1	1	1	0	0	
1	1	1	1	1	$V.A.B.C$

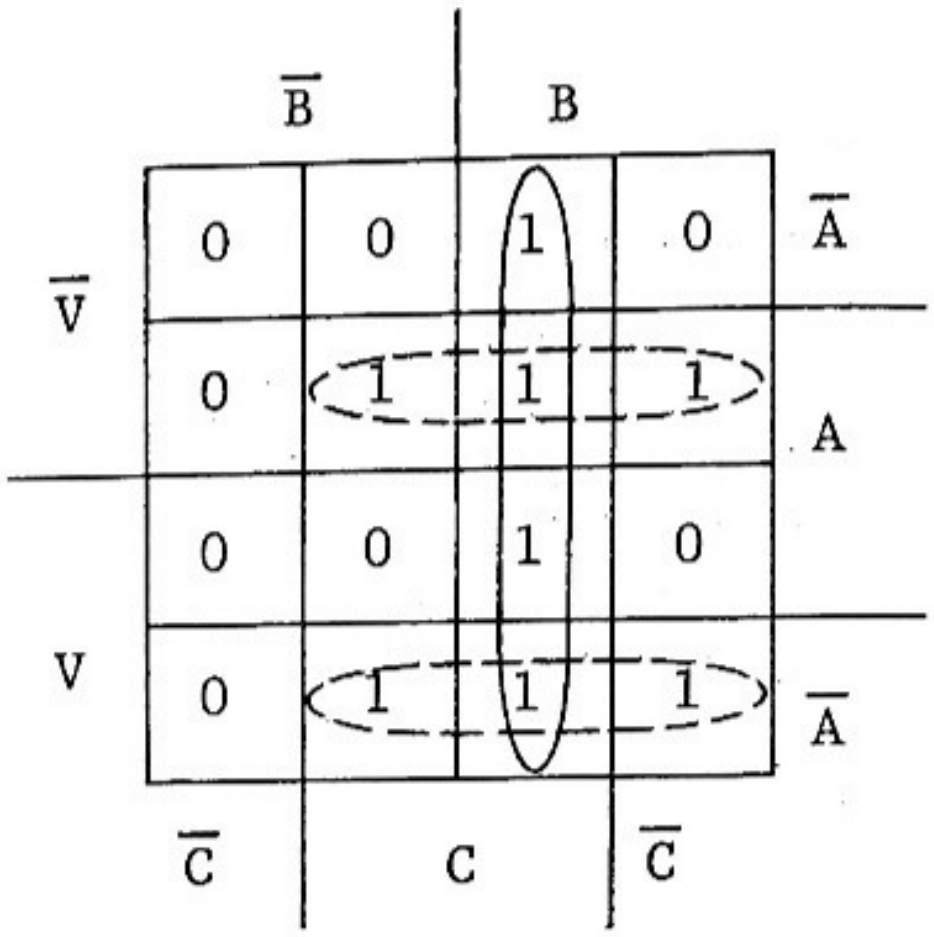


FIGURA 15

Simplificando, teremos:

$$T = B.C + B(\overline{V}.A + V.\overline{A}) + C(\overline{V}.A + V.\overline{A})$$
$$T = B.C + B(V \oplus A) + C(V \oplus A)$$
$$T = B.C + [(V \oplus A) \; . \; (B + C)]$$

Teremos então esquematizado o circuito dado pela figura 16.

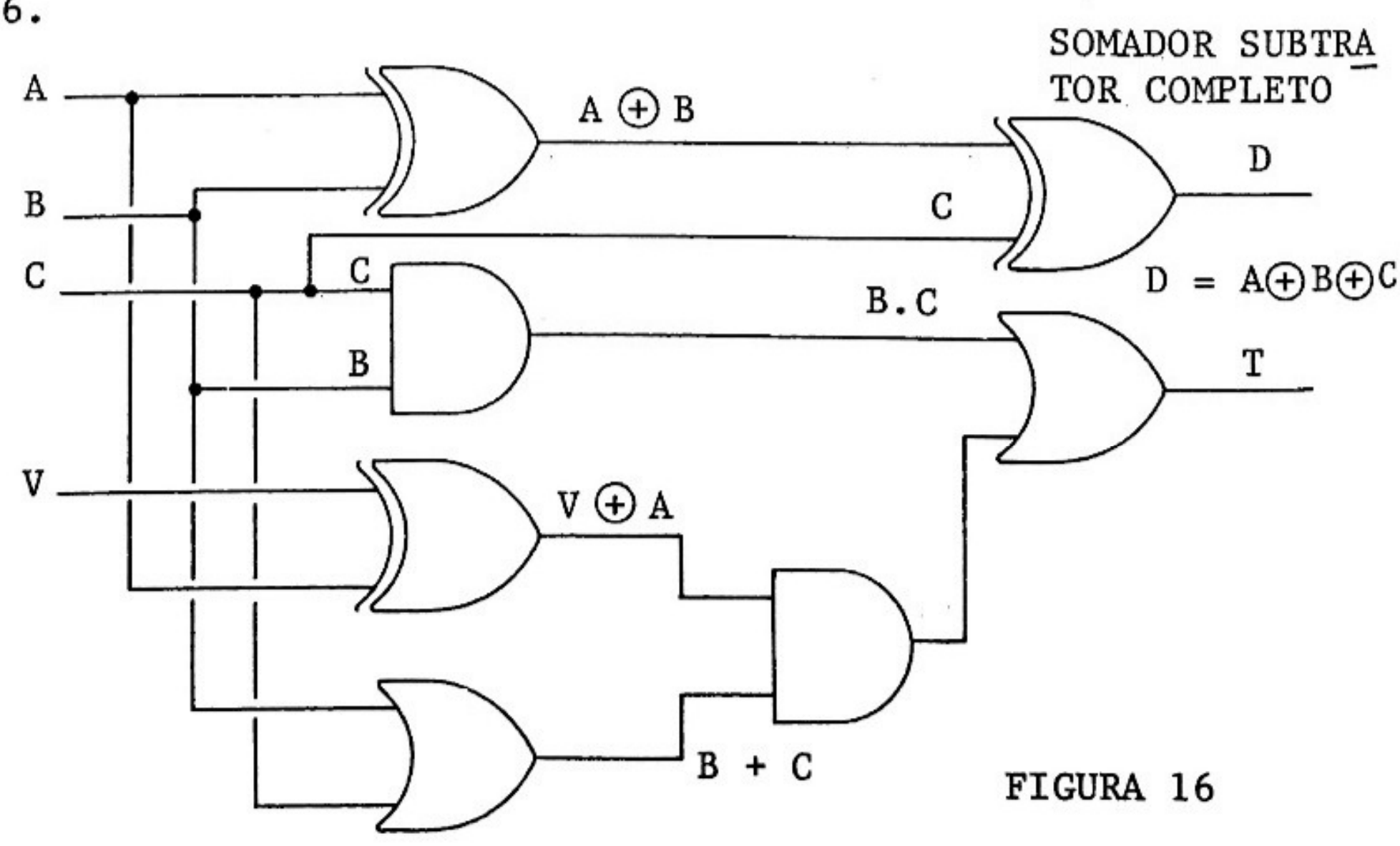


FIGURA 16

CEDM
CURSOS DE APERFEIÇOAMENTO

CURSO DE
ELETRÔNICA DIGITAL E
MICROPROCESSADORES

CAIXA POSTAL 1642 - CEP 86100 - LONDRINA - PARANÁ

EXAME DA LIÇÃO ED-15

OBSERVAÇÃO

- cada questão é composta de três ou quatro alternativas.
- só uma delas está correta.
- marque a que considerar correta.
- passe as respostas corretas para a folha de exame.

1) Existem circuitos que combinam subtração e soma. Estes circuitos são chamados:

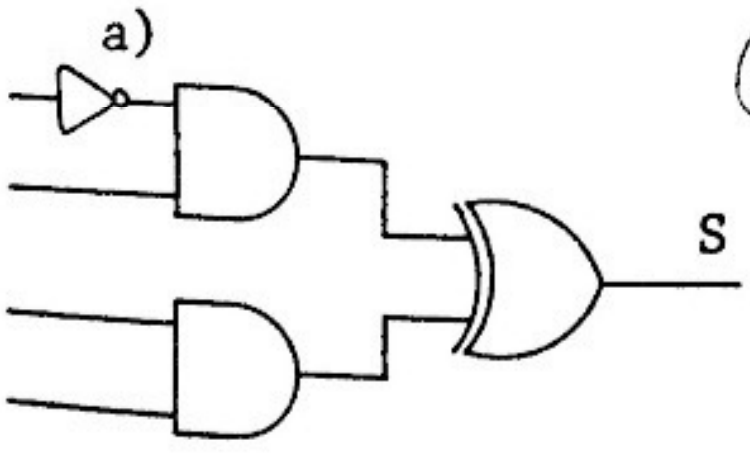
   a) circuitos subtratores somadores;
   b) circuitos inversores;
   c) circuitos meios somadores.

2) Assinale a alternativa correta:

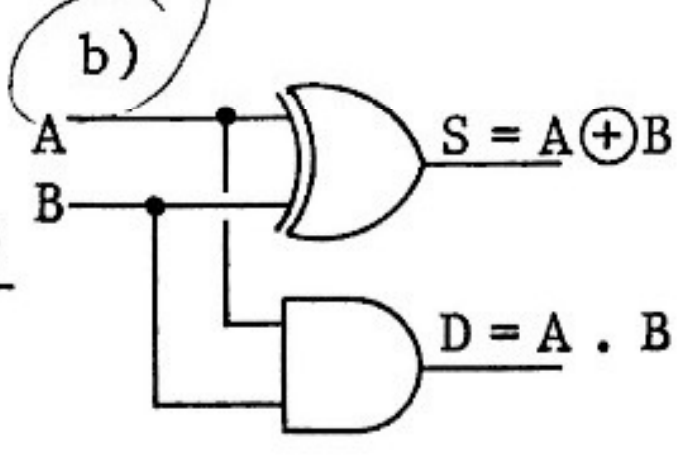
   a) o circuito somador soma dois dígitos binários de cada vez;
   b) o circuito somador completo executa a soma aritmética de 3 bits;
   c) as alternativas a e b estão corretas.

3) Assinale o diagrama lógico do circuito meio-somador:

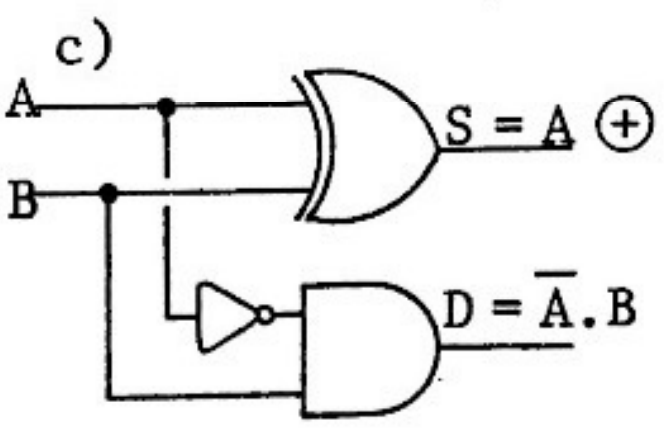
a)



b)



c)



4) Assinale a alternativa incorreta:

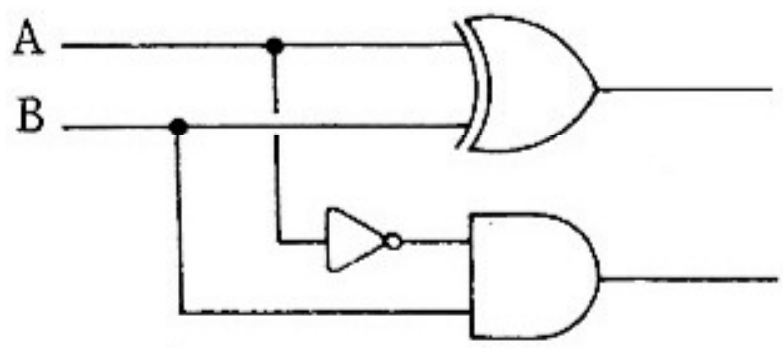
   a) é possível, a partir de um circuito semi-somador, construirmos um somador completo;

b) dois números de vários dígitos podem ser somados em série ou em paralelo;
c) um circuito somador completo só realiza soma de duas entradas.

5) Assinale a alternativa correta com relação ao somador binário série:

a) o somador binário série realiza a soma de todas as colunas ao mesmo tempo;
b) não possui memória para o bit de empréstimo;
c) é um dispositivo formado por dois semi-somadores.

6) O circuito dado abaixo corresponde a:



a) um subtrator completo;
b) um circuito meio-somador;
c) um circuito meio-subtrator.

7) Assinale a alternativa incorreta:

a) para determinarmos equações, utilizamos mapas de Karnaugh;
b) o somador sem provisão para entrada de transporte é conhecido como circuito meio-somador;
c) as alternativas a e b estão incorretas.

8) O circuito da figura 16 é formado por:

a) 2 circuitos subtratores completos;
b) 2 circuitos meios-somadores;
c) 2 circuitos, um meio-somador e outro meio-subtrator.

9) Quando necessitamos realizar as operações de soma e subtração, utilizamos:

a) um circuito somador/subtrator completo;
b) somente um circuito somador;
c) um circuito multiplicador de duas ou mais entradas.

10) Para distinguirmos a adição da subtração em um circuito somador/subtrator completo:

a) introduzirmos uma nova variável, que determinará a operação a ser executada de acordo com o nível lógico;
b) introduzirmos uma nova coluna de transporte;
c) não é preciso haver distinção entre as operações a serem executadas.

CEPROM
CURSOS DE APERFEIÇOAMENTO

CURSO DE
ELETRÔNICA DIGITAL E
MICROPROCESSADORES

CAIXA POSTAL 1642 - CEP 86100 - LONDRINA - PARANÁ

LIÇÃO ED-16

CIRCUITOS FLIP-FLOPS

O aluno já estudou em lições passadas os blocos lógicos básicos, como: as portas OU, E, OU EXCLUSIVO e NÃO, etc. Nesta lição estudaremos os flip-flops.

As portas lógicas básicas são muito usadas nos circuitos combinacionais, onde a saída depende somente das variáveis de entrada.

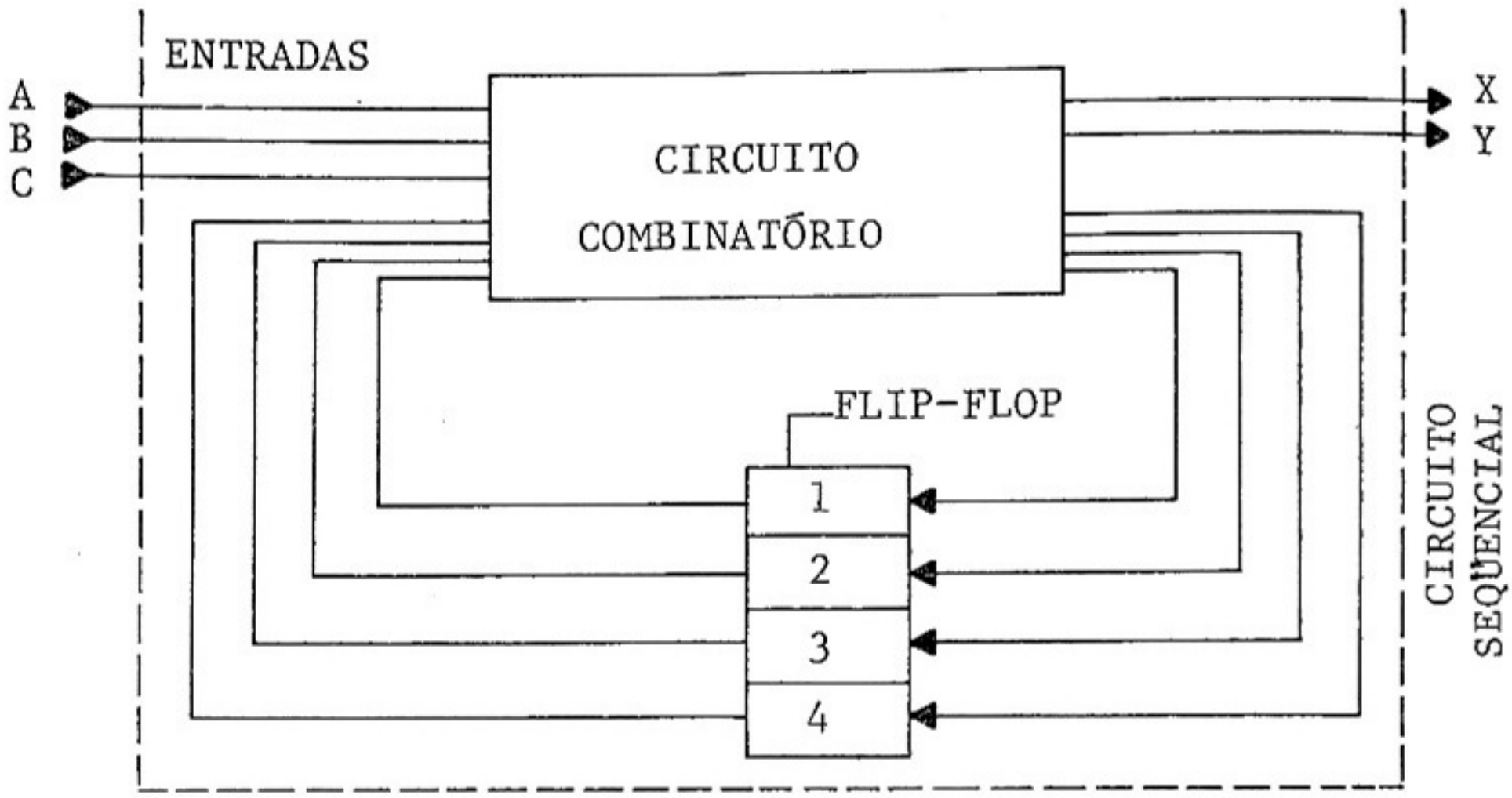
Os flip-flops são usados nos circuitos seqüenciais, onde a saída depende das variáveis de entrada ou de estados anteriores que permanecem armazenados.

O flip-flop é a unidade de armazenamento (memória) fundamental em sistema digitais; armazena dois estados: zero "0" ou "1".

A presença dessa unidade de memória num circuito fará com que a determinação das saídas do mesmo dependa do estado das entradas atuais e também do estado interno do circuito(es

tado de memórias). Como já dissemos, a este tipo de circuito chamaremos de seqüêncial.

Na figura 1, ilustramos um circuito seqüencial.



Os circuitos seqüenciais, na sua maioria, são sistemas - coordenados por pulsos e a esta seqüência de pulsos iremos de nominar de "CLOCK".

Existem essencialmente 4 tipos básicos de flip-flop. São eles: tipo R-S, tipo D, tipo T e tipo J-K.

Os flip-flop são definidos por suas respectivas tabelas características e por tabela de excitação.

Eles podem trabalhar em operação síncrona ou assíncrona, a diferença entre as duas operações veremos a seguir.

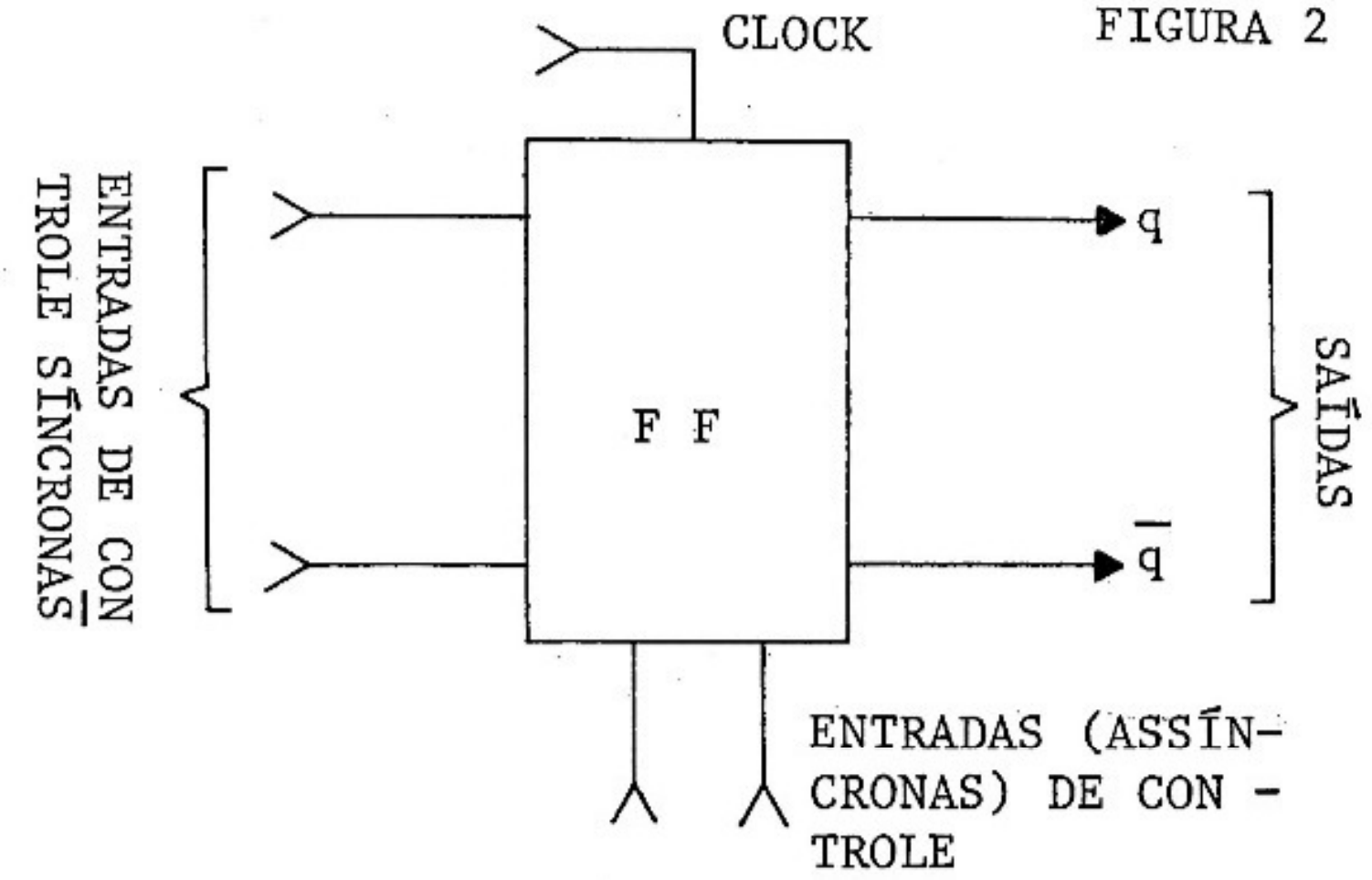
Em operação síncrona, as mudanças ocorrem pela presença do clock, isto é, pela presença de um pulso. As entradas dos flip-flops não podem mudar durante a ocorrência do clock. O estado q^n refere-se ao estado da saída, antes da ocorrência do pulso, antes do clock.

O estado q^{n+1} refere-se ao estado da saída do flip-flop, após a ocorrência do clock.

Em operações assíncrona, as funções lógicas não dependem do clock (pulso), elas serão comandadas por outras combinações lógicas.

Resumimos estas operações na figura 2.

FIGURA 2



Em geral o flip-flop tem:

a) uma entrada de clock (operação síncrona)
b) uma ou mais entradas de controle (operação síncrona - e/ou assíncrona).
c) duas saídas (q e $\overline{q}$).

Na operação síncrona as entradas definem as saídas (q e $\overline{q}$), após a ocorrência de um pulso na entrada clock. Na operação assíncrona as saídas mudam,quando muda a entrada.

Vamos estudar agora os flip-flops e as suas principais - características.

FLIP-FLOP TIPO S-R (ASSÍNCRONO)

O flip-flop S-R leva esta denominação devido a seus comandos set-reset. É também denominado de flip-flop R-S, este flip-flop é normalmente constituído de blocos NÃO E (NAND) e NÃO OU (NOR).

FLIP-FLOP S-R COM PORTAS "NÃO OU" (NOR)

Seu circuito pode ser observado na figura 3.

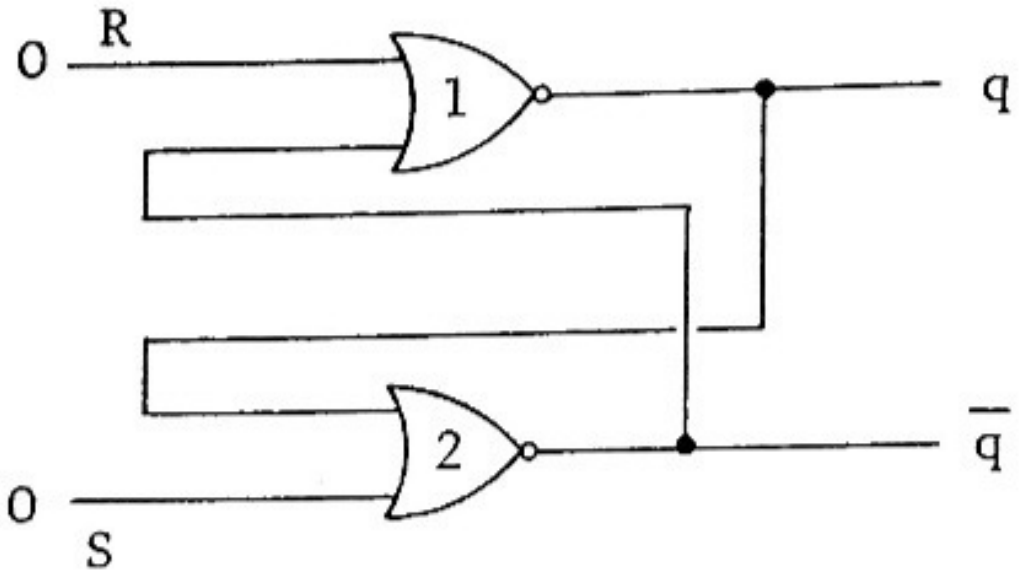


FIGURA 3

Vamos relembrar a tabela verdade da porta "NÃO OU", figura 4.

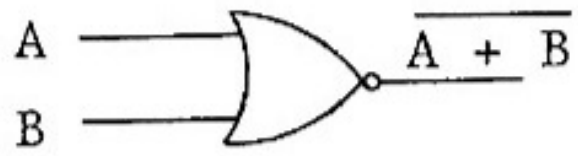


FIGURA 4

A	B	F
0	0	1
0	1	0
1	0	0
1	1	0

Para que possamos ter um circuito, que detecta todos os pulsos de entrada, é necessário que o flip-flop mude de estado a cada pulso na entrada.

No flip-flop R-S, para a saída q mudar de estado a cada sinal do clock, é necessário variarmos R e S.

Análise do circuito.

Suponhamos, inicialmente q = 0 e $\overline{q}$ = 1

Caso 1

Se set(S) mudar para nível lógico 1, e reset(R) = 0, isto é, S = 1 e R = 0, a saída $\overline{q}$ vai para zero (0), conseqüentemente a saída q muda para 1, ver figura 5.

Se a entrada set voltar para zero e a saída q continuar em 1, a saída $\overline{q}$ permanecerá em zero (0).

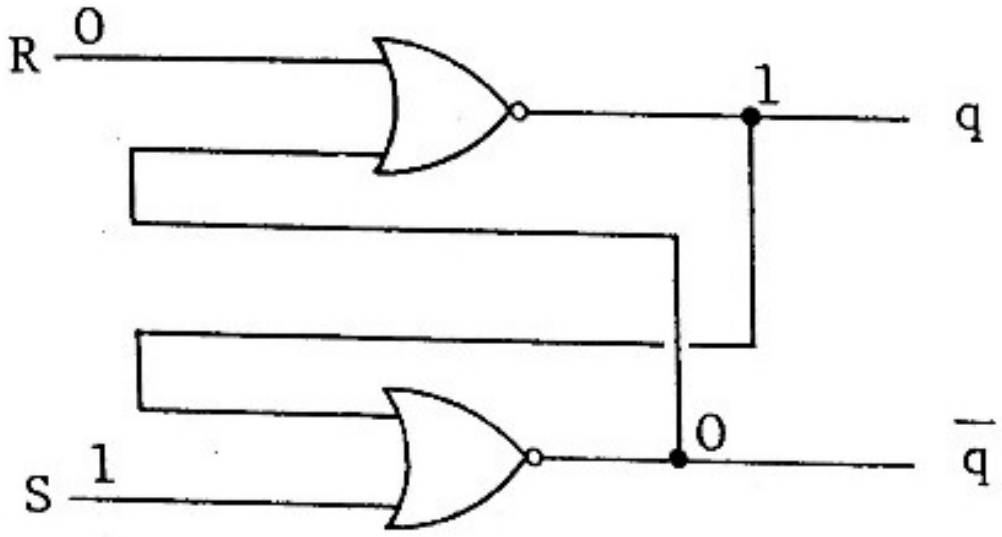


FIGURA 5

Caso 2

Suponhamos S = 0 e R = 1, neste caso,a saída q irá para zero, e $\overline{q}$ = 1.

E se mudarmos simultaneamente S = R = 1, como indica a figura 6, o que acontecerá?

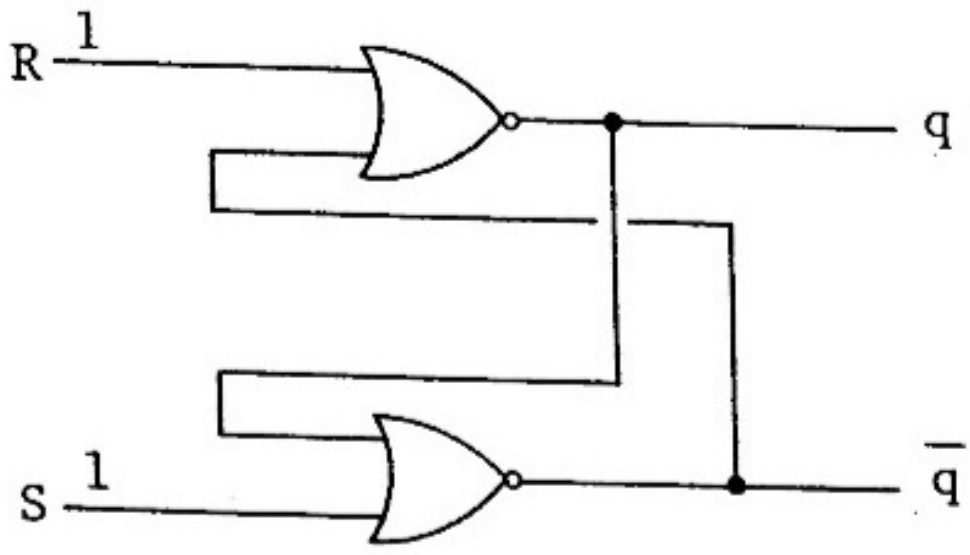


FIGURA 6

Este é um caso particular que é indeterminado, pois a saída q é uma saída complementar de q, isto é, $\overline{q}$ é o inverso de q. E,na saída do flip-flop,este assumirá um estado no qual q = $\overline{q}$, portanto não é permitido S = R = 1.

Caso 3

Quando S = 0, R = 0 e q = 0 → $\overline{q}$ = 1

O valor, que a saída q irá assumir, será igual ao do seu valor inicial, logo não haverá alteração, q = 0 e $\overline{q}$ = 1.

A tabela verdade para o flip-flop estudado é dada na figura 7.

Tabela característica

FIGURA 7

S	R	q
0	0	não altera
0	1	0
1	0	1
1	1	não é permitido

Como podemos ver pela tabela da figura 7, se q estiver no nível "1", S e R deverão estar nos níveis "1" e "0" respectivamente, para a saída q mudar de estado no próximo pulso do clock. Após essa mudança, q deverá estar no nível "0", assim como S e R deverão ser mudados para "0" e "1", para que a saída q mude no próximo pulso no clock. Esta situação é conseguida, fazendo a ligação de q com S e $\overline{q}$ com R, onde o aluno já deve ter observado.

Todos os casos, que acabamos de analisar, podem ser representados em um diagrama de tempos, como indica a figura 8.

OBSERVAÇÃO:

Quando o flip-flop for feito em um circuito integrado (não é feito com portas) a condição S = R = 1 originará uma saída indeterminada, como já vimos no caso 2.

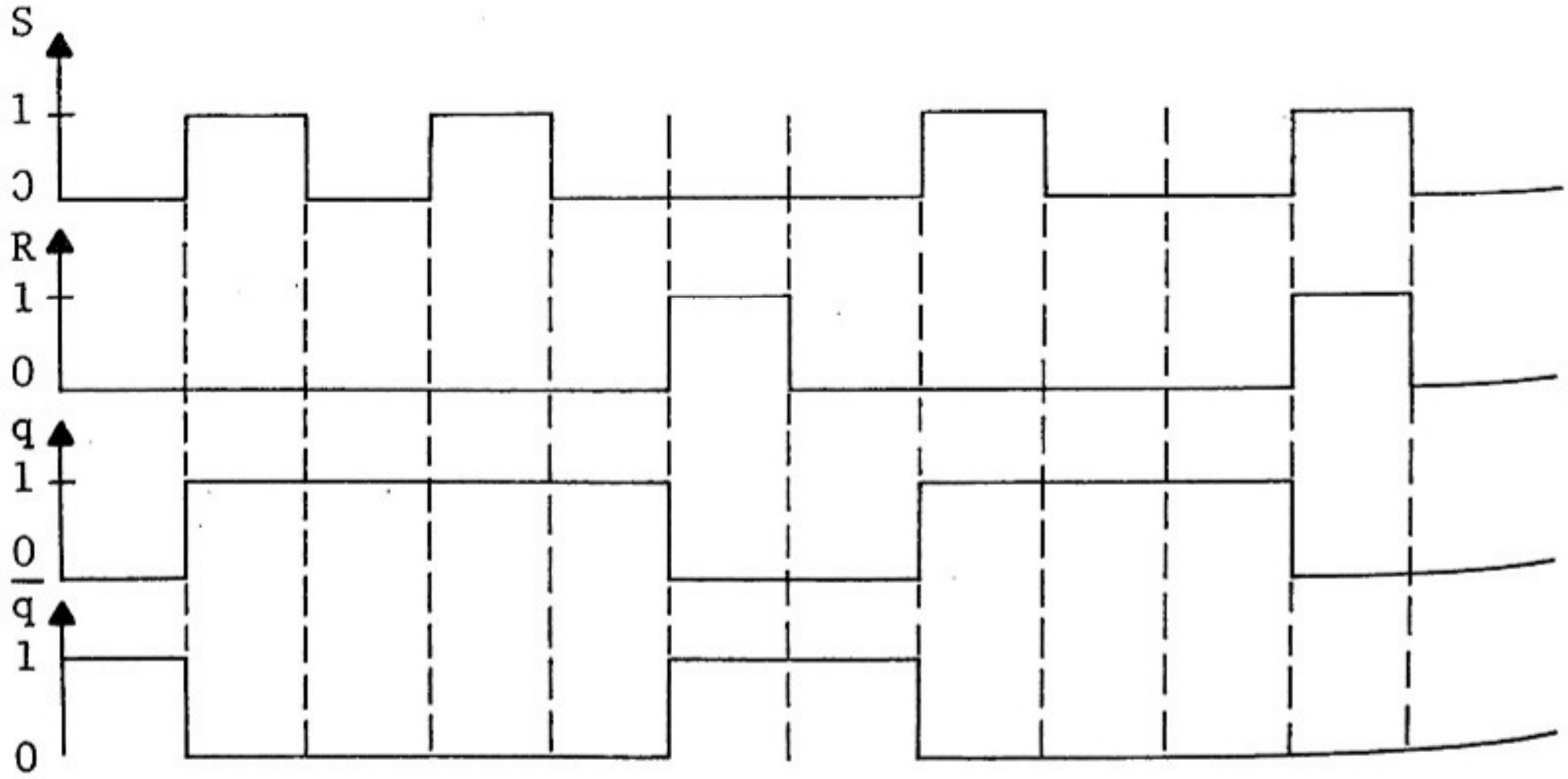


FIGURA 8

A borda subindo como indica o gráfico de R, a saída muda, quando a entrada vai de 0 → 1.

FLIP-FLOP S-R COM PORTAS "NÃO E" (NAND)

O seu circuito é dado pela figura 9.

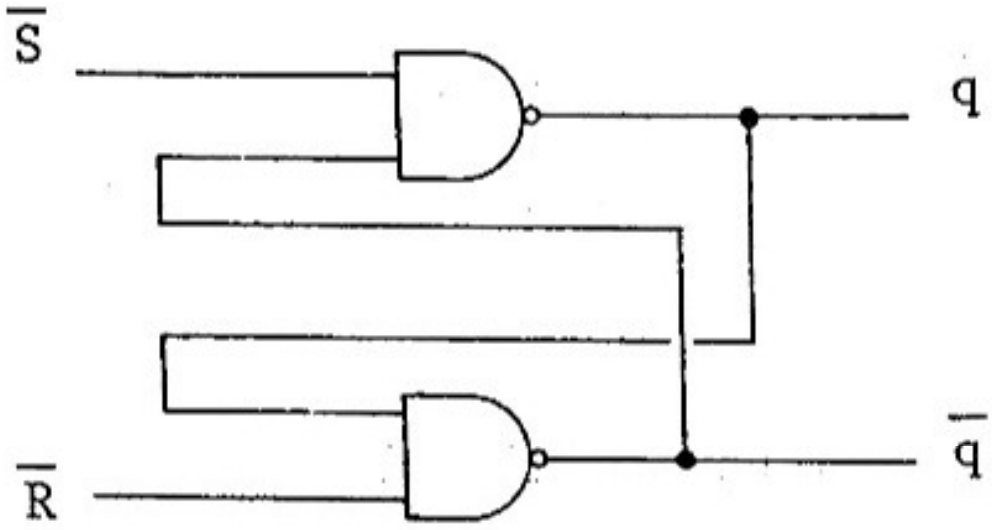


FIGURA 9

Vamos relembrar a tabela verdade de uma porta "NÃO E", através da figura 10.

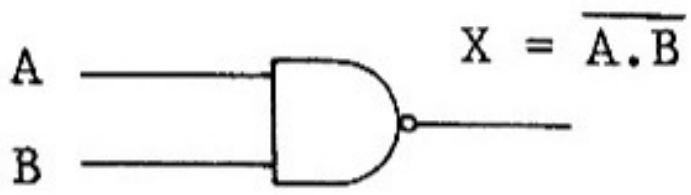


FIGURA 10

A	B	$\overline{A.B}$
0	0	1
0	1	1
1	0	1
1	1	0

Vamos analisar alguns casos possíveis com esse flip-flop S-R, com portas "NÃO E".

1º Caso - S = 0, R = 0 e q = 0 → $\overline{q}$ = 1

S = 0 → $\overline{S}$ = 1
R = 0 → $\overline{R}$ = 1

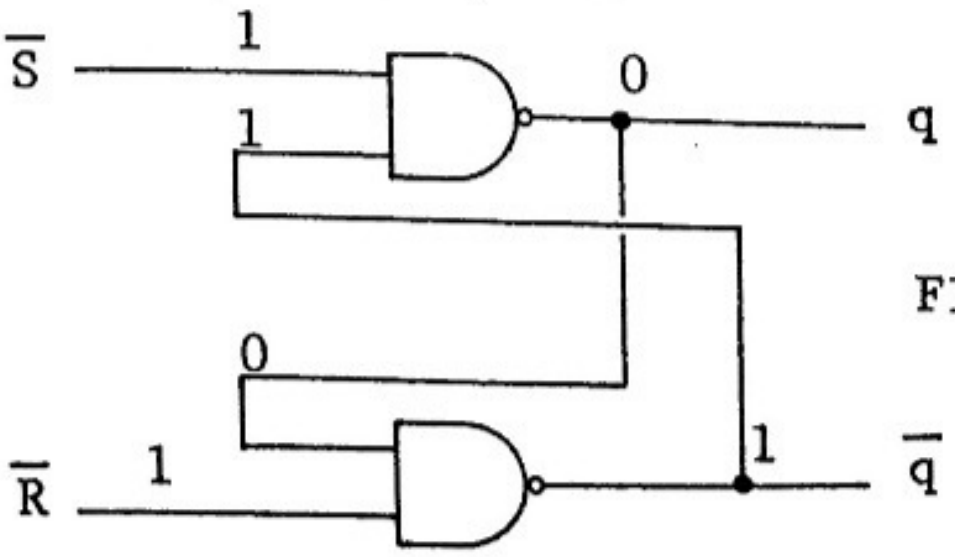


FIGURA 11

Como podemos ver, para as condições do 1º caso, a saída q não irá se alterar, permanecendo o valor inicial.

2º Caso - S = 0, R = 1 e q = 0 → q = 1

Estas condições estão indicadas na figura 12.

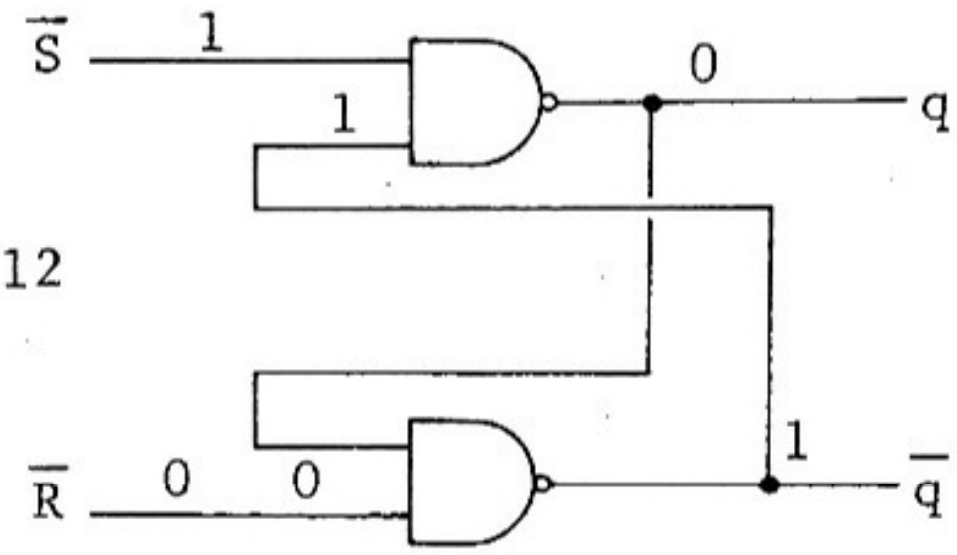


FIGURA 12

$S = 0 \rightarrow \overline{S} = 1$

$R = 1 \rightarrow \overline{R} = 0$

A saída q vai para zero, fazendo com que a saída $\overline{q}$ mude para "1"

3º Caso - S = 1, R = 0 e q = 0 → $\overline{q}$ = 1

Desta feita, teremos a figura 13

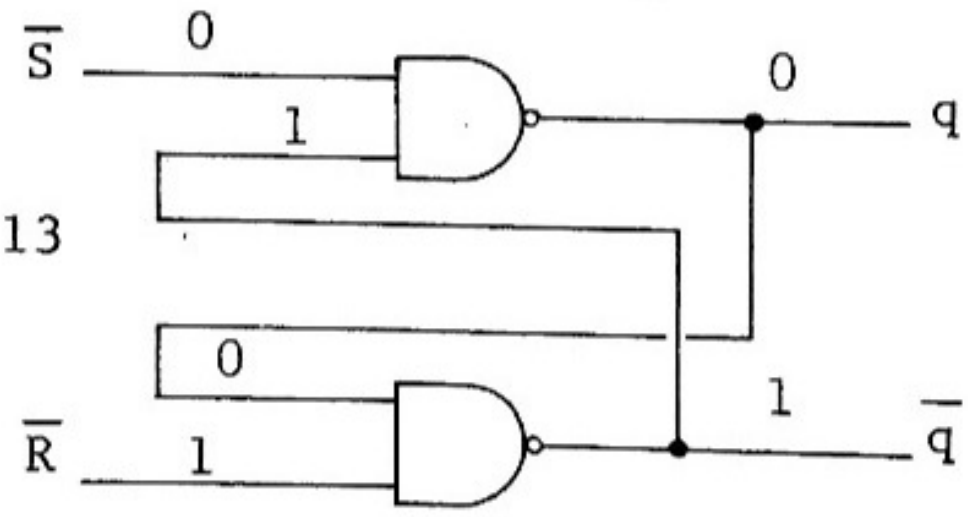


FIGURA 13

$S = 1 \rightarrow \overline{S} = 0$

$R = 0 \rightarrow \overline{R} = 1$

Este é um caso de instabilidade, pois a saída q irá forçosamente para valor um "1" e, conseqüentemente, a saída q irá para zero "0".

Logo, q irá assumir valor "1".

4º Caso:

Vamos analisar a condição S = 1, R = 0, onde agora q = 1 e, conseqüentemente, $\overline{q}$ = 0, ver figura 14.

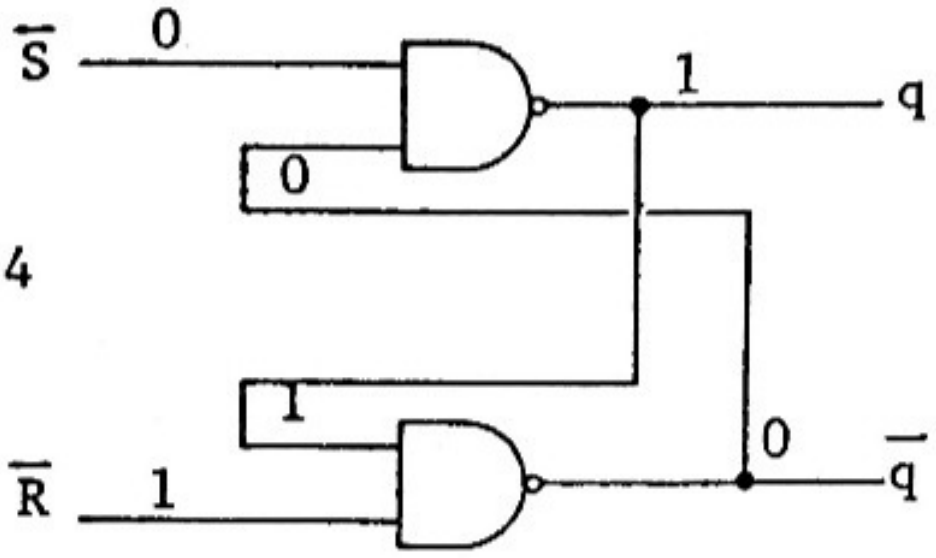


FIGURA 14

$S = 1 \rightarrow \overline{S} = 0$

$R = 0 \rightarrow \overline{R} = 1$

A saída q vai para 1 e a saída $\overline{q} = 0$

5º Caso - S = 1, R = 1, q = 0 e $\overline{q} = 1$, figura 15

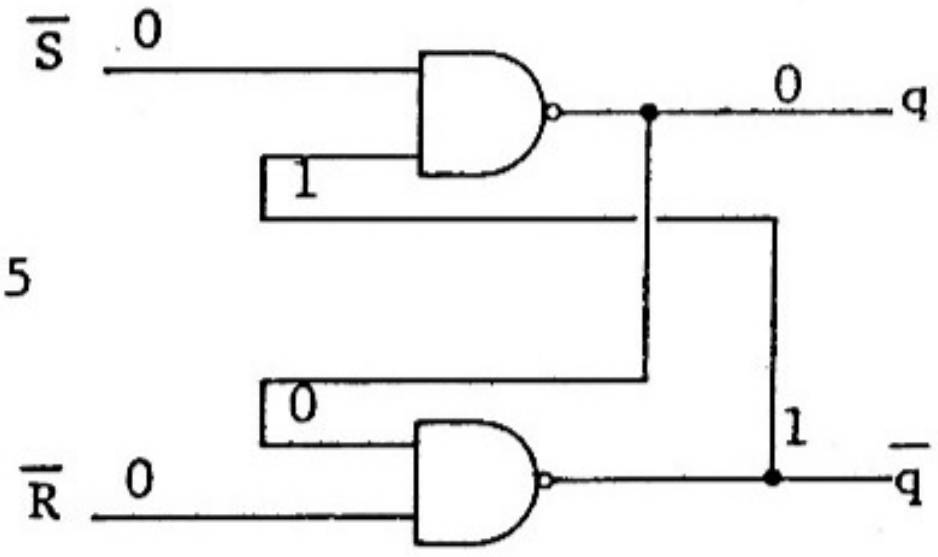


FIGURA 15

$S = 1 \rightarrow \overline{S} = 0$

$R = 1 \rightarrow \overline{S} = 0$

Como podemos ver, a saída q irá forçosamente assumir o estado "1" e a saída $\overline{q}$ também irá para o estado "1", onde se conclui que o flip-flop assume uma condição, onde $q = \overline{q}$, o que é incoerente. Logo, não é permitido. Da mesma forma, ocorrerá, se fizermos S = 1, R = 1, q = 1 e $\overline{q} = 0$.

Vamos então preencher a tabela verdade para alguns casos, figura 16.

S	R	$\overline{S}$	$\overline{R}$	q	$\overline{q}$
0	0	1	1	não altera	não altera
0	1	1	0	0	1
1	0	0	1	1	0
1	1	0	0	não permitido	não permitido

FIGURA 16

FLIP-FLOP S-R SÍNCRONO

O flip-flop síncrono tem a mesma tabela característica-do assíncrono. A diferença é que a mudança de estado ocorre-durante a presença do pulso de controle, também chamado borda de subida ou de descida. Se o flip-flop não tiver clock, não mudará de estado. O estado inicial da saída q ($\overline{q}$) pode ser qualquer.

A tabela de excitação encontra-se na figura 17,logo abaixo.

S	R	q^n	q^{n+1}
0	0	0	0
1	0	0	1
0	1	1	0
0	0	1	1

FIGURA 17

FLIP-FLOP S-R SÍNCRONO COM PORTAS "NÃO E" E "NÃO OU"

Este circuito, como indica a figura 18, é constituído de quatro portas NÃO E.

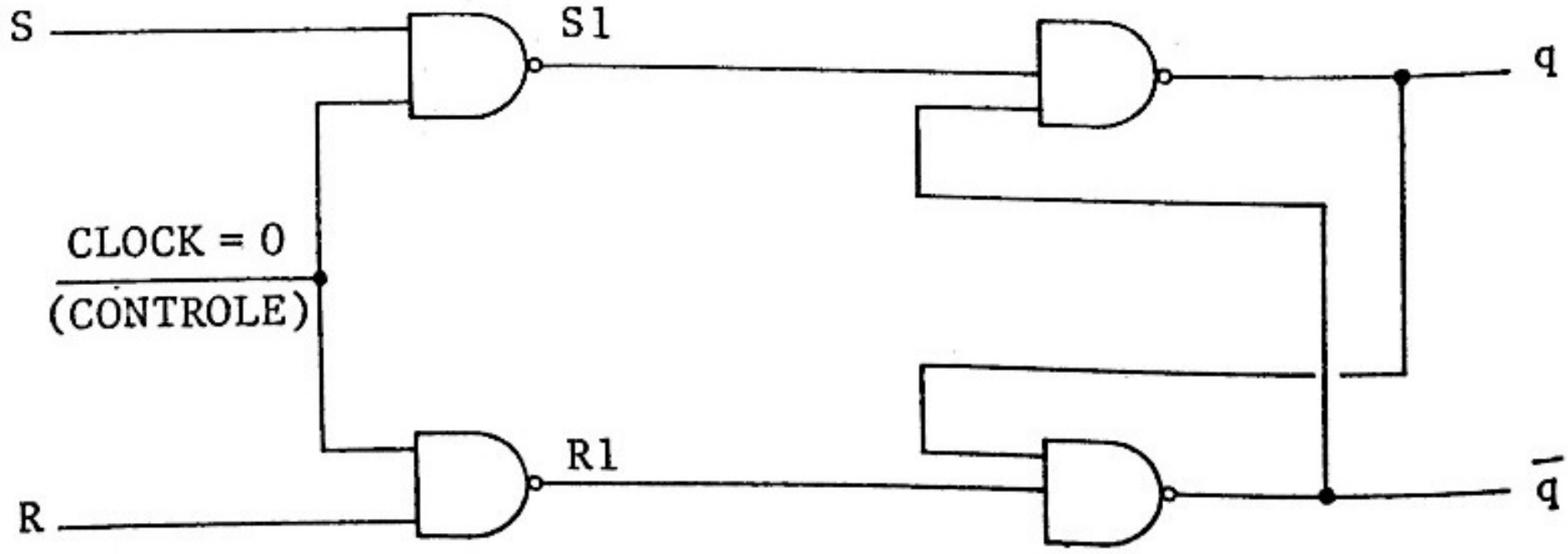


FIGURA 18

Se analisarmos a condição do clock igual a zero, veremos que o flip-flop não irá se alterar, mesmo que variem as entradas R e S.

Sua tabela é dada pela figura 19.

S	R	q
0	0	não altera
0	1	0
1	0	1
1	1	não permitido

FIGURA 19

Podemos também representar os casos em um diagrama de tempos, como indicamos na figura 20.

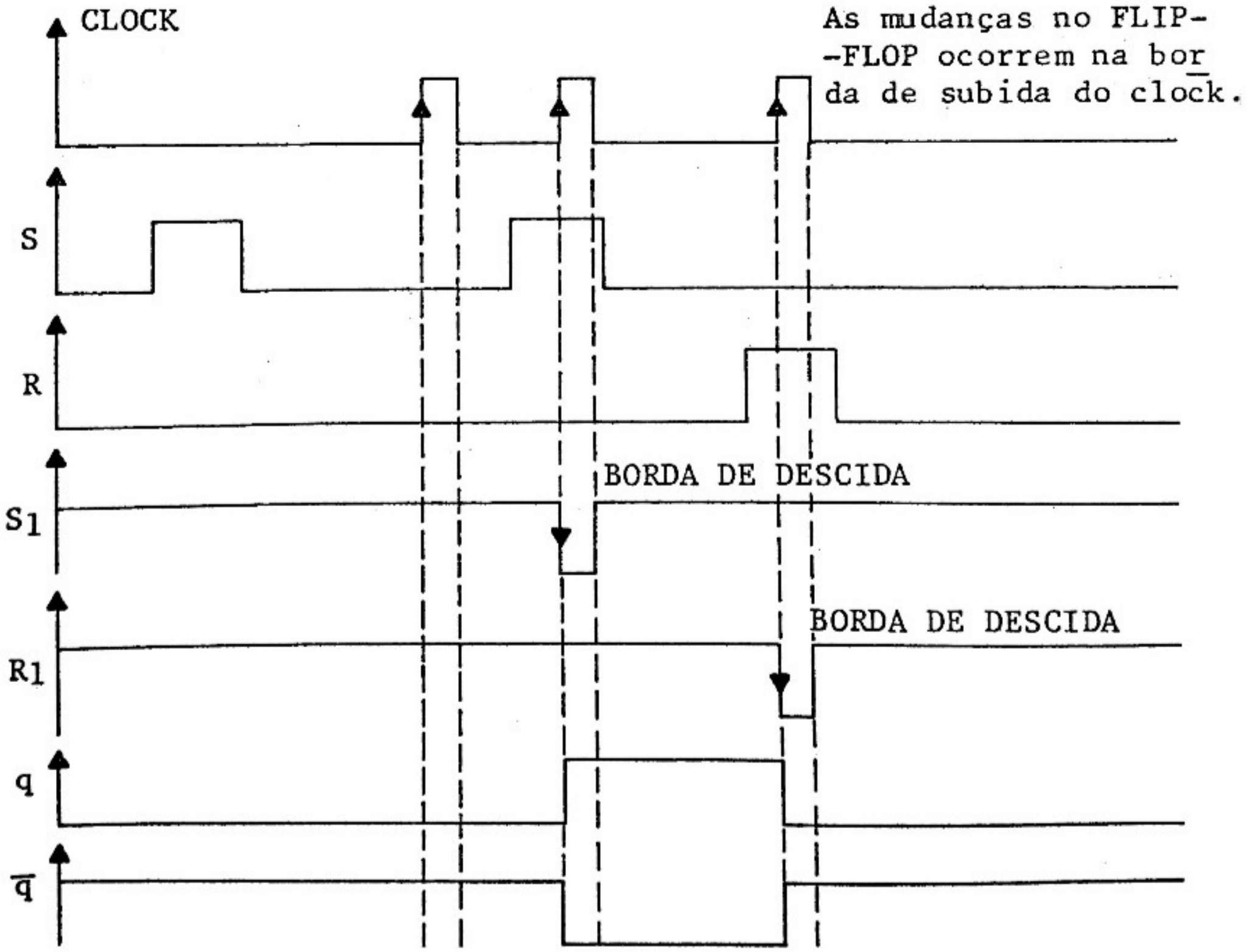


FIGURA 20

Seu circuito é dado pela figura 21, logo abaixo.

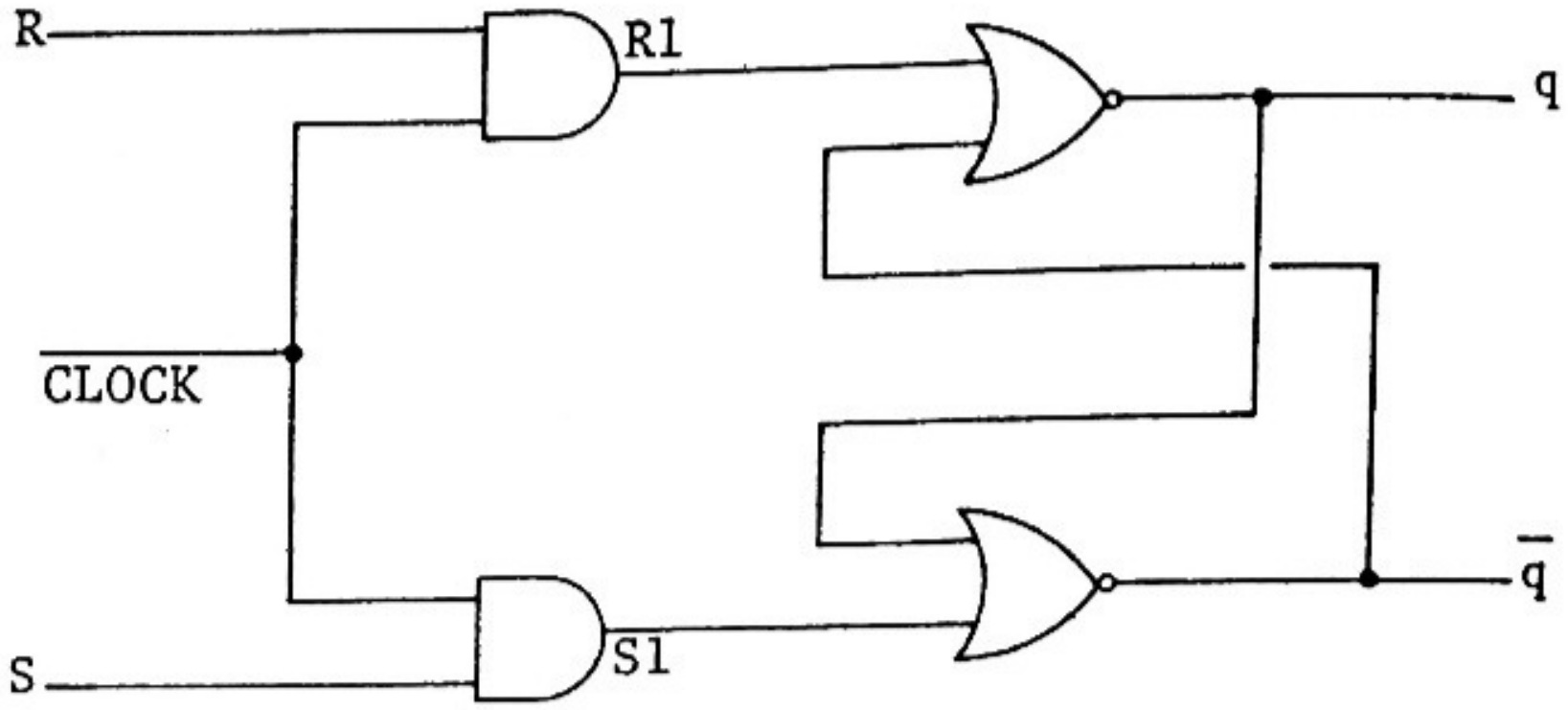


FIGURA 21

FLIP-FLOP PIPO J-K

O flip-flop J-K nada mais é do que um FF R-S realimentado. Seu bloco representativo e seu circuito são dados pelas figuras 22 e 23 respectivamente.

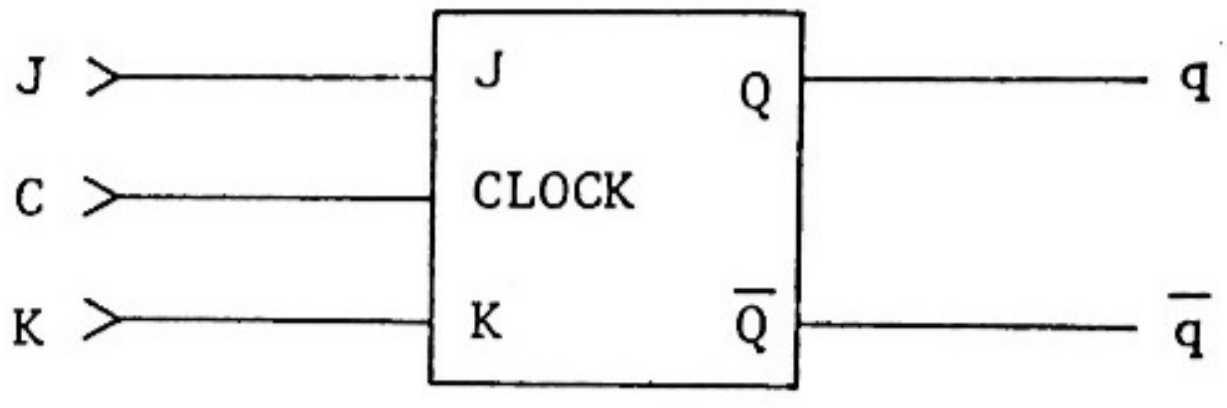


FIGURA 22
SÍMBOLO

CIRCUITO DO FLIP-FLOP J-K

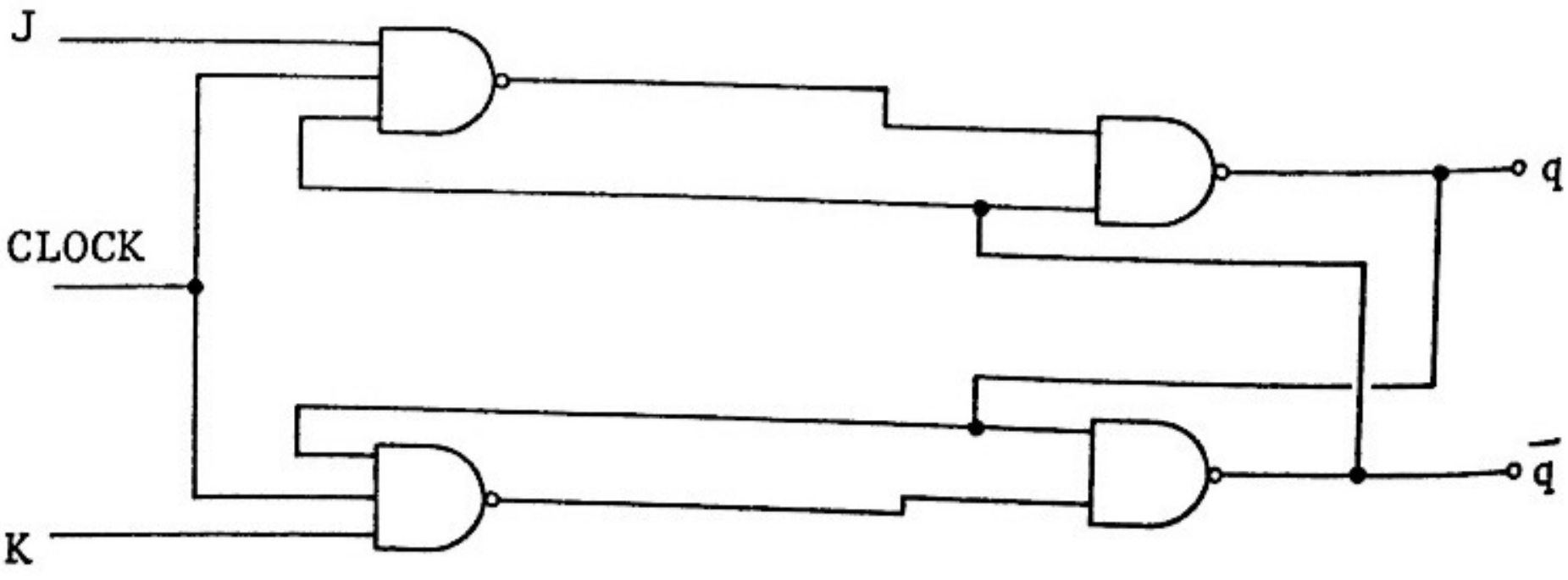


FIGURA 23

O funcionamento do flip-flop J-K é parecido com o do flip-flop S-R, com a diferença que, para J = 1 e K = 1, não teremos mais um estado indeterminado, como anteriormente. O flip-flop J-K pode ser do tipo sensível à borda ou master--slave. O flip-flop sensível à borda tem o inconveniente: quando o clock C for igual a 1, mudando-se as entradas J-K, a saída muda. O flip-flop master-slave não terá esse problema. (veremos mais para frente).

As tabelas característica e de excitação do J-K encontram-se nas figuras 24 e 25 respectivamente.

J	K	q^{n+1}
0	0	q^n
0	1	0
1	0	1
1	1	$\overline{q^n}$

FIGURA 24

Tabela característica

q^n	q^{n+1}	J	K
0	0	0	Ø
0	1	1	Ø
1	0	Ø	1
1	1	Ø	0

FIGURA 25

Ø = não interessa.

Tabela de excitação

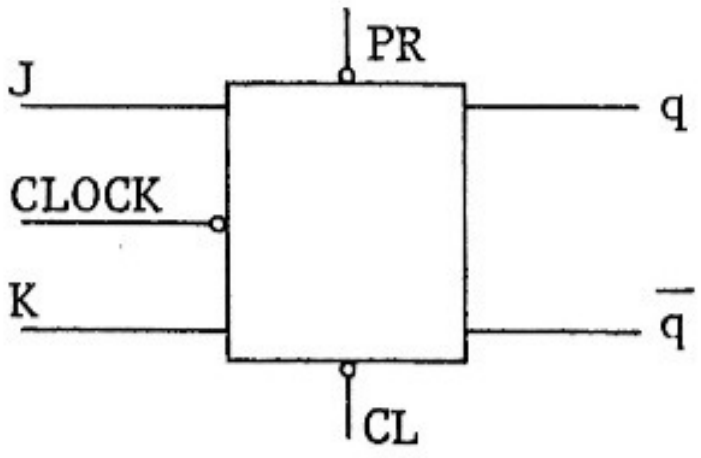
OBSERVAÇÃO:

As tabelas característica e de excitação supõem os valores das entradas J-K, quando o controle as torna sensíveis.

FLIP-FLOP J-K COM ENTRADAS PRESET E CLEAR

As entradas Preset e Clear são destinadas a levar o flip-flop aos estados "0" e "1". A entrada Clear leva a saída q do flip-flop ao estado "0" e a Preset leva a saída $\overline{q}$ do flip-flop ao estado "1".

Essas entradas são produzidas com ou sem o clock. Na figura 26 indicamos o bloco representativo.



CLEAR = LEVA-A-0
PRESET = LEVA-A-1

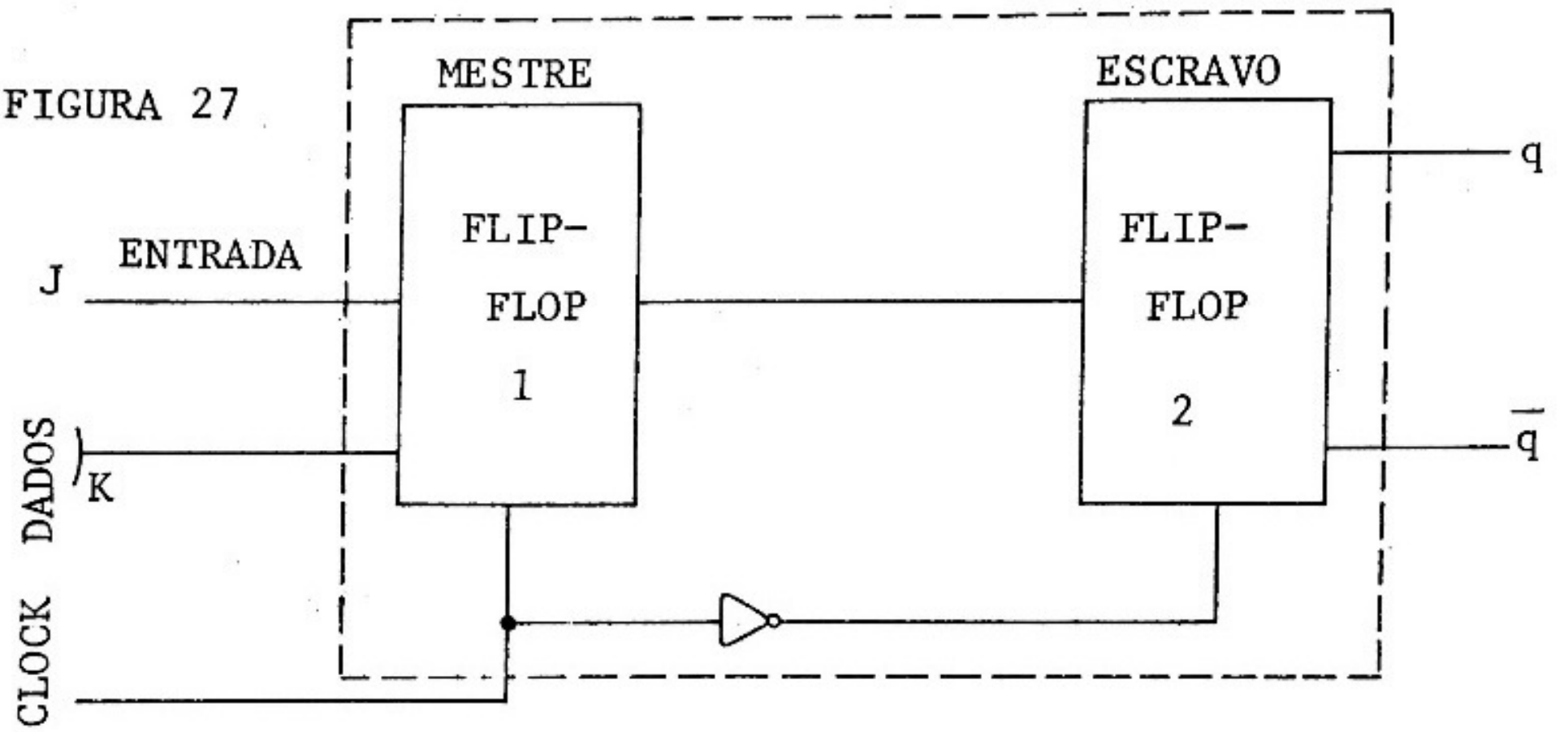
FIGURA 26

Obs.: As entradas Preset e Clear não podem ter valor zero ao mesmo tempo, pois acarretaria à saída uma situação não permitida.

FLIP-FLOP J-K MESTRE-ESCRAVO (MASTER SLAVE)

Na figura 27, temos a estrutura de um flip-flop master-slave.

FIGURA 27



Em sua estrutura interna, ele dispõe de dois flip-flops: o mestre (master) e o escravo (slave)

Quando o clock vai de zero a um, o mestre muda, sob influência das entradas e, quando o clock desce de 1 → 0, o escravo copia o mestre.

A principal característica desse tipo de flip-flop é o fato da saída mudar somente depois que a entrada fica insensível.

TABELA VERDADE		
tn		tn+1
J	K	Q
0	0	qn
0	1	0
1	0	1
1	1	$\overline{qn}$

TABELA-EXCITAÇÃO			
qn	qn+1	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

Qn - Estado atual da saída Q
Qn+1 - Estado futuro.

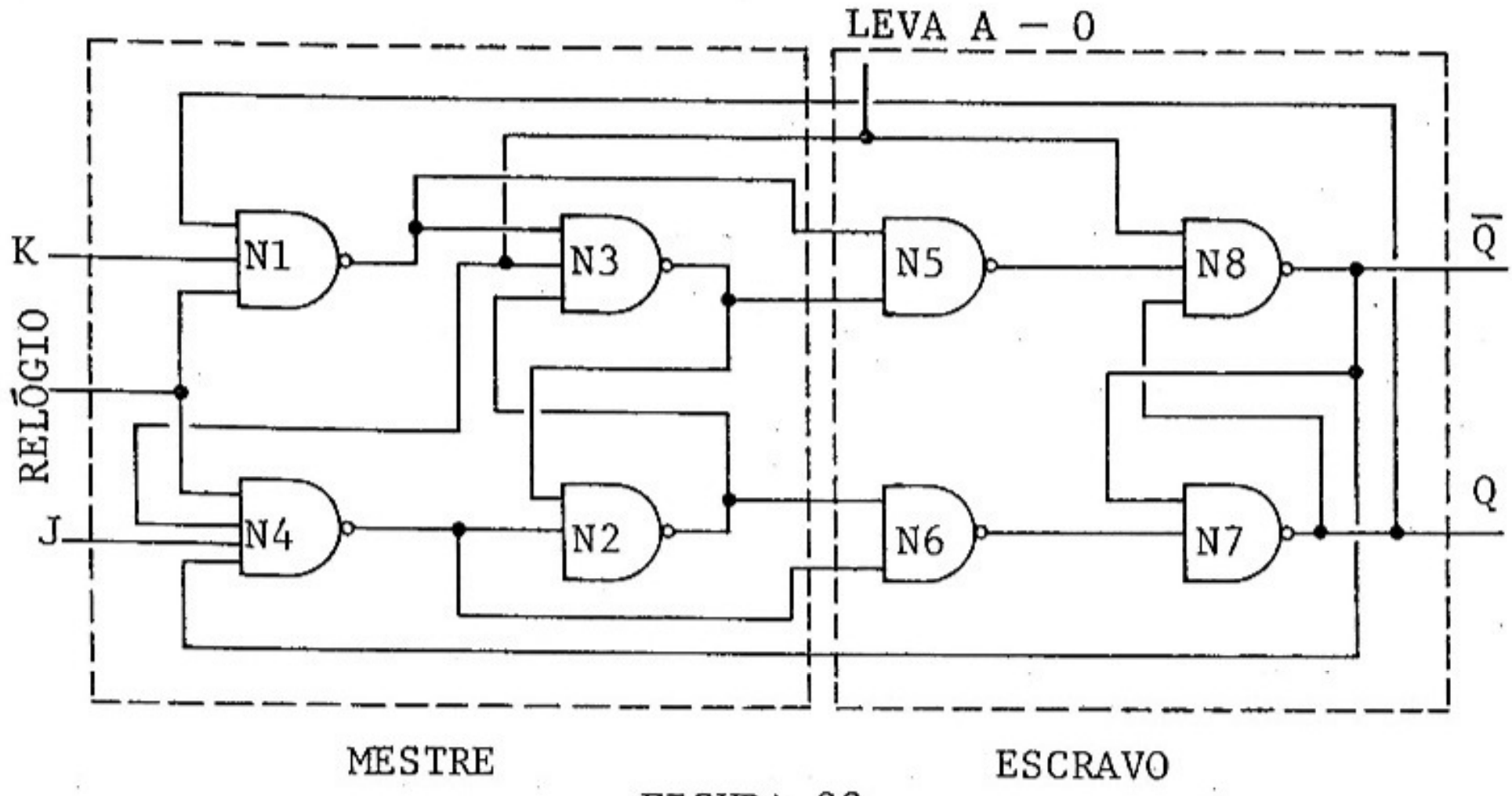


FIGURA 28

A figura 28 ilustra o circuito típico de um flip-flop JK, mestre-escravo. O circuito é todo constituído de portas NÃO E (NAND). A saída Q realimenta a porta N1, em conjunto com a entrada K e o relógio (clock). E $\overline{Q}$, J e o relógio alimentam a porta N4. Supondo, inicialmente, Q = "1" e $\overline{Q}$ = "0" e ainda K mudando de "0" para "1" e retornando para "0" e o relógio estando em "1", a entrada J permanece inibida, pois $\overline{Q}$ realimenta N4 com "0". Se K = "0", a saída da porta N1 é "1" e não altera o estado das portas N2 e N3. Se K subir para 1, a saída da N1 será "0", mudando o estado do mestre. Quando K retornar para "0", a saída N1 será igual a "1", entretanto o entrelaço principal "memoriza" a condição "1" na entrada K. Quando o relógio mudar para o estado "0", a saída Q muda para o estado Qn + 1 = 0 e $\overline{Q}$n + 1 = 1 (Qn + 1 é o estado de Q posterior a mudança).

Quando Qn = 0 e $\overline{Q}$n = 1, a entrada J controla a saída. Se J mudar de "0" para "1", estando o relógio em 1, a seção principal "memoriza" este estado. Após o retorno do relógio para "0", as saídas mudam para Qn + 1 = 1 e $\overline{Q}$n + 1 = 0. A tabela de excitação pode ser usada para estabelecer o procedimento geral para a operação do J-K mestre-escravo, quando as entradas J e K mudarem-se com o relógio a nível alto. Se Qn = "0" e J crescer para "1", Qn + 1 será "1". Se Qn = 1 e K crescer para 1,

Qn + 1 será "0". É esta característica que torna o tempo de posicionamento dos flip-flops J-K mestre-escravos maior ou igual ao pulso de relógio.

Se Q = "0" e $\overline{Q}$ = 1, quando o relógio sobe para o estado "1", Q mantém a saída de N1 no estado "1", para qualquer estado da entrada K. Condição semelhante existe para N4. Neste caso, quando o relógio subir, encontrará $\overline{Q}$ no estado "1" (nestas condições a entrada leva-a "0" deverá ser "1" para o flip-flop operar). Assim, a saída do flip-flop Qn + 1 é determinada somente pela entrada J. A mesma análise pode ser feita para Q = "1" e $\overline{Q}$ = "0". Desta forma, a saída será determinada apenas por K.

FLIP-FLOP TIPO T

É um flip-flop JK com entradas J e K ligadas uma à outra como indica a figura 29.

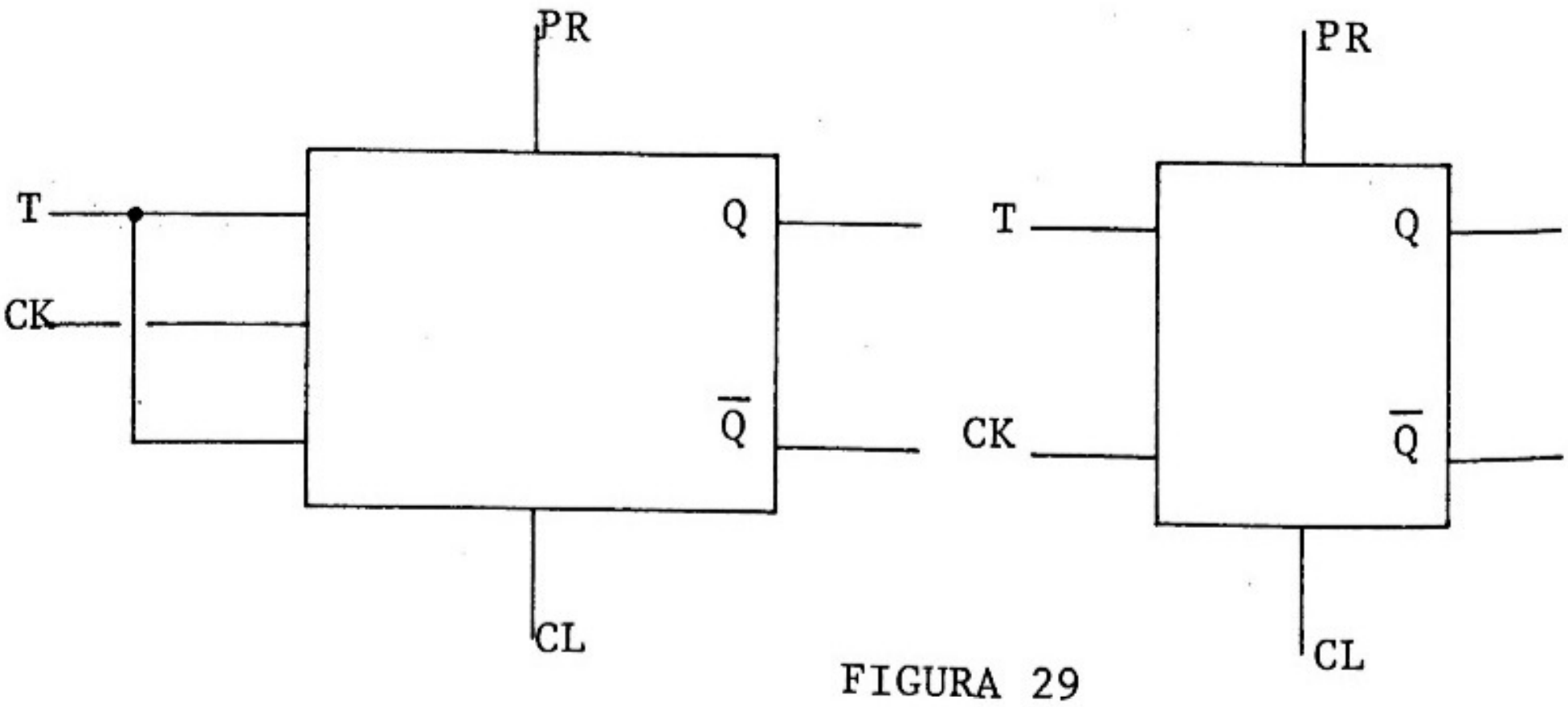


FIGURA 29

Para J = 1, K também assumirá o valor 1. Da mesma forma, para J = 0, K assumirá o valor 0.

Entradas com J = 0 e K = 1 ou J = 1 e K = 0 não irão ocorrer no flip-flop, tipo T.

A tabela deste flip-flop é indicada na figura 30.

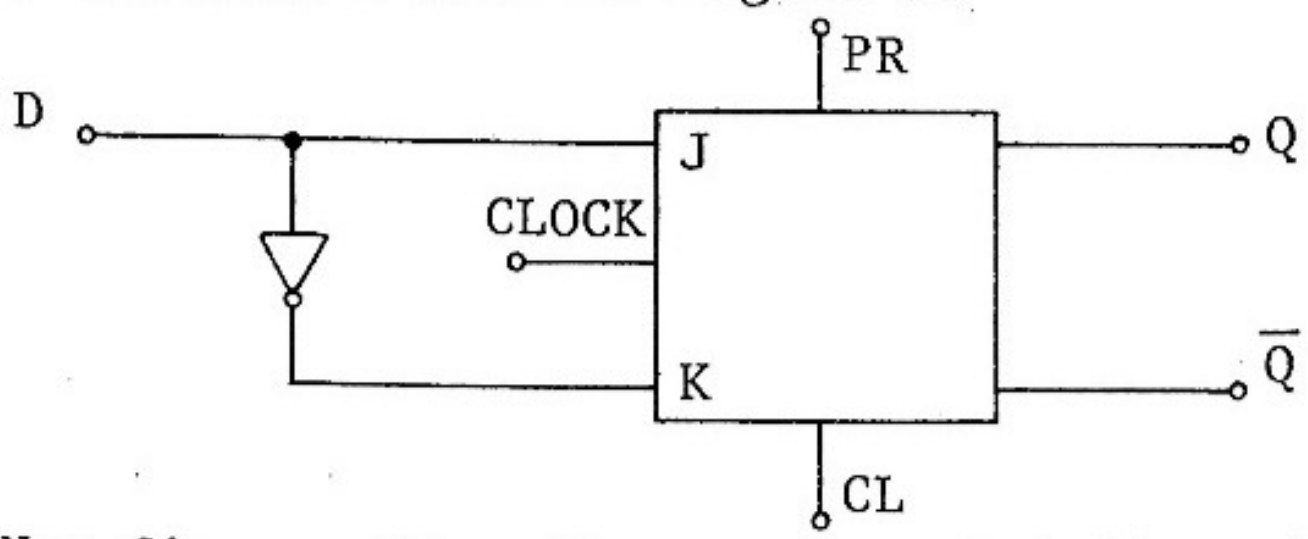
J	K	T	q^{n+1}
0	0	0	Qn
0	1	não existe	/
1	0	não existe	/
1	1	1	$\overline{Q}n$

FIGURA 30

FLIP-FLOP TIPO D (FLIP-FLOP SENSÍVEL À BORDA)

É um flip-flop J-K com um inversor entre as entradas J e K. A saída "Q" assume o mesmo valor da entrada "D", quando o flip-flop é engatilhado pelo controle (também chamado de "clock pulse", pulso de clock). A entrada de informação no flip - flop ocorre no instante da variação do sinal clock, (subida - ou descida).

O circuito é dado na figura 31



Nas figuras 32 e 33 temos a tabela característica e a tabela verdade.

TABELA CARACTERÍSTICA

D	Qn+1
0	0
1	1

FIGURA 32

TABELA VERDADE

J	K	D	Qn+1
0	0	não há	/
0	1	0	0
1	0	1	1
1	1	não há	/

FIGURA 33

CEDM
CURSOS DE APERFEIÇOAMENTO

CURSO DE
ELETRÔNICA DIGITAL E
MICROPROCESSADORES

CAIXA POSTAL 1642 - CEP 86100 - LONDRINA - PARANÁ

EXAME DA LIÇÃO ED-16

OBSERVAÇÃO

- cada questão é composta de três ou quatro alternativas.
- só uma delas está correta.
- marque a que considerar correta.
- passe as respostas corretas para a folha de exame.

1) Os circuitos seqüenciais são sistemas pulsados, porque:

   a) operam sob o comando de uma seqüência de senoides;

   b) operam sob o comando de uma seqüência de pulsos denominados de "clock";

   c) operam com um estado com várias saídas e somente uma entrada.

2) Assinale a alternativa correta:

   a) os circuitos combinacionais apresentam várias saídas e não dependem das variáveis de entrada;

   b) basicamente um flip-flop apresenta-se como um bloco, onde temos duas saídas Q e $\overline{Q}$ e uma entrada de controle - chamada (clock);

   c) só existem 3 tipos de flip-flops.

3) Existem quatro tipos básicos de flip-flop que são:

a) tipo R-S, tipo D, tipo T e tipo J-K;

b) tipo R-S, tipo L, tipo T e tipo J-K;

c) tipo R-S, tipo P, tipo T e tipo K.

4) A diferença básica do flip-flop síncrono para o assíncrono é que:

a) não existe mudança de estado;

b) no síncrono a mudança de estado ocorre durante a presença de um pulso de controle, chamado de clock;

c) as alternativas a e b estão incorretas.

5) A tabela verdade correspondente a um flip-flop síncrono - com portas NÃO E (NAND) é dada por:

a)

S	R	Q
0	0	não altera
0	1	1
1	0	1
1	1	não permitido

b)

S	R	Q
0	0	não altera
0	1	1
1	0	0
1	1	não permitido

c)

S	R	Q
0	0	não altera
0	1	0
1	0	1
1	1	não permitido

6) O flip-flop J-K nada mais é do que:

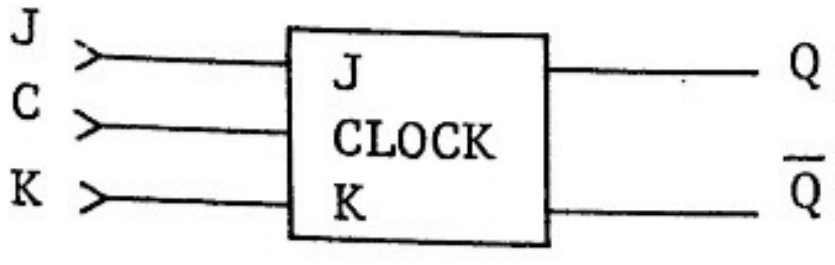
a) um flip-flop R-S com uma só entrada;

b) um flip-flop R-S realimentado;

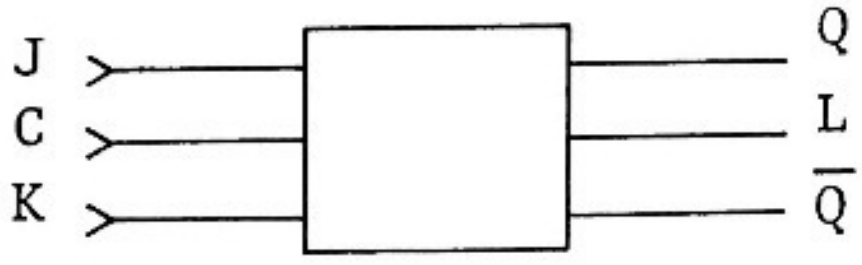
c) um flip-flop D realimentado.

7) O bloco representativo de um flip-flop J-K é:

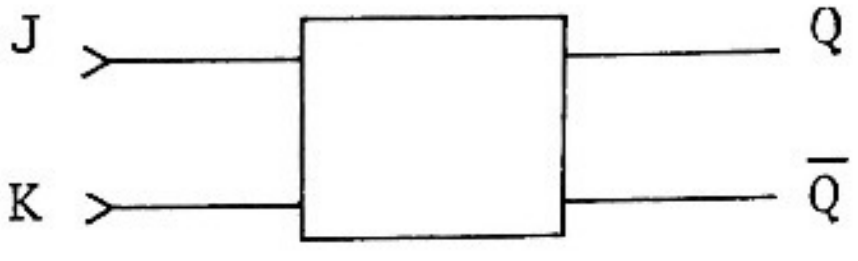
a)



b)



c)



8) As entradas Preset e Clear tem a finalidade de levar o flip-flop aos estados:

a) 1 e 0 respectivamente;

b) 0 e 1 respectivamente;

c) as respostas a e b estão incorretas.

9) Assinale a alternativa correta com relação a um flip-flop mestre-escravo:

a) em sua estrutura interna, dispõe de um só flip-flop;

b) a principal característica desse flip-flop é o fato da saída mudar sòmente depois que a entrada fica insenssível;

c) é um flip-flop tipo J-R com as entradas realimentadas entre sí.

10) Assinale a alternativa correta:

a) o flip-flop tipo D é um flip-flop tipo J-K com um inversor entre as entradas J e K;

b) os flip-flops mestres-escravos apresentam o inconveniente de serem mais lentos que os demais;

c) as alternativas a e b estão corretas.

CEDM
CURSOS DE APERFEIÇOAMENTO

CURSO DE
ELETRÔNICA DIGITAL E
MICROPROCESSADORES

CAIXA POSTAL 1642 - CEP 86100 - LONDRINA - PARANÁ

LIÇÃO ED-17

OSCILADORES

GENERALIDADES

Um oscilador nada faz além de proporcionar uma tensão alternada de determinada freqüência. Trata-se, portanto, de uma etapa amplificadora que gera uma determinada freqüência, limitada pelo valor de seus componentes, mantendo-a dentro de certos parâmetros.

Os osciladores, em sua grande maioria, podem ser classificados em duas categorias: a) do tipo ressonante, de indutância-capacitância (LC); b) de relaxação do tipo resistência-capacitância (RC).

Para se conseguir um desempenho de alta estabilidade de freqüências, muitos osciladores utilizam-se de um cristal, uma barra metálica, ou uma outra fonte de vibrações constantes e de freqüência padrão. Esses osciladores, às vezes, são chamados de "osciladores eletromecânicos".

Os osciladores são empregados em larga escala, não só nos equipamentos de comunicações, como também em aparelhos de teste e equipamentos de radar, computadores e até em circuitos de controle de mísseis.

Antes de passarmos ao estudo propriamente dito dos osci-

ladores, vamos recordar o que vem a ser um circuito ressonante.

CIRCUITOS RESSONANTES:

Quando em um circuito, que contêm indutância, capacitância e resistência, sua reatância for nula, ou seja, a reatância indutiva for igual à reatância capacitiva, ocorre o fenômeno da ressonância. A ressonância ocorre somente em uma freqüência para uma dada combinação de capacitância e indutância. A fórmula para o cálculo da freqüência de ressonância é dada pela expressão de THOMPSON:

$$Fo = 1/(2\pi \sqrt{LC})$$

onde Fo é em ciclos (hertz); L em Henri e C em Farads.

Como acabamos de ver, o circuito ressonante possui capacitores, indutores e resistores, ligados em série ou em paralelo.

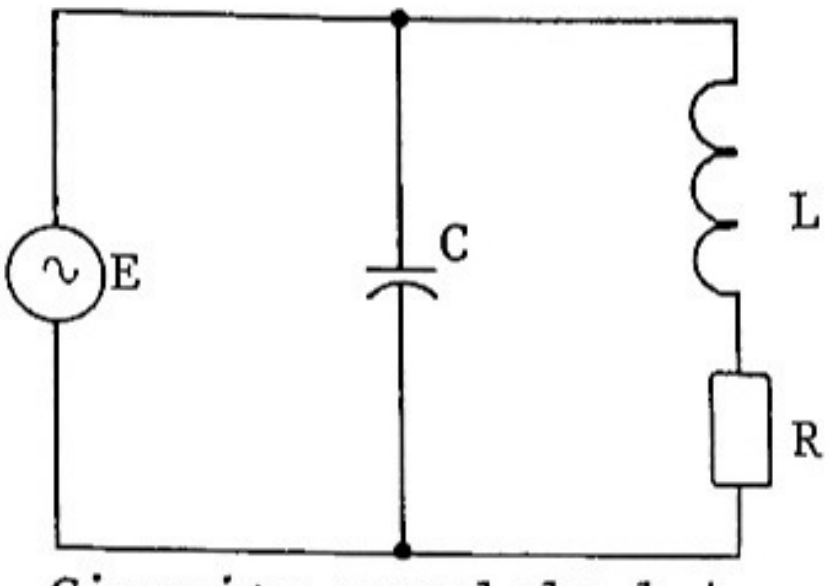
Em ressonância, a indutância acumula energia durante - meio ciclo em que o capacitor se descarrega e devolve a energia durante o meio ciclo seguinte, voltando assim, a carregar o capacitor. Portanto, o tempo gasto para se carregar o capacitor deve ser igual ao tempo necessário para descarregar o indutor (ou bobina).

Para a ressonância série (figura 1B), a impedância total do circuito reduz-se ao valor de R, na freqüência de ressonância. Desta forma, o fator de potência torna-se unitário.

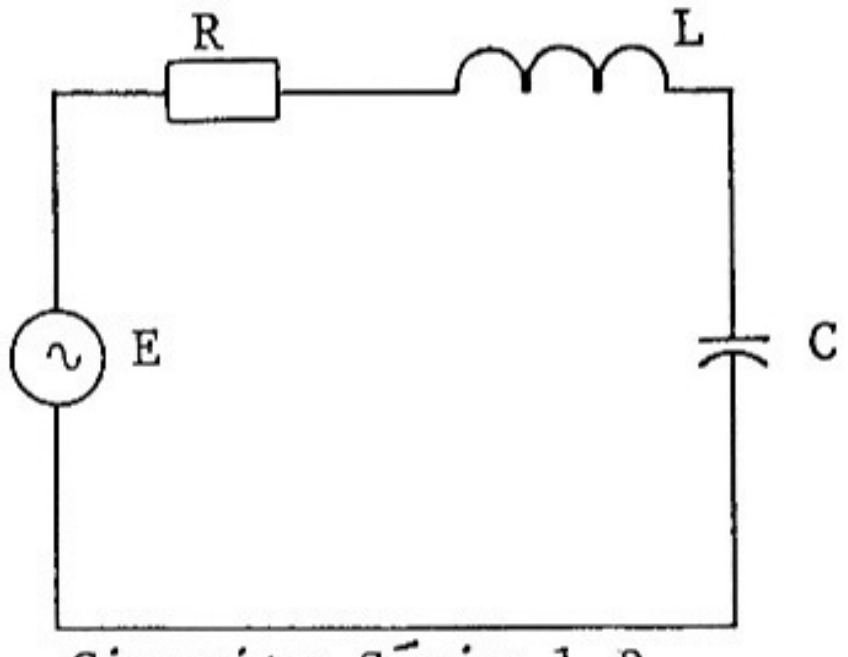
Para um circuito ressonante paralelo, também conhecido por circuito tanque (figura 1A), a impedância de entrada é elevadíssima. O circuito paralelo é ressonante, quando os componentes não energéticos das correntes em ambos os ramos forem iguais (E/XC = E/XL) e o fator de potência do circuito - for unitário (igual a um).

As curvas de ressonância série são semelhantes às curvas de ressonância paralelo.

OBS.: As correntes (E/XC e E/XL) para o circuito paralelo são chamadas de componentes não energéticos pelo fato de



Circuito paralelo 1.A



Circuito Série 1.B.

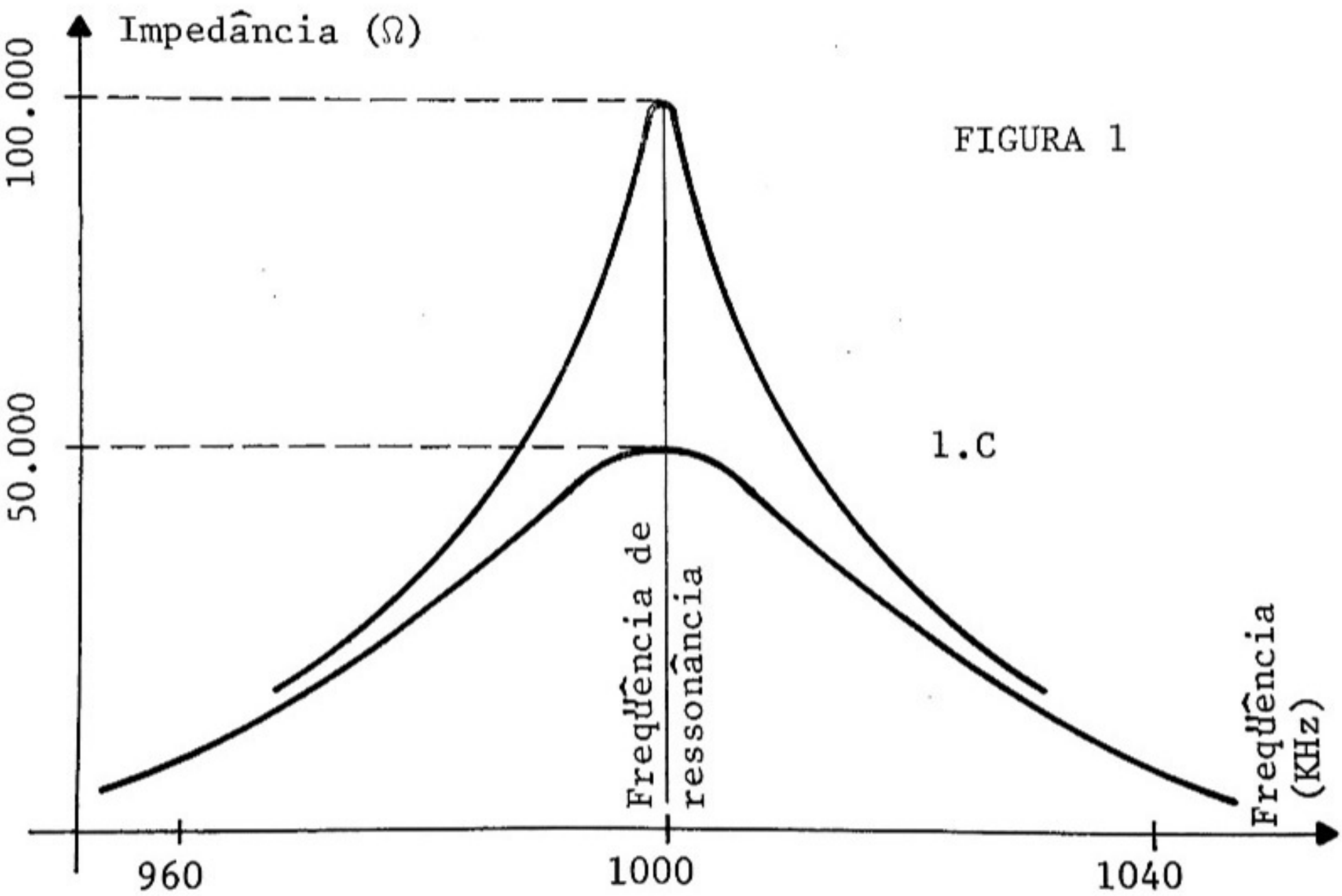


FIGURA 1

1.C

CURVAS DE RESSONÂNCIA PARALELO

estarem 90º fora de fase com a tensão aplicada (uma adianta 90º e a outra atrasa 90º).

OSCILADORES:

Vamos agora passar ao estudo dos osciladores. Inicialmente faremos um breve estudo sobre os diversos tipos de oscila-

dores e em seguida passaremos ao estudo dos multivibradores e temporizadores. Basicamente todos os osciladores funcionam da mesma maneira, ou seja, parte da energia de saída é reaplicada ao circuito oscilador.

OSCILADOR ARMSTRONG:

Também conhecido como oscilador de acoplamento indutivo ou oscilador com realimentação indutiva.

Semelhante a um amplificador de R.F., com uma variação:o acréscimo de uma bobina no circuito de coletor, sendo que esta é chamada de bobina de reação (L_R) ou bobina tickler. Normalmente é usado para produzir uma senóide de amplitude constante e freqüência quase constante dentro da faixa de R.F..Empregado, na maioria das vezes, como oscilador local de receptores, como fonte de sinal em geradores e como oscilador de freqüências médias e altas.

A bobina de reação é enrolada junto à bobina do tanque LC (em geral,as duas bobinas são enroladas na mesma forma),de modo que, ao circular a corrente de coletor através desta (bobina de reação), há indução de uma f.e.m. na bobina (L) do tanque. Na realidade, a responsável pelas tensões induzidas na bobina do tanque não é a componente contínua da corrente de coletor. Mas sim as variações da corrente de coletor.

A figura 2 nos mostra a configuração básica de um oscilador Armstrong na montagem emissor comum.

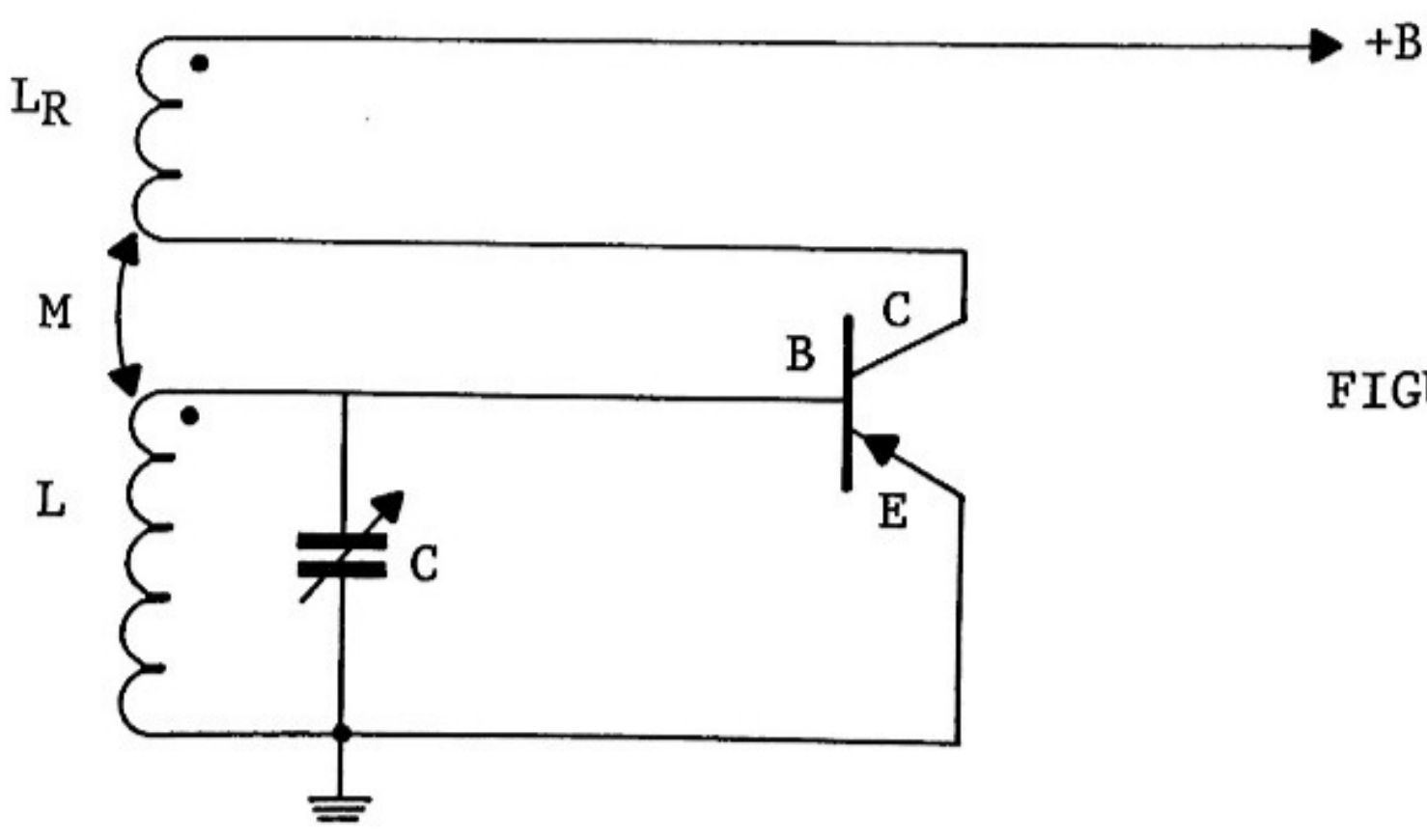


FIGURA 2

A quantidade de tensão realimentada é que determina o fluxo (M) de LR que se encadeia com L. Isto é conseguido mediante o acoplamento indutivo entre as duas bobinas.

A oscilação permanente ocorre com base nos seguintes fatos: a corrente inicial do transistor (ruído interno e variações térmicas) origina uma tensão de realimentação entre o coletor e o emissor, portanto ao aumentar a corrente do coletor, a realimentação adicional entre LR e L incrementa a corrente de emissor até que atinja a região de saturação, onde deixa de crescer. Detendo-se o aumento de corrente, haverá a redução da tensão induzida até o ponto de não existir nenhuma realimentação no circuito de entrada. Ponto em que o colapso do campo ao redor do tanque L e da bobina de reação LR passa a induzir uma tensão inversa no circuito emissor, produzindo uma diminuição de sua corrente e, conseqüentemente, uma redução na corrente de coletor. Esta diminuição da corrente - induz uma maior tensão inversa no LOOP de realimentação, levando a corrente de emissor ao corte ou a zero. O capacitor - de tanque "C" descarrega-se através da bobina "L", fazendo - com que a tensão aplicada ao emissor aumente de um valor de polarização inversa, passando, por zero, até um valor de polarização direta. Desta forma, circulará então a corrente de coletor e emissor. Ao se repetir a ação descrita acima, teremos como conseqüência uma oscilação permanente.

Para se controlar a freqüência de oscilação, normalmente usa-se um capacitor variável no circuito tanque, pois é muito mais conveniente variar a capacitância do que a indutância.

Apesar dos valores de "L e C" determinarem a freqüência de oscilação ($Fo = 1/2\pi\sqrt{LC}$), ainda poderá ocorrer certa instabilidade de freqüência, devido: à solicitação de energia do tanque; às variações na tensão de coletor; às vibrações e choques; ao calor, etc.

A vantagem básica deste tipo de oscilador reside no fato da realimentação ser obtida por meio de uma bobina (reação ou tickler) separada. Consegue-se, portanto, ajustar facilmente a quantidade e a polaridade de realimentação, mudando-se o número de espiras ou a direção dos enrolamentos.

OSCILADOR HARTLEY:

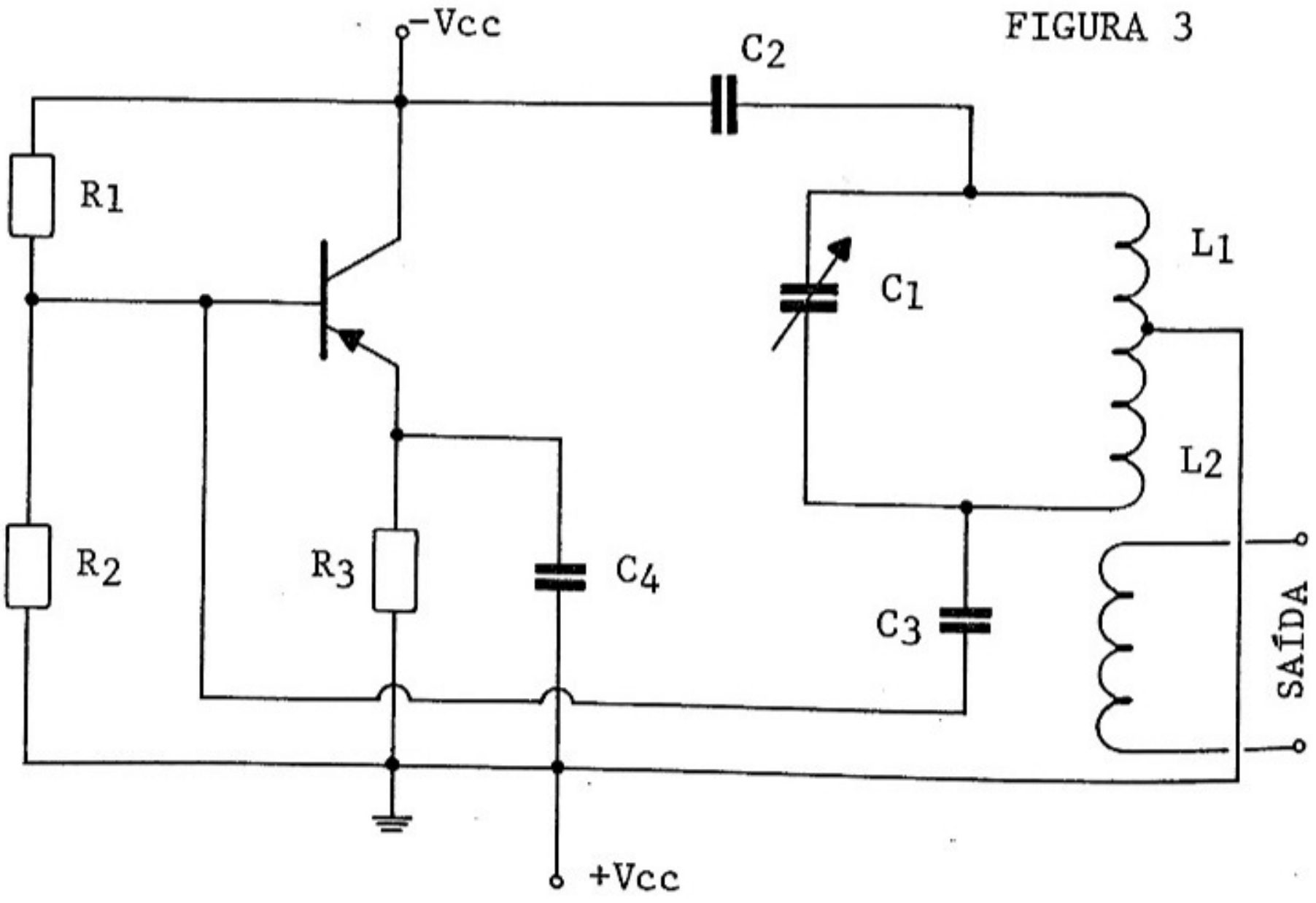
Trata-se,pois, do oscilador Armstrong, melhorado quanto ao método de acoplamento. Apesar de também estar sujeito à instabilidade de freqüência, este apresenta uma série de pontos favoráveis, adaptando-se a uma ampla faixa de freqüências e facilitando a sintonia.

É empregado para gerar uma onda senoidal na saída, com amplitude constante e freqüência praticamente constante dentro das faixas médias e altas de R.F.

Muito usado como oscilador local em receptores, como oscilador de freqüência variável para usos gerais e como fonte de sinal em geradores.

A figura 3 mostra um oscilador Hartley alimentado em paralelo. Este tipo de alimentação apresenta como vantagem o isolamento da fonte de tensão do circuito ressonante.

FIGURA 3



Quanto ao funcionamento há pouca diferença entre o oscilador Hartley e o oscilador Armstrong.

No oscilador Hartley, a bobina de realimentação faz parte da bobina do circuito LC (tanque). Através da fonte de ali

mentação e do divisor, formado por R1 e R2, obtém-se polarização fixa de base. O resistor R3, de estabilização de emissor, é usado para estabilizar a temperatura.

O capacitor C2 atua como capacitor de bloqueio de C.C. e de acoplamento de R.F., evitando-se que a bobina tanque curto-circuite o coletor. Já o capacitor C3 opera como capacitor de bloqueio de base e de acoplamento, com o objetivo de impedir o curto-circuito da base à terra, através do próprio indutor de tanque.

As oscilações originam-se a partir da energização do circuito, pela realimentação a partir do coletor à base; através das secções L1 e L2 do indutor tanque.

Uma vez iniciadas as oscilações, o ciclo é muito parecido com o do oscilador Armstrong, apresentando uma maior estabilidade de freqüência do que a deste último.

A freqüência de ressonância do circuito ressonante é essencialmente a mesma do circuito oscilador. Dependendo dos valores de "L e C" do circuito tanque ressonante, a freqüência é:

$$Fo = 1/(2\pi \sqrt{LC})$$

OSCILADOR COLPITTS:

Semelhante ao oscilador Hartley, porém, ao invés de se utilizar um divisor de indutância, utiliza-se um divisor de capacitância para a realimentação.

Trata-se de um oscilador versátil, fácil de operar, adaptável a uma ampla faixa de freqüências e possui uma estabilidade de freqüência superior à do oscilador Hartley. A figura 4 nos mostra um oscilador Colpitts alimentado em paralelo com emissor comum.

O capacitor C2 opera como acoplador para o circuito tanque e como capacitor de bloqueio, evitando-se, assim, que a corrente contínua passe para o circuito tanque.

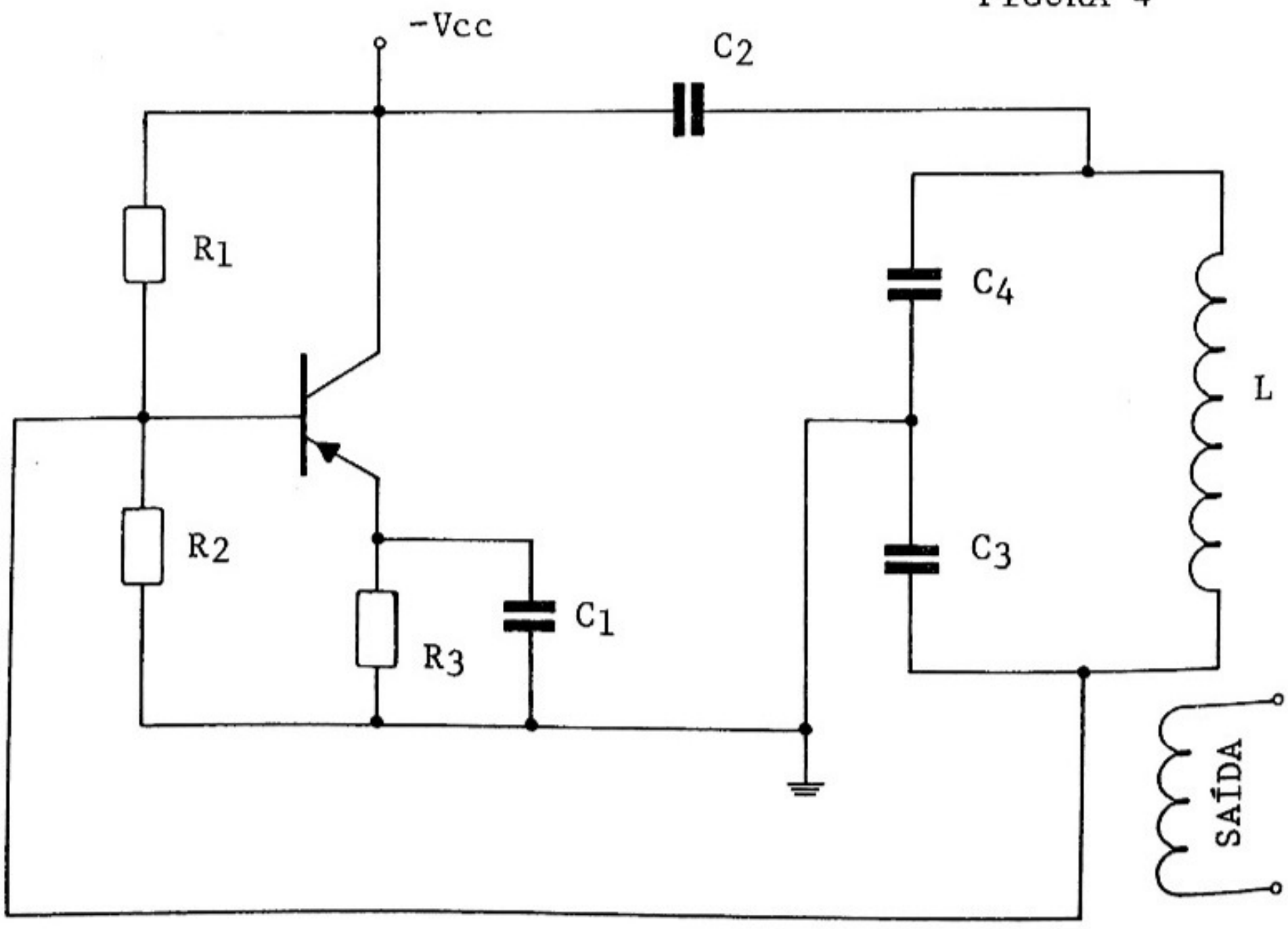
Os resistores R1 e R2 é que determinam a polarização inicial, ao se energizar o circuito. A oscilação começa pela rea

limentação, a partir do circuito tanque, através do capacitor C3, uma vez que o divisor está aterrado na conexão comum. Sobre os capacitores C3 e C4, existem polaridades opostas em relação à terra. As tensões sobre as mesmas ficam determinadas pela relação das reatâncias capacitivas. Para sustentar as oscilações é necessário subministrar uma realimentação positiva, a qual é conseguida ao se aplicar entre o emissor e a base uma tensão que está defasada com relação ao coletor.

A corrente oscila no circuito tanque, constituído por "L-C3 - C4" e as reatâncias da bobina e dos capacitores determinam a freqüência de oscilação.

O resistor de estabilização do emissor R3 é utilizado para estabilizar a temperatura. Já o capacitor C2 atua como capacitor de bloqueio de corrente contínua e de acoplamento de R.F., evitando-se que a bobina tanque curto-circuite o coletor do transistor.

FIGURA 4



(OSCILADOR COLPITTS)

MULTIVIBRADORES:

Trata-se de outra modalidade interessante de oscilador, também chamado gerador de onda quadrada. Além da freqüência fundamental, a saída do multivibrador contém inúmeros harmônicos (múltiplos da freqüência fundamental).

O termo multivibrador quer dizer "um circuito que vibra ou oscila entre dois estados de saída "OUTPUT" diferentes.

Os multivibradores mais comuns são: biestáveis, monoestáveis e o astável.

Vamos, então, fazer um breve estudo sobre estes três tipos de multivibradores.

MULTIVIBRADOR BIESTÁVEL:

Emprega-se o multivibrador biestável, onde se deseja obter um efeito similar à abertura ou fechamento de um interruptor. Também se utiliza em escalímetros e em sistemas de contagem.

Este multivibrador (flip-flop) gera uma onda quadrada ou retangular, empregada como sinal de comporta ou de tempo em aparelhos de radar. Nos aparelhos digitais,essa onda pode ser utilizada como células de memória.

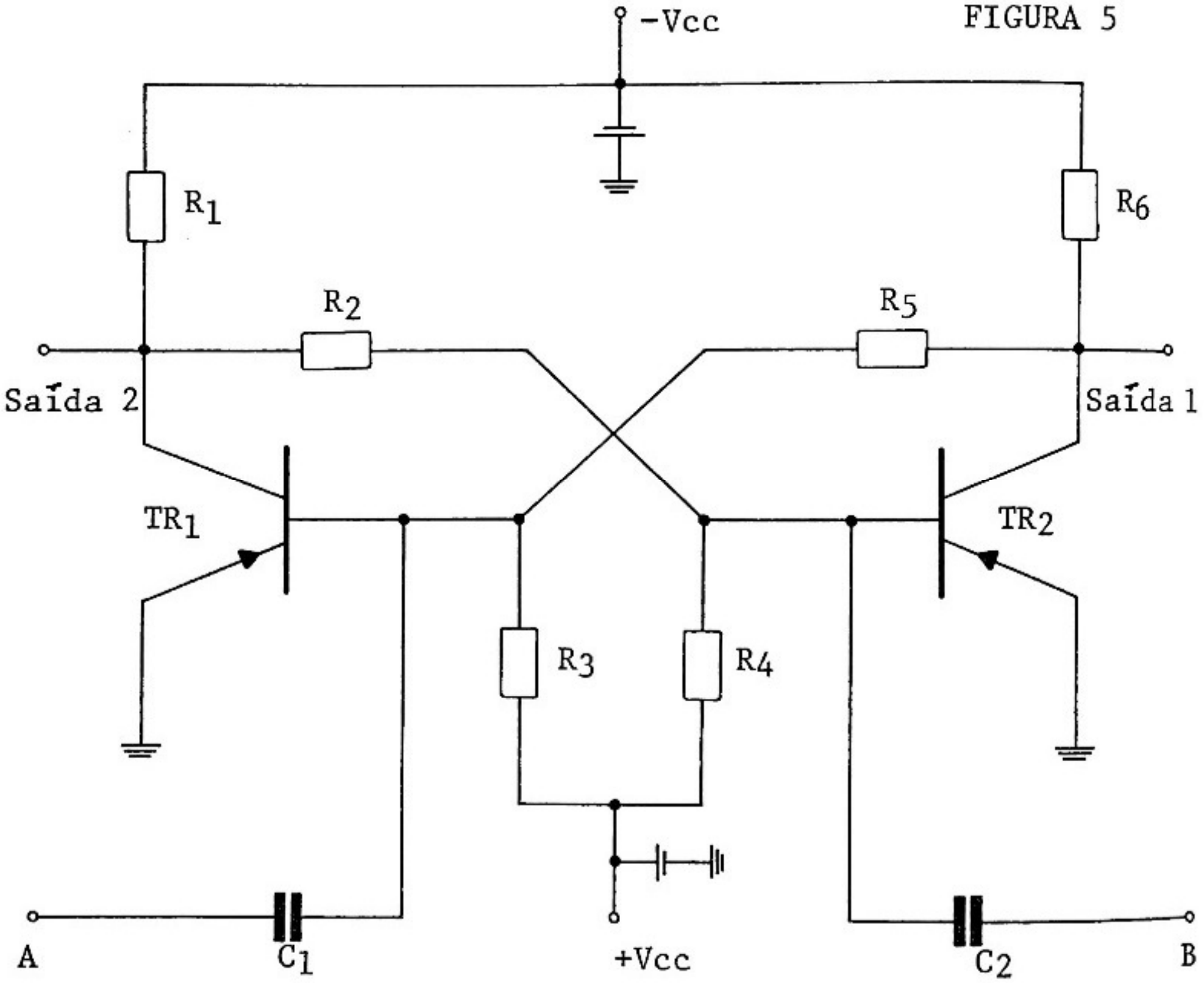
Em conseqüência dos dois estados biestáveis de que é dotado o multivibrador biestável, vai ocorrer o seguinte: num estado, a primeira etapa conduz e a segunda está em corte; no outro estado, a segunda etapa conduz e a primeira está em corte.

A figura 5 nos mostra o circuito de um multivibrador - biestável.

Suponhamos que circule mais corrente de coletor através de TR1 (transistor TR1) do que através de TR2. Então, quando a corrente de coletor de TR1 aumenta, a tensão negativa no coletor de TR1 diminui em relação ao seu emissor ou à terra. Como conseqüência, o coletor de TR1 se torna negativo, o que equivale a um pulso positivo que se acopla,através do resistor R2, diretamente à base do transistor TR2, polarizando-o inversamente e levando-o ao corte. Devido à polarização inversa de TR2, a sua corrente de coletor diminui, enquanto que a sua tensão de coletor aumenta. Podemos dizer isto da seguinte forma: quando o coletor de TR2 se faz mais negativo, desen

volve-se um pulso negativo em R6 que se acopla, através de R5, à base de TR1. Essa pulso negativo na base de TR1 polariza-o diretamente, levando-o à saturação.

FIGURA 5



O motivo de circular mais corrente de coletor através de TR_1 do que de TR_2, deve-se ao fato de os elementos constitutivos destes transistores serem diferentes (R_1 tem um valor baixo ao passo que R_2 e R_4 tem um valor mais alto, dai resultando um potencial mais negativo no coletor de TR_1), sendo esta a razão de não circular, através de seus circuitos de coletor, a mesma corrente.

Com a aplicação inicial de alimentação de C.C., um transistor está conduzindo, enquanto o outro está em corte e cada transistor permanece neste estado particular de operação, devido à realimentação do outro transistor, até chegar um pulso de disparo.

MULTIVIBRADOR ASTÁVEL OU OSCILADOR DE CLOCK

O multivibrador astável (oscilação livre) gera uma forma de onda quadrada que se pode utilizar como pulsos de disparos ou de tempo, em circuitos eletrônicos. Esses pulsos são também conhecidos por clock. É um sinal periódico que provoca a mudança de um estado a outro do circuito lógico.

Esse multivibrador pode ser construído com componentes discretos e com portas lógicas. O astável apresenta dois estados instáveis e o circuito comuta-se repetidamente entre esses dois estados.

A figura 6 apresenta um circuito oscilador de clock com multivibrador astável, construído com componentes discretos.

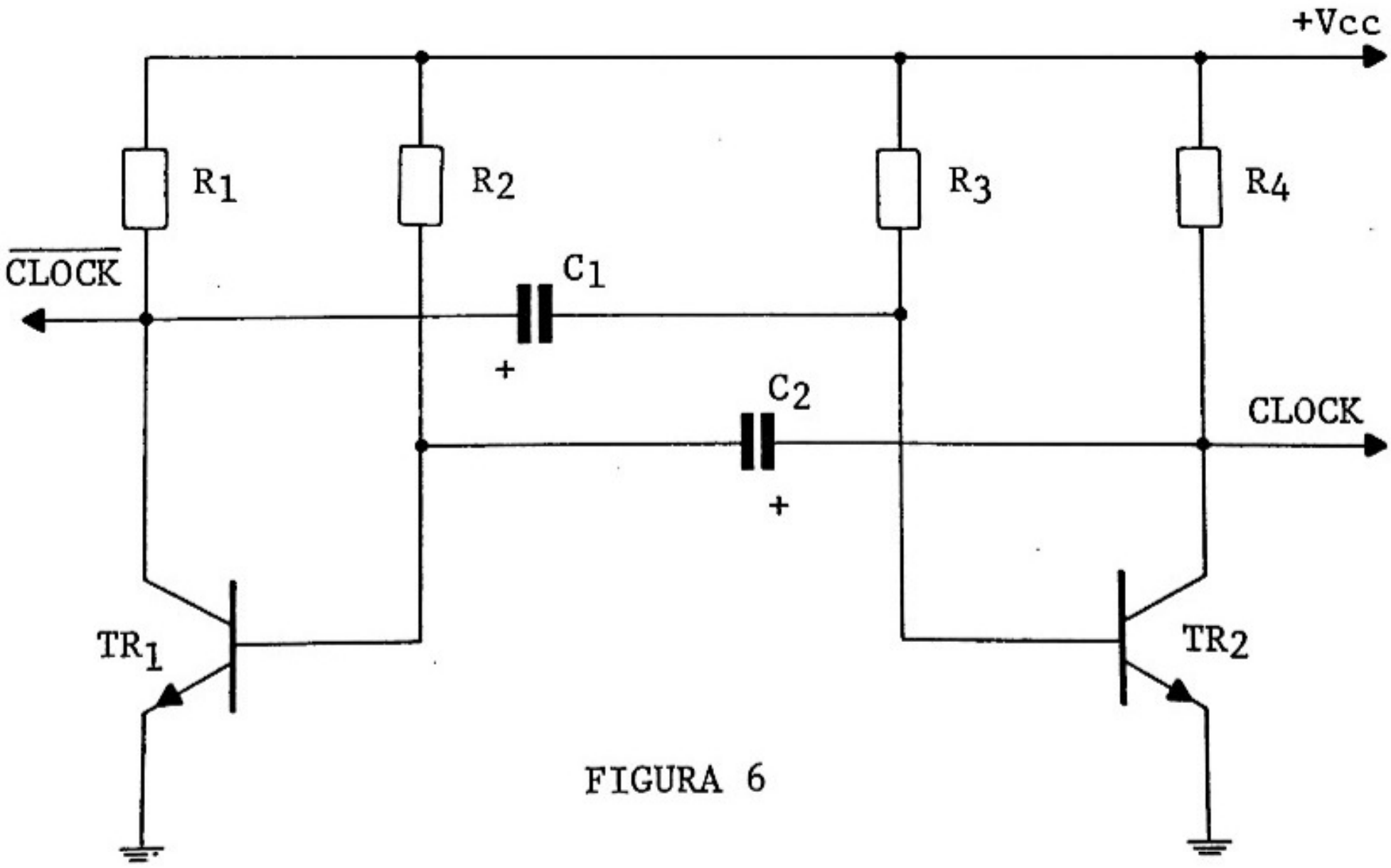


FIGURA 6

Como podemos notar, este circuito consiste de dois transistores inversores TR1 e TR2, tendo a saída de um ligado à entrada do outro. A polarização para a base do transistor TR1 se obtém através da baixa resistência emissor-base que está em série com o resistor R2, analogamente para TR2. Então os resistores R2 e R3 são usados para polarizar os transistores

na saturação. Os capacitores C1 e C2 acoplam a saída de um inversor à entrada do outro.

A freqüência de oscilação é função de R2, R3, C1, e C2. A freqüência de oscilação, quando R3 = R2 = R e C1 = C2 = C, é dada pela fórmula:

$$F_O = 1/(1,4RC)$$

Para efeito de explicação do funcionamento do circuito (figura 6), vamos supor que TR2 conduz, enquanto TR1 está no corte. Através da junção base-emissor de TR2, o capacitor C1 carrega-se, tendendo ao valor da fonte de alimentação + Vcc. O capacitor C2, que estava carregado anteriormente, com o valor da fonte e com a polaridade indicada na figura 6, mantém o transistor TR1 no corte, enquanto descarrega-se através de R2. Ao atingir o valor zero, C2 começa a se carregar no sentido oposto e, ao atingir aproximadamente 0,7 volts, o transistor TR1 passa a conduzir e, imediatamente, conecta o lado positivo de C1 à terra. Isto provoca o corte de TR2, pois impõe uma tensão negativa entre a base e o emissor de TR2. C1, então, descarrega-se por R3. Nesse instante, C2 carrega-se pela junção base-emissor de TR1 e R4. Quando a carga de C1 chega a zero, ele começa a recarregar-se, tendendo à tensão de alimentação, porém, quando a tensão for bastante alta, TR2 conduzirá novamente e o estado do circuito se reverterá. Para cada meio ciclo de operação produz-se uma das duas alternativas no multivibrador.

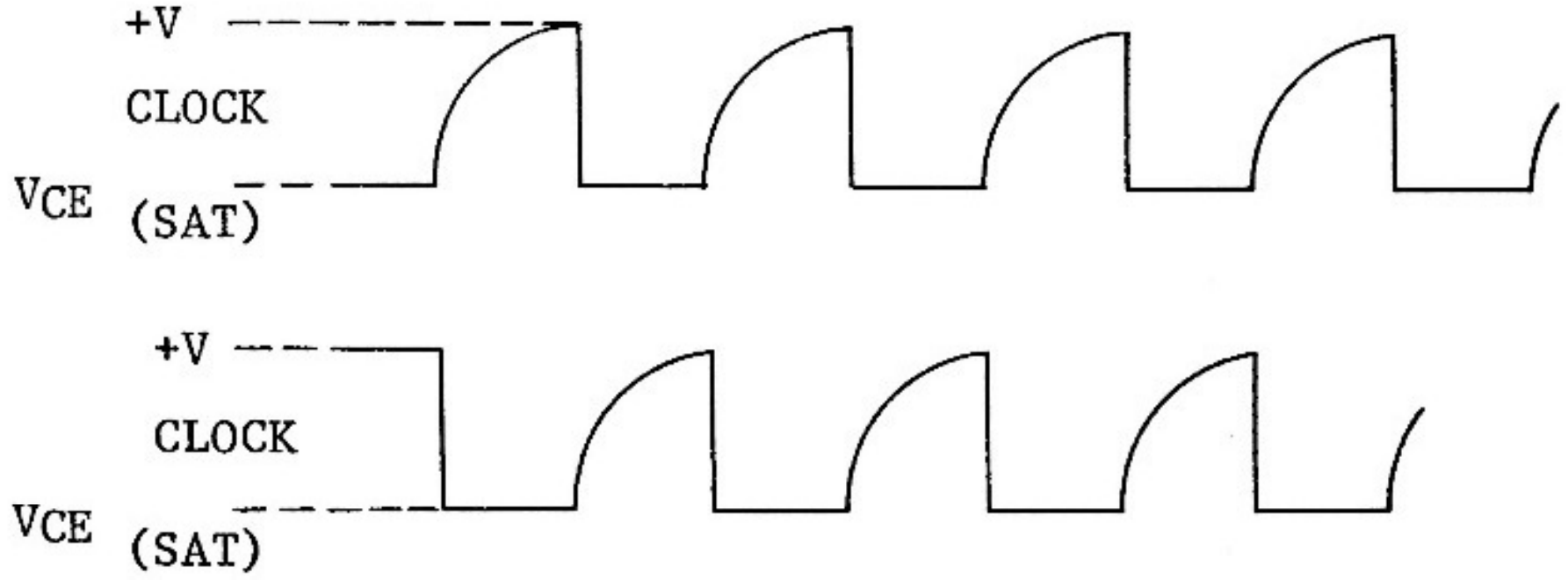
Com valores de R2 = R3 = R e C1 = C2 = C, o circuito produzirá uma onda quadrada com um ciclo de trabalho de 50 por cento. Quando os valores de C1 e C2 forem diferentes entre si, obteremos um ciclo de trabalho maior ou menor de 50 por cento. Os valores de R2 e R3 são selecionados, de modo a assegurar a saturação de TR1 e TR2, enquanto que os valores de C1 e C2 são escolhidos de modo a obtermos a freqüência de operação desejada, com os resistores de base (R2 e R3) dados.

A figura 7 mostra as formas de onda de saída do circuito. As formas de onda variam entre a tensão de alimentação (Vcc) e a tensão coletor-emissor (Vce) de saturação de cada transistor.

O multivibrador astável da figura 6 também pode ser me-

lhor implementado, com o uso de portas ou circuitos integra - dos inversores.

FIGURA 7



A figura 8, mostra um circuito astável, implementado com inversores TTL.

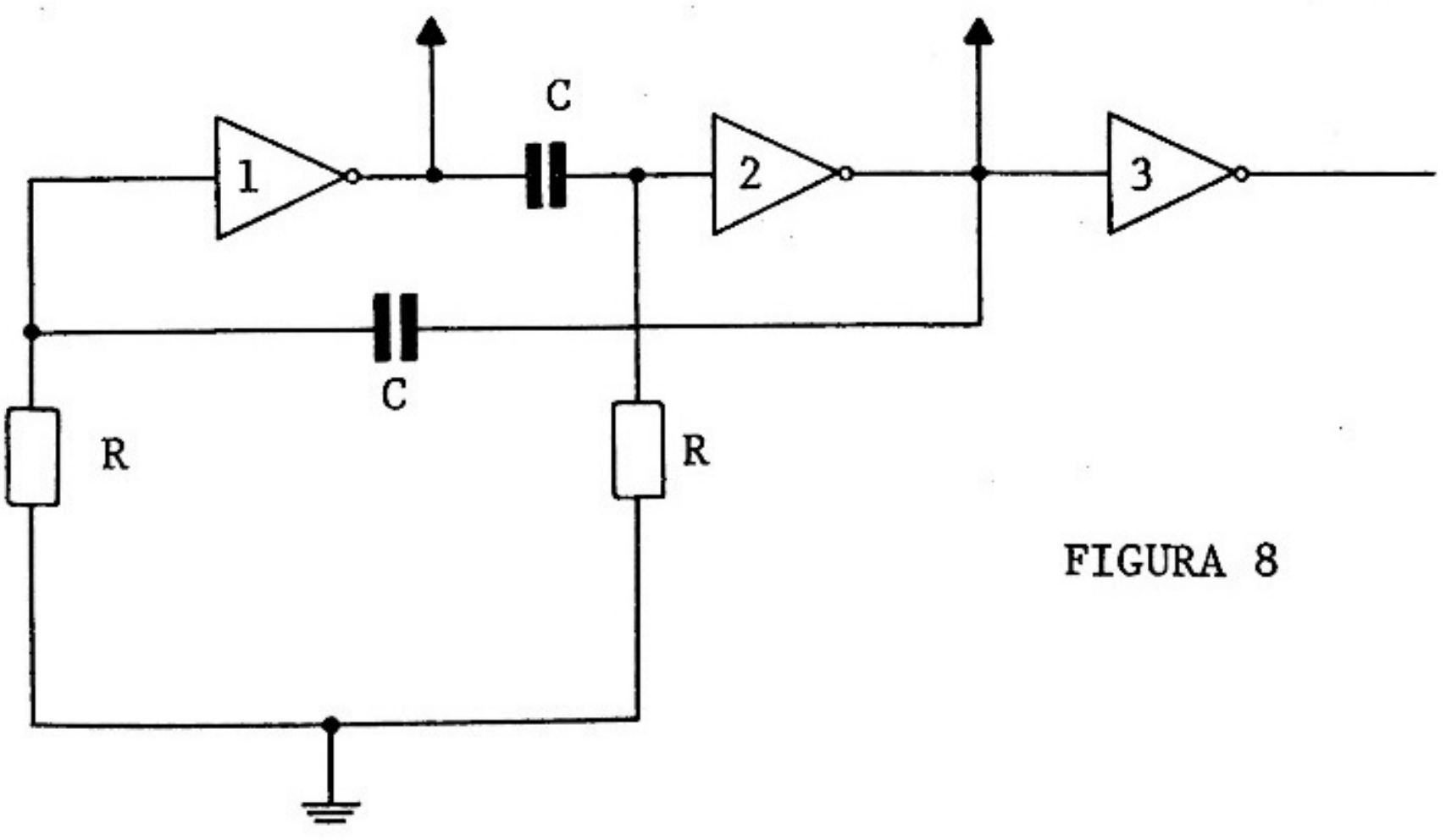


FIGURA 8

Seu funcionamento é praticamente idêntico ao do multivibrador astável, ou seja, o mesmo princípio do oscilador de clock com multivibrador astável, apresentado na figura 6.

Com este circuito, consegue-se obter uma forma de onda

de saída perfeitamente quadrada. A freqüência, neste caso, também é função dos valores de resistência e capacitância do circuito, sendo calculado pela fórmula abaixo:

$$F = 1/(\sqrt{2}\ R.C) \qquad \text{para } R1 = R2 = R$$

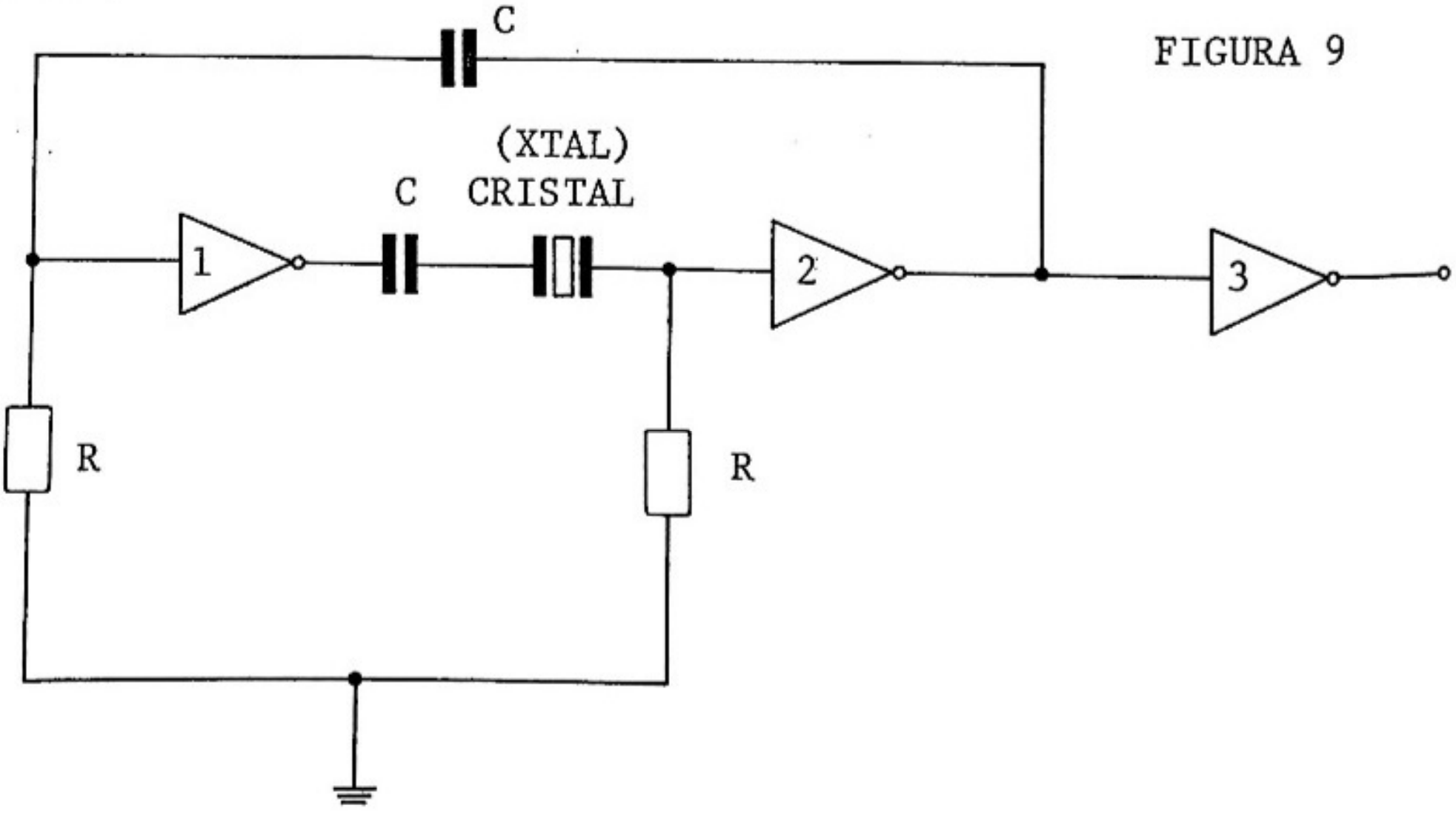
e

$$C1 = C2 = C.$$

Neste caso, os resistores, além de serem utilizados para polarizar os circuitos inversores, também funcionam como cargas para os capacitores. Para este mesmo circuito o inversor 3 funciona como amplificador"buffer" na saída do circuito para isolar a carga dos componentes que determinam a freqüência.

Muitas vezes, esse mesmo circuito pode ser modificado, como nos mostra a figura 9, para incluir um cristal que irá determinar a freqüência. Os valores das resistências e dos capacitores são selecionados para oscilação próxima à freqüência desejada. Novamente o inversor 3 serve como amplificador"buffer" e como elemento de isolação entre os componentes que determinam a freqüência e a carga, assegurando uma perfeita saída de onda quadrada. Este tipo de circuito é muito utilizado, quando a freqüência de clock deve permanecer estável e muito precisa.

FIGURA 9



MULTIVIBRADOR MONOESTÁVEL OU ONE SHOT

O multivibrador monoestável (um só golpe) é um circuito de gatilho, que requer um pulso de disparo para iniciar a operação. Uma vez que o pulso de disparo começa a agir, o circuito utiliza sua própria potência para completar a operação. A cada vez que recebe um pulso de disparo na entrada, este circuito gera um pulso de saída retangular, de duração específica. Normalmente a duração do pulso de saída é ajustada, variando-se os valores dos componentes externos do circuito. Através da ligação de vários circuitos destes, em cascata, pode-se implementar um grande número de operações lógicas sequênciais.

O circuito monoestável com componentes discretos - possui dois estados: um estável, onde TR2 conduz e TR1 está cortado e um instável, onde TR1 conduz e TR2 está cortado (veja figura 10A).

Quando o circuito é disparado por meio de um pulso externo, o ponto de operação se desloca da região inicial,estável para outra região estável. Portanto, o estado instável - inicia-se,quando é aplicado um pulso de disparo na entrada do circuito, gerando um pulso de saída por um determinado período de tempo, voltando então ao seu estado estável.

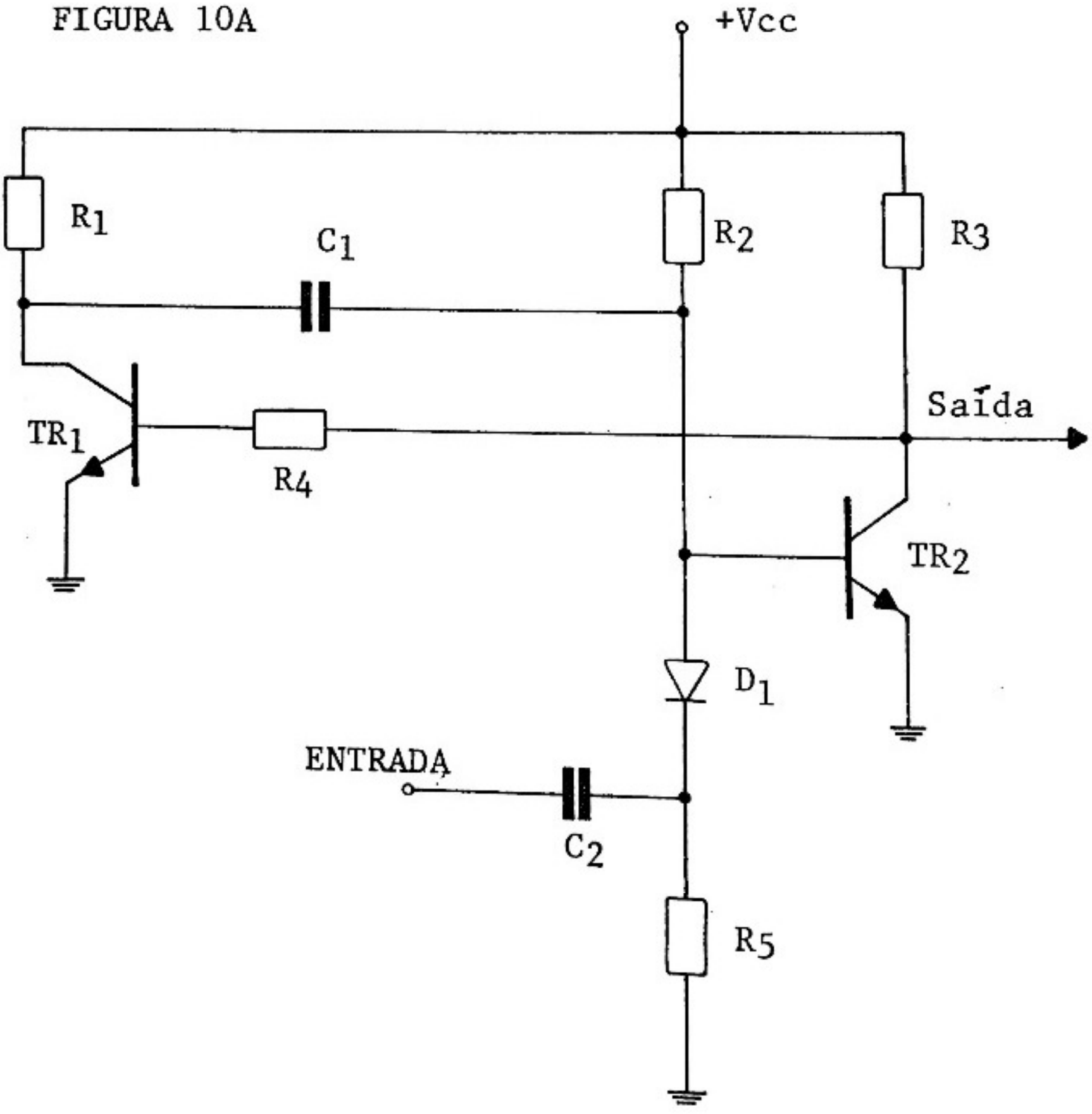
No estado estável, a junção base-emissor de TR2 é polarizada diretamente, através de R2; TR2 satura-se e sua saída fica próxima de zero volts. Portanto, a tensão aplicada a R4 é insuficiente para causar a condução de TR1. Conseqüentemente, TR1 estará cortado e seu coletor apresentará +Vcc. Então, através da junção base-emissor de TR2 e do resistor R1, o capacitor C1 carrega-se até uma tensão próxima da fonte (+Vcc).

O circuito permanecerá em seu estado estável,até que receba um pulso de disparo na entrada. A rede constituída por C2 e R5 diferencia o pulso de entrada. O diodo D1 permite que apenas o impulso negativo seja aplicado à base de TR2.O transistor então é cortado e sua tensão atinge +Vcc, causando a polarização direta de TR1. Este recebe a corrente de base através de R3,de R4 e da fonte (+Vcc).Com TR1 saturado,seu coletor fica próximo de zero volts. Então C1 começa seu processo de descarga através de R2. A tensão negativa deste capacitor na base de TR2 o mantém cortado. Assim que C1 descarrega-

-se completamente, através de TR2, começa a carregar-se na direção oposta. Quando a tensão sobre C1 atingir um valor suficiente alto, TR2 será, então, polarizado diretamente. Tão - logo TR2 começa a conduzir, o pulso de saída é terminado. Então C1 carrega-se pela junção base-emissor de TR2 e R1, até atingir uma tensão próxima à da fonte (+Vcc). E assim o processo torna a se repetir.

A figura 10A nos mostra o circuito de um multivibrador monoestável e a 10B, as formas de onda para esse multivibrador.

FIGURA 10A



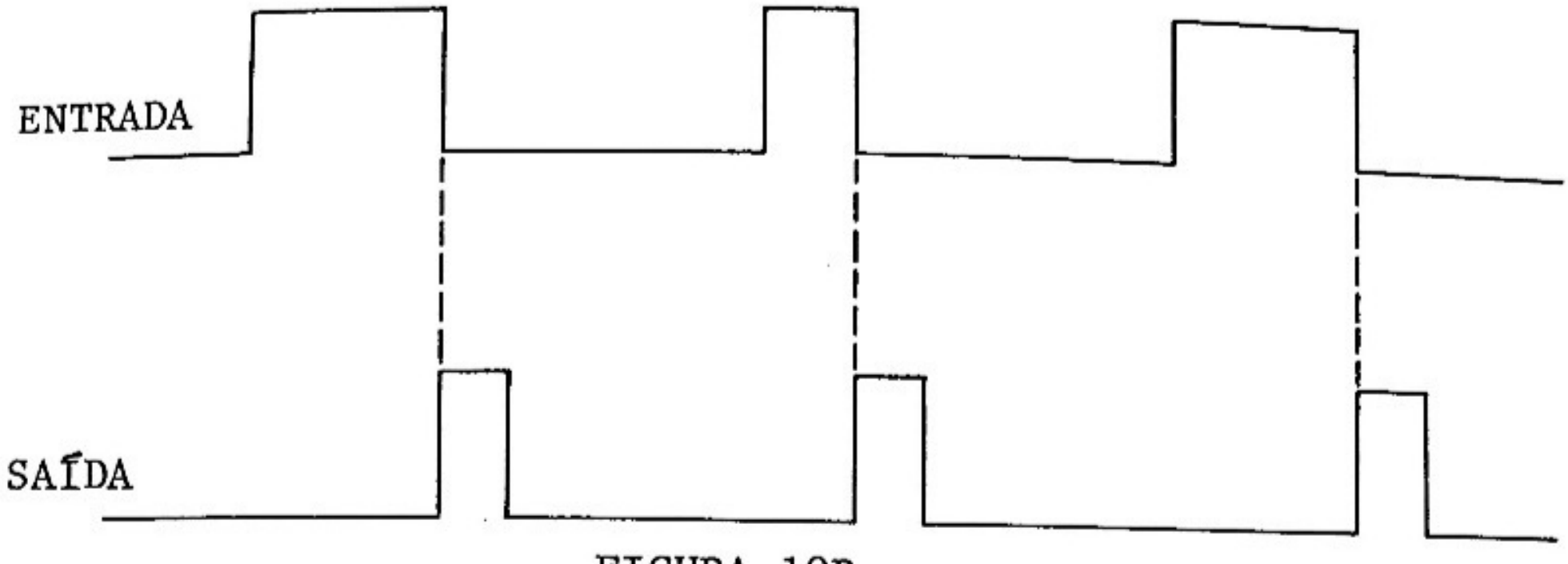


FIGURA 10B

A duração do pulso de saída entre os circuitos monoestáveis é o ciclo de trabalho.

Em relação à duração do pulso de saída, podemos dizer - que este depende dos valores de C1 e R2, sendo que o valor de R2 é muito mais crítico, uma vez que este deve ser suficientemente baixo para assegurar a saturação completa de TR2, durante a operação normal. Já o valor de C1 pode variar bastante. Este tempo de duração do pulso de saída pode ser calculado por:

$$t \cong 0{,}69 \cdot R2 \cdot C1$$

Na prática, consegue-se ajustar o pulso de saída desde nanossegundos até segundos.

O ciclo de trabalho é a relação do tempo do pulso de saída para o período total do pulso de gatilhamento da entrada. O resultado é expresso em porcentagem.

$$\text{Ciclo de trabalho} = \frac{t}{P} \times 100\%$$

t = duração do pulso de saída.

P = período total do pulso de entrada.

$$P = \frac{1}{F} \quad (F = \text{freqüência}).$$

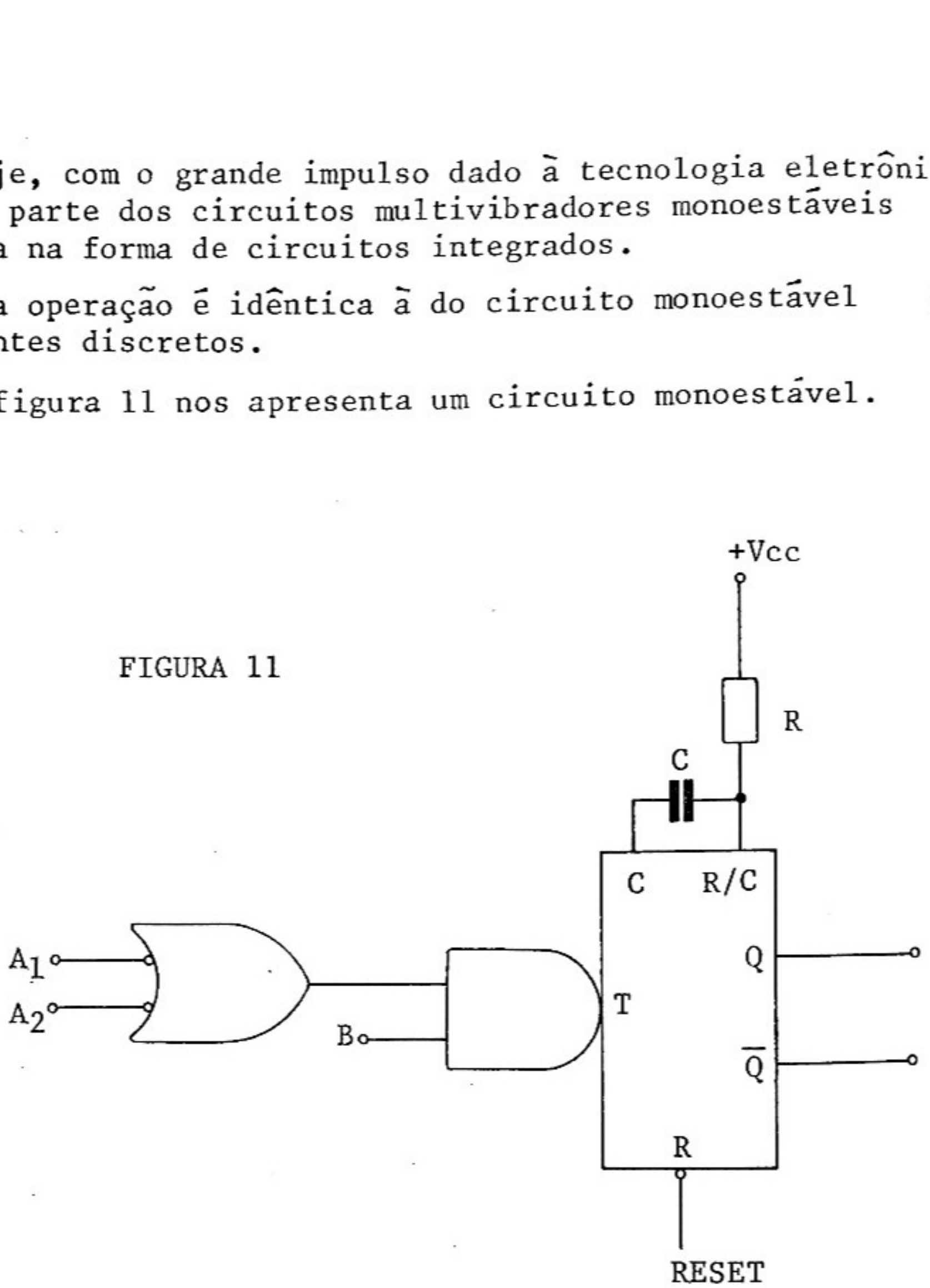
Este ciclo de trabalho deve ser no máximo em torno de 90%, a fim de que seja dado tempo suficiente para o circuito recuperar-se entre os pulsos de disparo da entrada.

Hoje, com o grande impulso dado à tecnologia eletrônica, a maior parte dos circuitos multivibradores monoestáveis se encontra na forma de circuitos integrados.

Sua operação é idêntica à do circuito monoestável com componentes discretos.

A figura 11 nos apresenta um circuito monoestável.

FIGURA 11



Este circuito possui três entradas pelas quais pode ser disparado. Quando A1 e A2 são comutados de 1 para 0, o circuito monoestável gera um pulso de saída. Pulsos complementares de saída aparecem nas saídas Q e $\overline{Q}$. A duração desses pulsos é função dos componentes externos R e C.

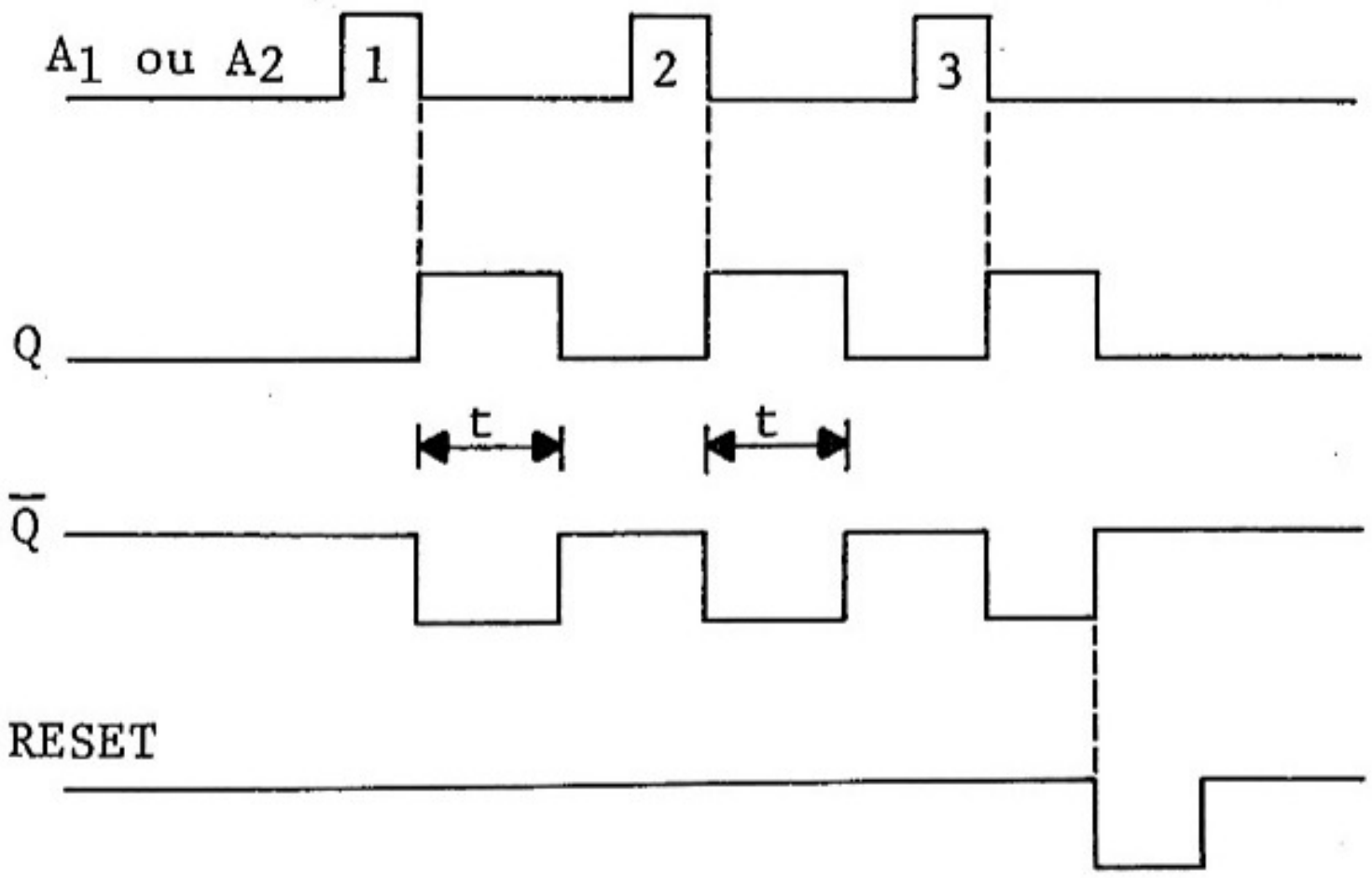
A entrada B também pode ser utilizada para disparo do monoestável, caso as entradas A1 e A2 não sejam usadas (mantidas em 0). Quando houver comutação em B, de 0 para 1, então o circuito será disparado. Essa entrada é usada quando se pre-

tende inibir ou liberar as entradas A1 e A2. Ainda resta uma outra entrada, que é a entrada de reset, semelhante à entrada direta assíncrona de afogamento (clear) de um flip-flop JK.Ao se impor 0 a esta entrada, imediatamente se interromperá o pulso de saída.

Quando o circuito está no estado estável, a saída Q é 0 binário, enquanto $\overline{Q}$ é 1 binário. Ao receber um pulso de entrada, o circuito vai para o seu estado instável, ou seja, as saídas Q = 1 e $\overline{Q}$ = 0 binário.

Se aplicarmos um pulso de reset durante o período de temporização, a saída normal mudará para 0 binário, terminando assim, imediatamente a seqüência de temporização.
A figura 12 ilustra tal fato.

FIGURA 12



Podemos observar, na figura 12, que o intervalo de temporização termina antes da aplicação de cada novo pulso de entrada.

Um outro tipo de monoestável integrado,disponível no mercado é o monoestável redisparável ou de recuperação negativa. Neste tipo de monoestável, o tempo gasto para o capacitor descarregar-se, através das resistências do circuito, é muito pequeno. Com isto, o seu tempo de recuperação é praticamente instantâneo, o que possibilita saídas, com ciclo de trabalho de 100%. Este tipo de monoestável é utilizado para gerar

pulsos de saída de longa duração e como detentor de pulsos perdidos.

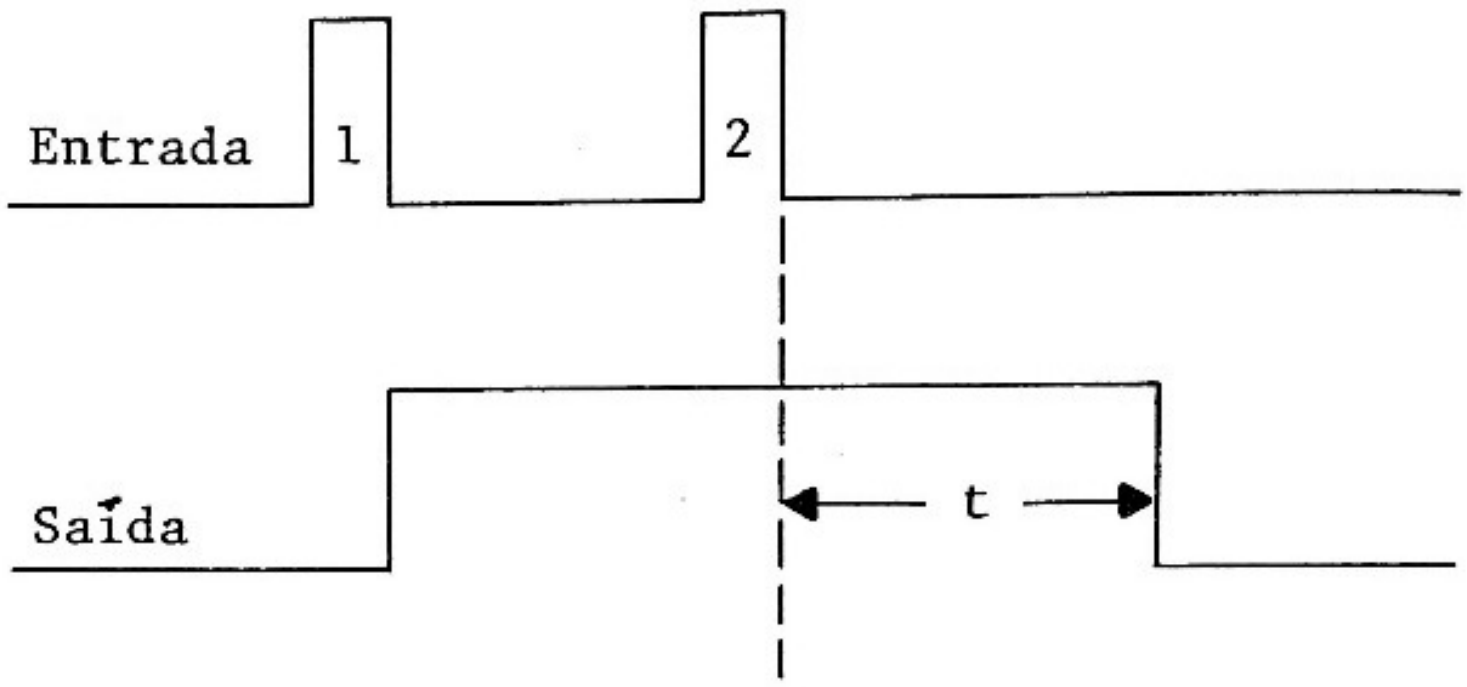


FIGURA 13

A figura 13, logo acima, nos mostra as formas de onda de entrada e saída para um monoestável redisparável (ou retrigável).

APLICAÇÕES DO MONOESTÁVEL

Devido à grande flexibilidade do circuito integrado monoestável, muitas operações seqüênciais podem ser rápidas e facilmente implementadas.

As características de redisparo, reset e ajuste da largura do pulso de saída tornan o circuito muito versátil.Hoje,este circuito é utilizado em operações que envolvem geração de pulsos, temporização e operações seqüênciais.

O circuito monoestável, com componentes discretos, possui uma série de desvantagens em relação ao circuito integrado monoestável. Geralmente os monoestáveis, com componentes discretos, eram instáveis e não confiáveis. Para se obter uma saída fixa bastante estável, eram necessários resistores e capacitores de temporização de alta qualidade. Mesmo assim,estes eram susceptíveis de disparo falso, por ruídos na linha de alimentação, na entrada de disparo normal ou no terra do circuito.

Apesar da estabilidade do pulso de temporização ainda ser, em grande parte, função da qualidade do resistor e do capacitor externo, o circuito integrado monoestável superou a maioria dos problemas associados, como os circuitos antes não-confiáveis.

Os monoestáveis são muito usados para retardar pulsos(Delays), o que vem a ser, essencialmente, uma operação de temporização. Neste caso, o sinal de entrada a ser retardado é aplicado ao multivibrador A (monoestável). Este gera o tempo de atraso desejado e, no final do intervalo de atraso, ele dispara o monoestável B, que produz então o pulso de saída, iniciando,assim, a operação desejada. A figura 14A nos mostra o circuito e a 14B, a forma de onda.

FIGURA 14A

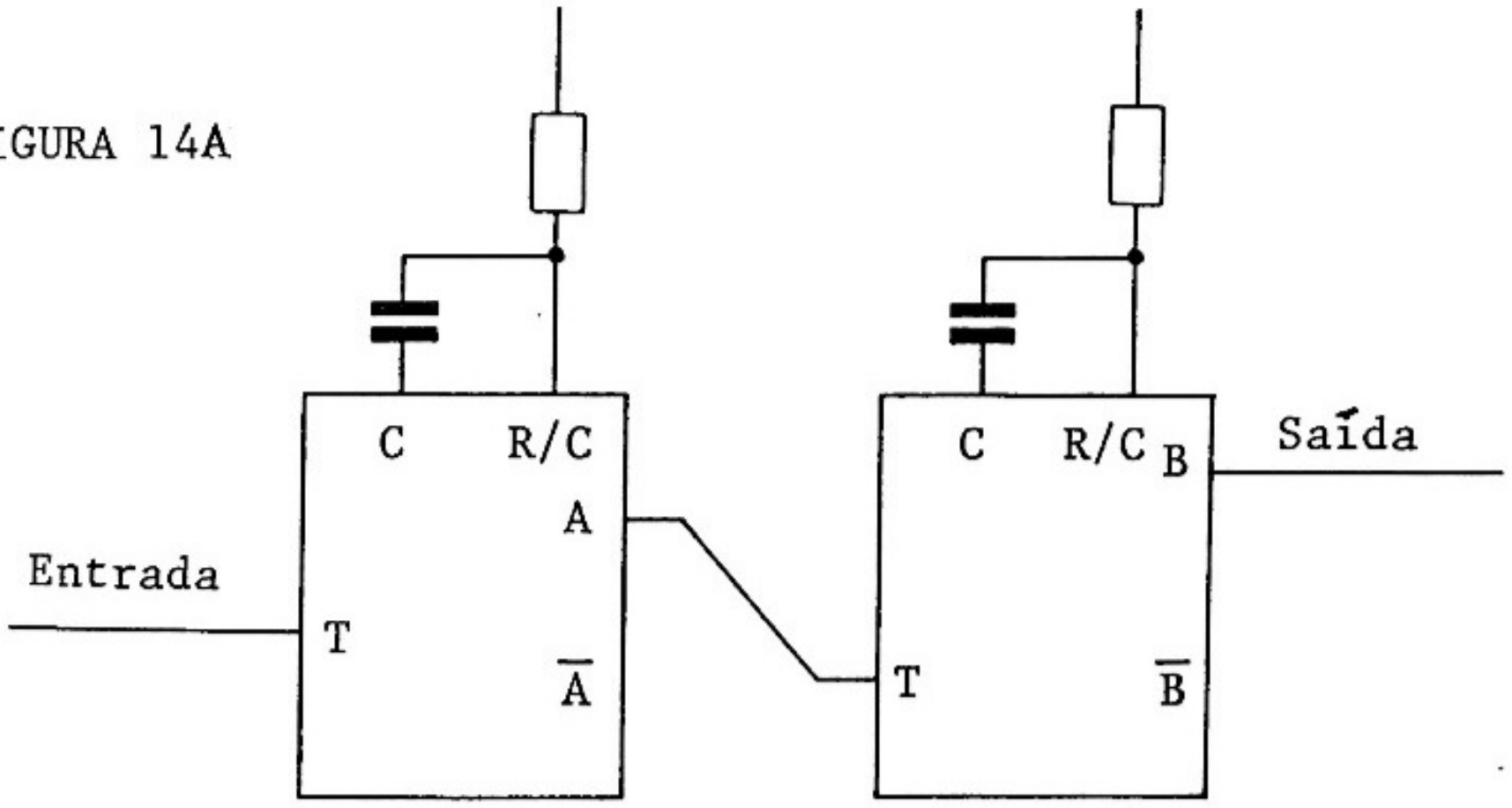
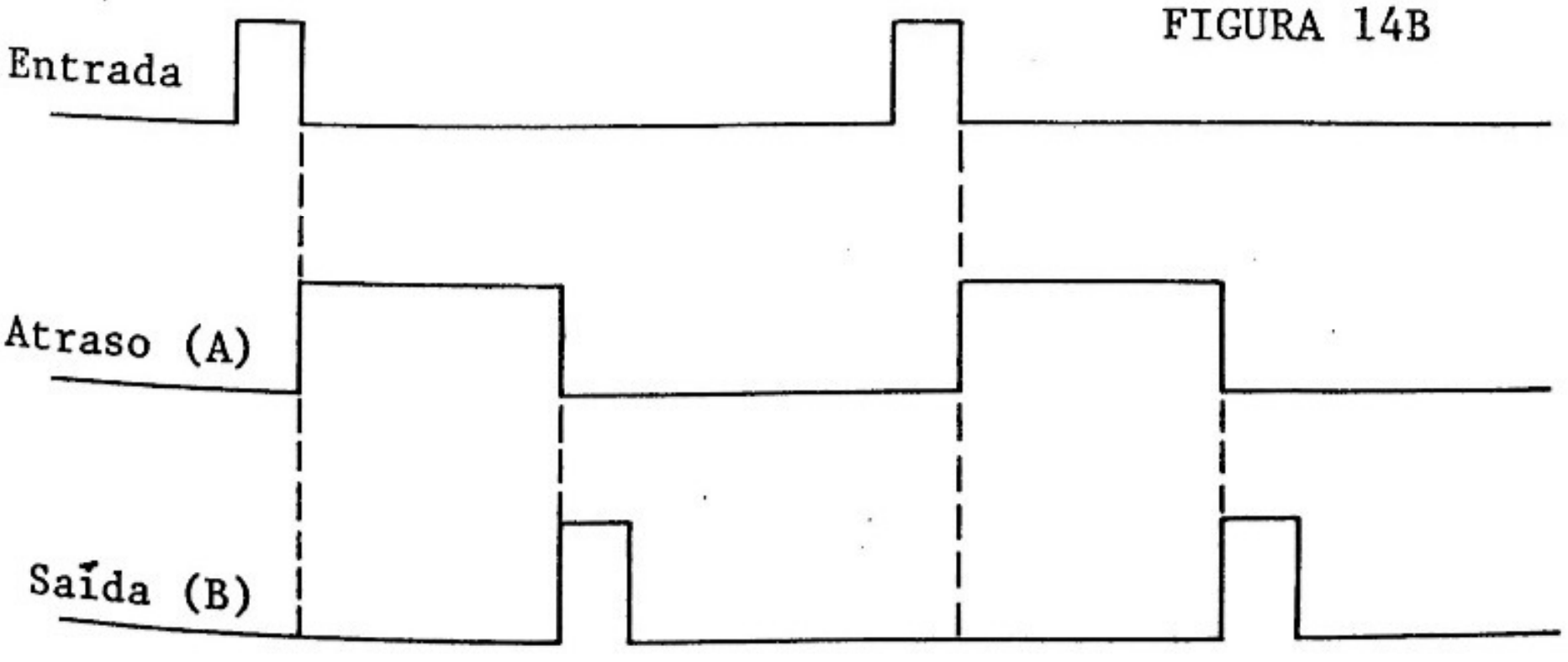


FIGURA 14B



TEMPORIZADOR 555 OU TIMER 555

Trata-se de um dispositivo controlador, altamente estável, que produz oscilações ou atrasos de tempo.

Quando utilizado como oscilador, a freqüência e o ciclo de trabalho (duty cycle) são controlados por dois resistores e um capacitor externo.

Dentre algumas de suas aplicações, podemos citar as seguintes:

- gerador de atraso de tempo;
- modulador em largura de pulso (PWM);
- modulador em posição de pulso (PPM);
- gerador de rampas lineares, etc

As duas letras (μA, LN, SE, NE, etc), que precedem o seu código, indicam apenas o seu fabricante específico.

Suas características operacionais incluem:

- Estabilidade de temperatura de 0,005% por ºC;
- Ciclo de trabalho ajustável;
- Controle de temporização de microssegundos até horas;
- Modos de operação astável e monoestável;
- Compatibilidade com circuitos TTL;
- Capacidade de fornecimento de corrente na saída, de 200mA;
- Saída normalmente ligada ou normalmente desligada.

OPERAÇÃO MONOESTÁVEL

O temporizador, para este caso, funciona com um único estado. A figura 15 nos mostra as ligações necessárias para se utilizar o Timer 555 como multivibrador monoestável.

No pino 2 é aplicado um pulso (Trigger). Com isto, o "flip-flop é acionado, o capacitor C1 deixa o estado de curto-circuito, levando a saída a um nível alto de tensão. Este fato persiste até que o capacitor C1 muda para 2/3 do suprimento da tensão (2/3 Vcc). Então, o comparador dá o "reset" no flip-flop, descarregando rapidamente o capacitor e comutando a saída para um nível baixo (estado inicial).

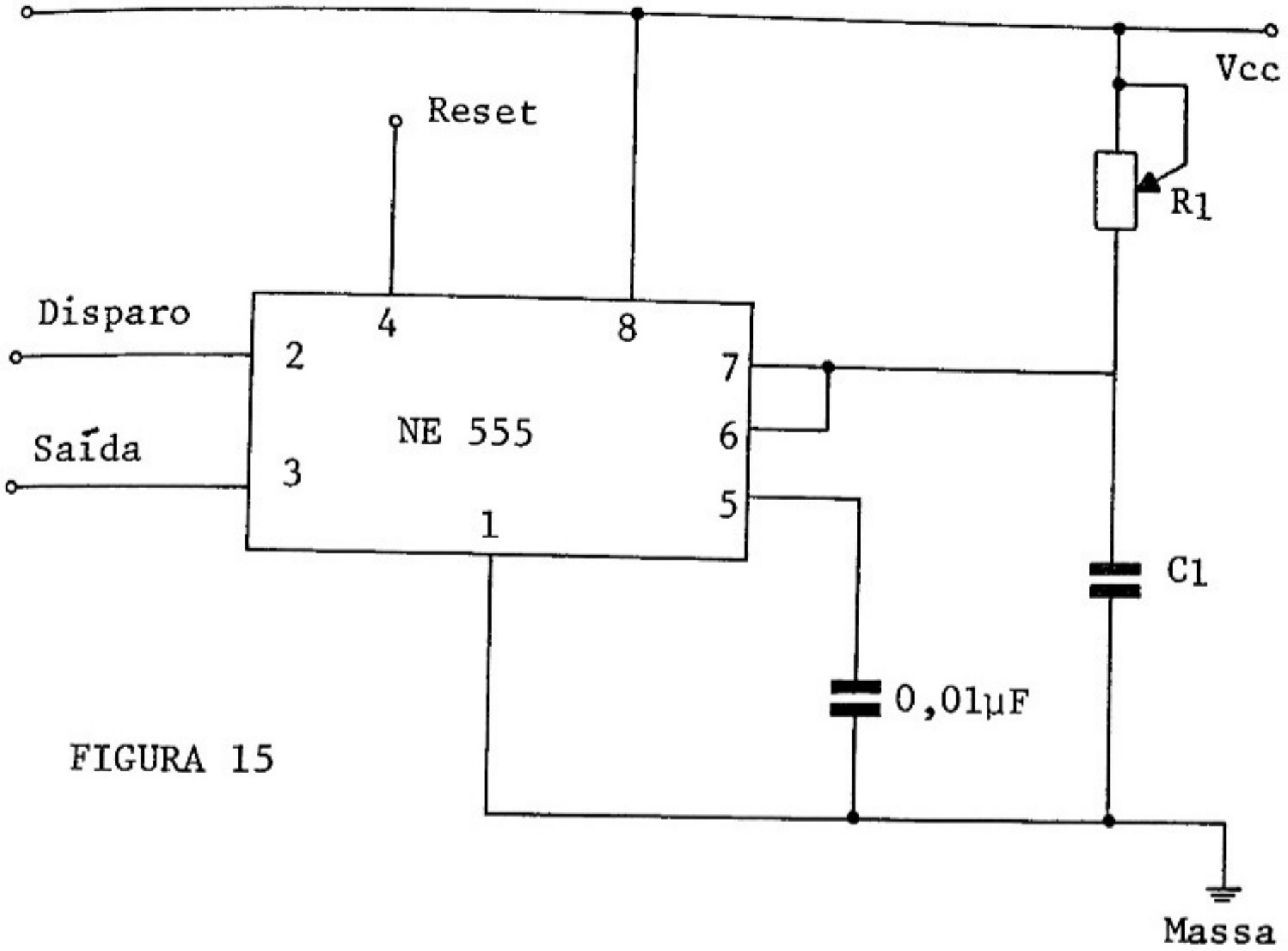


FIGURA 15

O tempo, em que a saída permanece no estado lógico alto, pode ser calculado pela expressão:

$t_1 = 1{,}1 \cdot R_1 \cdot C_1$

OPERAÇÃO ASTÁVEL

Este circuito dispara a sí próprio e trabalha como multivibrador. O ciclo de trabalho é determinado pelo valor de R_1 e R_2.

O capacitor C_1 se carrega e descarrega entre 1/3 Vcc e 2/3 Vcc. Carrega-se através de R_1 e R_2 e descarrega-se somente através de R_2.

O tempo de saída alta é dado por:

$t_1 = 0{,}693\ (R_1 + R_2) \cdot C_1$ (carga)

O tempo de saída baixa é dado por:

$t_2 = 0{,}693 \cdot R_2 \cdot C_1$. (descarga)

Desta forma, o período será:

$t = t_1 + t_2 = T = 0,693\ (R_1 + 2R_2)\ .\ C_1.$

Como a freqüência é o inverso do período, temos:

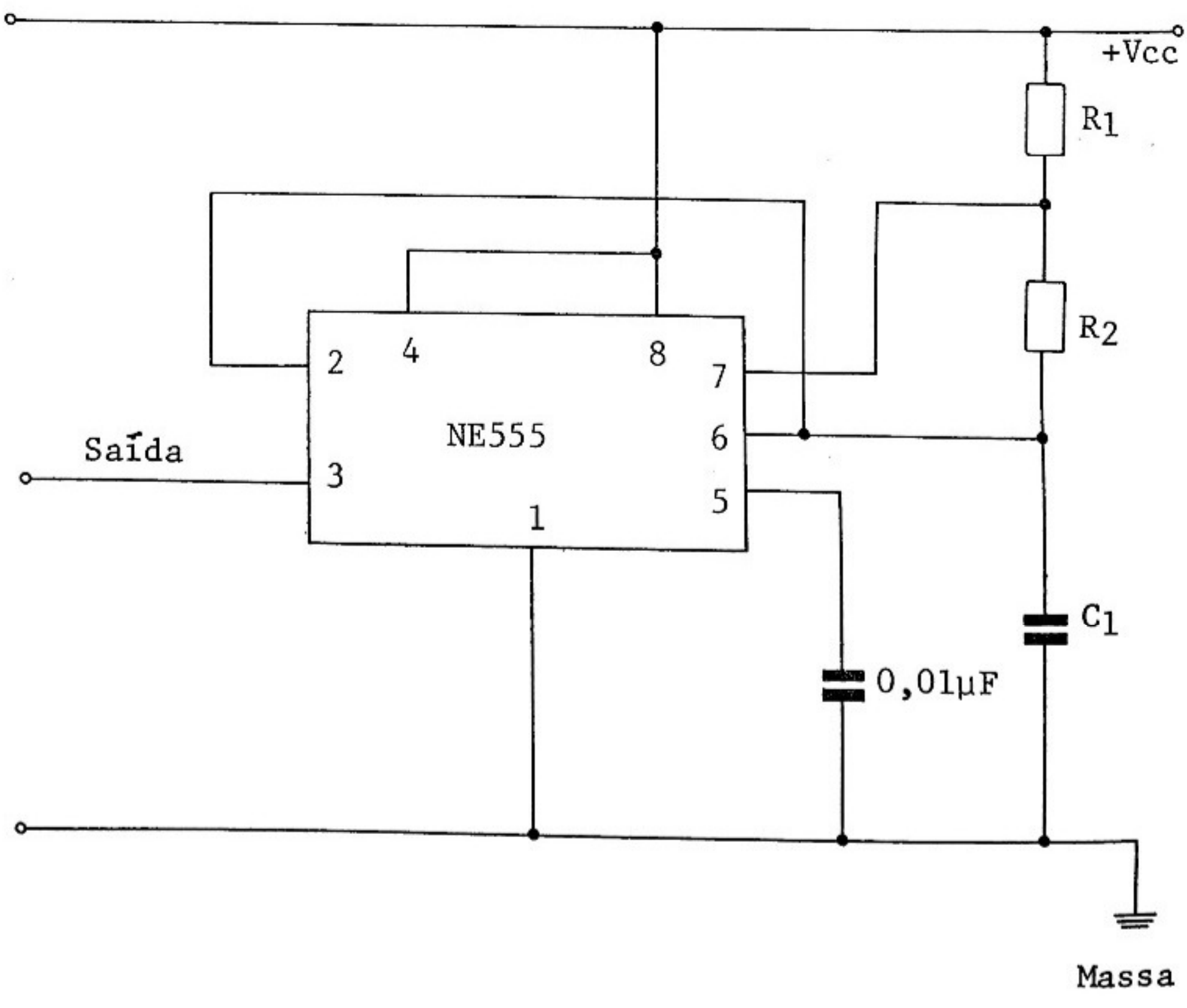
$F = 1/t \rightarrow\ F = 1,443/[(R_1 + 2R_2).\ C_1]$

O ciclo de trabalho é dado por:

$D = R_2/(R_1 + 2R_2)$

A figura 16 nos mostra um Timer 555, no modo de operação estável.

FIGURA 16



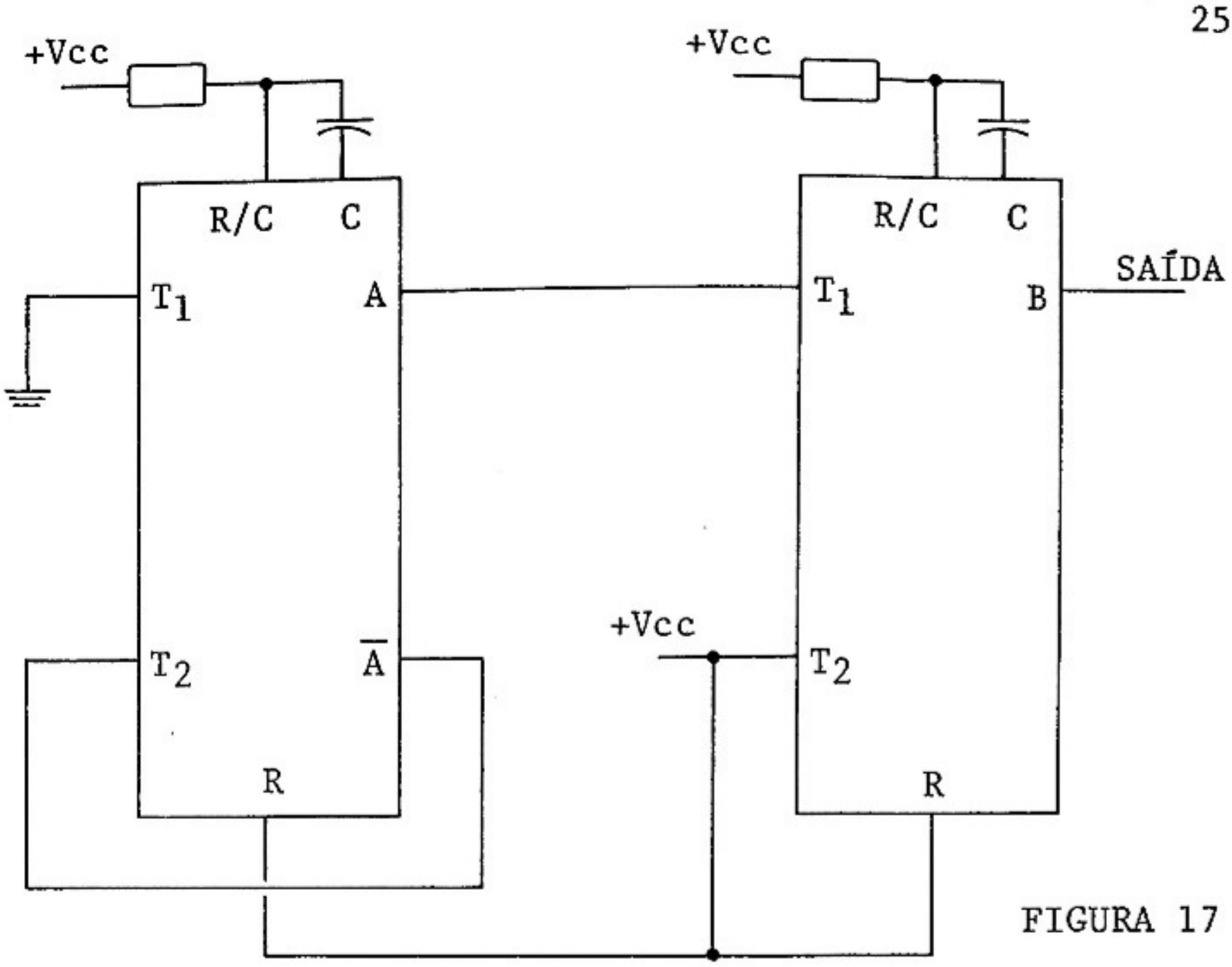
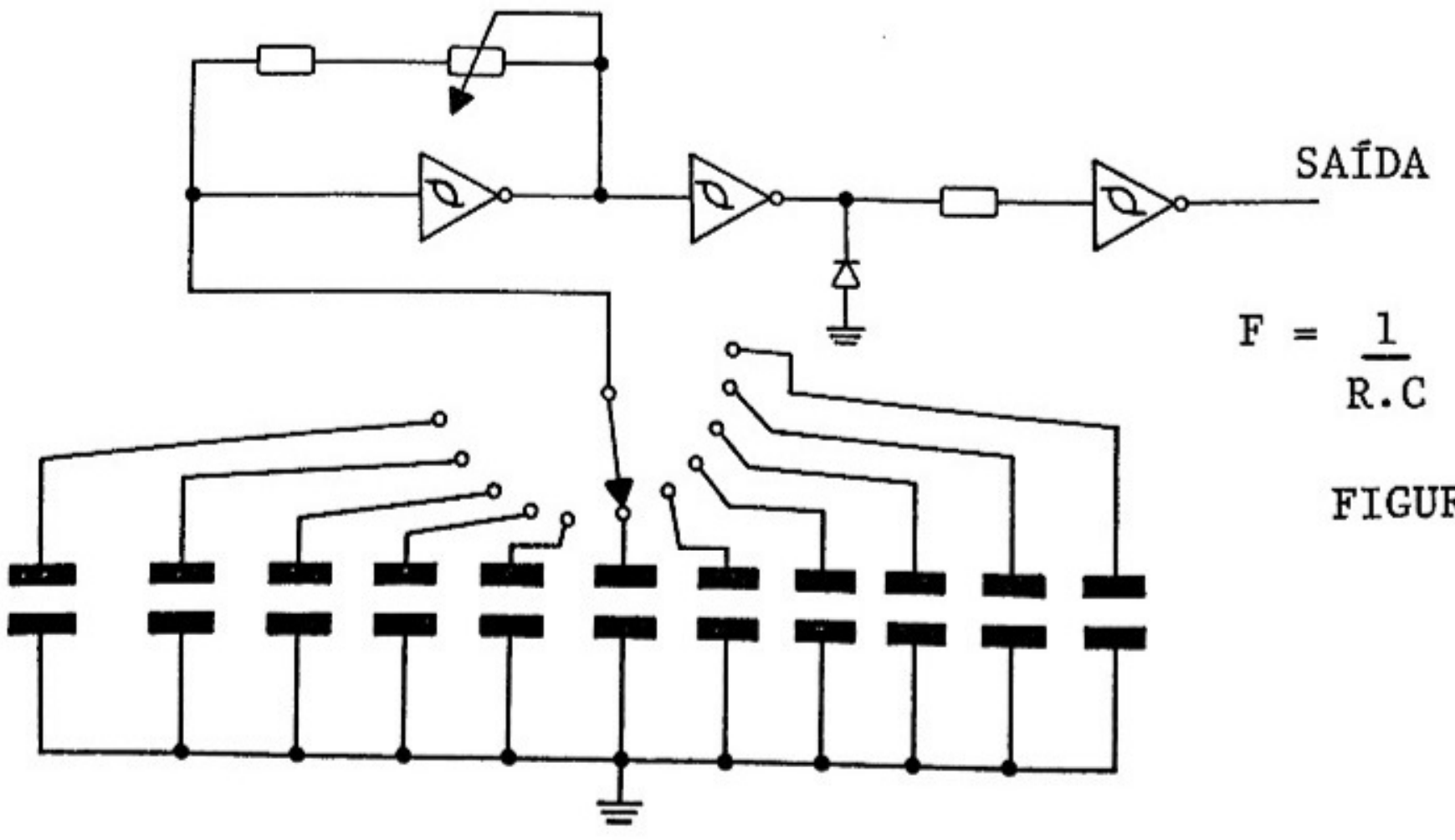


FIGURA 17

A figura 17 ilustra um oscilador de clock utilizando dois monoestáveis.



$$F = \frac{1}{R.C}$$

FIGURA 18

A figura 18 ilustra um oscilador de clock que pode fornecer uma freqüência de 700Hz a 33 MHz.

CEDM
CURSOS DE APERFEIÇOAMENTO

CURSO DE
ELETRÔNICA DIGITAL E
MICROPROCESSADORES

CAIXA POSTAL 1642 - CEP 86100 - LONDRINA - PARANÁ

EXAME DA LIÇÃO ED-17

OBSERVAÇÃO

- cada questão é composta de três ou quatro alternativas.
- só uma delas está correta.
- marque a que considerar correta.
- passe as respostas corretas para a folha de exame.

1) Um dos dois tipos básicos de osciladores de clock é:

   a) monoestável;

   b) biestável;

   c) oscilador de relaxação.

2) A freqüência de oscilação da maioria dos circuitos de clock é função:

   a) da resistência, unicamente;

   b) da constante RC;

   c) do capacitor, unicamente.

3) O ciclo de trabalho, para um one shot é dado pela relação:

a) t (p. 100%);
b) (t/p). 100%;
c) (p/t). 100%.

4) Normalmente, para os monoestáveis, o máximo valor do ciclo de trabalho está por volta de:

a) 90%;
b) 60%;
c) 100%.

5) Para um monoestável com componentes discretos, obtêm-se os seguintes dados: resistor de temporização de 33K ohms e capacitor de 0,01μF. Pede-se: Qual é a duração do pulso - por ele gerado?

a) 0,2277 microssegundos;
b) 534,8 milessegundos;
c) 227,7 microssegundos.

$t \cong .69 \times R.C =$
$2,277 \times 10^{-4}$
$227,7\ \mu s$

6) Qual é a freqüência de oscilação para um astável, sendo fornecidos os valores de R.C.:

a) $Fo = 1/(\sqrt{2} \cdot R \cdot C)$
b) $Fo = 1/(2 \cdot R \cdot C)$
c) $Fo = 1/(\sqrt{2 \cdot R \cdot C})$

7) Para um one shot, consegue-se ajustar o pulso de saída, em termos de tempo, dentro da faixa:

a) nanossegundos até segundos;
b) nanossegundos até milissegundos;
c) nanossegundos até horas.

8) O Reset corresponde:

a) ao clear de um flip-flop JK;

b) ao inversor síncrono;

c) ao inversor assíncrono.

9) Para o Timer 555, consegue-se controle de temporização desde:

a) microssegundos até milissegundos;

b) segundos até milissegundos;

c) microssegundos até horas.

10) Com relação ao Timer 555, qual afirmação está correta:

a) o ciclo de trabalho não é ajustável;

b) fornece corrente na saída de até 200mA;

c) trata-se de um dispositivo controlador altamente instável.

CBC
CURSOS DE APERFEIÇOAMENTO

CURSO DE ELETRÔNICA DIGITAL E MICROPROCESSADORES

CAIXA POSTAL 1642 - CEP 86100 - LONDRINA - PARANÁ

LIÇÃO ED-18

C O N T A D O R E S I

INTRODUÇÃO:

A grande maioria dos equipamentos digitais apresenta ou utiliza alguma forma de contadores construídos a partir de flip-flops. Como sabemos, esses flip-flops armazenam dados binários e seus estados são traçados pelos sinais lógicos de entrada. Os contadores são, portanto, circuitos lógicos seqüênciais, cuja saída depende dos vários estados de entrada aplicados ao circuito, bem como do resultado de operações prévias que estão armazenadas nele próprio. As operações lógicas seqüênciais são, geralmente, seqüênciadas por um sinal lógico, periódico, conhecido por clock. Este sinal é produzido por um oscilador gerador de clock que gera pulsos retangulares a freqüências fixas.

São amplamente utilizados para contagens, geração de palavras, medidas de tempo e freqüência, divisores de freqüência, conversão de analógico para digital, geradores de forma de onda, seqüênciamento de operações de máquinas e outras aplicações correlatas.

Basicamente, dividem-se em duas categorias: contadores Assíncronos e síncronos.

Pretendemos,nesta lição e na próxima, estudar alguns tipos básicos de contadores, procurando sempre mostrar suas características, suas vantagens e desvantagens e sua aplicação prática.

Começaremos então pelo estudo do contador assíncrono,tendo em vista ser este o mais simples, facilitando o estudo dos contadores síncronos, a ser desenvolvido logo em seguida.

CONTADORES ASSÍNCRONOS:

Esta categoria de contador é tida como a mais simples em lógica e, portanto, de projeto mais fácil.

Sua principal característica consiste em não ter entradas de clock comuns, ou seja, os flip-flops não ficam todos sob o comando de um único clock. Esse se dá apenas no primeiro flip-flop e as outras entradas de clock dos demais flip-flops serão funções das saídas. O contador assíncrono é feito através da ligação dos flip-flops JK, em cascata.

Há uma série de tipos diferentes de contadores, utilizados em circuitos digitais, sendo que, os mais comuns são os contadores binários e os contadores BCD 8421 ou contadores de pulso.

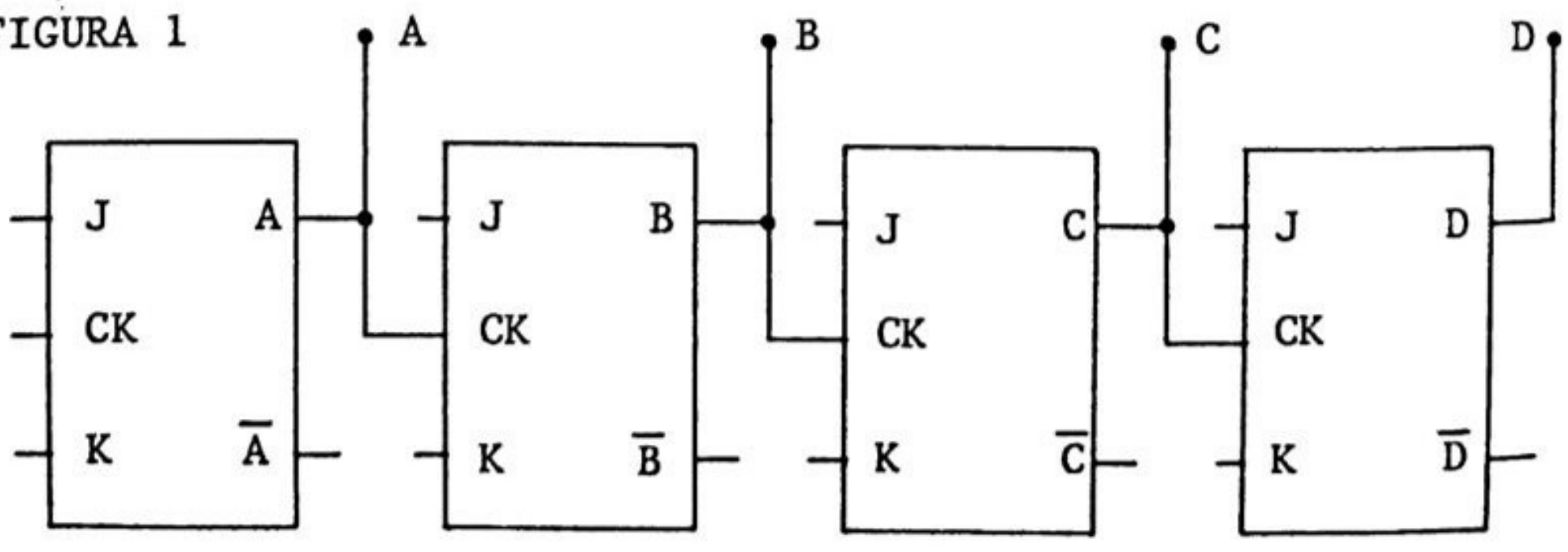
Vejamos alguns deles:

CONTADORES BINÁRIOS:

Este tipo de contador conta no código binário puro comum.

A figura 1 nos mostra um contador binário de 4 bits.

FIGURA 1



Como podemos observar, os flip-flops JK estão ligados em cascata. A saída normal de cada flip-flop está conectada à entrada CK, ou entrada de clock, do flip-flop seguinte. Os pulsos de entrada que deverão ser contados são aplicados à entrada CK do flip-flop A.

Inicialmente, todos os flip-flops estão no estado lógico 0. Ao aplicarmos um pulso à entrada de clock do flip-flop A, a saída normal A é forçada a mudar de 0 para 1. Como os flip-flops devem mudar de estado, quando a saída normal do flip-flop anterior comutar-se de 1 binário para 0 binário, ao aplicarmos o primeiro pulso na entrada do flip-flop A, este assume a condição "SET". Quando o segundo pulso de entrada ocorre, o flip-flop A muda de estado, assumindo a condição "RESET". Com isto, sua saída normal é comutada de 1 para 0 binário. Conseqüentemente o flip-flop B passa para a condição "SET", pois a sua entrada de clock mudou de 1 binário para 0. Assim que ocorrer o terceiro pulso, o flip-flop A irá novamente assumir a condição "SET"; sua saída normal será comutada de 0 binário para 1, porém esta transição será ignorada pela entrada CK do flip-flop B.

Nesta condição, o número armazenado no contador será 0011, equivalente ao decimal 3, o que vem a indicar a ocorrência de três pulsos de entrada, pois o número binário armazenado no flip-flop representa o número de pulsos que ocorreram na entrada do contador.

Com a ocorrência do quarto pulso, o flip-flop A muda para "RESET". Conseqüentemente sua saída normal vai de 1 binário para 0 binário, provocando assim uma descida de pulso na entrada do flip-flop B, fazendo com que este também passe para a condição de "RESET". Com isto, a saída normal do flip-flop B vai de 1 para 0 binário, fazendo com que o flip-flop C passe à condição de "SET".

Nessa altura, o número no contador é 0100, correspondente ao número 4 decimal..

A seqüência de contagem é o código binário comum de 4 bits, indicado na figura 2, a seguir.

Quando o número acumulado no contador atingir 1111, ou seja, o valor máximo de um número de 4 bits e, portanto a máxima capacidade de contagem para este circuito, ao ser apli

cado o próximo pulso, todos os flip-flops deverão mudar de estado simultaneamente. O flip-flop A mudará para "RESET", o flip-flop B também irá para "RESET". Conseqüentemente o flip-flop C também mudará para "RESET" que, por sua vez, fará com que o flip-flop D seja comutado para "RESET". Desta forma, como resultado, o conteúdo do contador será 0000. Diremos então que, ao ser atingido o conteúdo máximo do contador, este simplesmente será reciclado e iniciará sua nova contagem.

PULSOS DE ENTRADA	S A-Í D A S			
	D	C	B	A
S.I.*	0	0	0	0
1º	0	0	0	1
2º	0	0	1	0
3º	0	0	1	1
4º	0	1	0	0
5º	0	1	0	1
6º	0	1	1	0
7º	0	1	1	1
8º	1	0	0	0
9º	1	0	0	1
10º	1	0	1	0
11º	1	0	1	1
12º	1	1	0	0
13º	1	1	0	1
14º	1	1	1	0
15º	1	1	1	1
16º	0	0	0	0

RECICLAGEM

FIGURA 2

S.I.* - situação inicial - estado lógico "0".

A figura 3 nos mostra as formas de ondas de entrada e saída de uma operação completa do contador binário de quatro bits.

Ao observar as formas de ondas, apresentadas na figura 3, note que todos os flip-flops mudam de estado na descida do pulso ou na transição de 1 para 0 binário do flip-flop anterior.

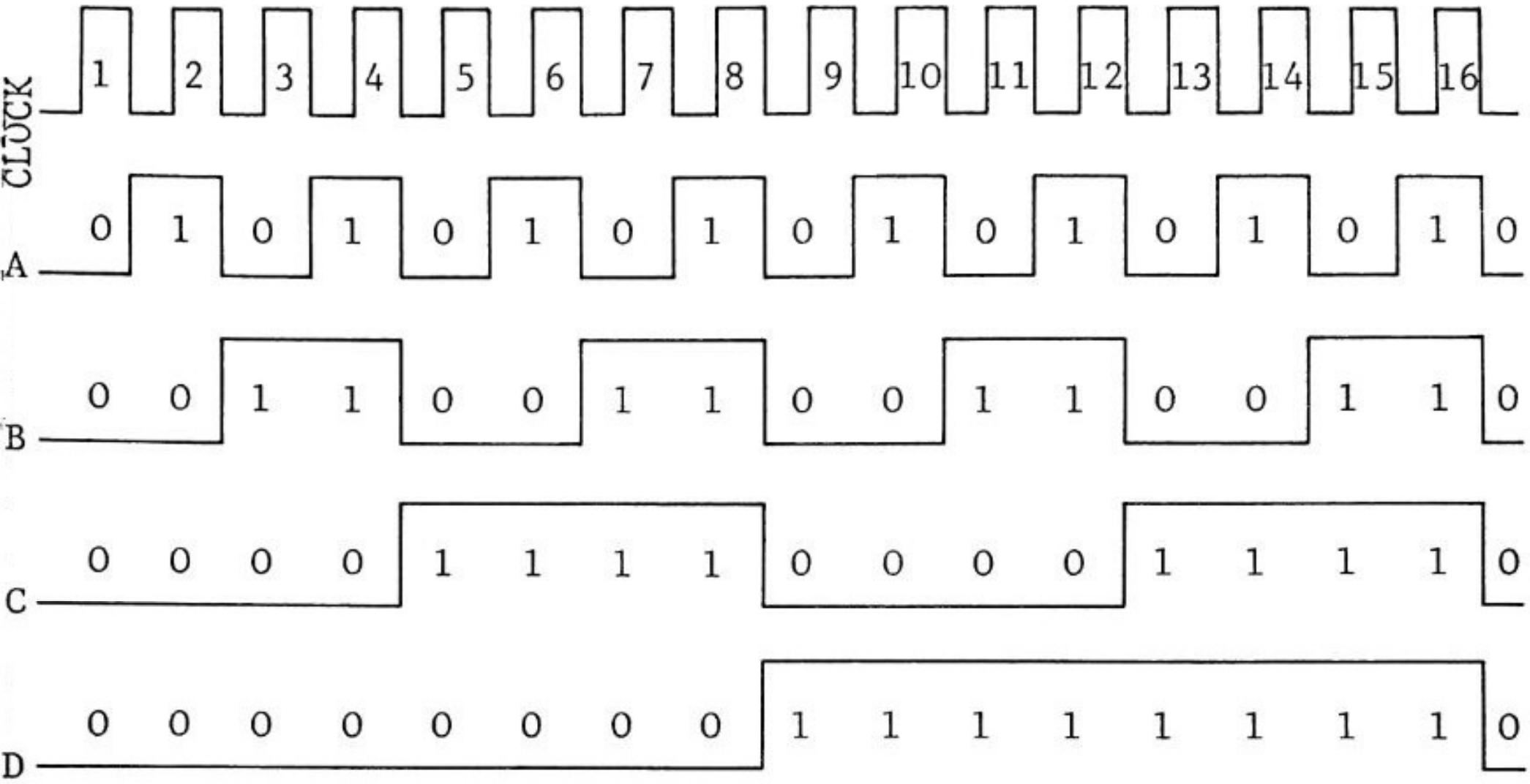


FIGURA 3

A figura 3 mostra as formas de onda de entrada (clock) e saída (A,B,C, e D) de um contador binário de 4 bits.

Portanto, cada pulso de clock na entrada corresponde a 1/2 pulso de saída.

Podemos observar ainda, na figura 3, que o período de A é o dobro do período do pulso de clock. Logo, a freqüência de A será a metade da freqüência de clock, pois f = 1/T. O mesmo tipo de análise pode ser feito para B, C e D, em relação ao pulso de clock. Por exemplo, o período de D é oito vezes maior do que o período do pulso de clock, portanto a freqüência de D será 1/8 da freqüência de clock. De posse desses dados, podemos concluir que uma das aplicações dos contadores será a de dividir a freqüência de um sinal por números que sejam potência de dois (2^n), onde n é o número de flip-flops utilizados no circuito do contador (logo o contador de 4 bits divide a entrada por 16).

Vamos supor que o pulso de clock seja uma onda, quadrada, de 200 KHz.

As saídas dos flip-flops serão:

A - 100 KHz
B - 50 KHz
C - 25 KHz
D - 12,5 KHz

Como já foi dito anteriormente, a capacidade máxima de um contador binário é função do número de flip-flop do contador. A relação entre o número de flip-flops do contador e sua capacidade máxima pode ser expressa pela seguinte fórmula:

$$N = 2^n - 1$$

Onde:

N - número máximo que ocorre antes do contador ser reciclado.

n - número de flip-flops.

Para este contador teríamos:

$$N = 2^4 - 1 = 16 - 1$$

Logo, N = 15 (1111 binário).

Para se determinar o número de flip-flops (n) necessários para implementar um circuito contador com capacidade conhecida ou requerida, basta lançar mão da seguinte fórmula:

$$n = 3{,}32 \log_{10} N$$

Vamos supor que precisamos implementar um contador binário, capaz de contar até 300. Teremos então, que determinar o número de flip-flop (n) e, para tanto, usaremos a fórmula acima:

$$n = 3{,}32 \log_{10} N$$

$$N = 300$$

$$n = 3{,}32 \log_{10} 300$$

$$n = 3{,}32 \times 2{,}48$$

$$\underline{n = 8{,}23}$$

Logo, deveremos utilizar o próximo valor superior ao encontrado,ou seja, 9 flip-flops, uma vez que não existe fração de flip-flop.

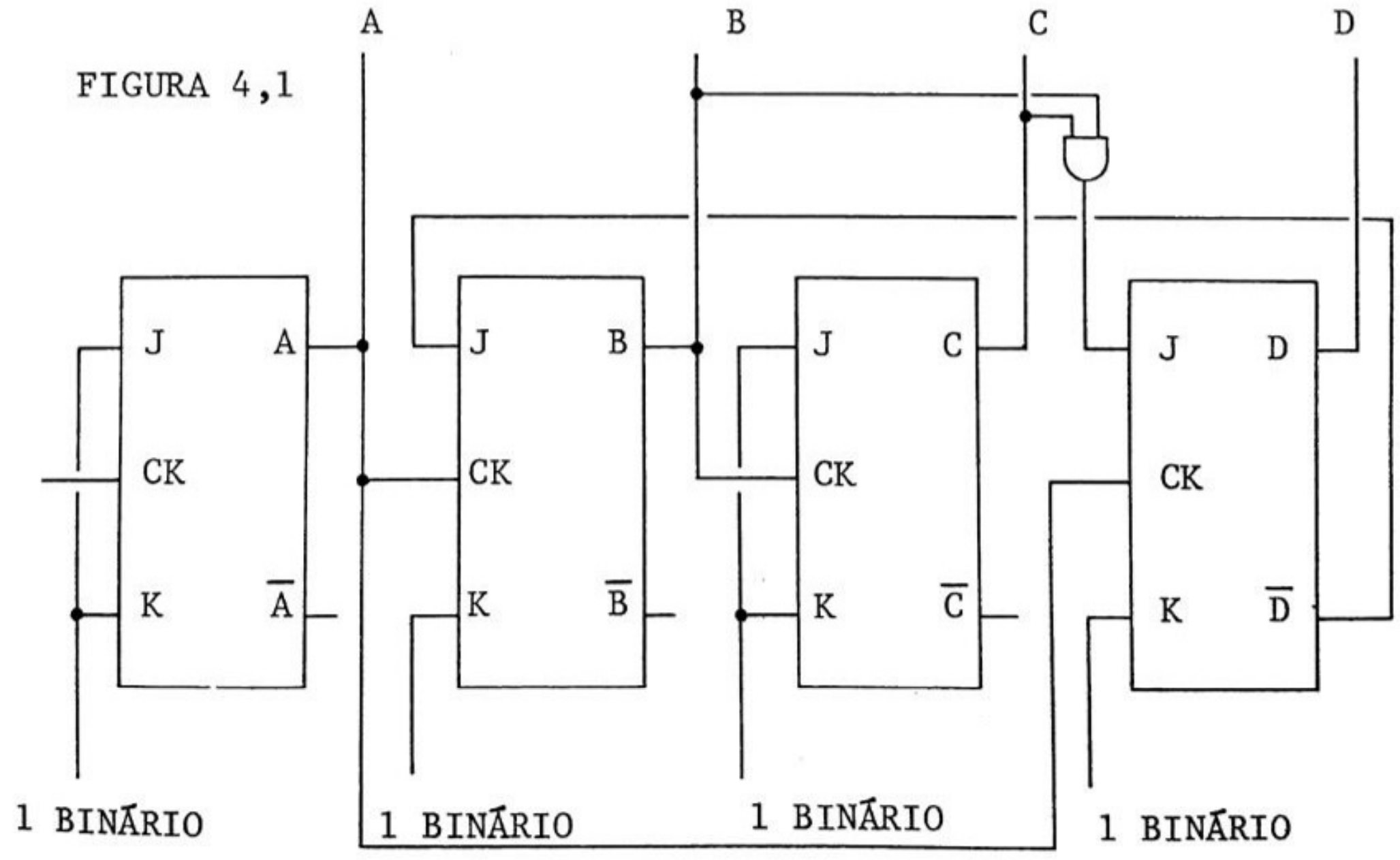
CONTADOR DE PULSO:

Sua principal característica é apresentar nas saídas o código BCD 8421, em seqüência.

É constituído por 4 flip-flops JK, cujas entradas J e K são iguais a 1 binário. A entrada dos pulsos se faz através da entrada de clock do primeiro flip-flop e as entradas dos flip-flops seguintes são conectadas às saídas dos respectivos antecessores.

A figura 4,1 nos mostra um contador BCD 8421 assíncrono.

FIGURA 4,1



CONTADOR BCD 8421 ASSÍNCRONO

CONTADOR DE DÉCADA ASSÍNCRONO

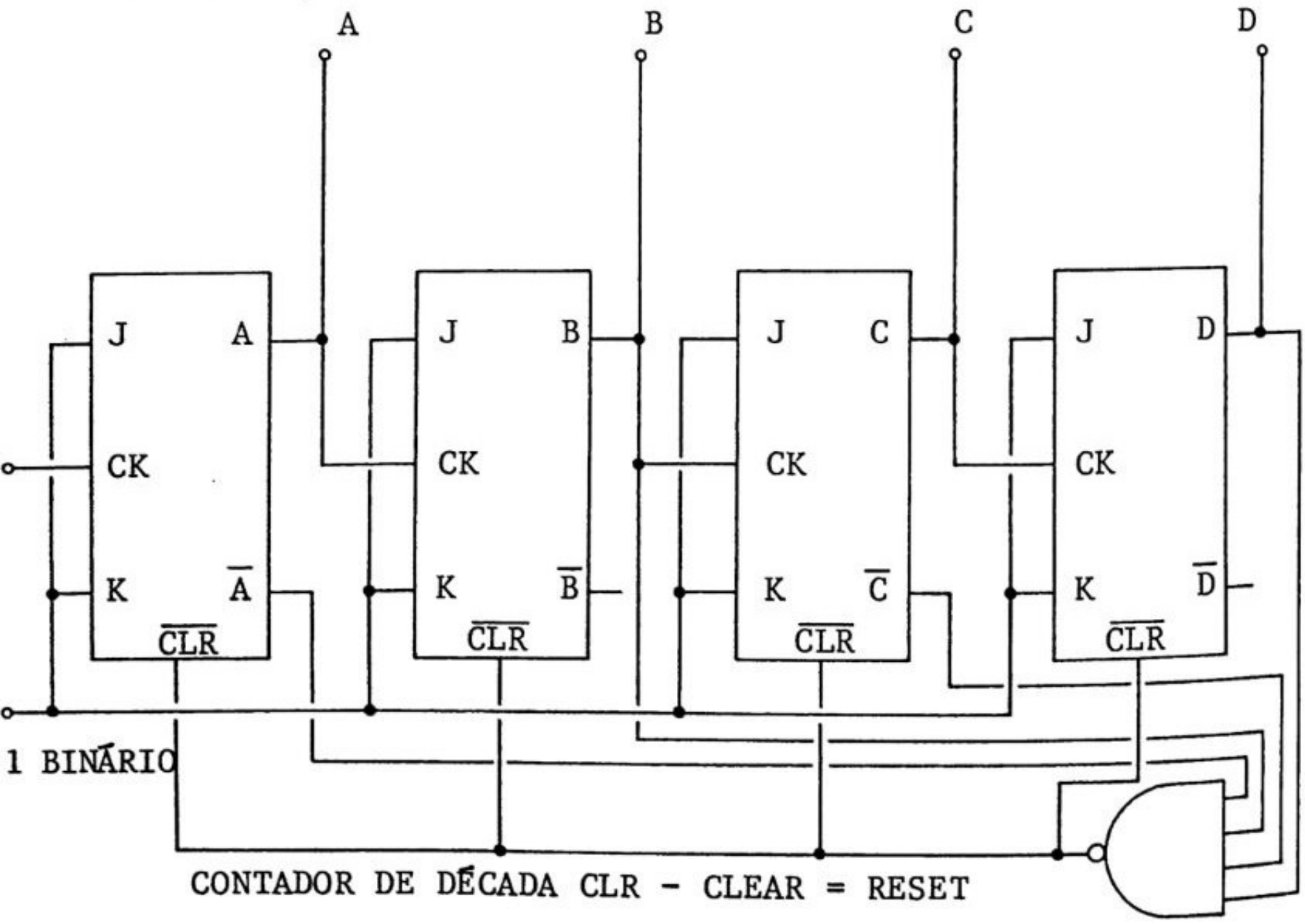
Este circuito efetua a contagem, em números binários, de zero a nove (10 algarismos), ou seja, obedece à seqüência do código BCD 8421 de 0000 até 1001.

Baseia-se no contador de pulsos. Todavia difere deste, pois naquele são utilizados flip-flops com entradas "RESET" (clear).

Para que a contagem seja de 0 a 9, devemos tomar os sinais de saída D $\overline{C}$ B $\overline{A}$ dos flip-flops, ou seja, 1010 (que corresponde ao número 10 na base 10). Deve-se jogar um pulso zero na entrada, "RESET" (clear), fazendo com que o contador, logo após o 10º pulso, reinicie a contagem.

O circuito de um contador de décadas assíncrono é mostrado na figura 4,2 abaixo.

FIGURA 4,2



CONTADOR DE DÉCADA CLR - CLEAR = RESET

PULSOS DE ENTRADA	D	C	B	A	RESET (CLEAR)	
1º	0	0	0	0	1	
2º	0	0	0	1	1	
3º	0	0	1	0	1	
4º	0	0	1	1	1	
5º	0	1	0	0	1	
6º	0	1	0	1	1	
7º	0	1	1	0	1	
8º	0	1	1	1	1	
9º	1	0	0	0	1	
10º	1	0	0	1	1	
	(1	0	1	0	0)	←reciclagem
11º	0	0	0	0	1	
12º	0	0	0	1	1	
:	:	:	:	:	:	

FIGURA 4.3

Logo após o 10º pulso de clock, o contador tende a assumir o estado $\overline{A} = 0$, $B = 1$, $\overline{C} = 0$, $D = 1$ (1010_2), mas a entrada "RESET" vai para zero, "limpando" o contador, ou seja, o contador assume o estado (0000) e recomeçará a contagem.

Os contadores BCD, mais comumente usados, realizam a contagem no código binário 8421 comum. A tabela da figura 4.3 mostra a seqüência de contagem. Deve-se observar que um número de quatro bits é requerido para representar os dez estados, de 0 a 9. Estes dez códigos de quatro bits são os primeiros dez do código binário puro comum. Quando é aplicado o décimo pulso de entrada, o contador é reciclado do estado 1001(9) para o estado 0000 (0).

Diferente do contador binário, visto anteriormente. Este circuito inclui diversas modificações as quais permitem que o mesmo possa contar na sequência BCD 8421 padronizada. As diferenças consistem basicamente de uma realimentação da saída complementar do flip-flop D para a entrada J do flip-flop B. Para monitorar os estados de saída dos flip-flops B e C, usa-se uma "Porta E" de duas entradas, gerando um sinal de controle usado para operar a entrada J do flip-flop D.

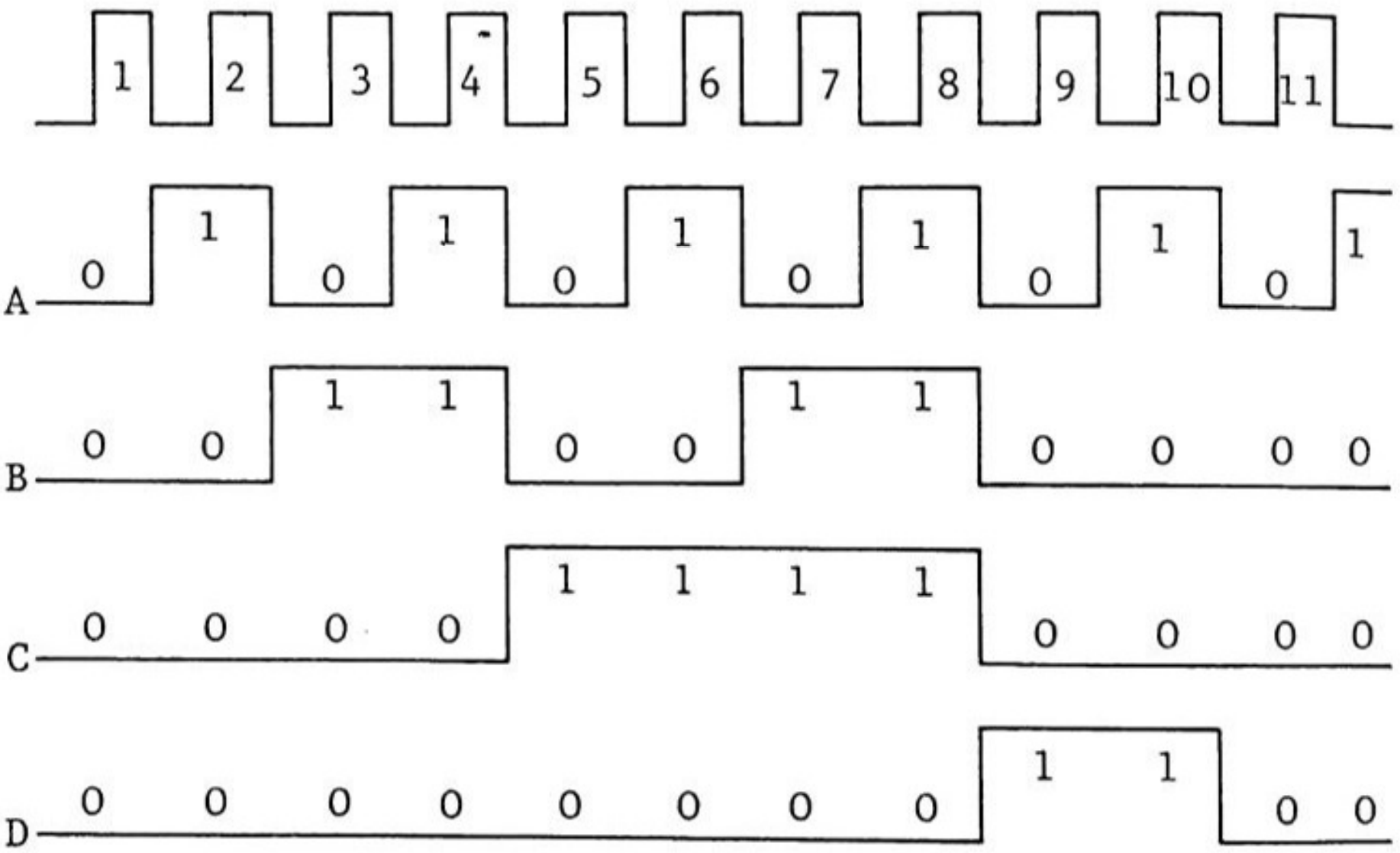
São estas modificações que fazem com que o contador re-

cicle a contagem a cada dez pulsos de entrada.

A figura 5 nos mostra as formas de onda do contador de década.

A seqüência de contagem é idêntica àquela do contador binário, comum, de quatro bits, para os primeiros dez pulsos da entrada.

FIGURA 5



CONTADORES BCD EM CASCATA

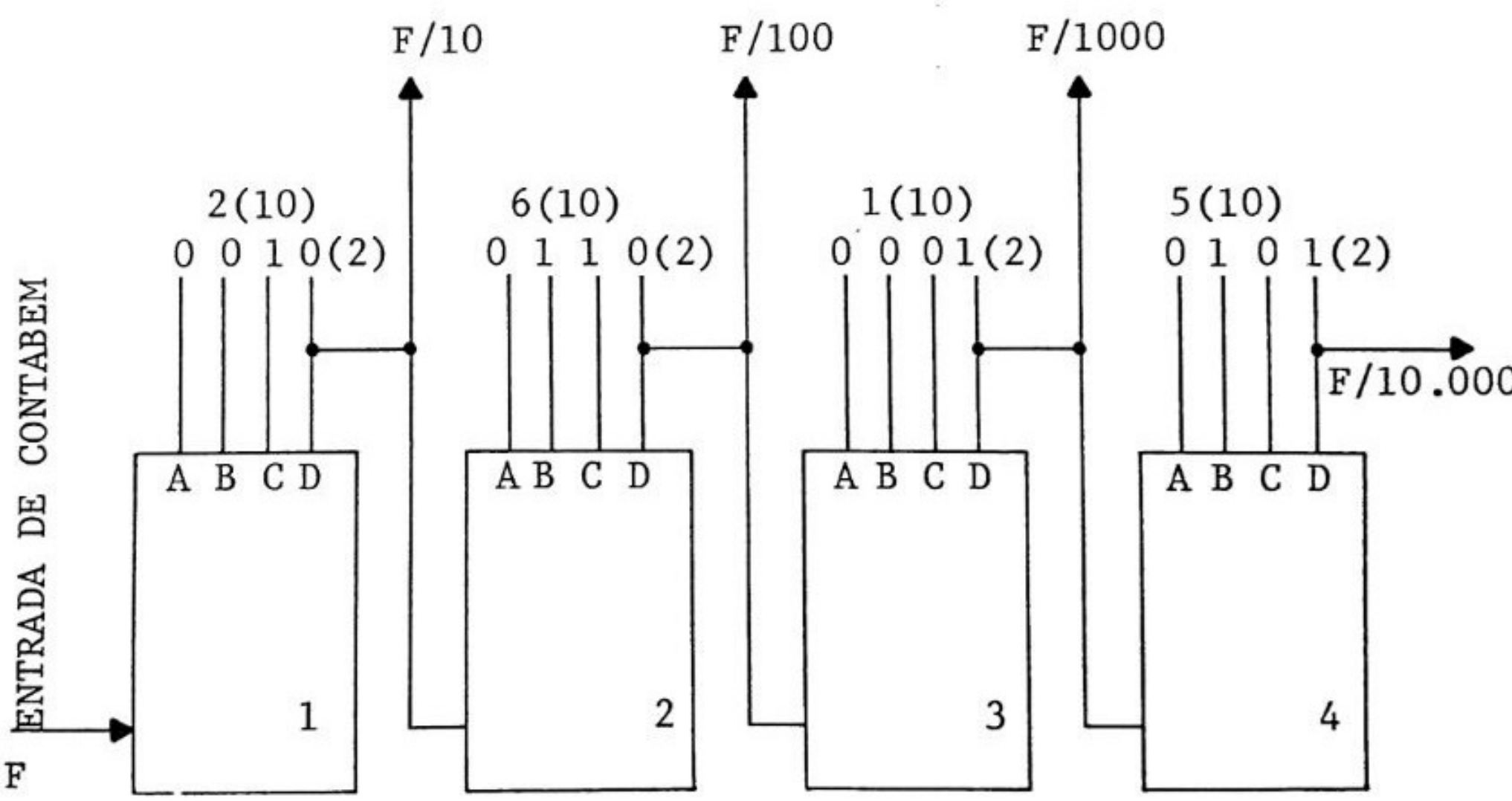
Um contador BCD isolado possui, no máximo, dez estados discretos, podendo representar apenas os números entre 0 e 9. Quando se desejar contar mais de dez pulsos, devem-se ligar vários contadores BCD em cascata. Então, cada contador, na série de contagem, deverá apresentar um dígito decimal e, a capacidade máxima de contagem será determinada em função do número de contadores BCD.

Por exemplo, a capacidade máxima de contagem para um contador composto de quatro contadores, ligados em cascata, é 9999. A figura 6 nos mostra uma série de contagem com 4 contadores BCD. Para simplificar o desenho, cada contador é repre-

sentado por um bloco. Para cada contador são projetadas as suas respectivas linhas de entrada e saídas. Em cada caso, a saída A é o bit menos significativo e a saída D é o bit mais significativo do contador. O contador do extremo direito é o contador BCD da entrada e contém o dígito mais significativo. Quando os pulsos de contagem forem aplicados à entrada do contador número 1, este será incrementado; os estados de saída mudarão de acordo com o código BCD. Observe que a saída do bit mais significativo (D) do primeiro contador é ligada à entrada de contagem do segundo contador BCD.

Cada vez que o primeiro contador BCD conta dez pulsos e se recicla, ele dispara o próximo contador da seqüência.

FIGURA 6



CONTADORES BCD LIGADOS EM CASCATA

Observando-se as formas de onda da figura 5, podemos notar que a descida do pulso da saída D ocorre na descida do décimo pulso da entrada. Assim que ocorrer este décimo pulso, o

primeiro contador se recicla para 0 e a descida do pulso incrementa o próximo contador da seqüência para 1 binário. O mesmo ocorre para os demais contadores da série.

O conteúdo decimal do contador pode ser determinado, observando-se as saídas dos flip-flops. No caso da figura 6, o contador contém o número 2615, o que quer dizer que 2615 pulsos ocorreram na entrada, supondo que o contador tenha partido da condição de "RESET".

Como vemos, o contador pode desempenhar uma função de contagem decimal com cada contador, representando um dos dígitos decimais.

CONTADORES DECRESCENTES - OU DOWN

O contador binário, descrito anteriormente, é um contador crescente ou UP, ou seja, sempre que houver um pulso de entrada, o número binário no dispositivo será acrescido de um. Porém, para um contador decrescente ou DOWN, cada pulso de entrada que ocorre,faz com que o número binário, contido no dispositivo, diminua de um.

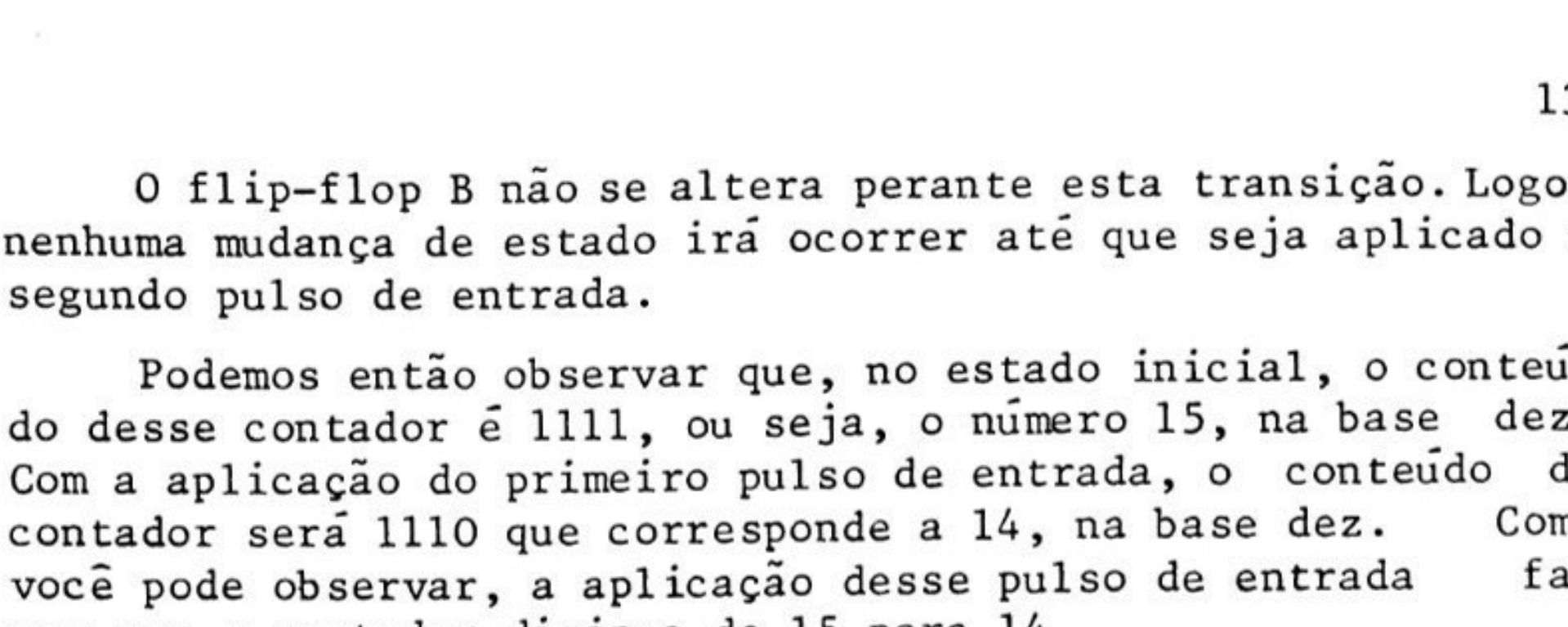
A única diferença é que a saída complementar,ao invés da saída normal,é conectada à entrada do flip-flop em seqüência. Com isto, a seqüência de contagem torna-se exatamente o reverso da contagem crescente. Como exemplo, vejamos a figura 7. Supondo que inicialmente o contador esteja em "RESET" e seu conteúdo seja 0000, a aplicação de um pulso (clock) na entrada irá provocar a mudança dos flip-flops para set. Quando o flip-flop A estiver em "RESET", sua saída complementar estará alta. Assim que for aplicado o primeiro pulso (clock) de entrada, o flip-flop A mudará para "SET". Desta forma,sua saída complementar será comutada de 1 binário para 0 binário, provocando, assim, a mudança de estado do flip-flop B. No instante em que o flip-flop B passa à condição "SET", sua saída complementar também é comutada de 1 para 0 binário, provocando a mudança de estado do flip-flop C (para "SET"). Da mesma forma, sua saída complementar mudará de 0 para 1 binário,comutando o flip-flop D para "SET". Desta forma,o contador é reciclado de 0000 para 1111. Assim que o próximo pulso de entrada chegar,o flip-flop A novamente se complementará e passará para"RESET", mudando a saída complementar de 0 para 1 binário.

O flip-flop B não se altera perante esta transição. Logo, nenhuma mudança de estado irá ocorrer até que seja aplicado o segundo pulso de entrada.

Podemos então observar que, no estado inicial, o conteúdo desse contador é 1111, ou seja, o número 15, na base dez. Com a aplicação do primeiro pulso de entrada, o conteúdo do contador será 1110 que corresponde a 14, na base dez. Como você pode observar, a aplicação desse pulso de entrada faz com que o contador diminua de 15 para 14.

Novamente, a aplicação de um pulso de entrada faz o contador diminuir em um algarismo o número contido.

FIGURA 7



CONTADOR BINÁRIO DECRESCENTE DE 4 BITS.

D	C	B	A
1	1	1	1
1	1	1	0
1	1	0	1
1	1	0	0
1	0	1	1
1	0	1	0
1	0	0	1
1	0	0	0
0	1	1	1
0	1	1	0
0	1	0	1
0	1	0	0
0	0	1	1
0	0	1	0
0	0	0	1
0	0	0	0

RECICLAGEM

Através da tabela verdade e das formas de onda de entrada e saída do contador (Figura 8), podemos traçar a operação completa do contador binário decrescente de 4 bits.

CLOCK - OBS: os números indicam a quantidade de pulsos.

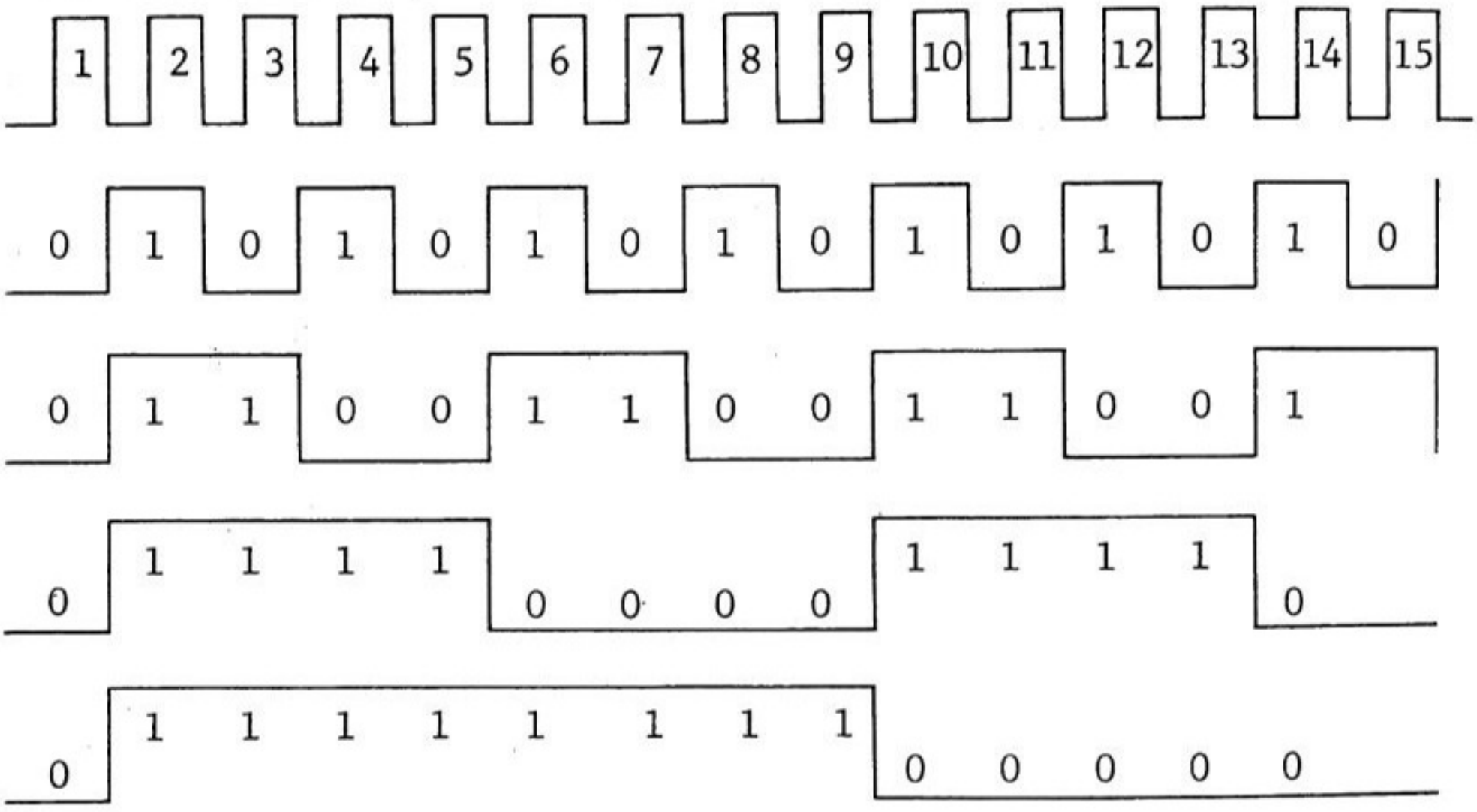
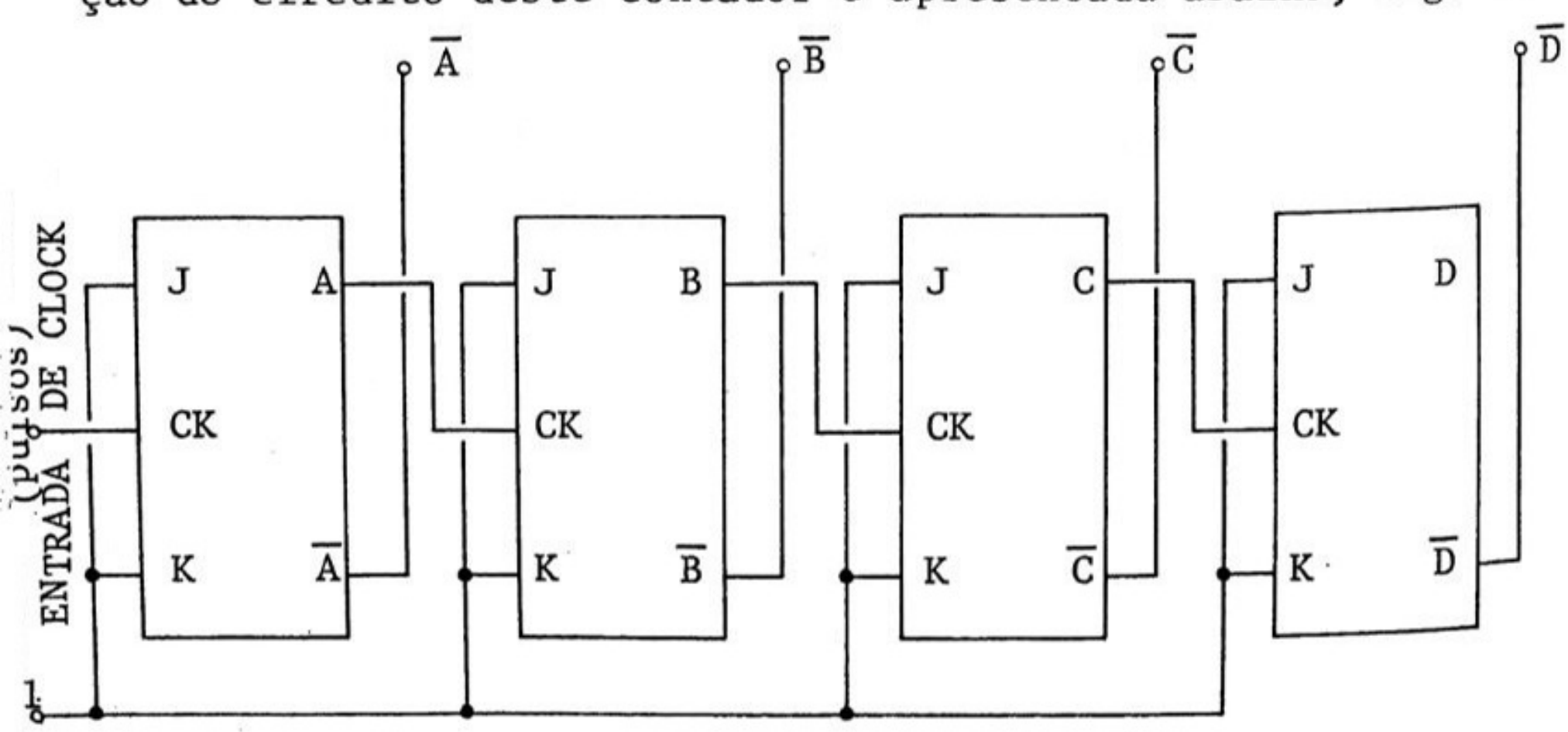


FIGURA 8

Na verdade, a contagem decrescente nada mais é do que o complemento da contagem crescente. Logo, uma outra variação do circuito deste contador é apresentada abaixo, Fig. 9.

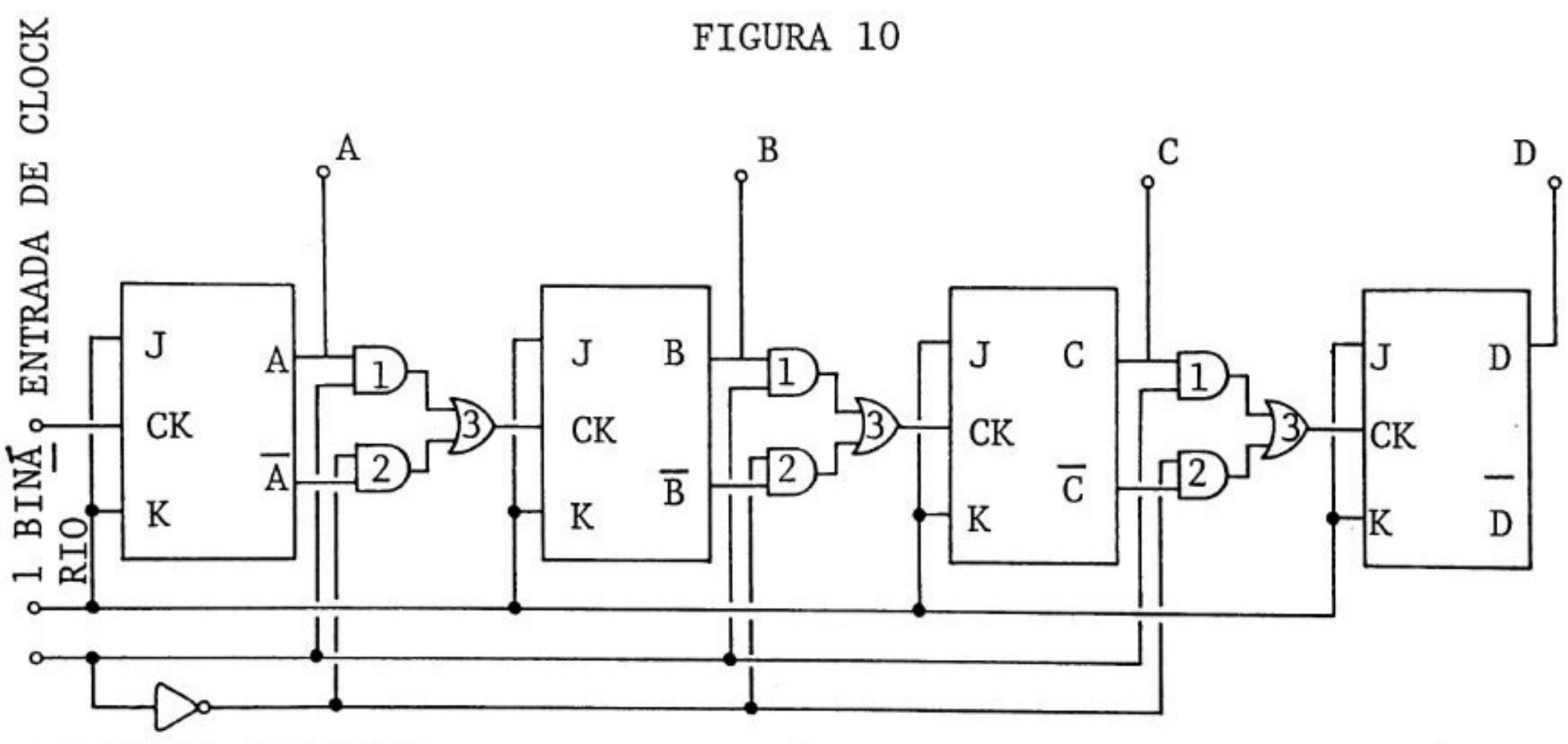


CONTADORES CRESCENTE-DECRESCENTE

Esses dois tipos de contagem, crescente e decrescente, podem ser executados por um mesmo contador. Para isso, utilizamos uma variável de controle, a qual estando em 1, o circuito executa contagem crescente; estando em zero, executa a contagem decrescente.

Portas E e OU são usadas para acoplar os flip-flops, como mostra a Figura 10. A linha de controle da contagem determina se o contador irá contar no sentido crescente ou decrescente.

FIGURA 10



OBS.: - Linha de controle igual a 1: Contagem crescente.

Linha de controle igual a 0: Contagem decrescente.

Quando a linha de controle estiver em 1 binário, as saídas $\overline{A}$, $\overline{B}$ e $\overline{C}$ estarão bloqueadas e todas as portas 1 estarão liberadas. Então, a saída normal de cada flip-flop será acoplada através das portas 1 e 3 à entrada ck (clock) do próximo flip-flop. Isto fará com que o contador conte crescentemente, colocando a linha de controle da contagem em zero binário e todas as portas 2 estarão liberadas. Neste caso, a saída complementar dos flip-flops é acoplada através das portas 2 e 3 ao próximo flip-flop da seqüência. Por conseguinte, o con-

tador contará decrescentemente.

Vantagens e Desvantagens dos Contadores Assíncronos

A principal vantagem do contador assíncrono é a sua simplicidade. Em contra-partida, apresenta como principal desvantagem a sua velocidade de contagem relativamente baixa, pois esta é limitada pelo atraso de propagação dos flip-flops. Para o contador assíncrono o atraso de propagação dos flip-flops é somado.

CONTADORES SÍNCRONOS

Com o objetivo de se reduzir os efeitos do atraso de propagação e,conseqüentemente,aumentar a velocidade de contagem de um contador, desenvolveu-se um arranjo especial de circuito que são os chamados contadores síncronos.

Contador síncrono, basicamente, é aquele em que os flip-flops são disparados simultaneamente por um pulso de clock,ou seja, as entradas de clock dos flip-flops são curto-circuitadas. Neste caso, o atraso de propagação total para o circuito é essencialmente igual àquele de um flip-flop isolado,pois todos os flip-flops mudam de estado simultaneamente.

A freqüência é,portanto, limitada apenas pelo retardo de um flip-flop e mais os introduzidos pelas portas de controle. Em termos de projeto, é mais difícil se projetar um contador síncrono para qualquer módulo que não seja potência de 2, do que seu correspondente assíncrono, sendo, porém, simplificado pelo uso dos mapas de Karnaugh.

Os sistemas de contagem síncronos são propensos a problemas de estabilidade, os quais normalmente não existem em sistemas assíncronos.

Passamos agora ao estudo de alguns contadores síncronos típicos.

CONTADOR BINÁRIO

Todas as entradas de clock (ck) dos flip-flops são ligadas conjuntamente a uma linha de entrada comum. A operação dos flip-flops é controlada pelos estados das entradas JK.

(as entradas JK podem ser usadas para controlar o flip-flop).

A Figura 11 nos mostra um típico contador binário síncrono.

Até agora, em nosso estudo sobre contadores, as entradas JK eram ligadas ao estado binário 1,ou seja, deixávamos em aberto; com isto,o flip-flop mudava de estado ou se complementava,toda vez que ocorresse uma descida de pulso de entrada ou clock, na linha de entrada CK.

Caso as entradas JK sejam levadas a 0 binário, o sinal aplicado à entrada CK é ignorado.

Então, podemos concluir, que pela utilização das linhas de entrada JK, nós podemos liberar ou inibir a mudança de estado dos flip-flops.

Na Figura 11, podemos observar que as entradas do flip-flop A estão ligadas a 1 binário, o que torna o dispositivo permanentemente liberado. Então,a cada sinal que aparece na entrada de contagem, o flip-flop A muda de estado.

A saída normal do flip-flop A é que controla as entradas JK do flip-flop B, ou seja, o flip-flop B só poderá mudar de estado,quando a saída do flip-flop A estiver em 1 binário.

Os sinais das saídas normais dos flip-flops A e B são injetadas em uma porta E(1) e a saída desta é utilizada para controlar as entradas JK do flip-flop C. Assim, para o flip-flop C mudar de estado, ambas as saídas, A e B, devem estar altas, ou seja, devem estar em 1 binário. O flip-flop C deve mudar de estado no primeiro pulso de contagem que ocorrer, - após A e B estarem em 1 binário.

Da mesma forma que o flip-flop C é controlado por seus antecessores, o flip-flop D é controlado pelos flip-flops A, B e C, cujos sinais de saída são injetados em uma porta E (2) e a saída desta é usada para controlar as entradas JK do flip flop D.

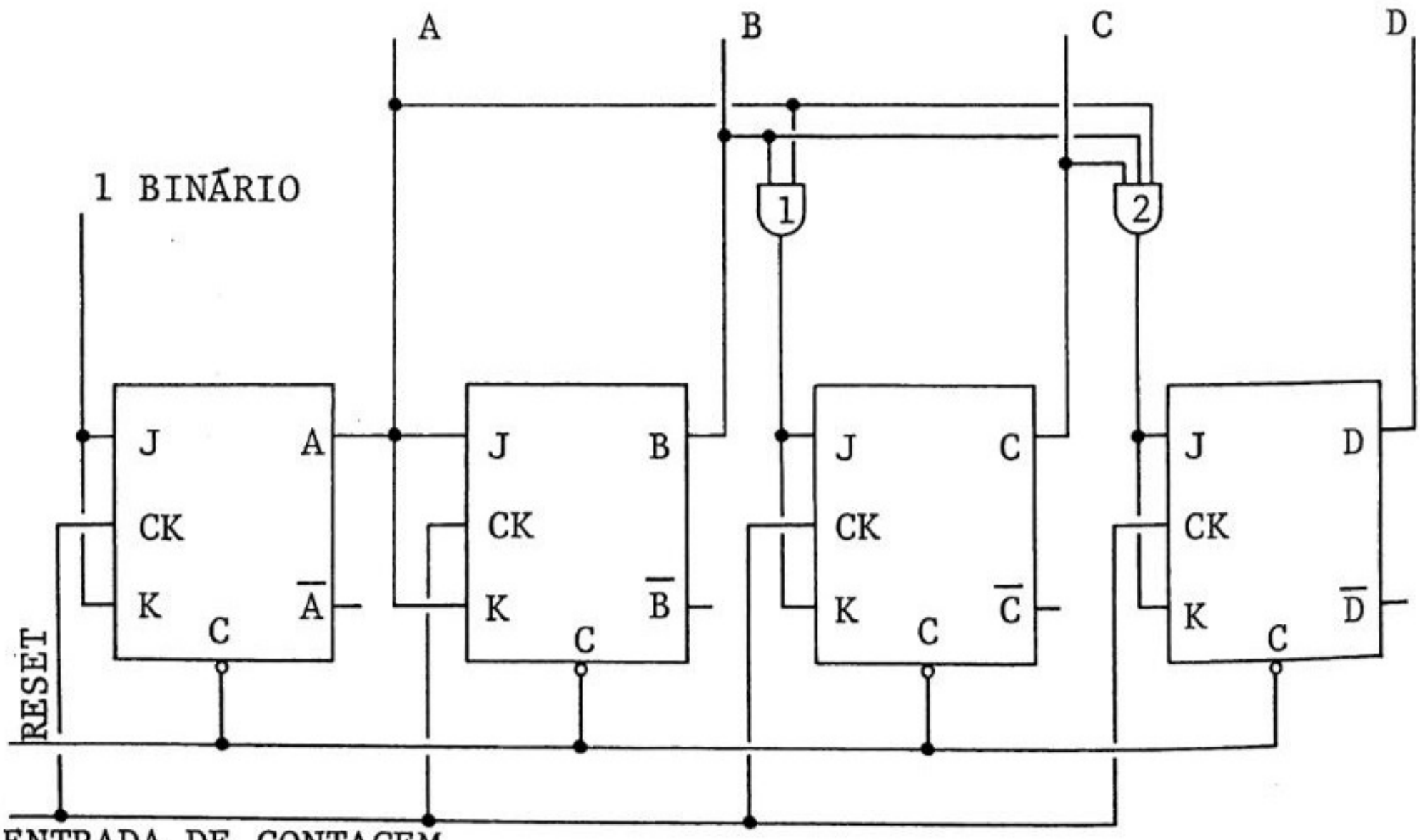
Apesar do arranjo do circuito, este é ainda um contador binário, como vimos anteriormente, porém seu modo de operar é um pouco diferente. Continuam valendo, para este contador, a tabela da figura 2 e as formas de onda da figura 3.

A vantagem deste contador torna-se mais visível,a partir de uma análise das mudanças de estado dos flip-flops.

Vamos supor que o contador contenha o número 0111, ou seja, os flip-flops A, B e C estão em set e as entradas JK dos flip-flops B, C e D estão liberadas. Com isto, após a ocorrência do próximo pulso de contagem, todos os flip-flops mudam de estado. Assim que ocorrer este pulso (clock),os flip-flops A, B e C vão para "RESET" e o flip-flop D também, conseqüentemente o novo número no contador será 1000.

O importante é que todos os flip-flops mudam de estado simultaneamente. Dai o motivo deste circuito ser mais vantajoso do que o estudado anteriormente, pois o atraso máximo entre a ocorrência do pulso da entrada de contagem e a mudança de estado das saídas é no máximo igual ao maior tempo de propagação dos flip-flops presentes no circuito.

FIGURA 11 — CONTADOR BINÁRIO SÍNCRONO



Há diversas Funções de Controle comuns que são associadas ao uso de contadores binários. As mais usadas são as de RESET e PRESET.

Na maior parte das aplicações dos flip-flops é preciso "zerá-los", antes de dar início à operação de contagem.Para isto,usa-se a função de RESET ou CLEAR, a qual consiste na colo

cação do estado 0 binário em todos os flip-flops.

Quando se utilizam dispositivos JK, é fácil de se obter a junção RESET.

Para que a contagem se processe normalmente, devemos fazer com que esta linha de apagamento permaneça alta ou com 1 binário. Um pulso com duração de 100 nanossegundos mais ou menos pode ser usado para se obter RESET em flip-flops JK típicos (mais comuns).

A função PRESET consiste em carregar um contador com um número binário qualquer, antes de iniciar a seqüência de contagem, pois, às vezes, é necessário programar o contador para que ele inicie a contagem a partir de um determinado ponto. Um contador pode ser colocado em PRESET a partir do uso das entradas assíncronas SET, quando são empregados flip-flops JK.

Inicialmente, o contador deve ser "limpo", com a aplicação de 0 binário a sua linha de RESET. Em seguida, através de qualquer fonte, aplica-se o número desejado às entradas de PRESET. Ao fazer a linha de PRESET alta, as saídas das portas, nas quais o número paralelo (número desejado) é injetado, deverão fazer com que as linhas de SET assíncronas dos flip-flops assumam os estados corretos para o PRESET do número, no contador.

Para que a condição de PRESET seja obtida em uma única operação, não passando pela condição de RESET, podemos utilizar um circuito igual ao da Figura 12.

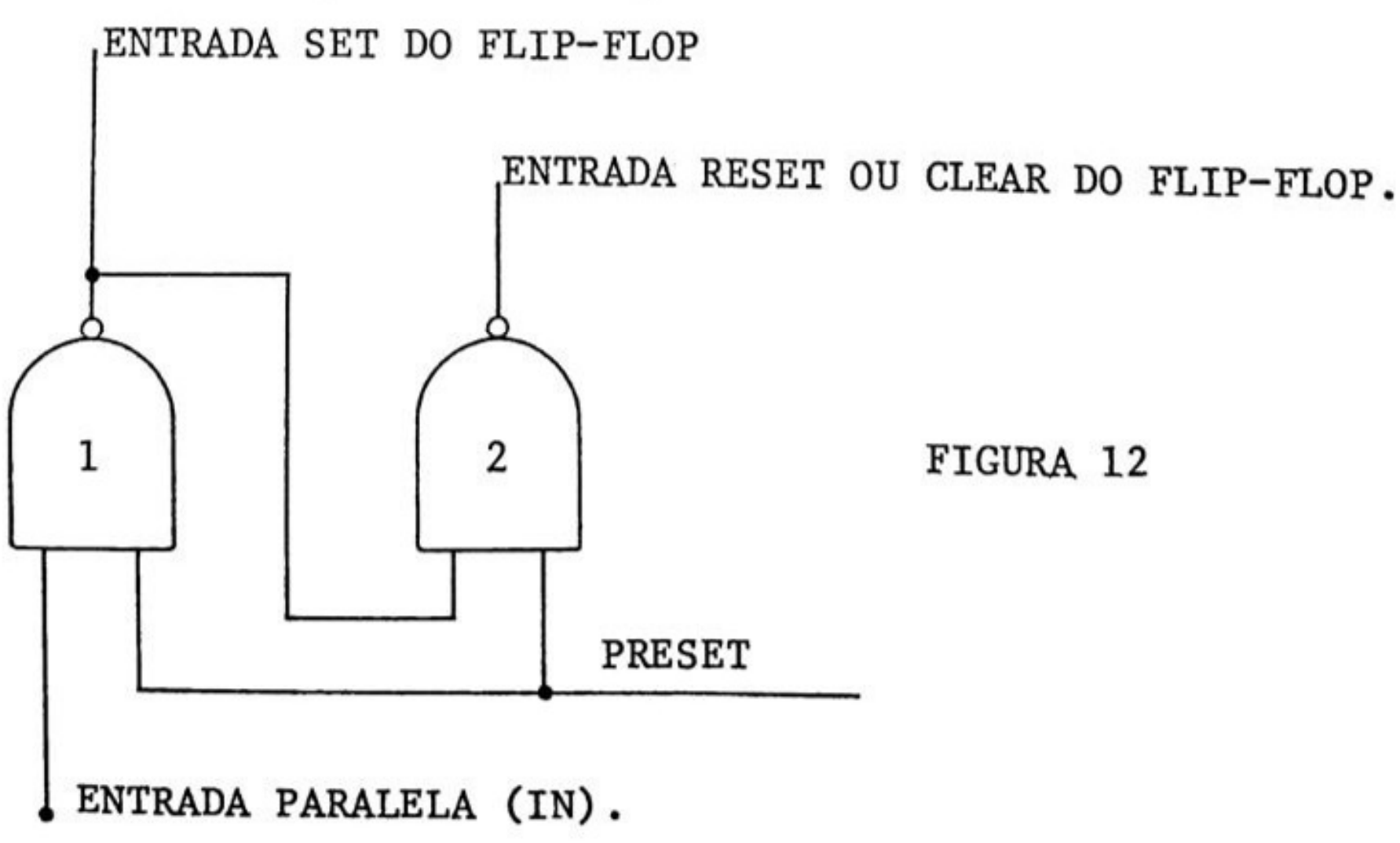


FIGURA 12

Com relação ao circuito da figura 12, na porta 1, aplica-se a entrada paralela desejada (IN). Uma linha de PRESET une as portas 1 e 2. Na linha de entrada aplica-se um 0 ou 1 binário que irá especificar o estado do flip-flop, depois que a entrada de PRESET for liberada.

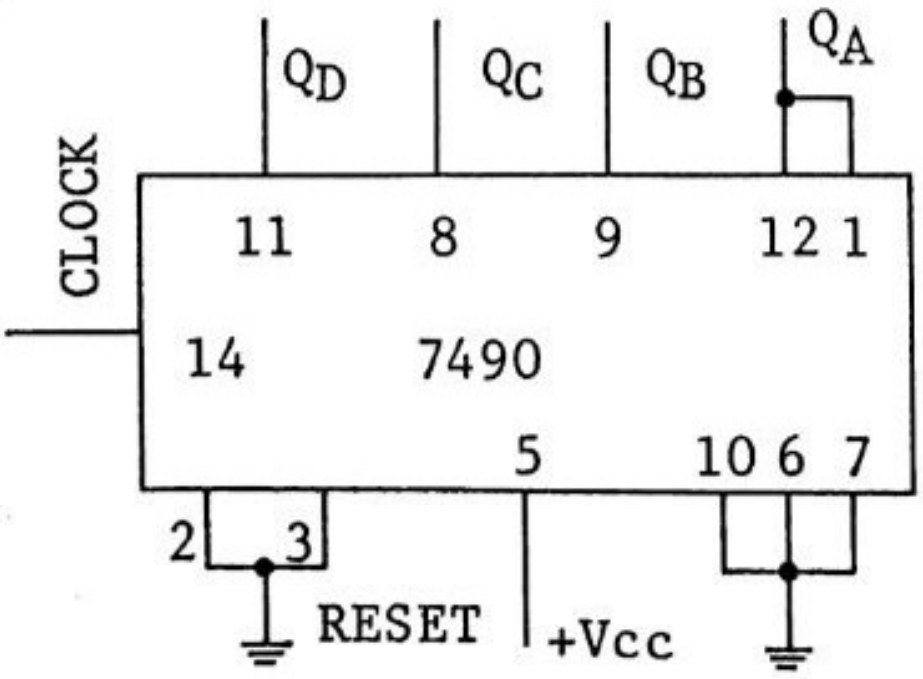
Quando a entrada de PRESET for para 1, o flip-flop estará carregado com o estado desejado.

Cabe ainda ressaltar que para este circuito obter PRESET, podem ser aplicados tanto contadores síncronos, como assíncronos.

IMPLEMENTAÇÃO DE CONTADORES

Os circuitos integrados, contadores são normalmente constituídos de RESET. Um caso típico é o contador de década assíncrono 7490 que, desta forma, possibilita a sua programação para se tornar um contador por N.

A figura 12 ilustra o circuito integrado 7490 sua ligação como contador de década e tabela correspondente.



NÚMERO DECIMAL	Q_D	Q_C	Q_B	Q_A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

FIGURA 12

A Fig. 13 ilustra o CI 7490 na configuração de um contador assíncrono,divisor por 8.

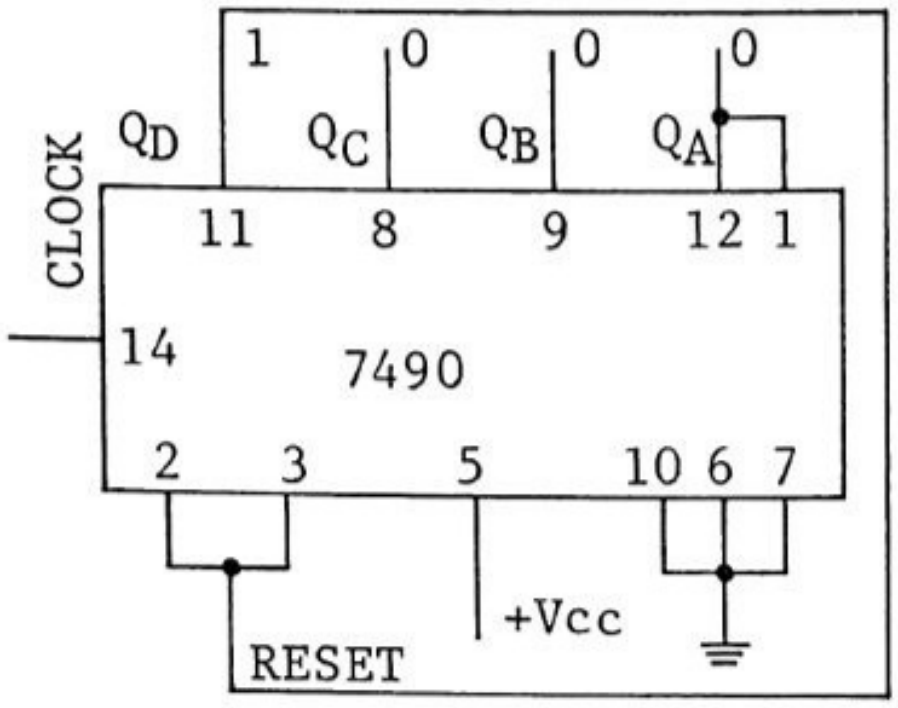


FIGURA 13

NÚMERO DECIMAL	Q_D	Q_C	Q_B	Q_A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

RECICLAGEM

A Fig. 14 ilustra uma outra configuração divisor por 6.

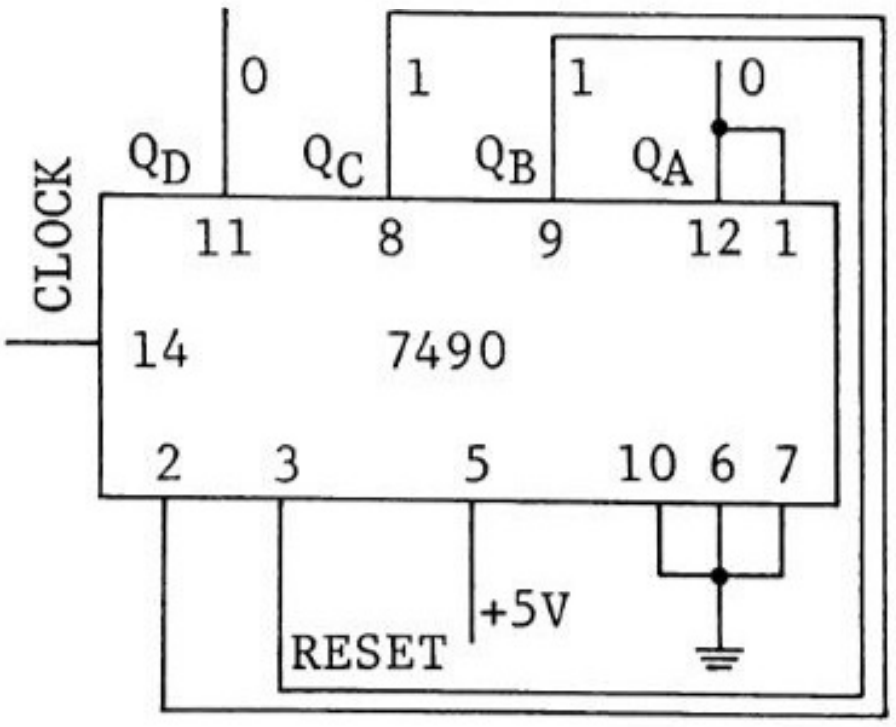


FIGURA 14

NÚMERO DECIMAL	Q_D	Q_C	Q_B	Q_A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

RECICLAGEM

A figura 15 ilustra uma última configuração divisor por 7. Nesta condição, é requerido uma "porta E" auxiliar para monitorar o estado 0111 binário. Desta forma,este circuito pode ser programado pelo aluno,para outras condições,se desejar.

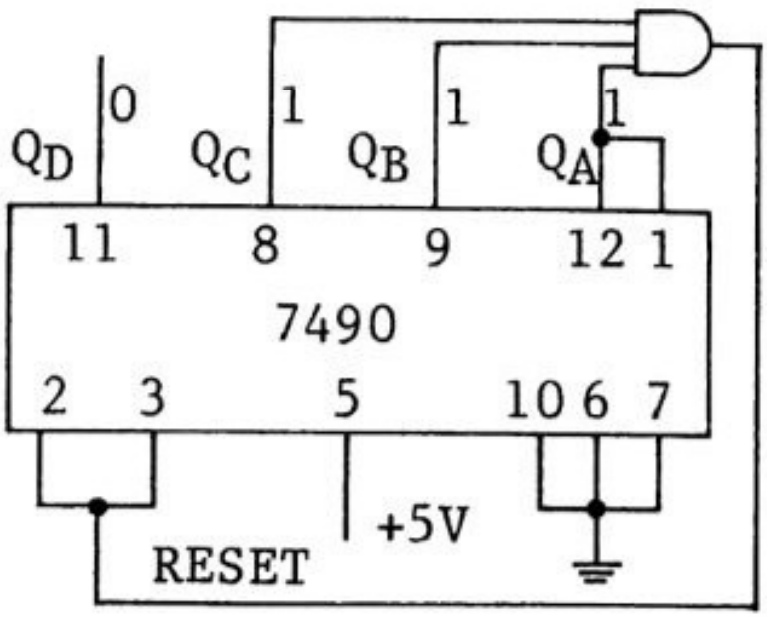


FIGURA 15

NÚMERO DECIMAL	Q_D	Q_C	Q_B	Q_A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

RECICLAGEM

CEBRAM
CURSOS DE APERFEIÇOAMENTO

CURSO DE
ELETRÔNICA DIGITAL E
MICROPROCESSADORES

CAIXA POSTAL 1642 - CEP 86100 - LONDRINA - PARANÁ

EXAME DA LIÇÃO ED-18

OBSERVAÇÃO

- cada questão é composta de três ou quatro alternativas.
- só uma delas está correta.
- marque a que considerar correta.
- passe as respostas corretas para a folha de exame.

1) Um contador binário, assíncrono, de 4 bits, contém o número 1010. Quatro pulsos são aplicados à entrada. O novo estado do contador será:

a) 1111;

b) 1110;

c) 0111.

1010 = $10_{(10)}$ Após 4 pulsos
1110 = $14_{(10)}$

2) Um contador binário, síncrono, de 4 bits, contém o número 0100. Nove pulsos de entrada ocorrem. O novo estado do contador será:

$4_{(10)}$

a) 1101; b) 0010; c) 1111.

$13_{(10)}$

3) Um contador de década, assíncrono, contém o número 0100. Nove pulsos de entrada ocorrem. O novo estado do conta - dor será:

a) 1001;

b) 0001;

c) 0011.

4) Um contador binário, com 6 flip-flops JK, divide a fre - qüência de entrada por:

a) 32;

b) 16;

c) 64.

5) Qual é a capacidade máxima de contagem para um contador bi nário com 3 flip-flops JK?

a) 7;

b) 8;

c) 17.

6) Qual é o número necessário de flip-flops para implementar um contador binário, capaz de contar até 3.999?

a) 8;

b) 11;

c) 12.

7) A capacidade máxima de contagem para uma série de 5 con tadores BCD, ligados em cascata, será:

a) 9999; b) 99999; c) 999.

8) Num contador decrescente, qual das saídas é conectada à entrada do flip-flop subseqüente:

a) saída complementar; → $\overline{Q}$

b) saída normal;

c) RESET.

9) Um contador BCD está no estado 0111. Quantos pulsos foram aplicados, após sua condição de RESET?

a) 3;

b) 2;

c) 7.

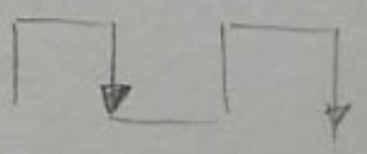
0111 = $7_{(10)}$

10) O estado de um contador binário que usa flip-flops JK, deverá mudar, quando a entrada CK (clock) for de:

a) 0 para 1;

b) 1 para 0;

c) ambas estão corretas.



CEDM
CURSOS DE APERFEIÇOAMENTO

CURSO DE
ELETRÔNICA DIGITAL E
MICROPROCESSADORES

CAIXA POSTAL 1642 - CEP 86100 - LONDRINA - PARANÁ

LIÇÃO ED-19

CONTADORES II

Dando continuidade ao assunto desenvolvido na **lição anterior**, vamos estudar alguns tipos de contadores especiais.

Grande parte das aplicações de contagem pode ser implementada com contadores BCD, MSI (integração em média escala) binários. Entretanto existem aplicações, onde se requer que o contador trabalhe em uma seqüência peculiar ou mesmo tenha a seqüência de contagem dentro de algum código especial. Em alguns casos pode-se desejar dividir ou mesmo reduzir uma frequência por algum valor que não seja potência de dois (2) ou de dez (10). É para suprir algumas dessas necessidades, que desenvolveram-se circuitos contadores especiais. Como exemplo, podemos citar um divisor por sete ou um contador de código Gray.

A implementação desses contadores especiais tornou-se relativamente fácil, graças à grande flexibilidade dos flip-flops JK. O caminho básico é construir um contador binário comum, usando realimentação e portas de controle nas entradas JK., para que o contador desenvolva uma seqüência com tantos estados individuais, quantos se desejam.

Ao número de estados discretos que um contador pode assumir, chamamos de módulo. Assim,um contador de módulo **N** nada

mais é do que um contador com N estados. Por ex.: o contador de décadas ou BCD é um contador de módulo 10, uma vez que este pode assumir um,dentre dez estados discretos. Nota-se - que não é difícil construir um contador binário, cujo módulo é uma potência de dois. Assim sendo,um contador módulo 16 deverá ser construído com quatro flip-flops, pois $2^4 = 16$, onde 4 representa o número de flip-flops.

CONTADOR MÓDULO 3

Construído com 2 flip-flops JK., onde as entradas "T" são conectadas ao sinal de contagem, o que o torna um circuito síncrono.

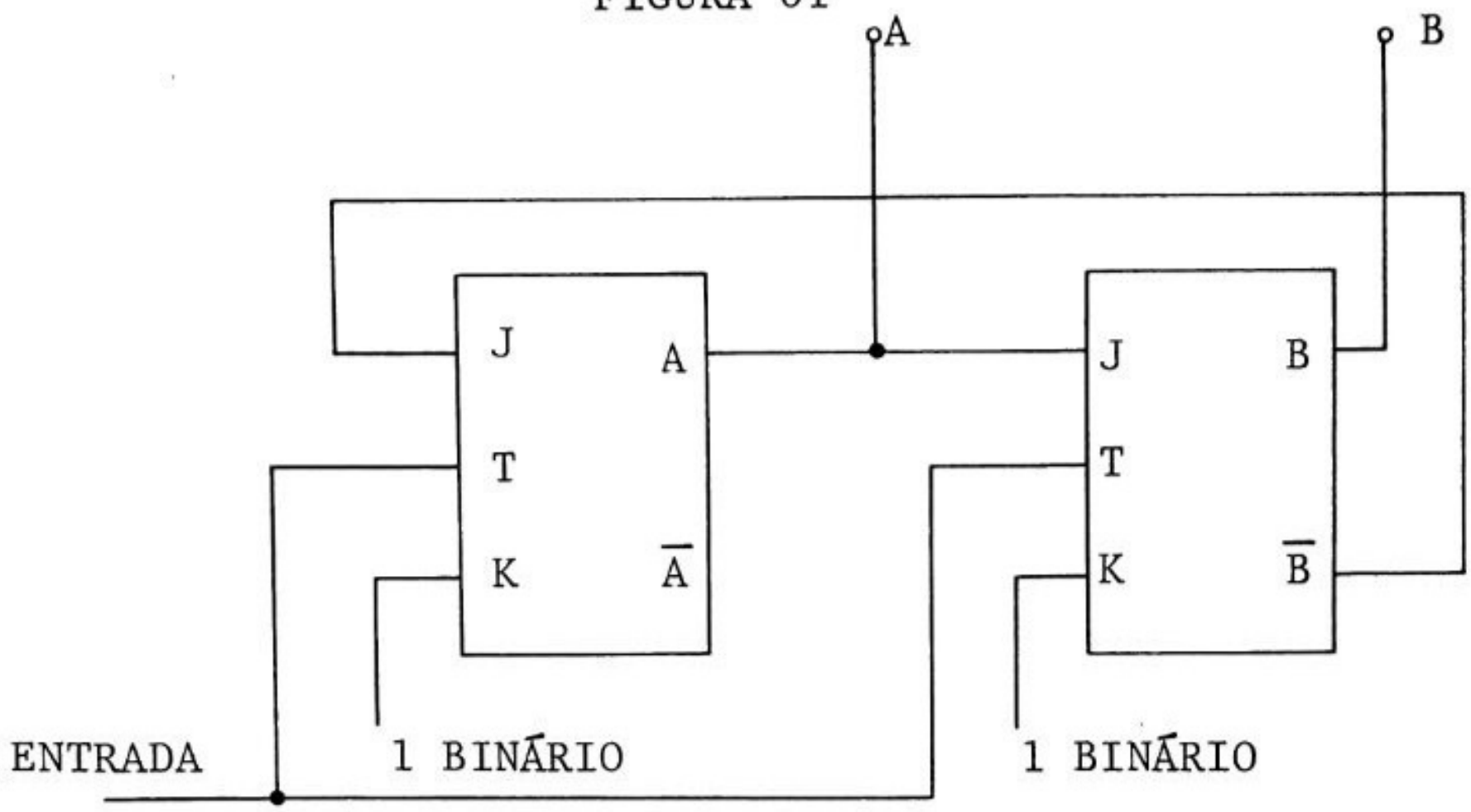
Para estudar o seu funcionamento, suponhamos, inicialmente, que os dois flip-flops estejam em **reset**, assim as saídas $\overline{A}$ e B, apresentam 0 binário. A saída baixa do flip-flop A mantém a entrada J do flip-flop B em 0 binário. Ao ocorrer a descida do primeiro pulso de entrada, o flip-flop A irá para **set**. A saída B continua mantendo a entrada J de A alta, liberando este flip-flop para o estado **set**,quando ocorrer o pulso apropriado na entrada T ou entrada de clock. Assim que acontecer o primeiro pulso de clock, A muda para **set**. O flip-flop $\overline{B}$ não é afetado.

Com a saída de A em 1 binário, a entrada J de B está alta também, ou seja, em 1 binário, permitindo que o flip-flop B, troque de estado, após o próximo pulso de entrada. A saída B do flip-flop B ainda está alta, continuando a liberação da entrada J do flip-flop A. Assim que ocorrer a descida do segundo pulso de clock, o flip-flop A, novamente, mudará de estado, indo para reset. Como conseqüência, o flip-flop B vai para a posição **set**, ao mesmo tempo em que o flip-flop A muda para **reset**. Agora, a entrada J do flip-flop B está baixa, enquanto, a entrada J do flip-flop A também permanece em 0 binário. Quando ocorrer o próximo pulso de clock, o flip-flop B irá para reset, enquanto que o flip-flop A permanece em **reset**. Ao descer o terceiro pulso de clock, o contador sofre uma reciclagem, voltando à sua condição de **reset** inicial. Caso mais pulsos de clock forem injetados,o contador simplesmente repitirá o ciclo descrito.

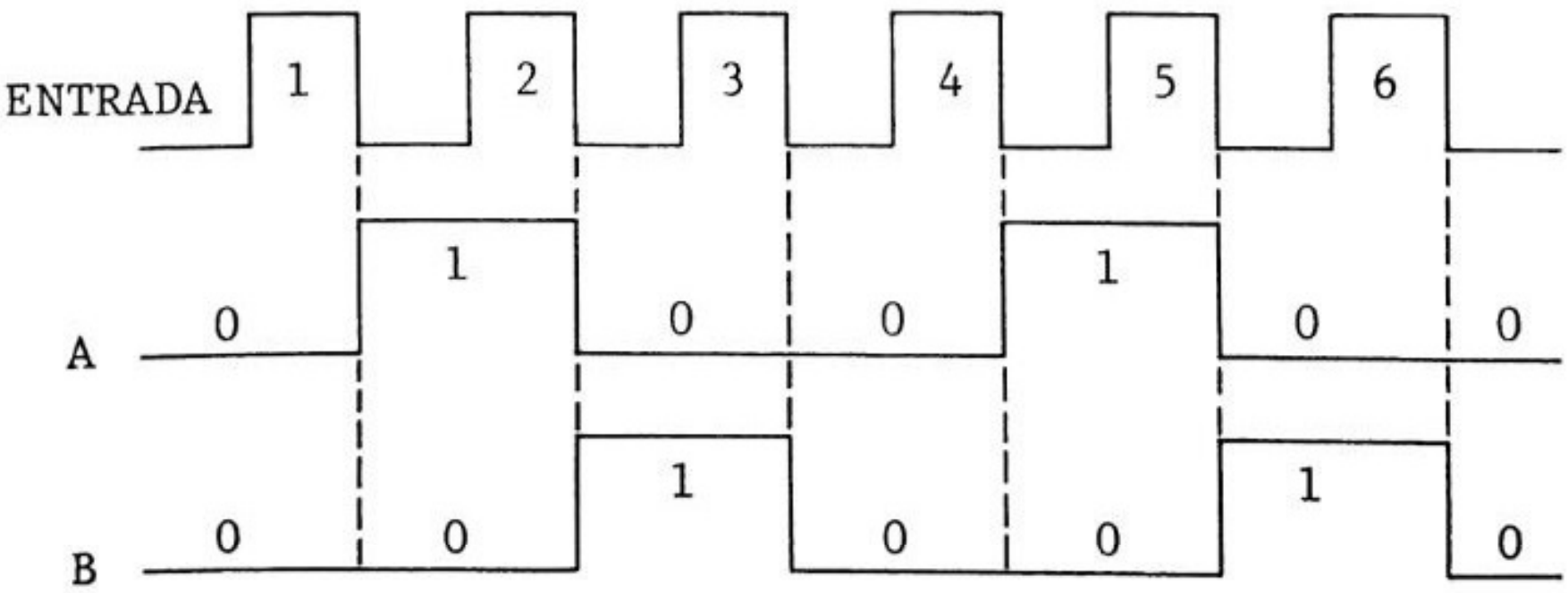
A figura 1 nos mostra um contador de módulo 3. A saída

de qualquer dos flip-flops A ou B tem uma freqüência equivalente a 1/3 daquela da entrada, da contagem. Daí este circuito ser empregado como divisor de freqüência por três.

FIGURA 01



A figura 2 mostra a seqüência de contagem e as formas de onda para o contador módulo três.



FORMAS DE ONDA

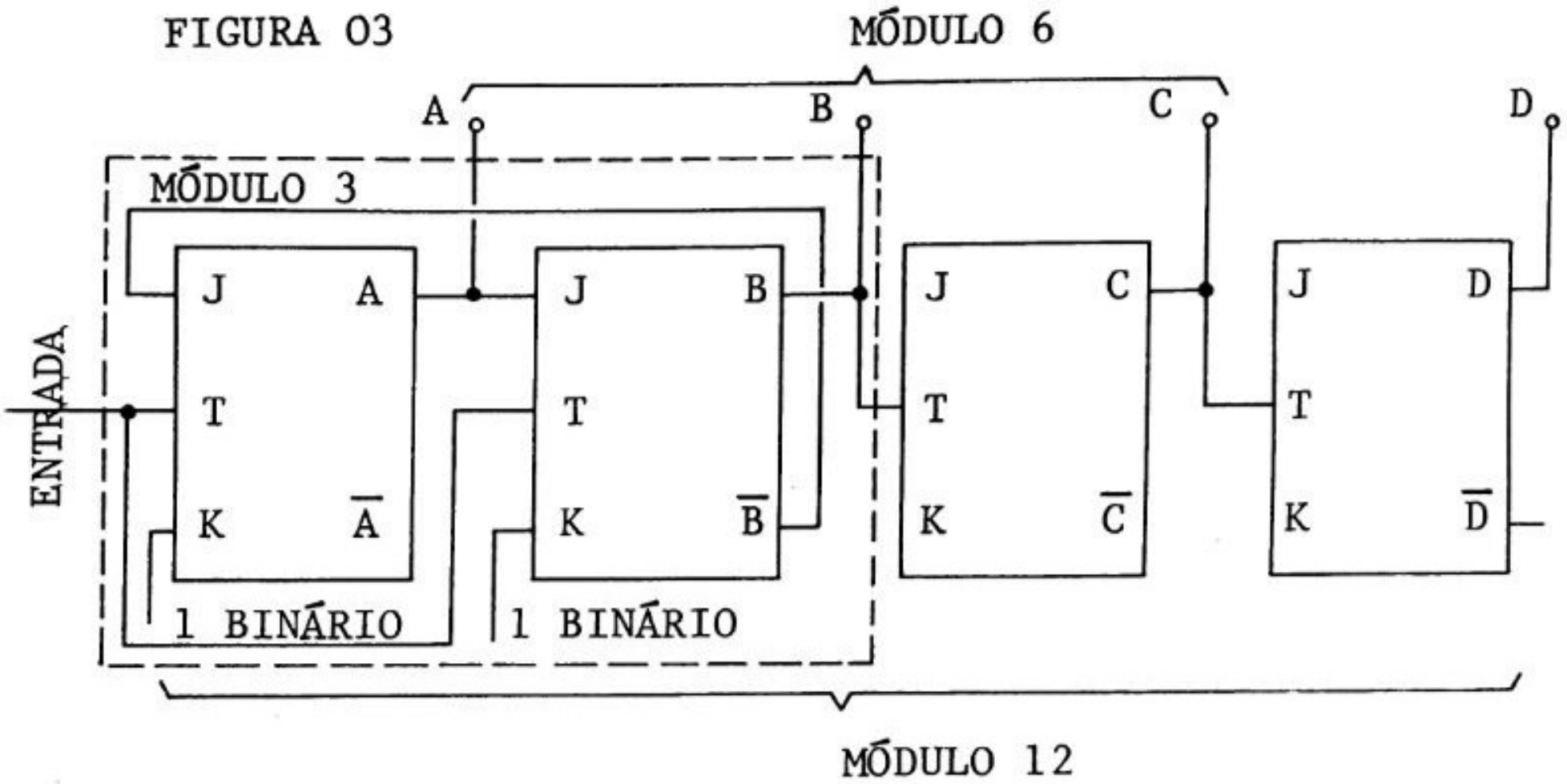
B	A
0	0
0	1
1	0

reciclagem

seqüência de contagem.

Através da ligação, em cascata, de flip-flop JK adicionais ao contador módulo 3, podemos formar contadores de módulos 6 e 12, conforme ilustra o circuito da figura 3.

FIGURA 03



Ligando-se um flip-flop JK à saída do contador módulo 3, teremos um contador módulo seis.

O módulo 3 deverá percorrer seu ciclo de 3 estados por duas vezes, uma com o flip-flop C em reset e outra com o flip-flop C em set, produzindo um total de 6 estados discretos, os quais estão mostrados na tabela A da figura 4. Observando-se bem a tabela, nota-se que a seqüência de estados não corresponde ao código binário comum. Este código é referido como código não determinado.

Para obtermos um contador módulo 12, basta acrescentarmos um outro flip-flop JK à saída do contador módulo 6, o que fará com que este seja ciclado duas vezes em seus seis estados, uma vez com o flip-flop D em reset e a outra em set, produzindo, dessa forma, os 12 estados discritos, apresentados na tabela B da figura 4. O circuito de um contador módulo 12 é mostrado na figura 3.

FIGURA 04

C	B	A
0	0	0
0	0	1
0	1	0
1	0	0
1	0	1
1	1	0

A

D	C	B	A
0	0	0	0
0	0	0	1
0	0	1	0
0	1	0	0
0	1	0	1
0	1	1	0
1	0	0	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	0	1
1	1	1	0

B

Tanto o contador de módulo 6, quando o de módulo 12 podem ser obtidos, colocando-se os flip-flops JK antes do contador módulo 3, ao invés de posposto a este, como o caso apresentado. Entretanto, o código binário, produzido nesse arranjo é diferente daquele obtido pela conexão apresentada na figura 3. Porém caso esses contadores (módulo 6 e 12) venham a ser utilizados como divisores de freqüência, esta sempre será 1/6 ou 1/12 da freqüência de entrada, isto é, a freqüência de saída independe da conexão utilizada.

CONTADOR MÓDULO 5

Esse contador produz cinco estados de bit distintos.

Uma combinação de realimentação e portas lógicas, externas é usada para que o contador conte até cinco. Esse caso é ilustrado através da figura 5.

Com a aplicação da entrada de contagem às entradas T dos 3 flip-flops, consegue-se fazer com que esse contador opere dentro do sistema síncrono.

Na figura 6,temos as formas de onda para o contador módulo 5, bem como uma tabela com a seqüência de contagem desse circuito.

FIGURA 05

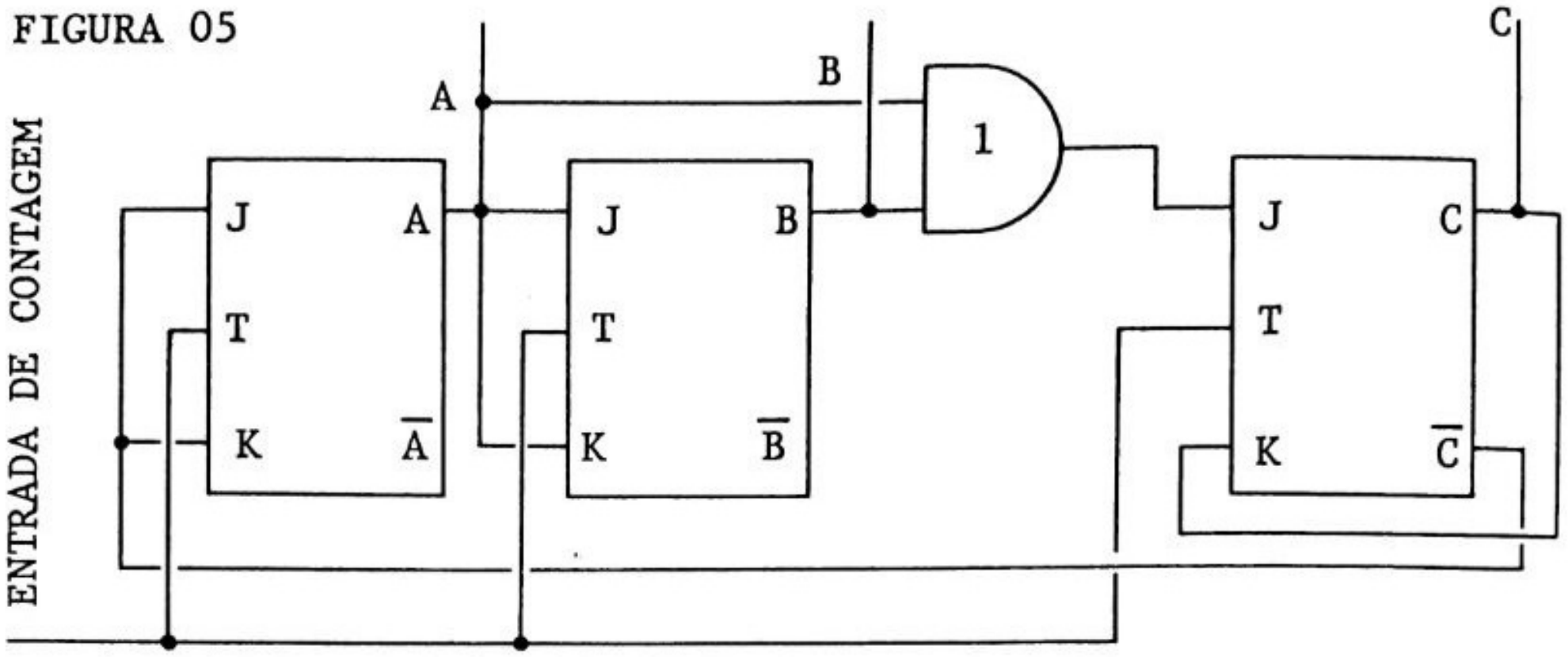
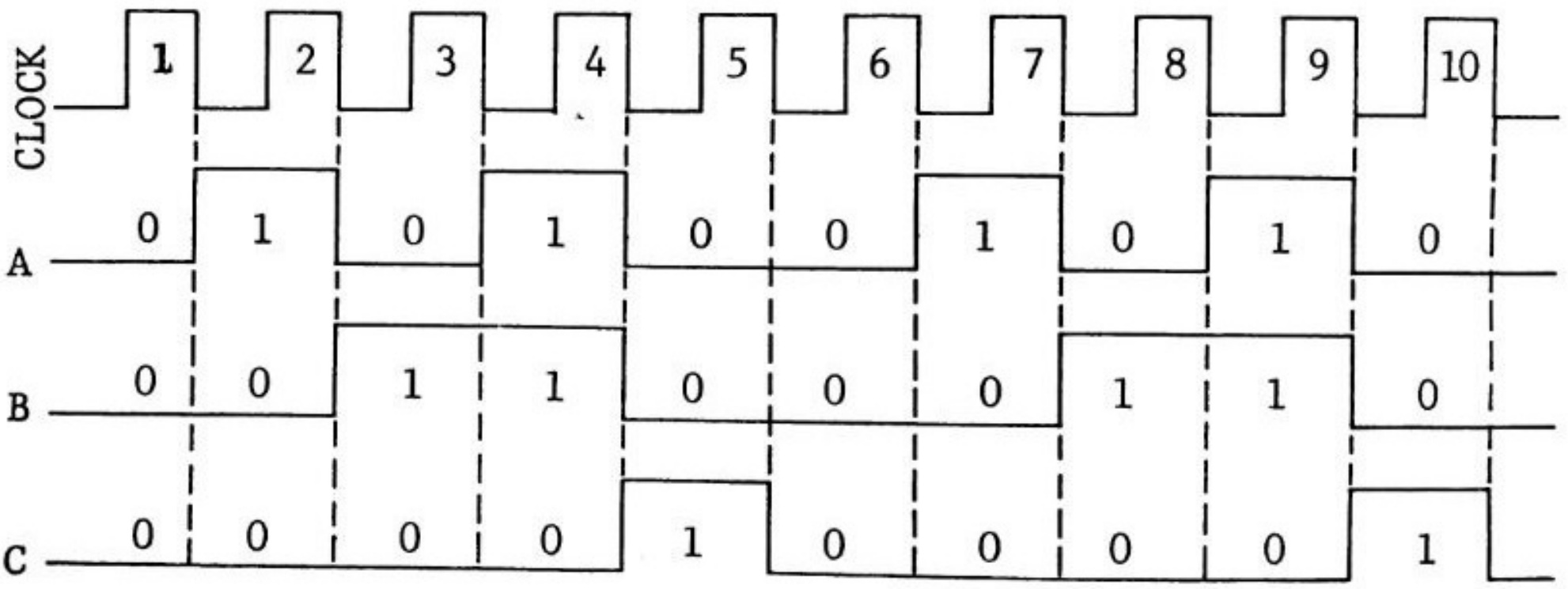


FIGURA 06



Formas de onda

C	B	A
0	0	0
0	0	1
0	1	0
0	1	1
1	0	0

Reciclagem

Tabela (seqüência de contagem)

ANTOLOGIA DO 74193

Apesar de, em muitos casos, termos ainda que implementar contadores com circuitos integrados individuais de flip-flops JK, hoje,a grande maioria das aplicações pode ser satisfeita com o emprego de uma variedade muito grande de circuitos integrados contadores M.S.I.. Como exemplo, podemos citar os contadores binários que são, em sua grande maioria, implementados na forma de circuitos integrados. Com isso,

elimina-se a necessidade de se projetar um contador para cada aplicação. Ao se projetar um equipamento digital, convém, portanto, verificar os tipos de C.Is contadores disponíveis no mercado. Normalmente, encontra-se o tipo adequado para a aplicação que se deseja. Quando isso não for possível, aí sim, será necessário projetar um contador. Entretanto, para aplicações especiais, dispomos de versáteis circuitos flip-flops JK.

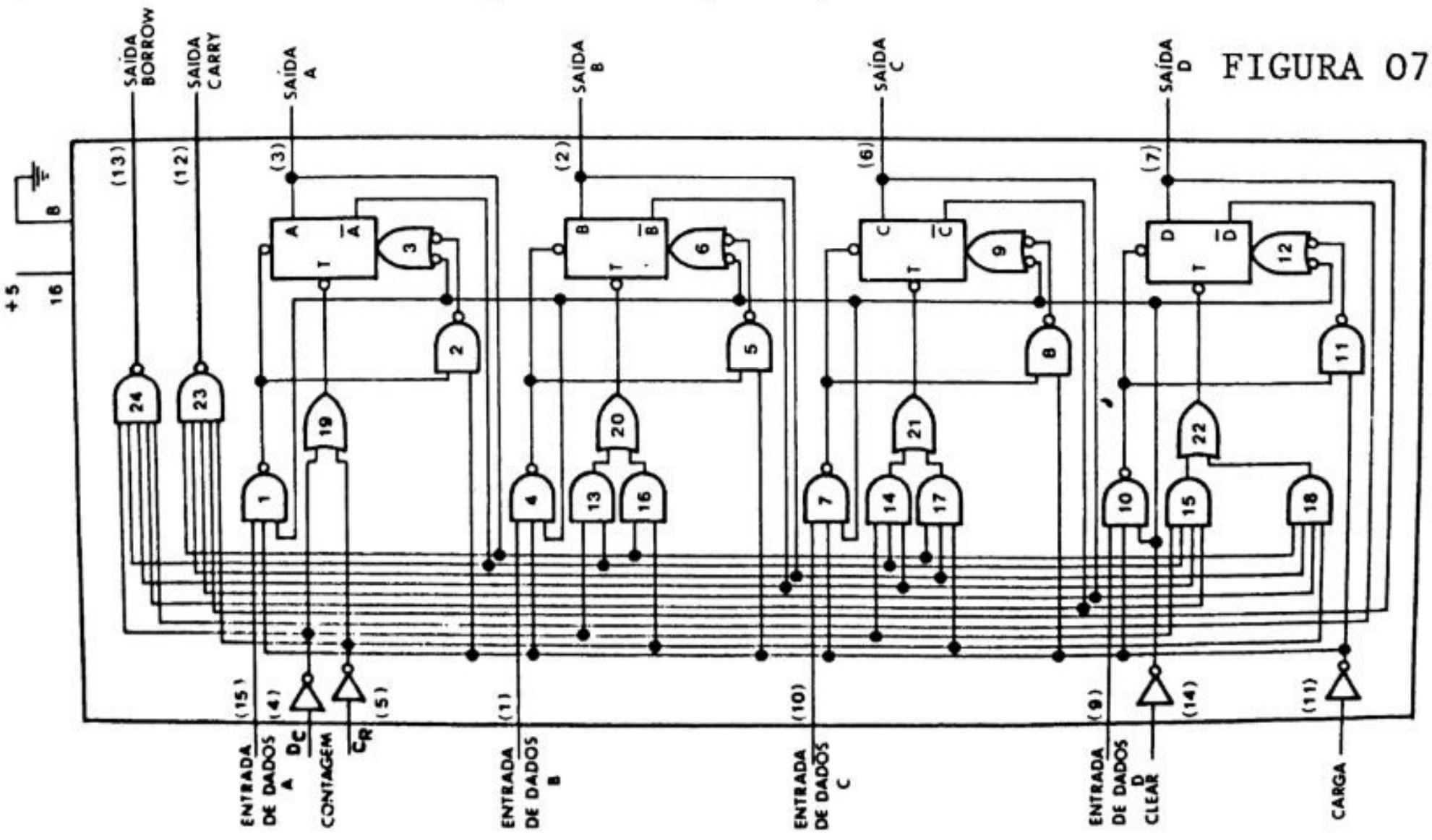
Um dos mais conhecidos e utilizados circuitos integrados de contador binário é o CI-TTL-MSI-74193 (integração em média escala), utilizado tanto para contagem crescente como decrescente. Trata-se, portanto, de um contador síncrono de 4 bits, que apresenta entradas separadas para clear ou para **reset**, bem como a condição de **preset**, a partir de uma fonte externa, paralela de quatro bits.

Resumindo, podemos dizer que esse C.I. possui todas as características do contador binário crescente, estudando anteriormente.

Observando-se a figura 7, notaremos que o contador é constituído por quatro flip-flops JK. As portas 1 a 12 completam o circuito lógico, crescente usado nas operações de **reset** e preset.

Para se obter o reset desse contador, deve-se aplicar um nível binário alto, ou seja, 1 binário à linha de entrada clear. Isso levará os quatro flip-flops ao estado 0 binário. Co-

FIGURA 07



mo a operação de clear é assíncrona, essa anula todas as outras funções do contador.

Para se carregar um contador com um determinado número, basta aplicá-lo diretamente às entradas paralelas de quatro bits. A entrada D é a mais significativa (MSB), enquanto que a entrada A é a menos significativa (LSB).

Esse CI possui duas entradas separadas, crescente/decrescente (UP/DOWN), sendo que os pulsos de entrada (clock), a serem contados, podem ser aplicados tanto à entrada de contagem crescente, quanto à decrescente. Entretanto, para que o contador opere corretamente, a entrada de contagem, que não está sendo utilizada, deverá ser mantida alta ou em 1 binário, isto somente quando injetamos os pulsos a serem contados na outra entrada. Tanto a seqüência de contagem crescente, como a decrescente são iguais às estudadas anteriormente (ver lição anterior).

Para controlar os flip-flops, utilizam-se portas antes das entradas T (ou de clock) dos flip-flops, ao invés de utilizarmos as entradas JK dos flip-flops, como no contador síncrono, estudado na última lição.

Para que o pulso de entrada seja aplicado no tempo apropriado, os estados das portas à frente das entradas T (clock) são controlados pelas saídas dos flip-flops. Esse é o caso das portas 16, 17 e 18 (figura 7). O sinal de contagem crescente é inserido nestas portas simultaneamente. Observamos que as saídas dos flip-flops anteriores são aplicadas às entradas dessas portas com a finalidade de controlar a mudança de estado do flip-flop. Ainda, para o caso de uma operação de contagem decrescente, temos as portas 13, 14 e 15 que desempenham a mesma função descrita acima. Já as portas 20, 21 e 22 são portas "OU" que permitem tanto aos pulsos de contagem crescente como aos decrescentes aparecerem nas entradas T (de clock) dos flip-flops.

Para a ligação, em cascata, de outros contadores, esse C.I. apresenta ainda as portas de saída carry e borrow. Quando houver necessidade de se usar um contador com mais de 16 estados, podemos então ligar, em cascata, vários destes CIs e obtermos, assim, contadores múltiplos de 4.

Na figura 8, temos as formas de onda para as operações crescentes, decrescentes, clear e reset para o contador 74193.

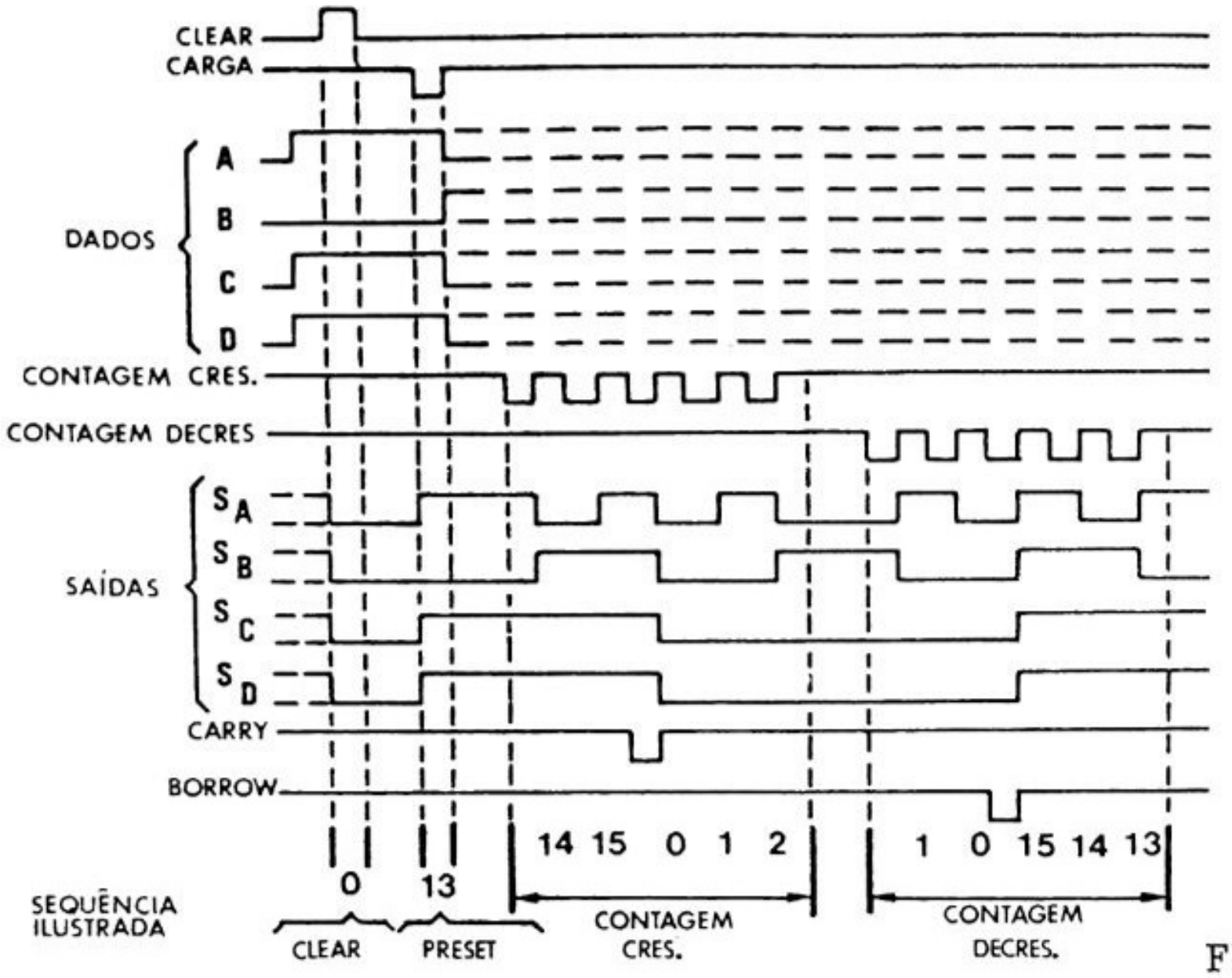


FIGURA 08

Veremos, a seguir, a saída carry. Essa é desenvolvida pela porta 23 (porta NÃO E) que, por sua vez, monitora as saídas normais dos flip-flops.

Quando todas as saídas normais estão em 1 binário e aparece um pulso de contagem crescente, a linha de saída carry deve estar baixa. A duração do pulso de saída carry é a mesma do pulso da entrada de contagem. Esse pulso indica que o contador atingiu seu estado máximo de contagem, ou seja, 1111, e que o próximo pulso de contagem provocará a reciclagem para o estado 0000.

A porta 24 produz a saída borrow. Essa porta monitora as saídas complementares ($\overline{A}$, $\overline{B}$, $\overline{C}$ e $\overline{D}$) dos quatro flip-flops e a entrada de contagem decrescente. Quando o contador atinge o seu menor estado de contagem, ou seja, 0000, com a entrada de contagem alta, a saída da porta 24 deve estar baixa. Isso indica que o próximo pulso de contagem, ao ser aplicado, provocará a reciclagem do contador para o estado 1111.

Como você pode ter observado, quando interligamos, em cascata, vários destes contadores para aplicações de contagem crescente, a saída carry deverá ser conectada à entrada de contagem crescente do próximo contador da seqüência. Porém pa

ra aplicações de contagem decrescente, a saída borrow é conectada à entrada de contagem decrescente do próximo contador da seqüência.

Depois dessa esplanação sobre o 74193, podemos concluir que se trata de um dispositivo de contagem muito flexível, podendo desempenhar praticamente quase todas as funções básicas de contagem, utilizadas em aplicações digitais.

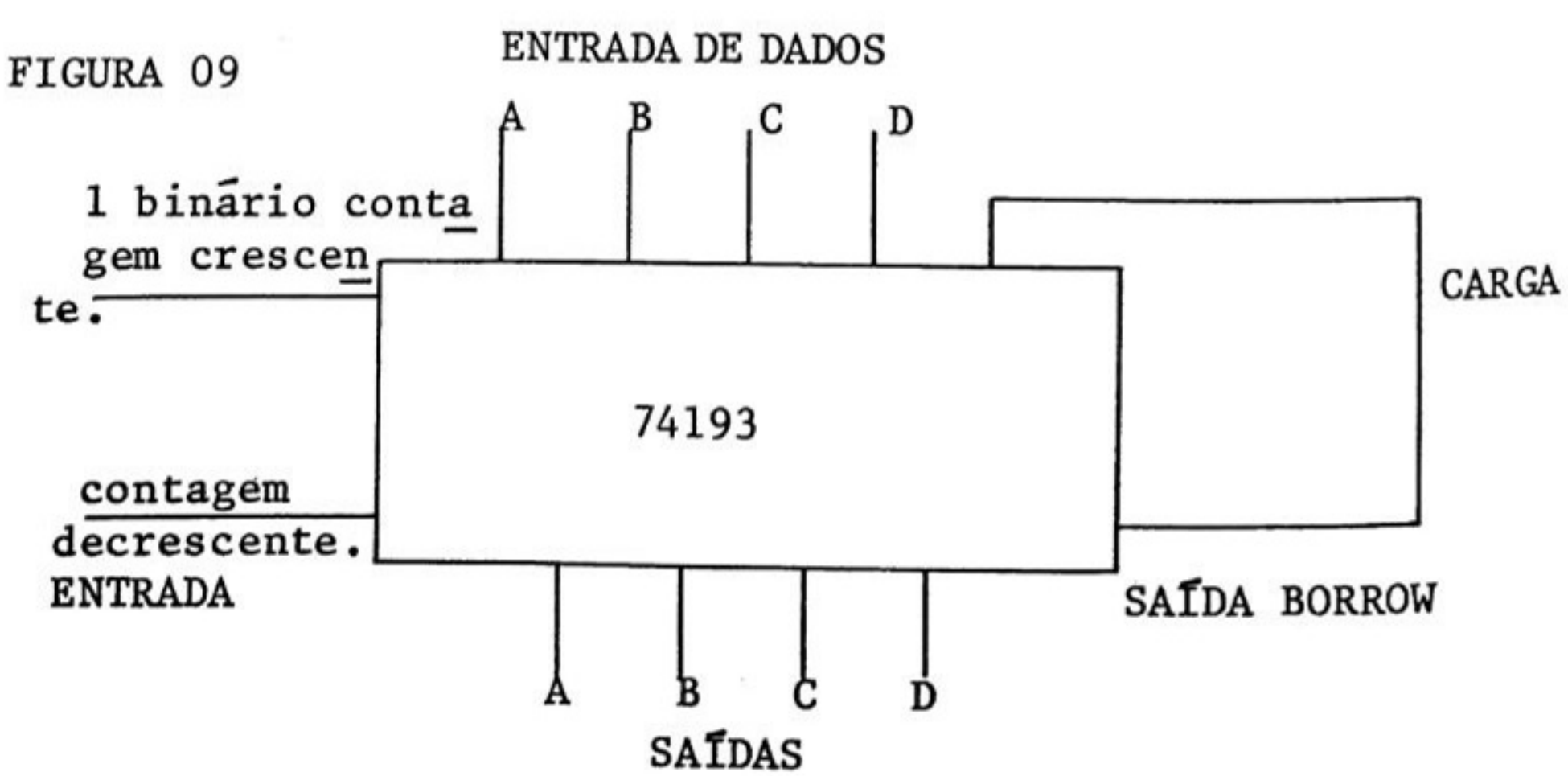
CONTADORES MÓDULO N COM MSI

Vamos utilizar o contador 74193 TTL MSI, como exemplo, uma vez que esse é excelente para implementação de contadores módulo N. A figura 9 mostra o contador 74193 ligado como um contador módulo N. Como já dissemos, para aplicações de divisão de freqüência, o fato da contagem ser no modo crescente ou decrescente não influirá no valor final da freqüência.

O contador da figura 9 está conectado para contagem decrescente, portanto a entrada de contagem crescente é mantida em 1 binário, enquanto os pulsos de entrada são injetados à entrada de contagem decrescente. Podemos verificar que a linha de saída **borrow** é realimentada para a linha de entrada do contador.

O módulo do contador será equivalente ao número binário aplicado às entradas de dados Por exemplo, para obtermos um

FIGURA 09



contador módulo 5, devemos conectar às entradas de dados (A, B,C e D) o correspondente número binário, ou seja, 0101. A tabela da figura 10 nos traz o equivalente binário do número decimal, aplicado às entradas de dados.

Na realidade, é feito o preset no contador, aplicando-se em suas entradas o número binário correspondente ao módulo N. Então o contador é decrementado pelos pulsos de entrada, contando, no modo decrescente binário, até que o estado zero seja atingido. Nesse instante a linha de saída borrow vai para O e novamente é feito o preset no contador do número aplicado à entrada de dados. Esta seqüência repete-se, enquanto forem aplicados pulsos à entrada de contagem.

Assim que a saída borrow atingir o valor 0 binário,o número binário, injetado nas entradas de dados é imediatamente carregado para o contador. Porém, logo que o número binário der entrada no contador, a saída borrow desaparece, pois o estado do contador não é mais 0000. Para que isso aconteça com segurança, a duração do pulso da entrada de clock deverá ser maior que o atraso de propagação total das portas do contador, associado ao número em preset nas entradas de dados. Mas o atraso interno de propagação do circuito é tal que todos os flip-flops passam para preset, antes que a saída borrow desapareça.

Para aumentarmos a confiabilidade do contador, uma vez que o atraso de propagação depende de todos os seus circuitos internos, podemos adicionar algum atraso de propagação entre a saída borrow e a entrada de carga. Isso pode ser obtido, conectando-se, entre os dois pinos do circuito, alguns inversores ligados em cascata. Porém deve-se ter o cuidado de assegurar que o número de inversores usados seja adequado para que não haja troca da polaridade do sinal binário aplicado.

FIGURA 10

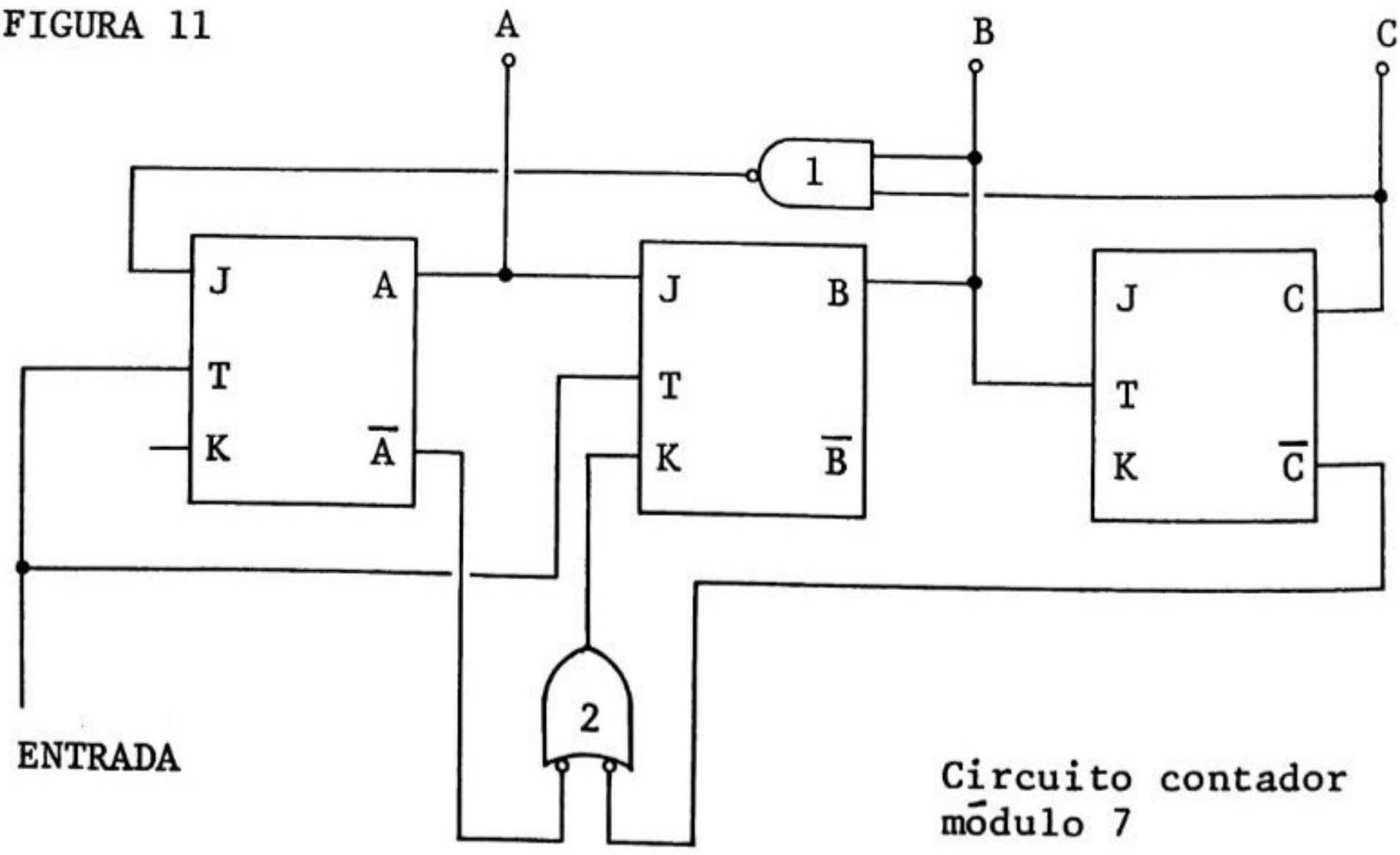
MÓDULO	DADOS DE ENTRADA			
	D	C	B	A
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1

dados das entradas paralelas e os módulos decimais relacionados.

CONTADOR MÓDULO 7

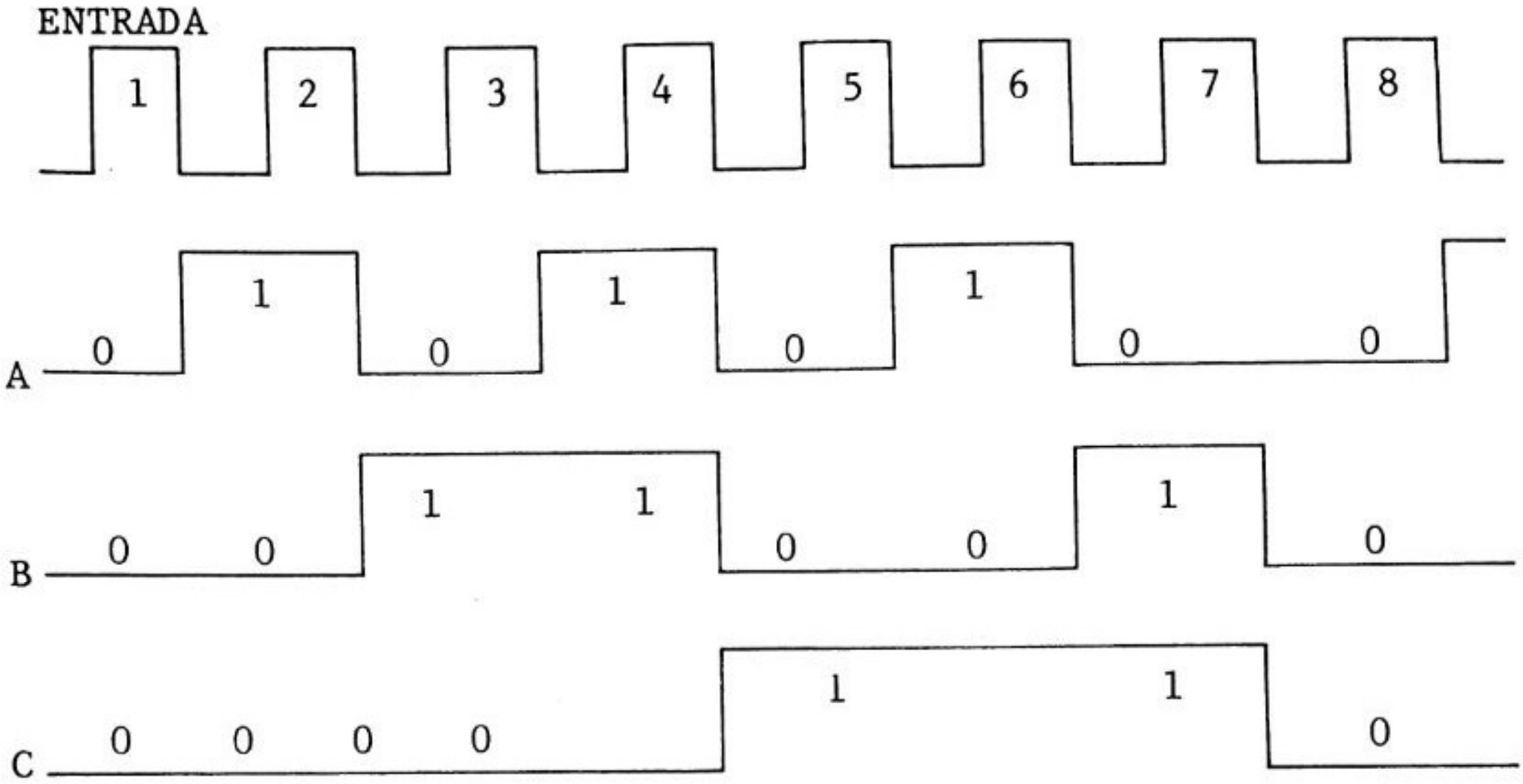
A figura 11 (a seguir) nos mostra as formas de onda e a seqüência de contagem para um contador módulo sete (7), bem como o respectivo circuito.

FIGURA 11



Circuito contador módulo 7

FIGURA 11



Formas de onda para o contador módulo 7.

C	B	A
0	0	0
0	0	1
0	1	0
0	1	1
1	0	0
1	0	1
1	1	0

seqüência de contagem para o contador módulo 7.

CONTADORES DA SÉRIE 54/74

Esta série (54/74) apresenta vários contadores que preenchem muitos dos requisitos usuais. Suas principais características são mostradas na tabela da figura 12. Cabe ainda acrescentar, com relação à tabela da figura 12, que os quatro primeiros (SN54/7490 até SN54/14L93) são assíncronos, enquanto que os quatro restantes são síncronos.

Como você pode observar o contador SN54/74193 já foi estudado anteriormente.

TIPOS	MODO	TOTALMENTE PROGRAMÁVEL	BIDIRECIONAL	MÁXIMA FREQÜÊNCIA DE CLOCK	DISSIPAÇÃO TÍPICA DE POT. mW.
SN54/7490	÷2÷5÷10 Década	Não, apenas para 1001	Não	18 mHz	160
SN54/7492	÷2÷3÷6÷12	Não	Não	18 mHz	155
SN54/7493 e SN54/74L93	÷2÷4÷8÷16 Binário	Não	Não	18 mHz 3 mHz	160 16
SN54/74190	Década Síncrona	Direto	Sim	30 mHz	325
SN54/74191	Binário Síncrono	Direto	Sim	30 mHz	325
SN54/74192	Década Síncrona	Direto	Sim	32 mHz	325
SN54/74193	Binário Síncrono	Direto	Sim	32 mHz	325

CEDM
CURSOS DE APERFEIÇOAMENTO

CURSO DE ELETRÔNICA DIGITAL E MICROPROCESSADORES

CAIXA POSTAL 1642 - CEP 86100 - LONDRINA - PARANÁ

EXAME DA LIÇÃO ED-19

OBSERVAÇÃO

- cada questão é composta de três ou quatro alternativas.
- só uma delas está correta.
- marque a que considerar correta.
- passe as respostas corretas para a folha de exame.

1) Um contador binário construído com dois CIs 74193 tem uma capacidade máxima de contagem de zero(0) até:

a) 255;
b) 256;
c) 16.

2) A saída borrow em um contador 74193 detecta o estado:

a) 1111;
b) 0000;
c) 1001.

3) A operação síncrona dos flip-flops, no contador 74193, é obtida, controlando as:

a) entradas T;
b) entradas JK;
c) as entradas set e clear.

4) O carregamento de um determinado número em um contador, chama-se:

a) borrow; b) carry; c) preset.

5) A saída borrow é conectada à entrada de contagem:

a) crescente;
b) decrescente;
c) preset.

6) A saída carry é conectada à entrada de contagem:

a) borrow; b) decrescente; c) crescente.

7) Quanto ao 74193, para aplicações de divisão de freqüência, podemos afirmar que:

a) o contador deverá contar no modo crescente, para que não influa no valor final da freqüência;
b) o contador deverá contar no modo decrescente, para que não influa no valor final da freqüência;
c) tanto faz o contador contar no modo crescente ou decrescente, pois esse fato não influirá no resultado final da freqüência.

8) Para se obter um contador de módulo 9 com MSI, basta conectar às entradas de dados o seguinte nº binário:

a) 1001;
b) 0001;
c) 1111.

9) Para se obter um contador de módulo 12 com MSI, basta conectar às entradas de dados o seguinte nº binário:

a) 1011;
b) 1100;
c) 1101.

10) As portas borrow e carry são utilizadas para ligações:

a) em cascata;
b) mistas;
c) reversas.

CEDM
CURSOS DE APERFEIÇOAMENTO

CURSO DE
ELETRÔNICA DIGITAL E
MICROPROCESSADORES

CAIXA POSTAL 1642 - CEP 86100 - LONDRINA - PARANÁ

LIÇÃO ED-20

REGISTRADORES DE DESLOCAMENTO

INTRODUÇÃO:

Trata-se de um circuito lógico, seqüencial cuja função principal é a de armazenamento de dados ou memória. Também - são conhecidos por "Shift register".

Do mesmo modo que os contadores, os registradores de deslocamentos são formados por elementos binários de armazenamento, constituídos, muito comumente, de flip-flops, embora existam outras formas de constituí-los.

Um registrador de deslocamento é constituído, basicamente, de um grupo de flip-flops ligados em cascata, ou seja, a saída de cada elemento é ligada à entrada do seguinte. Este tipo de ligação (cascata) nos possibilita a movimentação ou deslocamento dos bits acumulados de um elemento a outro adjacente. Todos os registradores são acionados por um único pulso de entrada de clock ou pulso de deslocamento;sincronicamente.

A aplicação básica do registrador de deslocamento é a de um meio de armazenamento, onde uma ou mais palavras binárias podem ser acumuladas. Devido a sua capacidade de deslocar o dado,um bit por vez, de um elemento de armazenamento a outro, este é amplamente utilizado para desempenhar uma série de operações lógicas.

Procuraremos, nesta lição, focalizar as principais características dos registradores de deslocamento, bem como suas aplicações.

Veremos,inicialmente,o estudo operacional dos registradores de deslocamento.

ESTUDO OPERACIONAL DE UM REGISTRADOR DE DESLOCAMENTO

Vamos supor um registrador de deslocamento constituído de cinco (5) elementos binários de armazenamento com o número binário 01011 armazenado no registrador de deslocamento. Pretende-se transferir para o shift register uma outra palavra, 11010, que foi gerada externamente. Assim que ocorrer o primeiro pulso de clock, o número armazenado, inicialmente, (01011) no registrador, é deslocado um bit de posição para a direita e o bit, que se encontrava na extremidade direita, é removido para fora e perdido. Ao mesmo tempo, o primeiro bit da palavra, que se quer transferir (11010), é deslocado para a primeira posição à esquerda do registrador.

A figura 1 ilustra a operação de um registrador de deslocamento, mostrando passo a passo o resultado, após a aplicação de pulsos de deslocamento adicionais.

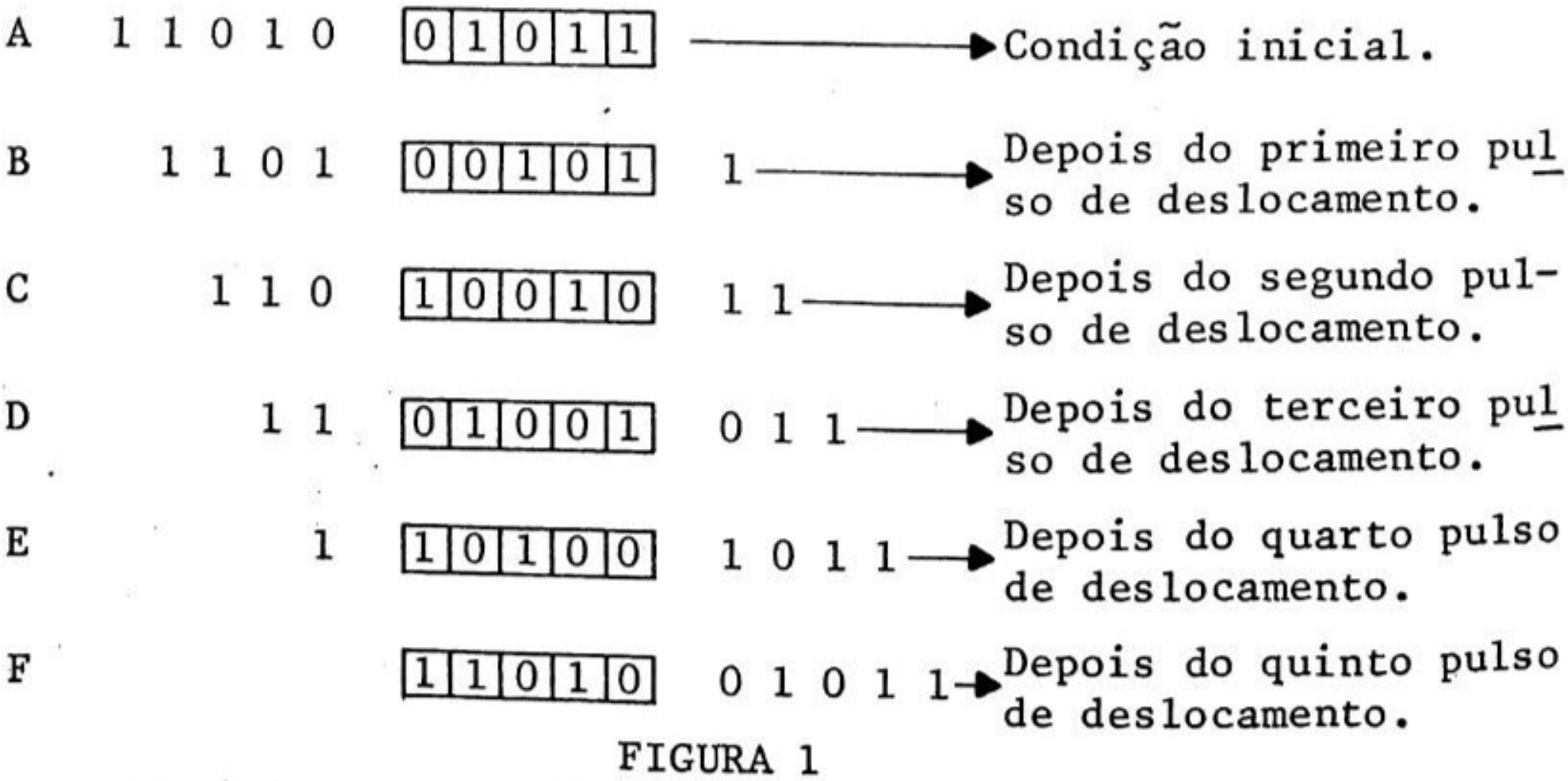


FIGURA 1

Verifica-se, facilmente, que após cinco pulsos de deslocamento, o número, inicialmente acumulado no registrador, foi completamente removido e perdido. Sendo que o nú

mero, em série, que aparecia na entrada, à esquerda, foi totalmente deslocado (transferido) para o registrador e aí permanecendo.

A ilustração acima ainda nos mostra que a operação básica do registrador é, por natureza, em série, ou seja, o dado é movido ou transferido, em série, um bit de cada vez, para dentro ou para fora do registrador. Podemos dizer que, na maioria dos casos, as operações dos registradores de deslocamento são operações em série. Porém existem muitos circuitos com entradas e saídas paralelas, onde os dados são injetados paralelamente e, na saída, são lidos também em paralelo. Quando o registrador de deslocamento possuí a capacidade de combinar ambas as operações (série e paralelo), este torna-se um circuito ideal para desempenhar conversões série/paralelo e paralelo/série.

Ainda com relação à figura 1, podemos afirmar que os pulsos de clock ou de deslocamento possuem total controle sobre a operação do registrador, ou seja, o dado é deslocado um bit de posição para cada pulso de deslocamento.

Na figura 1,o dado foi transferido ou movido para a direita, embora, em outros registradores, seja possível deslocar dados para a esquerda. Com isso, concluímos que o sentido de deslocamento é determinado pelo projeto. A grande maioria dos registradores são do tipo deslocamento para a direita.

REGISTRADORES DE DESLOCAMENTOS LÓGICOS BIPOLARES

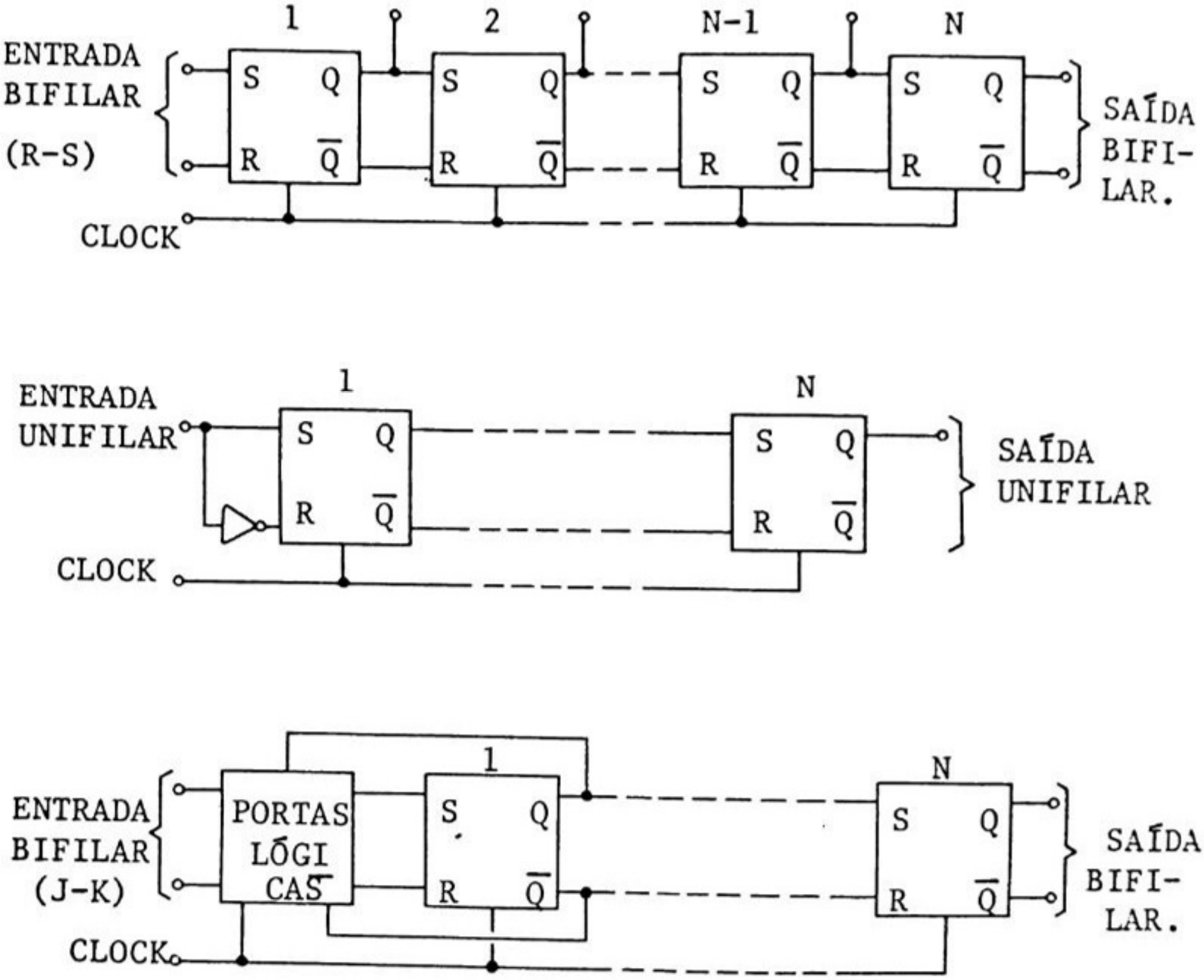
Formados por flip-flops J-K individuais, também podem ser apresentados em várias configurações na forma MSI (integração em média escala), os quais serão estudados no próximo tópico.

Normalmente, os registradores de deslocamento, construídos a partir de circuitos lógicos bipolares, como: TTL e ECL são implementados com flip-flops J-K, podendo também ser utilizados flip-flops tipo D. Porém os registradores de deslocamentos implementados com flip-flops J-K são muito mais versáteis.

As entradas e as saídas desses registradores de desloca-

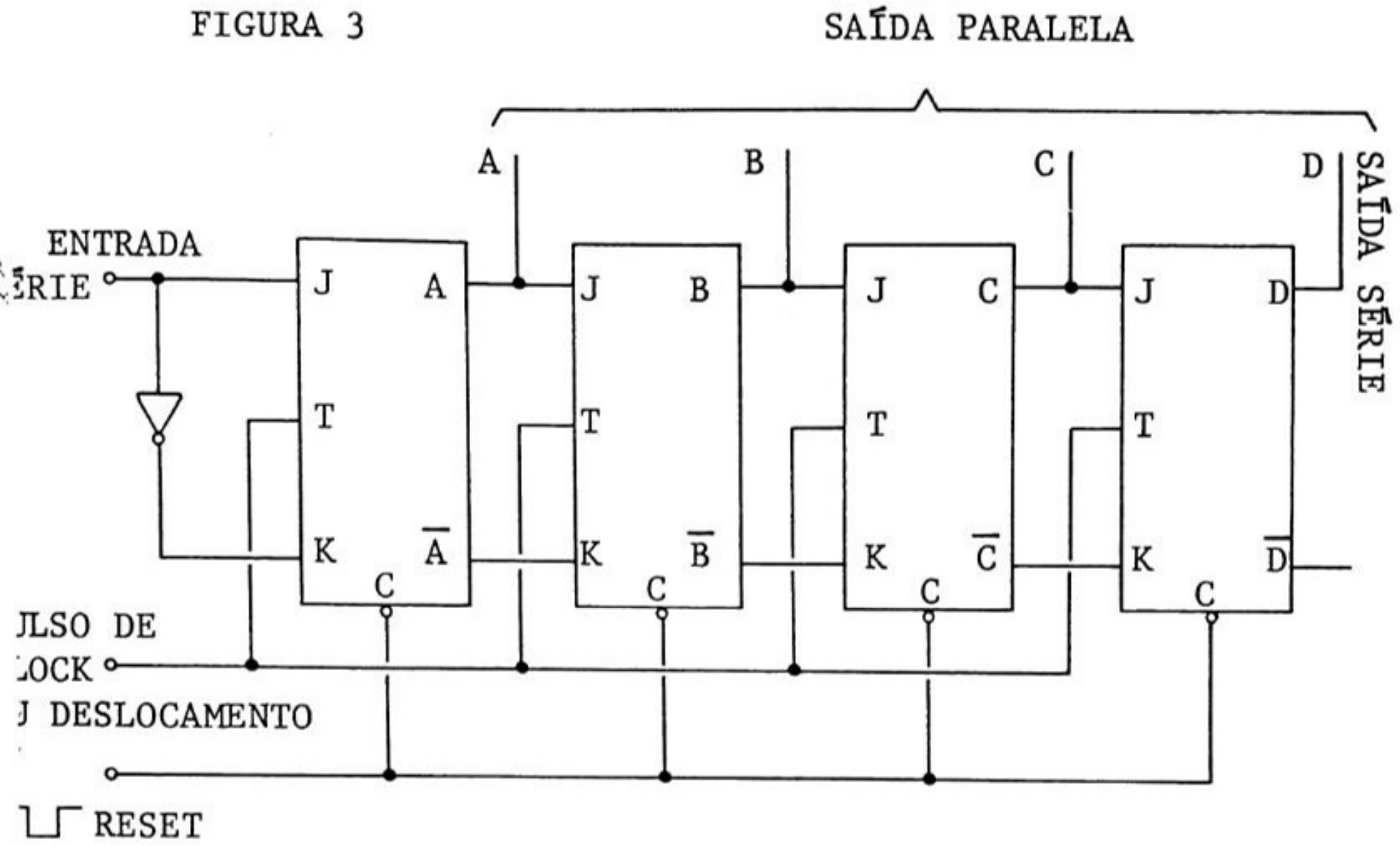
mento podem ser unifilar ou bifilar. Na figura 2, temos exemplos, os quais mostram quando uma entrada/saída é unifilar ou bifilar.

FIGURA 2



Na figura 3,temos um registrador de deslocamento de 4 bits, construído com flip-flops J-K. Temos, neste caso, entrada unifilar, onde o dado da entrada série e seu complemento são injetados nas entradas J-K do flip-flop A. A partir daí, os demais flip-flops são ligados em cascata. A linha de entrada de clock (T) é comum para todos os flip-flops. Os pulsos de clock de deslocamento são aplicados a esta linha.

FIGURA 3



Observe que as entradas de apagamento assíncronas, em cada flip-flop, são juntamente ligadas, formando uma única linha de reset. A aplicação de " 0 binário " a esta linha faz com que o registrador assuma a condição reset.

Para o registrador de deslocamento, são válidas as técnicas de preset, descritas para os contadores binários.

O registrador de deslocamento, apresentado na figura 3, é do tipo deslocamento para a direita, ou seja, os dados injetados na entrada deverão ser deslocados para a direita através dos flip-flops. Cada pulso de clock ou de deslocamento fará com que o dado presente na entrada, bem como aquele já armazenado no registrador de deslocamento, seja deslocado 1 bit para a direita.

Para estudarmos a maneira de operar do circuito, suponhamos, inicialmente, que o registrador de deslocamento esteja em reset, ou seja, as saídas A,B,C e D dos flip-flops estejam em "0 binário". Na descida do primeiro pulso de clock, o "1 bi

nário", que é o estado da entrada série, será carregado(transferido) para o flip-flop A, antes da aplicação do primeiro - pulso de deslocamento.

O flip-flop irá para set, assim que ocorrer o pulso de clock ou de deslocamento.

E este primeiro pulso de deslocamento também é aplicado a todos os outros flip-flops. Com isto, o estado "0 binário", inicialmente armazenado no flip-flop A, será transferido ao flip-flop B. Analogamente, os estados armazenados nos flip-flops B e C serão transferidos para os flip-flops C e D ,respectivamente.

E como o estado inicial dos flip-flops era "0 binário", a transferência de estados nos flip-flops B, C e D, com a aplicação do primeiro pulso de deslocamento, não ficará muito clara.

E a aplicação do primeiro pulso de deslocamento levará o flip-flop A à condição de set, enquanto os flip-flops B, C e D permanecerão em reset. Quando ocorrer o segundo pulso de clock ou de deslocamento, teremos,na entrada do flip-flop A, " 0 binário", o qual será passado (transferido) para este - flip-flop. Com isto, o flip-flop A, que antes se encontrava - em set, passa para reset, enquanto que o flip-flop B passa para a condição de reset. Desta forma, os dois primeiros bits da palavra (dado 0101) já foram carregados no registrador.

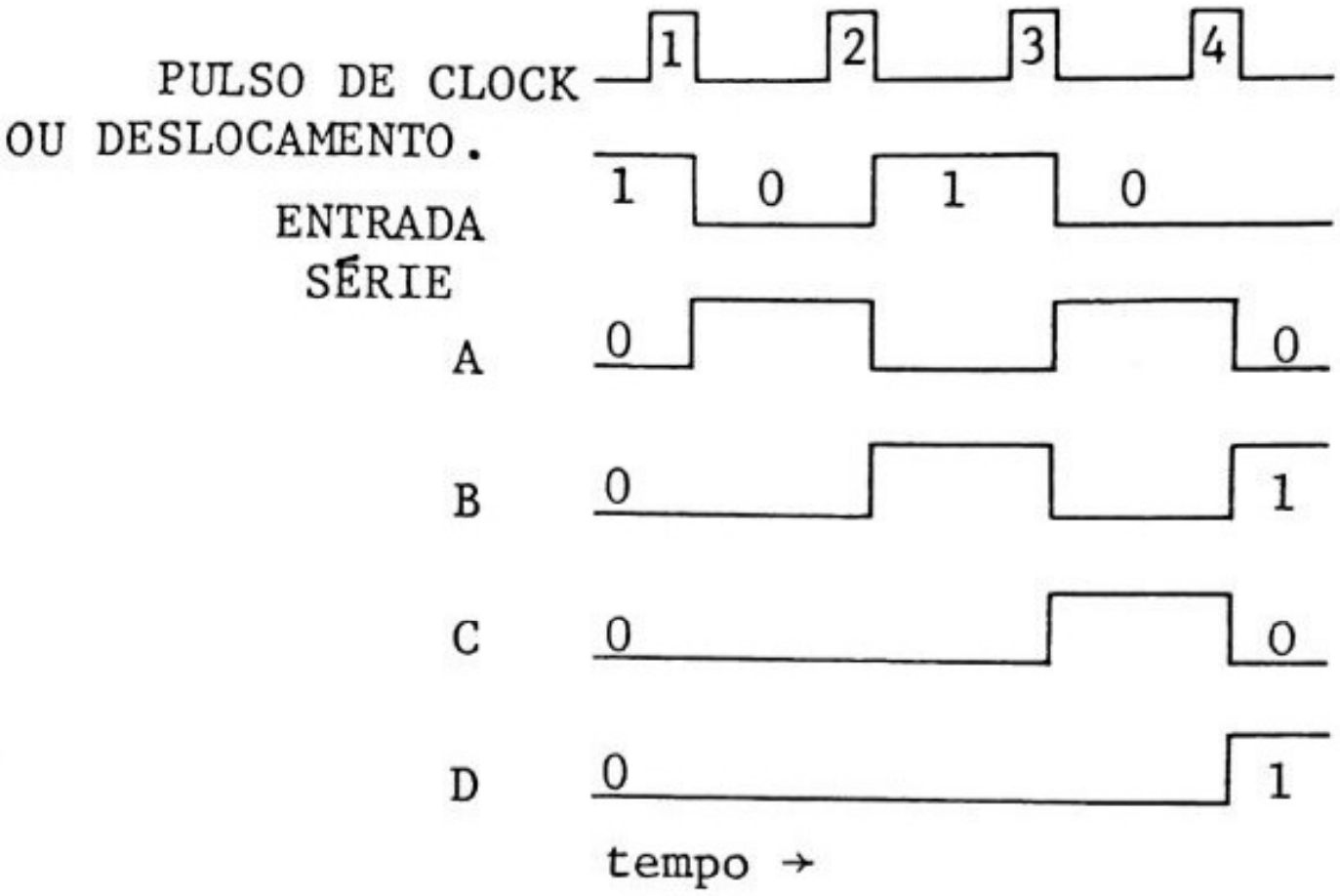
Agora temos a entrada série em "1 binário",representando o terceiro bit da palavra da entrada. Assim que ocorrer o terceiro pulso de deslocamento, o flip-flop A mudará para a condição de set. Assim o "0 binário",armazenado no flip-flop A, será transferido para o flip-flop B. O "1 binário", que se encontrava armazenado no flip-flop B, será transferido para o flip-flop C, enquanto que o flip-flop D permanecerá em reset.

Temos agora, na entrada série do flip-flop A,"0 binário". Com a descida do quarto pulso de clock, o flip-flop A mudará para reset. Com isto, o "1 binário", que aí se encontrava armazenado, será transferido para o flip-flop B. O "0 binário", acumulado em B, será transferido para C e o "1 binário", que estava armazenado em C, será deslocado para o flip-flop D.

Como se pode ver, após quatro pulsos de deslocamento, a palavra binária (0101) de quatro bits estará transferida para

o registrador, como indicam os estados representados pelas formas de onda da figura 4.

FIGURA 4



Embora, no exemplo acima, apresentamos um registrador de apenas 4 bits, podemos interligar tantos flip-flops quantos forem necessários para formar registradores de deslocamento maiores. Nos sistemas digitais mais modernos,os registradores de deslocamento já estão se apresentando com número de bits múltiplo de quatro.

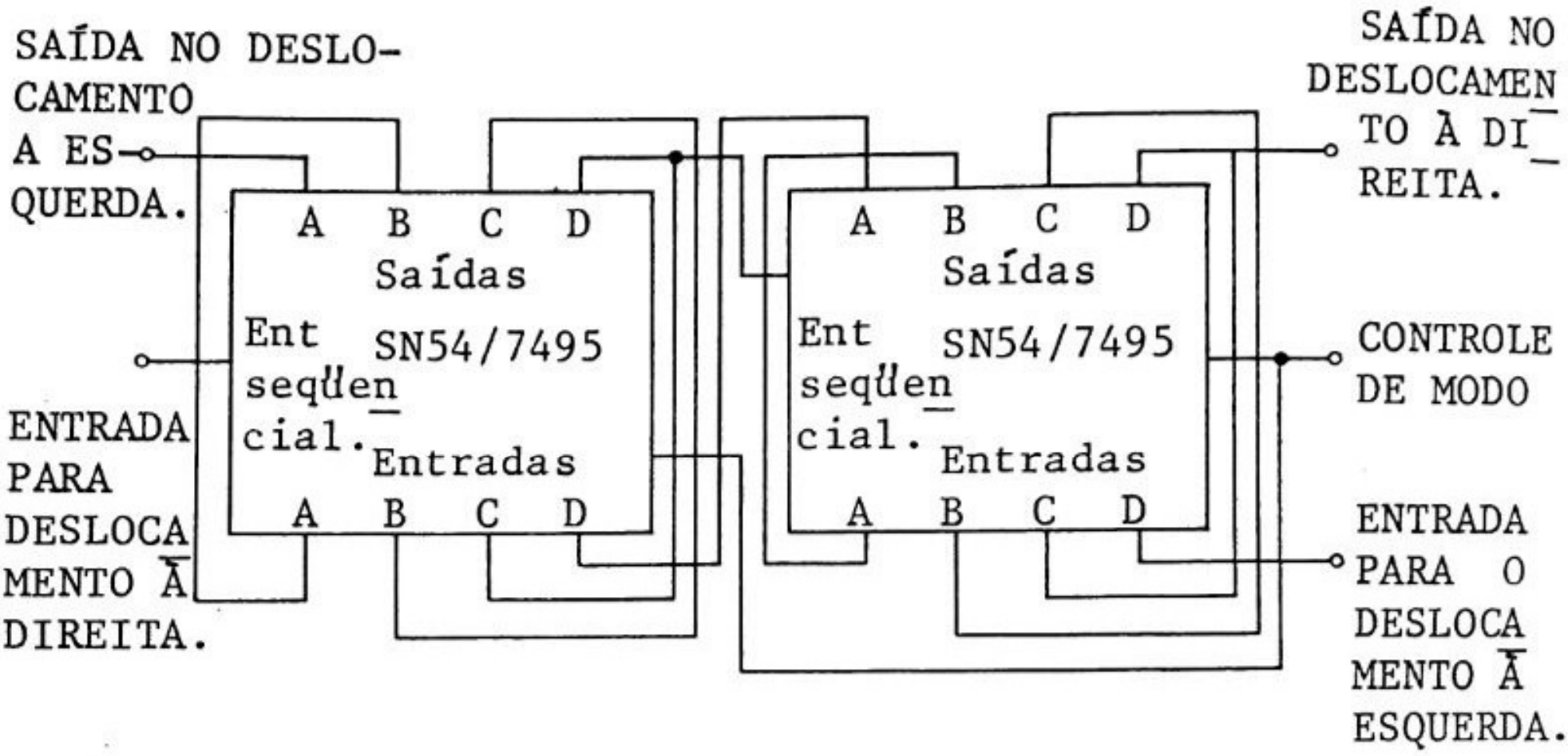
REGISTRADORES DE DESLOCAMENTO MSI

Normalmente, são encontrados em tamanhos de quatro e de oito bits.

Vamos, como exemplo, fazer uma breve análise do registrador, direita/esquerda, para 4 bits. A esta categoria pertencem o SN54/7495 e o SN54/74LS95, com capacidade de carregamento paralelo e saídas de todos os flip-flops disponíveis. Ambos são construídos a partir de 4 flip-flops, com ligações apropriadas de portas nas entradas J-K.

Na figura 5, abaixo, temos um diagrama de bloco do registrador de deslocamento direita/esquerda, para oito bits, usando o SN54/7495 ou SN54/74L95.

FIGURA 5



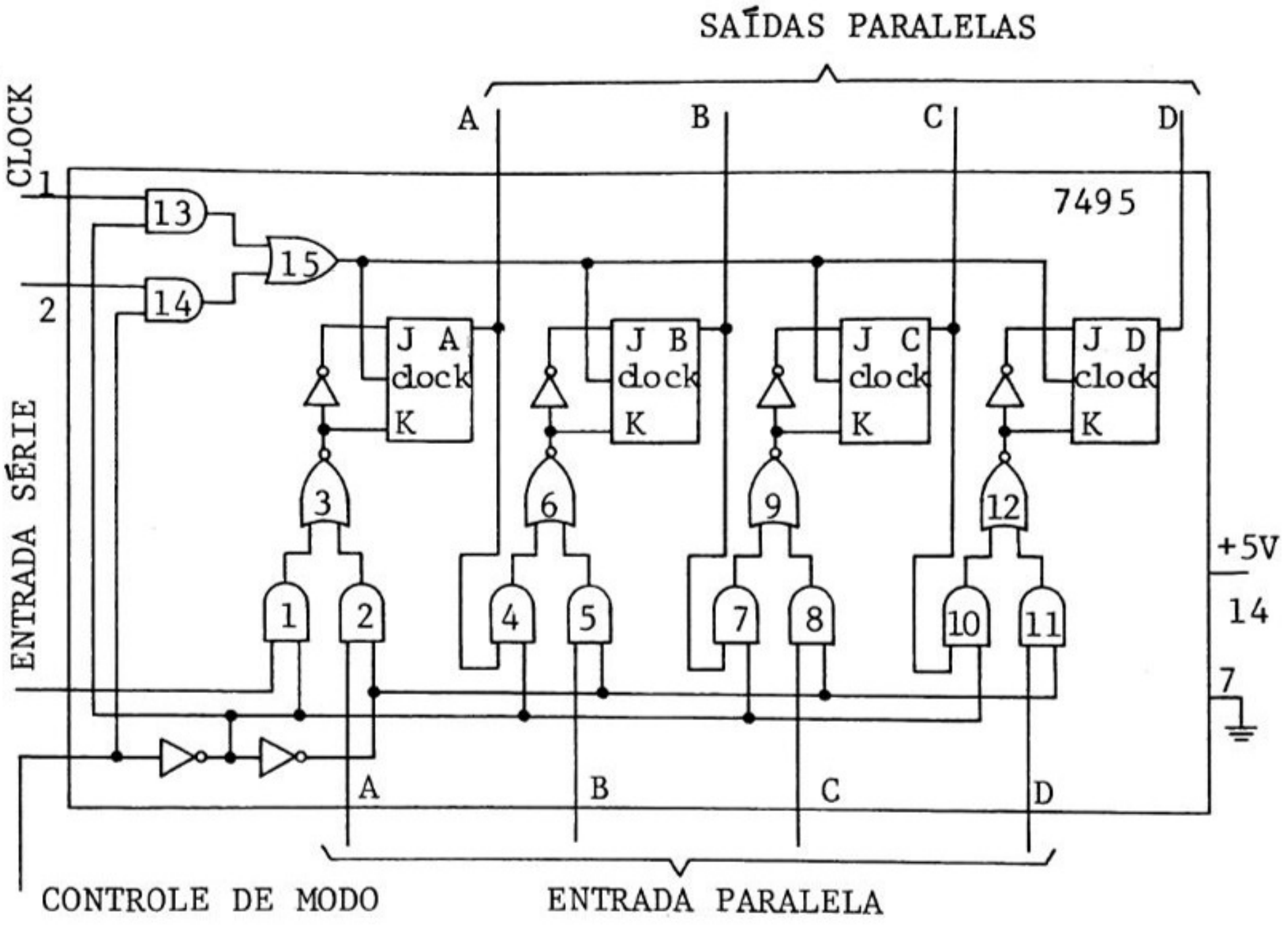
Observe-se que uma linha de entrada de controle de modo (direita/esquerda) controla as portas de entrada. Este mesmo controle de modo também opera o circuito de seleção da entrada de clock. Para que o registrador opere com deslocamento para a direita, a entrada de controle de modo deverá encontrar-se em "0 binário". Com isto, as portas 1, 4, 7 e 10 estarão liberadas. Note-se ainda que um "0 binário" na entrada de controle de modo libera também a porta 13, o que vem permitir ao pulso de "clock 1" passar pelas portas 13 e 15, para controlar os flip-flops. A entrada em série é aplicada à porta 1 e passa através da porta 3 para as entradas J-K do flip-flop. Nestas condições, o registrador desempenha a função comum de deslocamento para a direita.

Na figura 6, a seguir, temos o diagrama lógico do registrador SN54/7495 TTL MSI.

Para que o registrador opere com deslocamento para a esquerda, é necessário que a linha de controle de modo esteja em "1 binário" e que as linhas de entrada paralela estejam conectadas às saídas apropriadas dos flip-flops, ou seja, a

saída do flip-flop D, ligada à entrada de dados do flip-flop C,a saída do flip-flop C,conectada à entrada de dados do flip-flop B e a saída do flip-flop B,conectada à entrada de dados

FIGURA 6



do flip-flop A. A entrada de dados do flip-flop D é usada como linha de entrada, em série, para os dados externos. Ao serem aplicados pulsos de clock à porta 14,os dados devem ser deslocados à esquerda, de D para C, C para B e de B para A.

Com esta conexão, a entrada de controle de modo funciona como uma linha de controle de deslocamento para a esquerda ou para a direita.

A tabela da figura 7 nos mostra uma comparação de registradores de deslocamento TTL, MSI, focalizando alguns dos mais importantes aspectos dos registradores de deslocamento das séries 54/74 padronizadas.

TABELA DE COMPARAÇÃO DE REGISTRADORES DE DESLOCAMENTO TTL

FIGURA 7

Tipo	Dimensão em bits	Entrada do primeiro estágio	Saída do último estágio	Carregamento paralelo	Todas as saídas dos FF disponíveis	Leva a -0	Leva a -1	Dissipação de potência mW	Freqüência de clock
SÉRIE PADRONIZADA									
SN54/7491A	8	SR	DR	Não	Não	Não	Não	175	18
SN54/7494	4	SR	SR	Não	Não	Sim	Sim	175	15
SN54/7495	4	SR	SR	Sim	Sim	Não	Não	250	31
SN54/7496	5	SR	SR	Não	Sim	Sim	Sim	240	15

APLICAÇÕES DOS REGISTRADORES DE DESLOCAMENTO:

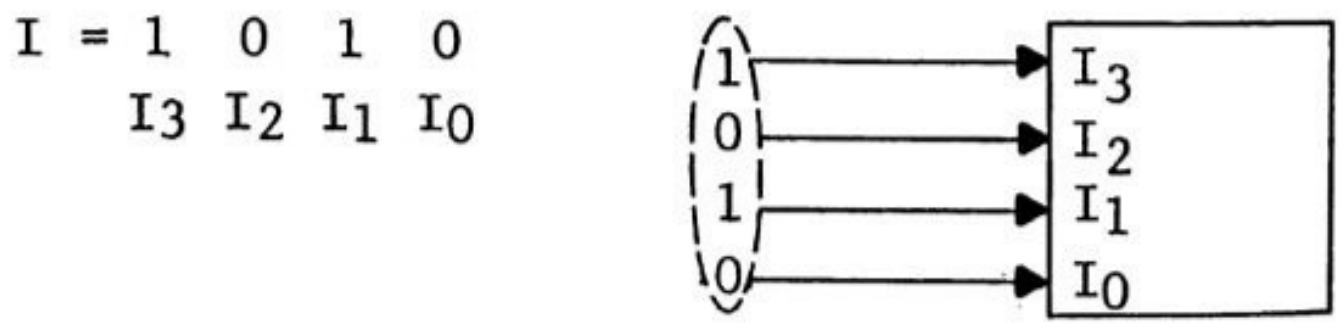
O registrador de deslocamento, a despeito de sua simplicidade, tem muitas aplicações. Pretendemos, agora, mostrar algumas das aplicações mais comuns deste dispositivo.

CONVERSÃO PARALELO/SÉRIE:

Primeiramente, vamos entender o que vem a ser informação série e informação paralela.

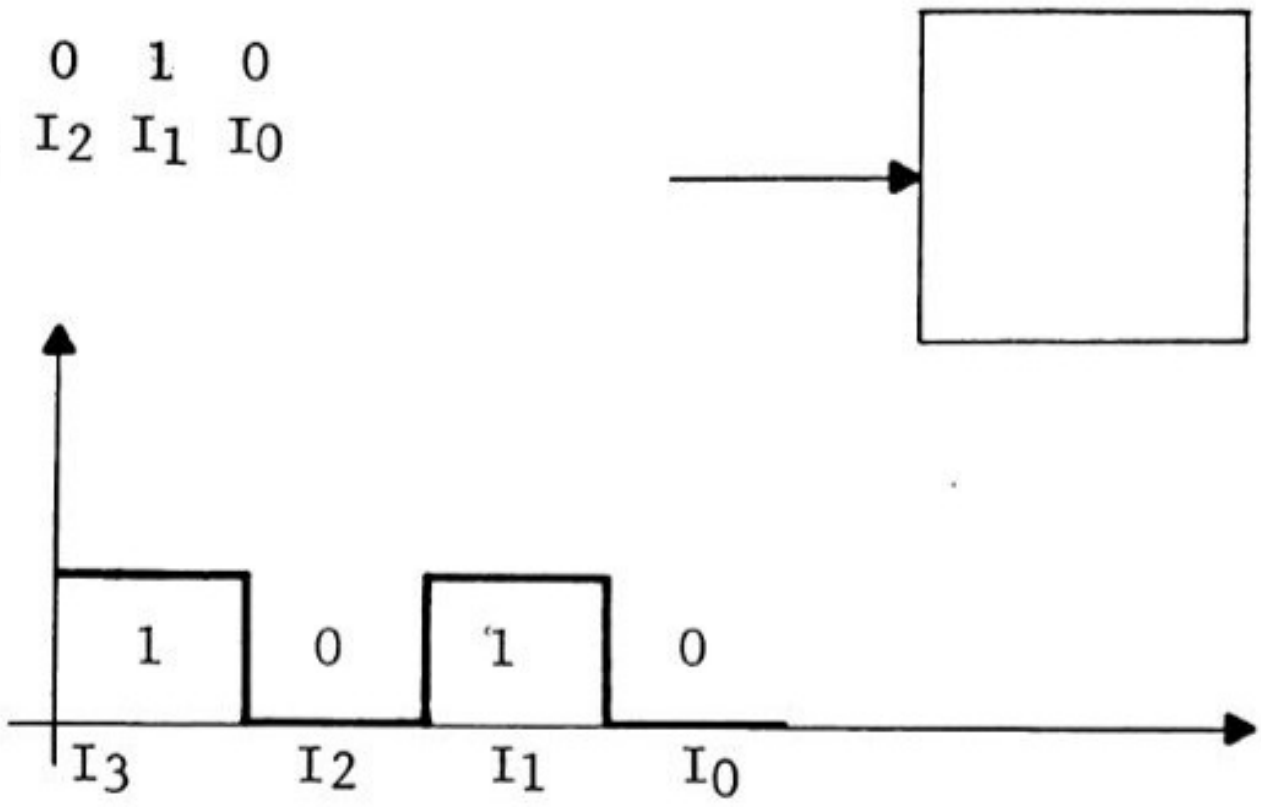
Uma informação paralela pode ser entendida como sendo uma informação, na qual todos os bits se apresentam simultaneamente. Uma informação deste tipo necessita de tantos fios, quantos forem os bits contidos na informação. Por exemplo: uma informação de 4 bits necessitará de 4 fios.

FIGURA 8



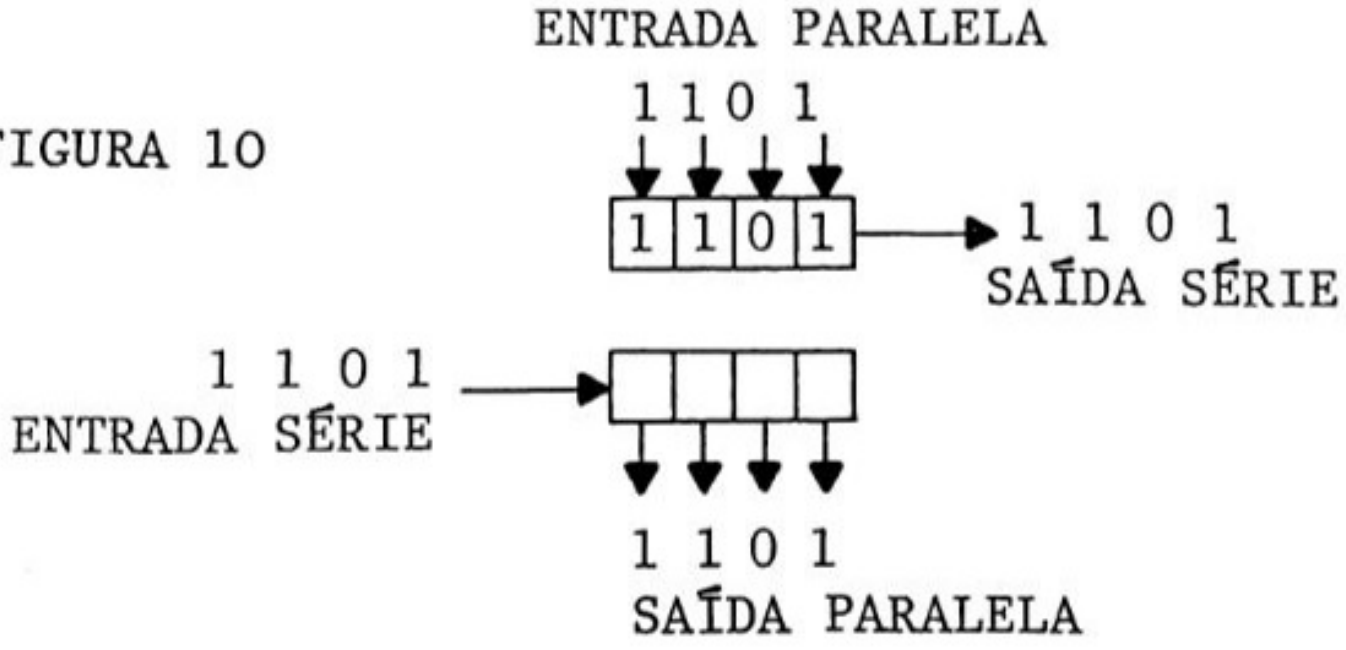
Em contrapartida,uma informação série é aquela que utiliza apenas um fio, sendo que os bits de informação vêm seqüencialmente um após o outro.

Vejamos o exemplo abaixo: FIGURA 9



A figura 10, abaixo,mostra como um registrador é empregado para conversões paralelo/série e série/paralelo.

FIGURA 10



Para entrarmos com uma informação paralela, necessitamos de um registrador que apresente entradas preset e clear, pois é através destas que fazemos com que o registrador armazene a informação paralela.

Vamos fazer um breve estudo sobre as entradas ENABLE e PRESET. Quando a entrada enable estiver em zero, as entradas preset (PR) dos flip-flops permanecerão no estado "1 binário", fazendo com que os flip-flops atuem normalmente.

Quando a entrada enable for igual a "1 binário", as entradas PR_3, PR_2, PR_1 e PR_0 dos flips-flops assumirão os valores complementares das entradas.

Vamos estudar o circuito abaixo, para ficar mais claro.

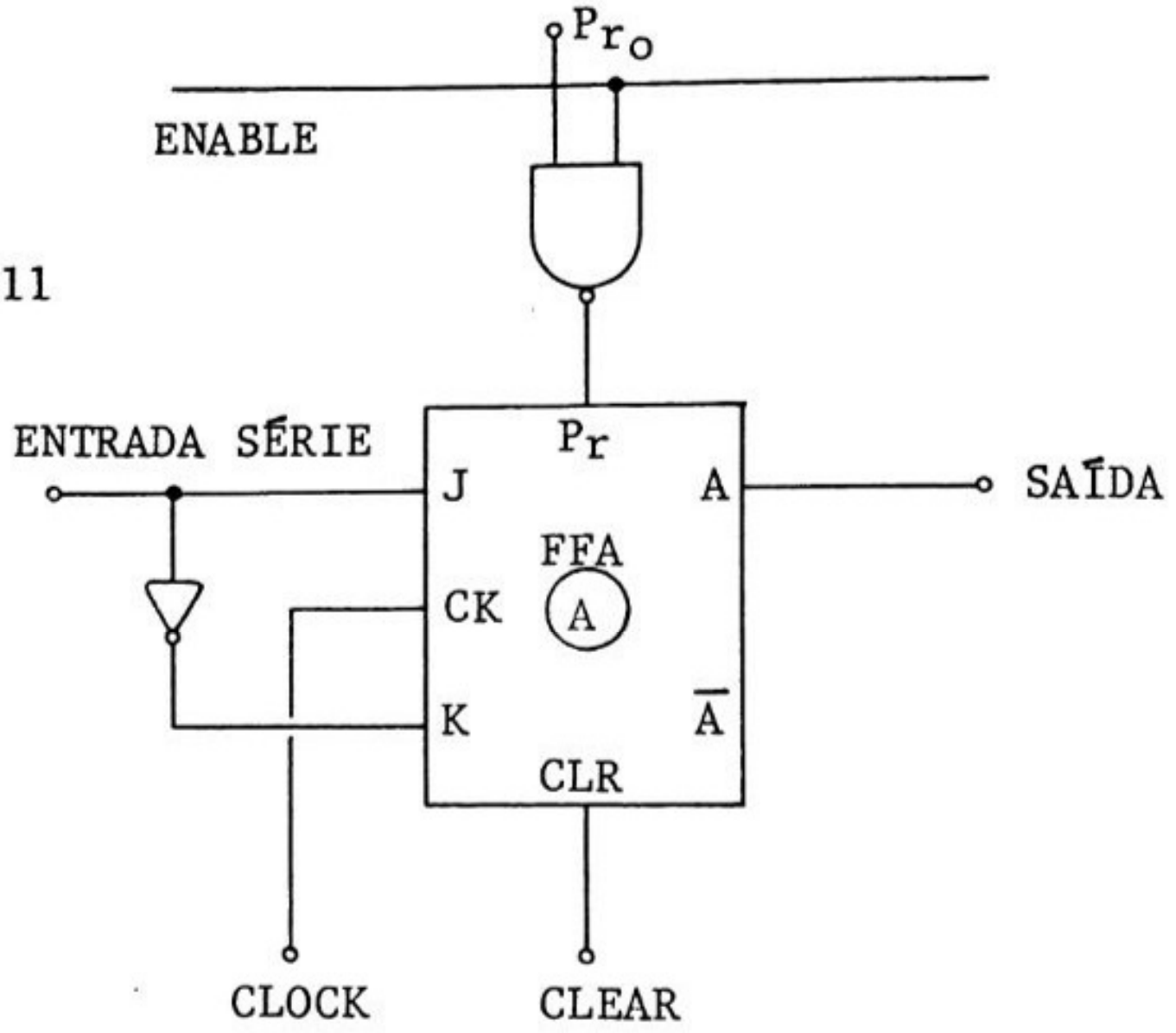


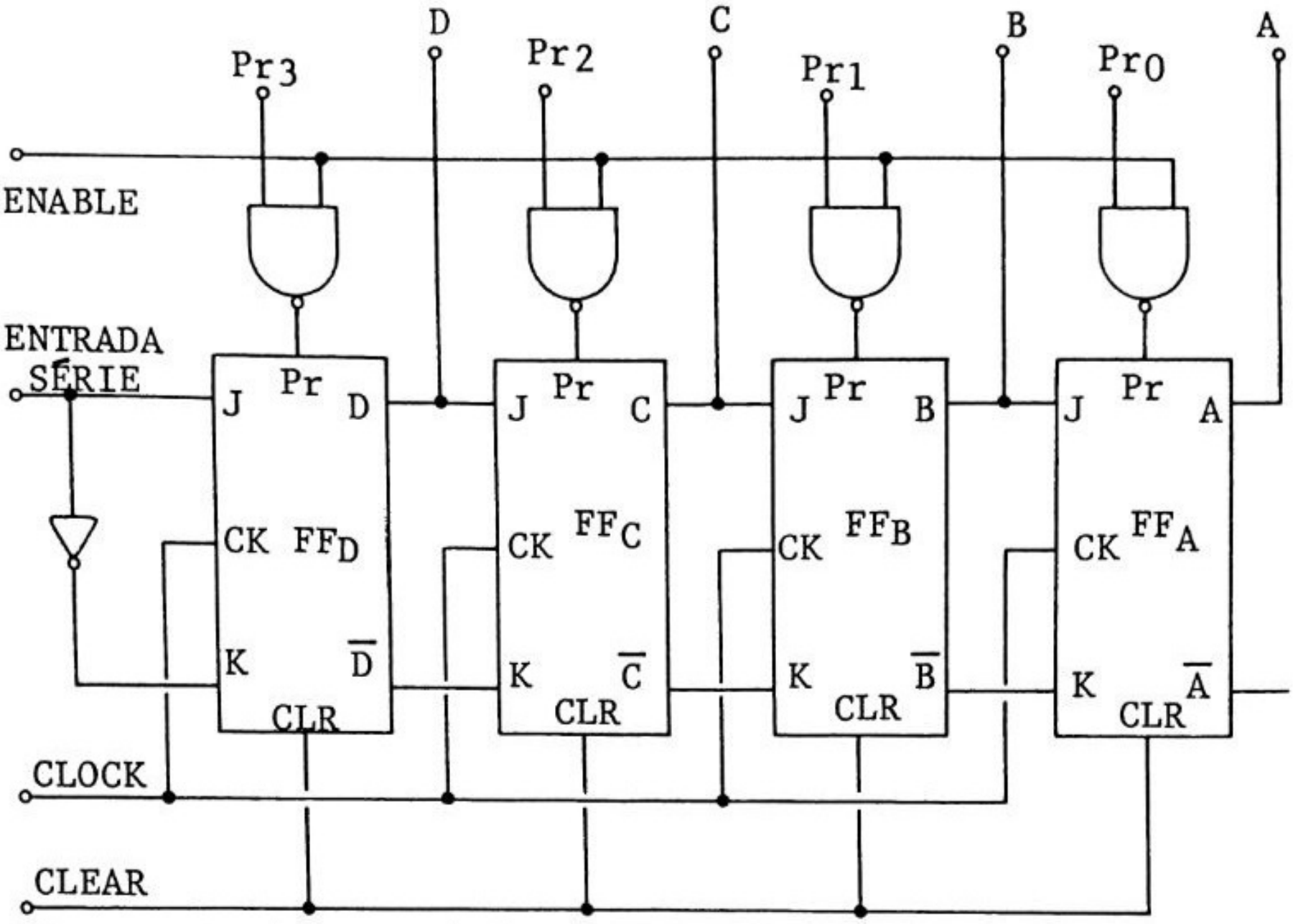
FIGURA 11

Para enable = "0", a entrada P_R do flip-flop estará em "1" (funcionamento normal). Quando enable for = "1" e P_{R_0} = "0", a entrada P_R do flip-flop estará em "1 binário". Logo, a saída A permanecerá no seu estado inicial. Quando tivermos enable = = "1" e PR_0 = "1", a entrada P_R do flip-flop A estará em zero, forçando assim a saída A a assumir valor "1".

Vejamos agora o registrador de deslocamento apresentado logo a seguir (Figura 12).

Se aplicarmos zero "0" à entrada clear, limparemos o registrador. E se, logo em seguida, introduzirmos a informação paralela ($I = I_3\ I_2\ I_1\ I_0$) através das entradas P_{R_3}, P_{R_2}, P_{R_1}, e P_{R_0}, as saídas D, C, B e A assumirão os respectivos valores da informação (entrada paralela).

Para que o nosso registrador funcione como conversor paralelo série, é preciso "limpá-lo" e, em seguida, introduzir a informação descrita (acima) e recolher, na saída A, a mesma informação de modo série. A saída A assumirá, seqüencialmente, os valores I_0, I_1, I_2 e I_3 a cada descida do pulso de clock.



Pr = entradas paralelas

FIGURA 12

OPERAÇÕES ARITMÉTICAS:

Podemos realizar duas operações aritméticas, multiplicação e divisão, com base no sentido de deslocamento do número binário armazenado.

Deslocamentos para a direita têm efeito de divisão, enquanto que deslocamento para a esquerda tem o efeito de multiplicação daquele número por uma potência de 2.

Suponhamos, como exemplo, o número binário 000100, correspondente ao número 4 decimal. Se deslocarmos este número de uma posição para a esquerda, teremos um novo número binário. Como este número foi deslocado um bit de posição para a esquerda, um bit "0 binário" será injetado na extremidade direita. Logo, o novo número binário será 001000, ou seja, 8 decimal. Concluímos que o deslocamento do dado de uma posição para a esquerda nos leva a obter o efeito de multiplicação do

número original por 2. Ver a figura 13 abaixo.

0 0 0 1 0 0	condição inicial	4
0 0 1 0 0 0	primeiro deslocamento para a esquerda	8

FIGURA 13

Se movermos novamente a palavra binária uma posição para esquerda, obteremos o valor 16 (veja Figura 14).

0 1 0 0 0 0	segundo deslocamento para a direita	16

FIGURA 14

Uma terceira movimentação para a esquerda, obteremos o número binário, inicial,múltiplicado por oito,ou seja 100000 equivalente ao decimal 32. Logo, o fator de multiplicação é 2^n, onde "n" é o número de operações de deslocamento que foram realizadas.

A divisão por qualquer potência de dois, pode ser conseguida pelo deslocamento à direita. Suponhamos então, como condição inicial, o número binário 11000 que corresponde ao decimal 24.

Um pulso de clock agora fará com que o registrador seja deslocado uma posição para a direita. Desta forma, obteremos o binário 1100 que corresponde ao decimal 12. Com um segundo pulso de clock, obteremos o binário 110 correspondente ao decimal 6 e novamente observamos que o número binário anterior foi dividido por 2. Analogamente ao que ocorre com a multiplicação, verifica-se também com a divisão, pois o valor pelo qual o número, no registrador, é dividido, é alguma potência de 2. Logo, a razão da divisão é 2^n, onde "n" é o número de operações de deslocamento, realizadas para a direita.

Para o exemplo acima, teremos a seguinte seqüência. (Figura 15).

1 1 0 0 0	condição inicial	24
0 1 1 0 0	primeiro deslocamento à direita	12
0 0 1 1 0	segundo deslocamento à direita	6

FIGURA 15

Cabe aqui uma observação válida, tanto para a multiplicação, como para a divisão, *o registrador deve ser grande, o bastante para acomodar os números resultantes das operações realizadas*. Caso o registrador não for suficientemente grande, o dado será deslocado para fora, tornando a operação aritmética incorreta.

MEMÓRIA COM REGISTRADOR DE DESLOCAMENTO

Uma memória com shift register é usualmente capaz de armazenar pelo menos uma palavra binária. Muitas destas memórias são suficientemente grandes para armazenar muitas palavras binárias.

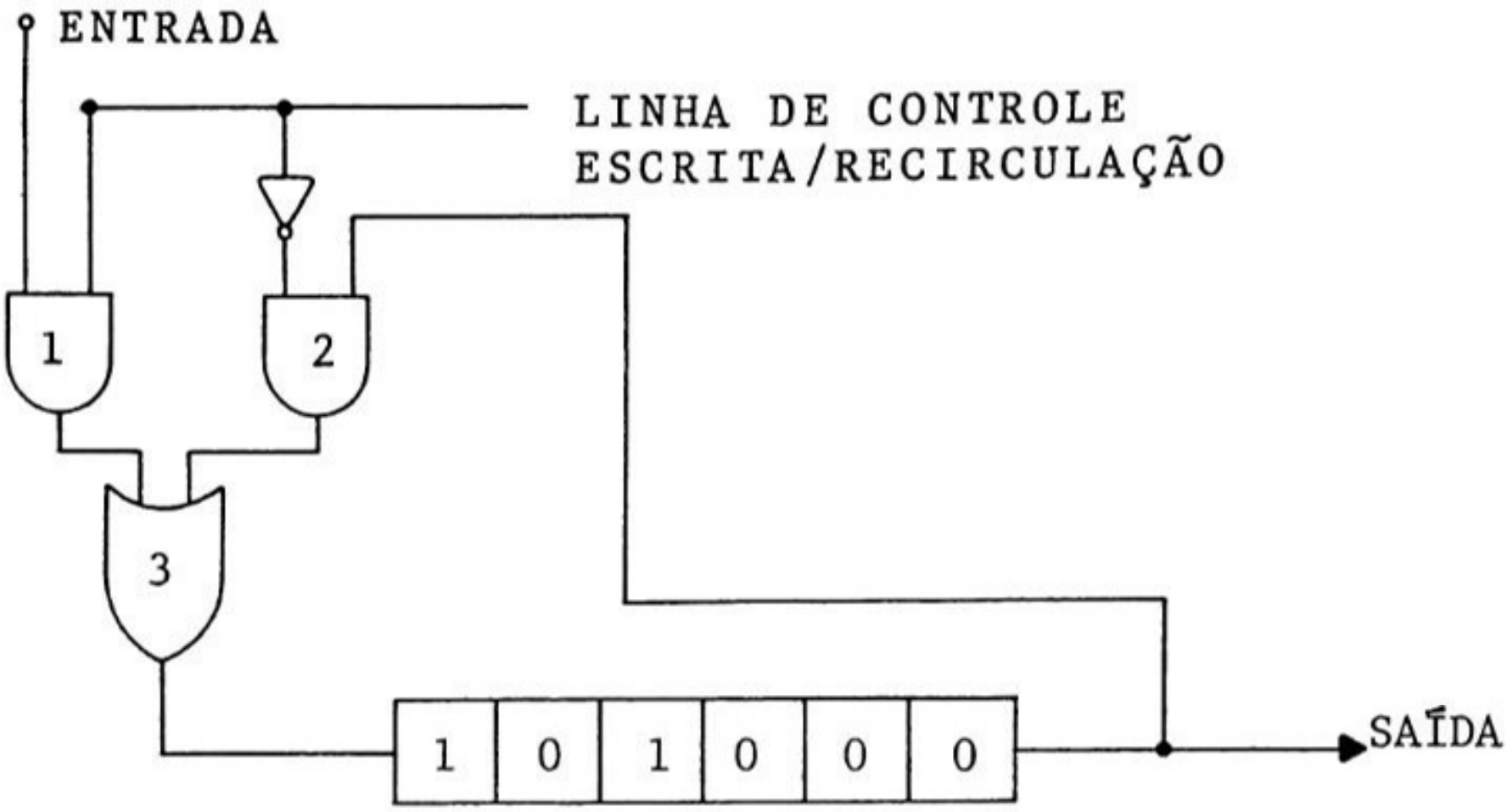
Um dos requisitos da memória é não permitir que os dados se percam após solicitados e lidos. Além disso, a memória deve estar apta a aceitar dados e acumulá-los.

Um shift register pode proporcionar essas duas operações, mas é necessário que lhe seja fornecido um circuito externo, como o mostrado na figura 16.

As portas externas de controle são utilizadas para selecionar uma operação de leitura ou de escrita. Para armazenar dados na memória, a linha escrita/recirculação é colocada no estado "1 binário", liberando a porta 1. Assim os dados, em série, aplicados na porta 1, são transferidos para o registrador.

Para evitar que dados não solicitados apareçam na entrada que está sendo identificada pelo registrador, a linha de controle escrita/recirculação é levada a "0 binário", inibindo, assim, a porta 1. Note-se que a porta 2 está conectada à saída do shift register. Por isso, acha-se liberada, permitindo que os dados do registrador sejam transferidos para fora, em série, ao serem aplicados pulsos de deslocamento no registrador.

FIGURA 16



REGISTRADOR DE DESLOCAMENTO

SEQÜENCIADOR OU CONTADOR EM ANEL:

É comum encontrarmos registradores de deslocamento aplicados como seqüenciador ou contador em anel. Estes são utilizados em circuitos lógicos que requerem uma seqüência de pulsos igualmente espaçados no tempo para então dar início a uma série de operações. Um circuito típico, para exemplificar esta aplicação do shift register, é mostrado na figura 17.

Observando o circuito da figura 17, notamos que as saídas do flip-flop D, do registrador, são conectadas às entradas J-K do flip-flop A. Este fato proporciona uma realimentação (feedback), fazendo com que o registrador continue mantendo os dados circulando em seqüência.

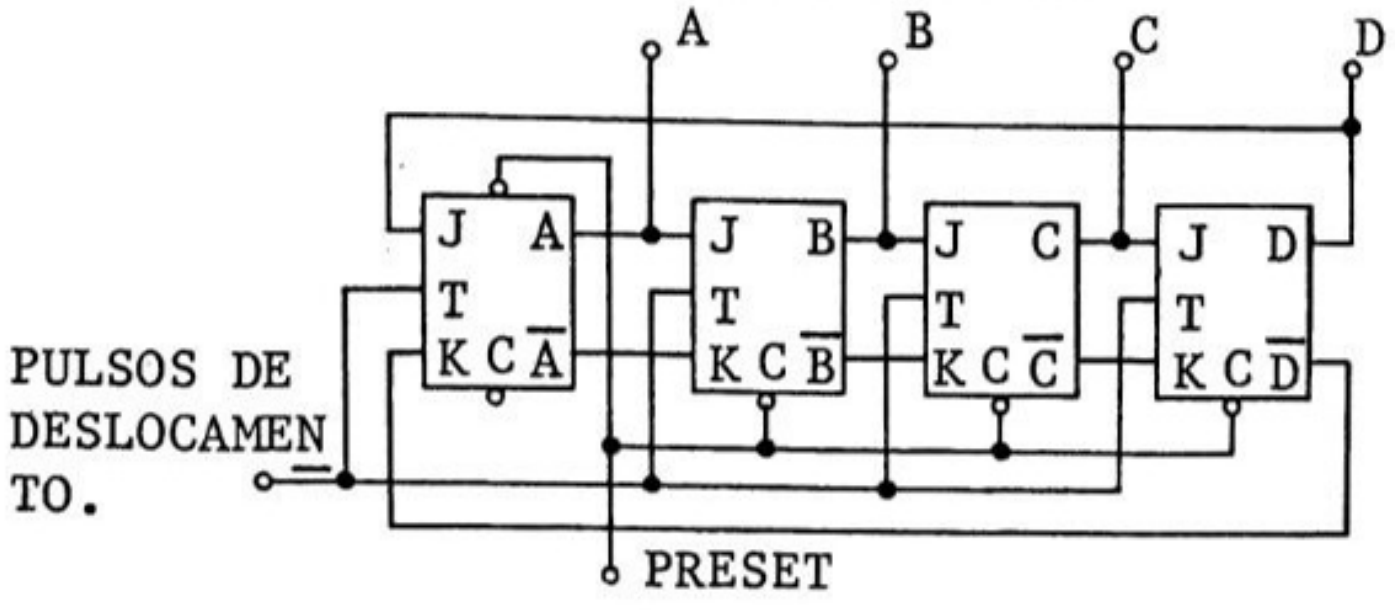


FIGURA 17

Na figura 18, temos as formas de onda e a tabela de estados, mostrando como se dá a operação do registrador de deslocamento, como contador em anel.

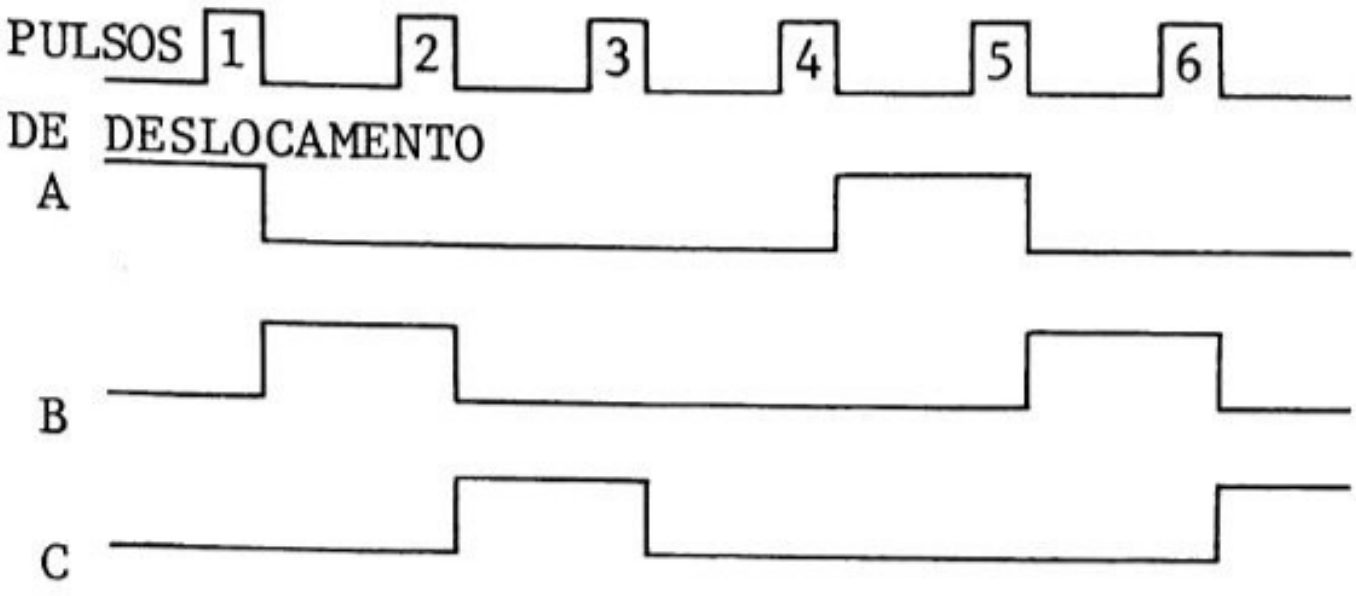


FIGURA 18

ESTADO	A	B	C	D
0	1	0	0	0
1	0	1	0	0
2	0	0	1	0
3	0	0	0	1

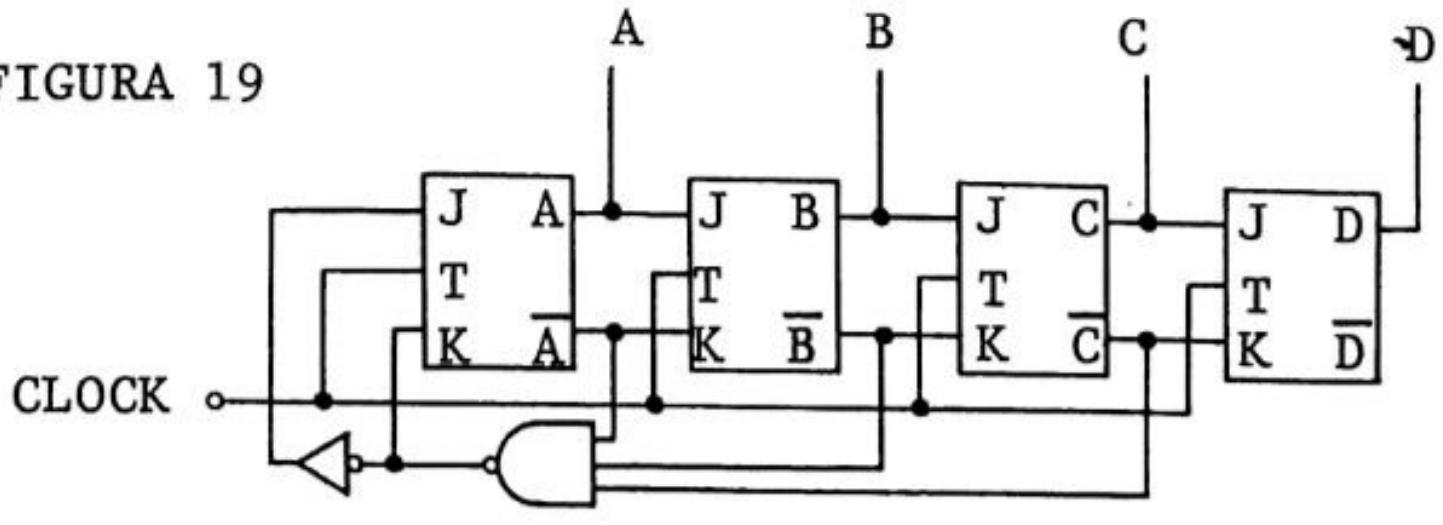
RECICLAGEM

Fazendo-se o preset em um dos flip-flops do registrador, a divisão de freqüência, por qualquer número inteiro, pode ser conseguida, usando tantos flip-flops, quantos forem necessários. Por exemplo, para fazer uma divisão por 4, são necessários 4 flip-flops no contador em anel.

O circuito da figura 17 apresenta, como desvantagem, a necessidade de se fazer de início seu preset. Esta operação visa a carregar, inicialmente, um dos flip-flops com "1 binário" e os demais com "0 binário". Se assim não ocorrer, o registrador irá carregar aleatoriamente. Porém esta desvantagem pode ser superada, fazendo-se algumas alterações no circuito ilustrado na figura 17. Este novo circuito é mostrado na figura 19.

Para este novo circuito, a "porta NÃO E" pesquisa as saídas dos flip-flops $\overline{A}$, $\overline{B}$ e $\overline{C}$. Observe-se que a saída da "porta NÃO E" e seu complementar são conectados às entradas J-K do flip-flop A.

FIGURA 19



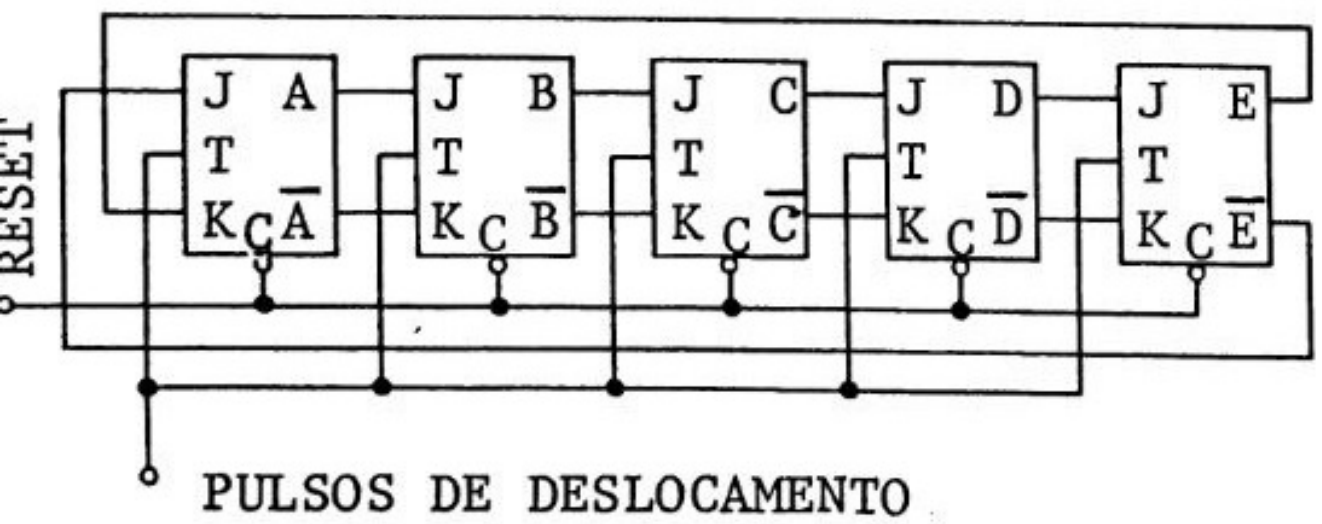
Nesse registrador, composto de 4 flip-flops, poderão ocorrer 16 estados. Logo que um desses estados ocorrer, este ficará, automaticamente, na posição de set e os demais em reset. É o caso típico do circuito ilustrado na figura 19.

Após o máximo de dois pulsos de deslocamento, independentemente dos estados iniciais dos flip-flops, o conteúdo do registrador deverá ser automaticamente corrigido para que apenas um flip-flop fique na condição set. A partir daí o registrador de deslocamento simplesmente irá recircular o único bit nele armazenado.

CONTADORES:

Em algumas aplicações especiais, os registradores de deslocamento podem substituir os contadores binários. Um tipo comum de contador registrador de deslocamento é o contador Johnson, constituído de cinco flip-flops, ligados em cascata. Este circuito e sua respectiva tabela de estados são mostrados na figura 20A e 20B.

FIGURA 20A



REGISTRADOR DE DESLOCAMENTO LIGADO COMO CONTADOR JOHNSON.

FIGURA 20B

ESTADO	A	B	C	D	E
0	0	0	0	0	0
1	1	0	0	0	0
2	1	1	0	0	0
3	1	1	1	0	0
4	1	1	1	1	0
5	1	1	1	1	1
6	0	1	1	1	1
7	0	0	1	1	1
8	0	0	0	1	1
9	0	0	0	0	1

RECICLAGEM

TABELA DE ESTADOS PARA UM CONTADOR JOHNSON.

Note-se que, do mesmo modo que no contador em anel, a saída do último flip-flop é ligada de volta às entradas do primeiro flip-flop. Com isto, consegue-se a recirculação do dado. Observe-se ainda que, neste caso, a saída normal do flip-flop E está ligada à entrada K e a saída complementar, à en-

trada J. Devido a este fato, o contador Johnson também é conhecido como "contador em anel entrelaçado". O número de estados apresentados por este contador, com este arranjo (figura 20A), é igual a 2.n, onde n é o número de flip-flops. O contador se recicla a cada dez pulsos de entrada. Este circuito também pode ser utilizado como um divisor de freqüência por 10.

REGISTRADOR DE DESLOCAMENTO MOS:

Trata-se de circuitos integrados registradores de deslocamento que utilizam canais de crescimento P ou N de modo MOSFET, contendo muitos elementos de armazenamento. Normalmente, construídos em minúsculas pastilhas de silício, possuem uma elevada densidade de componentes e uma dissipação de potência muito baixa. Devido a este fato, conseguem-se registradores de deslocamento de grandes capacidades.

Existem também registradores de deslocamento MOS, com centenas de elementos de armazenamento para aplicações de memória. Normalmente,são utilizados para guardar palavras binárias em série.

Os mais comuns são do tipo entrada série/saída série, de grande utilidade para aplicações que exijam o armazenamento temporário de um grande volume de dados binários.

Seu princípio de funcionamento é praticamente idêntico ao dos registradores de deslocamento descritos nos itens 3 e 4 desta lição, mudando apenas a tecnologia empregada na construção dos mesmos.

Há dois tipos básicos de registradores de deslocamento MOS: os dinâmicos e os estáticos. Na figura 21A, mostramos o circuito interno de uma pastilha que constitui um registrador de deslocamento estático. Na figura 21B, mostràmos os mesmos aspectos mostrados na figura 21A, porém próprios de um registrador de deslocamento dinâmico.

O registrador de deslocamento estático é aquele em que o pulso de clock pode ser interrompido sem que ocorra a perda dos dados. Os registradores de deslocamento,apresentados nos itens 3 e 4 desta lição,são do tipo estático. Os sinais de

clock são utilizados para o deslocamento de dados para dentro ou para fora do registrador. Quando há interrupção dos pulsos de clock, os dados ficam retidos no interior dos elementos de memória do registrador.

FIGURA 21A

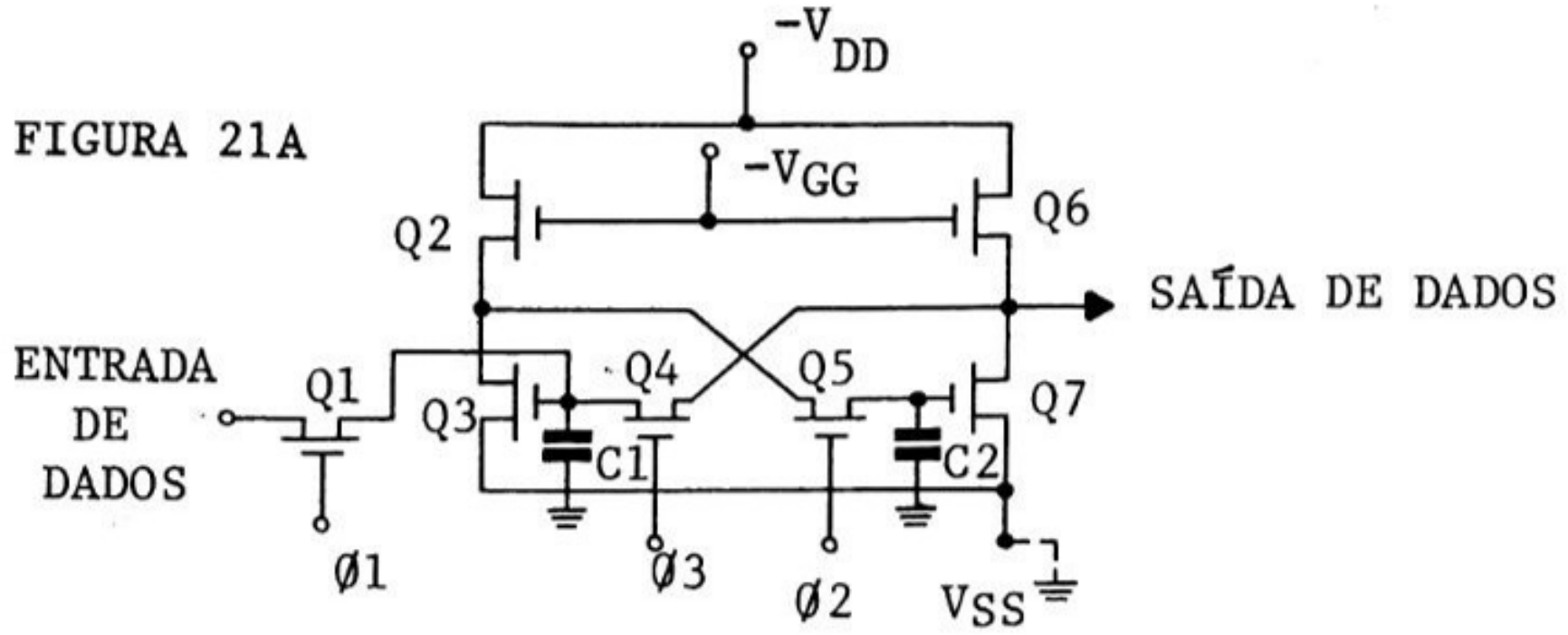
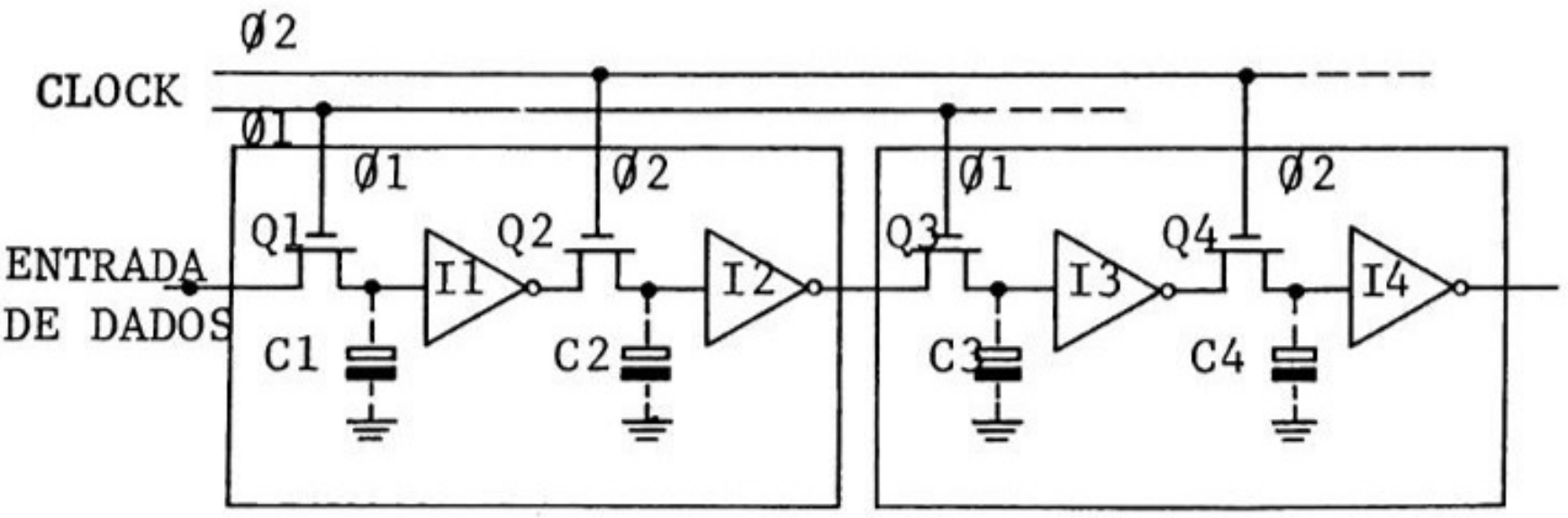


FIGURA 21B



Elemento de armazenamento de um bit A.

Elemento de armazenamento de um bit B.

O contrário ocorre com o registrador dinâmico, ou seja, o dado se perde quando o pulso de clock é interrompido.

Os pulsos de clock, no registrador dinâmico, circularão continuamente para reter os dados, pois é através da recirculação que se evita a perda dos dados. Fato este decorrente das características do elemento utilizado na confecção do registrador dinâmico para o armazenamento.

Uma das vantagens dos registradores de deslocamento dinâmico sobre os estáticos é que os dinâmicos podem ser menores, e mais simples, operando a velocidades maiores, com baixa dis-

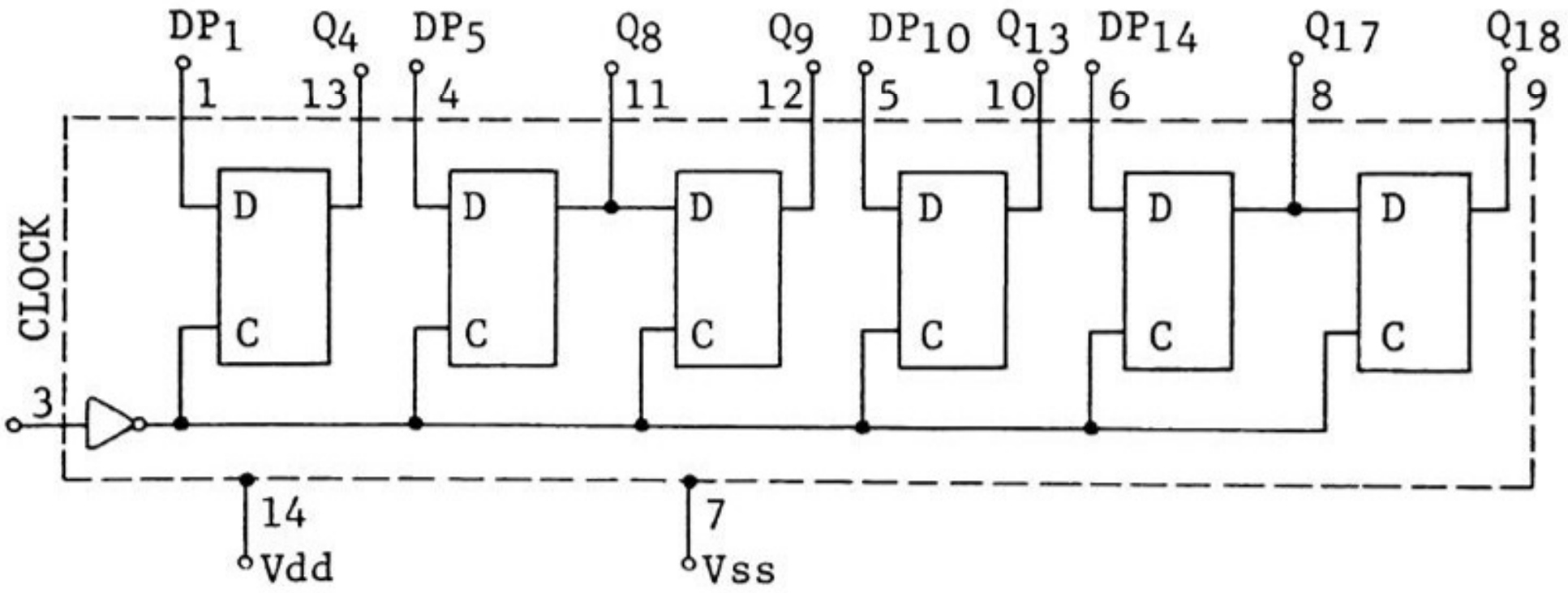
sipação de potência. Em contrapartida,os registradores MOS estáticos são muito mais complexos, mais lentos e consomem - muito mais potência.

OBS.: Na figura 21B, a comutação dos transistores da porta de transmissão é controlada por dois sinais de clock, chamados de fase 1 (Ø1) e fase 2 (Ø2). Quando 1 estiver ligado, 2 estará desligado e vice-versa.

REGISTRADORES MOS

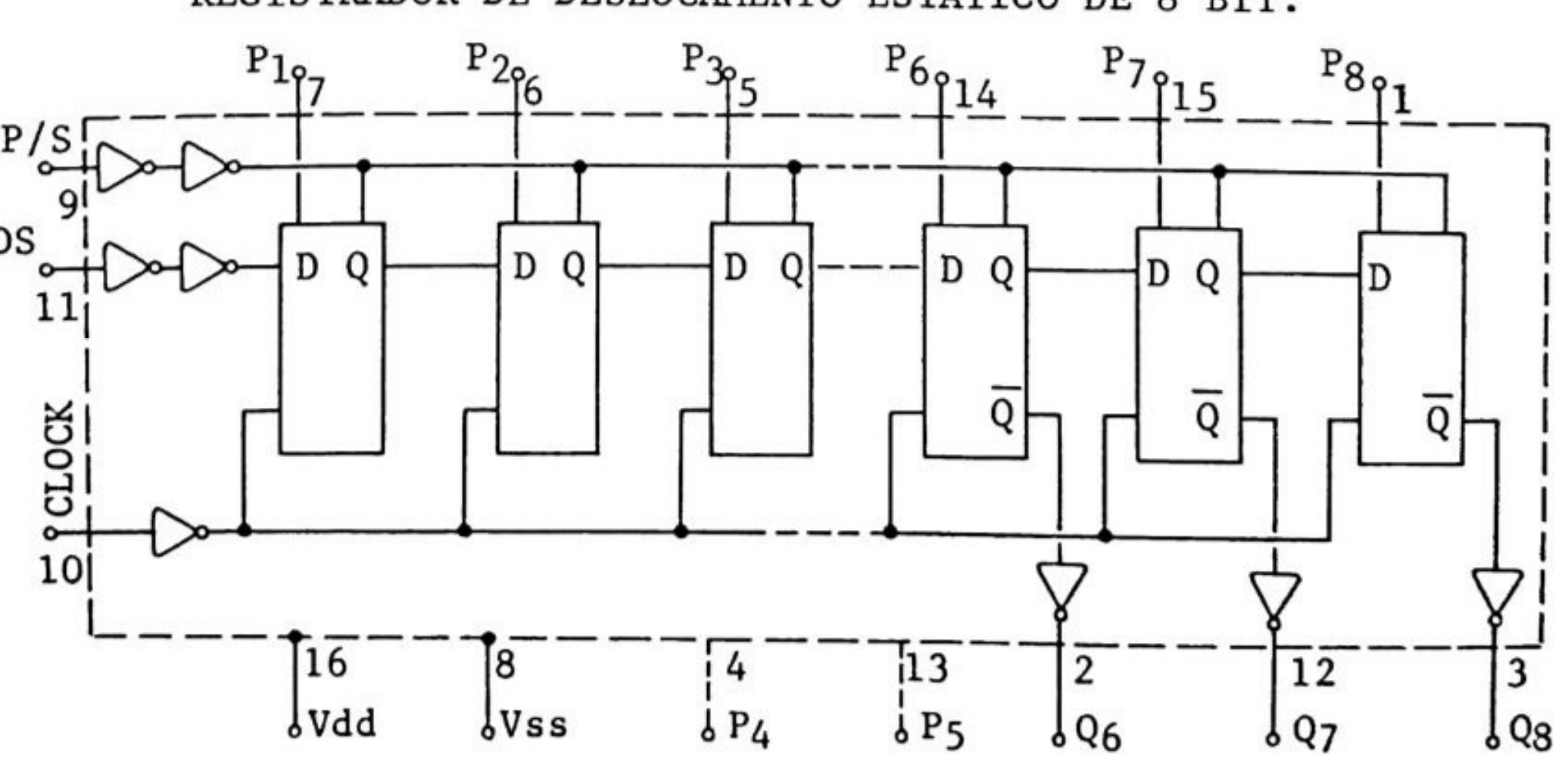
MC 14006B

REGISTRADOR DE DESLOCAMENTO ESTÁTICO DE 18 BIT.



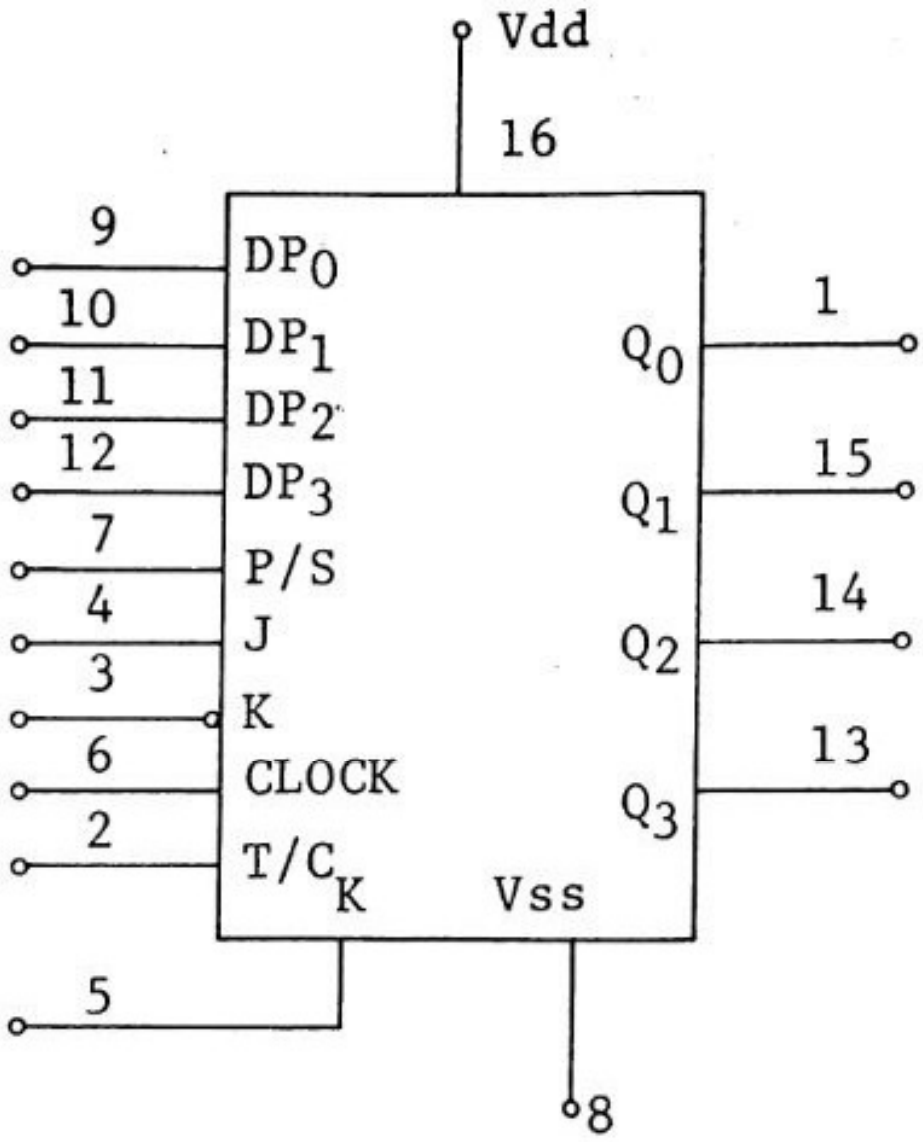
MC 14014B/14021

REGISTRADOR DE DESLOCAMENTO ESTÁTICO DE 8 BIT.



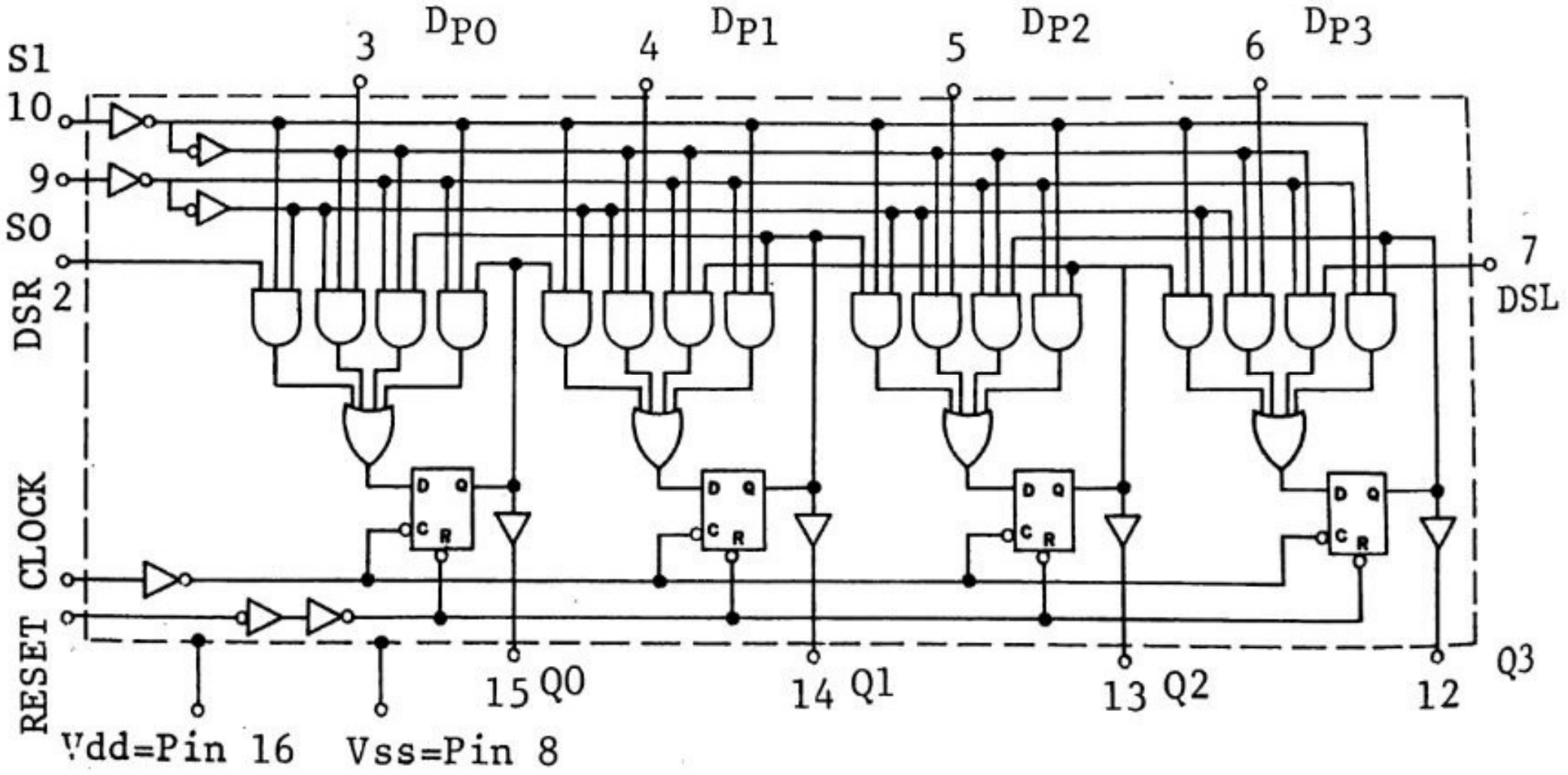
MC 14035B

REGISTRADOR DE DESLOCAMENTO DE 4 BIT COM ENTRADA PARALELA E SAÍDA PARALELA.



MC 14194B

REGISTRADOR DE DESLOCAMENTO UNIVERSAL DE 4 BIT BIDIRECIONAL.



CEDM
CURSOS DE APERFEIÇOAMENTO

CURSO DE
ELETRÔNICA DIGITAL E
MICROPROCESSADORES

CAIXA POSTAL 1642 - CEP 86100 - LONDRINA - PARANÁ

EXAME DA LIÇÃO ED-20

OBSERVAÇÃO

- cada questão é composta de três ou quatro alternativas.
- só uma delas está correta.
- marque a que considerar correta.
- passe as respostas corretas para a folha de exame.

1) A função básica de um shift register é a de:

a) armazenar dados;
b) adicionar dados;
c) gerar pulsos de clock.

2) Os registradores de deslocamento lógicos, bipolares são implementados:

a) somente com flip-flops tipo J-K;
b) somente com flip-flops tipo D;
c) com flip-flops J-K ou flip-flops D.

3) A grande maioria dos shift register tem sentido de deslocamento para:

a) esquerda;
b) direita;
c) N.D.A.

4) Quantos pulsos de deslocamento são necessários para carregar em série uma palavra de 20 bits em um registrador de deslocamento de 20 flip-flops?

a) 10; b) 40; c) 20.

5) Um número binário foi deslocado 4 posições para a esquerda. Isto significa que o número foi:

a) dividido por 16;
b) multiplicado por 16;
c) dividido por 4.

6) Um número binário foi deslocado 6 posições para a direita. Isto significa que o número foi:

a) dividido por 64;
b) multiplicado por 32;
c) dividido por 6.

7) Para que um contador em anel divida a freqüência por 16, necessitamos de ..... flip-flops.

a) 16; b) 8; c) 32.

8) Um número binário deve ser multiplicado por 128. Quantas posições e em que sentido o número deve ser deslocado?

a) 8 posições para a direita;
b) 7 posições para a esquerda;
c) 128 posições para a esquerda.

9) Uma das vantagens do shift register, MOS dinâmico, sobre o shift register, MOS estático, é a:

a) menor dissipação de potência;
b) maior velocidade de operação;
c) a e b estão corretas.

10) Havendo a interrupção dos pulsos de clock, os dados ficam retidos no interior dos elementos de memória do registrador. Essa característica é típica do:

a) shift register, MOS dinâmico;
b) shift register, MOS estático;
c) shift register aplicado com contador em anel;
d) as afirmações b e c estão corretas.

CEDM-CURSO DE
ELETRONICA DIGITAL E
MICROPROCESSADORES
CAIXA POSTAL 1642 – CEP 86100 – LONDRINA-PR.

LIÇÃO ED-21

DISPLAYS

GENERALIDADES

Como sabemos, em circuitos digitais, manipulam-se apenas duas grandezas, ou melhor, dois estados lógicos, no caso, "0" e "1" binários. Em eletrônica, por exemplo, os circuitos realizam operações aritméticas e mesmo cálculos mais complexos, utilizando-se apenas desses dois algarismos. Vamos supor que uma calculadora esteja realizando uma operação matemática solicitada. Precisamos então exibir o resultado desta operação, não na forma binária, mas sim, de modo simples e objetivo e numa linguagem fácil de ser entendida. No caso, deveremos exibir o resultado na forma decimal, tanto escrita (através de impressora) como visual (através de displays).

Foi a partir da necessidade de se exibir um determinado resultado de uma operação, na forma visual,que se desenvolveram os mostradores digitais.

Estes, também chamados **"Displays"**,são amplamente utilizados na maioria dos instrumentos digitais, tais como: calculadoras, relógios digitais, voltímetros eletrônicos, freqüencí-

metros, capacímetros, bem como uma série de outros instrumentos, onde se requer uma rápida leitura de qualquer valor numérico.

Existem vários tipos de mostradores. E cada um deles em diferentes tamanhos.

Cada tipo de display apresenta uma gama variada de brilhos e de cores. E todos eles são organizados em um dentre dois formatos básicos: o segmento e a matriz de ponto.

Creio que o aluno já deve ter notado a importância dos displays. A seguir, veremos alguns diferentes tipos de displays.

DISPLAY DE DESCARGA A GÁS

Mais luminoso que os LEDs e não tão brilhante quanto o displays incandescente. Seu princípio de funcionamento consiste na aplicação de uma diferença de potencial "d.d.p." entre o anodo e o catodo (caractere). Um potencial suficientemente elevado fará circular uma corrente sobre o anodo e o catodo, a qual irá ionizar o gás em torno do elemento negativo, tornando o caractere luminoso. Como exemplo deste tipo de display, podemos citar as válvulas **Nixie**. Esta válvula apresenta dez eletrodos, correspondentes a cada dígito decimal, de modo que cada um desses dígitos, quando excitado se acenderá, tornando-se bem visível. Os dígitos decimais (catodo da válvula) estão dispostos um sobre o outro, porém separados por uma distância muito pequena. Cada um desses catodos apresenta a configuração geométrica do respectivo dígito decimal. Estes dígitos são confeccionados com uma espécie de tela muito fina, em metal, permitindo, assim, a passagem da luminosidade emitida pelos dígitos mais inferiores. Uma das desvantagens desse tipo de display é a necessidade de uma alta tensão, para tornar seus eletrodos luminosos, já que a sua operação é feita por ionização, necessitando, às vezes de valores de tensão da ordem de 180 volts. A figura 1 nos mostra alguns aspectos desta válvula. A cor predominante é o laranja, porém o verde também pode ser obtido.

Cabe ainda ressaltar que, com o advento dos circuitos integrados "CIs", tornou-se difícil a utilização destes displays, uma vez que necessitam de uma tensão, em torno de

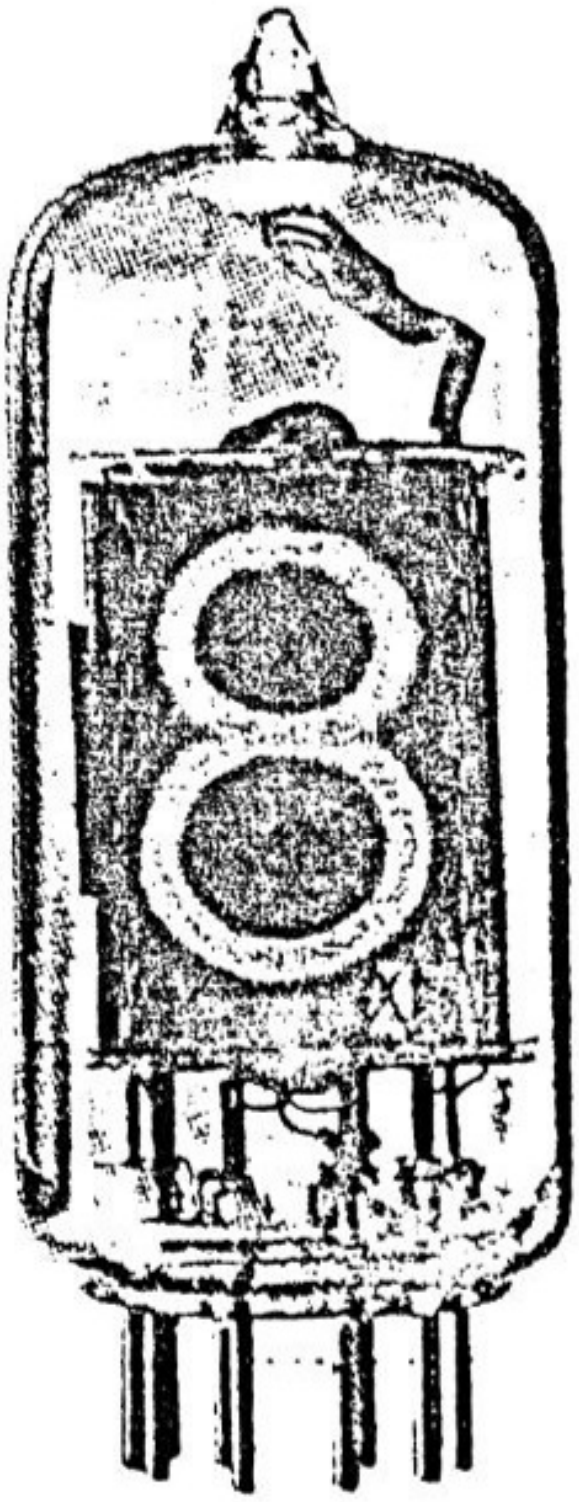


FIGURA 1

180 volts, para seu funcionamento. Isto contraria a técnica de "CIs", que utiliza, no caso da família TTL, uma tensão de 5 volts. Com isso, haveria a necessidade de usar duas fontes de tensão, tornando-os anti-econômicos.

DISPLAY SEMICONDUTOR (LED)

Os LEDs estão tendo suas aplicações cada vez mais difundidas como "displays" e como dispositivo de acoplamento optoeletrônico. Também são utilizados como: lâmpadas piloto; indicadores de estado lógico; indicadores de sintonia em receptores de FM, etc. Além disso, os LEDs possuem uma vida útil relativamente longa. Por exemplo, um LED COY24, quando submetido a uma corrente I_F = 20mA ($I_{Fmáx}$ máxima corrente de pi-

co), sua vida útil mínima está em torno de 300.000 horas, sendo que sua vida média é prevista para 1.000.000 de horas aproximadamente. Um outro dado interessante é que os LEDs podem suportar maiores correntes de pico do que correntes contínuas. Com isto, podemos operá-lo de maneira pulsada, reduzindo-se, assim, o consumo de corrente.

Nos atuais displays, os símbolos são obtidos a partir do algarismo 8, dividindo-se o desenho do algarismo 8 em sete segmentos, designados por a, b, c, d, e, f e g, como mostra a figura 2.

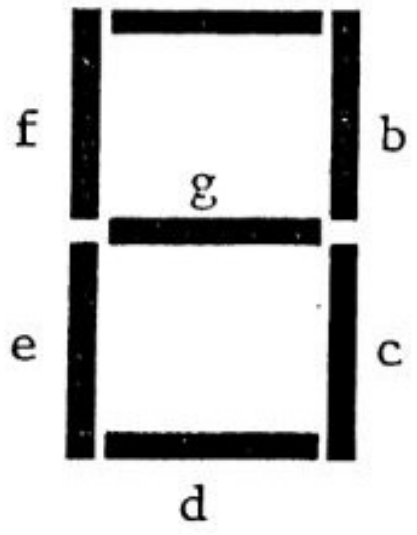


FIGURA 2

Com base na figura 2, obtemos a formação dos 10 dígitos decimais (ver fig. 3). O algarismo 7, por exemplo, é obtido quando os segmentos a, b e c acenderem-se. Com a aplicação deste método, conseguem-se os outros algarismos.

FIGURA 3

Se agruparmos 7 LEDs (um para cada segmento) de forma específica, de acordo com a forma geométrica, mostrada na figura 2, poderemos representar os algarismos de 0 a 9 e mais algumas letras que são amplamente utilizadas no sistema de numeração hexadecimal (base 16).

Os displays LEDs são dispositivos semicondutores optoeletrônicos, os quais indicam números, caracteres e símbolos, que traduzem sinais elétricos para informações visivelmente perceptíveis.

Uma das vantagens desse tipo de display reside no tamanho relativo desse dispositivo, associado ao baixo consumo de corrente dos LEDs. Esse baixo consumo de corrente é conseguido através da multiplexação. Vamos supor que dispomos de um mostrador de 4 dígitos (até 9999), o qual possui um total de 28 segmentos (4 display x 7 segmentos). Dependendo do tipo de display usado, cada segmento pode requerer até 50 miliampères de corrente. Se todos os segmentos do número de 4 dígitos se iluminarem simultaneamente, será exigida uma corrente total de 1,4 ampères, o que consiste numa quantidade de corrente - muito grande para um mostrador que opera com bateria. Com vistas à redução de corrente e, conseqüentemente, o não esgotamento da bateria, os segmentos são multiplexados. Inicialmente, o multiplexador varre todos os segmentos "A", acendendo um segmento requerido por vez. Em seguida, é feito o mesmo com os segmentos "B", depois os "C" e assim por diante. Cada um desses segmentos permanecerá aceso por um breve período de tempo. Essa seqüência é repetida várias vezes por segundo, de modo que, para nossa percepção, o mostrador parece estar aceso continuamente.

Desta forma, conseguimos reduzir a corrente exigida, além de reduzirmos o circuito de excitação dos displays.

Um outro formato de display é a matriz de pontos, sendo mais comum a matriz 5 x 7, mostrada na figura 4.

FIGURA 4

Os pontos podem ser endereçados individualmente, o que nos permite mostrar qualquer número ou caracteres. Este formato se torna muito útil, quando precisamos mostrar letras ou mesmo outros símbolos que não números. Para este formato, a multiplexagem é mais importante ainda, pois o número de pontos é maior. No caso, temos 35 pontos (7 x 5 = 35) individuais, que exigirão um circuito muito grande, se não for usada a multiplexagem. A cada um desses pontos está associado um

LED.

O diodo emissor de luz (LED) é o tipo de display mais popular.

O que dá origem aos diversos modelos de displays de LEDs são as técnicas de montagem e o tipo de material a ser usado. As três técnicas que se destacam na produção de dígitos discretos de LED, são:

a - técnica do dígito com preenchimento;
b - técnica da placa de circuito impresso;
c - técnica da difusão pelo ar.

Destas três, a técnica da difusão pelo ar é a mais avançada. Neste processo, a sustentação mecânica e o contato elétrico dos LEDs são feitos através de uma moldura de pinos(ver a figura 5). Depois de instalados os LEDs sobre a moldura, esta é revestida com um plástico transparente. Em seguida, são instaladas lentes de aumento para os LEDs. Feito isto, uma caixa refletora é colocada sobre a plataforma dos LEDs.

Esta caixa é feita de um plástico especial, chamado ABS (acrionitrila estireno), constituído de uma substância refletora, aumentando, assim, o brilho do display. A caixa refletora possui alguns rasgos, que, na verdade, são cavidades trapezoidais, cujos lados menores estão sobre os LEDs e suas lentes.

Por fim, é instalada uma lente difusora, feita de poli - carbonato, sobre a montagem plataforma/caixa refletora. E, em seguida, todo o conjunto é lacrado. A luz emitida por esse tipo de display chega até ao observador por dois caminhos: diretamente do material semicondutor à lente e por reflexão nas paredes laterais da caixa refletora. Com isso, consegue - -se muito mais luminosidade.

Na figura 5 temos um esquema de como é feita essa montagem.

Para representarmos um número de seis dígitos, teremos - que utilizar seis (6) desses displays.Esses displays são encontrados nas cores: vermelha, amarela e verde. O mais comum é o display na cor vermelha. Na figura 6, temos um detalhe da instalação dos LEDs na plataforma e suas respectivas lentes.

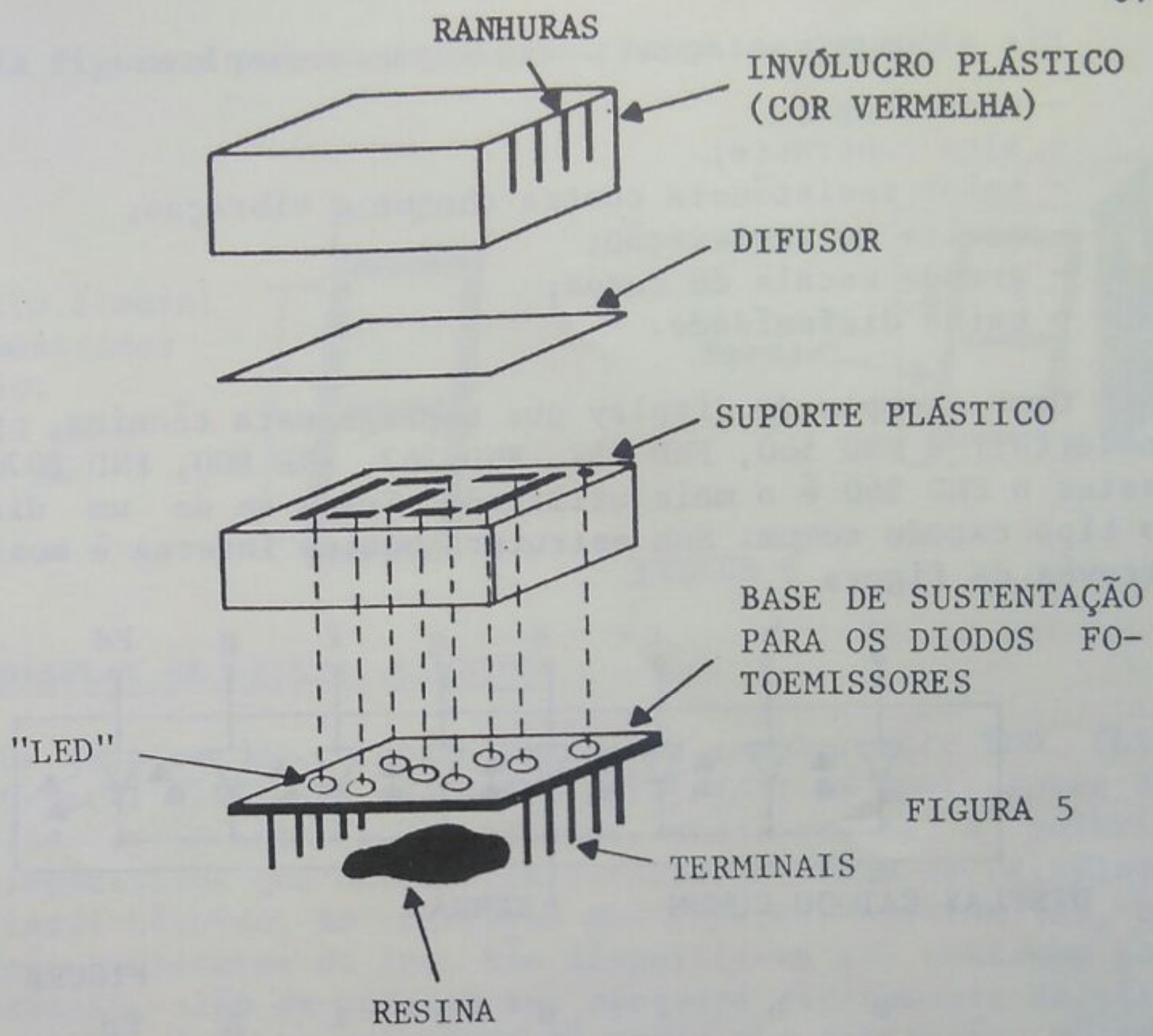


FIGURA 5

FIGURA 6

Eis algumas vantagens desse tipo de display:

- vida longa;
- alto contraste;
- maior resistência contra choque e vibração;
- aceita multiplexação;
- grande escala de cores;
- baixa diafanidade.

Como exemplo de display que emprega esta técnica, podemos citar: o FND 560, FND 357, FND 367, FND 800, FND 807,etc. Destes o FND 560 é o mais utilizado. Trata-se de um display do tipo catodo comum. Sua estrutura básica interna é mostrada através da figura 7.

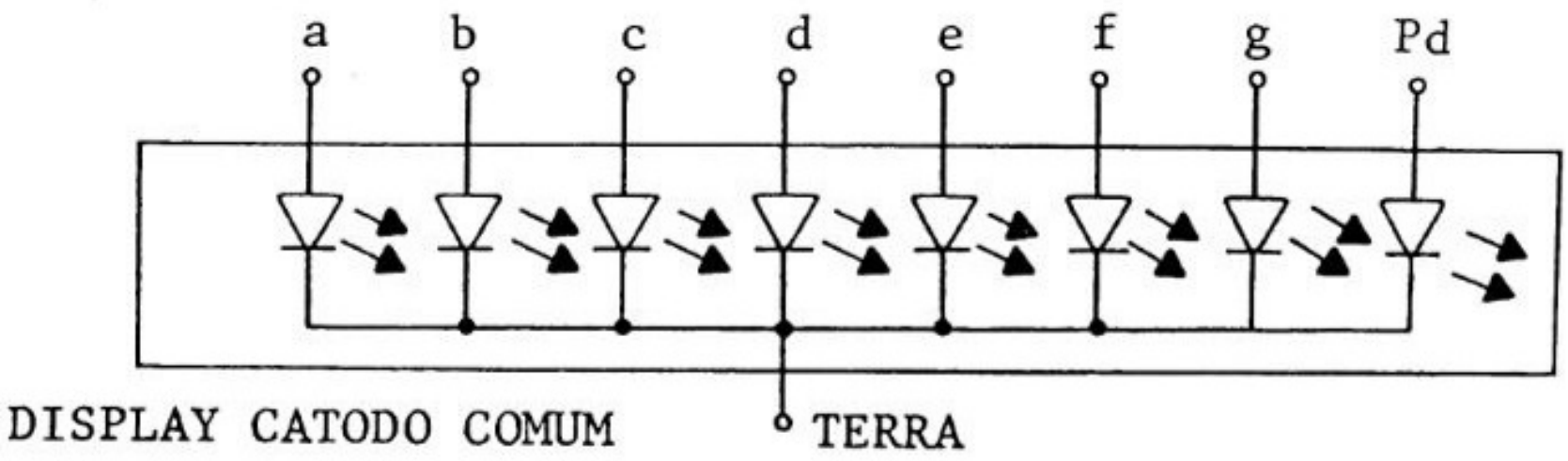
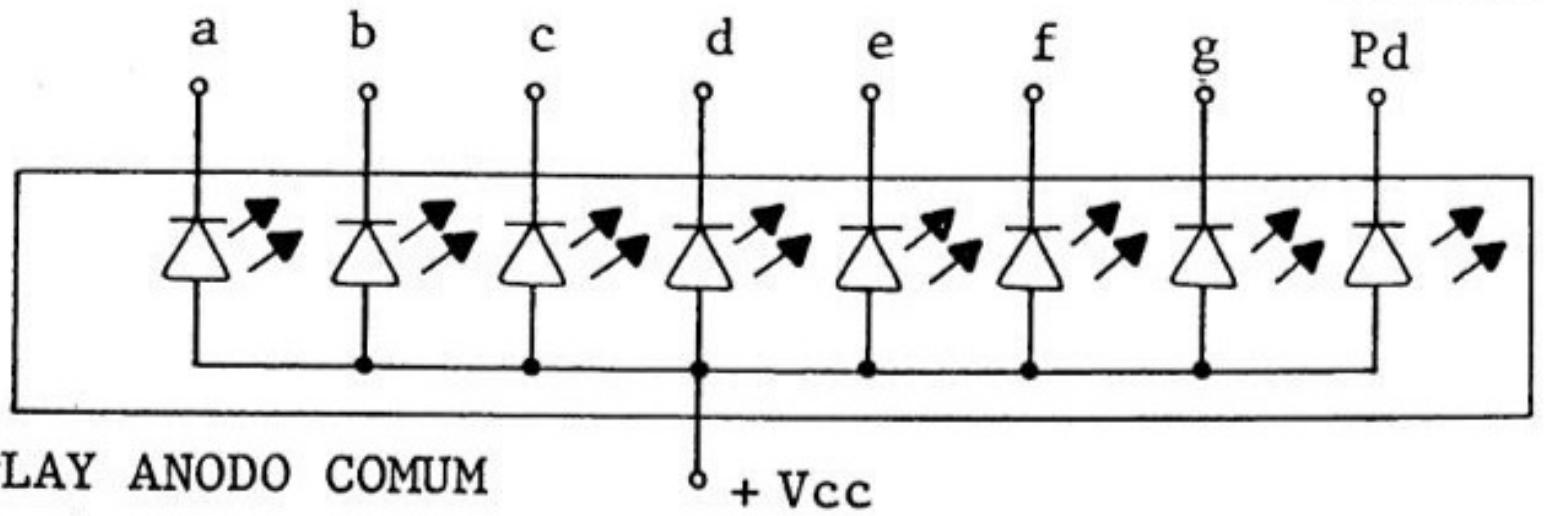


FIGURA 7



Obs. A diferença entre um display anodo comum e o catodo comum é simplesmente com relação às polarizações dos segmentos (LEDs).

O FND 560 é provido de um ponto decimal, cuja finalidade é fazer a separação da parte inteira da fracionária em um número decimal. Com isto, o FND 560 passa a ter oito LEDs que emitem luz vermelha, sendo um para cada um dos sete segmentos (a, b, c, d, e, f e g) e um para o ponto decimal. Suas dimensões são aproximadamente:

altura ≅ 16 mm.
largura ≅ 8 mm.
comprimento ≅ 15 mm.

Na figura 8 temos um aspecto físico do FND 560.

Aspecto frontal do mostrador FND560:
h ≅ 12 mm e
I ≅ 8 mm.

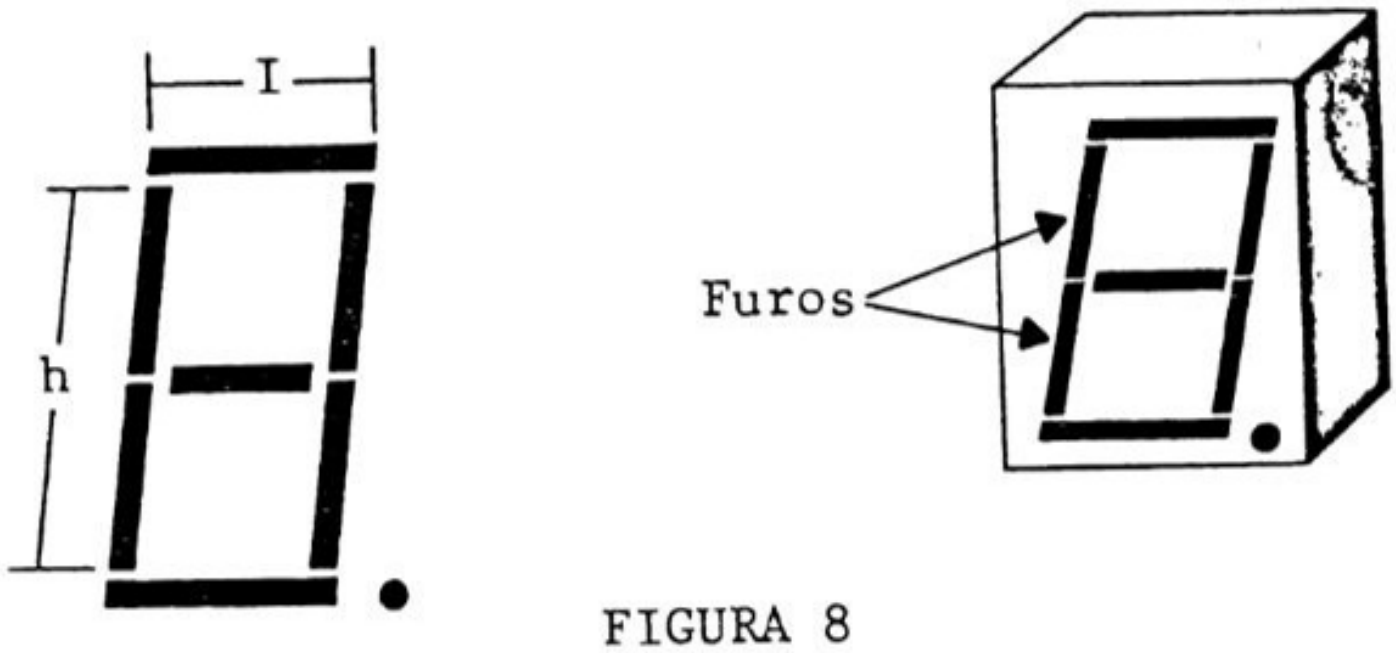


FIGURA 8

DISPLAY DE CRISTAL-LÍQUIDO

Os displays de cristal-líquido ou simplesmente LCD (Liquid-Crystal Displays) são muito utilizados em mostradores de calculadoras de bolso e em relógios. Modernamente, a maioria dos dispositivos que operam com bateria,utilizam os displays de Cristal-Líquido. Ao contrário dos LEDs,que emitiam luz, os LCDs são refletores de luz. São dispositivos que consomem pouca potência, além de poderem ser operados diretamente de circuitos CMOS. Somente este fato já torna sua aplicação válida para equipamentos portáteis.

Os LCDs podem ser divididos em duas famílias distintas,a saber:

1) Os LCDs de "dispersão dinâmica".

2) Os LCDs de "efeito de campo".

1) LCDs de dispersão dinâmica. É o tipo mais antigo de LCD. Este tipo depende de uma quantidade mínima de corrente através do cristal, para que haja o alinhamento das moléculas. Este alinhamento das moléculas nada mais é do que uma turbulência intermolecular do cristal, provocada pela passagem de uma corrente através do mesmo. Pequenas impurezas são adicionadas ao cristal para facilitar a passagem de corrente (alguns microwatts de potência é o suficiente). Sua vida útil é relativamente curta, cerca de um (1) ano em operação normal e necessita de uma tensão de entrada relativamente alta, (12 volts a 15 volts). Além disto, apresentam problemas como: ima

gem sem brilho; contraste e ângulo de visão muito pequenos. O display não pode ser lido sob condições de luz muito fracas. Devido a esses fatores, este tipo de display praticamente não é utilizado.

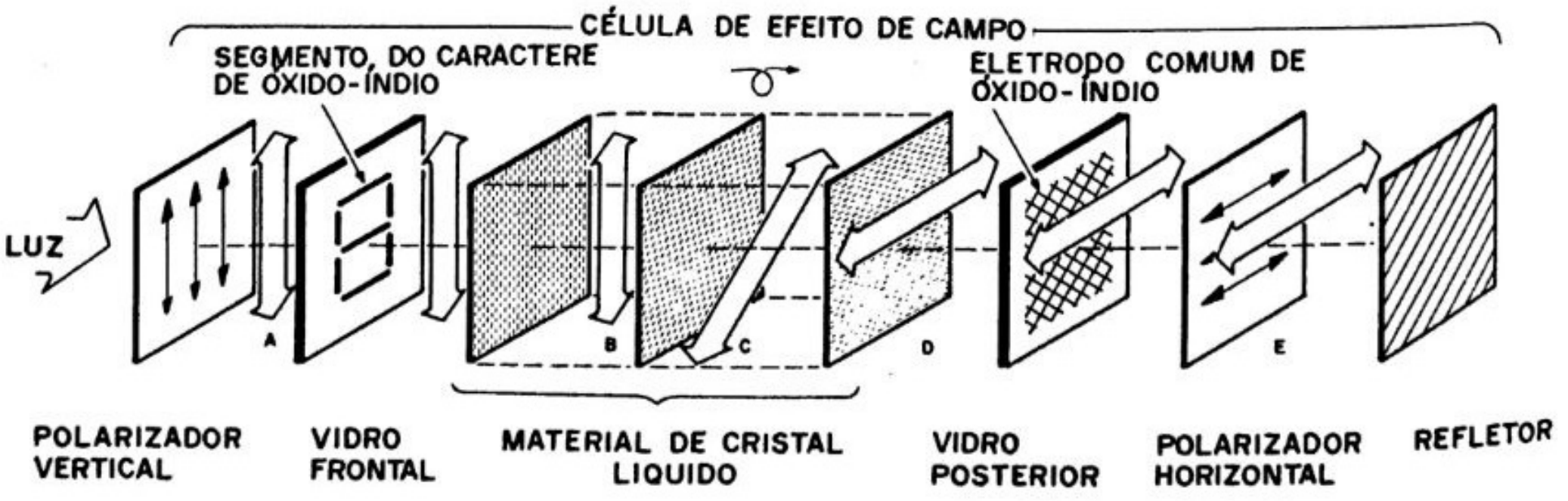
2) LCDs de efeito de campo. Enquanto que os LCDs de "dinâmica" eram operados por uma corrente elétrica, este outro tipo, LCD de "efeito de campo" é operado com tensão. O material de cristal líquido é um composto orgânico com propriedades nemáticas, ou seja, as moléculas do líquido ficam sujeitas a uma organização parcial ou agrupamento em determinadas condições. As longas e cilíndricas moléculas do cristal, quando postas em contato com uma superfície tratada de vidro, alinham-se ao longo de um eixo específico, para então formar um filtro polarizado.

Este tipo de LCD proporciona uma grande economia de energia, usando apenas alguns nanowatts de potência. Isto é possível, devido ao fato de o LCD não emitir luz, ele apenas reflete a luz.

Existem três tipos de LCDs: "refletivo", "transmitivo" e o "transfletivo". Vejamos a constituição de cada um deles:

a) LCDs Refletivos são constituídos de um polarizador - vertical, de material de cristal líquido, de um polarizador - horizontal, de um refletor e de eletrodos de óxido de índio; tudo montado em uma única pastilha de vidro. A figura 9 nos mostra alguns aspectos da montagem deste tipo de LCD.

FIGURA 9

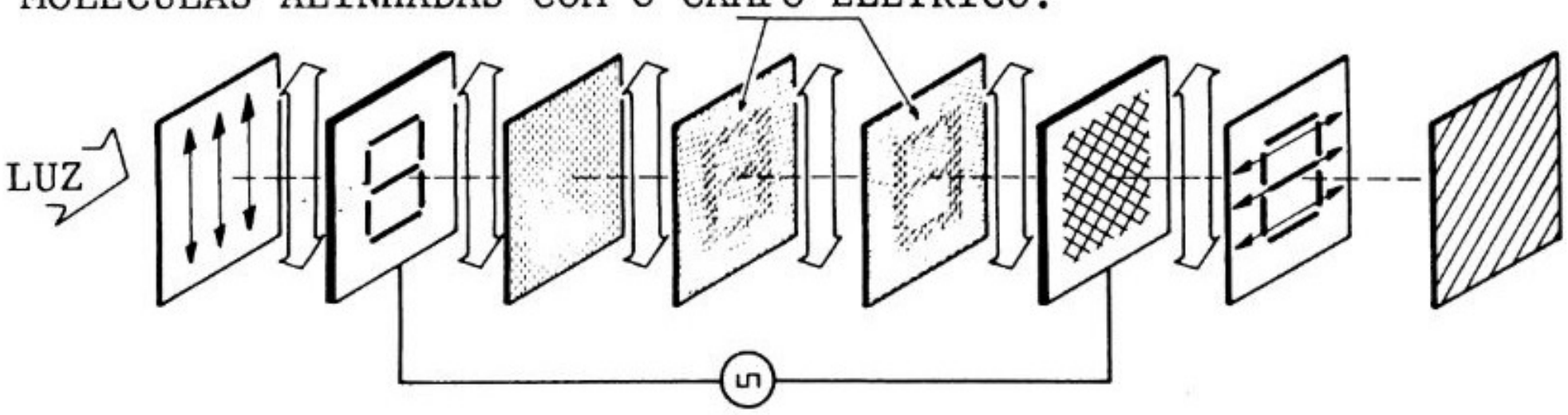


Quando o display não é energizado, a luz passa livremente através da célula e o LCD parece transparente. Quando o display é energizado, as moléculas, no material de cristal líquido, alinham-se com o campo elétrico e a rotação polar não ocorre na região dos elementos do desenho do caracter. A luz polarizada verticalmente, conforme a imagem produzida por esses elementos, não pode passar através do polarizador horizontal e é absorvida por este. Porém os elementos do display energizado aparecem como imagens pretas contra uma luz colorida no fundo. O refletor é colocado atrás do display, para levar vantagem da luz ambiente e refletir a imagem do desenho de volta ao mostrador. O LCD refletivo necessita de um alto nível de luz ambiente.

Em outras palavras, podemos dizer que ao se aplicar uma tensão aos eletrodos, o cristal líquido torna-se opaco. Como esta opacidade se encontra nas proximidades da tensão aplicada, os segmentos são individualmente endereçados. Daí o refletor reflete a luz de todas as partes do display não energizadas. Ver fig. 10.

FIGURA 10

MOLÉCULAS ALINHADAS COM O CAMPO ELÉTRICO.



b) LCDs Transmitivos não possuem refletor e, quando energizados, tornam-se semelhantes a um vidro plano. Para que se possam ver os caracteres nesta unidade, é necessário que se coloque uma fonte de luz atrás do display.

c) LCDs Transfletivos combinam as propriedades de ambos, ou seja, possuem um refletor para operação sob luz do dia, porém, este é fino o suficiente para permitir luz traseira no escuro. Um exemplo comum deste tipo é um LCD utilizado em relógio de pulso.

Os LCDs normalmente operam dentro da faixa de 3V a 12V RMS (Root Mean Square) "Tensão Eficaz". Alguns circuitos ope-

ram com 1,5 volts, mas incorporam um dobrador ou um triplicador de tensão para o display. O que realmente interessa é o valor eficaz (RMS) da tensão. Deve-se tomar cuidado com o potencial CC do sinal. Este deve ser menor que 50mV, pois tende a deteriorar o material de cristal líquido. A freqüência mínima do sinal AC está em torno de 25 Hz.

Operando o LCD

Na figura 11, temos um circuito que ilustra como deve ser ligado o LCD para que este funcione adequadamente. Observe que a saída da porta lógica "OU EXCLUSIVA" está conectada no eletrodo do segmento (LCD-Segment front plane) "segmento do plano frontal, enquanto a entrada do oscilador está ligada no terminal da superfície traseira do LCD (LCD Back plane)"plano traseiro" e na porta OU EXCLUSIVA.

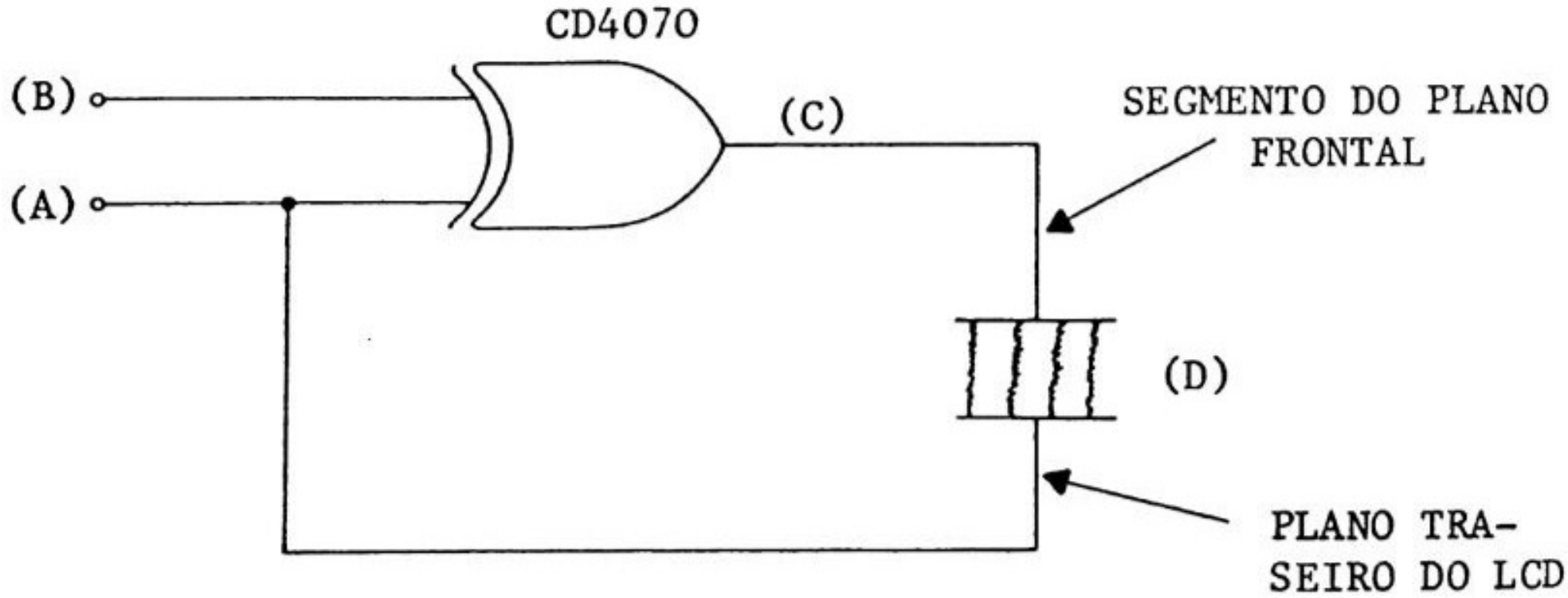


FIGURA 11

(A) - Entrada da onda quadrada de 40Hz, produzida pelo oscilador.

(B) - Entrada do sinal de controle liga/desliga (on/off) dos segmentos.

(C) - Saída da porta "OU EXCLUSIVA".

(D) - LCD.

Para ligar o segmento, basta aplicar a "lógica 1" à entrada de controle (B) e para desligá-lo, basta aplicar a "lógica 0". As formas de onda deste circuito são mostradas na figura 12.

A porta "OU EXCLUSIVA" é escolhida ou especificada de tal modo a manter mínimo o sinal CC. Na figura 12A, temos a onda quadrada de 40Hz para a porta "OU EXCLUSIVA". Em 12B, está a entrada de controle liga/desliga dos segmentos. Quando a entrada de controle é alta, a forma de onda 12C é a saída da porta "OU EXCLUSIVA". Em 12D, temos a forma de onda medida no LCD, com relação ao plano traseiro (Back plane). O resultado é um sinal AC com um valor de pico RMS de 2 x V_{DD}.

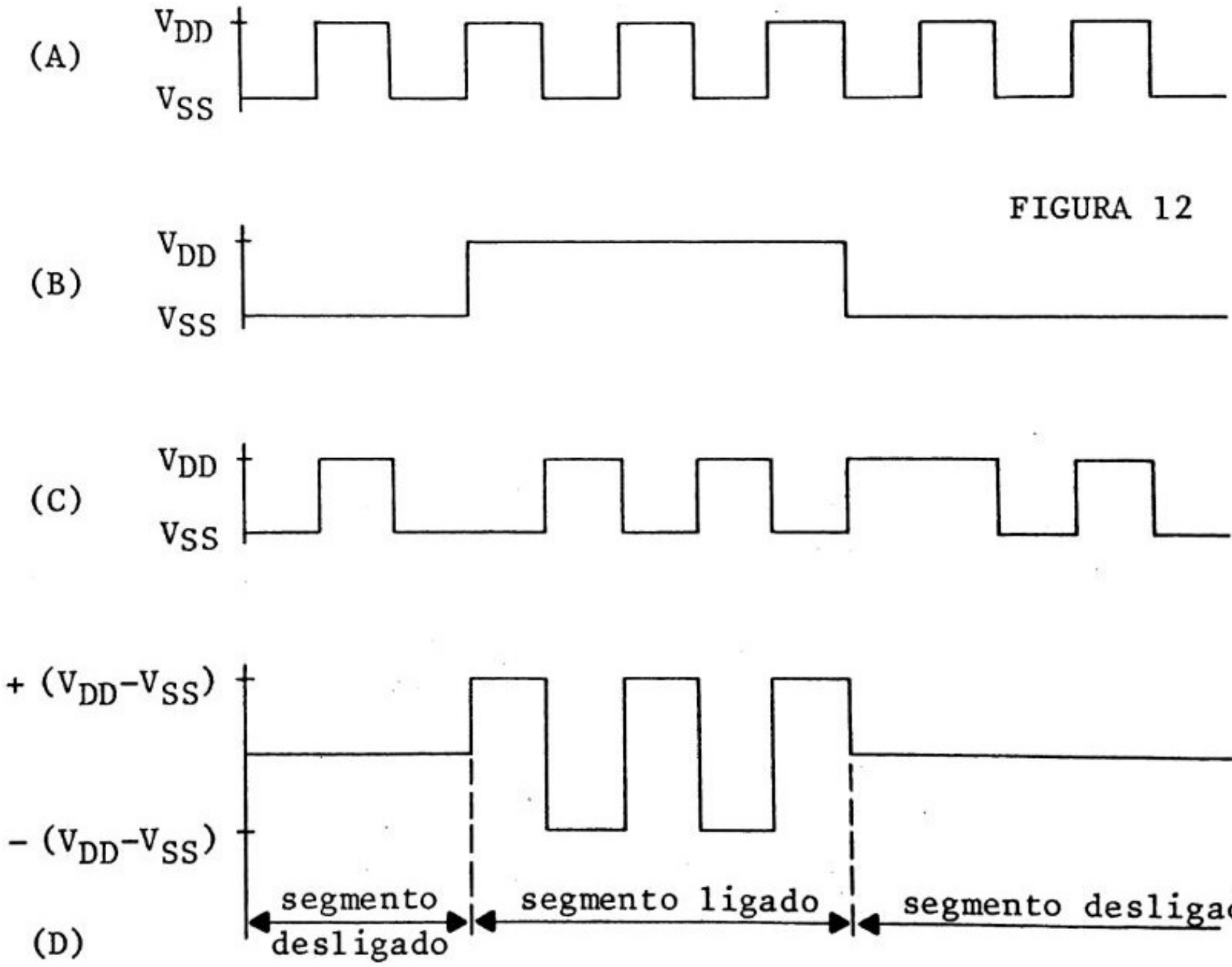
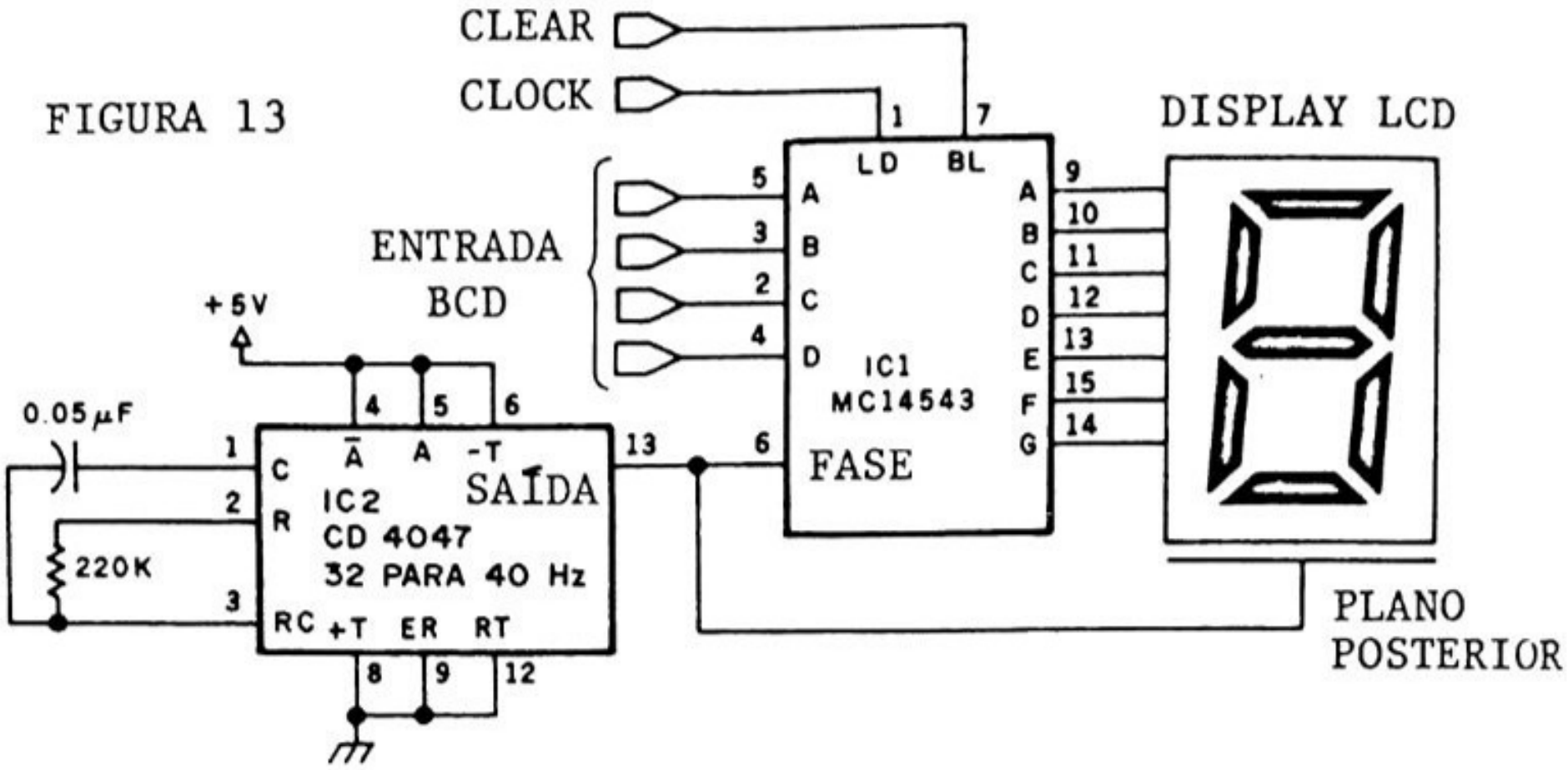


FIGURA 12

OBS: V_{DD} - sinal alto V_{SS} - sinal baixo

Para ligar um LCD a um circuito TTL, é recomendável utilizar um operador-LCD (decodificador), por exemplo, o MC 14543 (Latch CMOS BCD). A figura 13 nos mostra um circuito típico que utiliza um MC 14543 para um único display de sete segmentos.

FIGURA 13



No caso de displays maiores, por exemplo, um mostrador de quatro dígitos, podemos adicionar mais três MC 14543, ou então, usar um simples operador LCD de quatro dígitos DF 411. Este operador de LCD (DF411) possui uma entrada de dado multiplexada. A figura 14 nos mostra um circuito que utiliza o DF 411.

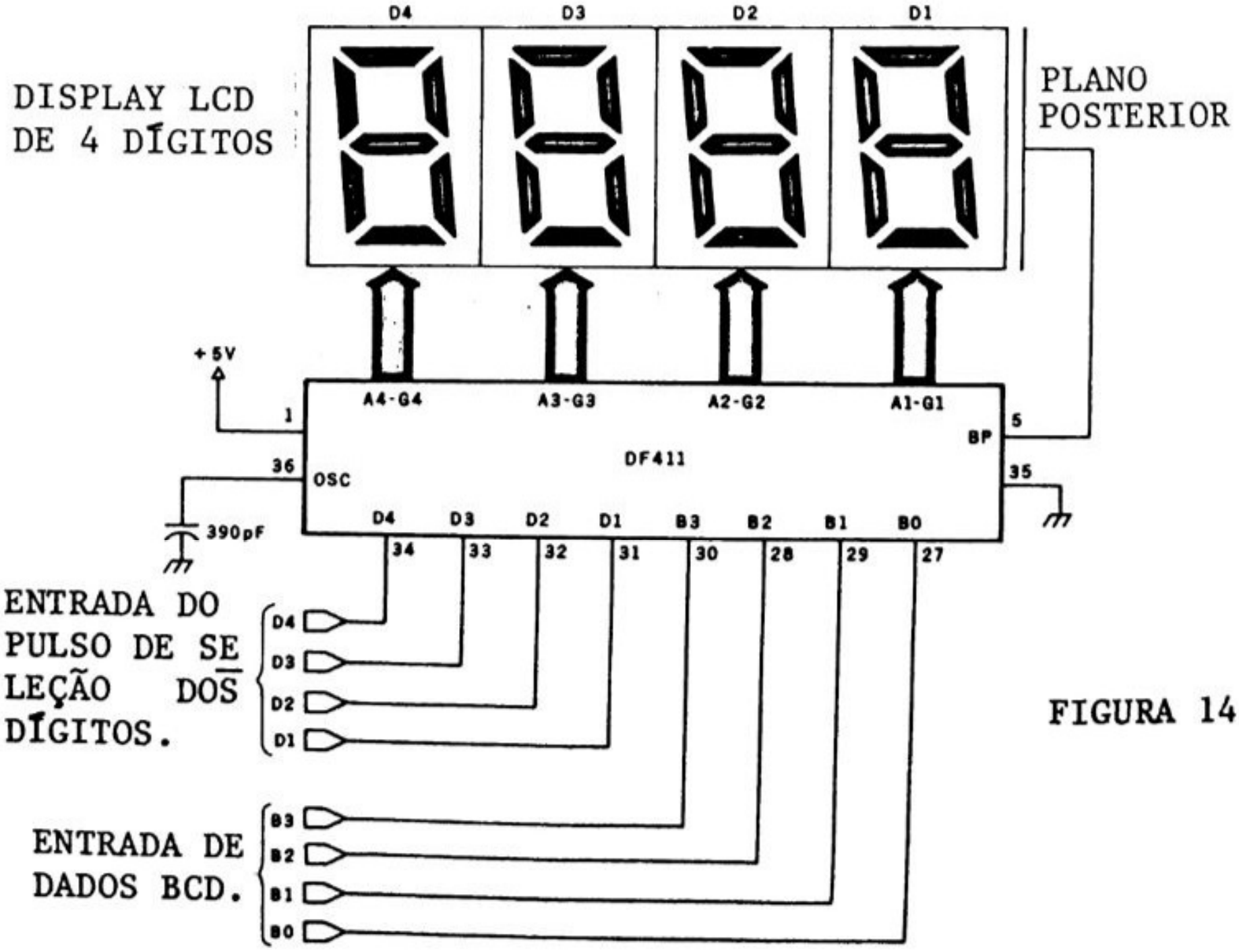


FIGURA 14

LIMITAÇÕES GERAIS

Os LCDs provavelmente nunca substituirão os displays de LEDs ou mesmo os de descarga a gás. Mas dominarão aplicações mais específicas, ou seja, aplicações onde a luz ambiente e a potência são os dois fatores mais importantes.

Podemos citar duas limitações importantíssimas para o uso do LCD. A primeira delas é com relação ao longo tempo de resposta do LCD, onde o tempo de desligar pode chegar até a 200 ms, sendo, por isso, considerado inviável por alguns usuários. Uma segunda limitação diz respeito à escala de temperatura de operação, a qual não chega a ser suficiente para algumas aplicações. Os limites de baixa temperatura são em torno de -10ºC, onde o ponto do tempo de "desligar" pode atingir algo em torno de um segundo, o que torna o LCD ineficaz - em determinadas aplicações. A faixa de temperatura normal dos LCDs fica em torno de +5ºC a +80ºC.

Porém, os LCDs continuarão a competir, em muitas outras aplicações, com os LEDs e os displays de descarga a gás, pois são muito versáteis, possuem alta legibilidade e custos altamente competitivos.

OUTROS TIPOS DE DISPLAYS

Citaremos alguns tipos de displays, mais a título de informação, uma vez que não são comumente aplicados, porém poderão ser encontrados em algumas aplicações especiais.

DISPLAY FLUORESCENTE A VÁCUO (FLAD)

Fornecido nos formatos segmentados e matriz de ponto. Este display tornou-se muito popular recentemente. Sua construção é semelhante a uma válvula triodo a vácuo. Cada segmento ou ponto possui um catodo, uma grade de controle a qual é utilizada para ativar ou desativar o segmento e um anodo. O anodo é revestido com fósforo, constituindo-se a parte visível do ponto ou do segmento, pois ao ser atingido por elétrons, este passa a emitir luz visível. Na figura 15, temos um esquema deste display.

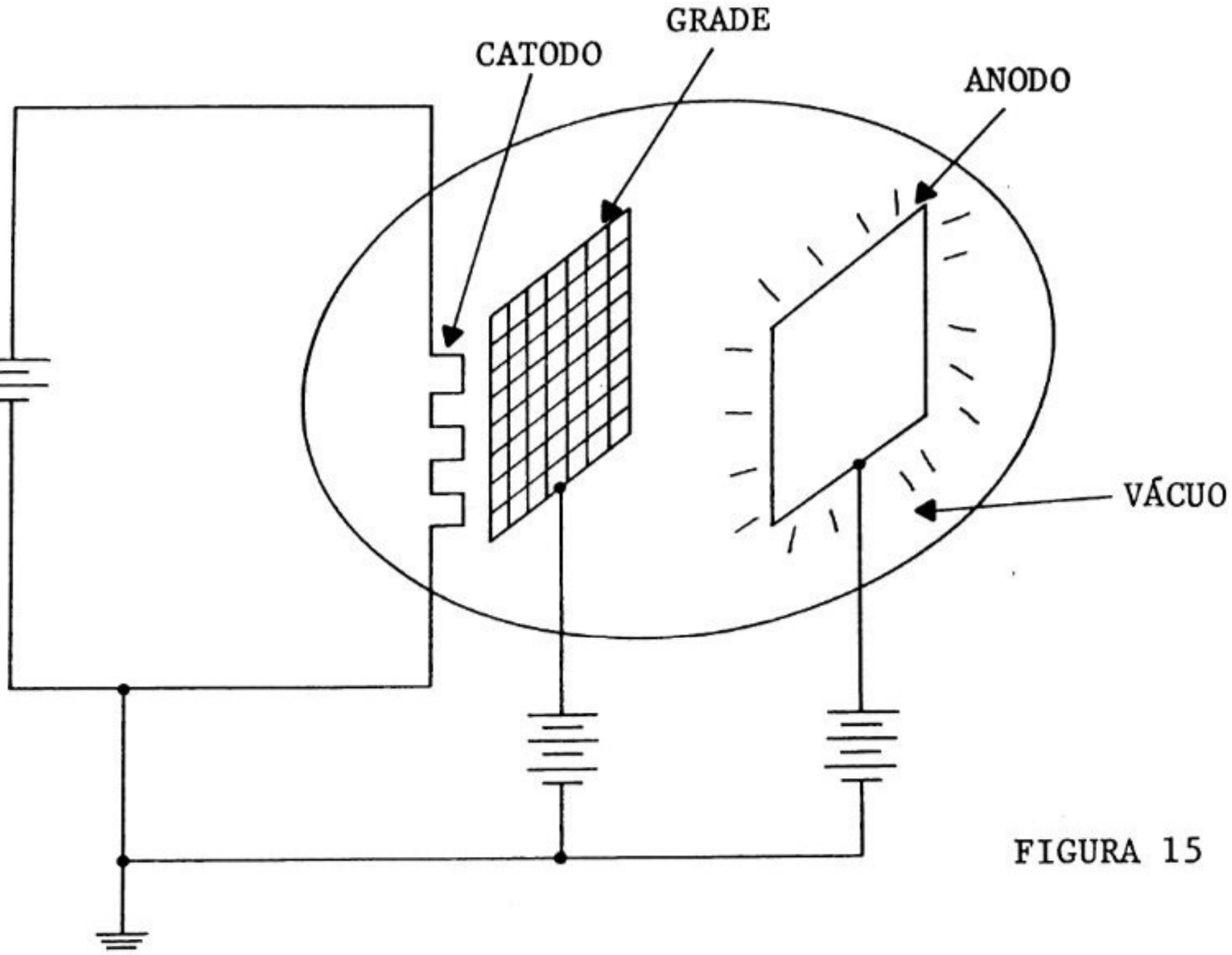


FIGURA 15

A grade é confeccionada de uma malha de fio muito fino, colocada entre o anodo e o catodo. O catodo é constituído de um material especial que, quando aquecido, emite grandes quantidades de elétrons. Em torno do mesmo forma-se uma nuvem de elétrons que são acelerados pela grade em direção ao anodo.

Supondo que o potencial da grade seja positivo, os elétrons do catodo serão atraídos pela grade. Como o anodo está a um potencial mais elevado do que a grade, a grande maioria dos elétrons passarão pela grade e serão atraídos pelo anodo.

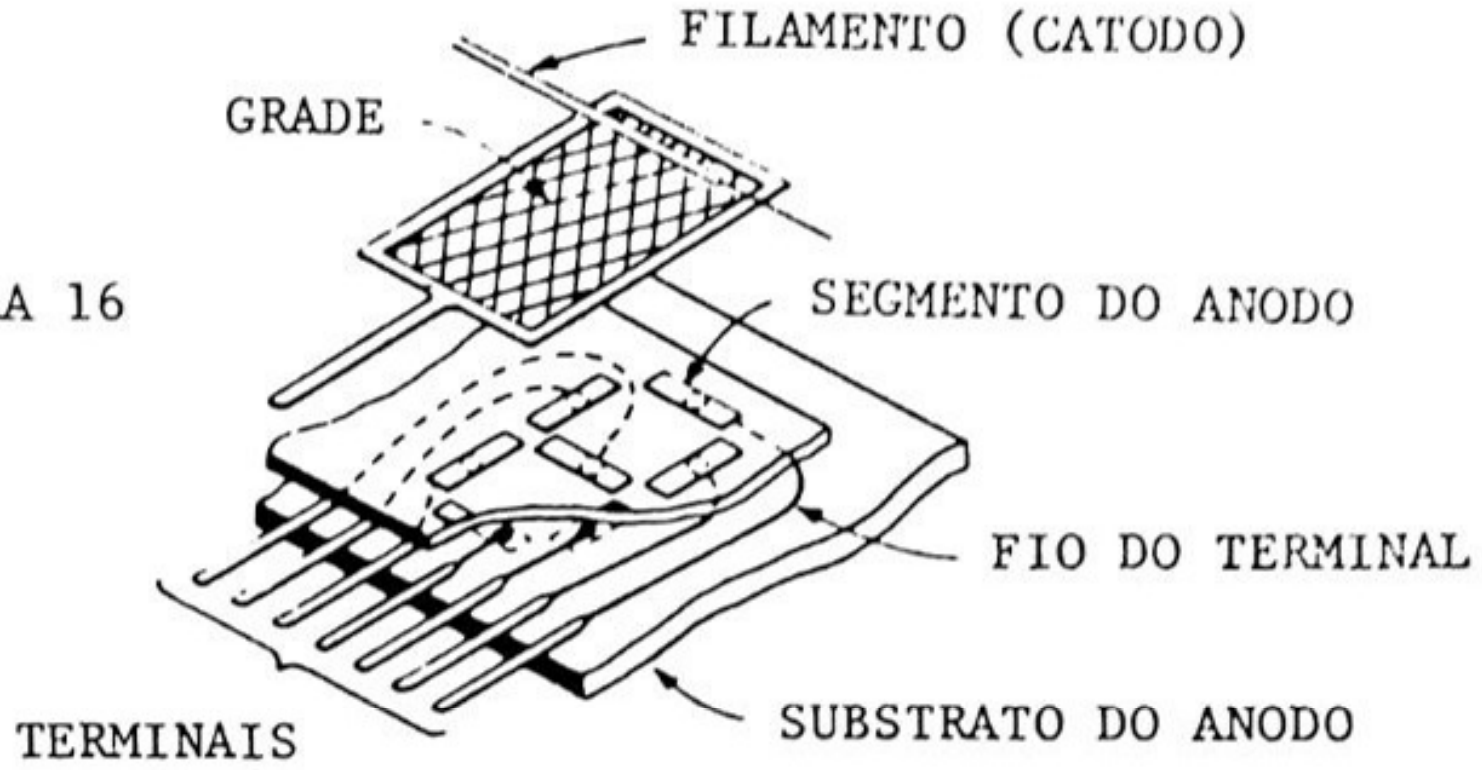
Ao chocarem-se os elétrons e a camada de fósforo do anodo, este passa a emitir luz.

Seu consumo energético é menor do que o dos LEDs, porém, devido a sua construção, necessita de uma tensão em torno de 30 a 40 volts.

Este tipo de display apresenta uma alta luminosidade e uma coloração azul-esverdeada. Pode ser encontrado em diver

sos tamanhos, como unidades de caracteres individuais ou múltiplos. A figura 16 nos mostra alguns aspectos construtivos - desse display.

FIGURA 16



OBS. Esse display também é conhecido pela sigla FLAD. (Fluorescent Activated Display).

DISPLAY INCANDESCENTE

Trata-se de um filamento contido no interior de um bulbo com vácuo. O filamento é aquecido por uma corrente até acender-se e, quanto maior a corrente, maior o seu brilho.

São encontrados na forma de matriz de ponto ou segmentados. Cada segmento compõe-se de um filamento, enquanto cada ponto da matriz de ponto, geralmente, corresponde a um bulbo separado. A figura 17 nos mostra o esquema básico de um display incandescente.

Este display nos permite obter qualquer cor, uma vez que o filamento emite luz branca. A cor desejada é obtida através do uso de filtros especiais.

Os displays incandescentes exigem maior potência que os demais. São comuns valores de 20 a 30mA por segmento. Por outro lado, eles podem operar dentro de uma ampla faixa de temperaturas, de - 50 a + 125ºC.

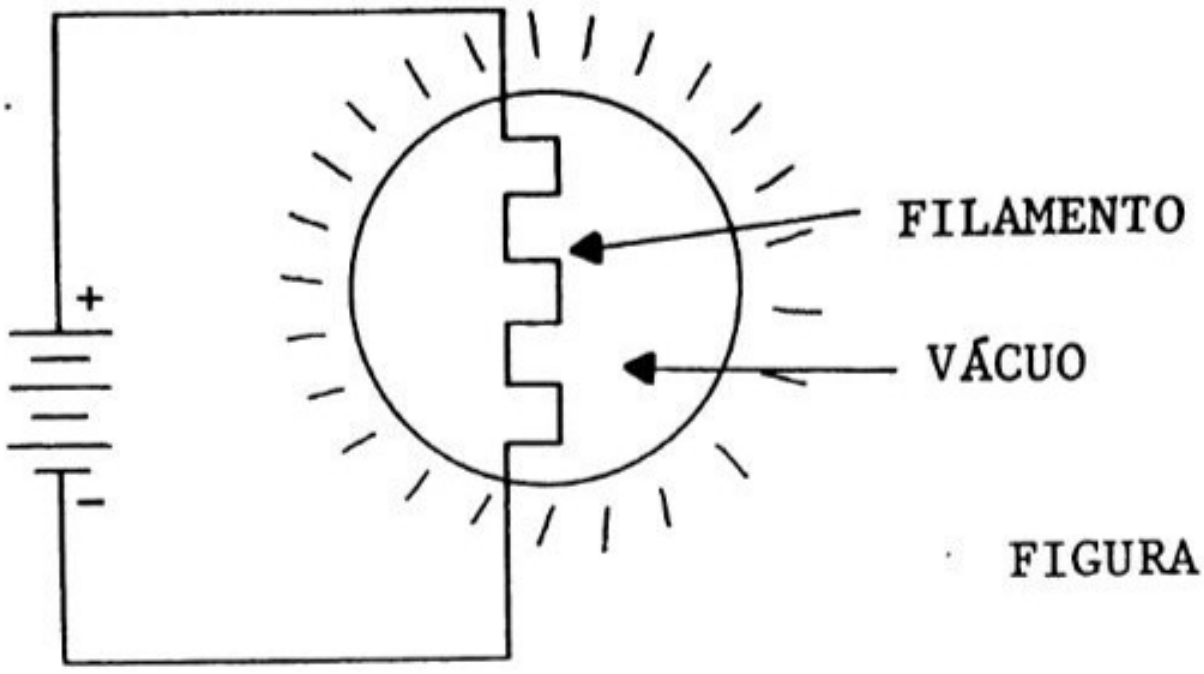


FIGURA 17

Como exemplo de display incandescente, podemos citar a válvula numitron da RCA. Esta válvula possui sete segmentos, formados por finos filamentos de tungstênio, montados sobre uma base de material escuro. De acordo com a combinação dos filamentos que acendem, podemos obter a formação de algarismos de 0 a 9. Em alguns casos, pode-se obter ainda o ponto decimal e/ou os sinais positivo (+) e negativo (-). Em muitas aplicações, esta válvula pode ser excitada diretamente pelos decodificadores TTL. A figura 18 nos mostra uma válvula numitron (VR 2000).

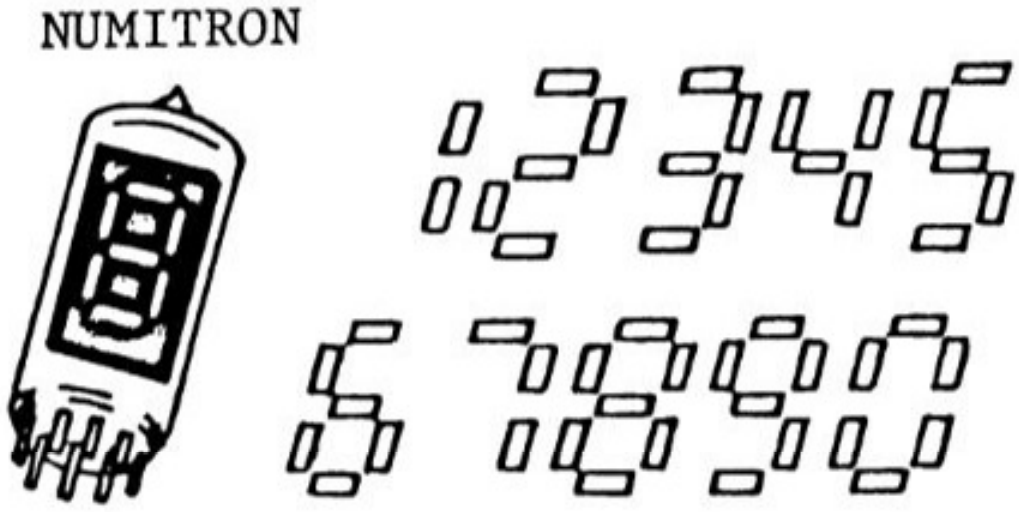


FIGURA 18

DISPLAYS ELETROMECÂNICOS

Seus segmentos são movidos por ação eletromagnética, mudando-se, assim, sua face colorida ou pintada. Esse tipo de display é muito semelhante aos de grandes dimensões, de usos exteriores, os quais utilizam, por exemplo, discos coloridos,

dispostos em uma matriz 5 x 7.

Ímãs permanentes mantêm os segmentos em seus lugares,até que sejam impulsionados novamente. Com isto, torna-se desnecessária a energia de retenção. A figura 19 nos mostra um display eletromecânico utilizado nas bombas de gasolina européias. Nas ruas do rio de janeiro é comum encontrar relógios termometros que utilizam este tipo de display.

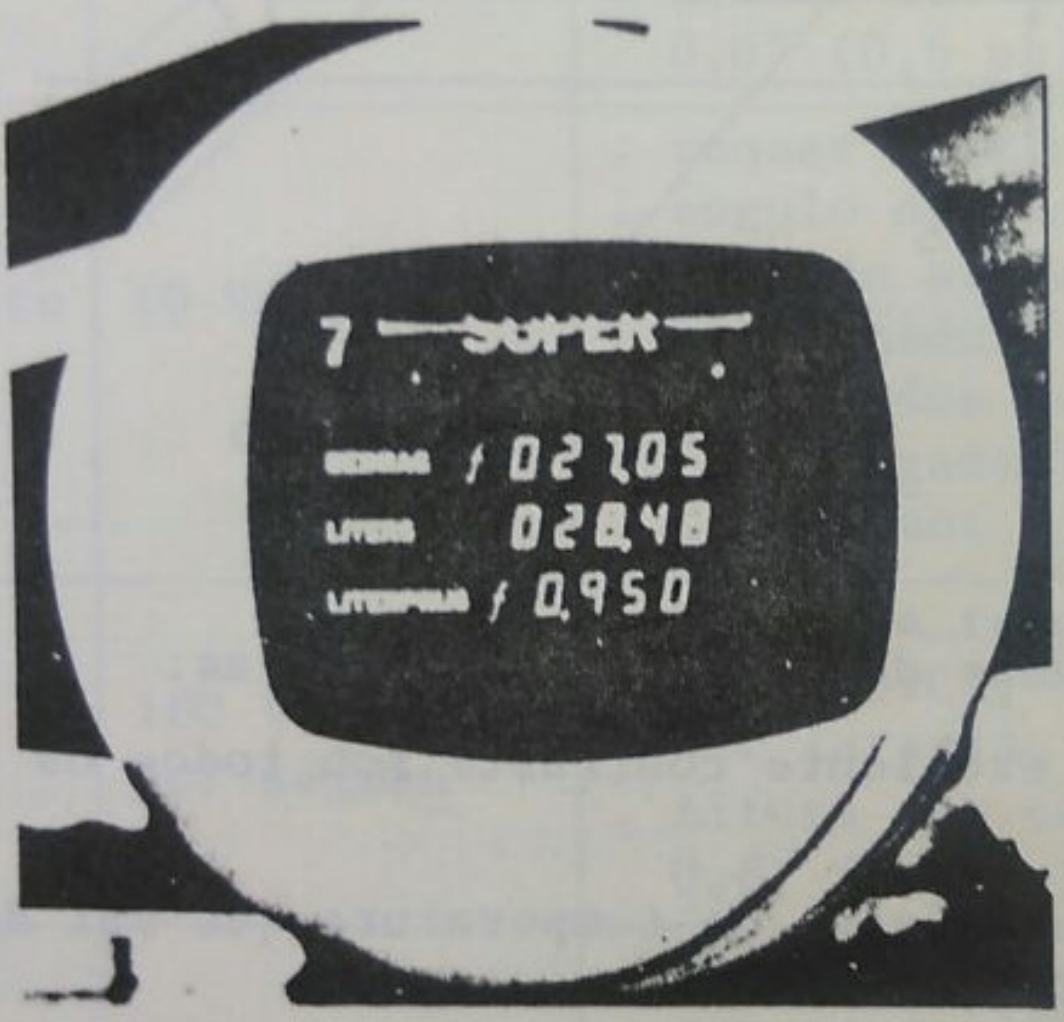


FIGURA 19

DISPLAYS ELETROLÍTICOS

Trata-se de um novo processo de visualização da informação, a qual é obtida por meio do depósito de uma película de prata na superfície do eletrodo transparente de uma célula, a eletrólise. Essa película de prata é muito delgada,mais ou menos 50Å (50×10^{-10}m). Sua principal função é atenuar a luz que a atravessa. Com isto, a zona marcada torna-se mais escura, destacando-se assim do fundo claro. A figura 20 nos apresenta o esquema de um mostrador, visto em secção.

Este dispositivo permite a memorização do dado (permanência do caracter no mostrador), através de reações químicas reversíveis que ocorrem no eletrolítico.

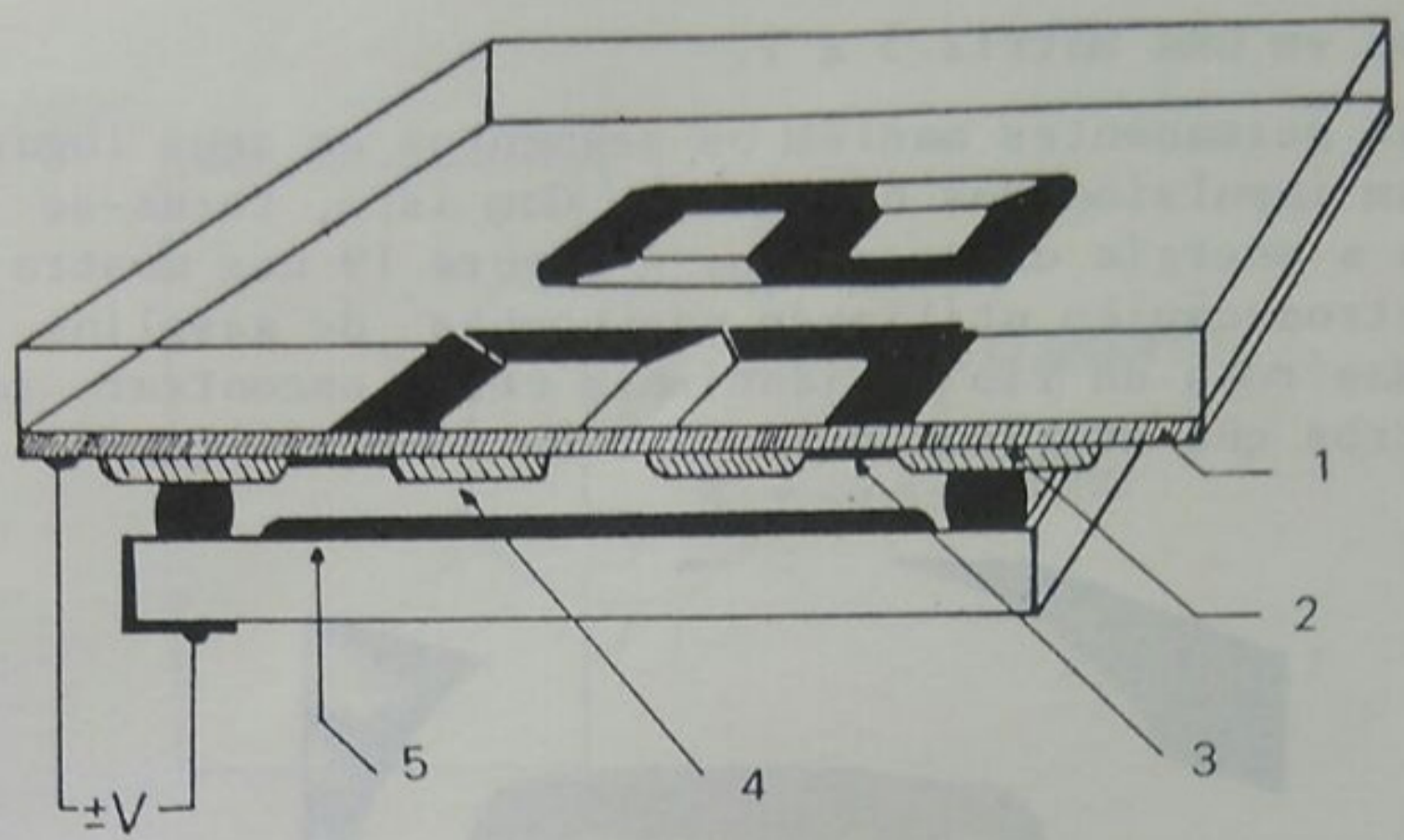


FIGURA 20

Vejamos algumas de suas características:

- Apresenta excelente contraste sob todos os ângulos de visão;
- Opera ém uma faixa de temperatura que vai desde - 25ºC até + 60ºC;
- Utiliza tensão de comando de 1 volts;
- Apresenta consumo insignificante, que se deve à memorização da informação sem consumo de energia;
- Custo reduzido.

Uma desvantagem que este dispositivo apresenta é o fato de não permitir a multiplexação. Sua aplicação mais comum se verifica em relógios, calculadoras de bolso e aparelhos de medição e de controle em automóveis e aviões

COMPARAÇÃO ENTRE OS DIVERSOS TIPOS DE DISPLAYS

Dentre os diversos tipos de displays apresentados, os mais comuns são os LEDs e os LCDs. Hoje, dispomos de vários tipos de mostradores, os quais são oferecidos em diversos tamanhos e diversas cores. Vantagens e desvantagens se asso-

ciam a cada tipo, em função da aplicação. Vejamos,então, um quadro comparativo entre os diversos displays.

TIPOS DE DISPLAYS		
TIPO	ALIMENTAÇÃO	COMENTÁRIOS
Diodos emissores de luz.	5V, 10mA.	. Cores: vermelho, laranja e verde; . altura dos caracteres: até 0,6" (0,6 polegadas);
Cristal líquido de efeito de campo.	10 Vpp, 1μA	. requer iluminação; . ângulo de visão limitado; . umidade afeta a vida útil do polarizador, . altura dos caracteres: até 2" (2 polegadas); . Comutaçao: 150ms a 25ºC.
Descarga a gás.	180 V, 2mA por segmento.	. faixa de temperatura limitada (0 a 65ºC); . Cor laranja; . Altura dos caracteres: até - 0,8" (0,8 polegadas).
Incandescente.	4,5V, 24mA por segmento.	. Utilizando-se filtros, consegue-se qualquer cor; . Excelente luminosidade; . Altura dos caracteres: até 1" (1 polegada).
Fluorescente a vácuo.	18V, 1,3mA por dígito. Precisa de alimentações de grade e filamento.	. Cor: azul esverdeado, sendo - possível obter outras cores com o uso de filtros; . Altura dos caracteres: até 1" (1 polegada).
Eletrolítico.	1V Consumo insignificante de energia.	. Ângulo de visão: 180ºC; . Temperatura de funcionamento: -25ºC a +60ºC; . possui memória, sem consumo.
Eletromêcanico.	28V, 400mA. por segmento	. Memória inerente; . Requer iluminação ambiente; . Altura dos caracteres: até 1" (1 polegada).

CEDM - CURSO DE ELETRONICA DIGITAL E MICROPROCESSADORES

EXAME DA LIÇÃO ED-21

OBSERVAÇÃO

- cada questão é composta de três ou quatro alternativas.
- só uma delas está correta.
- marque a que considerar correta.
- passe as respostas corretas para a folha de exame.

1) Os displays são fornecidos nos seguintes formatos:

   a) segmentado e multiplexado;

   b) segmentado e matriz de ponto;

   c) matriz de ponto e matriz de diodo.

2) Os primeiros displays que surgiram foram:

   a) catodo frio;

   b) LEDs;

   c) LCDs.

3) Num display de sete segmentos, o algarismo 6 é obtido quando se acendem os seguintes segmentos:

a) "a", "b", "c", "e", "f" e "g";

b) "a", "b", "c", "d", "e" e "g";

c) "a", "c", "d", "e", "f" e "g".

4) Em um display de LEDs, um multiplexador percorre todos os segmentos "a", acendendo um de cada vez. Em seguida o multiplexador irá fazer o mesmo com o segmento:

a) "d";

b) "c";

c) "b".

5) Uma das técnicas utilizadas na produção de dígitos discretos de LEDs é:

a) difusão pelo ar;

b) difusão pelo vácuo;

c) dispersão dinâmica.

6) Os LCDs, basicamente, são:

a) refletores de luz;

b) absorvedores de luz;

c) transmissores de luz, quando dispõem de refletor.

7) O LCD refletivo requer um nível de luz ambiental:

a) muito baixo;

b) alto;

c) baixo.

8) O display fluorescente a vácuo (FLAD) é construído de modo semelhante a um:

a) triodo a vácuo;

b) diodo a vácuo;

c) transistor semicondutor.

9) Os displays eletrolíticos:

a) permitem a multiplexação;

b) permitem o acionamento eletromecânico;

c) não permitem a multiplexação.

10) O display que possui maior brilho é:

a) LED;

b) LCD;

c) Incandescente.

CEDM-CURSO DE ELETRONICA DIGITAL E MICROPROCESSADORES
CAIXA POSTAL 1642 – CEP 86100 – LONDRINA-PR.

LIÇÃO ED-22

TRÊS ESTADOS (THREE-STATE)

INTRODUÇÃO

Nos sistemas com microprocessadores, pode-se observar que todos os seus elementos trocam informações com os periféricos, através de um conjunto de linhas de interconecção, também chamada de BARRAMENTO (BUS). A comunicação de um microprocessador com o mundo exterior se dá através de um ou mais circuitos de entrada e saída, designados de unidades E/S (entrada/saída) ou de I/O (input/output). No mesmo instante em que o microprocessador conecta um elemento ao sistema de barramento, para descarregar a informação, ele deve desconectar do barramento todos os demais elementos que não estão envolvidos na operação, evitando-se, desta forma, possíveis "curto-circuitos" que invalidariam toda a informação. O que permite à UCP (Unidade Central de Processamento) selecionar um certo elemento e conectá-lo ao barramento de dados e, ao mesmo tempo, desativar os restantes, é a capacidade de saída em terceiro estado de todos os elementos.

O objetivo desta lição é apresentar o dispositivo chamado de TRÊS-ESTADOS (THREE-STATE), estudar suas características e citar algumas aplicações práticas do mesmo. Faremos também um breve estudo sobre barramentos. Maiores detalhes a respeito de UCP, I/O, periféricos e barramentos (BUS) serão for-

necidos, quando iniciarmos os estudos sobre o microcomputador. Apresentaremos também os dispositivos acopladores optoeletrônicos, suas principais características e algumas de suas aplicações.

BARRAMENTOS (BUS)

Trata-se de uma via de condução (conjunto de fios) comum, através da qual a informação digital é transferida, de algumas das várias fontes para algumas das várias destinações. O barramento deixa mais acessível o número de inter-ligações necessárias para a transferência de informações entre dispositivos digitais. Em um dado instante, pode ocorrer somente uma transferência. Conseqüentemente, durante tal transferência,os demais elementos não envolvidos, ligados ao barramento, devem ser inabilitados.

Normalmente, os barramentos estão presentes:

- Dentro de um CHIP de um microprocessador;
- Entre circuitos integrados no interior de um microcomputador;
- Entre sistemas digitais e instrumentos.

Em eletrônica digital, a utilização de barramentos é muito importante, pois facilita a interligação de vários sistemas, bem como a sua expansão. Os barramentos facilitam também o trabalho do projetista, permitindo a execução de grandes projetos em módulos.

Note que, aparentemente, as características do barramento podem parecer contraditórias, ou seja, como é que um barramento pode ligar múltiplas fontes e múltiplos receptores(em uma via comum de condução), se num determinado instante só pode ocorrer a transferência de uma informação? Como solucionar este problema?

A solução, pioneira, foi encontrada pela Corporação Nacional de Semicondutores que desenvolveu um dispositivo com três-estados (THREE-STATE) de saída.

TRÊS ESTADOS (THREE-STATE)

Trata-se de um dispositivo de três-estados, ou seja,dois estados capazes de registrar a lógica "0" (zero) e "1" (um) binários e um terceiro estado de alta impedância (desligado). Esse terceiro estado é controlado através de um terminal à parte, chamado de habilitação de saída (output enable).

A figura 1 abaixo nos mostra a simbologia usada para representar um THREE-STATE.

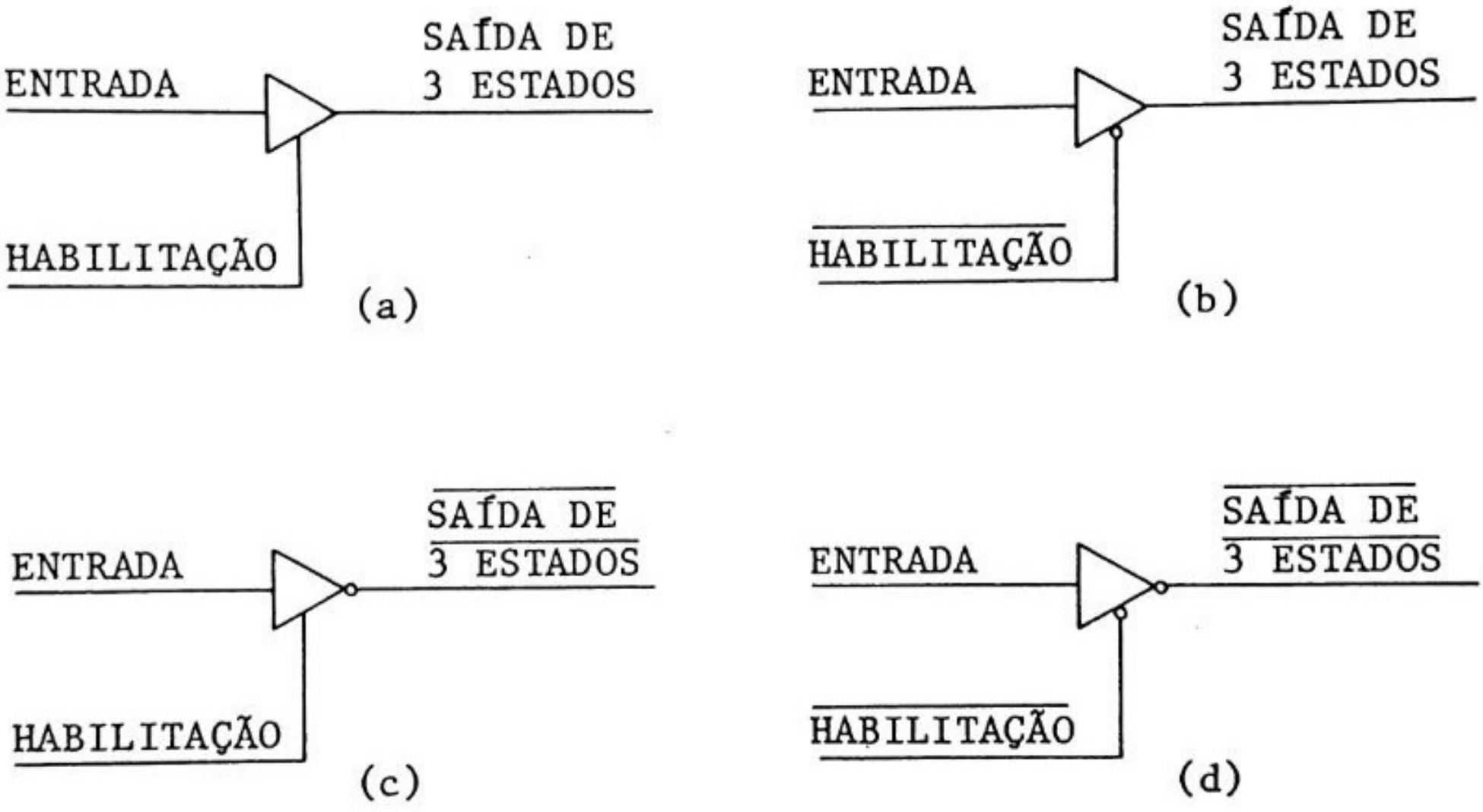


FIGURA 1

Obs.: Habilitação (Enable)

Uma das propriedades mais importantes deste dispositivo de três-estados reside no fato de que, não apenas as saídas, mas também suas entradas vão para o estado de alta impedância, (desligado ou também conhecido por estado flutuante), - quando desativadas. Por exemplo, se conectarmos um certo número de three-state a uma saída TTL normal, a carga sobre ela será definida pelo número de dispositivos ativados simultaneamente e não pelo total de three-state conectados.

Vejamos agora algumas características desses dispositi - vos de três-estados, comuns entre alguns fabricantes.

- Compatibilidade com a série 54/74 TTL;
- A uma linha de barramento comum, podem-se ligar até 128 amplificadores (BUFFERS THREE-STATE);
- Alta capacidade do amplificador;
- Controle independente de cada "BUFFER THREE-STATE";
- As saídas podem ser ligadas juntas ou então conectadas a uma porta lógica.

As características apresentadas acima são mais voltadas para a aplicação. No entanto, um dispositivo "Three-state" apresenta três características fundamentais quanto aos possíveis estados de saída:

- Lógica 0;
- Lógica 1;
- Alta Impedância (desligado ou flutuante).

Quando a saída do "Three-state" não está no estado de alta impedância, este comporta-se como um dispositivo TTL normal, ao passo que, se a saída estiver no estado de alta impedância, ou seja, inabilitado,o "Three-state" comporta-se como se estivesse desligado do circuito. O pino habilitado/desabilitado (Enable/Disable) é que controla o dispositivo, quanto ao fato deste se comportar como um TTL normal ou estar desligado (estado de alta impedância).

Vejamos, através da figura 2, que um circuito "Three-state" pode ser comparado a um relé (que possui um contato normalmente aberto e sua respectiva armadura).

A	B	C
0	0	∞
1	0	∞
0	1	0
1	1	1

Tabela verdade do circuito equivalente.

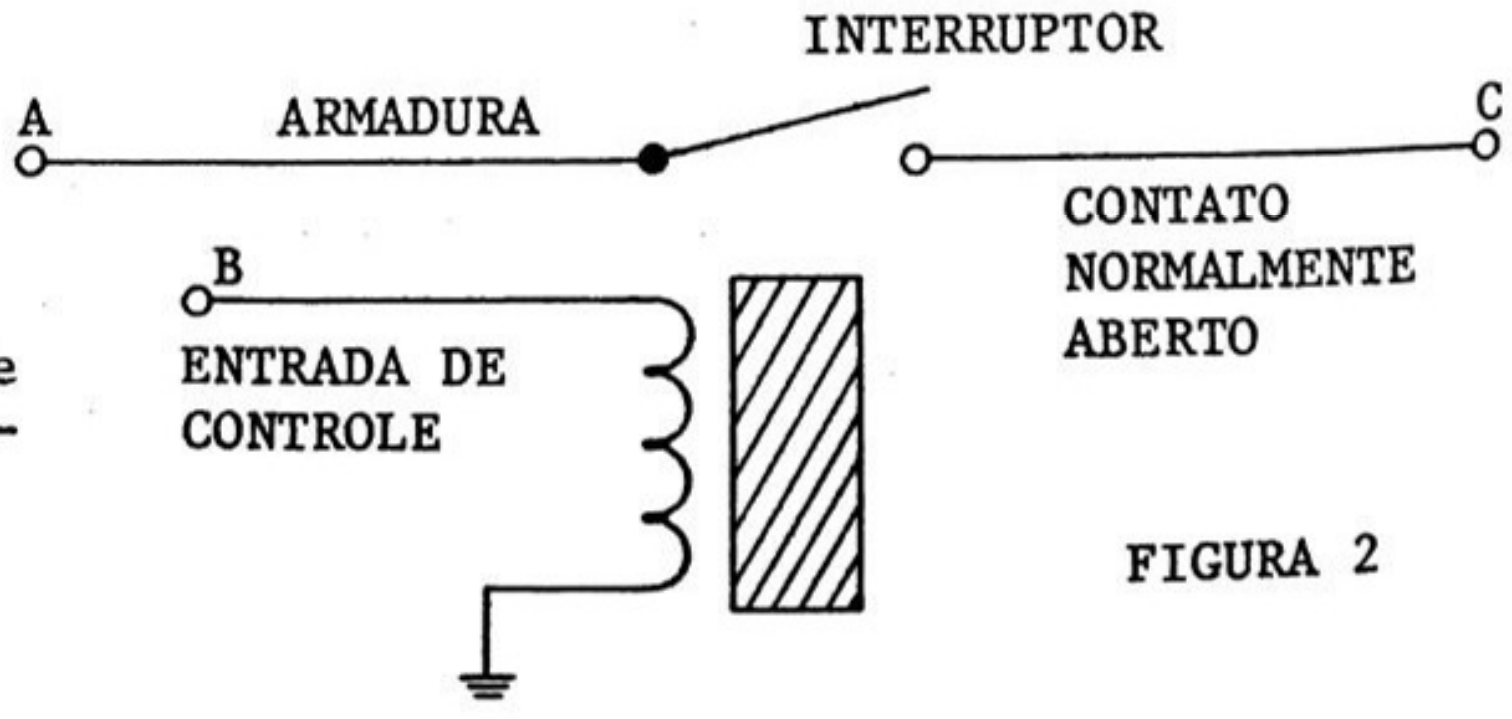


FIGURA 2

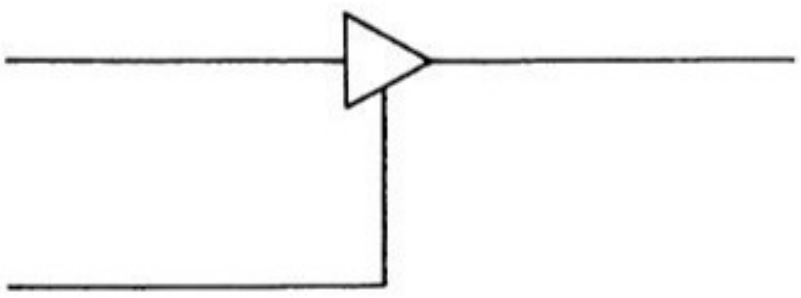
CIRCUITO EQUIVALENTE AO THREE-STATE

Vejamos agora como funciona o circuito da figura 2. Quando a entrada de controle (controle) "B" estiver baixa "0" (ou terra) não circulará corrente pela bobina. Conseqüentemente o interruptor permanecerá aberto. Teremos, então, uma alta impedância de saída "∞". Quando a entrada de controle "B" estiver alta "1", teremos uma corrente circulando através da bobina e então o contato se fechará. Conseqüentemente, teremos na saída "C" o mesmo estado da entrada "A".

Obs.: O símbolo infinito "∞" representa alta impedância.

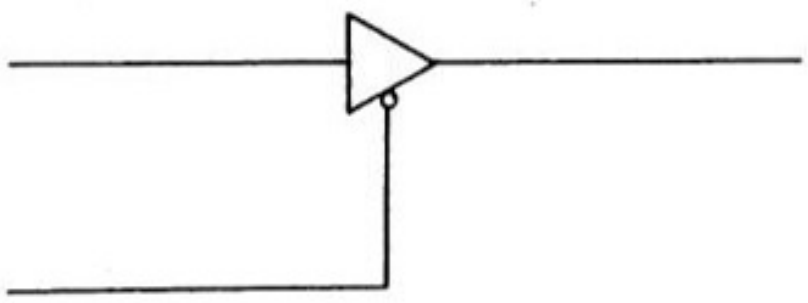
Façamos, então, as tabelas verdade para os quatro casos apresentados na figura 1.

a)



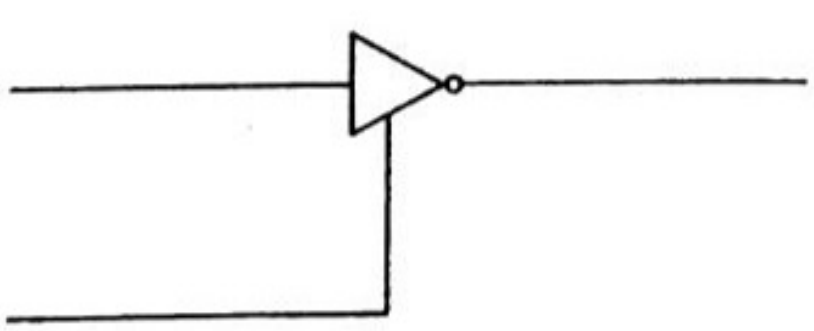
A	B	C
0	0	∞
1	0	∞
0	1	0
1	1	1

b)



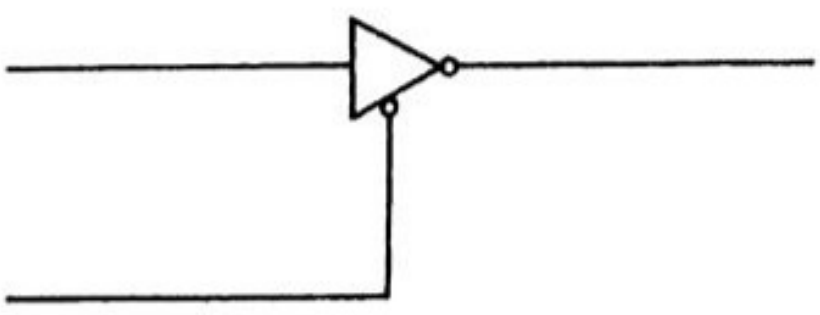
A	B	C
0	0	0
1	0	1
0	1	∞
1	1	∞

c)



A	B	C
0	0	∞
1	0	∞
0	1	1
1	1	0

d)



A	B	C
0	0	1
1	0	0
0	1	∞
1	1	∞

Vamos descrever as tabelas verdade,apresentadas nos quatro itens anteriores.

Na tabela verdade do item "a" verificamos que, se a entrada "A" estiver baixa e o controle "B" também estiver baixo, a saída estará desabilitada,ou seja, teremos uma alta impedância na saída. Obteremos, novamente, alta impedância na saída,quando a entrada "A" estiver alta e o controle "B" estiver baixo. Se tivermos a entrada "A" baixa e o controle "B" alto, obteremos na saída a lógica 0. Caso tenhamos a entrada (A) alta e o controle "B" também alto, obteremos na saída a lógica 1. Verificando a tabela verdade no item "a", podemos concluir que todas as vezes em que tivermos o controle "B"baixo ("0" binário), teremos na saída o estado de alta impedância "∞". Porém, se tivermos o controle alto (1 binário),teremos na saída os estados lógicos "0" e "1", ou seja, o "Three-state" irá se comportar como um dispositivo TTL normal.

O mesmo ocorre em relação aos ítens b, c e d, porém deve-se tomar cuidado com os inversores.

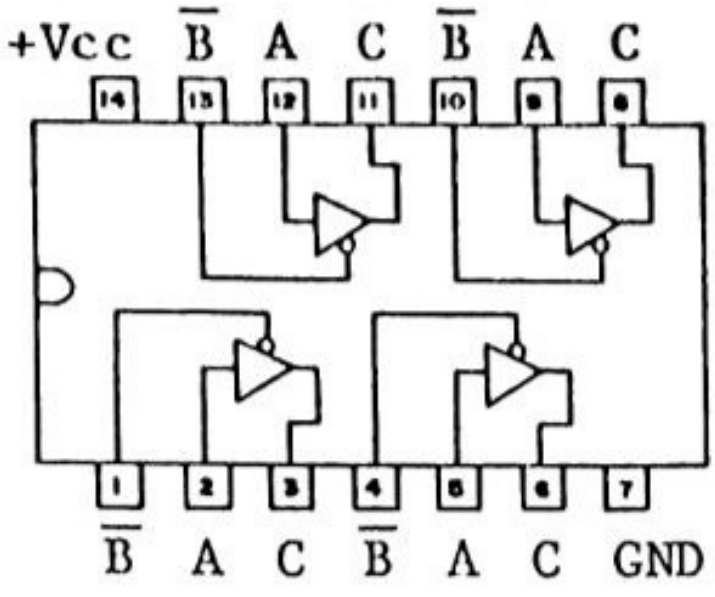
CIRCUITOS INTEGRADOS COM TRÊS-ESTADOS

Vamos apenas tecer alguns comentários sobre os CIs mais utilizados e citar algumas de suas características funcionais. Todavia, antes de iniciarmos, falaremos um pouco sobre os barramentos amplificados (BUS BUFFERES).

Os barramentos amplificados (BUS BUFFERES) são circuitos que permitem expandir a carga admissível dos barramentos, respeitando a polaridade dos sinais ou invertendo-os. Normalmente possuem saídas de três-estados.

AMPLIFICADORES DE TRÊS-ESTADOS 74LS125 e 74LS126

Cada circuito integrado (C.I.) 74LS125 e 74LS126 possui quatro amplificadores (BUFFER) com pino habilitado/desabilitado (ENABLE/DISABLE),ligado separadamente um do outro (ver figura 3A e 3B). A diferença entre os dois CIs é que o 74LS125 é habilitado com uma lógica "0", enquanto o 74LS126 é habilitado com um lógica "1". A entrada de alimentação para ambos é feita através dos pinos 7 e 14.



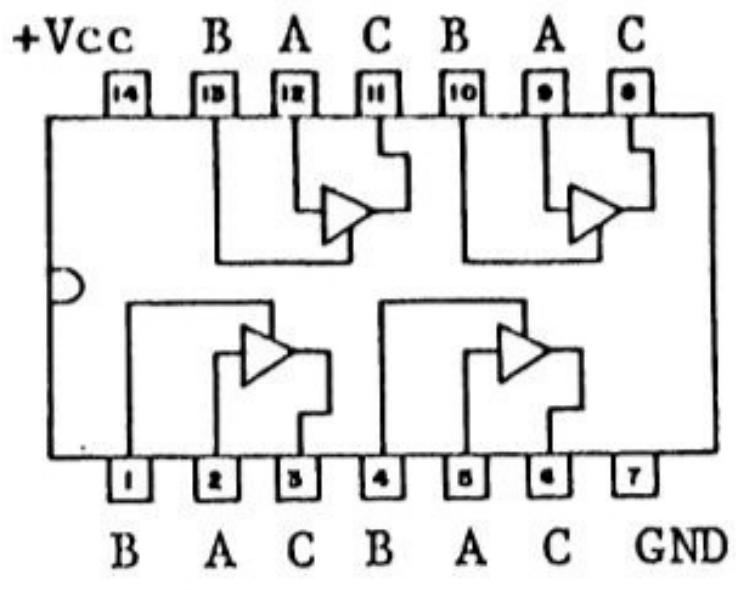


FIGURA 3

GND (GROUND) = TERRA

AMPLIFICADOR DE TRÊS ESTADOS COM PORTA "NÃO OU" (NOR) COMUM, HABILITADA POR DUAS ENTRADAS - SN74LS365/74365:

Este circuito integrado possui seis amplificadores, cujos pinos habilitado/desabilitado estão ligados em comum. Estes amplificadores são habilitados simultaneamente através da saída de uma porta "NÃO OU" (NOR) interna de duas entradas ($\overline{B}_1$ e $\overline{B}_2$). A figura 4 nos mostra a simbologia e conexão do SN74LS365/74365.

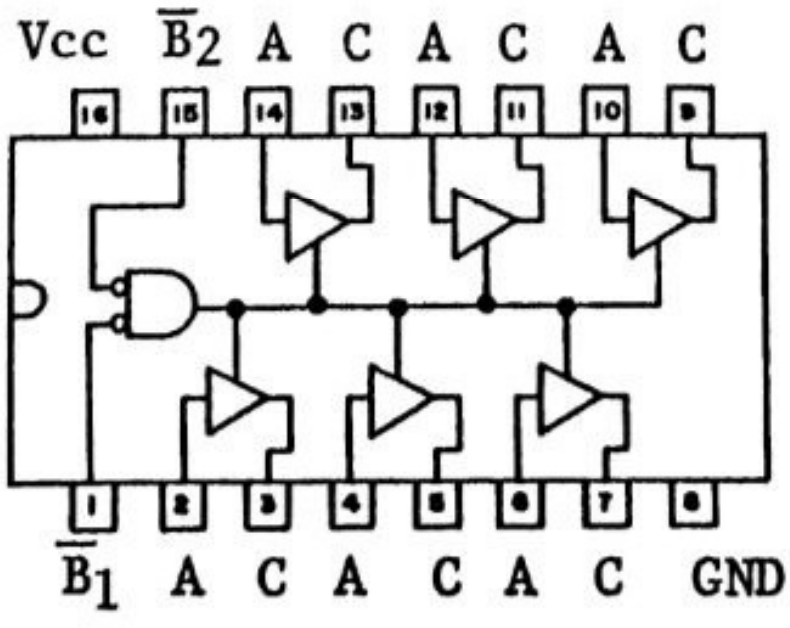


FIGURA 4

Estes são alguns exemplos de circuitos integrados com dispositivos de três estados. Poderíamos ficar aqui relacionando uma série deles, mas não o faremos agora. Eles serão citados na medida em que se fizer necessário, porém o aluno poderá encontrá-los nos manuais de circuitos integrados MCI-1 a MCI-26.

EXEMPLO DE APLICAÇÃO DE UM CI SN74LS126

A figura 6 nos mostra um circuito, usando um CI de três-estados. Trata-se do SN74LS126/74126. Este circuito equivale a um circuito multiplex, muito utilizado nos casos em que necessitamos enviar, através de um só fio, um certo número de informações contidas em vários fios. Para que fique mais clara a idéia de multiplex, veja o esquema da figura 5, logo abaixo.

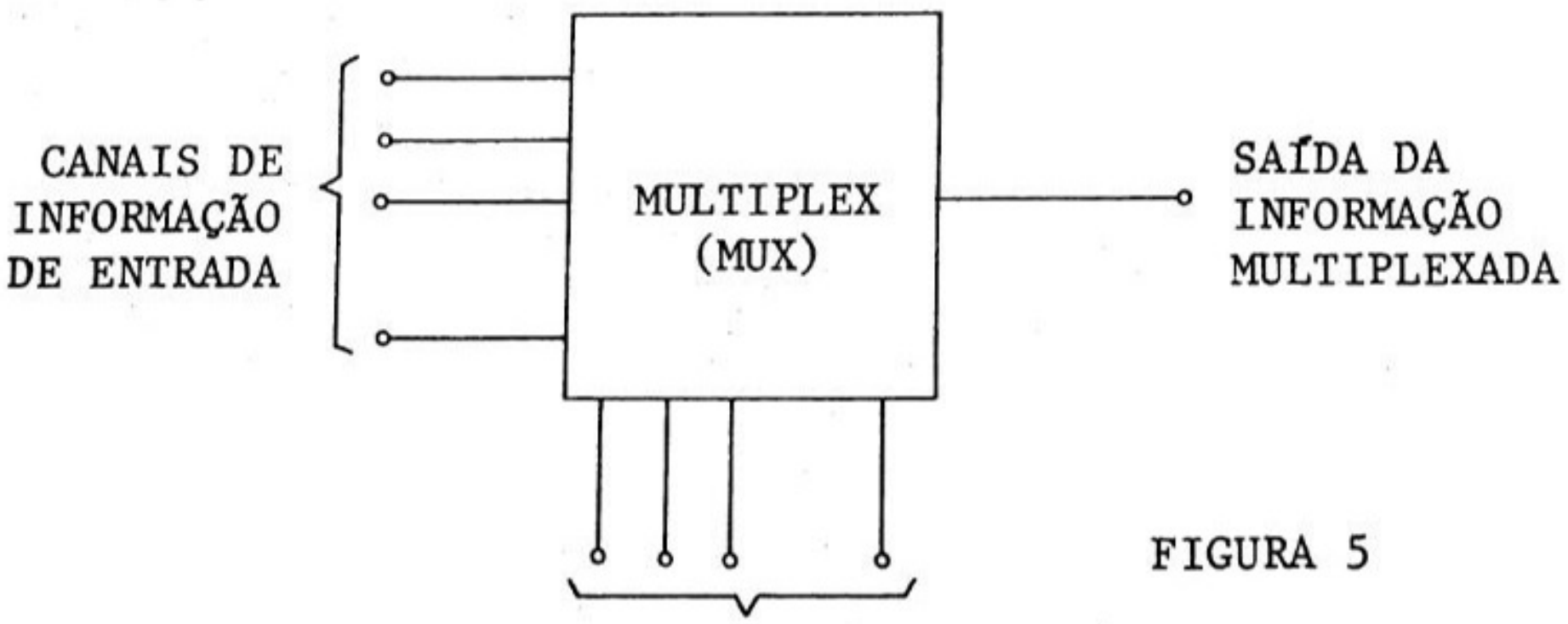
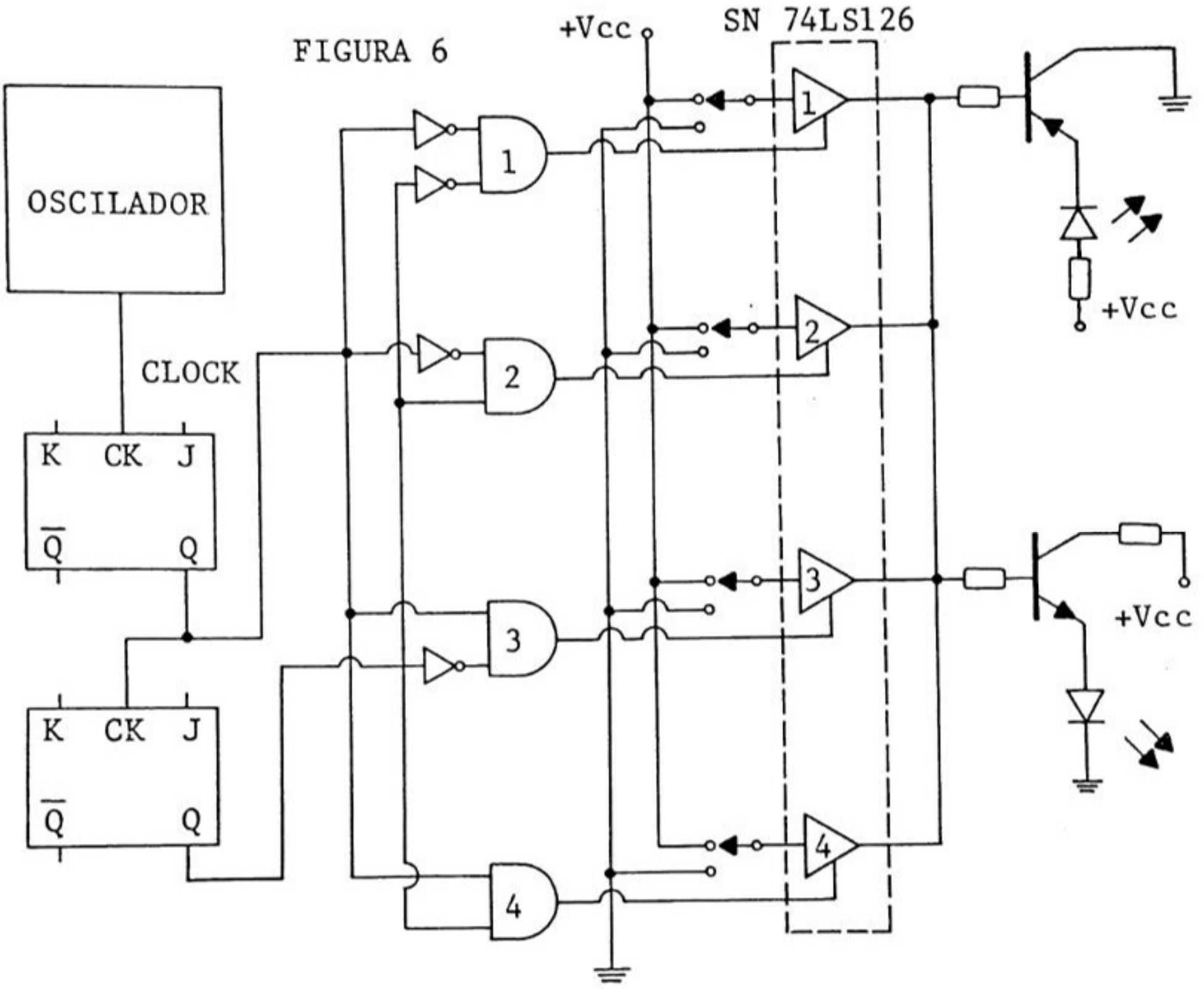


FIGURA 5

A figura 6 ilustra um exemplo de circuito multiplexado utilizando three-state. O oscilador é utilizado para executar a freqüência de varredura de habitação dos three-states em conjunto com dois flip-flop e quatro portas "E" que decodificam seqüencialmente um three-state por vez. Quando as saídas

Q dos flip-flops estiverem em zero binário, a porta "E1" será selecionada e habilitará o three-state 1 e quando as saí

FIGURA 6



das Q dos flip-flops forem 0 (zero) e 1 (um), respectivamente, a porta "E2" será selecionada e habilitará o three-state 2 e, assim, sucessivamente.

TRANSCEPTORES DE BARRA

São circuitos semelhantes aos amplificadores de barramento. Distinguem-se destes pelo fato de poderem amplificar os sinais bidirecionalmente, simplificando a conexão entre a memória dos microprocessadores (cujo barramento de dados é bidirecional) e os periféricos, com características de intercâmbio de dados (recebe e emite sinais).

Este tipo de circuito, normalmente, apresenta a saída com três estados e dispõe de sinais de controle que permitem a amplificação em um ou noutro sentido.

Um exemplo típico seria o SN74LS242 e o SN74LS243. Trata-se de transceptores de 4 bits, com autorização de saída em um sentido, pelo sinal GBA em "1" e, em outro sentido, pelo sinal GBA em "0". Diferem-se um do outro pelo fato de que o 74LS242 inverte a barra, enquanto que o 74LS243 respeita a polaridade.

A figura 7 nos mostra um transceptor de barra SN74LS243.

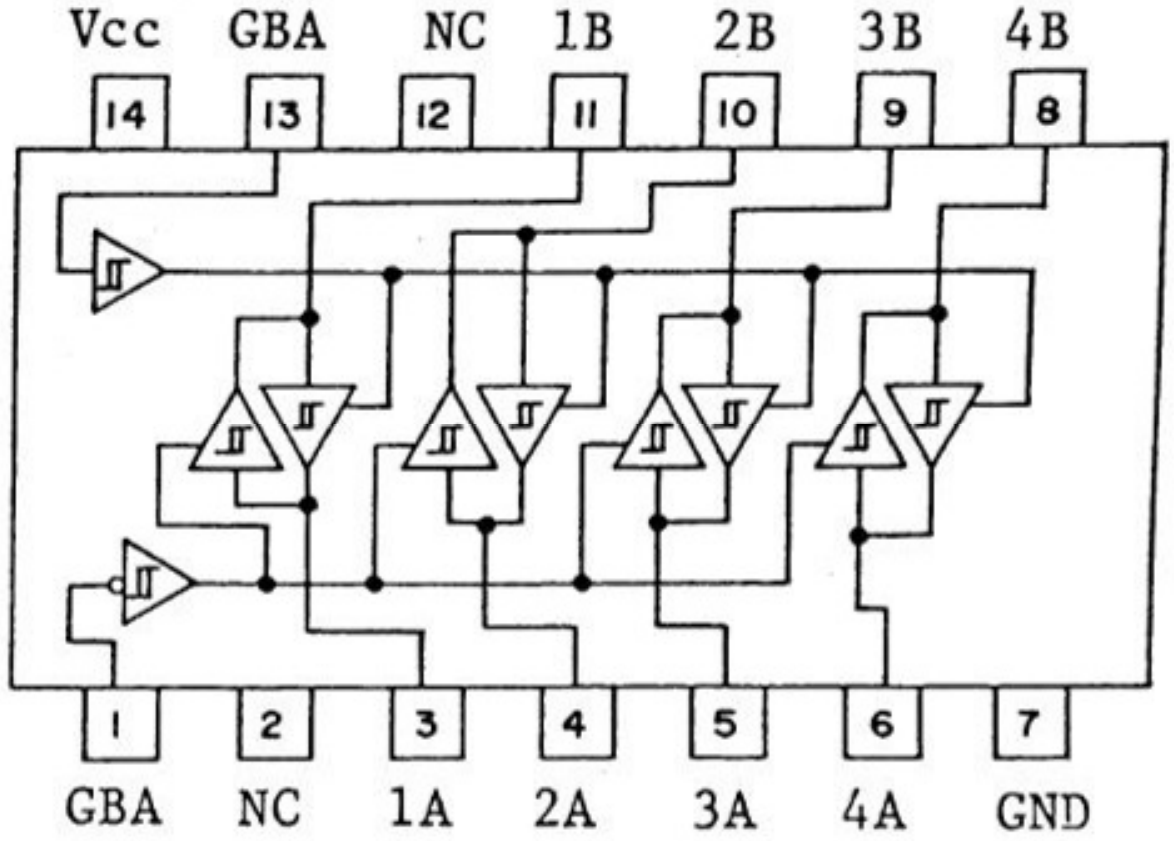


FIGURA 7

O conjunto de dois dispositivos de três estados interligados, como na figura 7, proporciona a amplificação em um ou em outro sentido. A figura 8 nos mostra um par de "Three-state" para barramento bidirecional. Trata-se de dois "Three-state" conectados em paralelo, porém com sentido de excitação complementar. Na figura 9, temos um outro símbolo que é tido

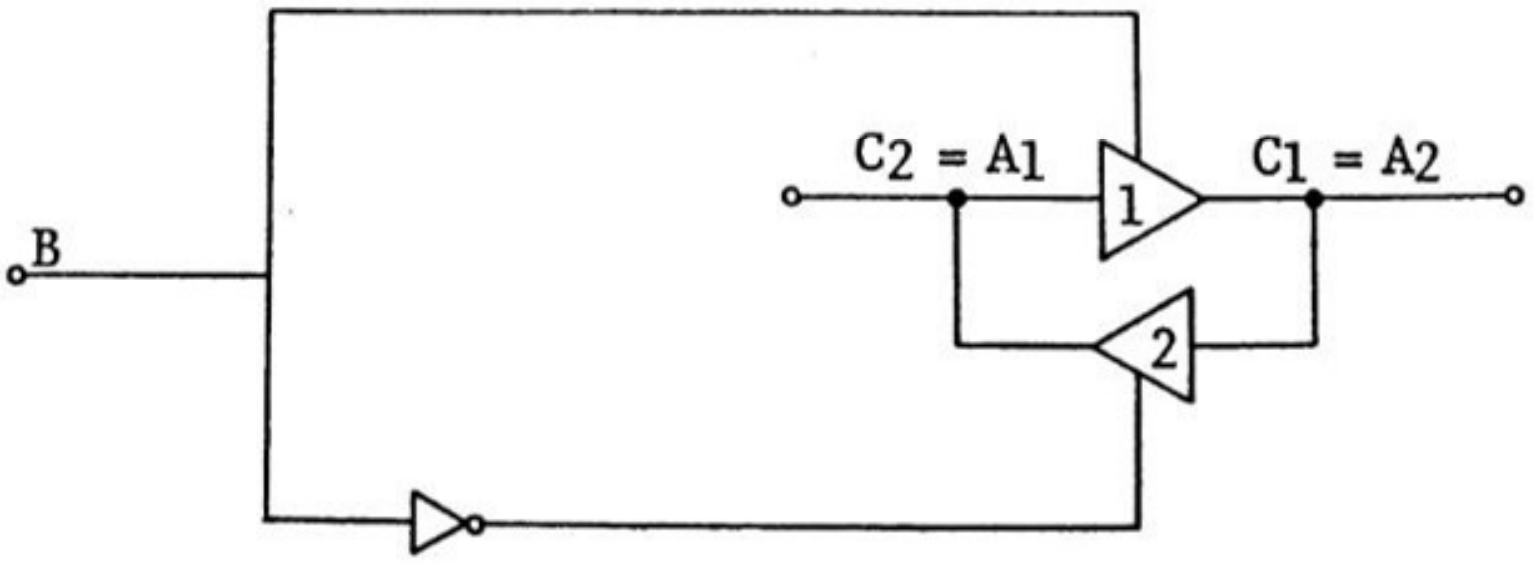


FIGURA 8

como mais conveniente para representar o circuito da figura 8. Este circuito também é conhecido por "excitador bibarra".

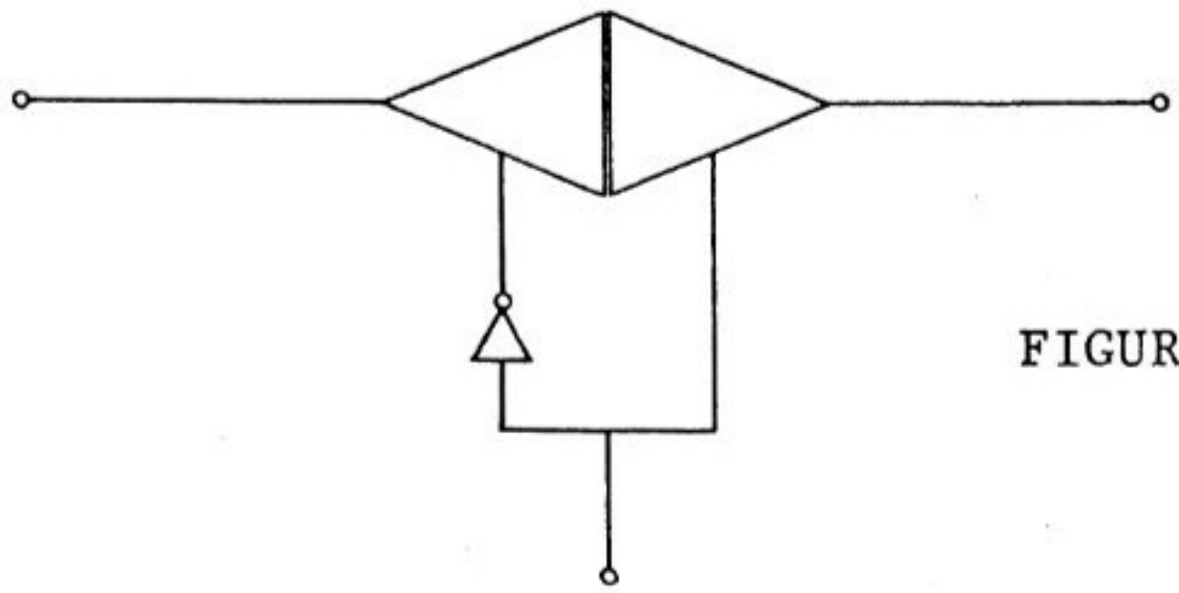


FIGURA 9

Para o circuito da figura 8, se a entrada B for baixa, "zero binário", teremos o "Three-state" 1 no corte, enquanto o "Three-state" 2 estará operando. Caso a entrada B seja alta, "um binário", obteremos o inverso, ou seja, teremos o "Three-state" 1 em operação, porquanto o "Three-state" 2 estará no corte.

ACOPLADORES OPTOELETRÔNICOS

Trata-se de um conjunto formado por um diodo emissor de luz (LED) e um fototransistor ou fotodiodo, em um único encapsulamento (ver figura 10). O sinal a ser transmitido é aplicado ao diodo emissor de luz (LED), o qual emite uma radiação infravermelha que incide sobre o foto receptor, cuja resistência interna varia uniformemente. Entre o LED e o elemento receptor (fototransistor ou um fotodiodo), existe um espaço vazio que garante imunidade contra tensões da ordem de kilovolts, garantindo, portanto, uma absoluta independência das respectivas tensões.

Apesar do LED e do fototransistor estarem colocados em um único invólucro, estes, quando aplicados, farão parte de circuitos independentes (ver um exemplo na figura 11).

Normalmente, costuma-se inserir o acoplador optoeletrôni co o mais próximo possível do circuito receptor, pois o sinal a ser transmitido, através do cabo de conexão, encontrará uma

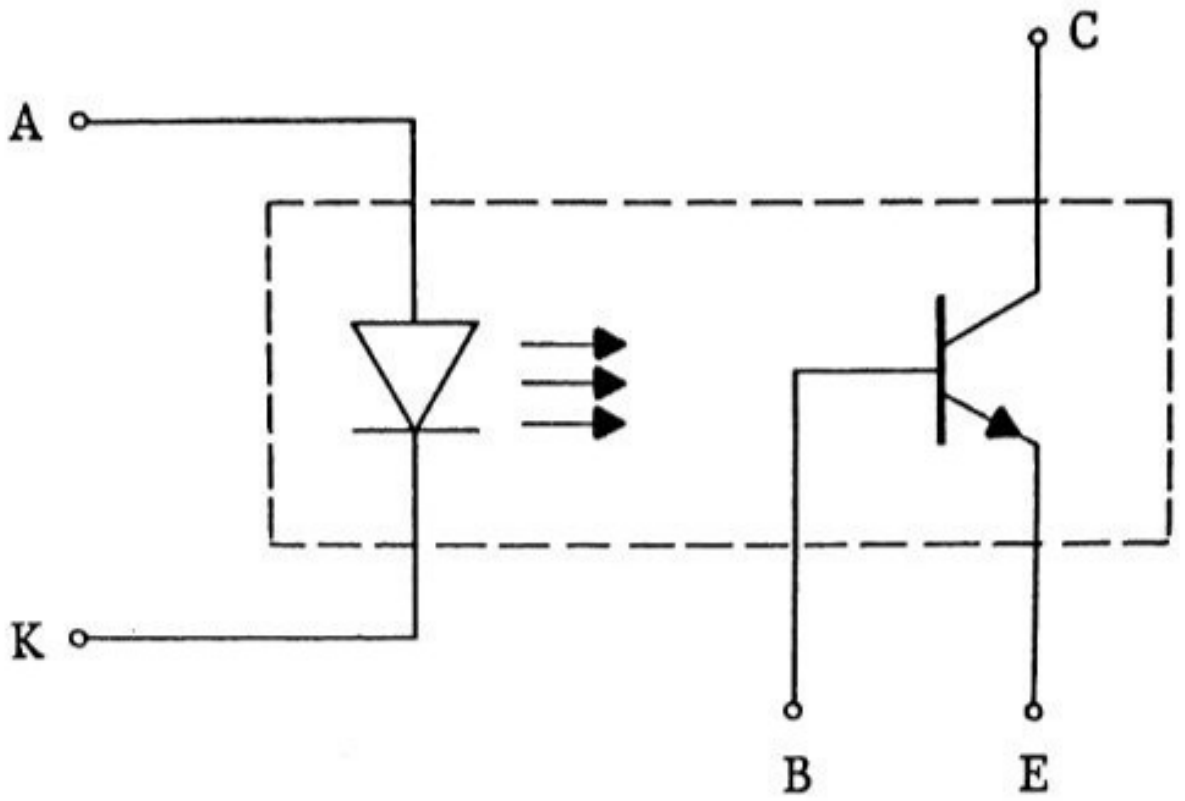
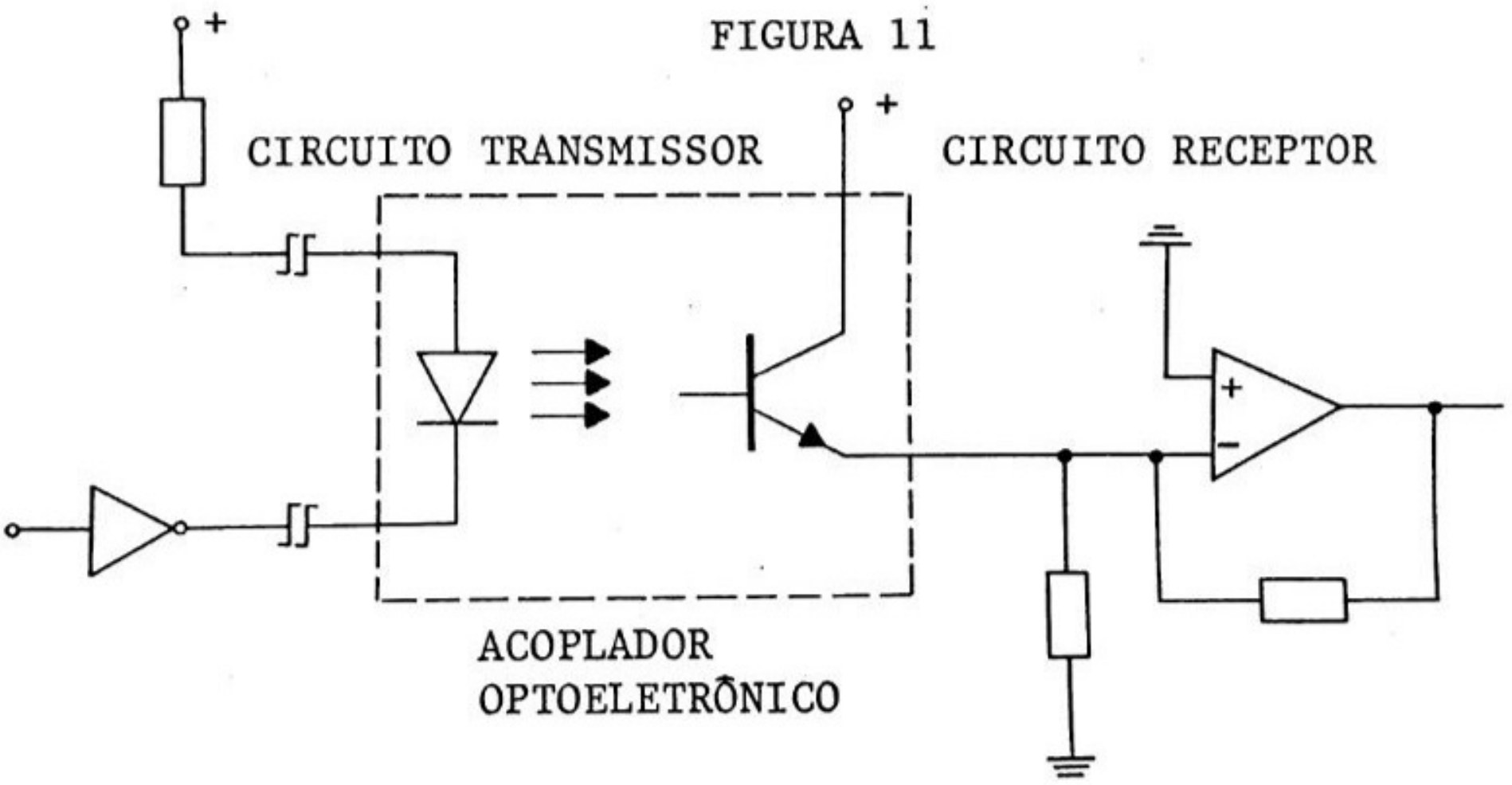


FIGURA 10

baixa impedância, até chegar ao LED (circuito transmissor). Enquanto que o sinal obtido na saída do circuito receptor é de baixo nível e poderá sofrer interferências muito facilmente.

FIGURA 11



Hoje em dia, dispomos de acopladores optoeletrônicos que permitem transmitir informações cujas freqüências chegam a vários megahertz.

Este tipo de dispositivo é muito usado para isolamento de barramentos em microcomputadores.

EXEMPLOS DE APLICAÇÃO DE UM ACOPLADOR OPTOELETRÔNICO:

a) Quando se deseja conectar um microcomputador a estágios de potência, como, por exemplo, controle de motores ou de instalações elétricas, utilizamos as chamadas interface de potência. Neste exemplo, veremos a aplicação de um acoplador óptico (TIL 112) em uma interface de potência com acionamento através de Triacs. Neste tipo de aplicação deparamos com dois problemas: primeiro, a segurança (para não sobrecarregar UCP, no caso de um curto-circuito acidental). Segundo, a questão da versatilidade das chaves comandadas, ou seja, a capacidade de acionar chaves diferentes com a mesma precisão. Os acopladores opticoeletrônicos são os responsáveis pela isolação computador-rede, resolvendo-se, desta forma, a questão da segurança.

A figura 12 nos mostra este circuito. Os acopladores são formados por diodos foto-emissores acoplados a um fototransistor, como mostra a figura 10.

Os transistores BC 547 são de baixa potência e de alto ganho. São utilizados para acionar os Triacs. Os Triacs podem ser substituídos por relés.

b) Um outro exemplo seria o circuito da figura 13, utilizado para transformar um aparelho de TV comum em monitor de vídeo. Neste caso, os dois optoisoladores (CI_1 e CI_2) isolam eletricamente o microprocessador do aparelho de televisão. De um lado do optoisolador (acoplador optoeletrônico) temos um LED que emite fótons, os quais são recebidos pelo outro lado do dispositivo, por um fotodiodo. O CI_1 possui um transistor interno para amplificar o sinal do fotodiodo, por quanto o CI_2 possui um amplificador integrado interno.

c) Os acopladores optoeletrônicos são bastante empregados na construção de "leitores ópticos" integrados e cabeçote leitor optoeletrônico para cartões e fitas perfuradas. Como exemplo de leitores ópticos,vamos citar o TIL 141 e TIL 142. Trata-se de leitores ópticos integrados de 12 canais para fita de papel,consistindo cada um deles de 12 diodos emissores de in

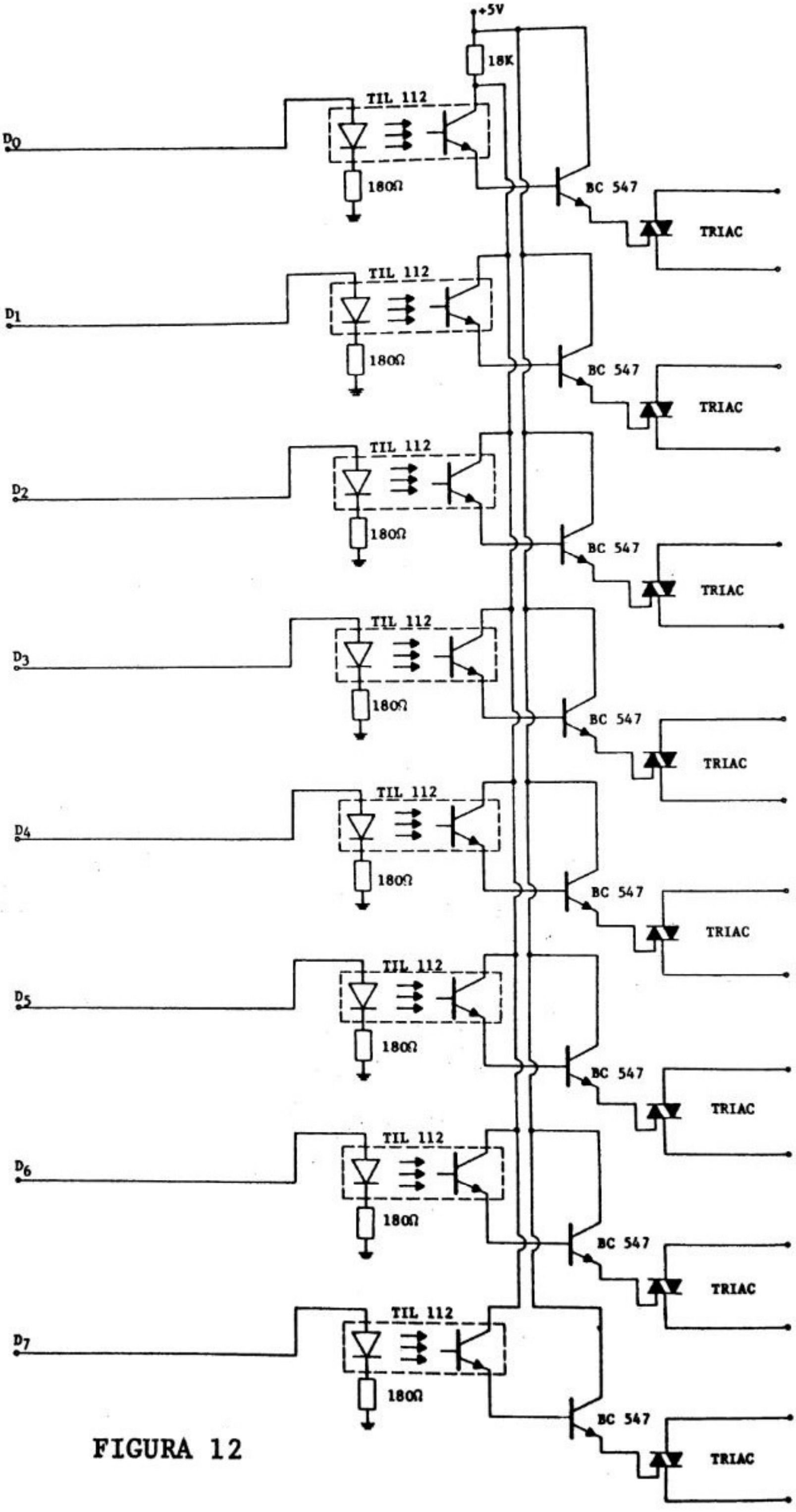


FIGURA 12

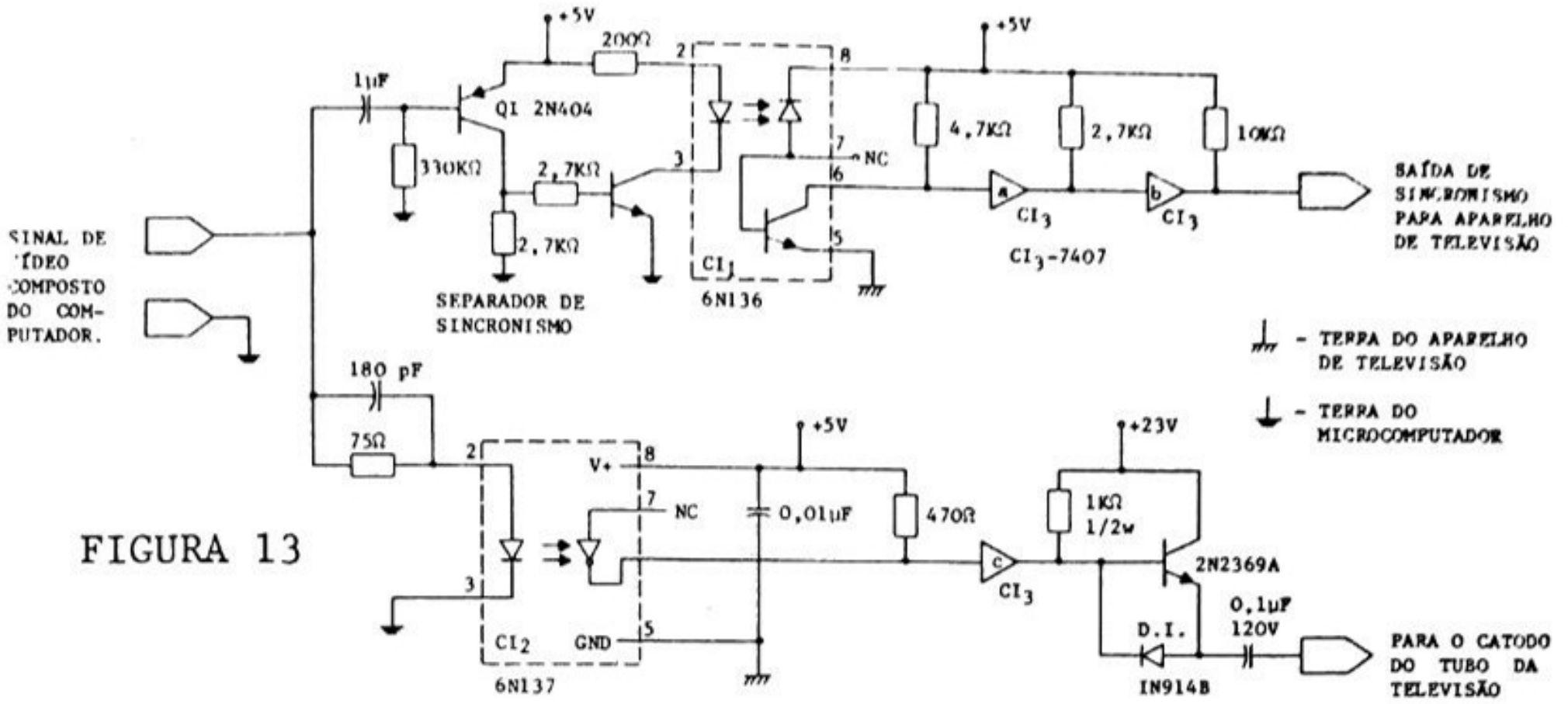
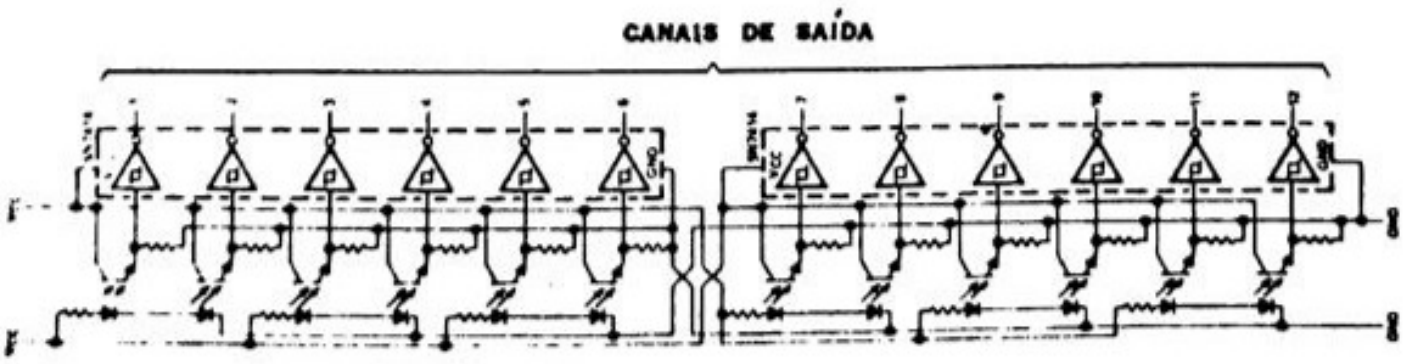


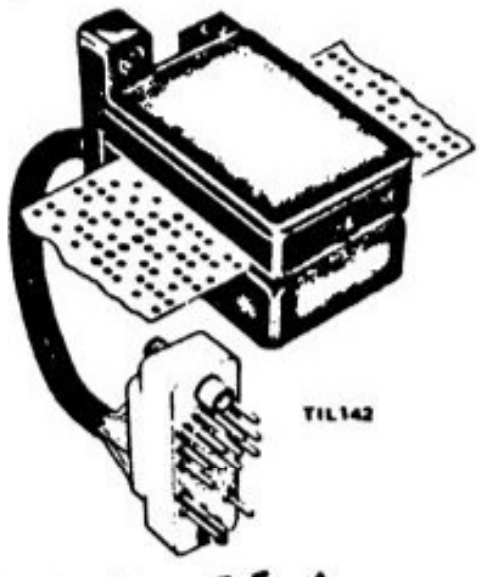
FIGURA 13

fravermelho TIL 23, 12 fototransistores TIL 604, dois inversores schimitt-trigger HEX SN 7414 e mais resistores de polarização apropriados. Para assegurar melhor estabilidade, utilizam-se resistores de filme de metal. Cada diodo emissor de infravermelho emite, através da "lacuna" de ar da pista da fita, para um fototransistor que opera um dos inversores. Uma obstrução na lacuna entre um diodo emissor de IRED* e o seu fototransistor causará uma saída alta, enquanto uma lacuna em branco causará uma saída baixa. Na figura 14, abaixo, temos um esquema do CI e também um aspecto físico do leitor óptico.

* IREDs (Infrared-Emittint Diodes) Diodos emissor de infravermelho.



(Diagrama funcional do C.I.)



(Aspecto físico do leitor optico)

FIGURA 14

O "cabeçote leitor de estado sólido" apresenta uma série de vantagens em relação aos sistemas mecânicos de leitura. Faremos aqui alguns comentários a respeito dessas vantagens.

Uma delas é que o cabeçote leitor não apresenta o problema de interfacear com equipamentos periféricos. O tamanho pa-

drão das fitas que são utilizadas permite o uso contínuo de fitas existentes em equipamentos de software. Os IRED's, hoje, são compatíveis com DTL, TTL, MOS e sistemas discretos.

Se fizermos uma comparação entre lâmpadas de filamento e emissores de infravermelho, utilizados em cabeçotes leitores, verificaremos que a vida útil destes últimos é muitas vezes superior à das lâmpadas de filamento. Além de eliminar o problema da inclinação do foco de luz (próprio das lâmpadas de filamento), fazendo com que o mesmo não incida corretamente sobre a fita ou buracos do cartão, ocasionando, com isso, falhas na leitura. Com o uso de IRED's, os problemas associados com filamentos são eliminados e isto parece ser uma das grandes vantagens do cabeçote de estado sólido. Podemos acrescentar ainda que os IRED's requerem potências mais baixas do que as lâmpadas de filamento, reduzindo, conseqüentemente, a dissipação de calor. Uma outra vantagem dos IRED's seria o seu tamanho reduzido, permitindo-se, com isso evitar que luz estranha possa causar erros na leitura, uma vez que o emissor pode ser fixado, praticamente, junto dos sensores. Os IRED's possuem também alto grau de estabilidade inclusive quanto à temperatura e vibração.

Desta forma, ficam patentes suas vantagens sobre os demais sistemas empregados em cabeçotes de leitura. Não entraremos em maiores detalhes, pois este assunto será retomado posteriormente, onde novas informações serão acrescentadas.

ESPECIFICAÇÕES E CARACTERÍSTICAS DE OPTOACOPLADORES.

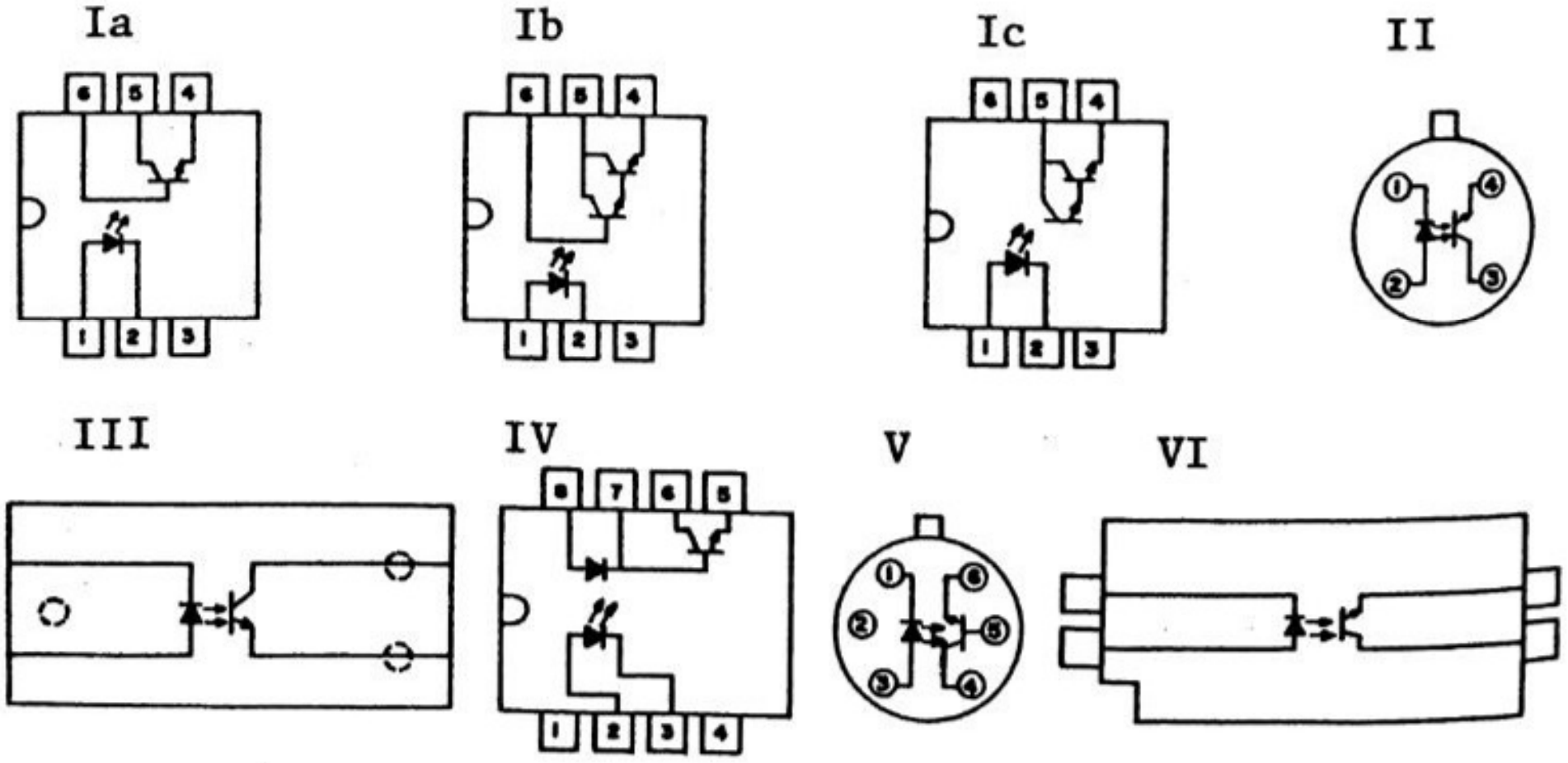


FIGURA 15

TIPO	TENSÃO DE ISOLAÇÃO EM V*	MAX. CORRENTE DO LED EM mA	VCE MAX. EM V	IC MAX. EM mA	TENSÃO DE SATURAÇÃO EM V	TENSÃO DE SATURAÇÃO COM IC = mA	CORRENTE DE RESPOSTA	FREQUEN. DE CORTE EM KHz	ENCAPSULAMENTO
CNY 17	4000	60	70	100	0.3	2.5	0.4...3.2	250	Ia
CNY 18	500	60	32	100	0.2	1.0	0.1...0.8	250	II
CNY 48	1500	60	30	100	0.8	10	≈6	8	Ib
CNY 62	5300	100	50	100	0.4	2.0	≈0.5	25	III
CNY 80	4400	60	32	50	0.3	10	≈0.6	170	Ia
OPI 110	10000	-	30	-	0.4	1.8	> 0.125	-	VI
OPI 1264	10000	40	32	-	0.4	1.6	0.25...1	-	VI
TIL 102	1000	40	35	50	0.3	2.5	≈0.6	-	V
TIL 103	1000	40	35	50	0.3	10	≈1.5	-	V
TIL 111	1500	100	30	-	0.4	2.0	≈0.4	250	Ia
TIL 112	1500	100	20	-	1.5	10	≈0.13	250	Ia
TIL 113	1500	100	30	-	1.5	10	≈10	-	Ib
TIL 116	2500	100	30	-	0.4	2.2	≈0.33	250	Ia
TIL 117	2500	100	30	-	0.4	0.5	≈0.5	250	Ia
TIL 118	1500	100	20	-	1.5	10	≈0.13	250	Ia
TIL 119	1500	100	30	-	1.0	10	≈10	-	Ic
TIL 124	5000	100	30	-	0.4	1.0	≈0.2	250	Ia
TIL 125	5000	100	30	-	0.4	1.0	≈0.33	250	Ia
TIL 126	5000	100	30	-	0.4	1.0	≈0.65	250	Ia
TIL 127	5000	100	30	-	1.0	125	≈10	-	Ib
TIL 128	5000	100	30	-	1.0	10	≈10	-	Ic
4N22	1000	40	35	50	0.3	2.5	≈0.25	-	V
4N23	1000	40	35	50	0.3	5.0	≈0.4	-	V
4N24	1000	40	35	50	0.3	10	≈0.6	-	V
4N25	2500	80	30	-	0.5	2.0	-	-	Ia
4N26/27	1500	80	30	-	0.3	2.0	-	-	Ia
4N28	500	80	30	-	0.3	2.0	-	-	Ia
4N47/48/49	1000	40	35	50	0.3	10	≈8	-	V
6N135	3000	25	15	8	-	-	≈0.18	2000	IV
6N136	3000	25	15	8	-	-	≈0.24	2000	IV

*A tensão máxima entre a entrada e saída é muito mais baixa.

CEDM-CURSO DE ELETRONICA DIGITAL E MICROPROCESSADORES

EXAME DA LIÇÃO ED-22

OBSERVAÇÃO

- cada questão é composta de três ou quatro alternativas.
- só uma delas está correta.
- marque a que considerar correta.
- passe as respostas corretas para a folha de exame.

1) O termo barramento pode ser interpretado como:

   a) conjunto de fios;

   b) conjunto de chip's;

   c) as respostas a e b estão corretas.

2) O uso de barras em comum torna o sistema:

   a) mais complexo;

   b) mais prático, ou mais acessível;

   c) mais veloz;

   d) N.R.A.

3) O terceiro estado de um dispositivo "Three-state" é controlado através:

a) do terminal de entrada (Input);

b) do terminal de habilitação(enable);

c) do terminal de saída de 3 estados.

4) Quando um "Three-state" é desativado, suas entradas e suas saídas vão para o estado:

a) baixo ou "0" binário;

b) alto ou "1" binário;

c) alta impedância ou desligado.

5) Quando a saída do "Three-state" não está no estado de alta impedância, este comporta-se como:

a) um dispositivo lógico normal;

b) desligado, ou seja, alta impedância de saída;

c) um dispositivo optoeletrônico.

6) Um "Three-state" pode ser comparado a um:

a) TTL normal;

b) relé;

c) barramento.

7) Os amplificadores de barramento permitem:

a) expandir a carga admissível dos barramentos;

b) diminuir a carga admissível dos barramentos;

c) a e b estão corretas.

8) Um transceptor de barra permite a amplificação de sinais:

a) bidirecionalmente;

b) apenas unidirecionalmente;

c) bidirecionalmente apenas quando o sinal GBA for alto "1".

9) Um acoplamento optoeletrônico é formado basicamente de:

a) um LED e um relé;

b) um LED e fototransístor;

c) um fototransistor e um TRIAC.

10) O cabeçote leitor não apresenta problemas quanto:

a) ao interfacear-se com outros periféricos;

b) à inclinação do filamento;

c) a e b estão corretas.

CEDM
CURSOS DE APERFEIÇOAMENTO

CURSO DE ELETRÔNICA DIGITAL E MICROPROCESSADORES

CAIXA POSTAL 1642 - CEP 86100 - LONDRINA - PARANÁ

LIÇÃO ED-23

PROJETOS DE CIRCUITOS SEQÜÊNCIAIS I

INTRODUÇÃO

Os circuitos seqüênciais são providos de memória. Seus sinais de saída dependem não apenas da entrada presente, mas também das entradas passadas. Os flip-flops e os contadores são exemplos destes circuitos seqüênciais.

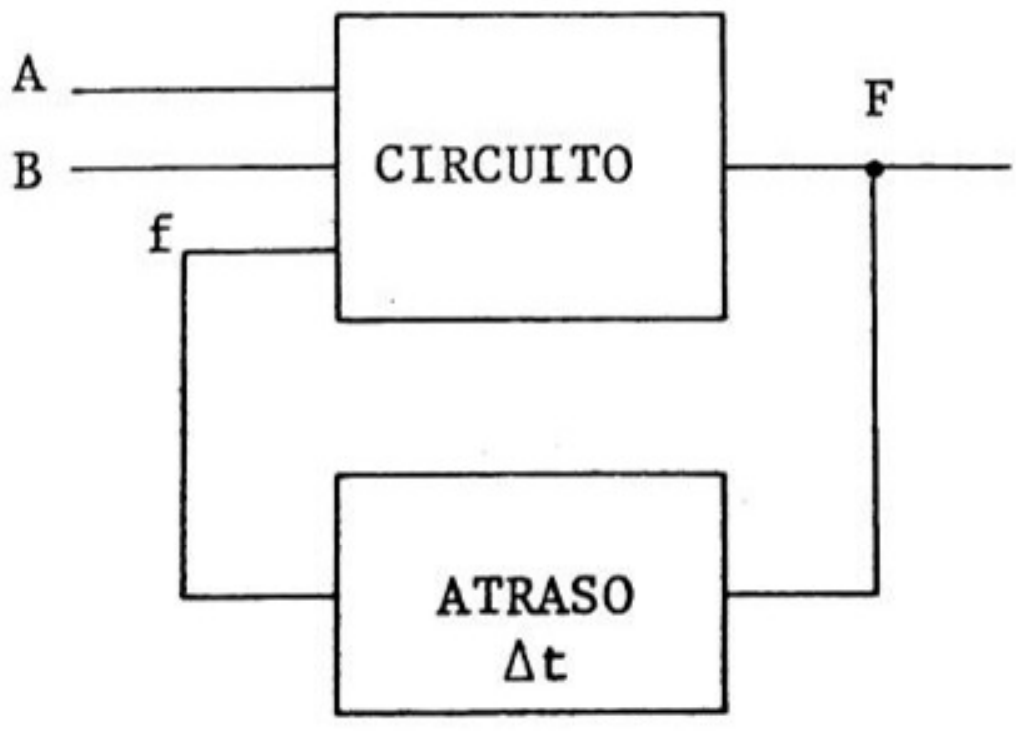


FIGURA 01

A figura 1 ilustra um circuito clássico de atraso.

De início, iremos descrever alguns circuitos combinacionais com atrasos e suas formas de onda. Em seguida, anali-

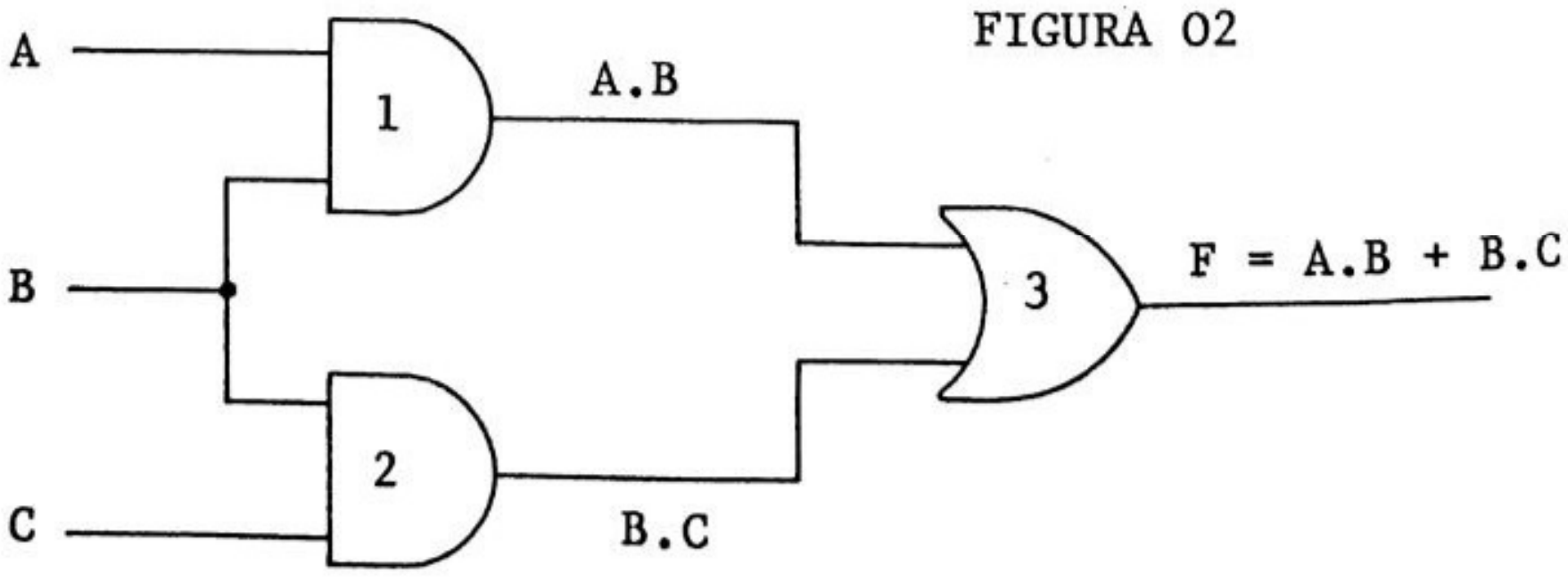
saremos os circuitos de memória (flip-flops), bem como suas tabelas de fluxos.

ANÁLISES

O importante na análise de circuitos seqüênciais é a compreensão da estabilidade ou não-estabilidade de cada porta lógica do circuito. As portas lógicas: "E", "OU", "NÃO", etc, são tidas como estáveis, se o sinal de saída de cada porta corresponder a suas definições, ou seja, estiver de acordo com sua tabela verdade. Como sabemos, as portas lógicas estão longe do ideal, pois todas atrasam a propagação do sinal, se bem que, num período de tempo pequeno. Mas, como sabemos, cada porta da familia TTL gera um atraso em torno de 20ns (nano segundos). Conseqüentemente haverá pequenos períodos de tempo em que a tabela verdade de uma determinada porta se torna irreal e os períodos denominados de não-estabilidade. As portas não permanecem numa condição não estável, pois os atrasos são finitos e a saída, em breve, estará de acordo com a tabela verdade. Por outro lado existem circuitos lógicos que podem mover-se de um estado não estável para um outro também não estável. Um exemplo típico destes circuitos são os osciladores que nunca atingem um estado estável, estão sempre movendo de um estado instável para outro.

Em um circuito seqüêncial, podem existir entradas, vindas de outras portas (realimentação) e de fontes externas. Na figura 1, temos as entradas externas A e B e a entrada de realimentação (retardo) F.

FIGURA 02

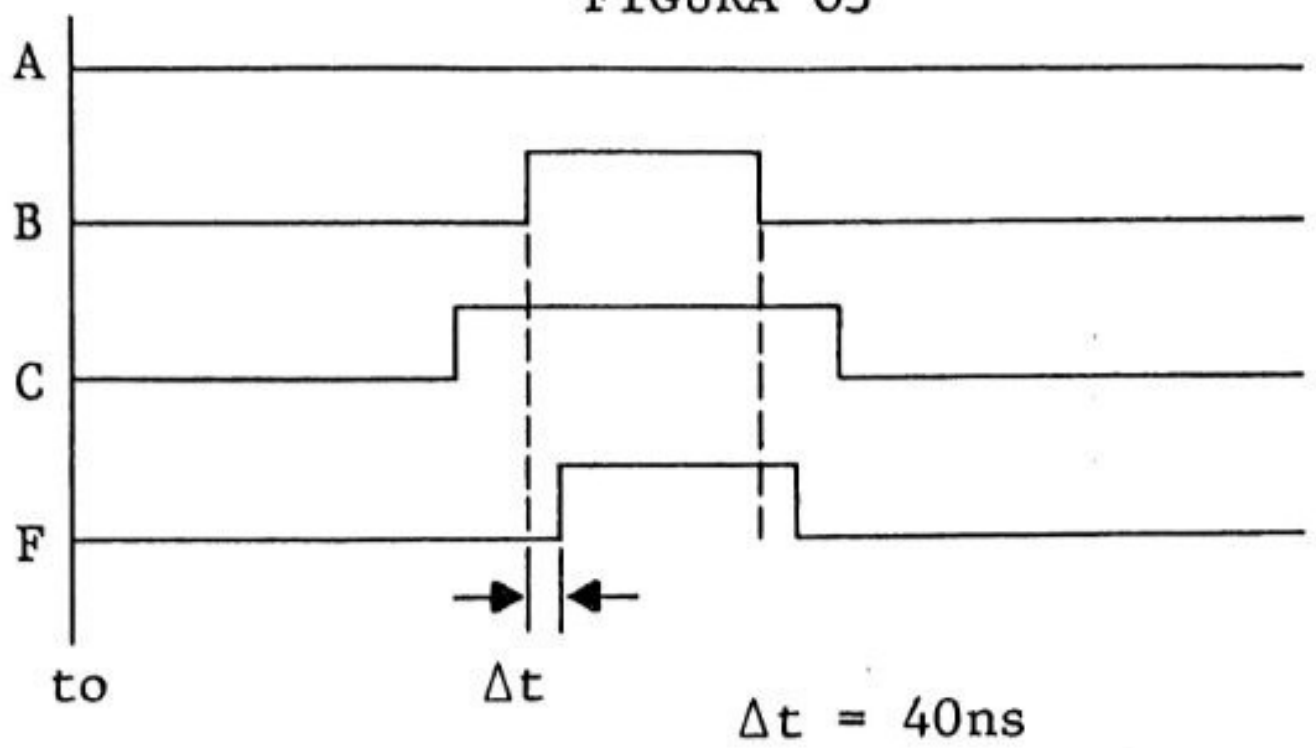


A figura 2 ilustra um circuito combinacional implementa-

do com duas portas "E" e uma porta "OU". Considerando que cada porta sofre um atraso de 20ns, o circuito da figura 2 possui duas portas em série, portanto o atraso total da saída "$\overline{F}$" será de 40ns.

FIGURA 03

A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1



A figura 3 ilustra a tabela verdade e as formas de onda do circuito da figura 2. Como podemos observar pelas formas de onda, a saída F ideal seria a representada pela linha tracejada, porém, devido ao atraso Δt de 40ns, a forma de onda sofre um deslocamento.

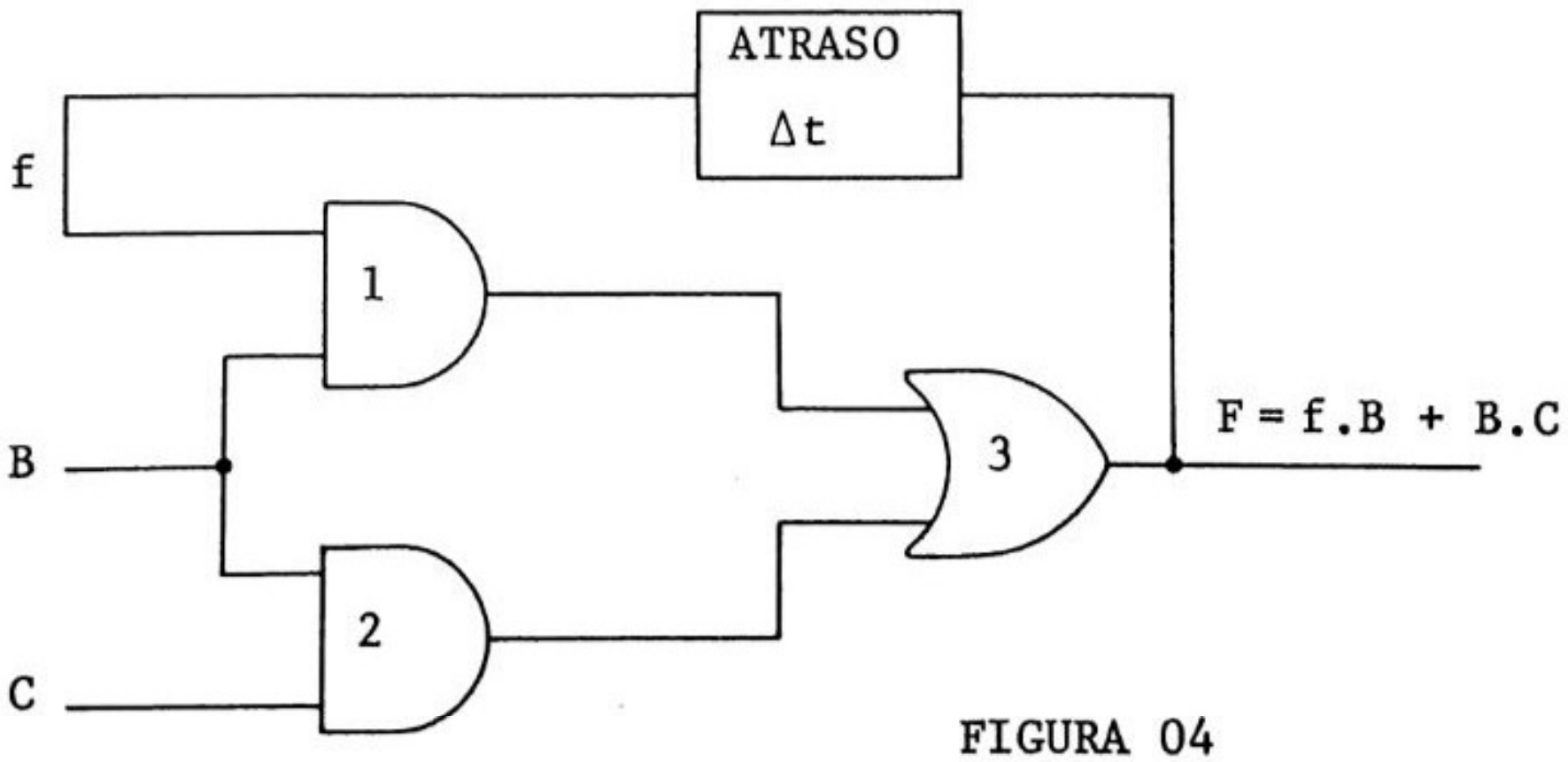
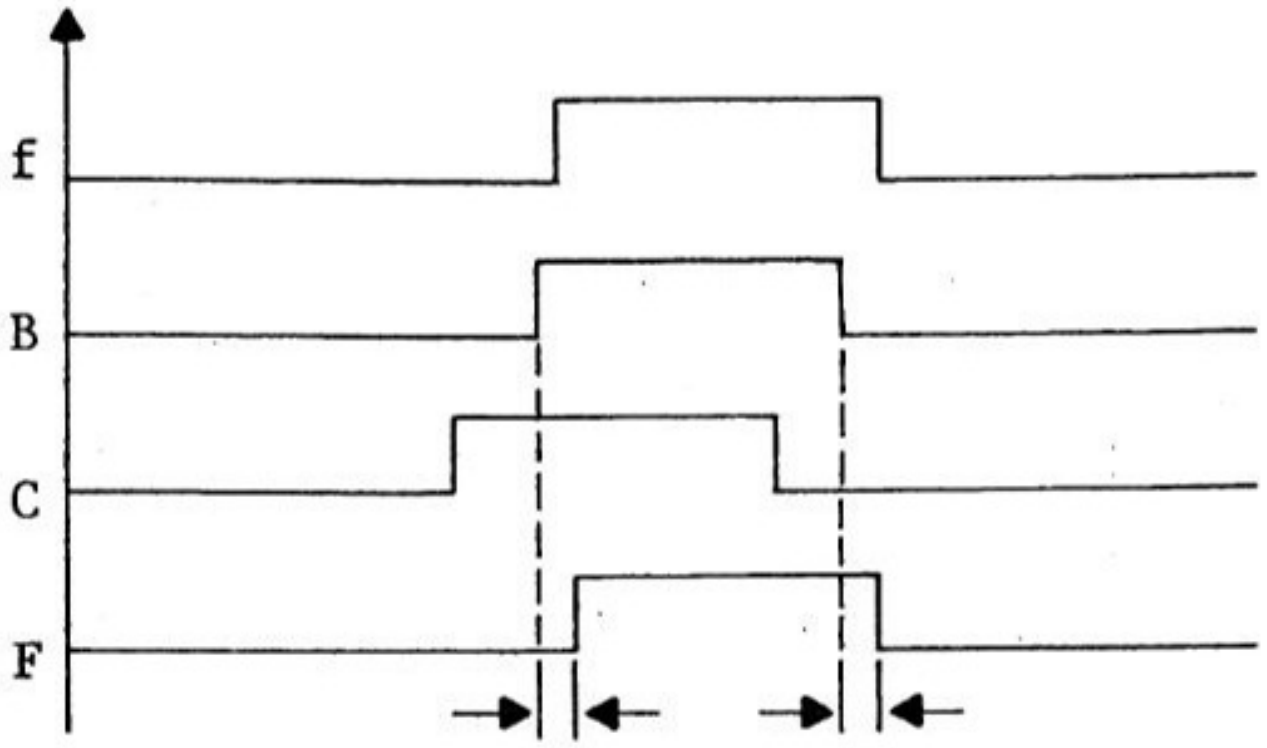


FIGURA 04

O circuito da figura 4 é o mesmo da figura 2, salvo a entrada A que agora está ligada à saída F, denominada de f (realimentação).

A figura 5 ilustra a forma de onda do circuito da figura 4. Notamos que a saída F sofreu dois atrasos: um, provocado durante a subida do sinal B e C; o outro pelos sinais f e C.

Assim temos um atraso de 80ns (nano segundos).



to Δt_1 Δt_2

$\Delta t_1 + \Delta t_2 = 40 + 40 = 80ns$ FIGURA 05

TABELA DE FLUXO

A tabela de fluxo é semelhante ao mapa de Karnough. Ela contém uma célula para cada combinação possível das variáveis de todas as entradas das portas de um circuito. Sejam entradas externas ou internas. Um circuito com duas entradas externas, B e C e uma interna (realimentação) f (como o circuito da figura 4) terá uma tabela de fluxo com 8 células, construída de modo que todas as combinações das variáveis externas sejam dispostas na parte superior da tabela e as combinações das variáveis internas, ao lado esquerdo da mesma.

Para exemplificar a construção da tabela de fluxo, iremos fazer uma análise do circuito da figura 4.

1 - Escrevemos a expressão de cada saída do circuito:

$F = f.B+B.C$

2 - Desenhamos uma tabela de fluxo incluindo uma coluna para cada combinação das variáveis externas e uma linha para cada combinação das variáveis internas(realimentação).

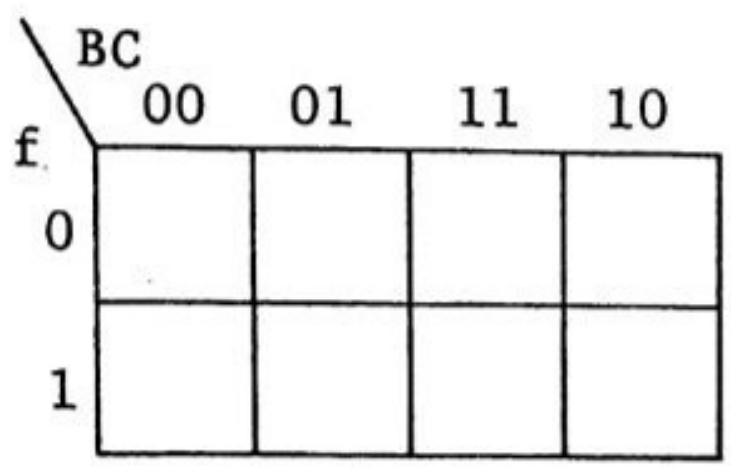
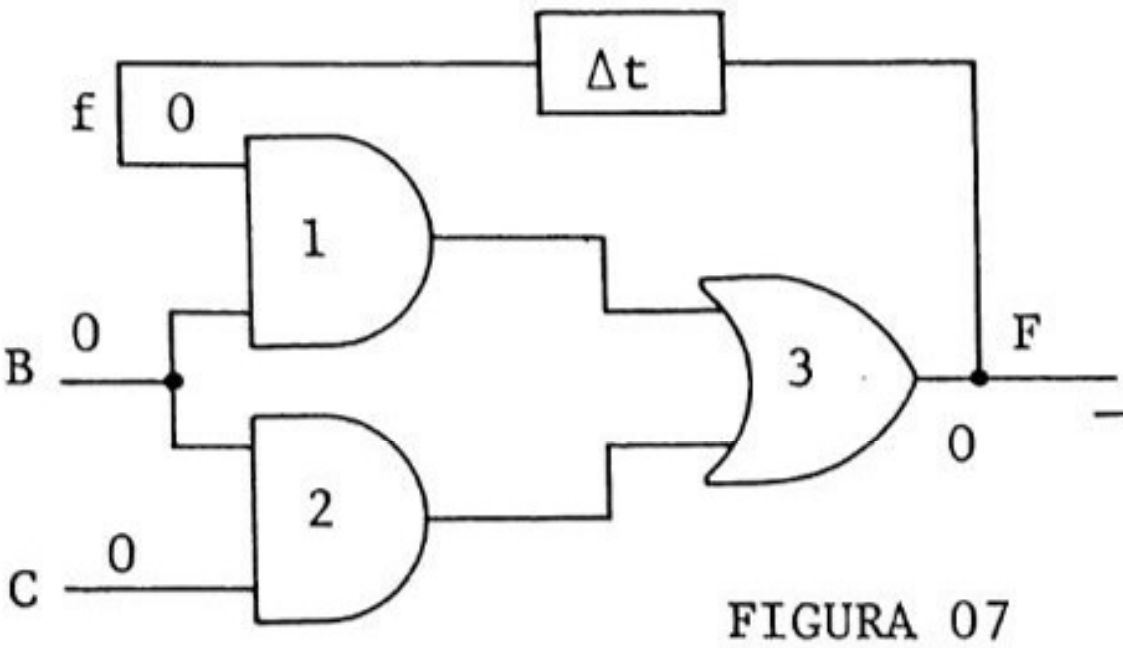


FIGURA 06

Em nosso exemplo (figura 4), existem duas variáveis externas, B e C. Portanto, haverá quatro colunas na tabela de fluxo e uma variável interna, f, que requer duas linhas. Assim a tabela terá 8 células correspondentes a cada saída do circuito.

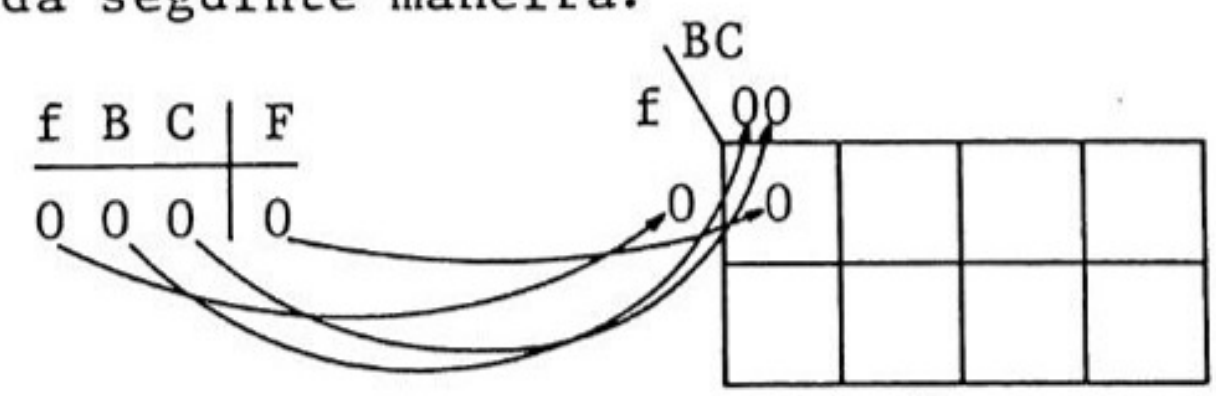
3 - Entrar com todas as variáveis no circuito é determinar as saídas. Em nosso exemplo, temos três variáveis: f, B e C e uma saída F.



f	B	C	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

FIGURA 07

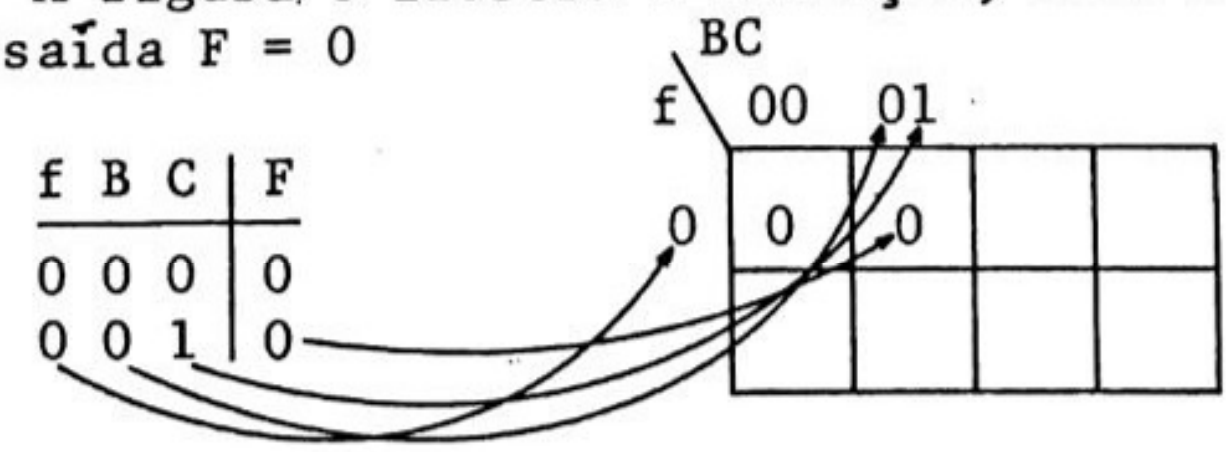
Assim, só teremos saída 1, quando B.C, f.B e f.B.C forem iguais a 1, conforme a tabela da figura 7 devemos inserir as saídas encontradas no interior das células da tabela de fluxo, da seguinte maneira:



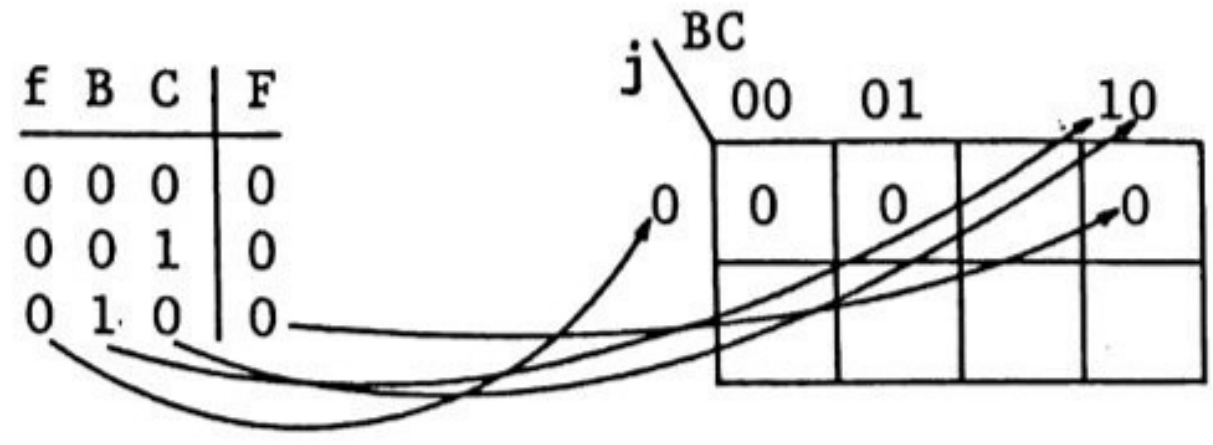
f	B	C	F
0	0	0	0

FIGURA 08

A figura 8 ilustra a situação, onde f = 0, B = 0, C = 0 e a saída F = 0



f	B	C	F
0	0	0	0
0	0	1	0



f	B	C	F
0	0	0	0
0	0	1	0
0	1	0	0

FIGURA 09

06

f	B	C	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1

f \ BC	00	01	11	10
0	0	0	1	0

f	B	C	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0

f \ BC	00	01	11	10
0	0	0	1	0
1	0			

f	B	C	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0

f \ BC	00	01	11	10
0	0	0	1	0
1	0	0		

f	B	C	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1

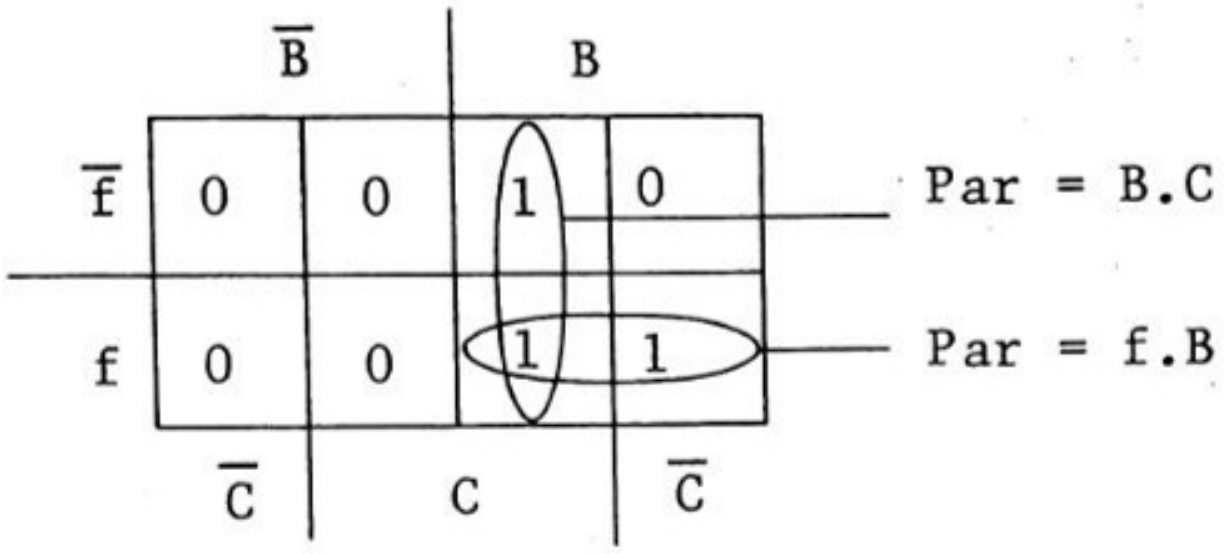
f \ BC	00	01	11	10
0	0	0	1	0
1	0	0		1

f	B	C	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

f \ BC	00	01	11	10
0	0	0	1	0
1	0	0	1	1

A figura 9 ilustra a seqüência que devemos tomar para inserir as demais saídas da tabela verdade.

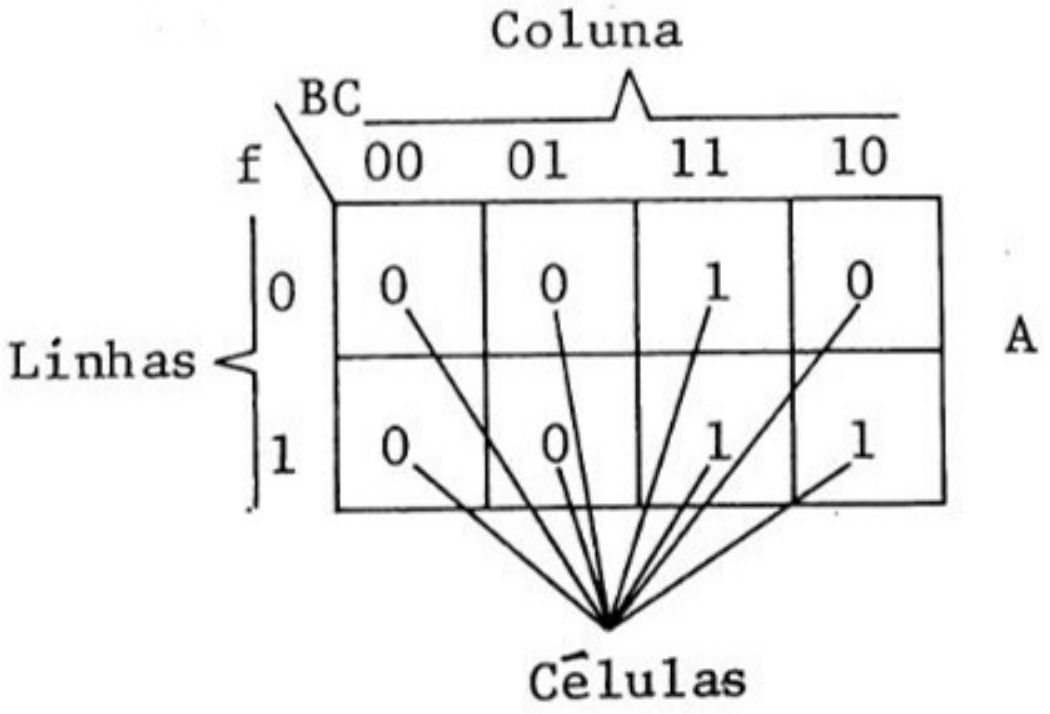
FIGURA 10

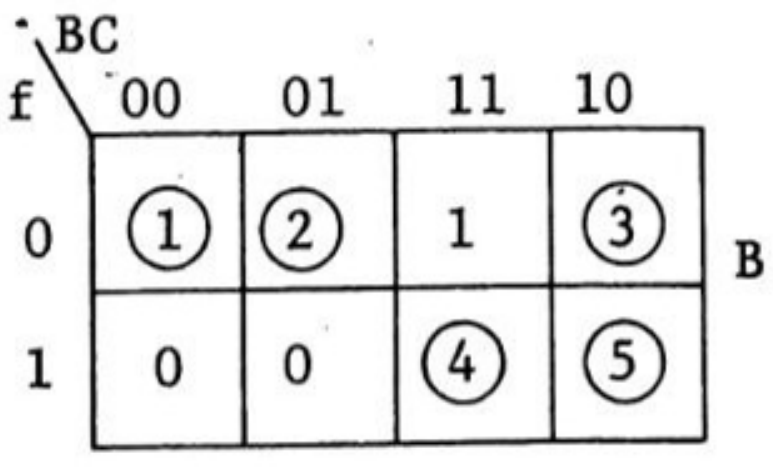


A figura 10 ilustra o mapa de Karnaugh para a função $F = f.B + B.C$.

4 - Identificamos os estados estáveis e os não estáveis. Quando o número binário, numa célula, for igual ao número binário que caracteriza a linha correspondente, então a saída, neste estado, será estável. Os estados estáveis são identificados por um círculo e classificados por números naturais.

FIGURA 11





A figura 11A ilustra uma tabela de fluxo, indicando as linhas 0 e 1, as colunas 00, 01, 11 e 10 e ainda oito células com os oito estados de saída do circuito ilustrado na figura 7. A figura 11B ilustra uma tabela de fluxo, com os estados estáveis identificados por círculos numerados em ordem de linhas e de colunas. A célula da linha 0 e coluna 00 contém um círculo com o número 1, pois esta célula contém um número binário igual ao número da linha. O número 1 dentro do círculo indica ser este o primeiro estado estável. A célula da linha 0 e coluna 01 contém um círculo com o número 2, pois esta célula contém um número binário igual ao número da linha. O número 2 dentro do círculo indica o segundo estado estável. A célula da linha 0 e coluna 11 não contém círculo, - pois esta célula contém um número binário diferente do número da linha, logo é um estado não estável. A célula da linha 0 e coluna 10 contém um círculo com o número 3, pois esta célula contém um número binário igual ao número da linha. O número 3 indica o terceiro estado estável. A célula da linha 1 e coluna 00 não contém círculo, pois esta célula contém um número binário diferente do número da linha, logo é um estado não estável. A célula da linha 1 e coluna 01 não contém círculo, pois esta célula contém um número binário diferente do número da linha, logo é um estado não estável. A célula da linha 1 e coluna 11 contém um círculo com o número 4, pois esta célula contém um número binário igual ao número da linha. O número 4 indica o quarto estado estável. A célula da linha 1 e coluna 10 contém um círculo com o número 5, pois esta célula contém um número binário igual ao número da linha. O número 5 indica o quinto estado estável.

5 - Determinamos a transição dos estados. Os estáveis movimentam horizontalmente de coluna em coluna, os não estáveis, verticalmente de linha em linha.

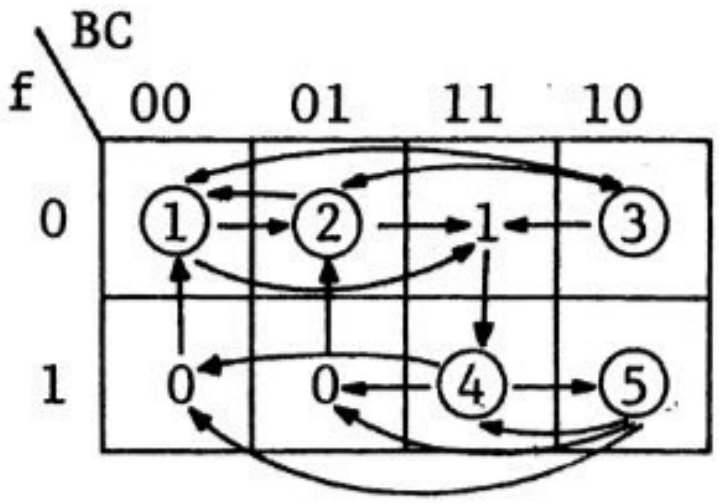


FIGURA 12

A figura 12 mostra todos os movimentos possíveis da tabela de fluxo referente ao circuito ilustrado na figura 7.

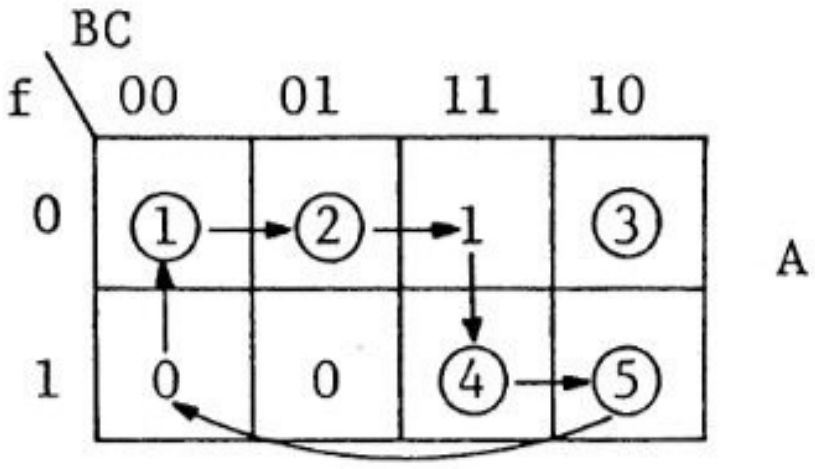


FIGURA 13

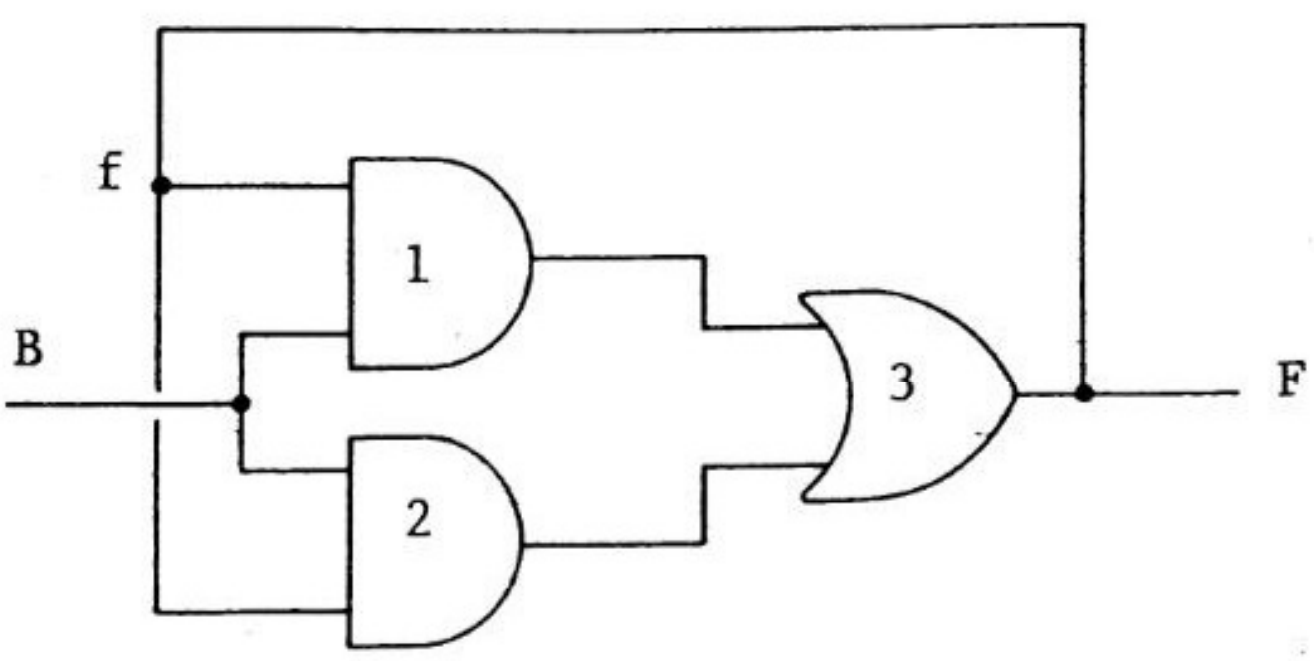
A figura 13 ilustra três círculos (loop) de transição. Partindo, por exemplo,do estado estável 1, teremos uma transição horizontal de coluna em coluna até o estado não estável da coluna 11. Neste ponto, a célula contém 1 binário, indicando uma transição vertical para a linha 1, onde se encontra o estado estável 4. Novamente teremos uma transição horizontal de coluna em coluna até o estado não estável da coluna 00. Neste ponto, a célula contém 0 binário, indicando uma transição vertical para a linha 0 e assim sucessivamente (ver figura 13A).

Partindo agora do estado estável 2, teremos uma transição horizontal para a coluna 11, onde temos um estado não estável que muda a transição para vertical até o estado estável 4. Este desloca a transição horizontalmente até o estado não

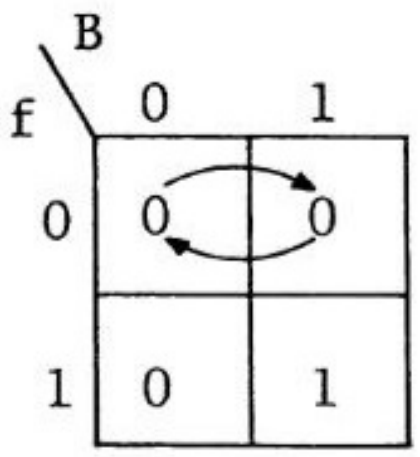
estável da coluna 01 e finalmente a transição retorna verti calmente para o estado estável 2 e assim sucessivamente (ver figura 13B).

Uma outra condição seria, se aplicássemos nas entradas - externas B e C uma seqüência em binário puro. A figura 13C ilustra esta transição.

FIGURA 14



f	B	F
0	0	0
0	1	0
1	0	0
1	1	1



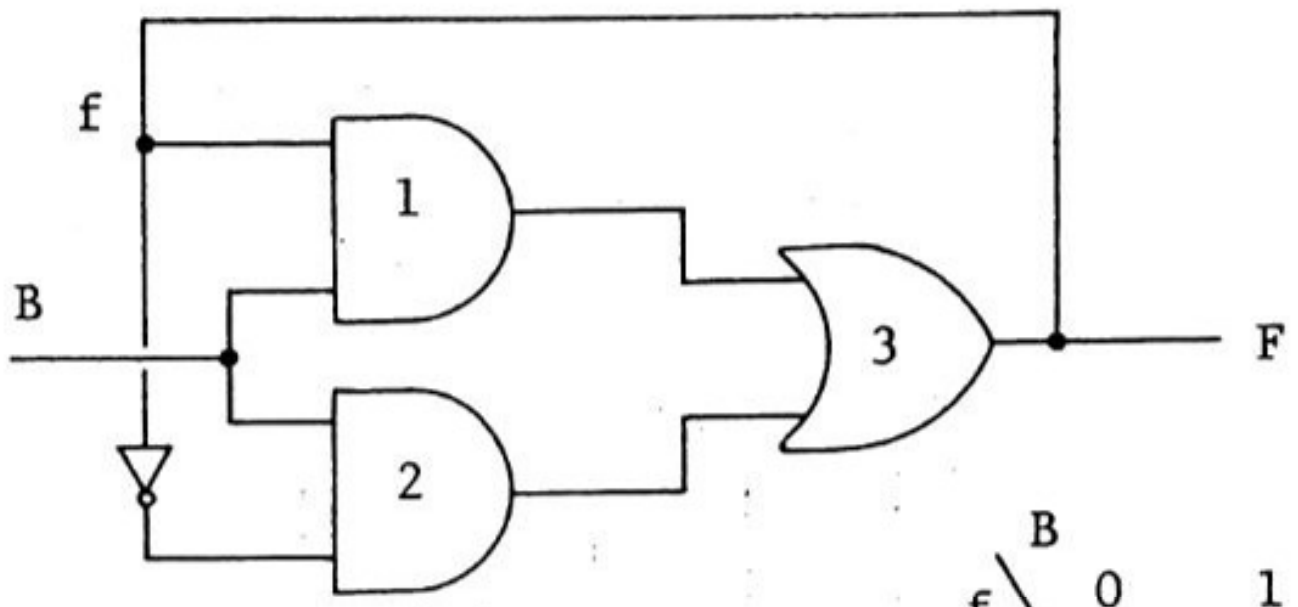
A figura 14 ilustra o mesmo circuito da figura 7, com a diferença de que a entrada externa C foi eliminada e ligada - na realimentação f. Observamos que, nesta condição, a saída F do circuito não muda de estado, pois, quando f = B = 0, a saída também será 0, indicando um estado estável. Logo, teremos uma transição horizontal de coluna em coluna, ou seja, da coluna 0 para a coluna 1, onde também temos uma saída F = 0, (f = 0, B = 1, F = 0) estável. Portanto, teremos uma transi - ção horizontal da coluna 1 para a coluna 0. Assim a transi - ção se dá somente na horizontal, onde a saída F permanece - constantemente no estado 0.

A figura 15 ilustra o mesmo circuito da figura 14, porém com um inversor na entrada da "PORTA E 2" quando f = B = 0, a saída F = 0. Como f também é 0, a saída é estável. Logo, te- mos uma transição horizontal para a coluna 1, onde a saída

F = 1. Como nesta linha f = 0, temos uma saída não estável. Logo, temos uma transição vertical para a linha 1. Como a saída, nesta célula, é 1, temos um outro estado estável. Assim a transição será horizontalmente para a coluna 0, onde temos F = 0, estado não estável, que provoca uma transição vertical

$F = f.B + f.B$

f	B	F
0	0	0
0	1	1
1	0	0
1	1	1



$F = f.B + \overline{f}.B$

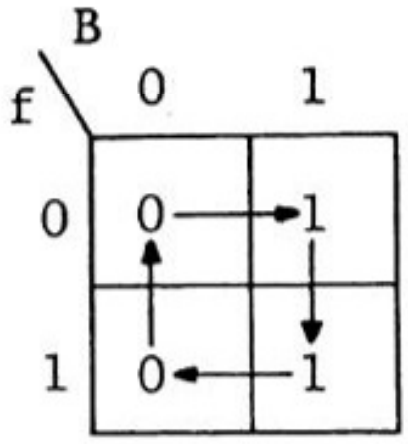


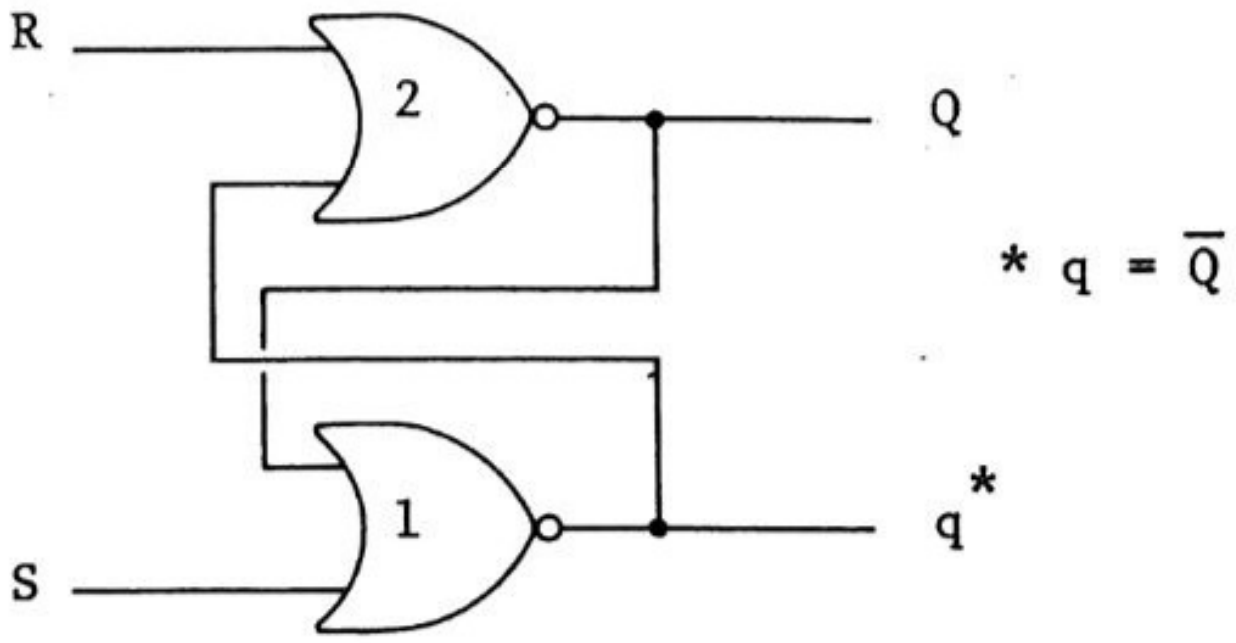
FIGURA 15

mente para a linha 0. Desta forma, a transição forma um círculo (loop) sucessivo e, para que isto ocorra, basta variar o sinal na entrada B.

Exemplos

a) Analisar um circuito flip-flop R-S constituído de duas "PORTAS NÃO OU" (NOR).

FIGURA 16



1 - Escrevemos a expressão de cada saída do circuito. Para o circuito da figura 16, temos duas saídas, Q e q, desta forma, temos:

$$Q = \overline{R + q}$$

$$q = \overline{S + Q}$$

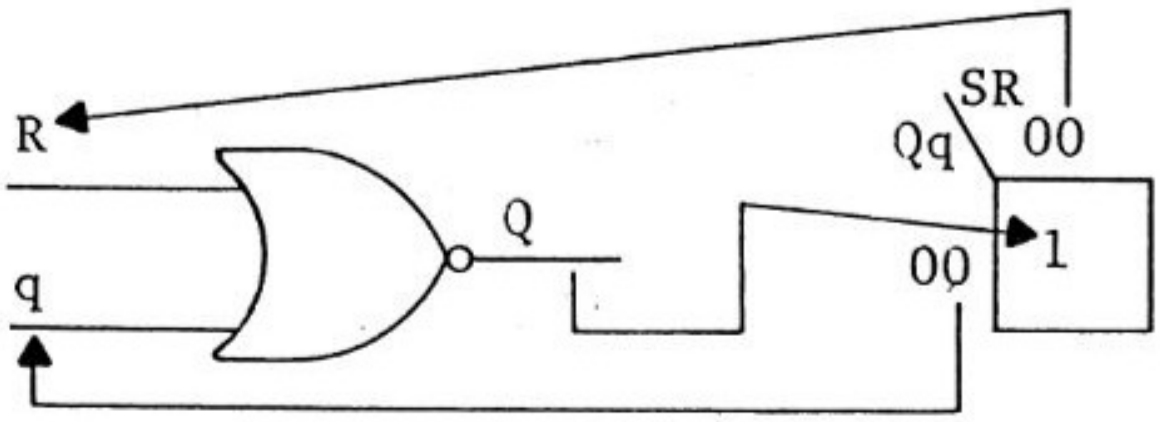
2 - Desenhamos uma tabela de fluxo, incluindo uma coluna para cada combinação das variáveis externas e uma linha para cada combinação das variáveis internas (realimentação).

Qq \ SR	00	01	11	10
00	1 1	Ø 1	Ø Ø	1 Ø
01	Ø 1	Ø 1	Ø Ø	Ø 0
11	Ø Ø	Ø Ø	Ø Ø	Ø Ø
10	1 Ø	Ø Ø	Ø Ø	1 Ø

Em nosso exemplo (figura 16), existem duas variáveis externas, S e R. Assim, teremos uma tabela com quatro colunas. Temos também duas variáveis internas, Q e q. Logo, a tabela deverá conter quatro linhas. A tabela de fluxo terá 16 células.

3 - Entrar com todas as variáveis no circuito e determinar as saídas. Neste exemplo, temos,praticamente, dois circuitos distintos, ou seja, um, onde as variáveis são os índices S e Q e saída q. E outro, onde as variáveis são os índices R e q e saída Q.

Vamos entrar primeiramente com as variáveis R e q e depois determinar os estados da saída Q e os introduzi-los à esquerda das células correspondentes, veja figura 17.


R
q
Q
SR
Qq
00
1
00

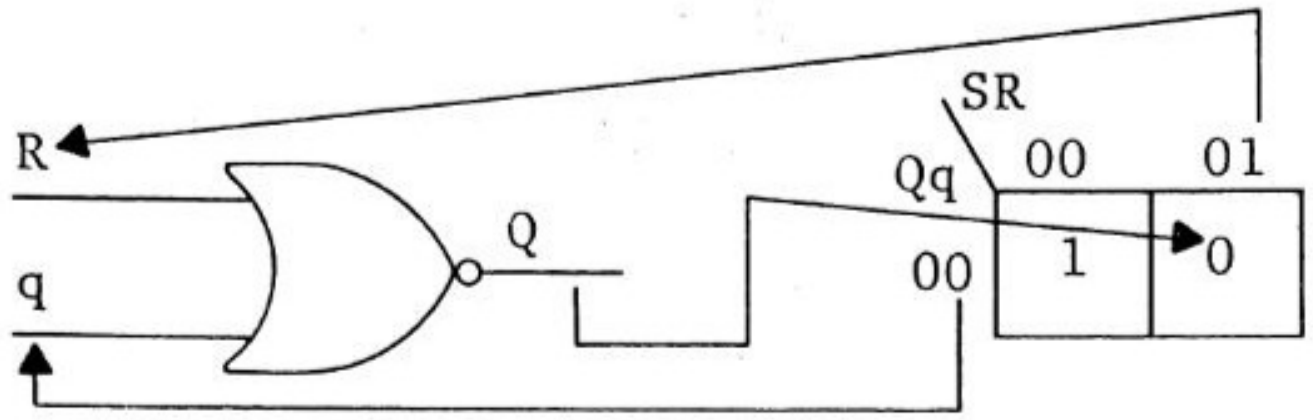
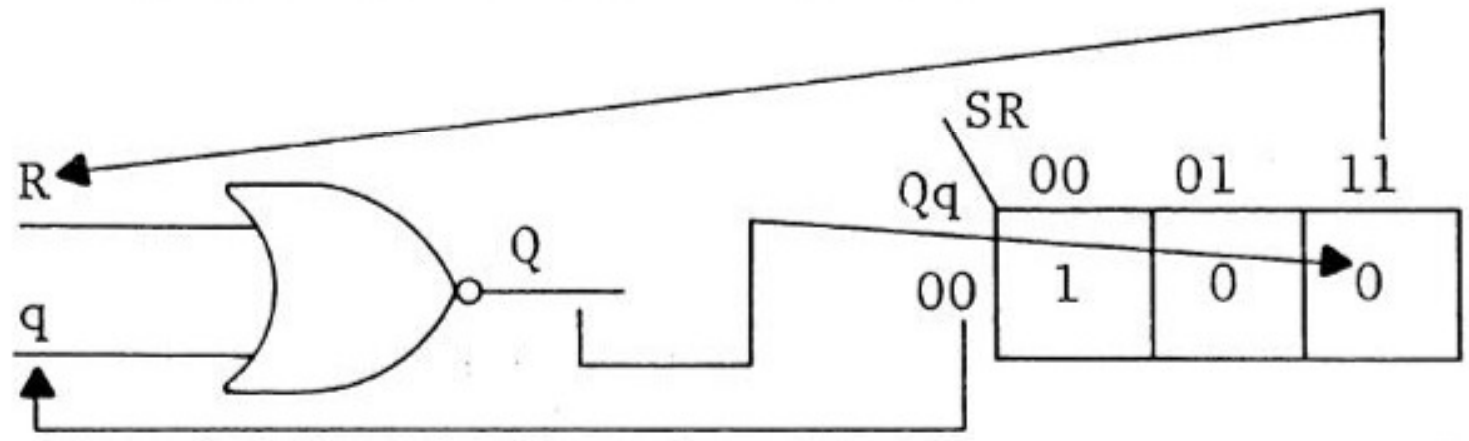
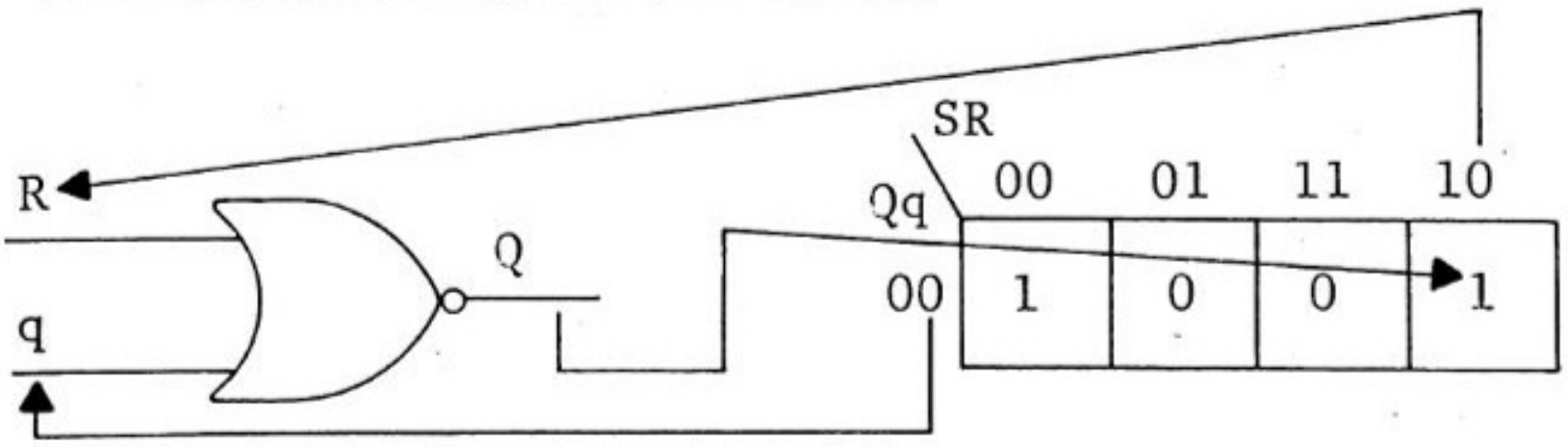
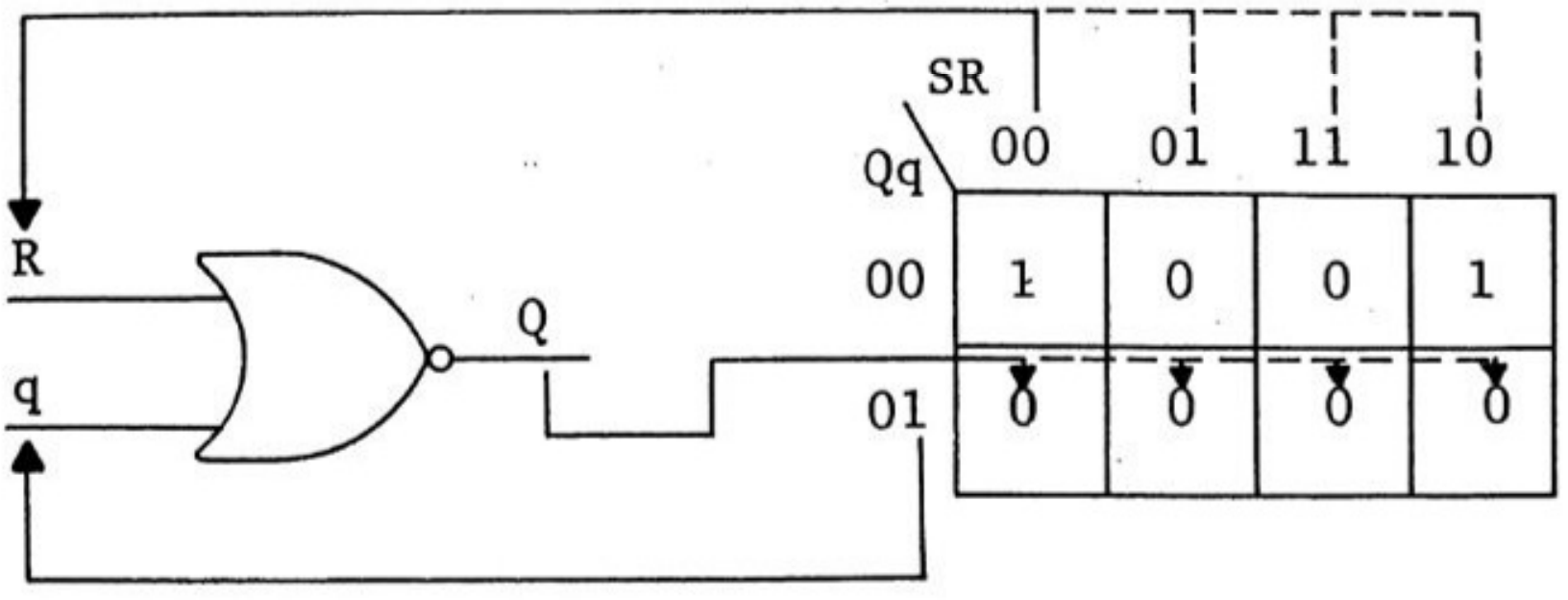
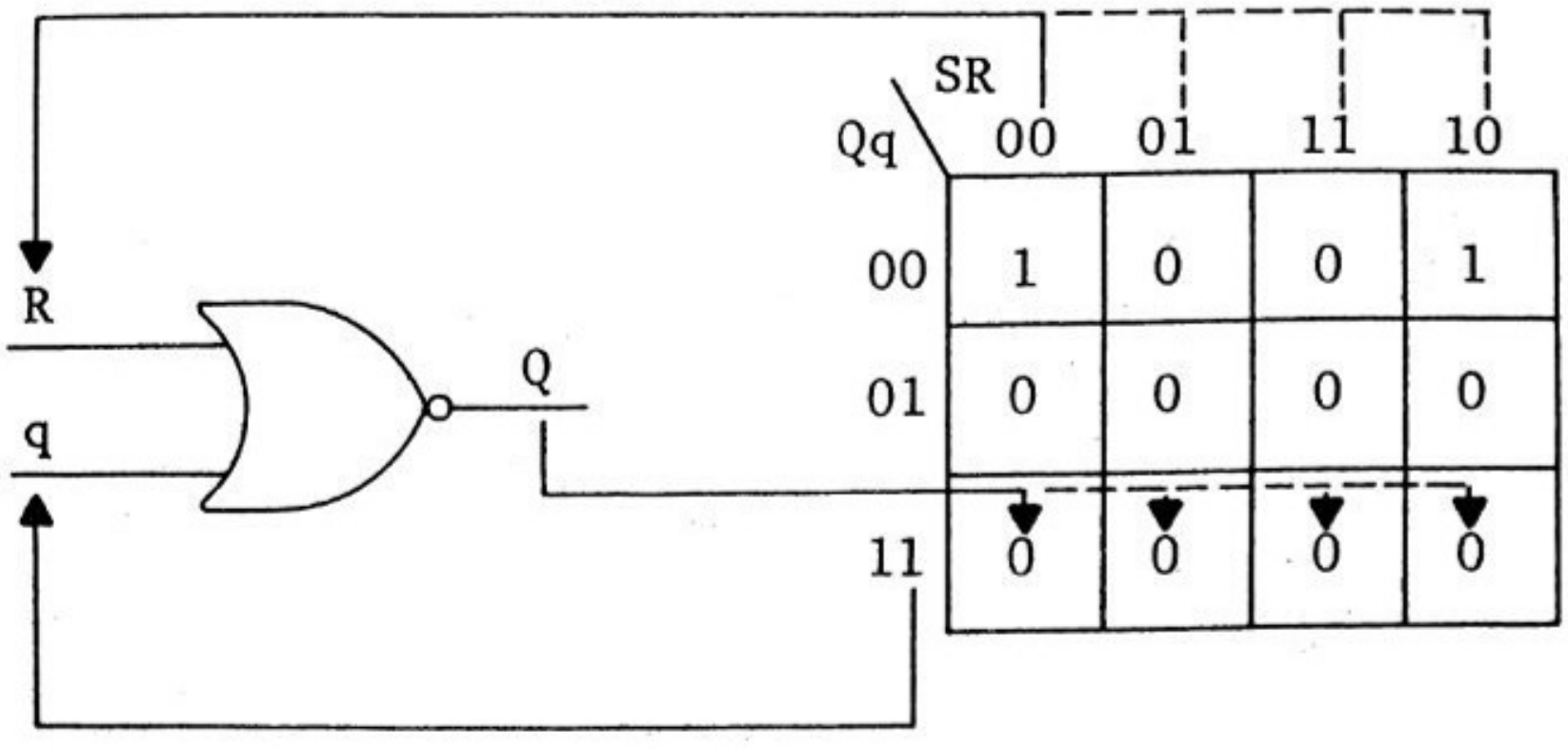

R
q
Q
SR
Qq
00
01
1
0
00

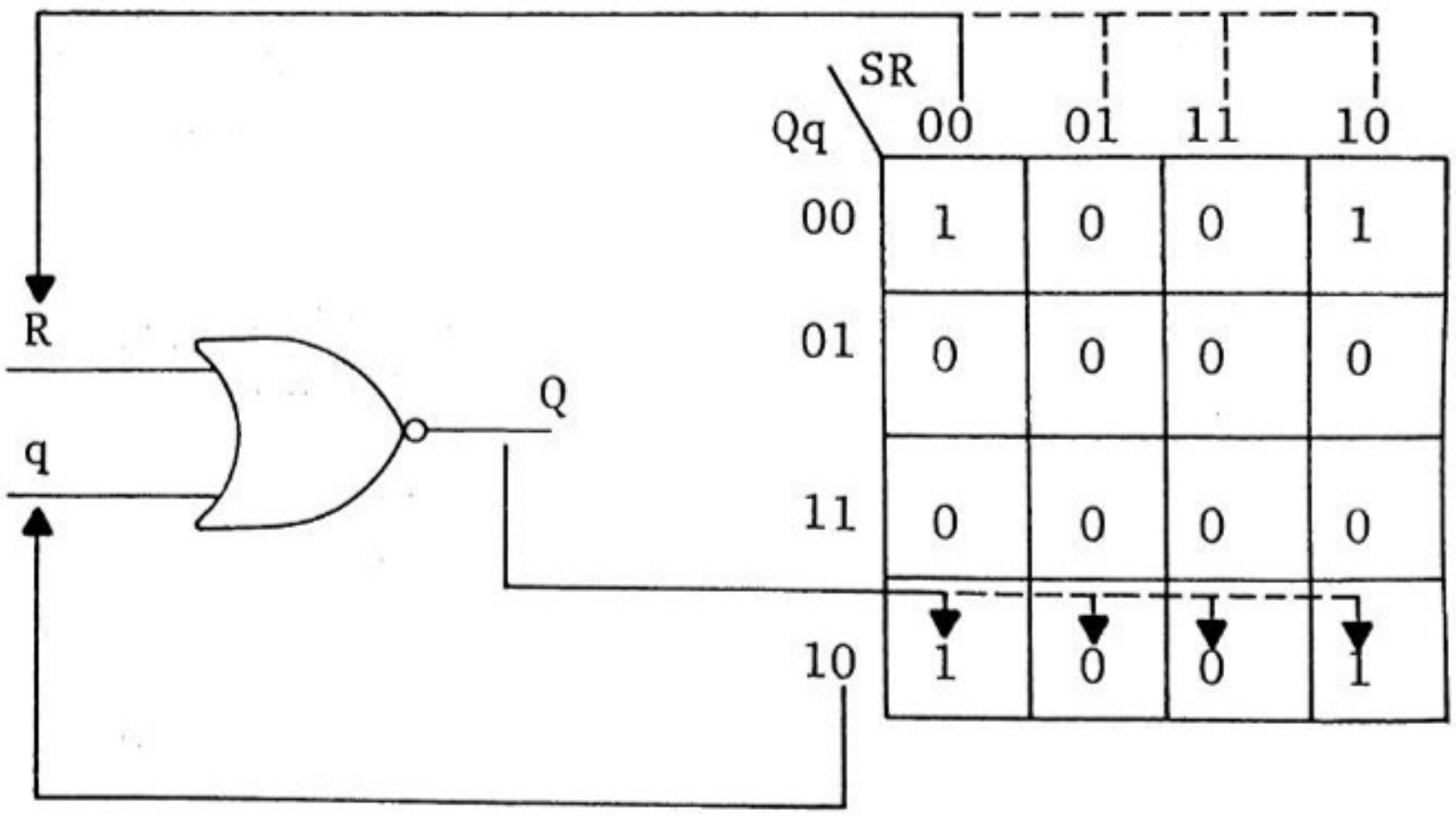
FIGURA 17


R
q
Q
SR
Qq
00
01
11
1
0
0
00

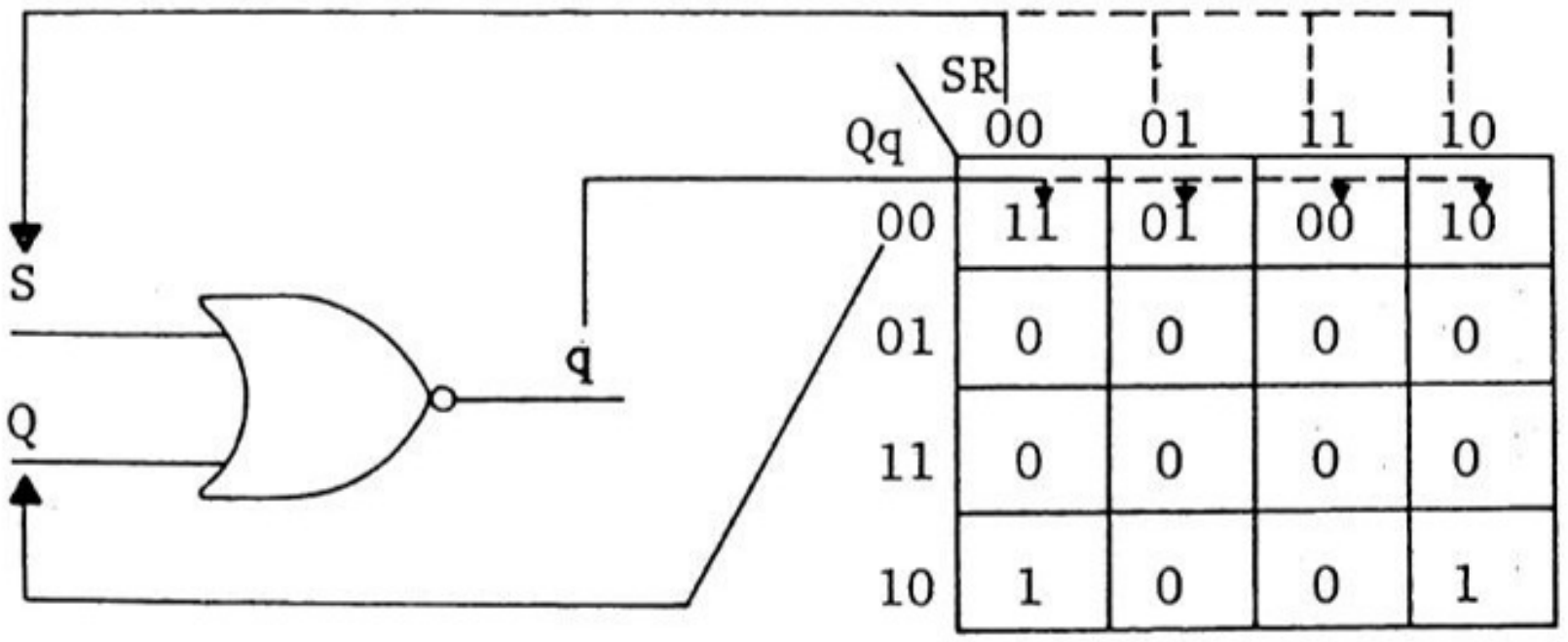

R
q
Q
SR
Qq
00
01
11
10
1
0
0
1
00

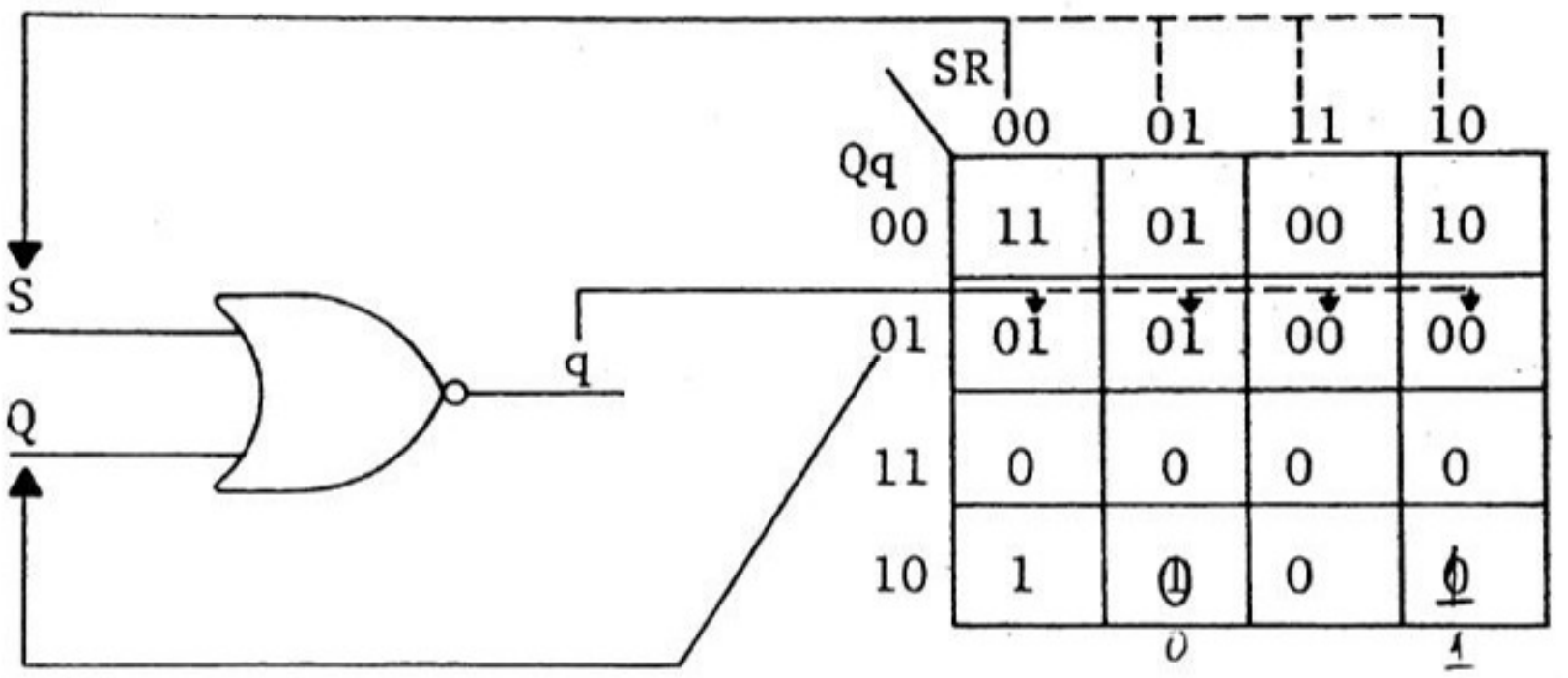

R
q
Q
SR
Qq
00
01
11
10
00
1
0
0
1
01
0
0
0
0

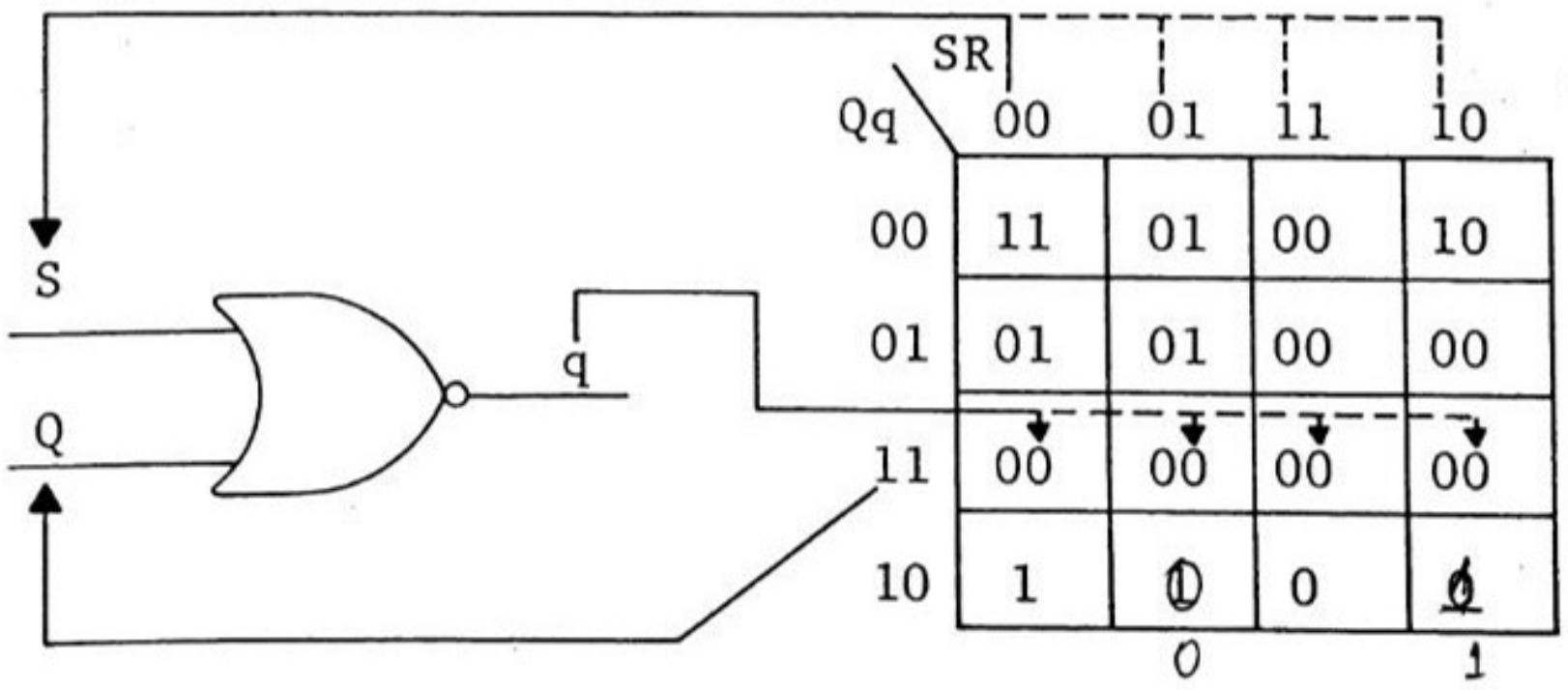




Em seguida, entramos com as variáveis S e Q e determinamos os estados de saída q e os introduzimos à direita das células correspondentes (ver figura 18).


SR
Qq
00 01 11 10
00 11 01 00 10
01 0 0 0 0
11 0 0 0 0
10 1 0 0 1
S
Q
q


SR
Qq
00 01 11 10
00 11 01 00 10
01 01 01 00 00
11 0 0 0 0
10 1 0 0 0
0 1
S
Q
q


SR
Qq
00 01 11 10
00 11 01 00 10
01 01 01 00 00
11 00 00 00 00
10 1 0 0 0
0 1
S
Q
q

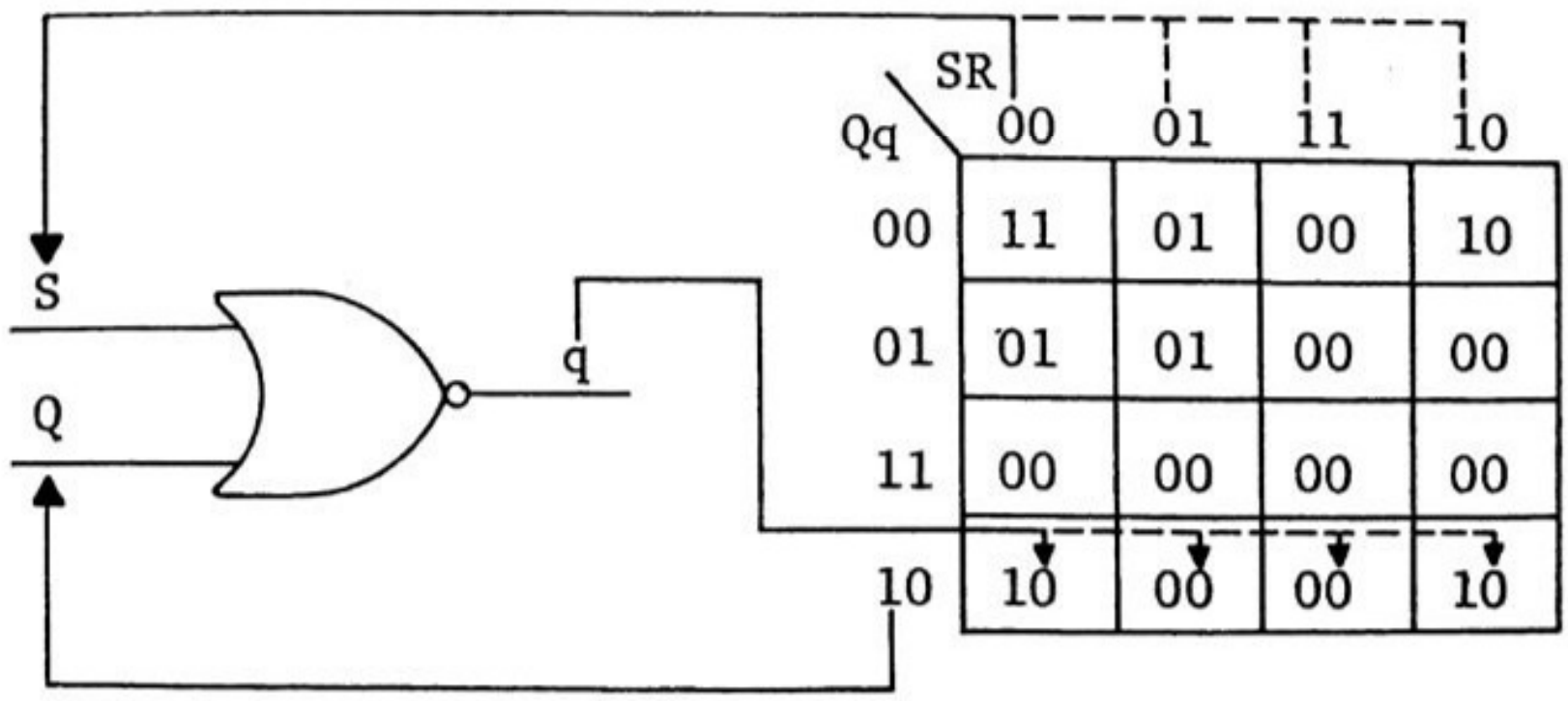

SR
Qq
00 01 11 10
00 11 01 00 10
01 01 01 00 00
11 00 00 00 00
10 10 00 00 10
S
Q
q

FIGURA 18

4 - Identificamos os estados estáveis e os não estáveis.

Qq \ SR	00	01	11	10
00	11	01	00	10
01	01	01	00	00
11	00	00	00	00
10	10	00	00	10

A

Qq \ SR	00	01	11	10
00	11	01	①	10
01	②	③	00	00
11	00	00	00	00
10	④	00	00	⑤

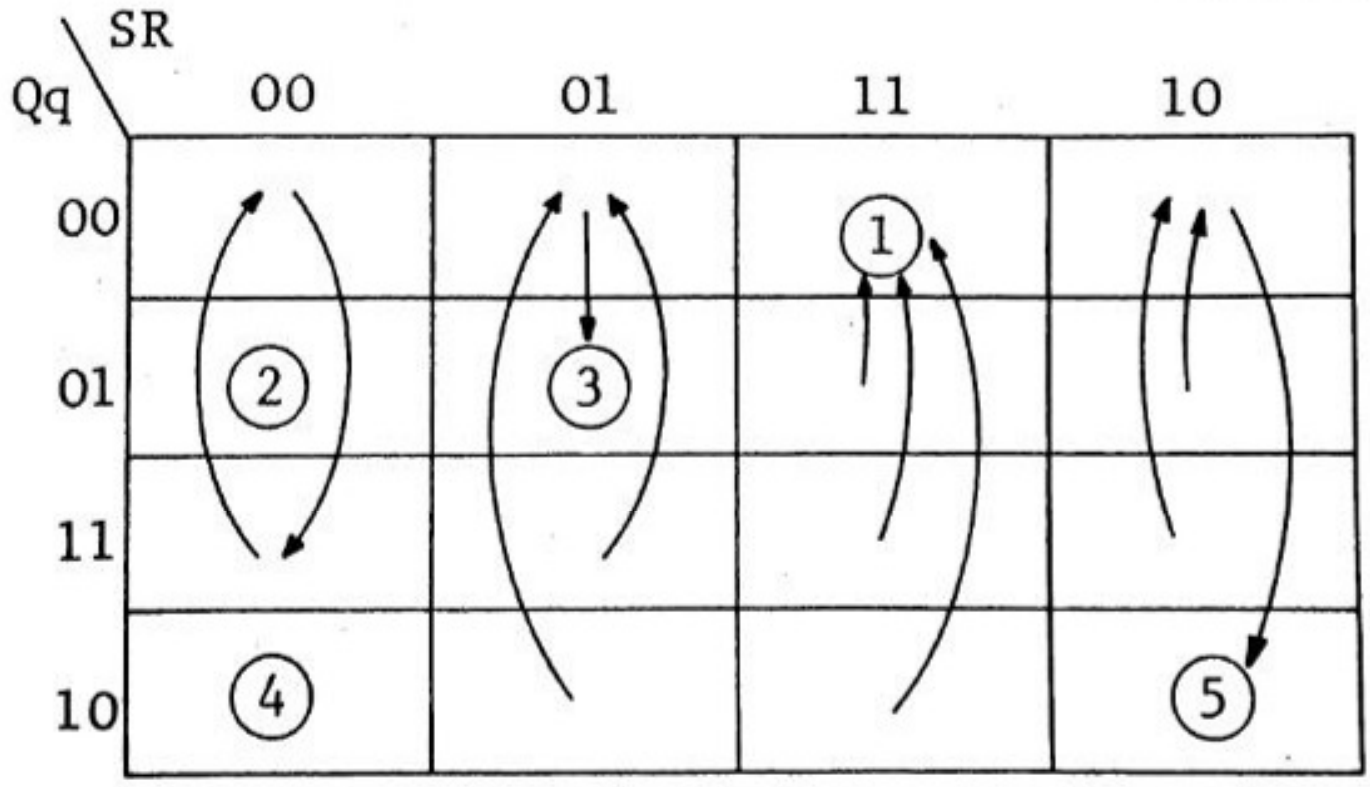
B

FIGURA 19

A figura 19A ilustra uma tabela de fluxo com a indicação dos estados estáveis. Assim, temos na linha 00 e na coluna 11 um estado estável, pois a célula tem um valor coincidente com o da linha 00. Na linha 01, temos dois estados estáveis,um na coluna 00 e outro na 01. Na linha 11, não temos estados estáveis. E, finalmente, na linha 10, temos também dois estados estáveis nas colunas 00 e 10.

A figura 19B ilustra a mesma tabela de fluxo, porém identificamos os estados estáveis com círculos numerados por ordem de linhas e de colunas.

FIGURA 20



5 - Determinamos a transição dos estados. Os estáveis movimentam horizontalmente e os não estáveis, verticalmente.

A figura 20 ilustra as transições verticais que podem o-

correr. Se SR = 0, temos uma condição crítica, pois, se partirmos da linha 00, podemos encontrar dois estados estáveis, um na linha 01 e outro na linha 10, onde ocorrem estados aleatórios, ou seja, Q e q podem assumir uma condição de saída alta ou baixa. Portanto, SR = 0 não pode ser utilizado. Da mesma forma, não podemos utilizar SR = 1, pois, nestas condições, as saídas Q e q apresentam uma saída baixa.

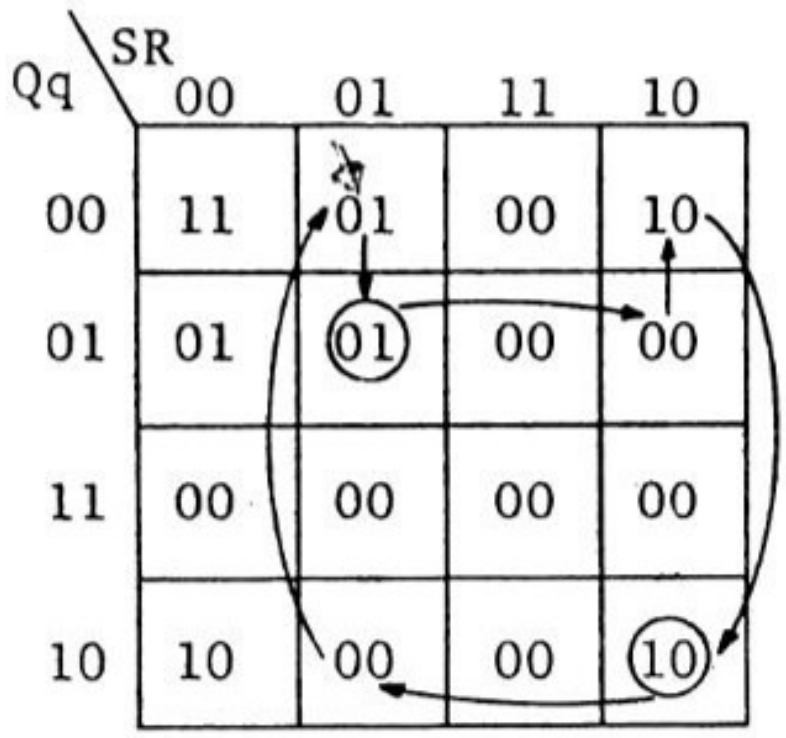


FIGURA 21

Assim, devido às restrições vistas acima, restam apenas dois estados estáveis, possíveis de acontecerem nas saídas, conforme indicam as setas do diagrama de fluxo da figura 21. Por exemplo, quando tivermos S = 0 e R = 1, teremos a saída q = 1 e Q = 0. E, quando S = 1 e R = 0, teremos q = 0 e Q = 1. Desta forma, podemos resumir a tabela verdade deste flip-flop RS.

S R	Q q
0 0	Não altera
0 1	0 1
1 0	1 0
1 1	Não é permitido

FIGURA 22

A figura 22 ilustra a tabela característica de um flip - flop R-S. Para maiores esclarecimentos do funcionamento de flip-flops, reportar à apostila Ed-16.

b) Analisar um circuito flip-flop R-S síncrono, constituído de "PORTAS NÃO E" (NAND).

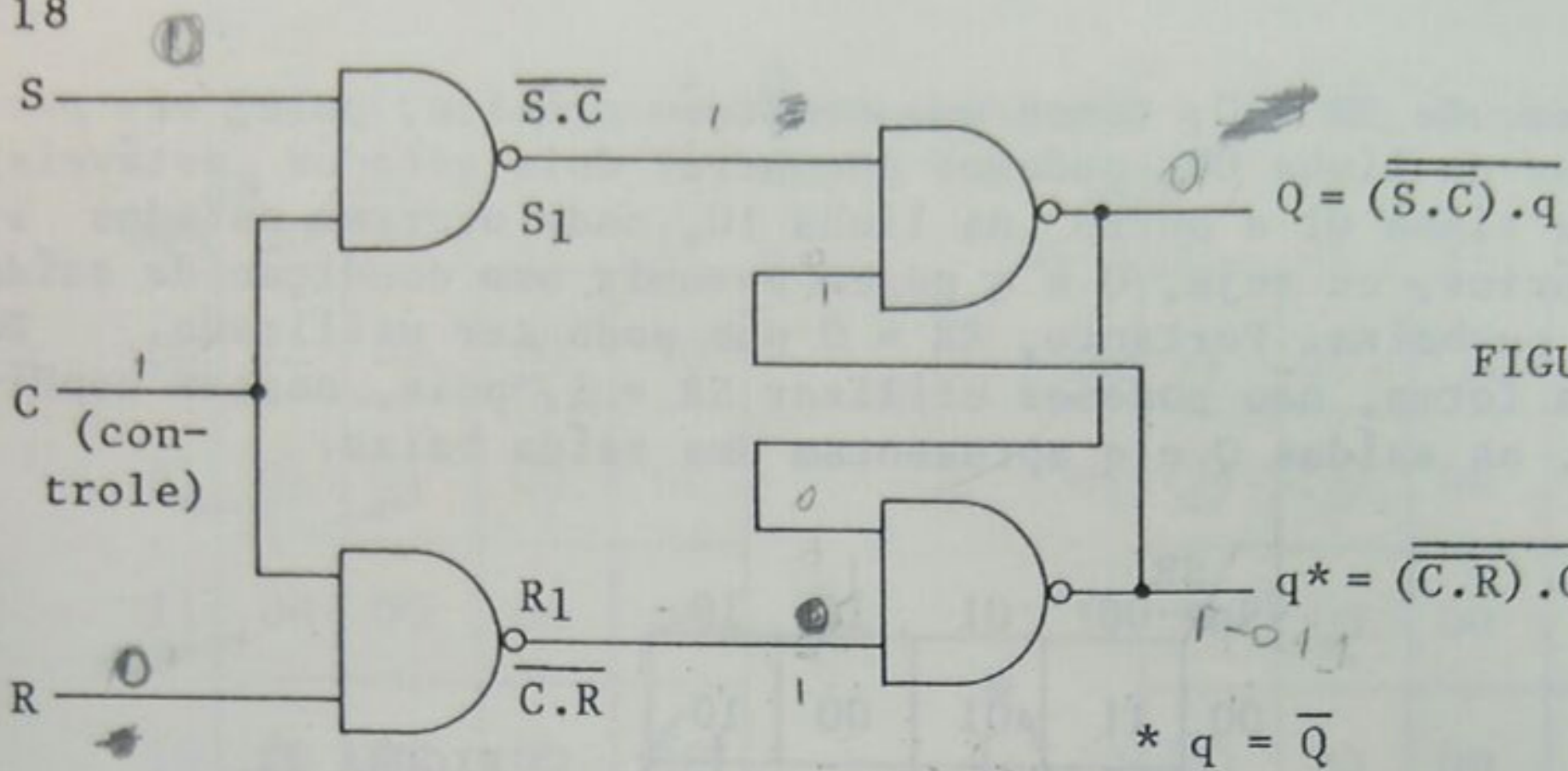


FIGURA 23

1 - Escrever a expressão de cada saída do circuito.

$$Q = \overline{(\overline{S.C})} \cdot q$$

$$q = \overline{(\overline{C.R})} \cdot Q$$

2 - Desenhamos uma tabela de fluxo, incluindo uma coluna para cada combinação das variáveis externas "CSR" e uma linha para cada combinação das variáveis internas (realimentação) Q e q.

FIGURA 24

qQ \ CSR	000	001	011	010	110	111	101	100
00								
01								
11								
10								

Observação: Os índices das linhas e das colunas são representados por código gray. Qualquer dúvida, reportar à lição Ed-3.

3 - Entramos com todas as variáveis no circuito e determinamos as saídas.

qQ \ CSR	000	001	011	010	110	111	101	100
00	11	11	11	11	11	11	11	11
01	01	01	01	01	01	11	11	01
11	00	00	00	00	01	11	10	00
10	10	10	10	10	11	11	10	10

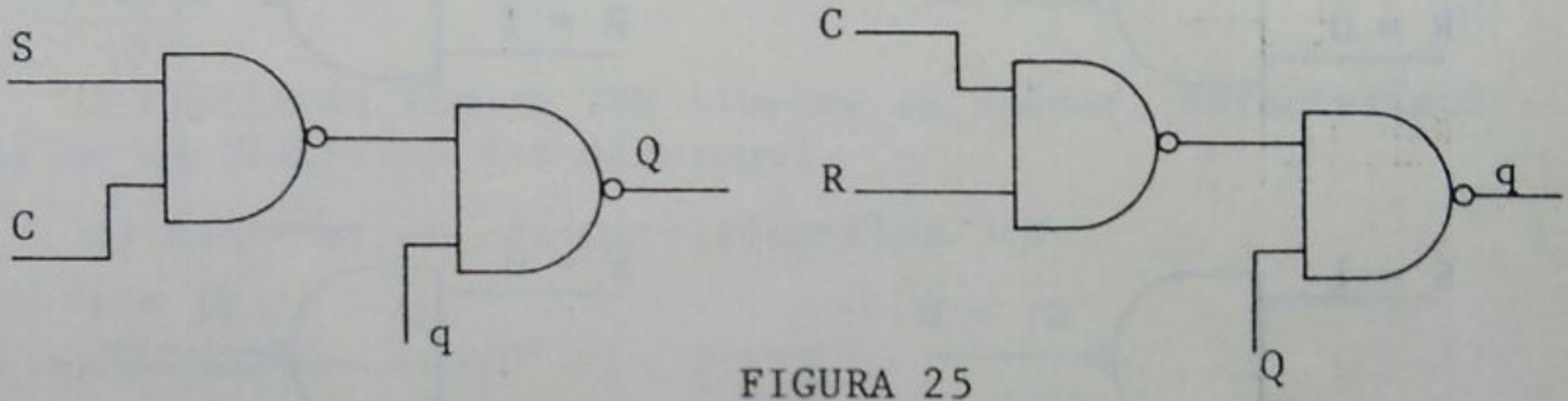


FIGURA 25

4 - Identificamos os estados estáveis e os não estáveis.

qQ \ CSR	000	001	011	010	110	111	101	100
00	11	11	11	11	11	11	11	11
01	(01)	(01)	(01)	(01)	(01)	11	11	(01)
11	00	00	00	00	01	(11)	10	00
10	(10)	(10)	(10)	(10)	11	11	(10)	(10)

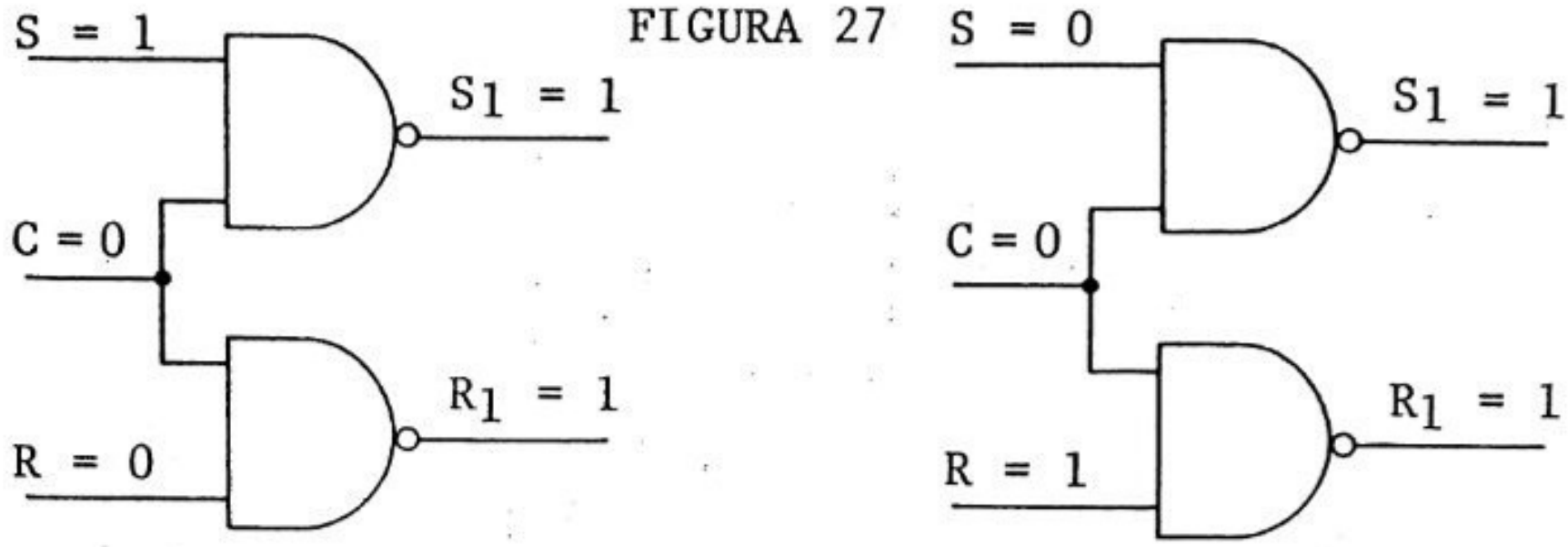
FIGURA 26

Analisando o circuito, verificamos algumas restrições. Por exemplo, quando o controle "C" estiver a nível 0, as condições reset "R" e set "S" permanecerão trancadas (não sendo aceitas). Portanto, "R" e "S" só serão aceitos, quando "C" - passar do nível baixo para alto. A figura 27 ilustra estas - condições.

Devido a estas restrições as colunas 000, 001, 011 e 010 ficam nulas na tabela de fluxo. (ver figura 26).

Analisando a tabela de fluxo da figura 26, notamos que a coluna 111 é também uma condição não permitida, pois temos as saídas em condições forçadas, ou seja, Q = 1 e q = 1. Na coluna 100, temos uma condição, que não se altera, pois, se

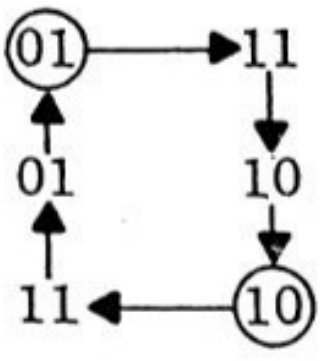
FIGURA 27



partirmos do estado estável 01, situado na linha 01 e coluna 110, teremos uma transição horizontal para a coluna 100, onde temos também um estado estável 01, o qual não altera as saídas Q e q. Da mesma forma, ocorre com o estado 10 da coluna 100. Se partirmos do estado estável 10, situado na linha 10 e coluna 101, podemos transitar horizontalmente para a coluna 100, onde temos também um estado estável 10, o qual não altera as saídas Q e q.

5 - Determinamos a transição dos estados. Os estáveis movimentam horizontalmente e os não estáveis, verticalmente.

A figura 26 ilustra as transições possíveis de ocorrerem, levando em considerações as restrições verificadas anteriormente. Assim, a única transição viável é a ilustrada abaixo, figura 28a.



a

C	S	R	Q	q
1	0	0	Não altera	
1	0	1	1	0
1	1	0	0	1
1	1	1	Não permitida	

b

FIGURA 28

A tabela da figura 28B ilustra as saídas características de um flip-flop R-S síncrono.

c) Analisar um circuito flip-flop J-K.

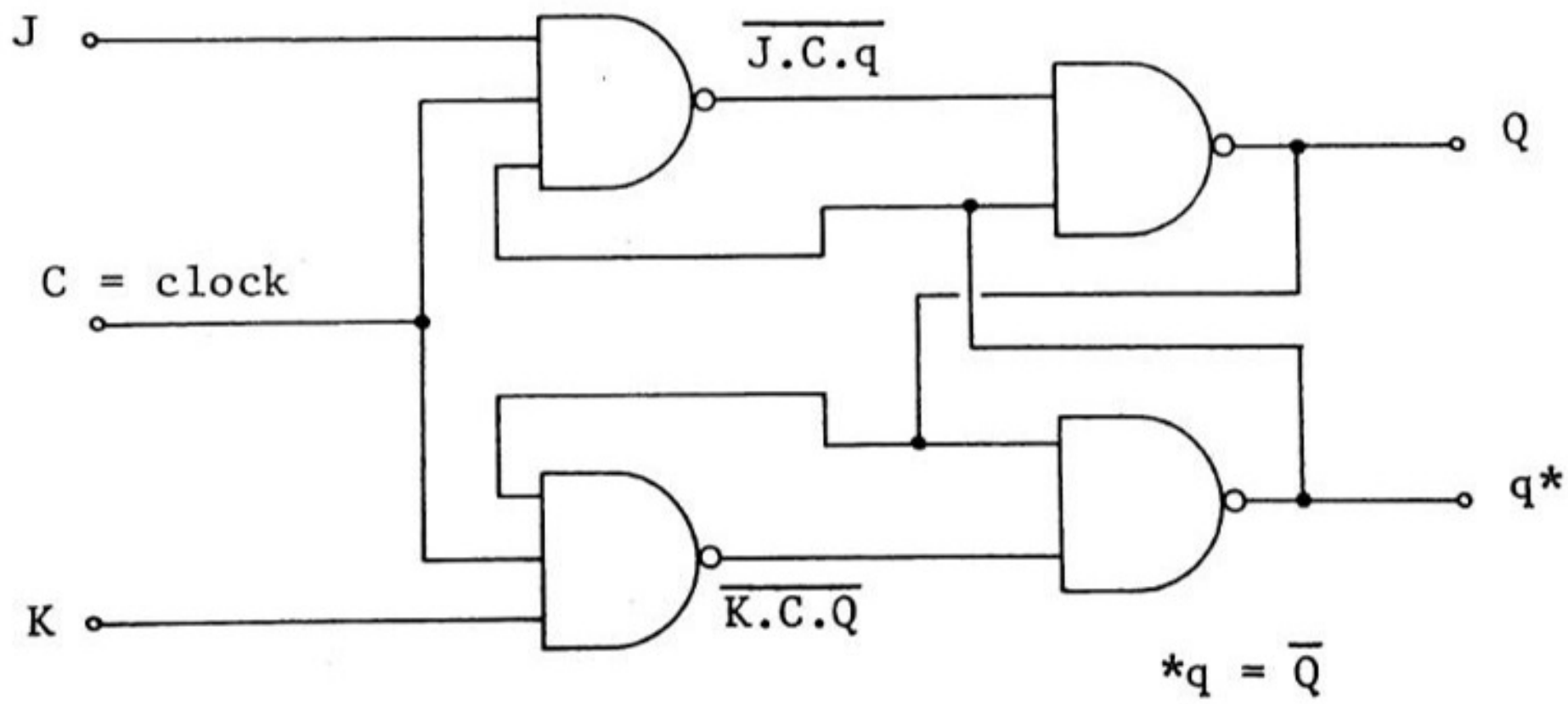


FIGURA 29

1 - Escrever a expressão de cada saída do circuito.

$$Q = \overline{\overline{(J.C.q)} \cdot q}$$

$$q = \overline{(K.C.Q)} \cdot Q$$

2 - Desenhamos uma tabela de fluxo, incluindo uma coluna para cada combinação das variáveis externas "CJK" e uma linha para cada combinação das variáveis internas Q e q. Entramos

com todas as variáveis no circuito e determinamos as saídas.

Qq \ CJK	000	001	011	010	110	111	101	100
00	11	11	11	11	11	11	11	11
01	(01)	(01)	(01)	(01)	11	11	(01)	(01)
11	00	00	00	00	10	(11)	01	00
10	(10)	(10)	(10)	(10)	(10)	11	11	(10)

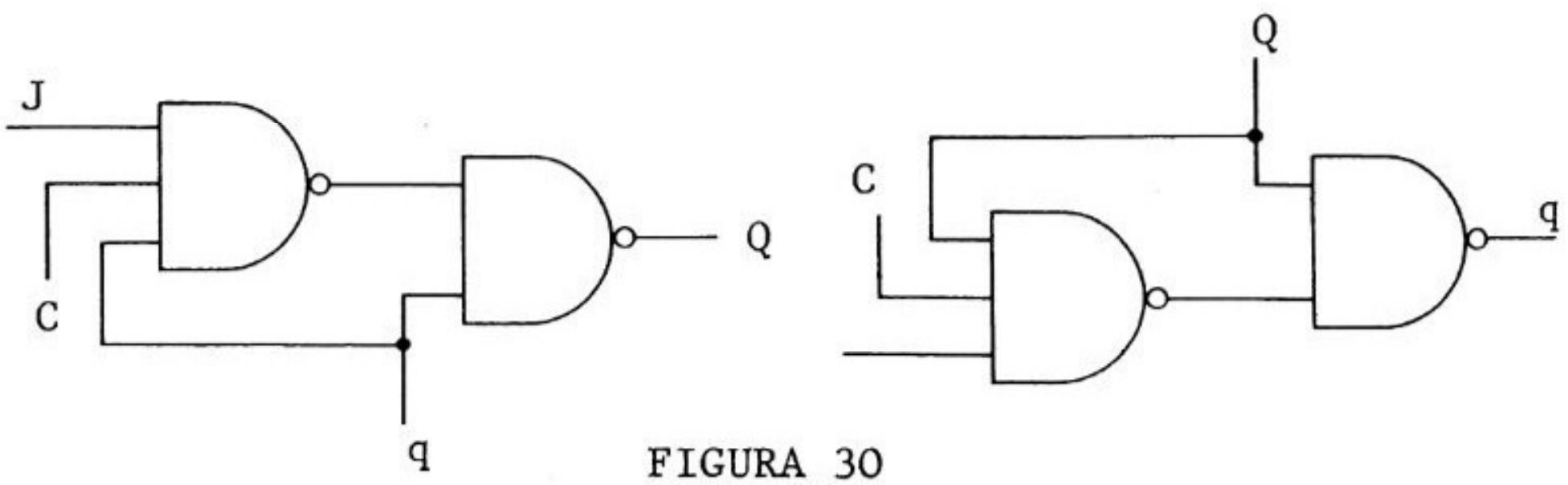
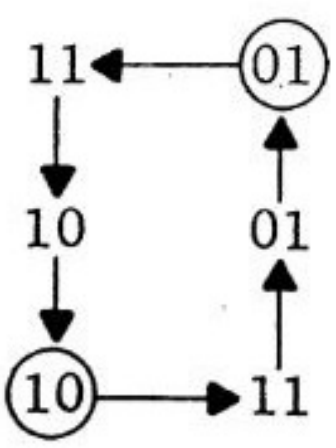


FIGURA 30

Analisando a tabela de fluxo, da figura 30, notamos a existência das mesmas restrições vistas na tabela de fluxo, da figura 26.



C	J	K	Q	q
1	0	0	qn	$\overline{qn}$
1	0	1	0	1
1	1	0	1	0
1	1	1	$\overline{qn}$	Qn

FIGURA 31

A figura 31 ilustra a tabela característica de um flip-flop J-K.

CEDM
CURSOS DE APERFEIÇOAMENTO

CURSO DE
ELETRÔNICA DIGITAL E
MICROPROCESSADORES

CAIXA POSTAL 1642 - CEP 86100 - LONDRINA - PARANÁ

EXAME DA LICÃO ED-23

OBSERVAÇÃO

- cada questão é composta de três ou quatro alternativas.
- só uma delas está correta.
- marque a que considerar correta.
- passe as respostas corretas para a folha de exame.

1) As portas lógicas são tidas como estáveis:

a) Quando os sinais de entrada forem iguais aos da saída;
b) Quando os sinais de saída corresponderem com suas definições,ou seja,de conformidade com suas tabela verdade;
c) Quando os sinais de entrada forem diferentes dos da saída;
d) N.R.A.

2) A Não-estabilidade de uma porta é tida como:

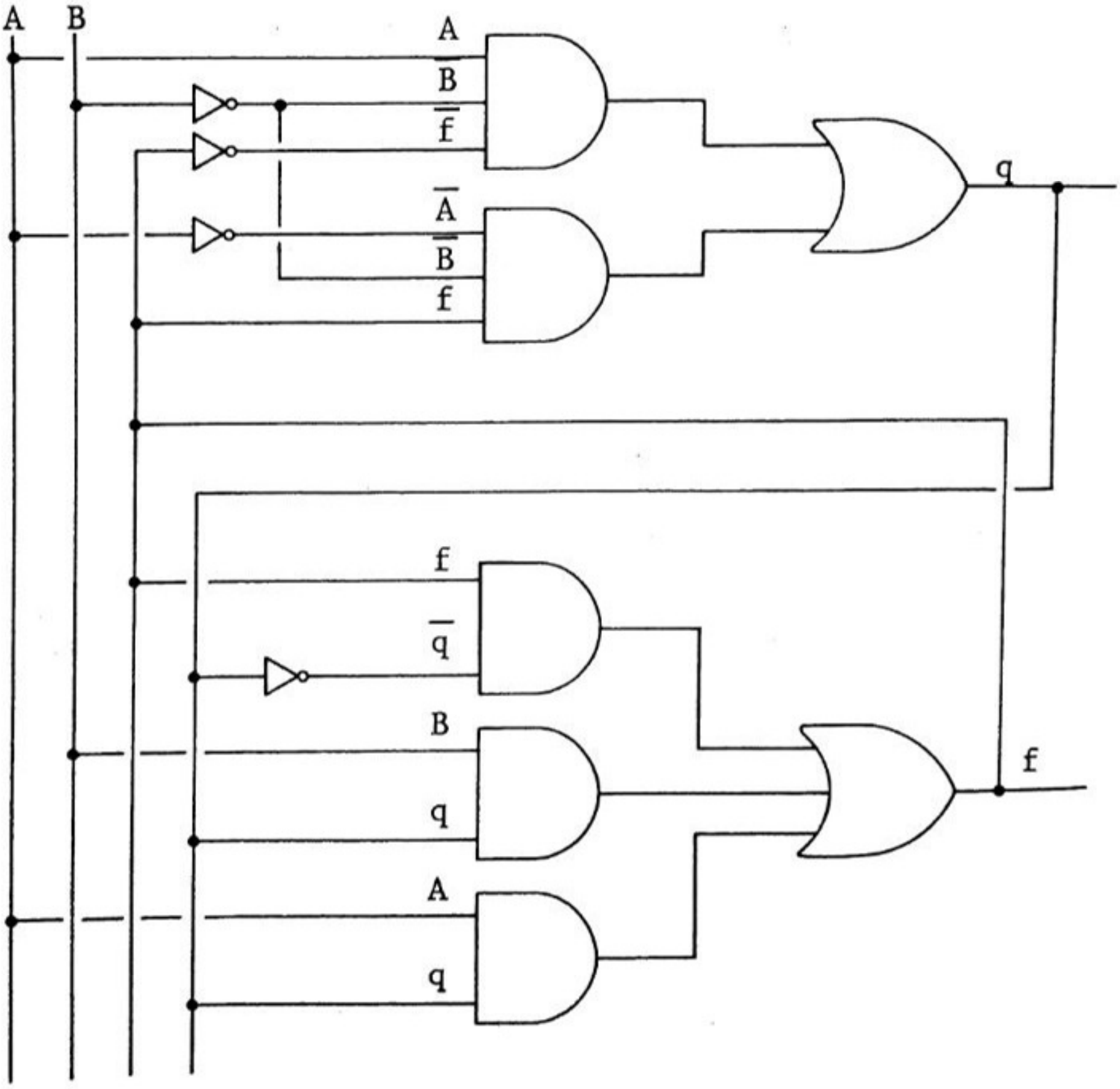
a) Sendo um pequeno período de tempo em que a sua tabela verdade torna-se irreal;
b) Sendo um sinal de saída que corresponde com a tabela - verdade do circuito;
c) Sendo a igualdade dos sinais de entrada;
d) As respostas "a" e "b" estão corretas.

3) Como sabemos as portas lógicas estão longe do ideal, pois atrasam a propagação dos sinais. Por exemplo, três portas lógicas TTL, ligadas em série apresentam um atraso no sinal de saída de:

a) 40 ns;
b) 60 ns;
c) 30 ns;
d) N.R.A.

20 ns/porta

4) Determinar a expressão de saída do circuito abaixo:



a) $f = f.\overline{q} + B.\overline{q} + \overline{A}.\overline{q}$; $q = A.B.\overline{f} + \overline{A}.B.\overline{f}$;

b) $f = f.\overline{q} + B.\overline{q} + \overline{A}.q$; $q = \overline{A}.\overline{B}.\overline{f} + \overline{A}.\overline{B}.q$;

c) $f = f.q + B.f + A.\overline{q}$; $q = A.\overline{B}.\overline{q} + \overline{A}.B.f$;

d) $f = f.\overline{q} + B.q + A.q$; $q = A.\overline{B}.\overline{f} + \overline{A}.\overline{B}.f$.

5) Determinar a tabela de fluxo do circuito da questão 4:

a)

fq \ AB	00	01	11	10
01	00	01	01	01
01	00	10	00	11
11	01	01	10	10
10	00	10	10	11

b)

fq \ AB	00	01	11	10
00	00	00	00	01
01	00	10	10	11
11	01	10	10	10
10	11	10	10	10

c)

fq \ AB	00	01	11	10
00	00	00	00	01
01	00	10	00	00
11	01	01	10	11
10	00	10	10	10

d)

fq \ AB	00	01	11	10
00	00	00	00	01
01	00	11	11	11
11	01	11	11	10
10	00	10	10	11

6) Identificar os estados estáveis e não estáveis da alternativa correta da questão 5:

a)

fq \ AB	00	01	11	10
00	①	②	③	01
01	00	④	00	11
11	01	⑤	10	10
10	11	10	⑥	⑦

b)

fq \ AB	00	01	11	10
00	①	②	③	01
01	④	10	10	11
11	01	⑤	⑥	10
10	11	⑦	⑧	⑨

c)

fq \ AB	00	01	11	10
00	①	②	③	01
01	00	10	10	11
11	01	10	10	10
10	11	④	⑤	⑥

d)

fq \ AB	00	01	11	10
00	00	①	②	③
01	00	10	10	11
11	01	10	10	10
10	④	⑤	⑥	⑦

7) Determinar uma transição dos estados possíveis da alternativa correta da questão 6:

a)

fq \ AB	00	01	11	10
00	① →	② →	③ →	01 ↓
01	00 ↑	10	10	11 ↓
11	01 ↑	10	10	10 ↓
10	11 ←	④ ←	⑤ ←	⑥

b)

fq \ AB	00	01	11	10
00	00 →	① →	② →	③ ↓
01	00 ↑	10	10	11 ↓
11	01 ↑	10	10	10 ↓
10	④ ←	⑤ ←	⑥ ←	⑦

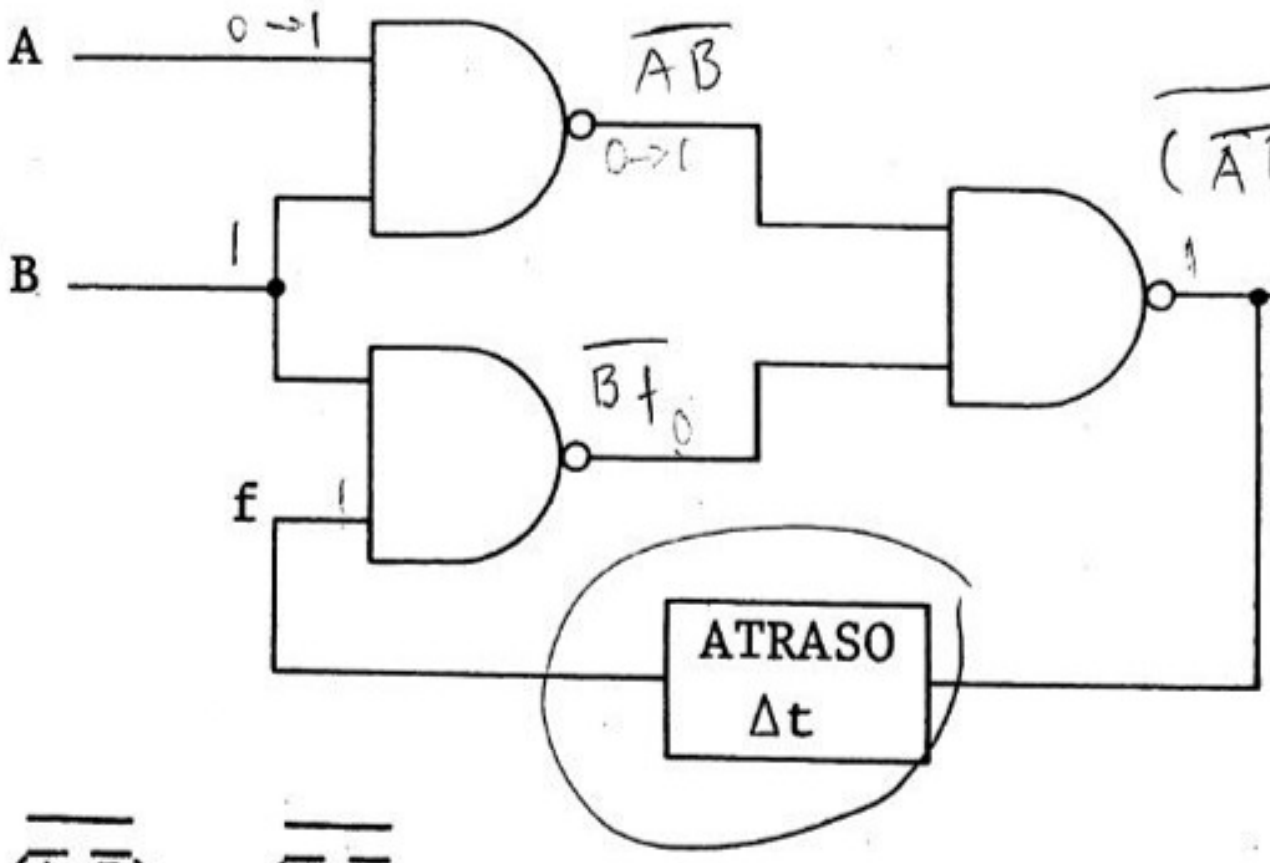
c)

fq \ AB	00	01	11	10
00	① →	② →	③ →	01 ↓
01	00	④ ↑	10	11 ↓
11	01	⑤ ↑	10	10 ↓
10	11	④ ←	⑤ ←	⑥

d)

fq \ AB	00	01	11	10
00	① ←	② ←	③ ←	01 ↑
01	00 ↓	10	10	11 ↑
11	01 ↓	10	10	10 ↑
10	11 →	④ →	⑤ →	⑥

8) Determinar a expressão de saída do circuito abaixo:



a) $F = \overline{(\overline{A}.\overline{B})} \cdot \overline{(\overline{B}.\overline{f})}$;

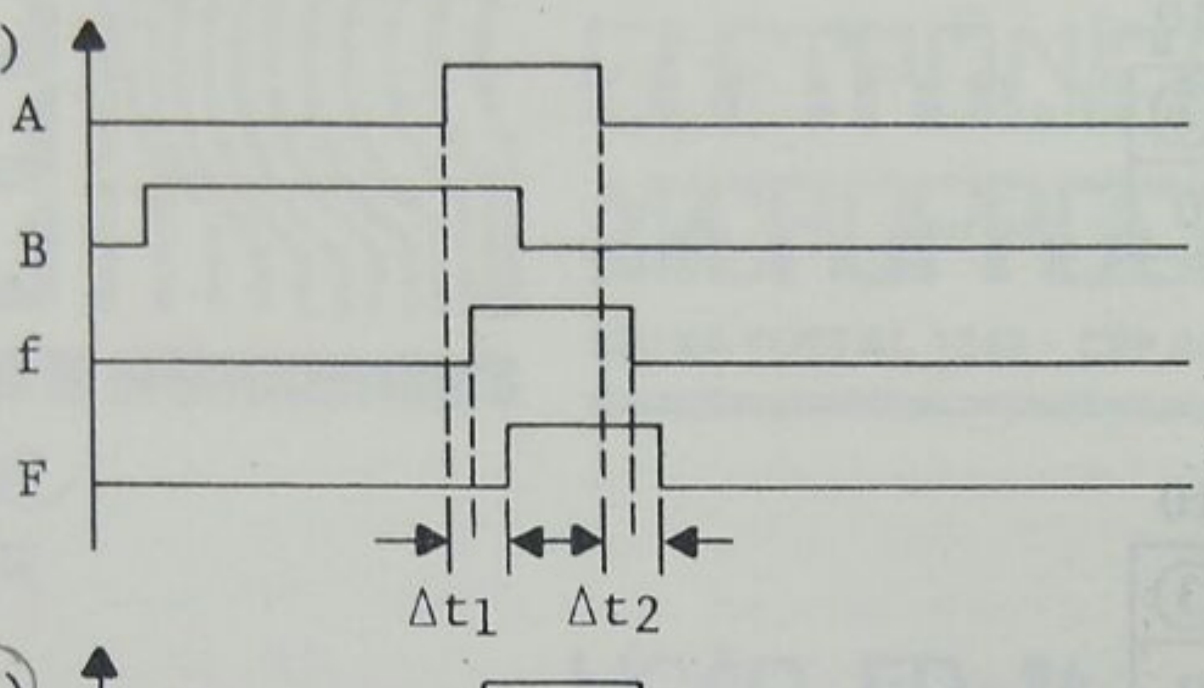
b) $F = \overline{(\underline{A}.\underline{B})} \cdot \overline{(\underline{B}.\underline{f})}$;

c) $F = \overline{(A.B)} \cdot \overline{(B.f)}$;

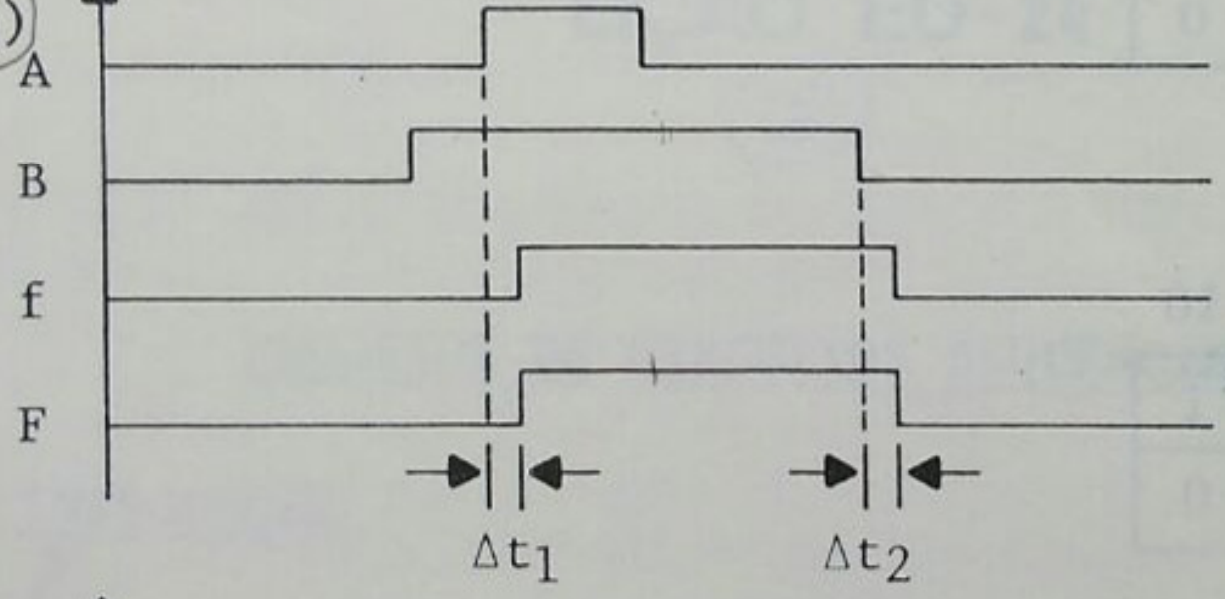
d) $F = \overline{\overline{(A.B)} \cdot \overline{(B.f)}}$.

9) Qual a alternativa ilustra a forma de onda compatível com o circuito da questão 8?

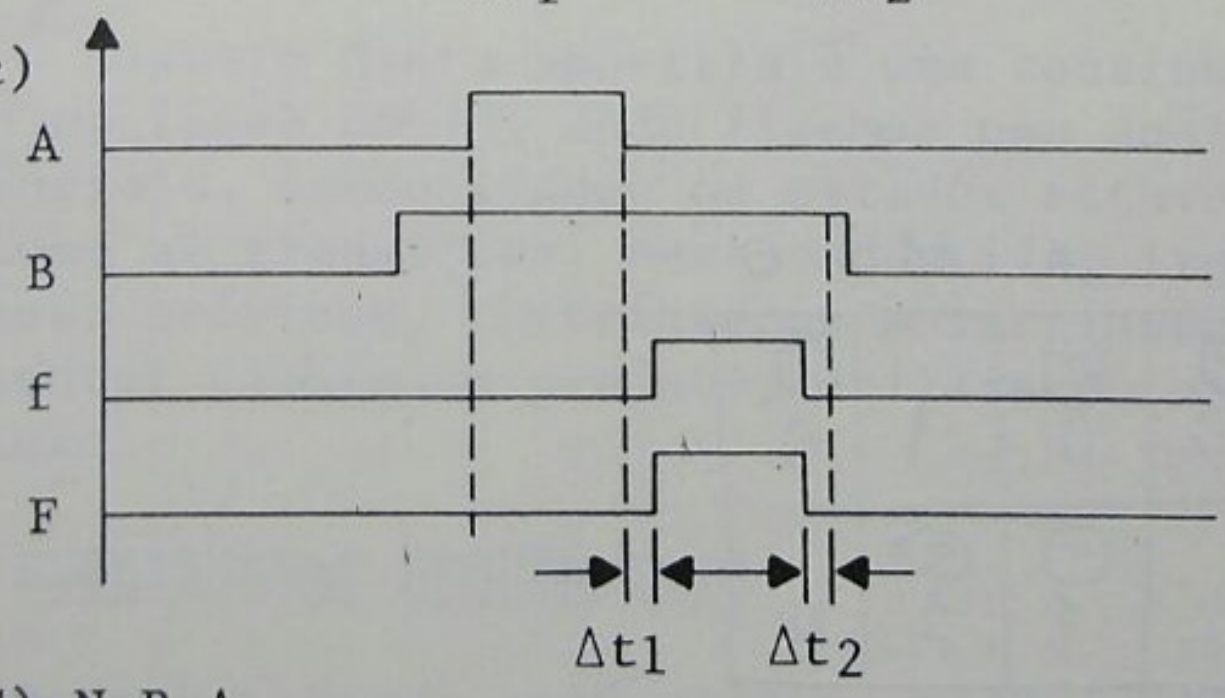
a)



b)



c)



d) N.R.A

10) Determinar os estados estáveis e não estáveis do circuito da questão 8:

a)

	$\overline{B}$		B	
$\overline{A}$	1	2	1	3
A	0	4	5	0
	$\overline{f}$	f		$\overline{f}$

b)

f \ AB	00	01	11	10
0	①	0	1	②
1	0	③	④	0

c)

f \ AB	00	01	11	10
0	①	②	1	③
1	0	④	⑤	0

d)

f \ AB	00	01	11	10
0	①	②	1	1
1	0	③	④	0

f \ AB	00	01	11	10
0	① 0	② 0	1	③ 0
1	0	④ 1	⑤ 1	0

CEDM
CURSOS DE APERFEIÇOAMENTO

CURSO DE ELETRÔNICA DIGITAL E MICROPROCESSADORES

CAIXA POSTAL 1642 - CEP 86100 - LONDRINA - PARANÁ

LIÇÃO ED-24

PROJETOS DE CIRCUITOS SEQÜÊNCIAS II

INTRODUÇÃO

O assunto desta apostila é uma continuação do assunto já visto na lição ED-23, onde fizemos uma análise de circuitos seqüênciais, demonstrando os estados estáveis e não-estáveis, bem como as transições. Nesta apostila, iremos abordar os atrasos: críticos, extrínsecos e intrínseco imanentes. E apresentar também um projeto, utilizando uma tabela primitiva de fluxo.

SUBSISTEMAS SEQÜÊNCIAIS

Os subsistemas seqüênciais, como já tivemos oportunidade de abordar, são subsistemas (circuitos) cujo comportamento é dependente dos estados atuais, bem como da forma como estes se comportaram anteriormente.

Os circuitos seqüênciais são estabelecidos por expressões que relacionam: os estados internos, os estados de entrada e de saída, por funções seqüênciais. Estes subsistemas podem conter dois tipos de atrasos: os extrínsecos e intrínsecos imanentes. Os atrasos extrínsecos são aqueles colocados propositalmente e os intrínsecos imanentes são aqueles pró-

prios e inseparáveis do subsistema. Esses atrasos, às vezes, provocam uma saída diferente do sinal presente em suas entradas, pois, como sabemos, essas saídas representam os estados passados das entradas.

Os circuitos seqüênciais se subdividem em duas categorias: os circuitos seqüênciais assíncronos e os circuitos seqüênciais síncronos.

Os circuitos seqüênciais assíncronos se comportam em dependência unicamente da propagação dos estados em seus diversos atrasos extrínsecos, onde as saídas geram os estados internos. Os atrasos intrínsecos são indesejáveis nestes circuitos, pois a presença destes introduzem variáveis de atrasos espúrios, que podem alterar o desempenho esperado do circuito.

Os circuitos assíncronos são subdivididos em duas categorias: circuitos assíncronos de Huffmann e circuitos assíncronos de Müller.

Os circuitos assíncronos de Huffmann são aqueles que apresentam um intervalo mínimo de tempo t entre as variações das entradas. Assim, tomando dois intervalos de tempo t_1 e t_2 de modo que t_2 seja > t_1, se duas ou mais variáveis mudarem de estado no intervalo t_1, a mudança será considerada simultânea. Se a mudança dos estados forem maior que o intervalo t_2, a mudança será considerada independente. E, se as mudanças forem entre os intervalos t_1 e t_2, não se pode considerar nada.

Os circuitos assíncronos de Müller, geram, além das saídas normais, um sinal de "pronto" que identifica a não existência de variações de sinais transitando pelo circuito. Novos dados só poderão ser inseridos, quando o sinal de"pronto" estiver no estado 1, ou seja, este circuito só aceita novas informações, quando as anteriores estiverem processadas.

Circuitos seqüênciais síncronos são aqueles em que a operação é comandada por um relógio (clock) externo. Como este sínal de relógio só é introduzido, assim que a propagação dos sinais, através dos atrasos intrínsecos, tiver cessada, conseqüêntemente, os circuitos síncronos são mais lentos que os assíncronos. Por outro lado, a condição de só introduzir novos sinais, quando os atrasos intrínsecos tiverem cessados , elimina, automaticamente, os azares introduzidos pelas variáveis espúrias de estado.

Os circuitos síncronos podem ser subdivididos em duas categorias: circuitos síncronos com relógio explícito e circuitos síncronos pulsados.

Em circuitos síncronos com relógio explícito, sempre teremos um sinal de relógio que comanda a operação do circuito. Normalmente, a maioria dos circuitos síncronos integrados utilizam relógio explícito.

Os circuitos síncronos pulsados são aqueles em que as variáveis de entrada só podem ocorrer em intervalos pré-estabelecidos de tempo, ou seja, o tempo em que essas variáveis estiverem no estado um (1).

Os sistemas mais complexos, como os microprocessadores, - por exemplo, operam na forma síncrona, porém as trocas de informações com outros sistemas externos são efetuadas de forma semelhante aos sistemas assíncronos de Müller, ou seja, quando um microprocessador termina a tarefa imposta, este envia um sinal de "pronto" (Handchake) aos periféricos, informando que se acha disponível para receber outra tarefa.

DISPUTAS CRÍTICAS E NÃO-CRÍTICAS EM CIRCUITOS SEQUENCIAIS:

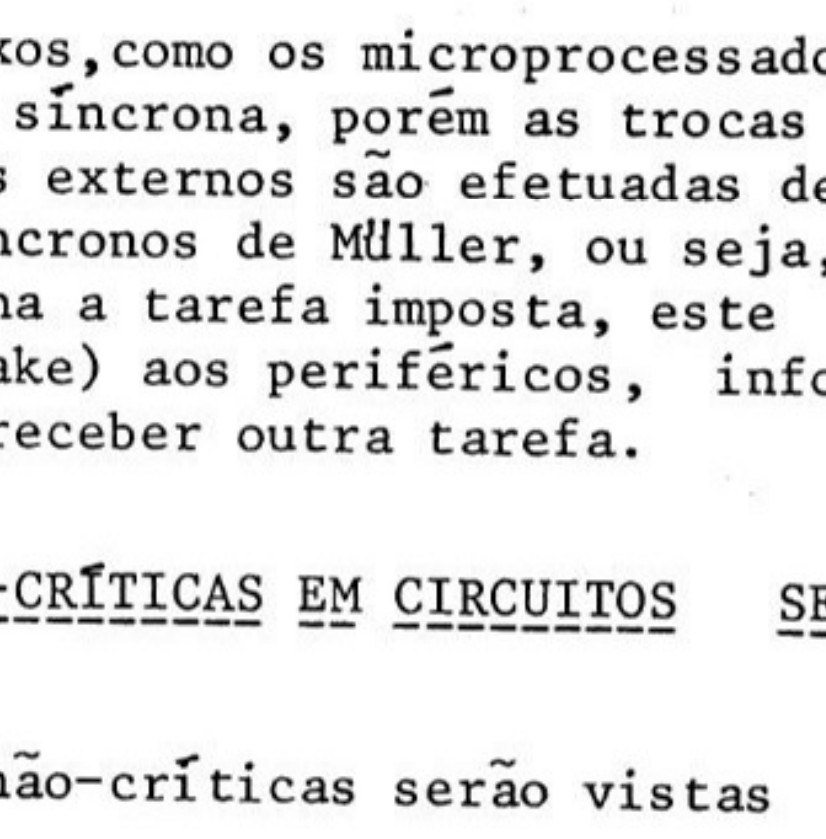
As disputas críticas e não-críticas serão vistas através do exercício abaixo:

a)

a	b	A	B	(a)	b	S
0	0	0	0	0	0	0
0	0	0	1	1	1	0
0	0	1	0	1	1	0
0	0	1	1	1	1	0
0	1	0	0	1	1	0
0	1	0	1	0	1	0
0	1	1	0	1	1	1
0	1	1	1	1	1	1
1	0	0	0	0	0	1
1	0	0	1	1	1	1
1	0	1	0	1	0	0
1	0	1	1	1	0	0
1	1	0	0	1	0	1
1	1	0	1	0	1	1
1	1	1	0	1	0	1
1	1	1	1	1	1	1

FIGURA 01

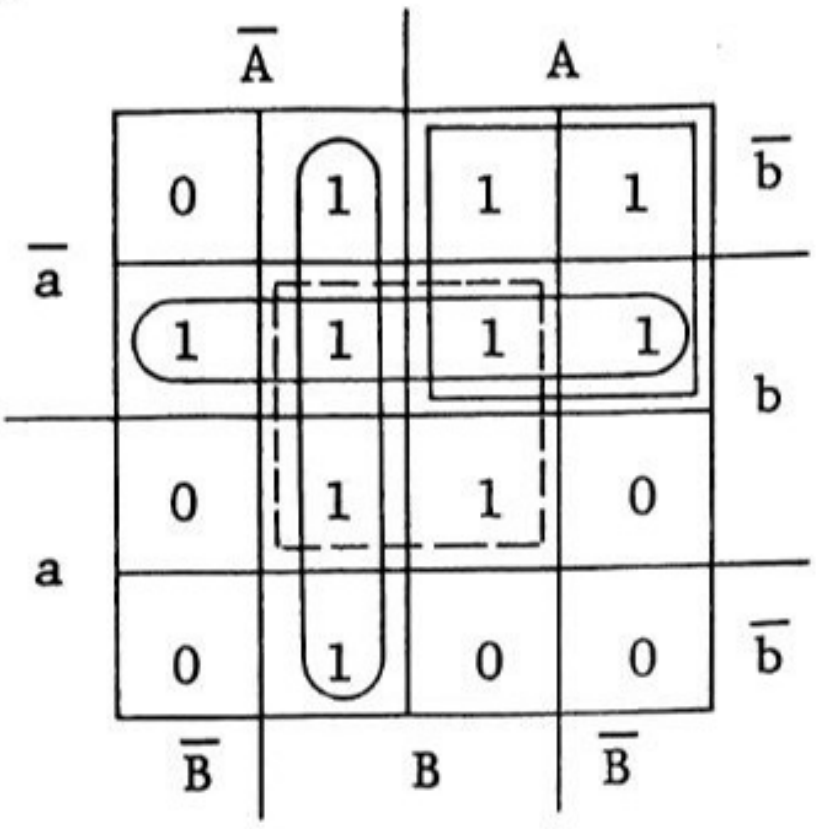
b)



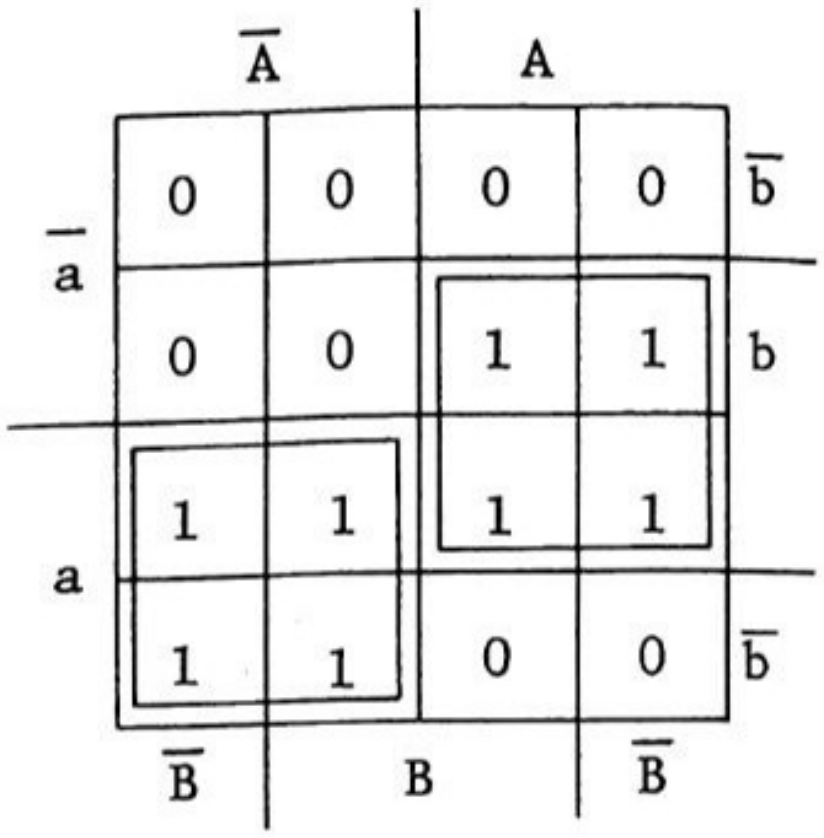
$$a = A + b.\overline{B} + \overline{b}.B$$

FIGURA 01

c)



d)



$b = \overline{a}.A + b.B + \overline{A}.B + \overline{a}.b$ $\quad S = a.\overline{A} + b.A$

A figura la ilustra a tabela verdade com suas respectivas variáveis e saídas. As figuras lb, lc e ld ilustram respectivamente os mapas de Karnaugh para as saídas a, b e S.

1) Inicialmente, tomamos, por exemplo, uma tabela verdade como a ilustrada na figura la. Em seguida, introduzimos nos mapas de Karnaugh os dados das saídas a, b e S, para encontrarmos as suas respectivas expressões. Ver figura lb, lc e ld.

Assim, obteremos as seguintes relações:

$a = A + b.\overline{B} + \overline{b}.B$

$b = \overline{a}.A + b.B + \overline{A}.B + \overline{a}.b$

$S = a.\overline{A} + b.A$

Observamos que as variáveis de entrada com índices minúsculos são as variáveis internas e as com índices maiúsculos são as externas.

2) De posse das expressões de cada saída, montamos o circuito, conforme ilustra a figura 2.

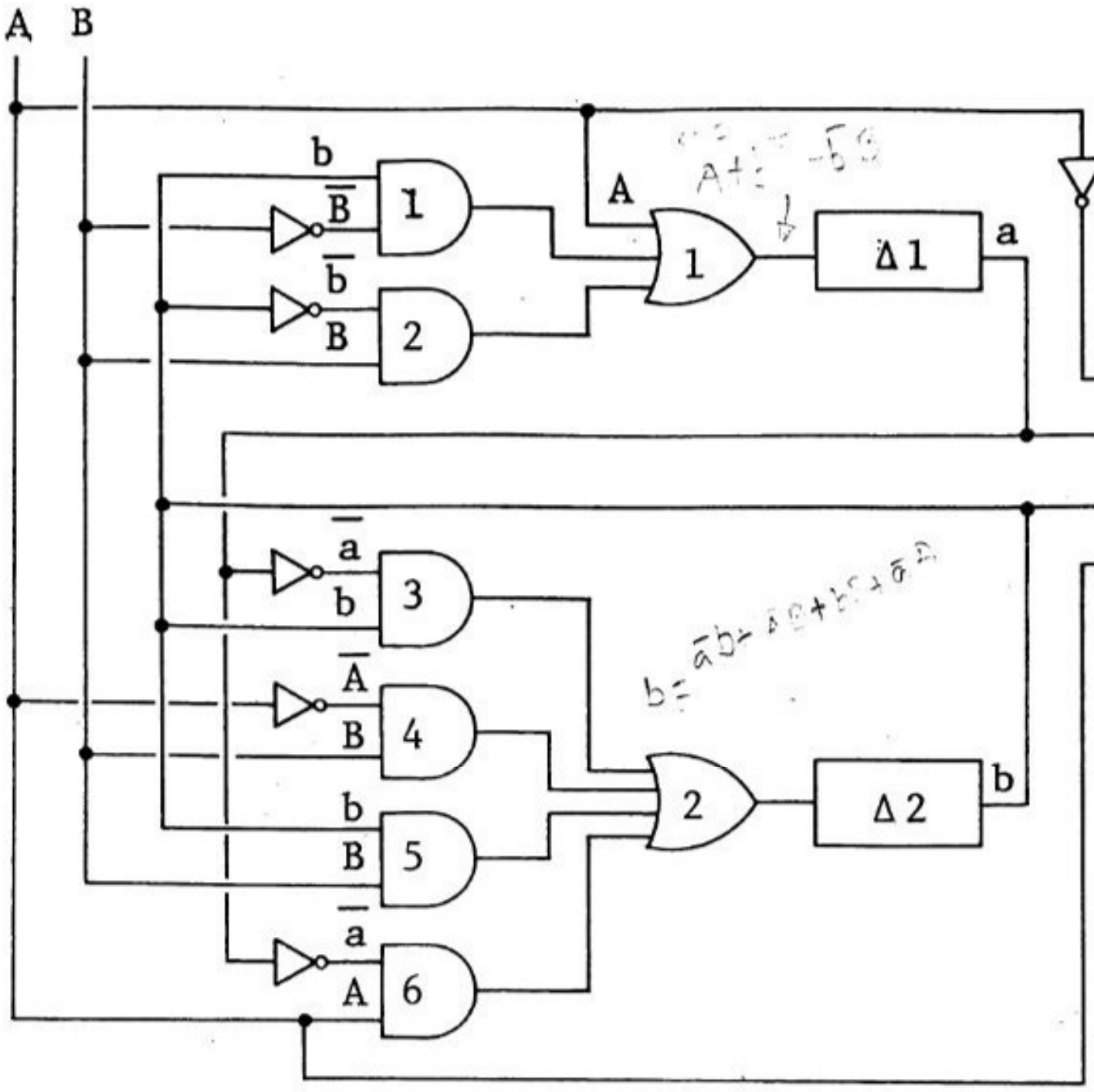


FIGURA 02

3) A seguir, montamos a tabela de fluxo. Se o aluno encontrar dificuldades, deverá rever a lição ED-23.

ab \ AB	00	01	11	10	S
00	(00),0	11,0	11,0	11,0	
01	11,0	(01),0	11,1	11,1	
11	10,1	01,1	(11),1	10,1	
10	00,1	11,1	(10),0	(10),0	

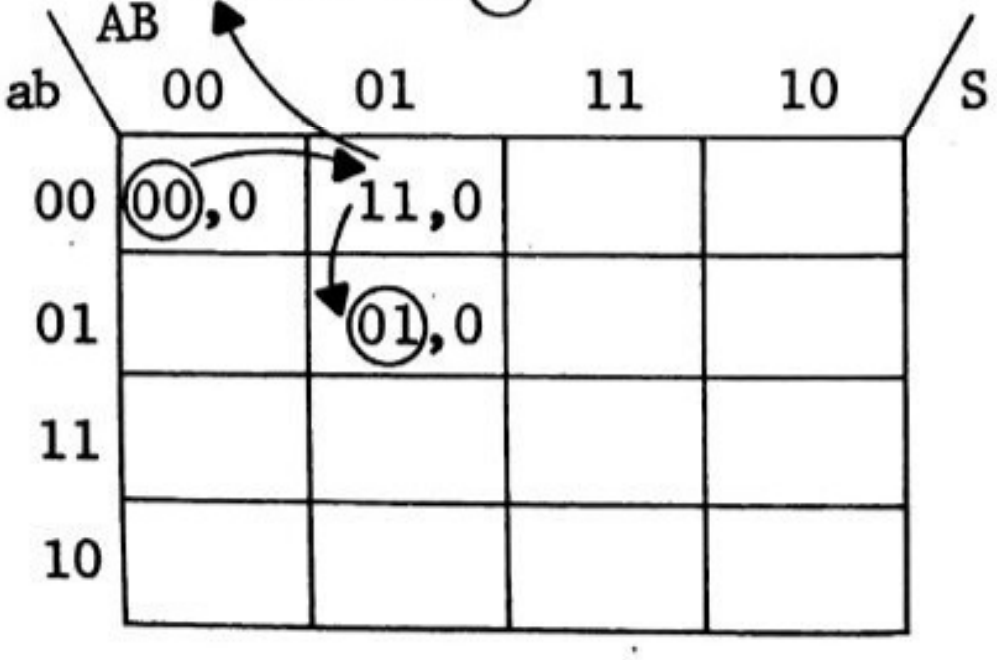
FIGURA 03

A tabela de fluxo é preenchida da mesma forma com que foram preenchidas as da lição ED-23. Com a diferença de que na tabela de fluxo incluímos a saída S cujos dados estão

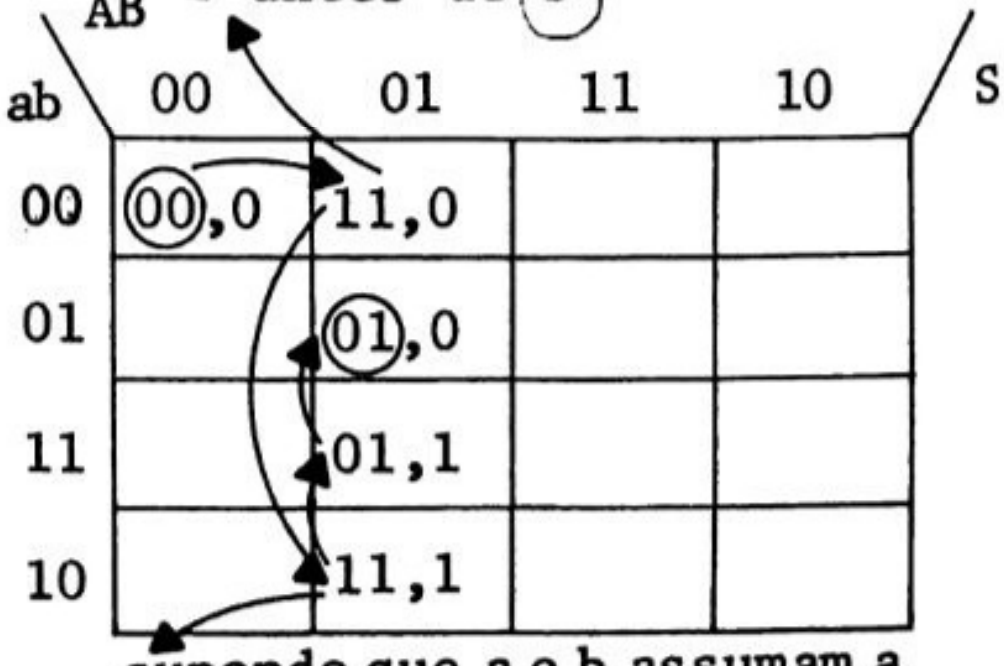
inseridos nas células, após a vírgula.

4) De posse do circuito, figura 2, e da tabela de fluxo, figura 3, podemos fazer uma análise das dificuldades ou das disputas oriundas do processo. Vamos tomar, por exemplo, o estado estável ab; AB = 00;00 = 00,1 (ab = 00 e AB = 00), observamos que, quando o estado é estável, a transição se dá na horizontal. E se o estado for instável a transição dar-se-á na vertical. Como neste estado, temos a, b, A, B iguais a zero e os valores futuros de a e b continuarão iguais a zero, este estado é estável. Vamos admitir uma transição deste estado para o estado ab; AB = 00;01 = 11,0 instável. Reportando a figura 2, observamos que, quando B assume valor 1, a saída da porta "E$_4$" A.B também assumem o valor 1, bem como a porta "OU$_2$" que gera a saída b. Desta forma, a variável de realimentação ab = 11 gera uma transição vertical, porém, se $\Delta 1$ sofrer um atraso maior que $\Delta 2$, b assumirá o estado 1 antes de (a) e, com isso, a transição será para ab; AB = 01; 01 = 01,0 estável. Por outro lado, se $\Delta 2$ sofrer um atraso maior que $\Delta 1$, (a) assumirá o estado 1 antes de (b) e, com isso, a transição será para ab; AB = 10; 01 = 11,1, instável. Novamente teremos uma transição vertical para o estado ab; AB = 11; 01 = 01,1, também instável e, conseqüentemente, teremos uma transição vertical para o estado ab; AB = 01; 01 = 01,0 estável. Se o estado ab; AB = 00; 01 = 11,0 assumir a condição 1, simultaneamente para a e b, teremos uma transição vertical para o estado ab; AB = 11; 01 = 01,1 instável, que também gera uma transição para o estado ab; AB = 01; 01 = 01,0 estável. Veja a figura 4, onde ilustramos os três caminhos possíveis de ocorrerem transições até encontrar um estado estável como o descrito.

a) se (b) assumir a condição 1 antes de (a)



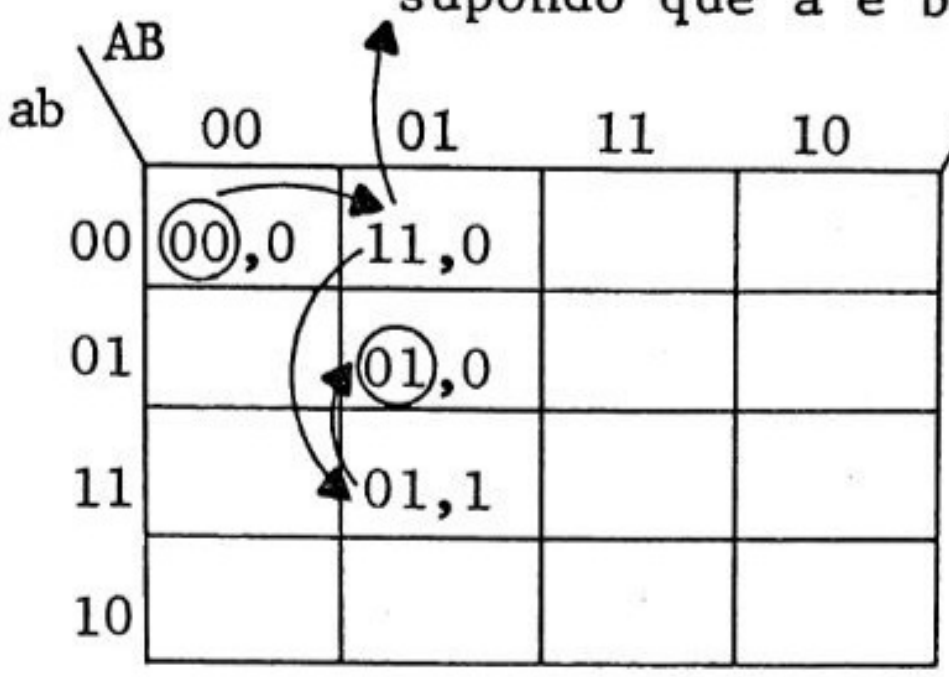
b) se (a) assumir a condição 1 antes de (b)



supondo que a e b assumam a condição 1 simultaneamente

FIGURA 04

c)



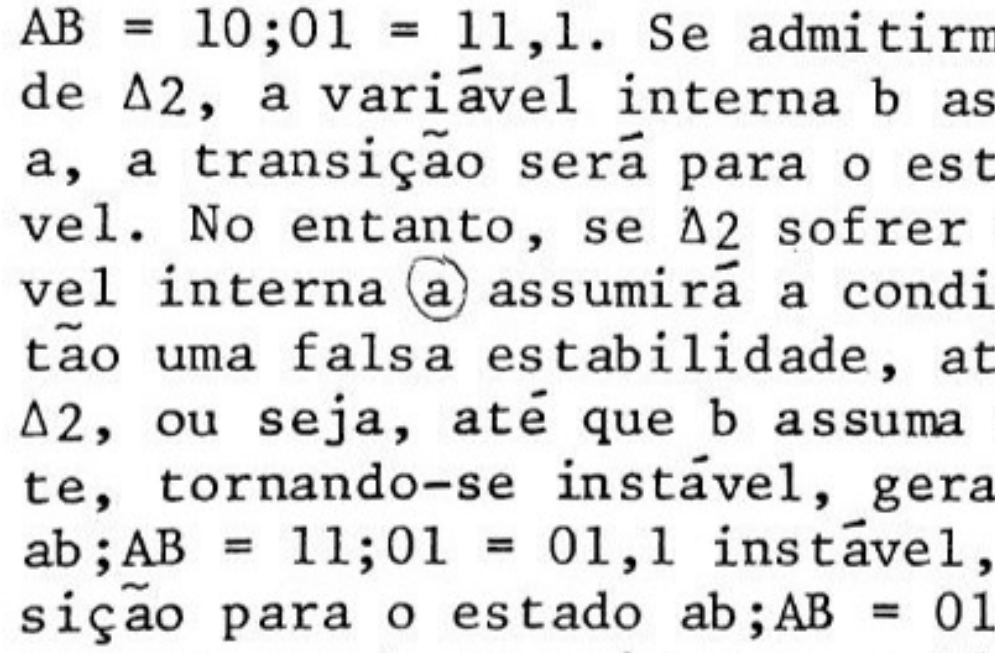
supondo que a e b assumam a condição 1 simultaneamente.

FIGURA 04

Observamos que uma outra disputa ocorre no estado ab; AB = 10;01 = 11,1. Se admitirmos um atraso maior de Δ1 do que de Δ2, a variável interna b assumirá a condição 1, antes de a, a transição será para o estado ab;AB = 01;01 = 01,0 estável. No entanto, se Δ2 sofrer um atraso maior que Δ1, a variável interna a assumirá a condição 1, antes de b, ocorrendo então uma falsa estabilidade, até que seja vencido o atraso de Δ2, ou seja, até que b assuma a condição 1 e, conseqüentemente, tornando-se instável, gerando uma transição para o estado ab;AB = 11;01 = 01,1 instável, que por sua vez, gera uma transição para o estado ab;AB = 01;01 = 01,0 estável. E, finalmente, se a e b assumirem a condição 1 simultaneamente, teremos uma transição vertical para o estado instável ab;AB = 11;01 = 01,1, que também gera uma transição vertical para o estado estável ab;AB = 01;01 = 01,0. Veja na figura 5 as transições descritas.

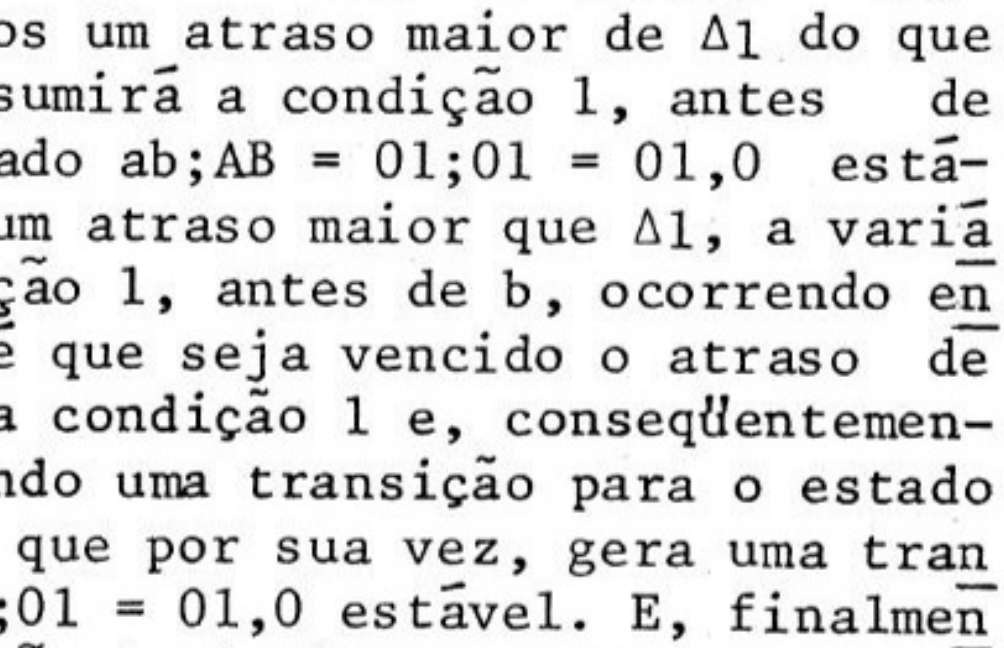
FIGURA 05

a)



supondo que b assuma a condição 1, antes de a.

b)



supondo que a assuma condição 1, antes de b.

c)

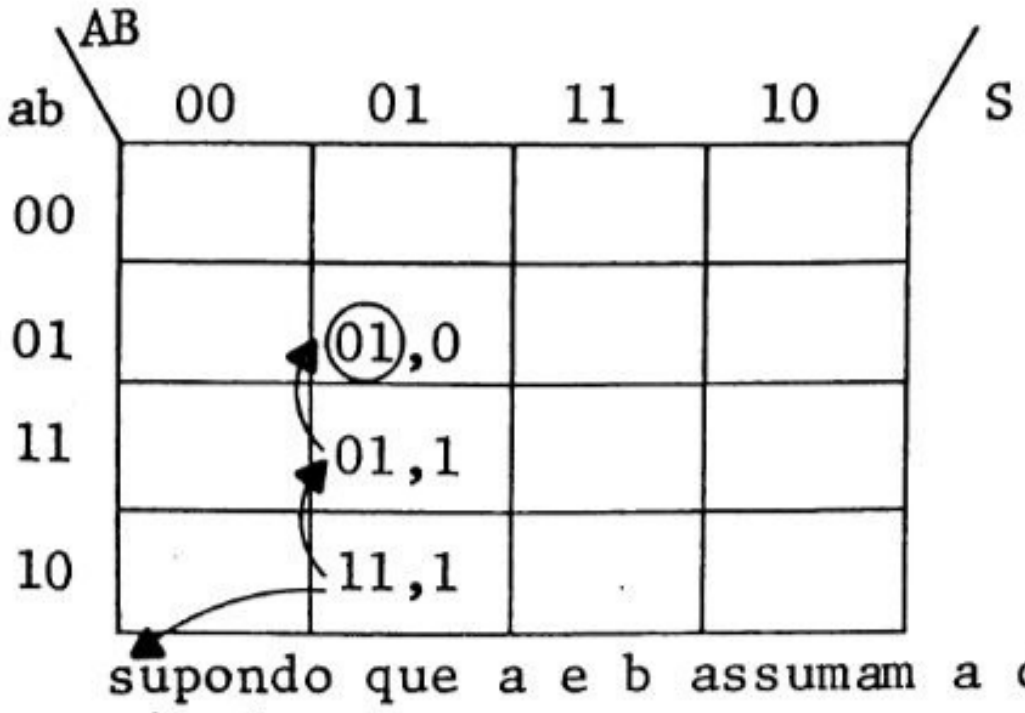


FIGURA 05

supondo que a e b assumam a condição 1, simultaneamente.

Como pudemos observar, toda vez que a e b apresentarem, na tabela de fluxo,uma condição igual a 1, simultaneamente,dependendo dos atrasos presentes, podemos ter uma disputa. Se essa disputa não afetar o comportamento correto do circuito, de forma que, no final, seja atingido o mesmo estado estável previsto pela tabela de fluxo, dizemos que esta é um disputa não-crítica.

As disputas não-críticas são aquelas em que o estado estável final seja atingido como o previsto pela tabela de fluxo.

Vamos novamente iniciar no estado ab; AB = 00; 00 = 00,1 estável e supor que ocorrá uma transição para o estado ab; AB = 00;11 = 11,0 instável. Se as variáveis internas a e b assumirem a condição 1, simultaneamente, teremos uma transição vertical para o estado estável ab;AB = 11;11 = 11,1. Se $\Delta 1$ sofrer um atraso maior que $\Delta 2$, a variável interna b assumirá a condição 1, antes de a, provocando uma transição vertical para o estado ab;AB = 01;11 = 11,1, também instável, gerando novamente uma transição vertical para o estado ab;AB = 11;11 = 11,1 estável. Porém se $\Delta 2$ sofrer um atraso maior que $\Delta 1$, a variável a assumirá a condição 1, antes de b, provocando uma transição vertical para o estado ab;AB = 10;11 = 10,0 estável.

A figura 6 ilustra as transições descritas.

a)

ab \ AB	00	01	11	10	S
00	(00),0		11,0		
01					
11			(11),1		saída S = 1
10					

supondo que a e b assumam a condição 1, simultaneamente.

b)

ab \ AB	00	01	11	10	S
00	(00),0		11,0		
01			11,1		
11			(11),1		saída S = 1
10					

supondo que b assuma a condição 1, antes de a.

c)

ab \ AB	00	01	11	10	S
00	(00),0		11,0		
01					
11					
10			(10),0		saída S = 0

supondo que (a) assuma a condição 1, antes de (b).

FIGURA 06

Notamos que nas figuras 6a e 6b as transições atingirão o mesmo estado estável e, portanto, a mesma saída, ou seja, S = = 1. Já, na figura 6c, a transição atingiu outro estado estável e, conseqüentemente, também outra saída, ou seja, S = 0, alterando, desta forma, o comportamento do circuito. Assim, quando a disputa atingir o estado estável e este for diferente do previsto pela tabela de fluxo, esta disputa é denominada de disputa crítica.

As disputas críticas são aquelas que alteram a condição de operação do circuito.

As disputas críticas podem ser do tipo removível ou irremovível. As disputas críticas removíveis são aquelas em que a tabela de fluxo apresenta condições de alterar alguns esta

dos, sem alterar a condição de estabilidade prevista pela tabela de fluxo. O Estado crítico apresentado na figura 6 é do tipo removível.

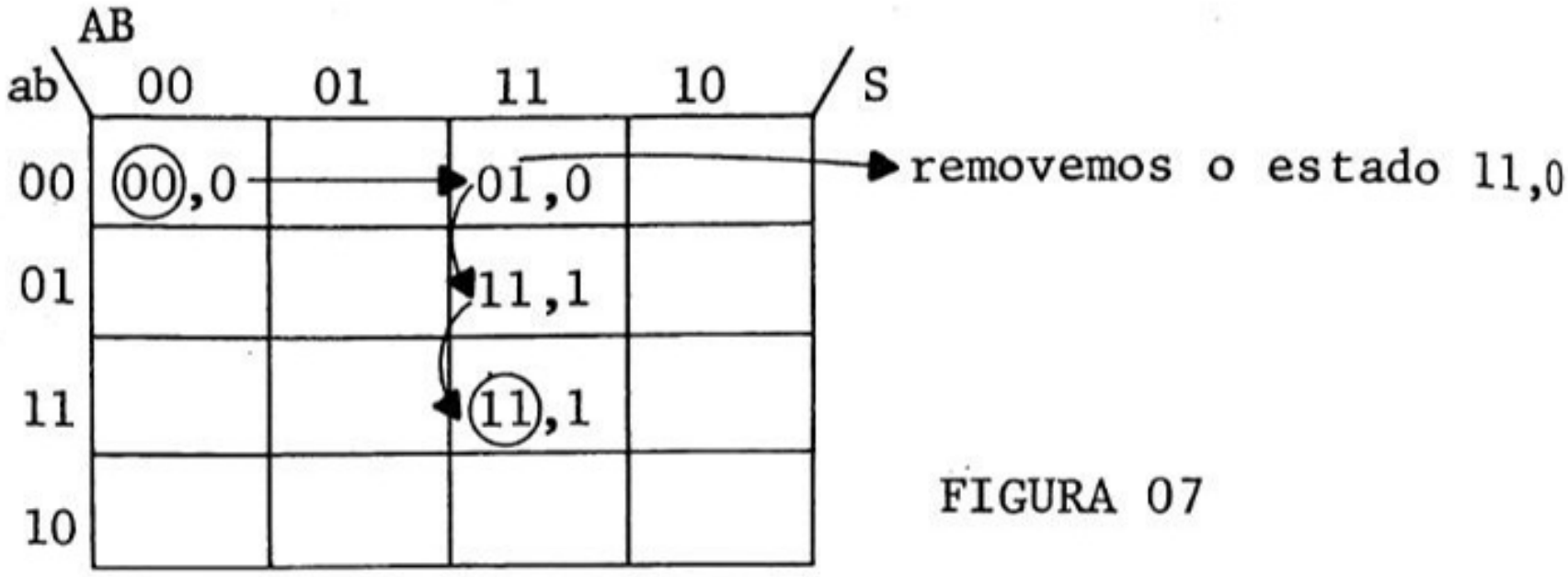


FIGURA 07

A figura 7 ilustra a remoção do estado 11,0 crítico para um estado não crítico 01,0, contornando, assim, o problema existente anteriormente.

Porém, se tivessemos um estado estável 01,0 no lugar do estado instável 11,1, como ilustra a tabela da figura 8, teríamos uma condição de disputa crítica irremovível.

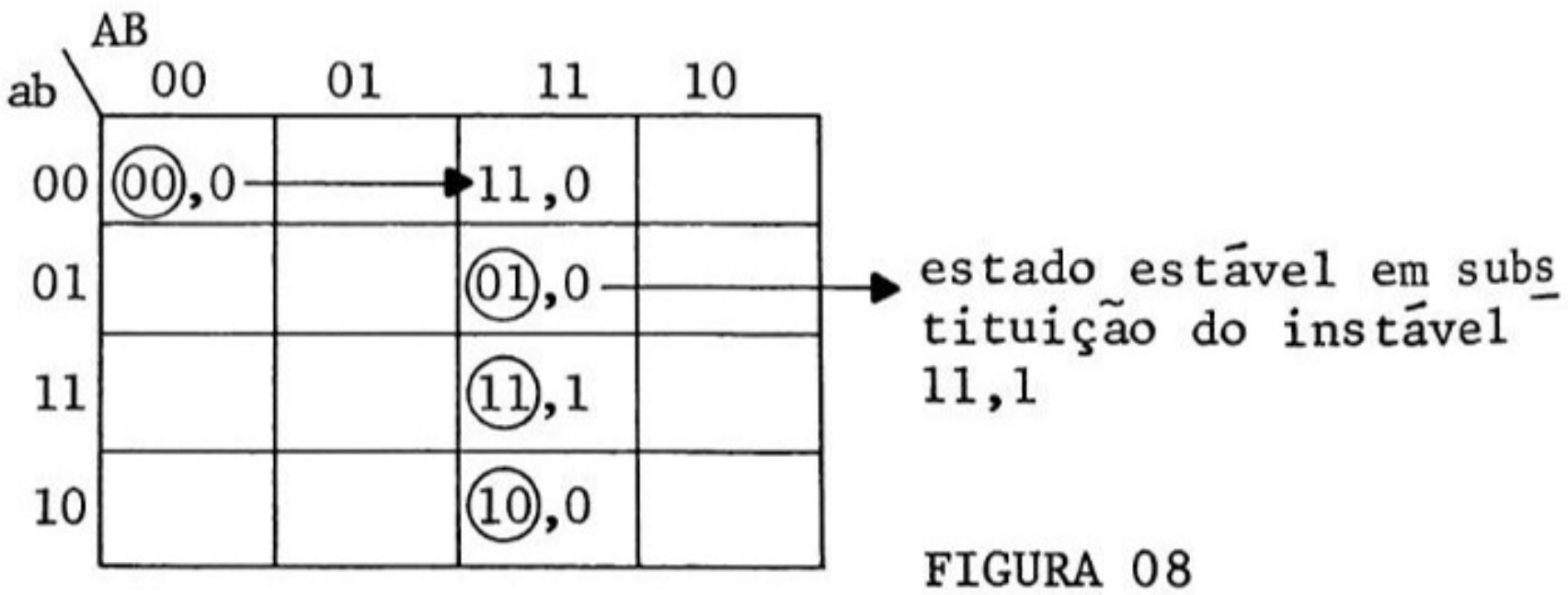


FIGURA 08

Nestas condições, a disputa crítica é irremovível, pois temos três estados estáveis distintos. Por exemplo, se a e b assumirem a condição 1, simultaneamente, a transição será vertical para o estado ab;AB = 11;11 = 11,1, como previsto pela tabela de fluxo. Porém, se a assumirem a condição 1, antes que b, a transição será vertical para o estado ab;AB = 10;11 = 10,0 diferente do previsto pela tabela de fluxo,alterando o comportamento correto do circuito. Por outro lado, se b assumir a condição 1, antes que a, a transição será vertical para

o estado ab;AB = 01;11 = 01,0, também diferente do previsto pela tabela de fluxo, alterando, portanto, o comportamento correto do circuito. Assim, não existe condição de removermos este estado.

Observamos também que, ao projetarmos circuitos seqüênciais, devemos evitar os estados que envolvam disputas críticas irremovíveis. É também interessante que a transição tenha um menor percurso, ou seja, tenha um tempo mínimo para encontrar a estabilidade.

Lembramos ainda que, nos subsistemas síncronos, não existem as disputas críticas, pois os atrasos e as transições são controladas pelo sinal de relógio (clock) externo.

TABELA PRIMITIVA DE FLUXO

Na execução de um projeto, normalmente, partimos de um problema formulado em termos de palavras, as quais não especificam certos detalhes. Desta forma, adota-se uma tabela primitiva de fluxo, usando apenas um estado estável por linha e sem a preocupação de reduzir o número de estados internos,deixando-se isso para depois da definição da tabela de fluxo.

Para uma maior compreensão, vamos construir uma tabela de fluxo, por etapas, do projeto a seguir.

Projetar um comando para uma guilhotina industrial, automática, que deve cortar uma determinada peça, num intervalo de tempo t1, supondo que todas as peças sejam padronizadas. A guilhotina só poderá operar, quando a peça estiver em seu devido lugar. O intervalo de tempo t1 é fixado por meio do sinal B, ilustrado na figura 9.

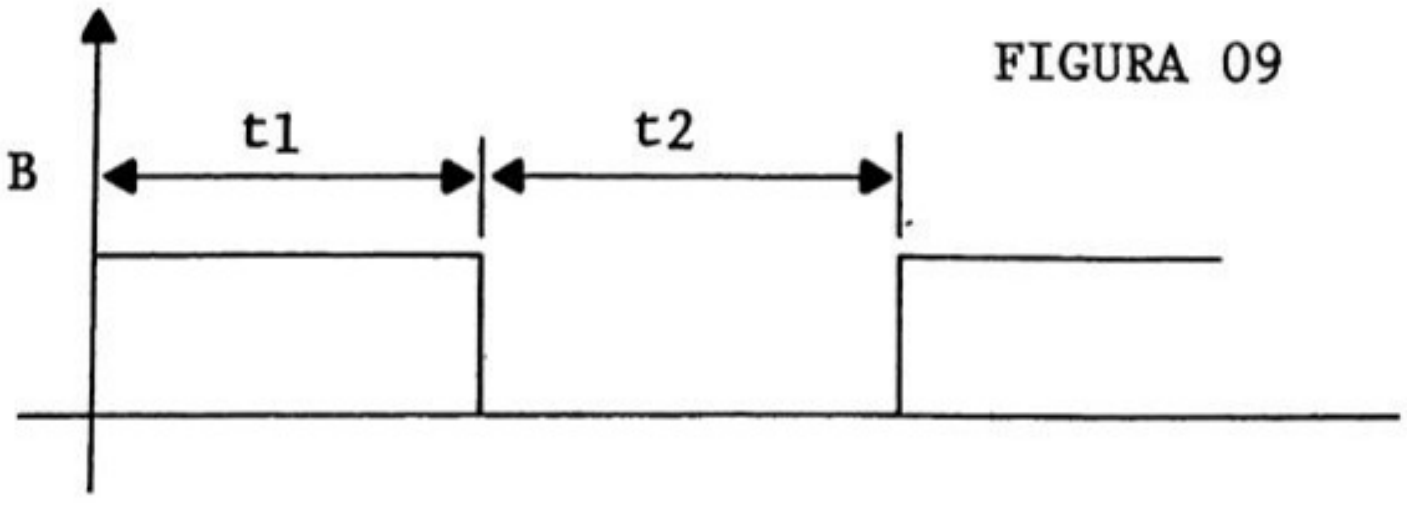


FIGURA 09

O sinal A é gerado por interruptores que só são acionados, quando a peça, a ser cortada, estiver em sua posição correta.

Primeiro passo:

Inicialmente, identificamos o número de variáveis externas. Neste projeto, existem duas variáveis externas A e B. Assim, a tabela de fluxo terá quatro colunas.

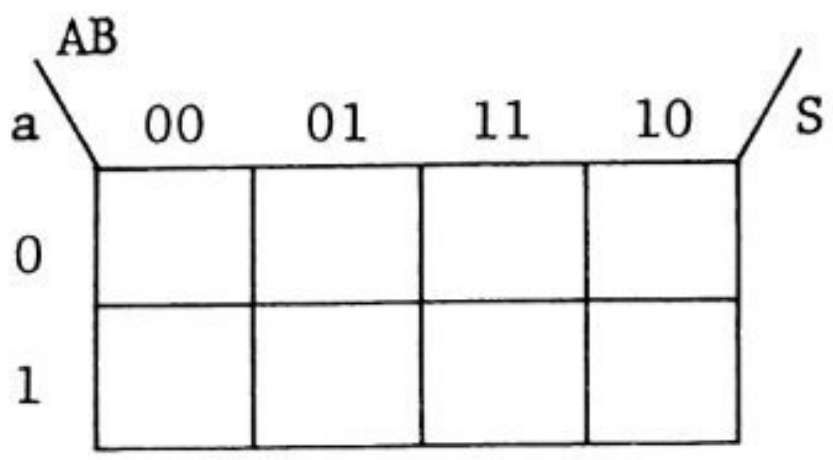


FIGURA 10

Segundo passo:

Devemos preencher as células da tabela de fluxo, analisando as condições de funcionamento da guilhotina. Assim, quando as variáveis externas A e B forem iguais a zero, ou quando somente a variábel B assumir a condição 1, a guilhotina não deverá operar. A tabela de fluxo deve ser preenchida, como ilustra a figura 11.

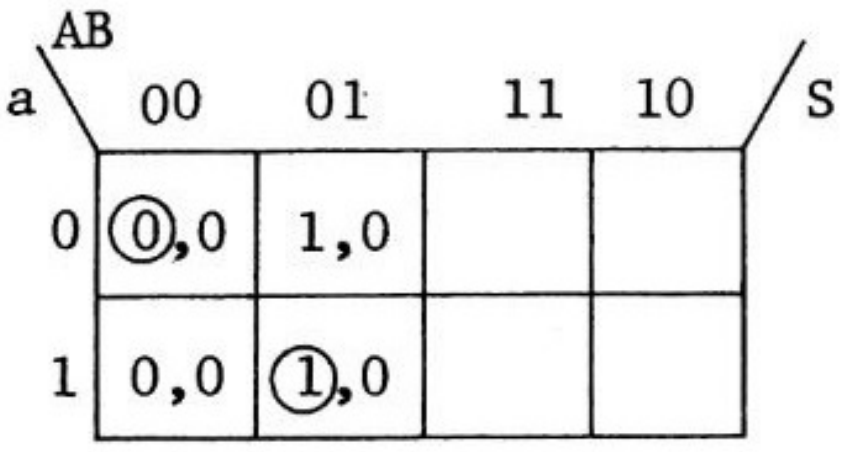


FIGURA 11

A tabela de fluxo deverá conter um estado estável na linha a = 0, coluna AB = 00, e saída S = 0, pois a guilhotina não pode operar. Nesta mesma linha a = 0, coluna AB = 01 e saída S = 0, deverá conter um estado instável 1,0, indicando uma transição vertical para a linha a = 1. A linha a = 1,

AB = 01 deverá conter um estado estável com a saída S = 0, pois,neste estado,a guilhotina também não deverá operar. Neste estado estável,se a transição horizontal for para o estado instável a = 1, AB = 00, teremos uma outra transição vertical para o estado estável, inicial a = 0, AB = 00 e S = 0.

Agora, se somente a variável externa (a) assumir a condição 1, teremos que utilizar uma memória, pois,como vimos,esta variável provém de um sinal gerado por interruptores localizados na própria guilhotina. Para que isso seja incluído, devemos criar mais uma variável interna, pois o projeto especifica que só poderá haver um estado estável por linha. A figura 12 ilustra a tabela de fluxo, contendo um novo estado interno b.

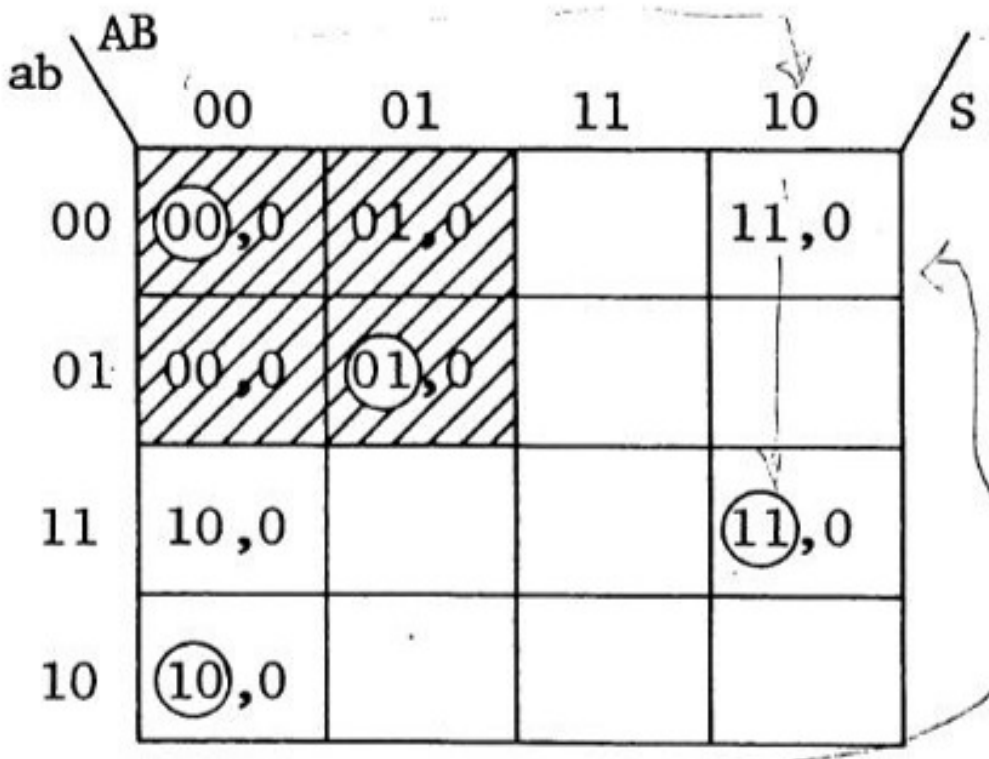


FIGURA 12

Se partirmos do estado inicial, estável ab = 00, AB = 00 e ocorrer uma transição horizontal para o estado ab = 00, AB = = 10 instável,teremos uma transição vertical para o estado ab = 11, AB = 10 estável e, se AB retornar para zero, teremos uma transição vertical para o estado estável ab = 10, AB = 00, permanecendo, assim, memorizado o sinal A.

Como o intervalo de tempo para a guilhotina cortar cada peça deve ser constante, se estivermos no estado ab = 01, AB = 01 e o interruptor (a) for acionado, teremos que criar mais uma variável interna para possibilitar esta situação. Veja a tabela de fluxo da figura 13.

abc \ AB	00	01	11	10	S
000	000,0	001,0		011,0	
001	000,0	001,0	110,0		
011	010,0			011,0	
010	010,0				
110		111,0	110,0	011,0	
111	010,0	111,0			
101					
100					

FIGURA 13

De conformidade com a tabela de fluxo, partindo do estado abc = 001, AB = 01 e admitindo uma transição horizontal para o estado abc = 001, AB = 11 instável, teremos uma transição vertical para o estado estável abc = 110, AB = 11. Deste estado estável, podem ocorrer duas transições: se somente a passar para a condição zero, teremos uma transição para o estado abc = 110, AB = 01 instável, que novamente provoca uma transição vertical para o estado estável abc = 111, AB = 01; ou se somente B passar para a condição zero, teremos uma transição para o estado abc = 110, AB = 10 instável, provocando uma transição vertical para o estado estável abc = 011, AB = = 10. Por outro lado, se tomarmos o estado estável abc = = 111, AB = 01 e AB passar para zero, teremos uma transição para o estado abc = 111, AB = 00 instável, o qual provoca uma transição para o estado estável abc = 010; AB = 00 memorizando o acionamento do interruptor A.

Partindo do estado estável abc = 010, AB = 00, onde o interruptor A já tenha sido acionado, se ocorrer um novo acionamento, haverá uma transição para o estado instável abc = 010, AB = 10, o qual provocará uma transição para o estado estável abc = 011, AB = 10. Veja tabela de fluxo na figura 14.

Por outro lado, se tomarmos o estado estável abc = 010, AB = 00 e o sinal B assumir o valor 1, ou seja, se a transição horizontal for para o estado abc = 010, AB = 01, a guilhotina deverá ser acionada. Como este estado abc = 010, AB = 01 é instável, haverá uma transição vertical para o estado abc = = 101, AB = 01 estável. Estando a guilhotina ligada, ou seja,

no estado abc = 101,1, deverá ser ignorado um novo acionamento do interruptor A. Assim, quando isso acontecer, teremos uma transição horizontal para o estado abc = 101, AB = 11 ins-

abc \ AB	00	01	11	10	S
000	[000],0	001,0		011,0	
001	000,0	[001],0	110,0		
011	010,0			[011],0	
010	[010],0	101,1		011,0	
110		111,0	[110],0	011,0	
111	010,0	[111],0			
101		[101],1	100,1		
100		101,1	[100],1		

FIGURA 14

tável, o qual produz uma transição vertical para o estado abc = 100, AB = 11 estável. E, se o interruptor A voltar a ser desligado, antes do tempo programado pelo sinal B, ocorrerá uma transição horizontal para o estado instável abc = 100, AB = 01, o qual gerará uma transição para o estado estável - abc = 101, AB = 01. Veja estes estados na tabela de fluxo da figura 14.

abc \ AB	00	01	11	10	S
000	[000],0	001,0	100,1	011,0	
001	000,0	[001],0	110,0	011,0	
011	010,0	101,1	100,1	[011],0	
010	[010],0	101,1	100,1	011,0	
110	010,0	111,0	[110],0	011,0	
111	010,0	[111],0	110,0	011,0	
101	000,0	[101],1	100,1	011,0	
100	000,0	101,1	[100],1	011,0	

FIGURA 15

Finalmente, restam alguns estados para serem especificados, para preenchermos totalmente a tabela primitiva de fluxo. Estes estados deverão ser preenchidos, analisando os efeitos das variáveis A e B.

Assim, se tomarmos o estado estável, inicial abc = 000 , AB = 00 e ocorrer a mudança simultânea das variáveis A e B para 1, a guilhotina deverá ser imediatamente acionada. Para isso, no estado abc = 000, AB = 11, devemos inserir uma condição que provoque uma transição para o estado estável 100,1. Se tomarmos o estado estável abc = 001, AB = 01 e ocorrer uma transição para o estado instável abc = 001, AB = 10, devemos inserir nesta célula uma condição que provoque uma transição para o estado estável 011,0, para que seja "memorizada" a informação de que o interruptor A foi acionado, se estivermos, agora, no estado estável abc = 011, AB = 10 e ocorrer também a mudança de B para 1, a guilhotina deverá ser imediatamente acionada. Para isso no estado abc = 011, AB = 11, devemos inserir uma condição que provoque uma transição para o estado estável 100,1. No entanto, se a mudança for para A = 0 e B = = 1, devemos inserir no estado abc = 011, AB = 01 uma condição que provoque uma transição para o estado estável 101,0, acionando também, imediatamente, a guilhotina, pois o interruptor A já deverá ter sido acionado e "memorizado". Se tomarmos o estado estável abc = 010, AB = 00 e ocorrer a mudança simultânea de A e B para 1, a guilhotina deverá ser acionada, imediatamente. Para isso, devemos inserir no estado abc = = 010, AB = 11 uma condição que provoque uma transição para o estado estável 100,1. Se tomarmos o estado estável abc = = 110, AB = 11 e ocorrer uma transição para o estado abc = = 110, AB = 00, deverá ser inserido neste estado uma condição que provoque uma transição para o estado estável 010,0, para que seja memorizado o acionamento do interruptor A. Se tomarmos o estado estável abc = 111, AB = 01 e ocorrer uma transição para o estado abc = 111, AB = 11, podemos inserir uma condição que provoque uma transição para o estado estável 110,0. Por outro lado, se a transição for para o estado abc = 111, AB = 10, devemos inserir uma condição que provoque uma transição para o estado estável 011,0, para que seja memorizado o acionamento do interruptor A. Se estivermos no estado estável abc = 101, AB = 01 e o sinal B, que especifica o tempo de acionamento da guilhotina, cair para zero, esta deverá se desligar, ou seja, se a transição for para o estado

instável abc = 101, AB = 00, a guilhotina será desligada, posicionando-se no estado estável, inicial 000,0. Por outro lado, se a transição for para o estado instável abc = 101, AB = = 10, deverá ocorrer uma transição vertical para o estado estável 011,0, ou seja, a guilhotina deverá ser desligada e, ao mesmo tempo, o acionamento do interruptor A, memorizado. Finalmente, se tomarmos o estado estável abc = 100, AB = 11 e ocorrer uma transição para os estados instáveis abc = 100 , AB = 00 e abc = 100, AB = 10, ocorerão as mesmas condições analisadas no passo (linha) anterior.

Terceiro passo:

Devemos transpor os valores conseguidos na tabela de fluxo para o mapa de Karnaugh ou, de preferência, para o processo tabular de Quine-McCluskey.

Inicialmente, vamos transpor os valores da tabela de fluxo (figura 15) para a tabela verdade. Veja figura 16.

Nº	VARIÁVEIS					SAÍDA				MINTERMOS			
	a	b	c	A	B	a	b	c	S	a	b	c	S
0	0	0	0	0	0	0	0	0	0	-	-	-	-
1	0	0	0	0	1	0	0	1	0	-	-	1	-
2	0	0	0	1	0	0	1	1	0	-	2	2	-
3	0	0	0	1	1	1	0	0	1	3	-	-	3
4	0	0	1	0	0	0	0	0	0	-	-	-	-
5	0	0	1	0	1	0	0	1	0	-	-	5	-
6	0	0	1	1	0	0	1	1	0	-	6	6	-
7	0	0	1	1	1	1	1	0	0	7	7	-	-
8	0	1	0	0	0	0	1	0	0	-	8	-	-
9	0	1	0	0	1	1	0	1	1	9	-	9	9
10	0	1	0	1	0	0	1	1	0	-	10	10	-
11	0	1	0	1	1	1	0	0	1	11	-	-	11
12	0	1	1	0	0	0	1	0	0	-	12	-	-
13	0	1	1	0	1	1	0	1	1	13	-	13	13
14	0	1	1	1	0	0	1	1	0	-	14	14	-
15	0	1	1	1	1	1	0	0	1	15	-	-	15
16	1	0	0	0	0	0	0	0	0	-	-	-	-
17	1	0	0	0	1	1	0	1	1	17	-	17	17
18	1	0	0	1	0	0	1	1	0	-	18	18	-
19	1	0	0	1	1	1	0	0	1	19	-	-	19
20	1	0	1	0	0	0	0	0	0	-	-	-	-
21	1	0	1	0	1	1	0	1	1	21	-	21	21
22	1	0	1	1	0	0	1	1	0	-	22	22	-
23	1	0	1	1	1	1	0	0	1	23	-	-	23
24	1	1	0	0	0	0	1	0	0	-	24	-	-
25	1	1	0	0	1	1	1	1	0	25	25	25	-
26	1	1	0	1	0	0	1	1	0	-	26	26	-
27	1	1	0	1	1	1	1	0	0	27	27	-	-
28	1	1	1	0	0	0	1	0	0	-	28	-	-
29	1	1	1	0	1	1	1	1	0	29	29	29	-
30	1	1	1	1	0	0	1	1	0	-	30	30	-
31	1	1	1	1	1	1	1	0	0	31	31	-	-

FIGURA 16

A tabela verdade da figura 16 é obtida da tabela primitiva de fluxo final, figura 15. Assim:

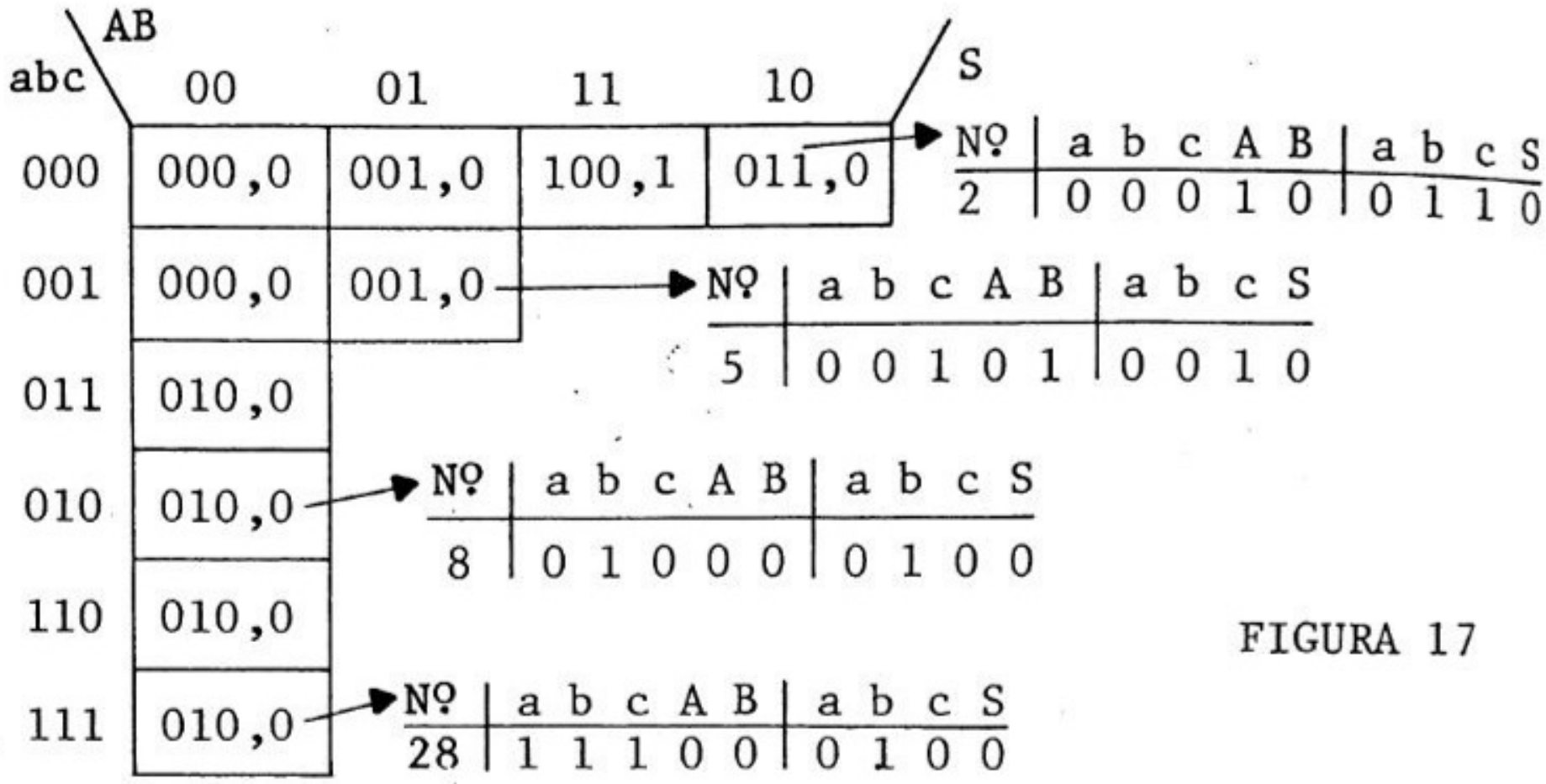


FIGURA 17

Agora vamos transcrever os mintermos de (a) da tabela verdade, figura 16, para a tabela tabular de Quine-McCloskey.

Nº BIT 1	MINTERMOS	P A R E S	Q U A D R A S	O I T A V A S
0	-			
1	-			
2	3✓ 9✓ 17✓	3,7(4)✓ 3,11(8)✓ 3,19(16)✓	3,7,11,15(4,8)✓ 3,7,19,23(4,16)✓ ~~3,11,7,15(8,4)~~	3,7,11,15,19,23,27,31(4,8,16) ~~3,7,19,23,11,15,27,31(4,16,8)~~ ~~3,11,19,27,7,15,23,31(8,16,4)~~
3	7✓ 11✓ 13✓ 19✓ 21✓ 25✓	9,11(2)✓ 9,13(4)✓ 9,25(16)✓ 17,19(2)✓ 17,21(4)✓ 17,25(8)✓	3,11,19,27(8,16)✓ ~~3,19,7,23(16,4)~~ ~~3,19,11,27(16,8)~~ 9,11,13,15(2,4)✓ 9,11,25,27(2,16)✓ ~~9,13,11,15(4,2)~~	9,11,13,15,25,27,29,31(2,4,16) ~~9,11,25,27,13,15,29,31(2,16,4)~~ ~~9,13,25,29,11,15,27,31(4,16,2)~~ 17,19,21,23,25,27,29,31(2,4,8) ~~17,19,25,27,21,23,29,31(2,8,4)~~ ~~17,21,25,29,19,23,27,31(4,8,2)~~
4	15✓ 23✓ 27✓ 29✓	7,15(8)✓ 7,23(16)✓ 11,15(4)✓ 11,27(16)✓ 13,15(2)✓ 13,29(16)✓ 19,23(4)✓ 19,27(8)✓ 21,23(2)✓ 21,29(8)✓ 25,27(2)✓ 25,29(4)✓	9,13,25,29(4,16)✓ ~~9,25,11,27(16,2)~~ ~~9,25,13,29(16,4)~~ 17,19,21,23(2,4)✓ 17,19,25,27(2,8)✓ ~~17,21,19,23(4,2)~~ 17,21,25,29(4,8)✓ ~~17,25,19,27(8,2)~~ ~~17,25,21,29(8,4)~~	
5	31✓	15,31(16)✓ 23,31(8)✓ 27,31(4)✓ 29,31(2)✓	7,15,23,31(8,16)✓ ~~7,23,15,31(16,8)~~ 11,15,27,31(4,16)✓ ~~11,27,15,31(16,4)~~ 13,15,29,31(2,16)✓ ~~13,29,15,31(16,2)~~ 19,23,27,31(4,8)✓ ~~19,27,23,31(8,4)~~ 21,23,29,31(2,8)✓ ~~21,29,23,31(8,2)~~ 25,27,29,31(2,4)✓ ~~25,29,27,31(4,2)~~	

FIGURA 18

Assim, temos os seguintes implicativos diretos:

Oitava { 3,7,11,15,19,23,27,31(4,8,16)
9,11,13,15,25,27,29,31(2,4,16)
17,19,21,23,25,27,29,31(2,4,8)

Como uma oitava é uma simplificação de ordem superior, para esse caso, então, não será necessário aplicá-las na tabela de implicativos diretos.

Assim, devemos encontrar a expressão final da saída a:

a = A.B + b.B + a.B

A seguir, transcreveremos os mintermos de b da tabela verdade, figura 16, para a tabela tabular de Quine-McCloskey.

Nº BIT 1	MINTERMOS	P A R E S	Q U A D R A S	O I T A V A S
0		2,6(4)✓ 2,10(8)✓ 2,18(16)✓ 8,10(2)✓ 8,12(4)✓ 8,24(16)✓	2,6,10,14(4,8)✓ 2,6,18,22(4,16)✓ ~~2,10,6,14(8,4)~~ ~~2,10,18,26(8,16)~~ ~~2,18,6,22(16,4)~~ 2,18,10,26(16,8)✓ 8,10,12,14(2,4)✓ 8,10,24,26(2,16)✓ ~~8,12,10,14(4,2)~~ 8,12,24,28(4,16)✓ ~~8,24,10,26(16,2)~~ ~~8,24,12,28(16,4)~~	2,6,10,14,18,22,26,30(4,8,16) ~~2,6,18,22,10,14,26,30(4,16,8)~~ ~~2,18,10,26,6,22,14,30(16,8,4)~~ 8,10,12,14,24,26,28,30(2,4,16) ~~8,10,24,26,12,14,28,30(2,16,4)~~ ~~8,12,24,28,10,14,26,30(4,16,2)~~
1	2✓ 8✓			
2	6✓ 10✓ 12✓ 18✓ 24✓	6,7(1)✓ 6,14(8)✓ 6,22(16)✓ 10,14(4)✓ 10,26(16)✓ 12,14(2)✓ 12,28(16)✓ 18,22(4)✓ 18,26(8)✓ 24,25(1)✓ 24;26(2)✓ 24,28(4)✓		~~24,26,28,30,25,27,29,31(2,4,1)~~ ~~24,25,28,29,26,27,30,31(1,4,2)~~ 24,25,26,27,28,29,30,31(1,2,4)
3	7✓ 14✓ 22✓ 25✓ 26✓ 28✓		6,22,14,30(16,8)✓ 10,14,26,30(4,16)✓ ~~10,26,14,30(16,4)~~ 12,14,28,30(2,16)✓ ~~12,28,14,30(16,2)~~ 18,22,26,30(4,8)✓ 24,25,26,27(1,2)✓ 24,25,28,29(1,4)✓ 24,26,28,30(2,4)✓ ~~24,26,25,27(2,1)~~ ~~24,28,25,29(4,1)~~ ~~24,28,26,30(4,3)~~	
4	27✓ 29✓ 30✓			
5	31✓	14,30(16)✓ 28,30(2)✓ 25,27(2)✓ 25,29(4)✓ 26,27(1)✓ 26,30(4)✓ 28,29(1)✓ 28,30(2)✓	~~25,29,27,31(4,2)~~ ~~26,30,27,31(4,1)~~ 25,27,29,31(2,4)✓ ~~28,30,29,31(2,1)~~ 26,27,30,31(1,4)✓ 28,29,30,31(1,2)✓	
		27,31(4)✓ 29,31(2)✓ 30,31(1)✓		

FIGURA 19

Assim, temos os seguintes implicativos diretos:

Oitavas { 2,6,10,14,18,22,26,30(4,8,16)
8,10,12,14,24,26,28,30(2,4,16)
24,25,26,27,28,29,30,31(1,2,4)

Como uma oitava é uma simplificação de ordem superior, para esse caso, então, não será necessário aplicá-las na tabela de implicativos diretos.

Assim, temos a seguinte expressão final de b:

$$b = A.\overline{B} + b.\overline{B} + a.b$$

Novamente, transcrevemos os mintermos da tabela verdade da figura 16, para a tabela tabular de Quine-McCloskey, só que, agora, utilizando-se da saída c.

Nº BIT 1	MINTERMOS	P A R E S	Q U A D R A S	O I T A V A S
0		1,5(4)✓ 1,9(8)✓ 1,17(16)✓ 2,6(4)✓ 2,10(8)✓ 2,18(16)✓	1,5,9,13(4,8)✓ 1,5,17,21(4,16)✓ ~~1,9,5,13(8,4)~~ 1,9,17,25(8,16)✓ ~~1,17,5,21(16,4)~~ ~~1,17,9,25(16,8)~~ 2,6,10,14(4,8)✓ 2,6,18,22(4,16)✓ ~~2,10,6,14(8,4)~~ 2,10,18,26(8,16)✓ ~~2,18,6,22(16,4)~~ ~~2,18,10,26(16,8)~~	1,5,9,13,17,21,25,29(4,8,16) ~~1,5,17,21,9,13,25,29(4,16,8)~~ ~~1,9,17,25,5,13,21,29(8,16,4)~~ 2,6,10,14,18,22,26,30(4,8,16) ~~2,6,18,22,10,14,26,30(4,16,8)~~ ~~2,10,18,26,6,14,22,30(8,16,4)~~
1	1✓ 2✓			
2	5✓ 6✓ 9✓ 10✓ 17✓ 18✓	5,13(8)✓ 5,21(16)✓ 6,14(8)✓ 6,22(16)✓ 9,13(4)✓ 9,25(16)✓ 10,14(4)✓ 10,26(16)✓ 17,21(4)✓ 17,25(8)✓ 18,22(4)✓ 18,26(8)✓	5,13,21,29(8,16)✓ ~~5,21,13,29(16,8)~~ 6,14,22,30(8,16)✓ ~~6,22,14,30(16,8)~~ 9,13,25,29(4,16)✓ ~~9,25,13,29(16,4)~~ 10,14,26,30(4,16)✓ ~~10,26,14,30(16,4)~~ 17,21,25,29(4,8)✓ ~~17,25,21,29(8,4)~~ 18,22,26,30(4,8)✓ ~~18,26,22,30(8,4)~~	
3	13✓ 14✓ 21✓ 22✓ 25✓ 26✓			
4	29✓ 30✓	13,29(16)✓ 21,29(8)✓ 25,29(4)✓ 14,30(16)✓ 22,30(8)✓ 26,30(4)✓		

FIGURA 20

Assim, temos os seguintes implicativos diretos:

Oitavas { 1,5,9,13,17,21,25,29(4,8,16)
2,6,10,14,18,22,26,30(4,8,16)

Como uma oitava é uma simplificação de ordem superior, para esse caso, então, não será necessário aplicá-las na tabela de implicativos diretos.

Assim, a expressão final será:

$C = \overline{A}.B + A.\overline{B}$

Finalmente, transcrevemos os mintermos da saída S, da tabela verdade, figura 16, para a tabela tabular de Quine-McCloskey.

Nº BIT 1	MINTERMOS	P A R E S	Q U A D R A S
0		3,11(8) 3,19(16) 9,11(2) ✓ 9,13(4) ✓ 17,19(2) ✓ 17,21(4) ✓	~~9,13,11,15(4,2)~~ 9,11,13,15(2,4) 17,19,21,23(2,4) ~~17,21,19,23(4,2)~~
1			
2	3 ✓ 9 ✓ 17 ✓		
3	11 ✓ 13 ✓ 19 ✓ 21 ✓	11,15(4) ✓ 13,15(2) ✓ 19,23(4) ✓ 21,23(2) ✓	
4	15 ✓ 23 ✓		

FIGURA 21

Assim, temos os seguintes implicativos diretos:

Pares { 3,11(8)
3,19(16)

Quadras { 9,11,13,15(2,4)
17,19,21,23(2,4)

Aplicando estes mintermos, pares e quadras na tabela de implicativos diretos, teremos:

FIGURA 22

	MINTERMOS								
IMPLICATIVOS DIRETOS	3	9	11	13	15	17	19	21	23
3,11(8)	X		X						
3,19(16)	X						X		
9,11,13,15(2,4)		(X)	[X]	(X)	(X)				
17,19,21,23(2,4)						(X)	[X]	(X)	(X)

Em seguida, retiramos da tabela de implicativos diretos os implicativos que ficaram sem ser identificados numa dada coluna com dois "X" sem círculo ou quadrado. Assim, temos os seguintes pares:

Coluna 3 { 3,11(8)
~~3,19(16)~~

Assim, teremos os seguintes implicativos diretos finais:

3,11(8)
9,11,13,15(2,4)
17,19,21,23(2,4)

A expressão final de S será:

$S = \overline{a}.b.B + a.\overline{b}.B + \overline{a}.\overline{c}.A.B.$

De posse das expressões de a,b,c e S,poderemos montar o circuito.

$a = A.\overline{B} + b.\overline{B} + a.B$
$b = \underline{A}.\overline{B} + b.\overline{B} + a.b$
$c = \overline{\underline{A}}.B + A.\overline{B}.$
$S = \overline{a}.b.B + a.\overline{b}.B + \overline{a}.\overline{c}.A.B.$

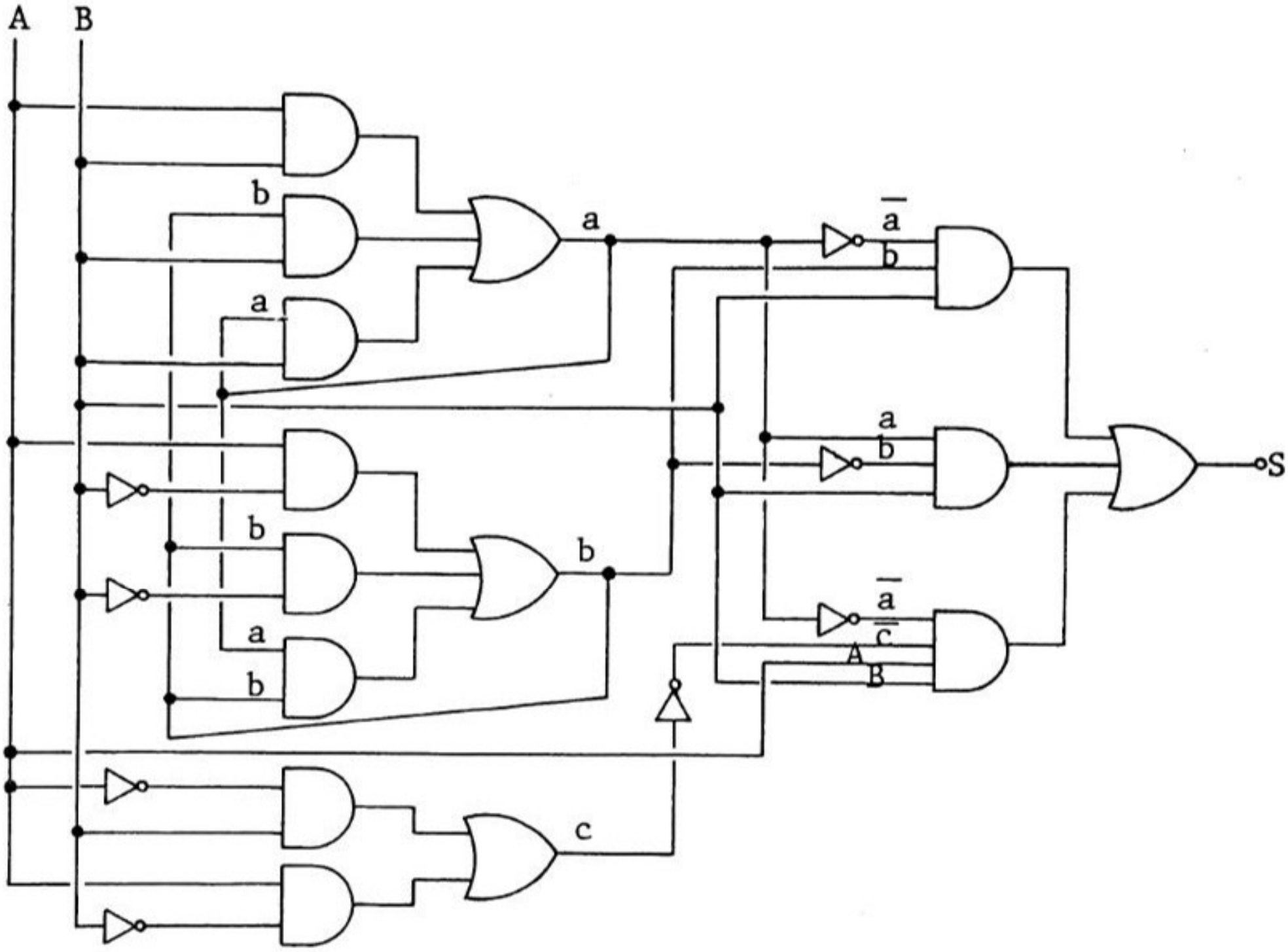


FIGURA 23

CEDM
CURSOS DE APERFEIÇOAMENTO

CURSO DE
ELETRÔNICA DIGITAL E
MICROPROCESSADORES

CAIXA POSTAL 1642 - CEP 86100 - LONDRINA - PARANÁ

EXAME DA LIÇÃO ED-24

OBSERVAÇÃO

- cada questão é composta de três ou quatro alternativas.
- só uma delas está correta.
- marque a que considerar correta.
- passe as respostas corretas para a folha de exame.

1) São atrasos extrínsecos:

a) aqueles introduzidos propositalmente;

b) aqueles gerados por interferências externas;

c) aqueles próprios do circuito;

d) N.R.A.

2) São atrasos intrínsecos imanentes:

a) aqueles introduzidos por um cabo coaxial;

b) aqueles introduzidos por interferências externas;

c) aqueles próprios do circuito e inseparável;

d) as alternativas a e b estão corretas.

3) A diferença básica entre um circuito assíncrono de Huffmann e um circuito assíncrono de Müller é que:

a) o primeiro apresenta um sinal de "pronto" e o segundo apresenta um intervalo mínimo de tempo de entrada;

b) o primeiro apresenta um intervalo mínimo de tempo entre as variações de entrada e o segundo apresenta um sinal de "pronto";

c) não existe diferenças, pois os dois são assíncronos;

d) as alternativas b e c estão corretas.

4) A diferença básica entre um circuito assíncrono e um síncrono é que:

a) o primeiro funciona no modo crescente e o segundo no modo decrescente;

b) não existe diferença, pois os dois são circuitos com memórias;

c) o primeiro trabalha em dependência da propagação dos estados e o segundo trabalha em dependência de um relógio (clock) externo;

d) é que o primeiro possui memórias e o segundo não.

5) O que são disputas não-críticas?

a) são aquelas em que o estado estável final é atingido como o previsto pela tabela de fluxo;

b) são aquelas em que o estado estável, final é atingido mais rapidamente;

c) são aquelas que alteram a condição de operação do circuito;

d) N.R.A.

6) Disputas críticas são:

a) aquelas que alteram a condição de operação do circuito;

b) aquelas em que o estado estável, final é indefinido;

c) aquelas em que o estado estável, final não altera a operação do circuito;

d) aquelas em que o estado estável, final é atingido como o previsto pela tabela de fluxo.

7) Identifique qual das tabelas de fluxo, abaixo, apresenta uma disputa crítica removível:

a)

ab \ AB	00	01	11	10	S
00	(00),0	01,0	11,0	11,0	
01	00,0	11,1	(01),0	11,0	
11	01,0	11,1	(11),1	10,0	
10	11,0	11,0	(10),0	(10),0	

b)

ab \ AB	00	01	11	10	S
00	(00),0	01,0	11,0	11,0	
01	00,0	11,1	(01),0	11,0	
11	01,0	11,1	(11),1	10,0	
10	11,0	11,0	11,1	(10),0	

c)

ab \ AB	00	01	11	10	S
00	(00),0	01,0	11,0	11,0	
01	00,0	11,1	(01),0	11,0	
11	01,0	(11),1	01,0	10,0	
10	11,0	11,0	11,0	(10),0	

d) N.R.A.

8) Encontre a alternativa que apresenta a tabela de fluxo de conformidade com a tabela verdade apresentada:

a	b	A	B	a	b	S
0	0	0	0	0	0	0
0	0	0	1	0	1	1
0	0	1	0	1	1	0
0	0	1	1	0	1	0
0	1	0	0	0	0	0
0	1	0	1	0	1	1
0	1	1	0	1	1	0
0	1	1	1	1	1	1
1	0	0	0	0	1	0
1	0	0	1	1	1	0
1	0	1	0	1	0	0
1	0	1	1	1	1	1
1	1	0	0	0	1	0
1	1	0	1	0	1	1
1	1	1	0	1	0	0
1	1	1	1	1	1	1

a)

ab \ AB	00	01	11	10	S
00	(00),0	01,1	01,0	11,0	
01	00,0	(01),1	11,1	11,0	
11	01,0	01,1	(11),1	10,0	
10	01,0	11,0	11,1	(10),0	

b)

ab \ AB	00	01	11	10	S
00	(00),0	01,0	11,1	10,0	
01	00,0	(01),0	11,1	10,0	
11	00,0	01,0	(11),1	10,0	
10	00,0	01,0	11,1	(10),0	

B.b + ā B + AB̄

c)

ab \ AB	00	01	11	10	S
00	(00),0	01,0	01,0	01,0	
01	00,0	(01),0	11,1	11,0	
11	01,0	01,0	(11),1	10,0	
10	11,0	11,0	11,1	(10),0	

d) N.R.A.

a = AB̄ + Ab + ab̄ B + aA
b = B + Āa + Aā

9) Encontre a expressão de a e b do exercício anterior:

a) a = $\overline{A}.B + \overline{a}.B + \overline{b}.\overline{A} + \overline{a}.\overline{b}.B$; b = $\overline{B} + a.A + \overline{a}.\overline{A}$;

b) a = $A.\overline{B} + \overline{a}.\overline{A} + b.A + \overline{a}.\overline{b}.B$; b = $B + \overline{a}.A + \overline{a}.\overline{A}$;

c) a = $A.\overline{B} + a.A + b.A + a.\overline{b}.B$; b = $B + \overline{a}.A + a.\overline{A}$;

d) N.R.A.

10) Encontre a expressão de S do exercício 8:

a) S = $b.B + a.\overline{A}.B + \overline{a}.A.B$

b) S = $b.B + \overline{a}.\overline{A}.B + a.A.B$

c) S = $\overline{b}.\overline{B} + \overline{a}.A.B + a.A.B$

d) S = $b.B + \overline{a}.\overline{A}.B + \overline{a}.A.B$

CEDM
CURSOS DE APERFEIÇOAMENTO

CURSO DE
ELETRÔNICA DIGITAL E
MICROPROCESSADORES

CAIXA POSTAL 1642 - CEP 86100 - LONDRINA - PARANÁ

LIÇÃO ED-25

PROJETOS DE CIRCUITOS SEQÜÊNCIAIS III

INTRODUÇÃO:

Estudaremos nesta apostila o diagrama de estado que constitui uma outra forma de representarmos os estados presentes, e futuros de um circuito, ou seja, o diagrama de estado tem função semelhante à da tabela de fluxo já vista.

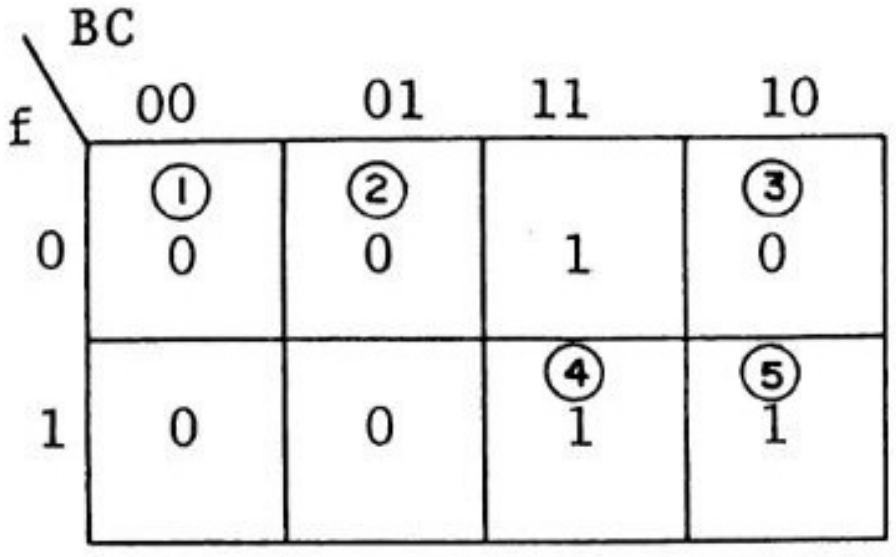
O diagrama de estado em muitos casos é mais interessante por ser mais simples e intuitivo do que a tabela de fluxo.

DIAGRAMA DE ESTADO:

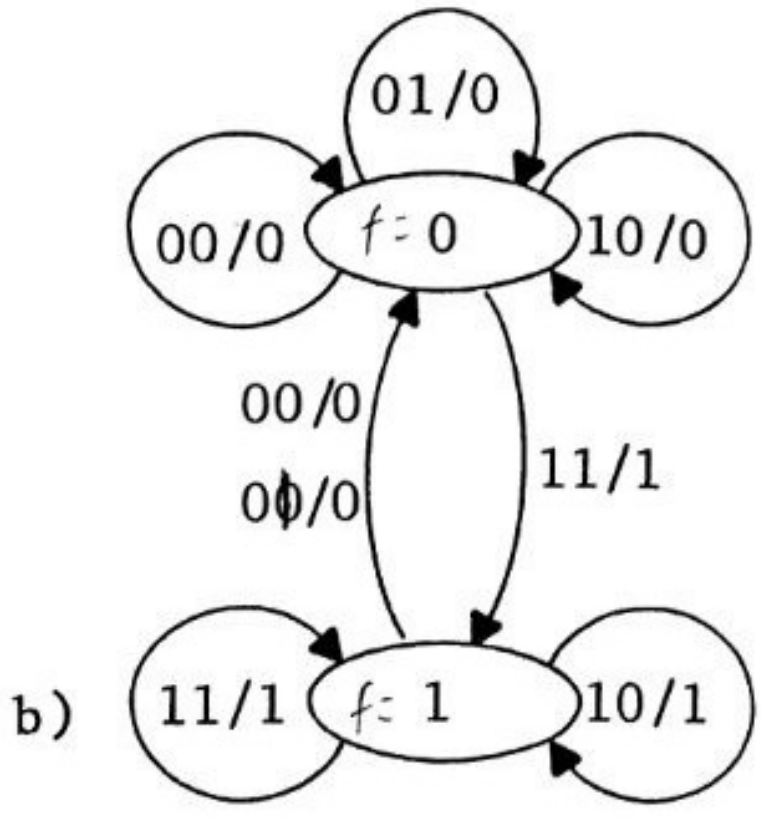
Iremos inicialmente executar o diagrama de estado de alguns exemplos de tabela de fluxo, dados nas apostilas anteriores, para que possamos entender o seu mecanismo de funcionamento.

Assim, primeiramente, vamos fazer o diagrama de estado a partir da tabela de fluxo da figura 11 da apostila ED-23, - transcrita abaixo (figura 1A)

FIGURA 01



a)



b)

A figura 1a ilustra a tabela de fluxo transcrita da apostila ED-23, figura 11, contendo no interior de suas células os estados futuros, bem como os estados estáveis identificados por números naturais no interior de circulos. A figura 1b mostra o diagrama de estado equivalente da tabela de fluxo da figura 1a.

Para que possamos entender como montar o diagrama de estado, vamos detalhar passo a passo essa execução, cujo resultado se acha ilustrado na figura 2.

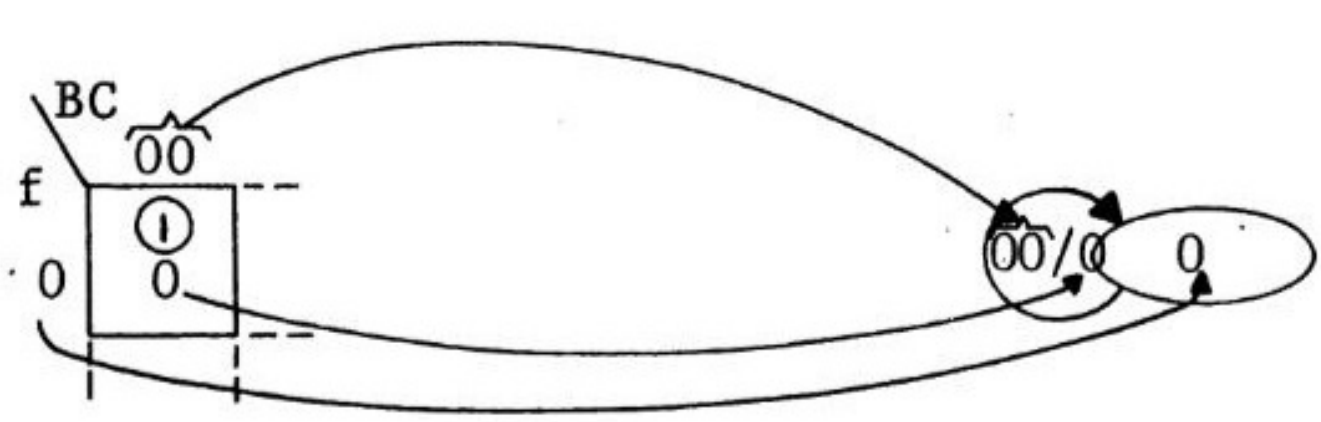
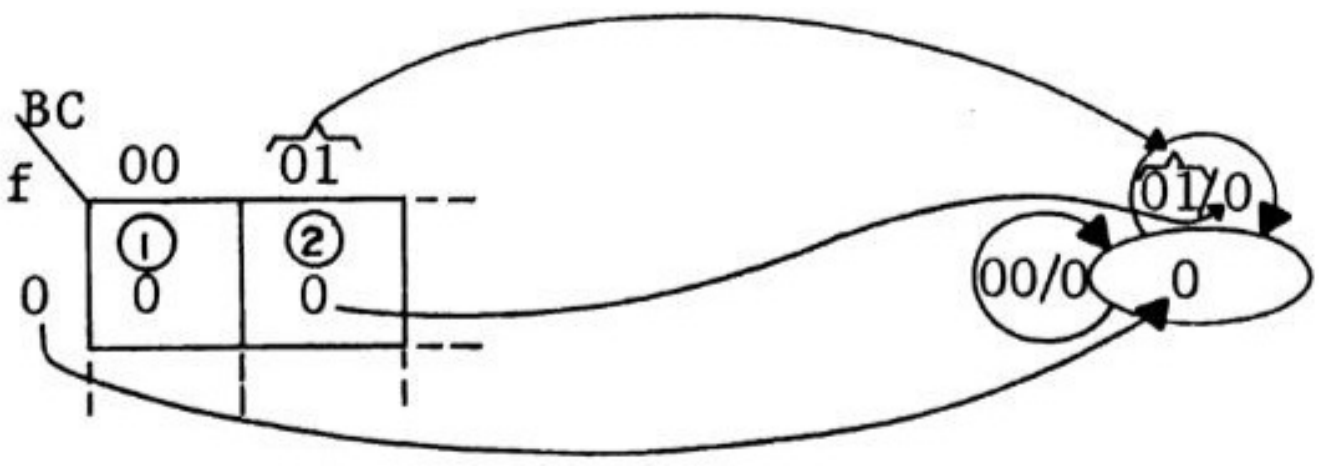
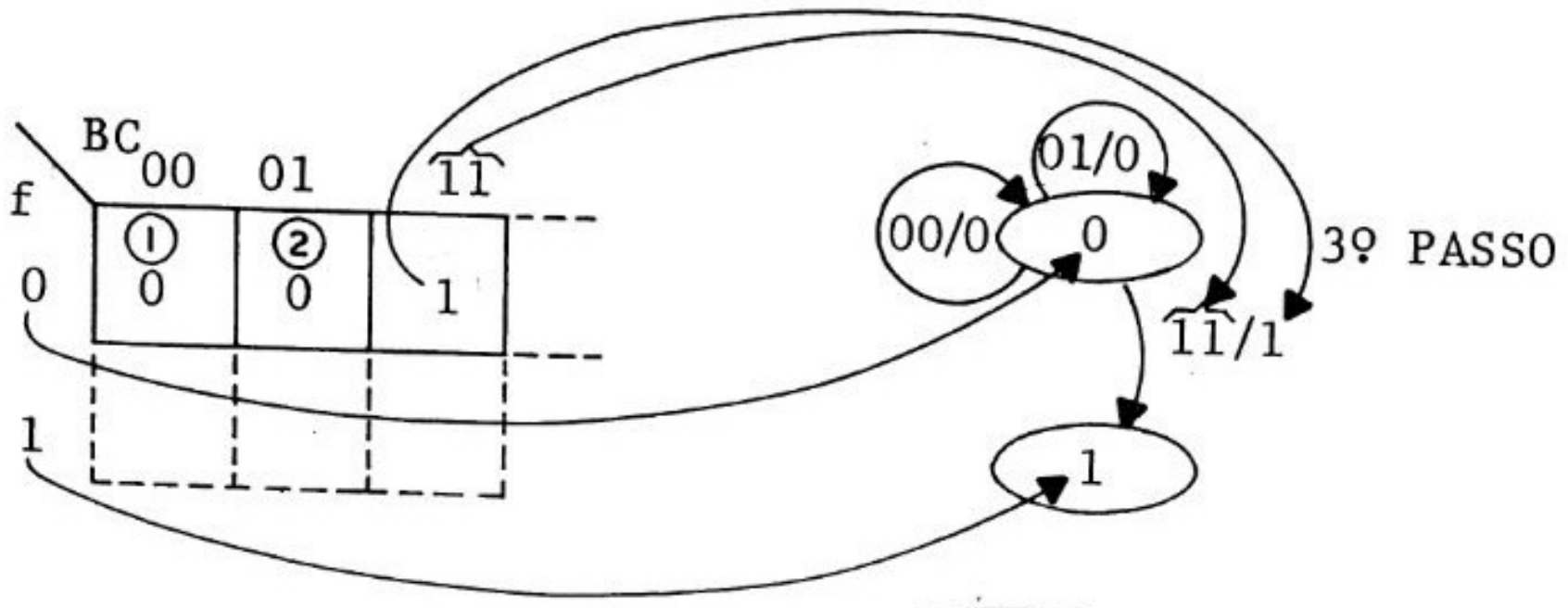


FIGURA 02




BC
00
01
11
f
0
1
0
0
1
00/0
01/0
11/1
0
1
3º PASSO

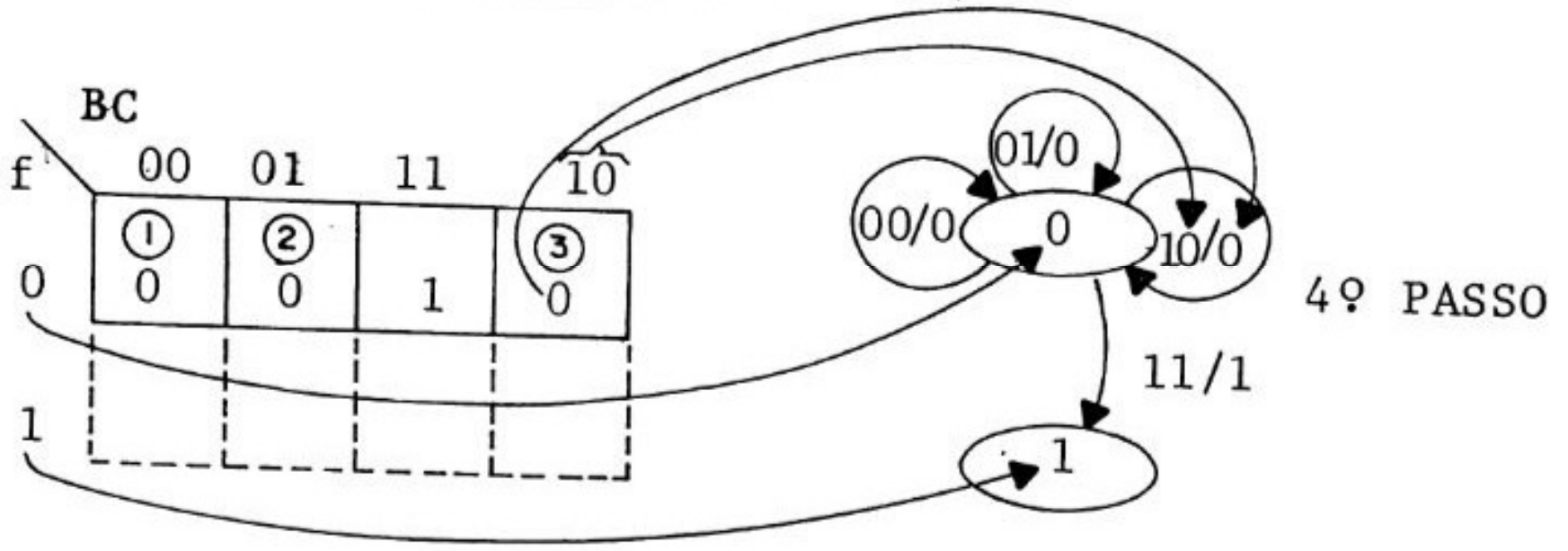
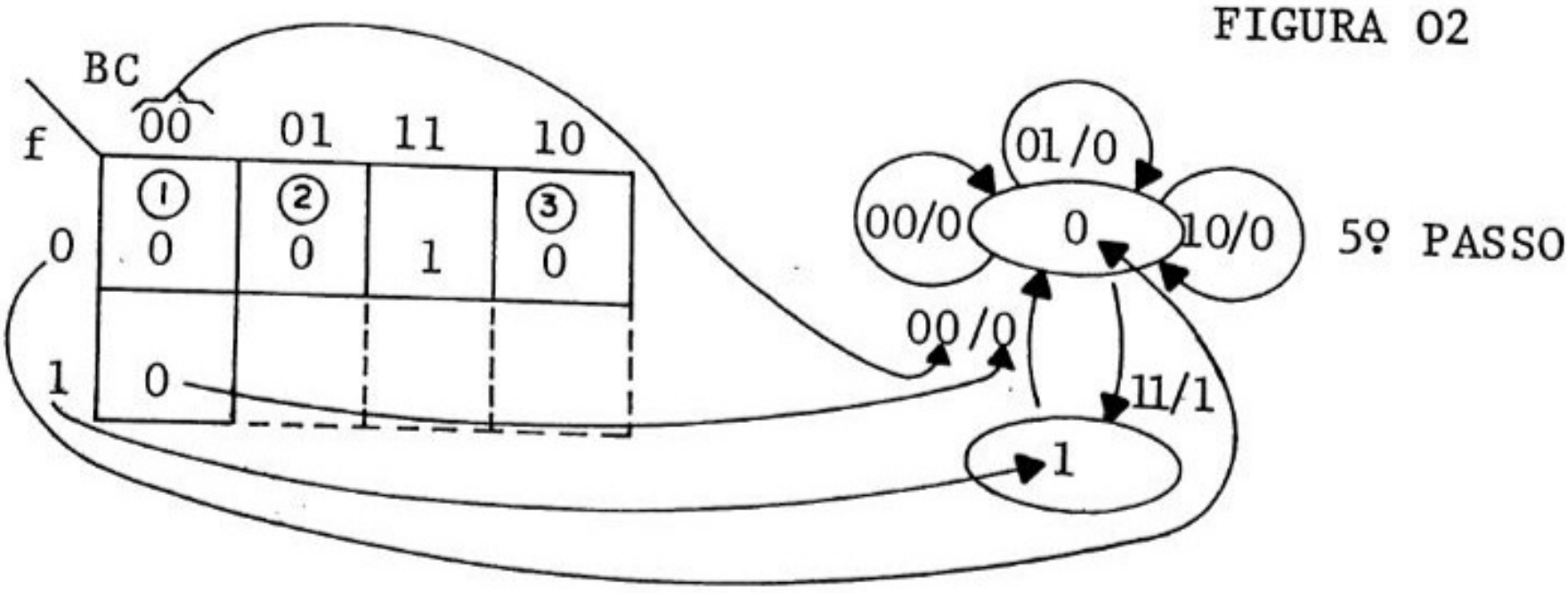
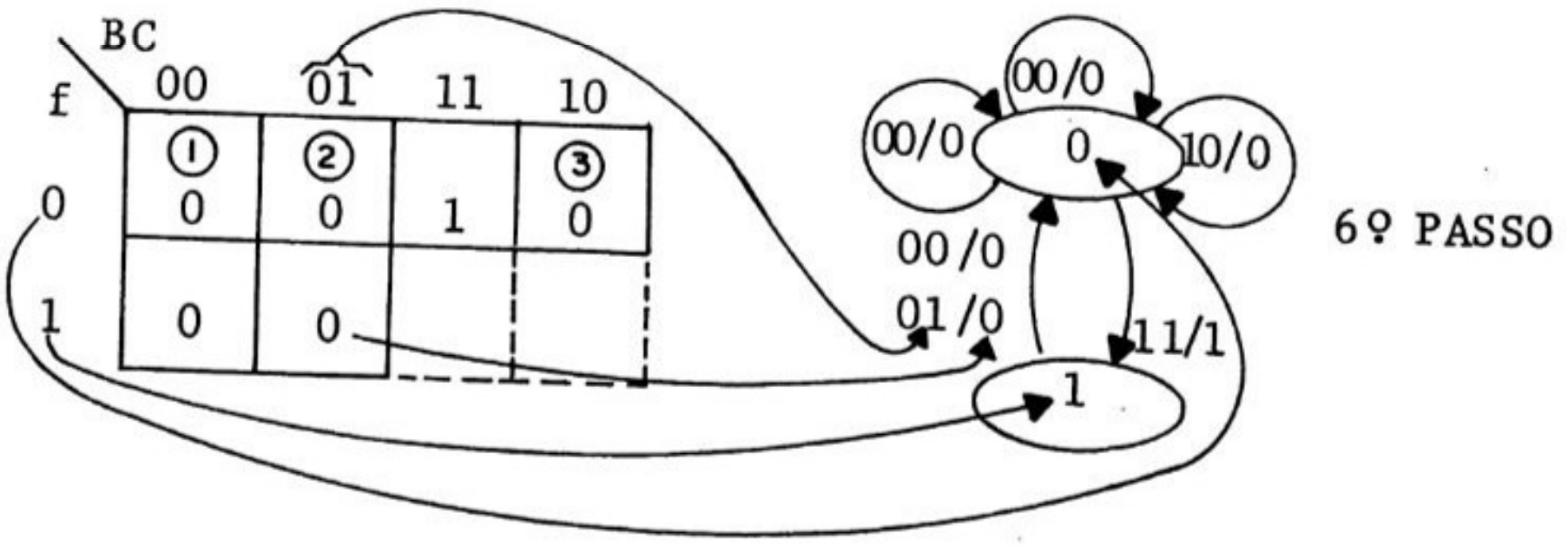
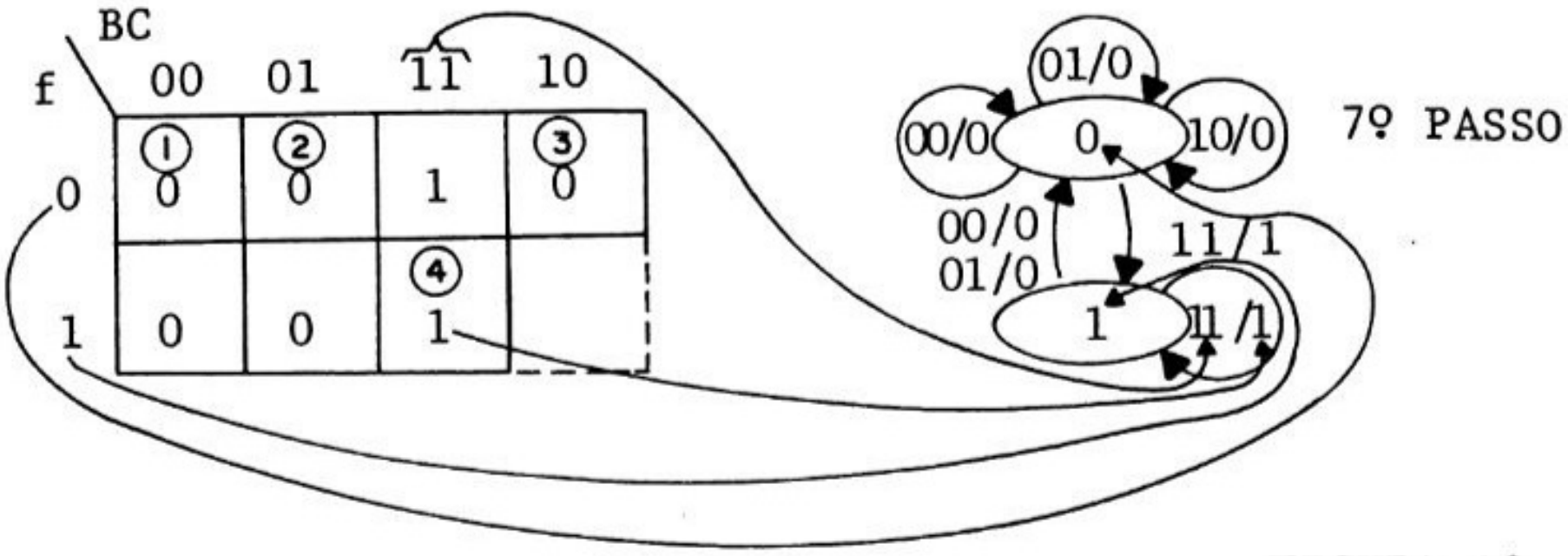

BC
00
01
11
10
f
0
1
0
0
1
0
00/0
01/0
10/0
11/1
0
1
4º PASSO

FIGURA 02


BC
00
01
11
10
f
0
1
0
0
1
0
0
00/0
01/0
10/0
11/1
0
1
5º PASSO


BC
00
01
11
10
f
0
1
0
0
0
1
0
00/0
01/0
10/0
11/1
0
1
6º PASSO



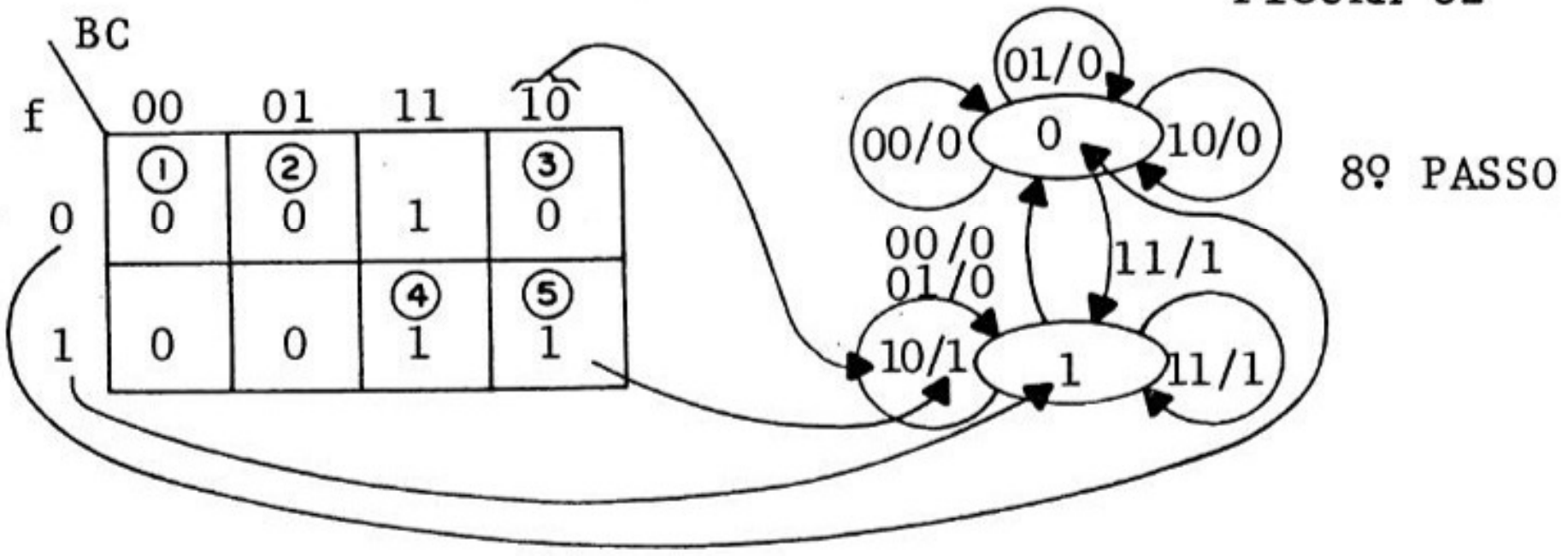


FIGURA 02

A figura 2 nos mostra passo a passo a execução do diagrama de estado. Por exemplo, no primeiro passo, temos f = 0 representando o estado presente, inserido dentro da oval (primeira linha de estado). Quando as variáveis externas BC = 00, estaremos na primeira coluna e representados no diagrama de estado pelos dois bits zeros à esquerda da barra no interior do círculo que sai e penetra na oval por ser um estado estável. O bit zero, que está inserido no círculo depois da barra, no diagrama de estado, é o mesmo inserido na primeira célula da tabela de fluxo.

No segundo passo, temos f = 0 que representa o estado presente, inserido no interior da oval. As variáveis externas BC = 01 representam a segunda coluna e estão também representadas pelos dois bits (01) inseridos à esquerda da barra no interior do círculo, o qual sai e penetra na oval por ser estável. O zero, que estava inserido no círculo, depois da barra, no diagrama de estado, é o mesmo inserido na segunda célula da tabela de fluxo.

No terceiro passo, temos f = 0 que representa o estado presente, inserido no interior da oval. As variáveis externas

BC = 11 representam a terceira coluna e estão também representadas pelos dois bits "11" inseridos à esquerda da barra, no interior do círculo, o qual sai da primeira oval e vai para a segunda, que constitui o estado futuro, por ser um estado instável. O bit "1" (um), que está inserido posteriormente à barra, no diagrama de estado, é o mesmo inserido na terceira célula da tabela de fluxo.

No quinto passo, temos f = 1 que representa o estado presente, inserido no interior da segunda oval. As variáveis externas BC = 00 representam a primeira coluna e estão representadas pelos dois bits zeros, inseridos à esquerda da barra, no diagrama de estado, que sai da segunda oval e vai para a primeira oval que é o estado futuro, por ser um estado instável. O bit zero que está inserido posteriormente à barra, no diagrama de estado, é o mesmo inserido na quinta célula da tabela de fluxo.

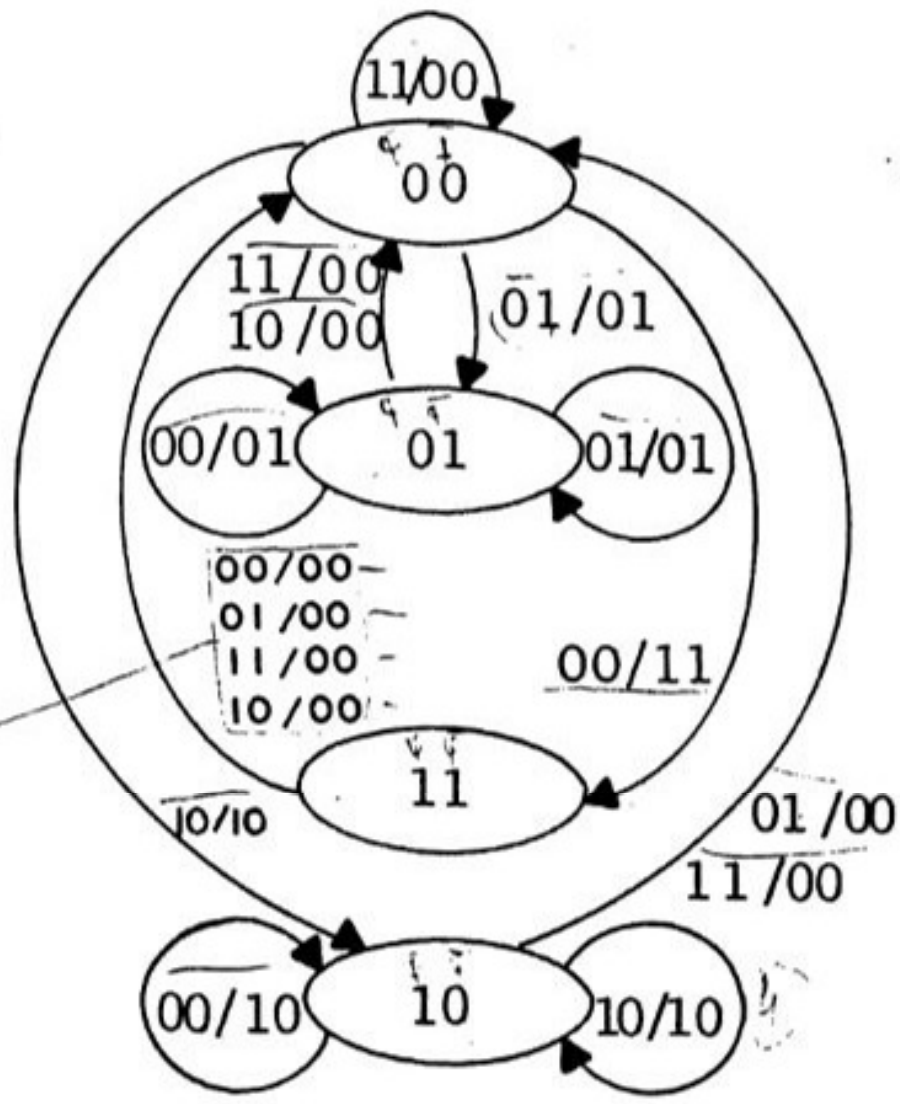
Os demais passos são semelhantes aos descritos.

Vamos executar um outro diagrama de estado a partir da tabela de fluxo da figura 19 da apostila ED-23, a qual transcrevemos novamente abaixo. Figura 3.

FIGURA 03

Qq \ SR	00	01	11	10
00	11	01	① 00	10
01	② 01	③ 01	00	00
11	00	00	00	00
10	④ 10	00	00	⑤ 10

a)



b)

Como podemos observar o diagrama de estado é uma forma alternativa para a tabela de fluxo, quando queremos representar as operações de circuitos seqüênciais. Os estados inter -

nos são representados, no diagrama, por oval contendo, em seu interior, bits que correspondem ao estado interno. Os estados estáveis são representados por um "loop", ou seja, por linhas que saem e penetram na mesma oval, formando um círculo contendo, em seu interior, bits correspondentes às variáveis de entrada e dos estados estáveis. Os bits das variáveis estão localizados antes da barra e os estados estáveis posterior a ela. A passagem de um estado interno para outro é demonstrado por linhas que representam todas as possibilidades dessa ocorrência. Na periferia dessas linhas encontramos bits que identificam as variáveis externas, bem como os estados futuros (estados instáveis), ou seja, para onde esse estado deverá ir. Da mesma forma que no estado estável, os bits, antes da barra, identificam as variáveis externas e os posteriores, os estados futuros.

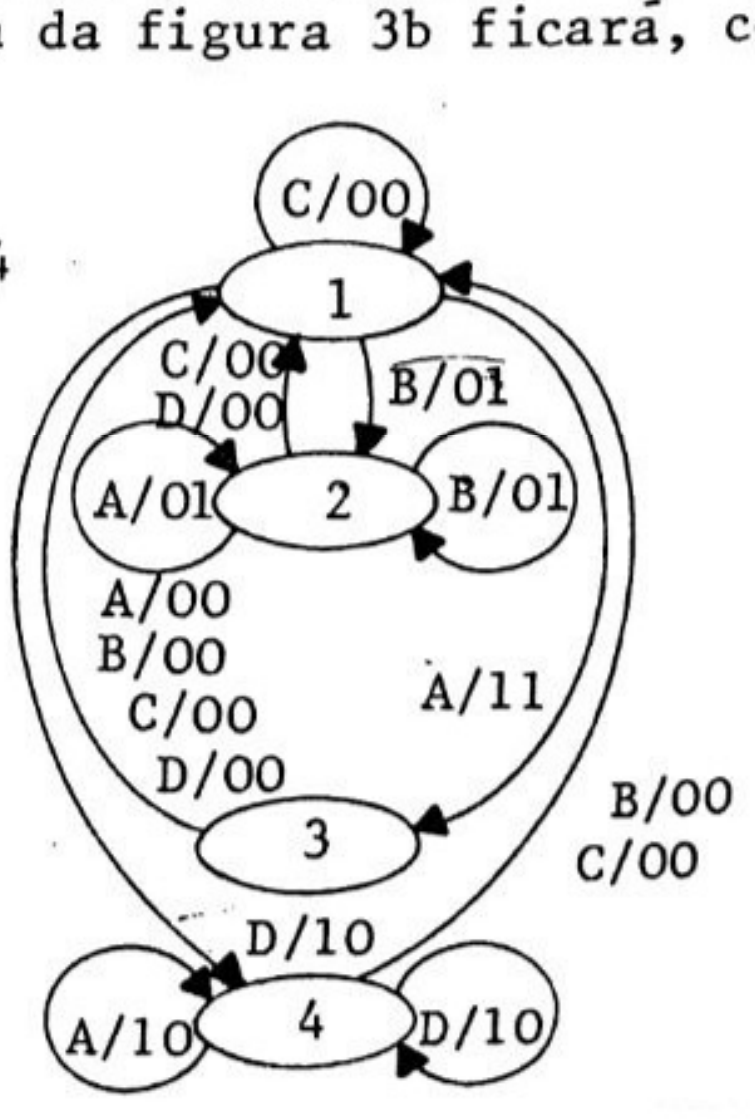
Alguns projetistas preferem utilizar o diagrama de estado, ao invés da tabela de fluxo, por acharem o diagrama de estado mais intuitivo. De uma certa forma, esses projetistas têm razão, porém, em certos casos, isso não é válido.

Geralmente, utilizam-se diagramas de estado, em projetos ou análises, onde o número de estados de transições possíveis sejam pequenos. Para projetos mais complexos, utiliza-se a tabela de fluxo.

Os diagramas de estado podem ser encontrados em algumas literaturas, com números naturais representando os estados internos e letras (do início do alfabeto) representando as variáveis externas. Assim, o diagrama da figura 3b ficará, como ilustra a figura 4.

Qq \ SR	A	B	C	D
1	11	01	00	10
2	01	01	00	00
3	00	00	00	00
4	10	00	00	10

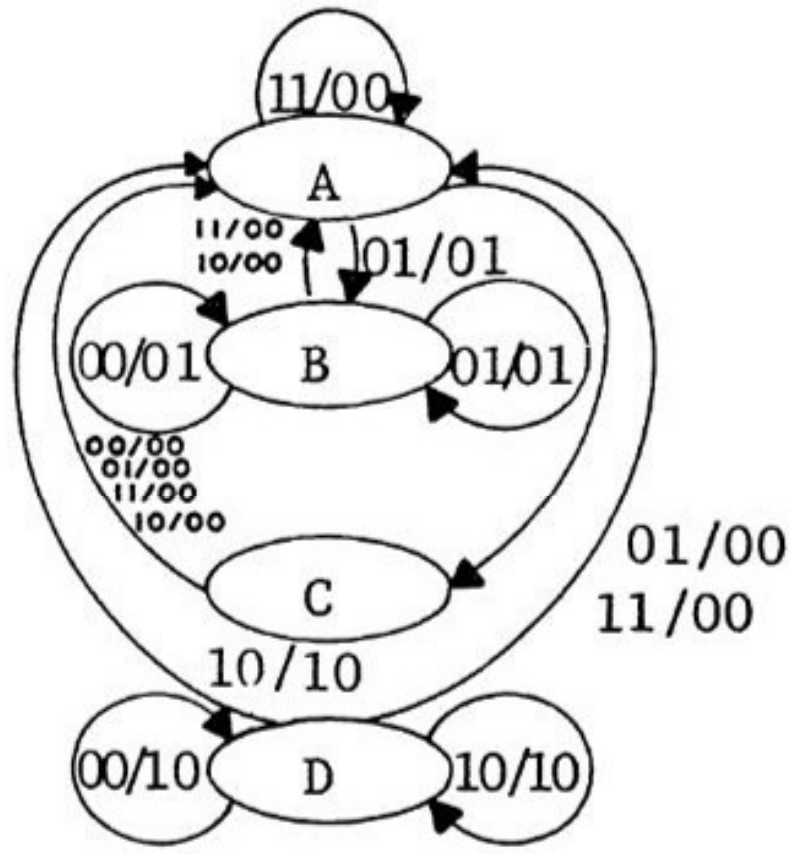
FIGURA 04



Podem ser encontrados também diagramas de estado, com letras (do início do alfabeto) representando os estados internos e os externos representados por números binários. Assim, o diagrama de estado da figura 4, fica ilustrado como o da figura 5.

FIGURA 05

Qq \ SR	00	01	11	10
A	11	01	00	10
B	01	01	00	00
C	00	00	00	00
D	10	00	00	10



PROJETOS DE CIRCUITOS SEQÜÊNCIAIS UTILIZANDO DIAGRAMA DE ESTADO:

Vamos demonstrar o desenvolvimento de projetos de circuitos seqüênciais utilizando diagrama de estado, fazendo uso de exemplos.

Primeiro exemplo:

Projetar um circuito seqüêncial que detecte a ocorrência de cinco bits 1(11111) e gere um sinal positivo que ascenda um led.

Primeiro passo:

Inicialmente, devemos desenvolver o diagrama de estado. Esse diagrama de estado é desenvolvido, analisando passo a passo as ocorrências de cada estado.

Iniciamos o diagrama de estado, especificando um estado interno 000 binário, denominado de estado A e o transcreve-

mos para uma oval (figura 6). Há duas ocorrências possíveis no estado A: pode ocorrer um estado 0 (zero) ou 1 (um). Se recebermos o estado 0 (zero), isso significa que não foi detectado o início do estado 11111, portanto desenhamos uma flecha em círculo saindo e ao mesmo tempo retornando para A e identificamo-na de 0/0 (entrada aplicada/saída gerada). Esta flecha significa que se iniciarmos no estado interno A e ocorrer um estado externo igual a 0 (zero) a saída do circuito detector deverá gerar um sinal igual a 0 (zero). A flecha obviamente nos traz de volta ao estado interno A para que seja detectado o primeiro bit 1 do estado 11111. Isso se repete até que o primeiro bit 1 seja detectado. Quando isso ocorrer, devemos "memorizar" essa informação, desenhando uma flecha para um novo estado interno, o qual denominamos de B. A flecha é identificada por 1/0 que indica, se tomarmos o estado interno A e ocorrer um estado externo igual a 1 (um), deve ocorrer uma transição para o estado interno B e gerar uma saída igual a 0 (zero).

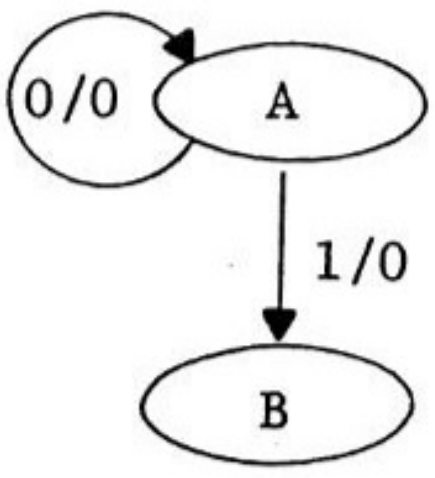


FIGURA 06

Como todas as condições de entrada para o estado A foram cobertas, passamos para o estado B.

Com relação ao estado interno B, se o estado externo gerar um bit 0 (zero) devemos desenhar uma seta retornando-o para o estado A e reiniciar a procura do início do dado 11111. Por outro lado, se o estado externo gerar um bit 1(um) devemos desenhar uma seta,indicando o estado C, pois foi detectado o segundo bit 1 do dado 11111, (figura 7).

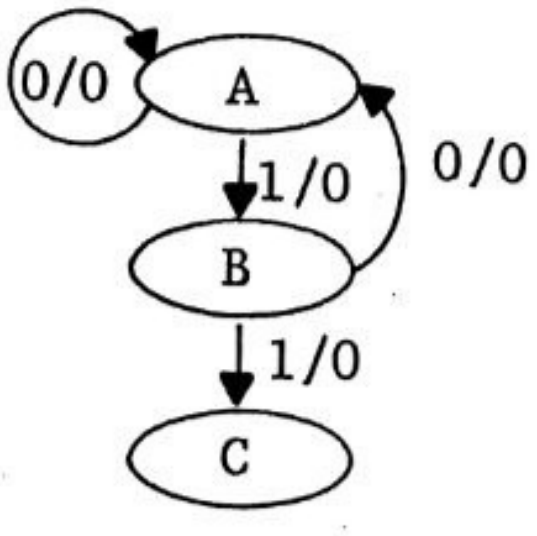
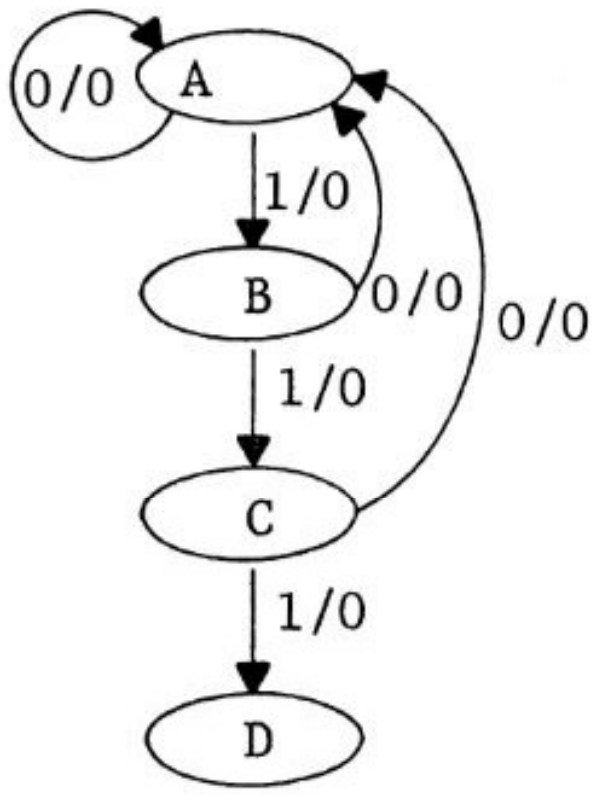


FIGURA 07

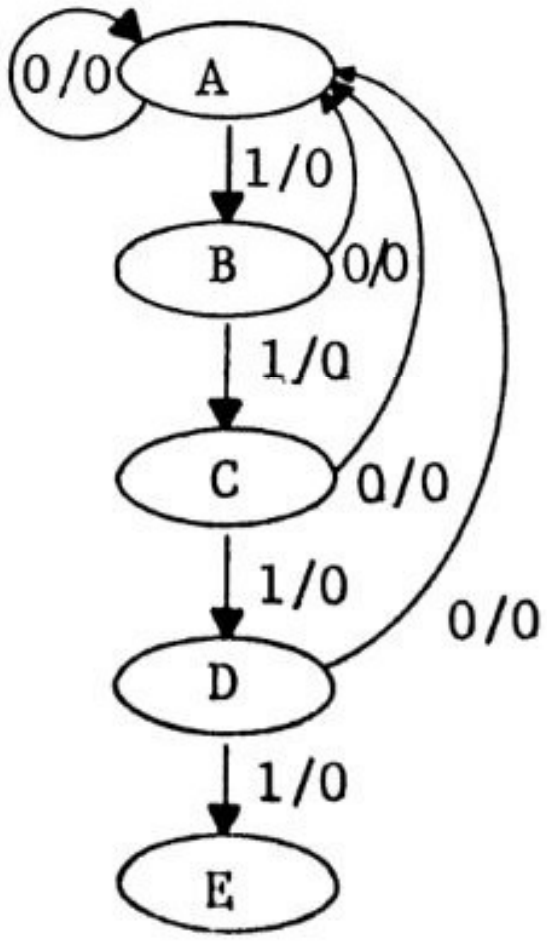
Aqui também, se adotarmos o mesmo procedimento com relação ao estado externo e gerar um bit 0 (zero), devemos desenhar uma seta retornando-o para o estado A. E se o estado externo gerar um bit 1 (um), devemos então desenhar uma seta indicando o estado D, pois foi detectado o terceiro bit 1 do dado 11111, (figura 8).

FIGURA 08



Proceder da mesma forma com relação ao estado D. Se o estado externo gerar um bit 0 (zero), devemos desenhar uma seta retornando-o para o estado A. E, se o estado externo gerar um bit 1 (um), devemos desenhar uma seta indicando o estado E, pois foi detectado o quarto bit 1 do dado 11111, (figura 9).

FIGURA 09



Com relação ao estado E, temos duas opções: ou continuamos procurando indefinidamente pelo estado 11111, neste caso, então, devemos proceder da seguinte forma: Se o estado externo gerar um bit "0"(zero), o estado detectado será o 01111, logo, devemos dar saída no sinal detector igual a um nível baixo e retorná-lo para o estado A. E, se o estado externo gerar um bit 1(um), o estado detectado será então o 11111, portanto devemos dar saída no sinal detector igual a um nível alto e retorná-lo para o estado A, (figura 10).

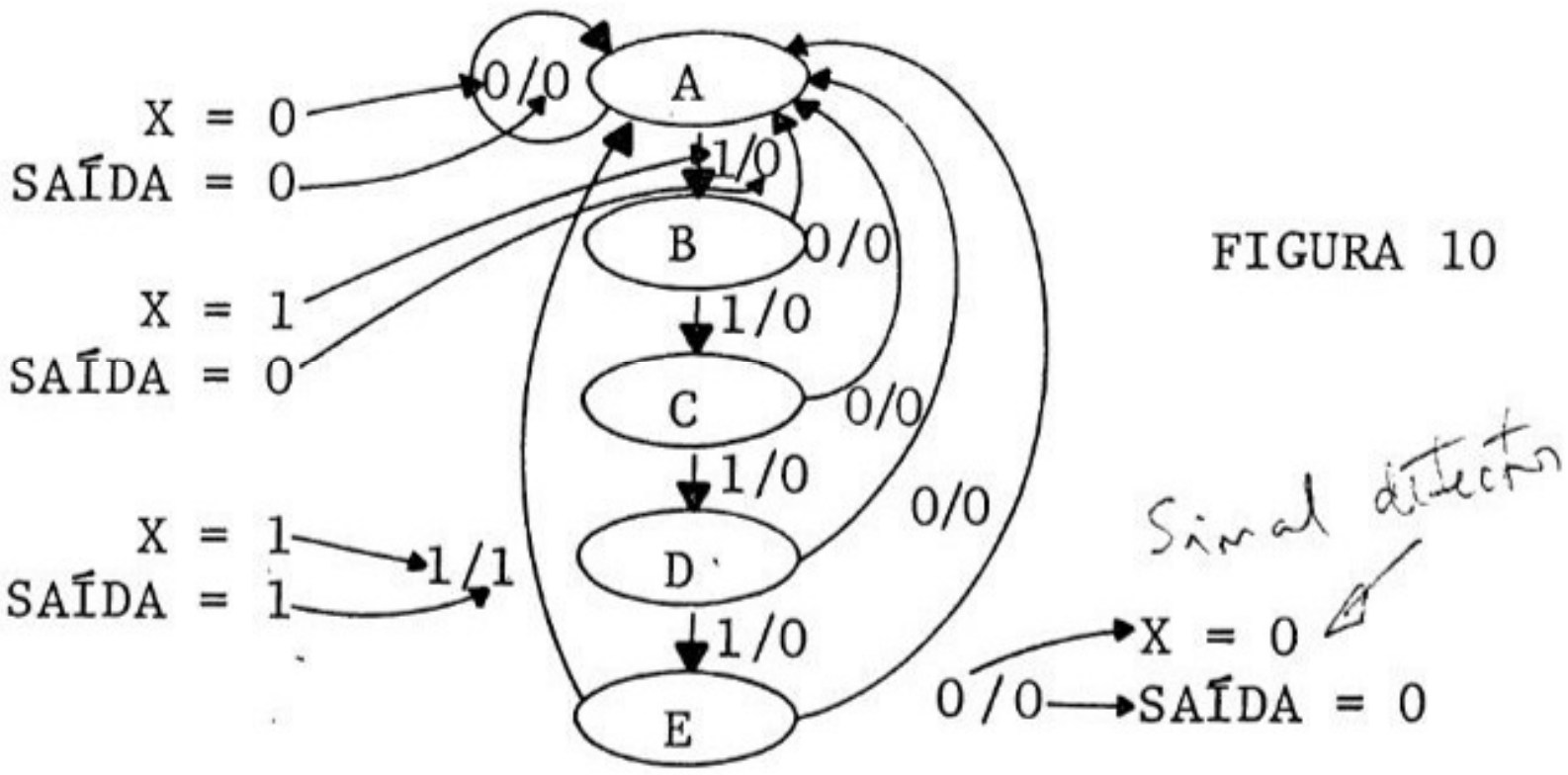
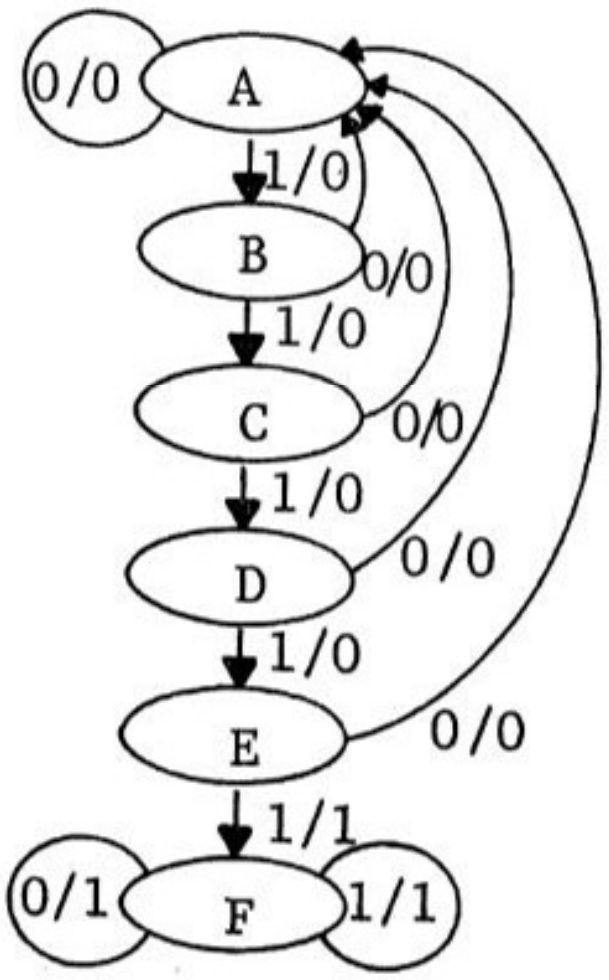


FIGURA 10

Ou, se desejarmos parar a procura do estado 11111, quando esse for detectado pela primeira vez, devemos então proceder da seguinte forma: criar mais um estado interno "F" que ignore qualquer novo estado posterior à descoberta do estado 11111, (figura 11).

FIGURA 11



Segundo passo:

De posse das informações contidas no diagrama de estado, devemos montar uma tabela de fluxo, conforme a da figura 12.

ESTADOS PRESENTE	PRÓXIMO ESTADO		SAÍDA	
	X = 0	X = 1	X = 0	X = 1
A	A	B	0	0
B	A	C	0	0
C	A	D	0	0
D	A	E	0	0
E	A	A	0	1

FIGURA 12

A tabela de fluxo da figura 12 é montada de uma forma um pouco diferente da que aprendemos na lição ED-23, porém tem o mesmo significado. Esse tipo de tabela de fluxo é adotado por ser mais prático para transcrever os estados presentes e futuros contidos no diagrama de estado. A coluna de estados - presentes deve conter os estados que estão inseridos nas ovais. A tabela de fluxo da figura 12 contém os estados A,B,C, D e E do diagrama de fluxo da figura 10. A coluna, "próximo - estado", subdivide em duas colunas: X = 0 e X = 1. Essa coluna depende do estado presente (estado interno), bem como do estado X = 0 ou X = 1 (estado externo). Assim, se tomarmos o estado presente A e o próximo estado for X = 0, retornaremos para A, pois não foi encontrado o primeiro bit 1 do dado 11111 (ver seta retornando para A, figura 6). Por outro lado, se X = 1, o próximo estado será o B (veja figura 6). Se tomarmos o estado presente B e o próximo estado for X = 0, retornamos para A, pois não foi encontrado o segundo bit 1 do dado 11111 (ver seta retornando para A, figura 7). Porém se X = 1, o próximo estado será o C (figura 7). Como podemos notar, a tabela de fluxo é um histórico das ocorrências estabelecidas no diagrama de estado. Os demais estados da tabela de fluxo foram obtidos da mesma forma que os anteriores, dispensando maiores

detalhes. A coluna da saída também depende do estado presente e do próximo estado. Assim, se tomarmos o estado presente E, se X = 0, a saída será 0(zero), pois não foi detectado o dado 11111. Se X = 1, a saída será 1 (um), pois foi detectado o dado 11111 (veja diagrama de estado, figura 10).

Terceiro passo:

Nesse passo devemos substituir os índices dos estados por números binários. Como temos cinco índices, devemos utilizar números binários de três bits. Então, teremos: A = 000, B = 001, C = 010, D = 011 e E = 100. Dessa forma, substituídos os índices da tabela de fluxo (figura 12), teremos uma nova tabela de fluxo. (figura 13)

	PRÓXIMO ESTADO		SAÍDA	
ESTADOS PRESENTES	X = 0	X = 1	X = 0	X = 1
000	000	001	0	0
001	000	010	0	0
010	000	011	0	0
011	000	100	0	0
100	000	000	0	1

FIGURA 13

Quarto passo:

Utilizando os dados da tabela da figura 13, podemos projetar o circuito. Porém para uma melhor identificação das variáveis, devemos denominá-las de P_1, P_2, P_3, N_1, N_2, N_3 e S. (figura 14).

ESTADOS PRESENTES			PRÓXIMO ESTADO						SAÍDA	
			X = 0			X = 1			X=0	X=1
P_1	P_2	P_3	N_1	N_2	N_3	N_1	N_2	N_3	S	S
0	0	0	0	0	0	0	0	1	0	0
0	0	1	0	0	0	0	1	0	0	0
0	1	0	0	0	0	0	1	1	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	0	0	0	1

FIGURA 14

Assim, devemos transpor os dados da tabela da figura 14 para o mapa de Karnaugh, ou seja, devemos executar o mapa de Karnaugh para N_1, N_2, N_3 e S. Inicialmente, montaremos o mapa de Karnaugh para N_1. Quando P_1, P_2, P_3, X = 0000, a saída N_1 será igual a zero (N_1=0). Por outro lado, se P_1, P_2, P_3, X = = 0001, a saída N_1 será igual a zero (N_1 = 0). Sucedendo-se da mesma forma para os demais estados. Veja mapa de Karnaugh para a saída N_1, figura 15.

P_1	P_2	P_3	X	N_1
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	d
1	0	1	1	d
1	1	0	0	d
1	1	0	1	d
1	1	1	0	d
1	1	1	1	d

P_1 \ P_2 P_3	$\overline{P}_3$ $\overline{P}_3$	$\overline{P}_3$ P_3	P_3 P_3	P_3 $\overline{P}_3$	
$\overline{P}_1$ $\overline{P}_2$	0	0	0	0	$\overline{P}_2$
$\overline{P}_1$ P_2	0	0	1	0	P_2
P_1 P_2	d	d	d	d	
P_1 $\overline{P}_2$	0	0	d	d	$\overline{P}_2$
	$\overline{X}$	X	X	$\overline{X}$	

$N_1 = P_2 . P_3 . X$

d = termo irrelevante

FIGURA 15

Em seguida transpomos os dados da saída N_2 da tabela da figura 14 para o mapa de Karnaugh, (figura 16).

P_1	P_2	P_3	X	N_2
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	d
1	0	1	1	d
1	1	0	0	d
1	1	0	1	d
1	1	1	0	d
1	1	1	1	d

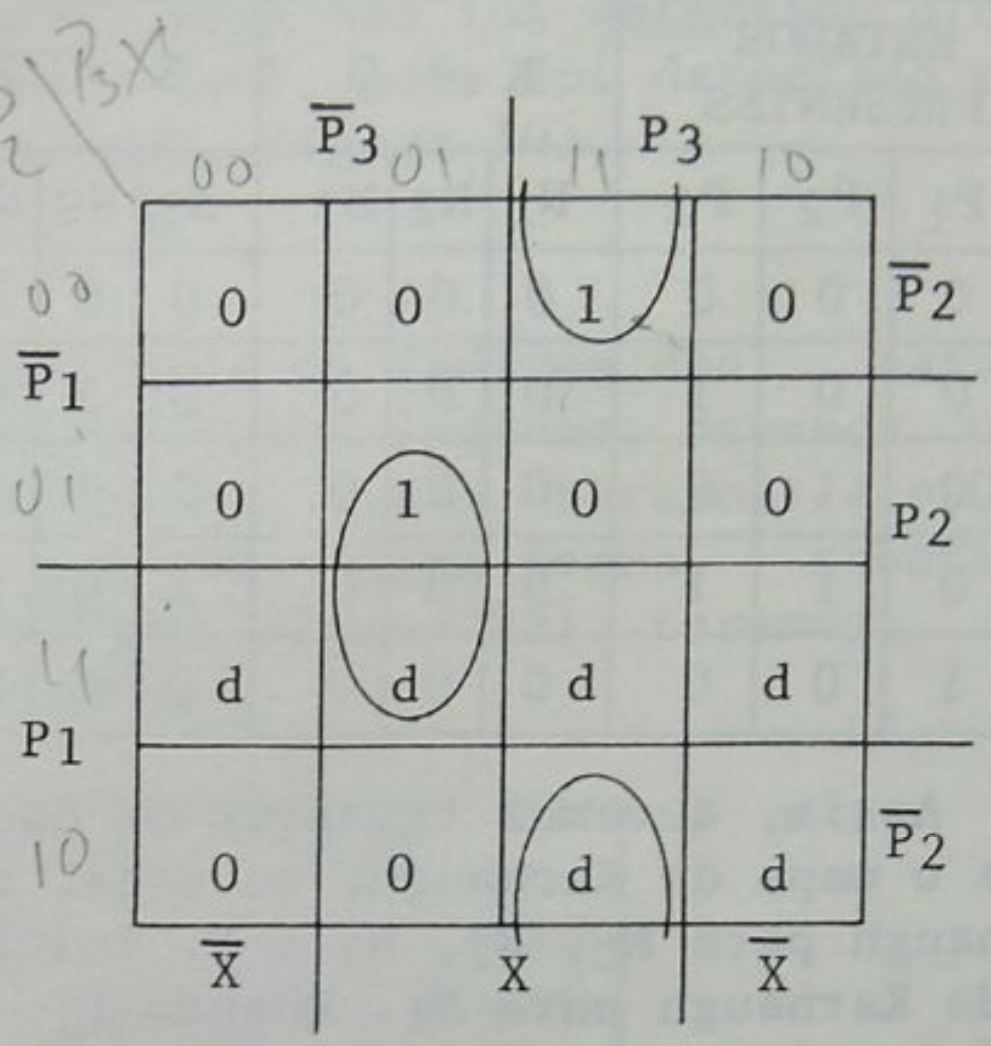


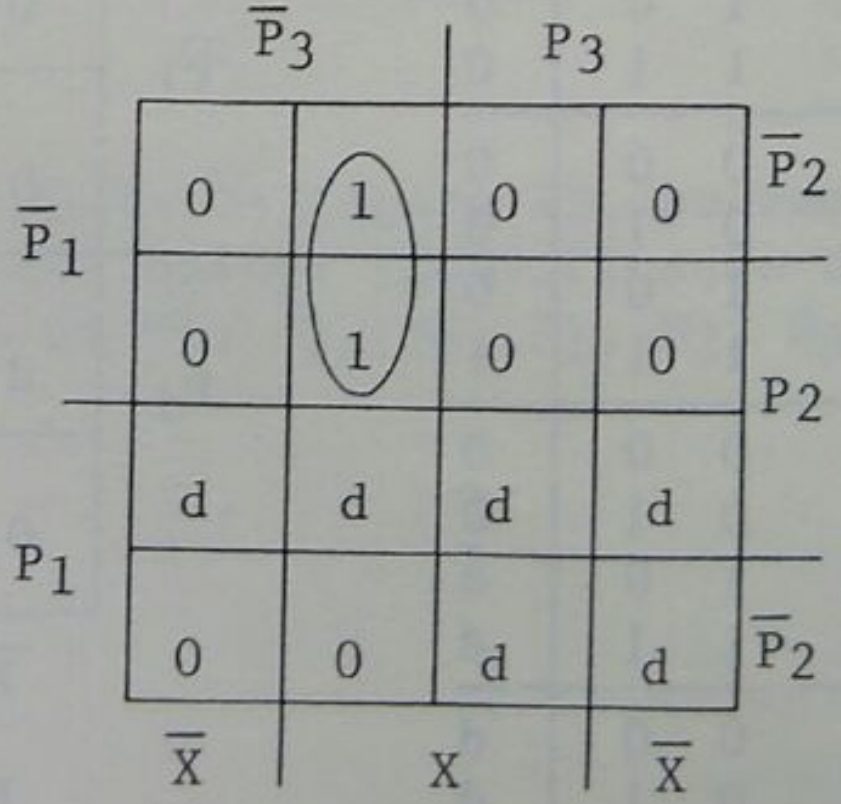
FIGURA 16

$N_2 = P_2.\overline{P}_3.X + \overline{P}_2.P_3.X$

d = termo irrelevante.

Transpomos agora os dados da saída N3 da tabela da figura 14 para o mapa de Karnaugh, (figura 17).

P_1	P_2	P_3	X	N3
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	d
1	0	1	1	d
1	1	0	0	d
1	1	0	1	d
1	1	1	0	d
1	1	1	1	d



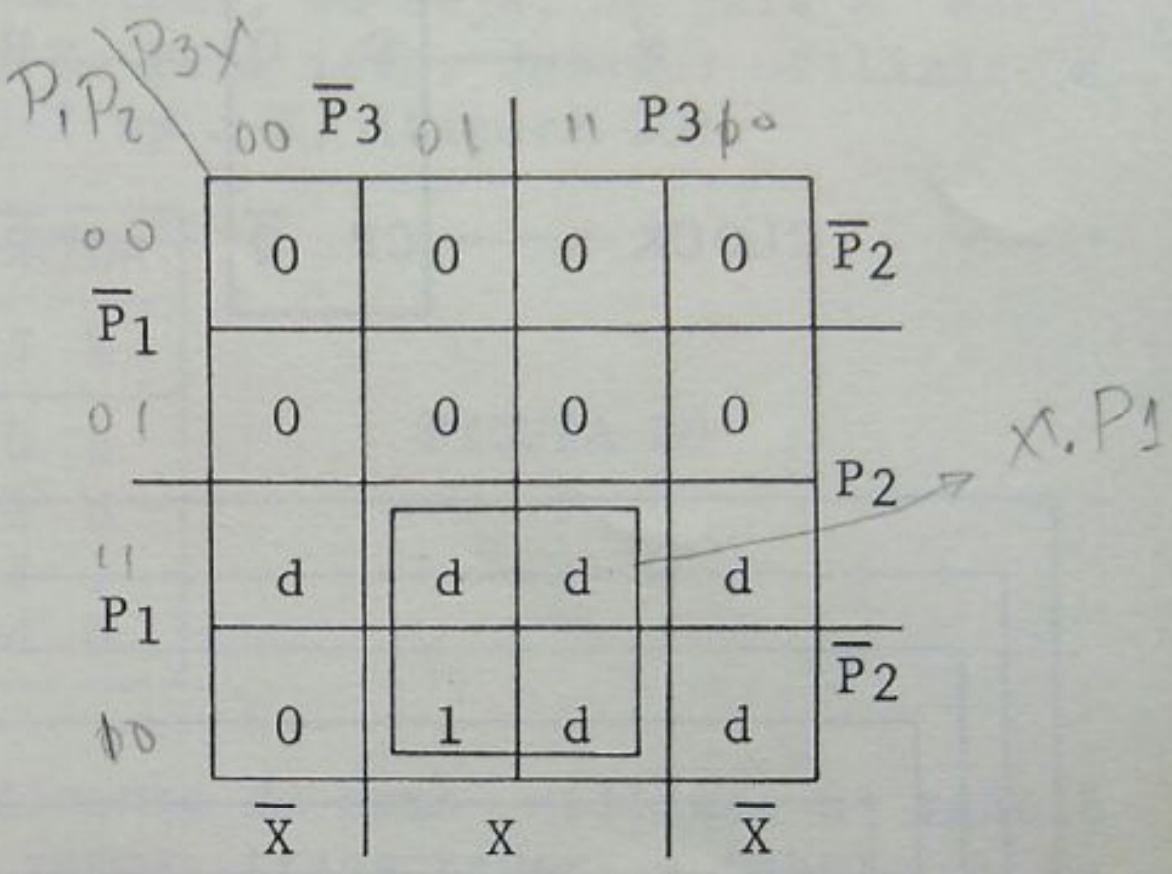
$N_3 = \overline{P}_1.\overline{P}_3.X$

FIGURA 17

d = termo irrelevante

Finalmente, transpomos os dados da saída S, da tabela da figura 14 para o mapa de Karnaugh, (figura 18).

P1	P2	P3	X	S
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	d
1	0	1	1	d
1	1	0	0	d
1	1	0	1	d
1	1	1	0	d
1	1	1	1	d



$S = P_1.X$

FIGURA 18

d = termo irrelevante.

Dessa forma, temos as seguintes expressões:

$N_1 = P_2.\overline{P}_3.X$

$N_2 = \overline{P}_2.\overline{P}_3.X + \overline{P}_2.P_3.X$

$N_3 = \overline{P}_1.\overline{P}_3.X$

$S = P_1.X$

Quinto passo:

Nesse passo, desenhamos o circuito. Para isso, devemos utilizar três flip-flops tipo D (circuito de memória) e os circuitos combinacionais das expressões N1, N2, N3 e S. (figura 19).

N
D
Q
P
CLOCK
CP
$\overline{Q}$
$\overline{P}$

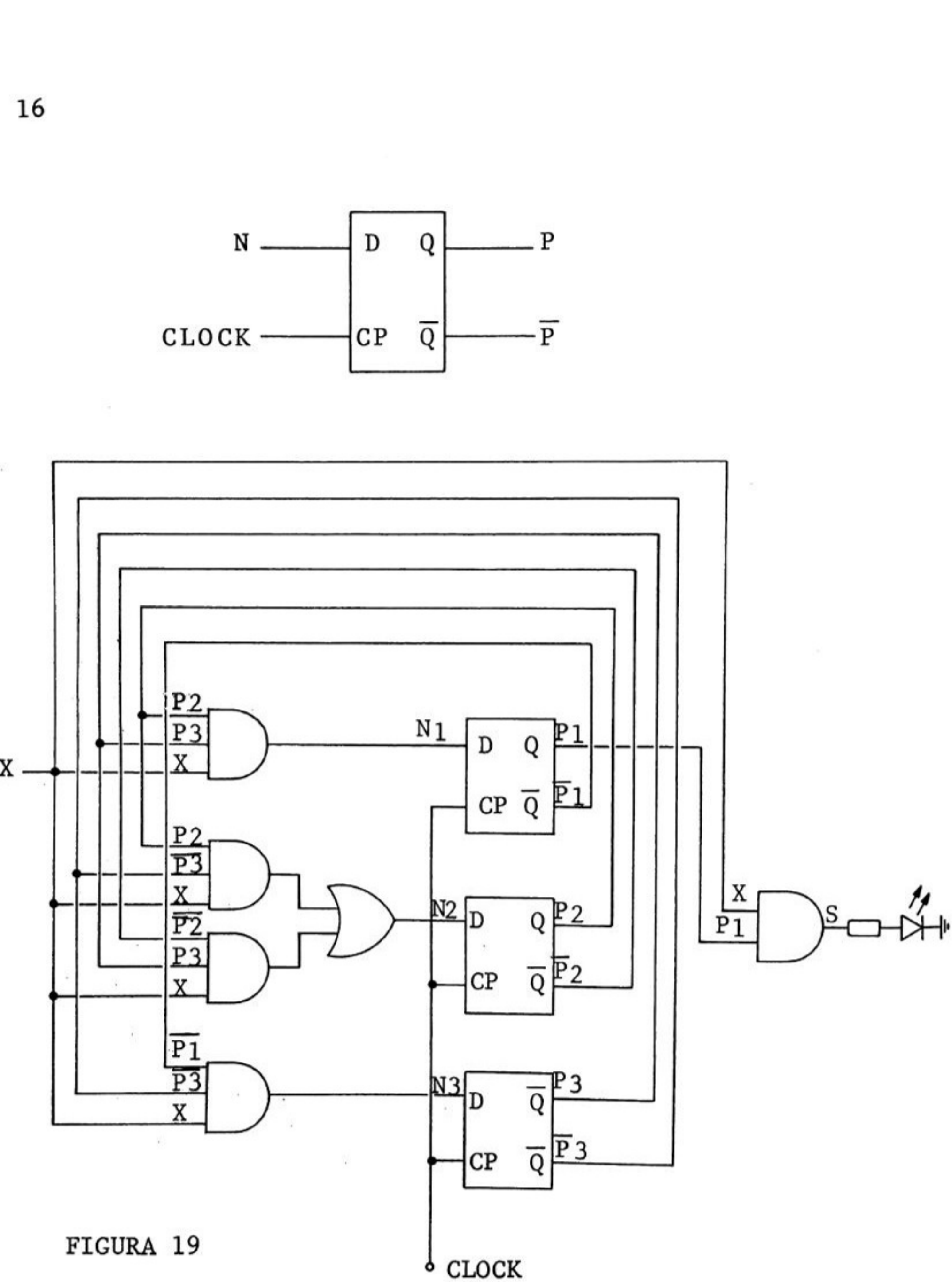

P2
P3
X
N1
D
Q
P1
CP
$\overline{Q}$
$\overline{P1}$
$\overline{P2}$
$\overline{P3}$
N2
P2
$\overline{P2}$
X
P1
S
$\overline{P1}$
N3
P3
$\overline{P3}$
CLOCK

FIGURA 19

Esse circuito poderia também ser realizado utilizando flip-flop tipo J-K. Nesse caso, devemos projetar um circuito combinacional para cada entrada, ou seja, um para a entrada J e outro para a entrada K. Para isso, devemos utilizar a tabela de estado de um flip-flop J-K, (figura 20).

TRANSIÇÃO	SAÍDA
Qn → Qn + 1	J K
0 0	0 d
0 1	1 d
1 0	d 1
1 1	d 0

FIGURA 20

Para um melhor entendimento de como utilizar a tabela de transição da figura 20, vamos transcrever a tabela da figura 14 e acrescentar as transições passo a passo, (figura 21).

	PRÓXIMO ESTADO						S A Í D A S													
ESTADOS PRESENTES	X = 0			X = 1			X = 0			X = 1			X = 0			X = 1			X = 0	X = 1
P1 P2 P3	N1	N2	N3	N1	N2	N3	Jn1	Jn2	Jn3	Jn1	Jn2	Jn3	Kn1	Kn2	Kn3	Kn1	Kn2	Kn3	S	S
0 0 0	0	0	0	0	0	1	0	0	0	0	0	1	d	d	d	d	d	d	0	0
0 0 1	0	0	0	0	1	0	0	0	d	0	1	d	d	d	1	d	d	1	0	0
0 1 0	0	0	0	0	1	1	0	d	0	0	d	1	d	1	d	d	0	d	0	0
0 1 1	0	0	0	1	0	0	0	d	d	1	d	d	d	1	1	d	1	1	0	0
1 0 0	0	0	0	0	0	0	d	0	0	d	0	0	1	d	d	1	d	d	0	1

FIGURA 21

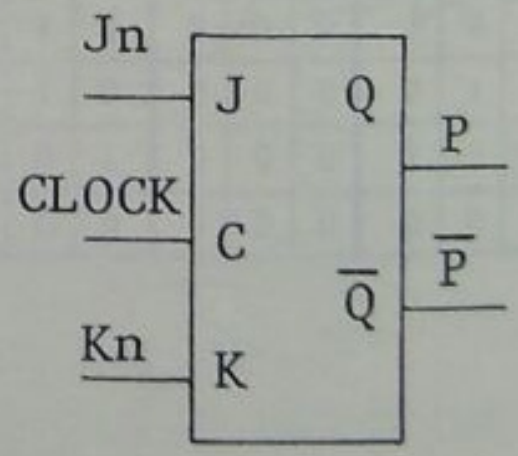
Para a montagem da tabela da figura 21, utilizamos as seguintes relações entre a tabela da figura 14 e a da figura 20. Os estados presentes P_1, P_2 e P_3 são iguais a Qn, os próximos estados N_1, N_2 e N_3 são iguais a Qn+1, as saídas Jn1, Jn2 e Jn3 são iguais a J e Kn1, Kn2 e Kn3 são iguais a K.

Dessa forma, se tomarmos o estado presente P_1, P_2, P_3 = = 000 e a transição for para o próximo estado X = 0 e N_1, N_2, N_3 = 000 a saída será para X = 0 e Jn1, Jn2, Jn3 = 000. Pois a transição de Qn = 0 para Qn+1 = 0, Jn será também igual a 0 (zero). Por outro lado, se tomarmos o estado presente P_1, P_2, P_3 = 000 e a transição for para o próximo estado X = 1 e N_1, N_2, N_3 = 001, a saída será para X = 1 e Jn1, Jn2, Jn3 = = 001, pois a transição de Qn = 0 para Qn+1 = 0,Jn1 e Jn2 será também igual a 0 (zero). E a transição de Qn = 0 para Qn + 1 = 1, Jn3 também será igual a 1. Agora, se tomarmos o estado presente P_1, P_2, P_3 = 001 e a transição for para o próximo estado X = 1 e N_1, N_2, N_3 = 010, a saída será para X = 1 e Jn1, Jn2, Jn3 = 01d, pois a transição de Qn = 0 para Qn+1 = 0, Jn1 será 0 (zero). Se a transição de Qn = 0 para Qn + 1 = 1, Jn2 será 1 (um). E, finalmente, se a transição for de Qn = 1 para Qn+1=0, Jn3 será d(irrelevante). Assim sucede para os demais casos.

Aplicando os dados extraídos da tabela da figura 21 no mapa de Karnaugh,podemos obter as expressões:(Veja figura 22).

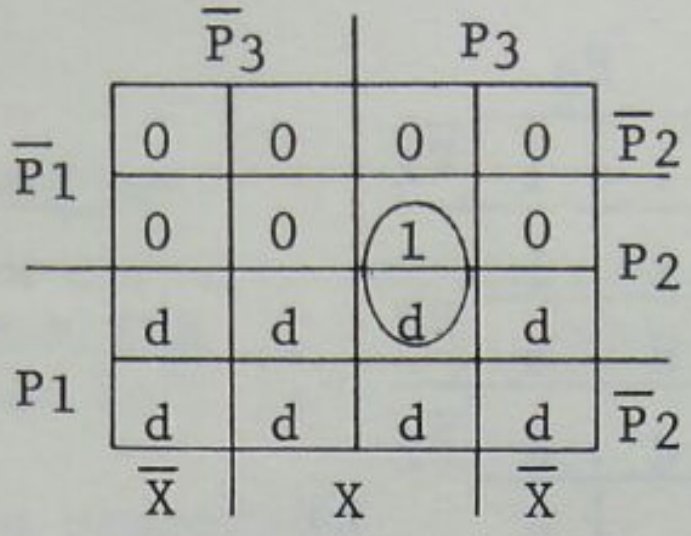
P_1	P_2	P_3	X	Jn1	Jn2	Jn3	Kn1	Kn2	Kn3	S
0	0	0	0	0	0	0	d	d	d	0
0	0	0	1	0	0	1	d	d	d	0
0	0	1	0	0	0	d	d	d	1	0
0	0	1	1	0	1	d	d	d	1	0
0	1	0	0	0	d	0	d	1	d	0
0	1	0	1	0	d	1	d	0	d	0
0	1	1	0	0	d	d	d	1	1	0
0	1	1	1	1	d	d	d	1	1	0
1	0	0	0	d	0	0	1	d	d	0
1	0	0	1	d	0	0	1	d	d	1
1	0	1	0	d	d	d	d	d	d	d
1	0	1	1	d	d	d	d	d	d	d
1	1	0	0	d	d	d	d	d	d	d
1	1	0	1	d	d	d	d	d	d	d
1	1	1	0	d	d	d	d	d	d	d
1	1	1	1	d	d	d	d	d	d	d

a)



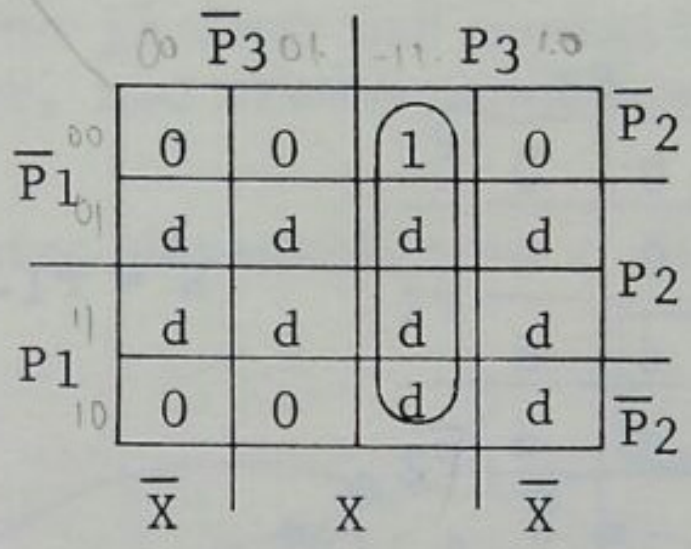
b)

+VCC +VCC



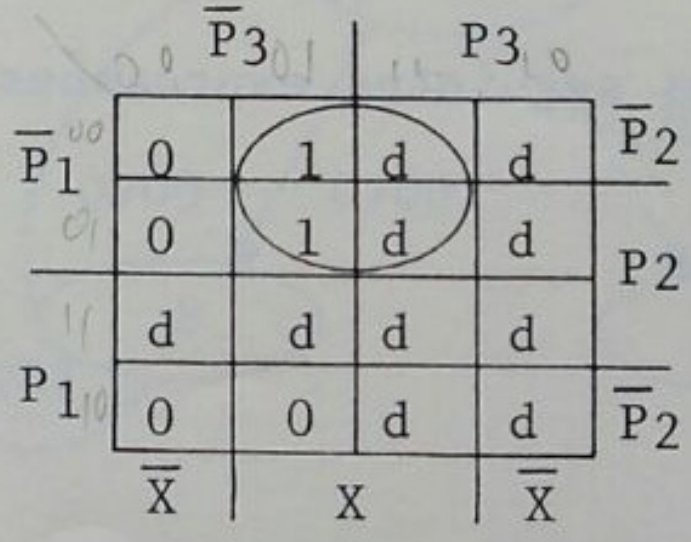
c)

$Jn_1 = P_2.P_3.X$



d)

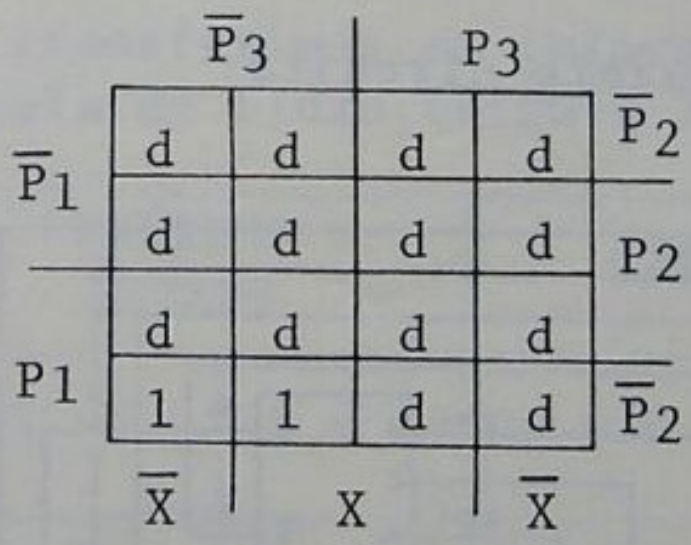
$Jn_2 = P_3.X$



e)

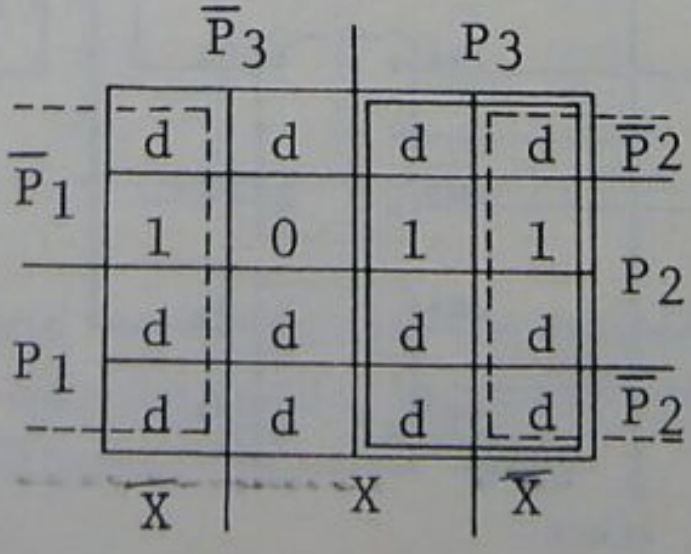
$Jn_3 = \overline{P}_1.X$

FIGURA 22



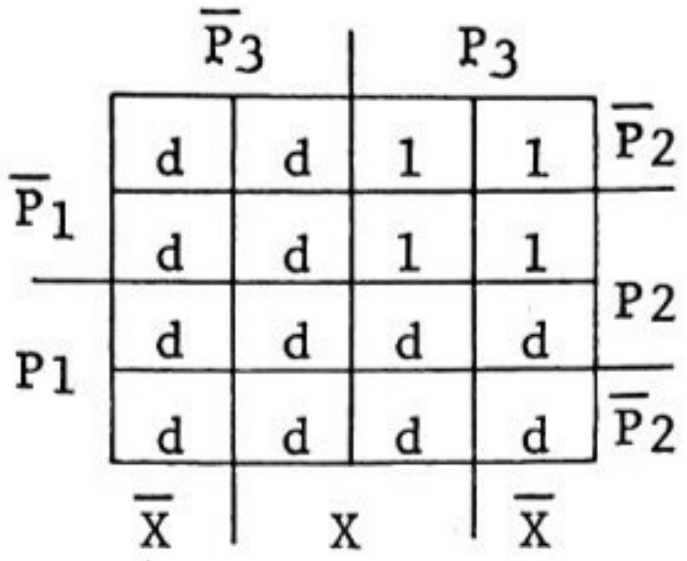
f)

$Kn_1 = +Vcc$



g)

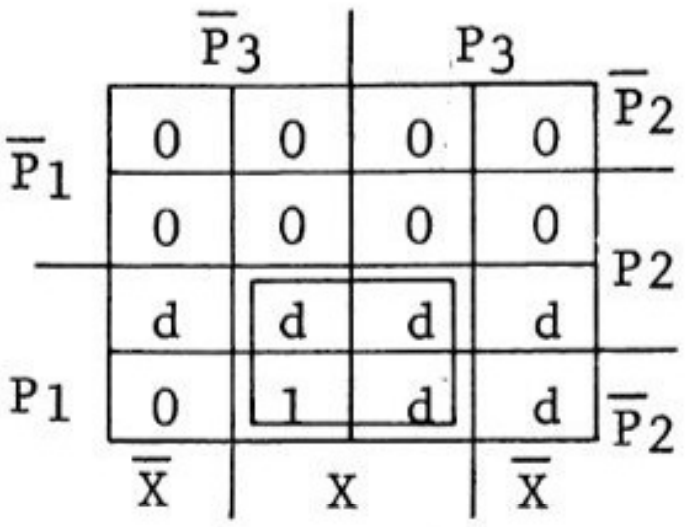
$Kn_2 = P_3 + \overline{X}$



h)

Kn3 = +Vcc

FIGURA 22



i)

S = P1.X

Dessa forma, temos as seguintes expressões:

$Jn_1 = P_2 \cdot P_3 \cdot X$
$Kn_1 = + Vcc$
$Jn_2 = P_3 \cdot \overline{X}$
$Kn_2 = \overline{P_3} + \overline{X}$
$Jn_3 = \overline{P_1} \cdot X$
$Kn_3 = +Vcc$
$S = P_1 \cdot X$

Assim, teremos o seguinte circuito:

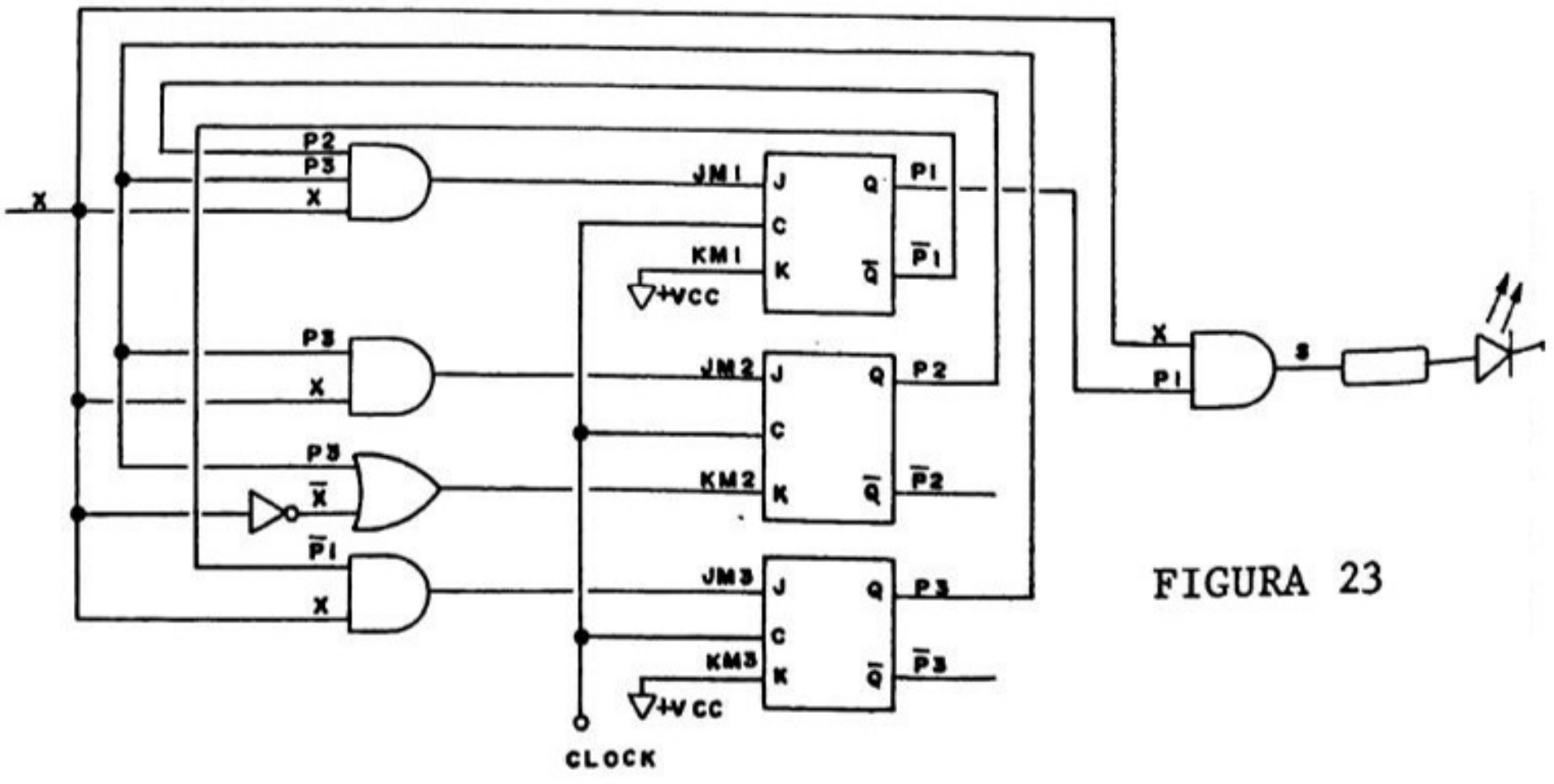


FIGURA 23

Segundo exemplo:

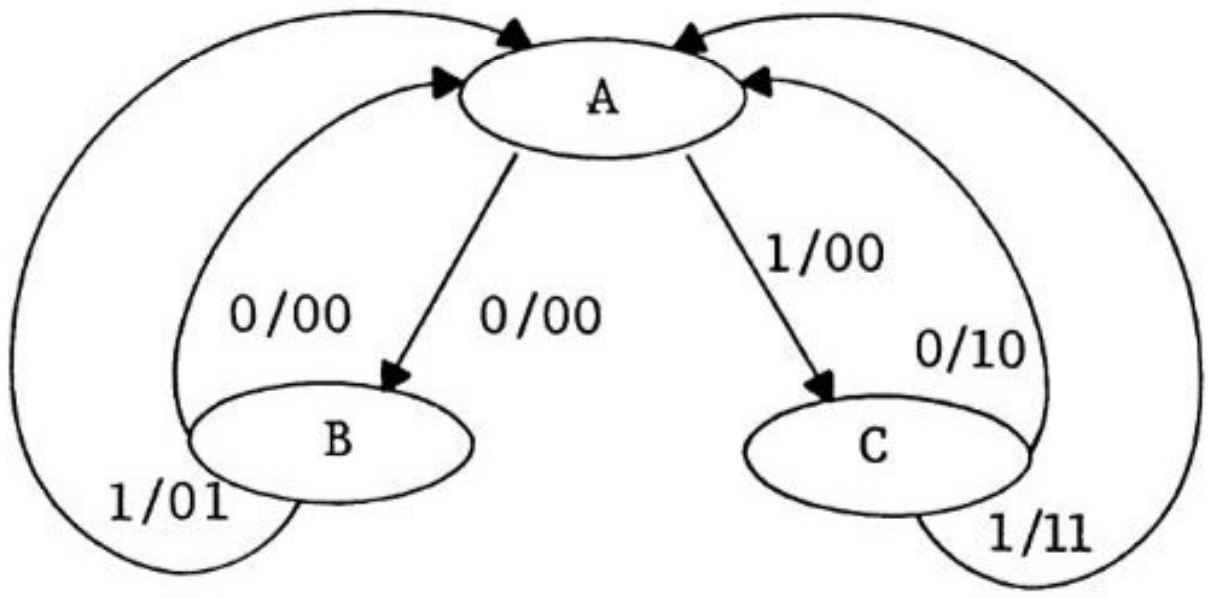
Projetar um circuito seqüêncial que verifique as ocorrências dos dados 00, 01, 10 e 11. Essas identificações são efetuadas através de dois leds.

Execução do projeto:

Como o aluno já deve ter assimilado o desenvolvimento do projeto anterior, não iremos aqui descrever passo a passo este projeto.

Inicialmente, desenvolvemos o diagrama de estado, (figura 24).

FIGURA 24



A seguir, transferimos as informações do diagrama de estado para a tabela de fluxo,(figura 25).

ESTADOS PRESENTES	PRÓXIMO ESTADO		SAÍDAS	
	X = 0	X = 1	X = 0	X = 1
A	B	C	00	00
B	A	A	00	01
C	A	A	10	11

FIGURA 25

Substituímos os índices da tabela da figura 25 por números binários e denominamos as variáveis de: P_1, P_2, N_1, N_2, S_1 S_2 (tabela na figura 26).

ESTADOS PRESENTES	PRÓXIMO ESTADO		SAÍDAS	
	X = 0	X = 1	X = 0	X = 1
P_1 P_2	N_1 N_2	N_1 N_2	S_1 S_2	S_1 S_2
0 0	0 1	1 0	0 0	0 0
0 1	0 0	0 0	0 0	0 1
1 0	0 0	0 0	1 0	1 1

FIGURA 26

De posse das informações da tabela de fluxo da figura 26, podemos executar o mapa de Karnaugh, (figura 27).

P_1	P_2	X	N_1	N_2	S_1	S_2
0	0	0	0	1	0	0
0	0	1	1	0	0	0
0	1	0	0	0	0	0
0	1	1	0	0	0	1
1	0	0	0	0	1	0
1	0	1	0	0	1	1
1	1	0	d	d	d	d
1	1	1	d	d	d	d

a)

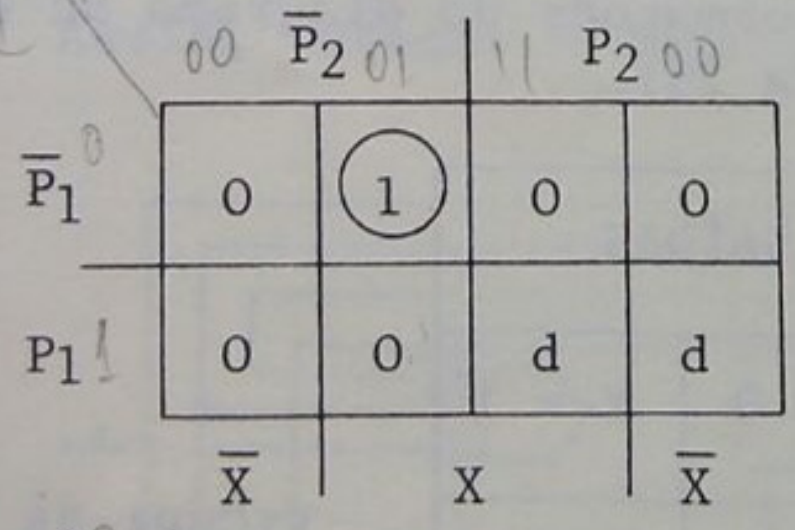
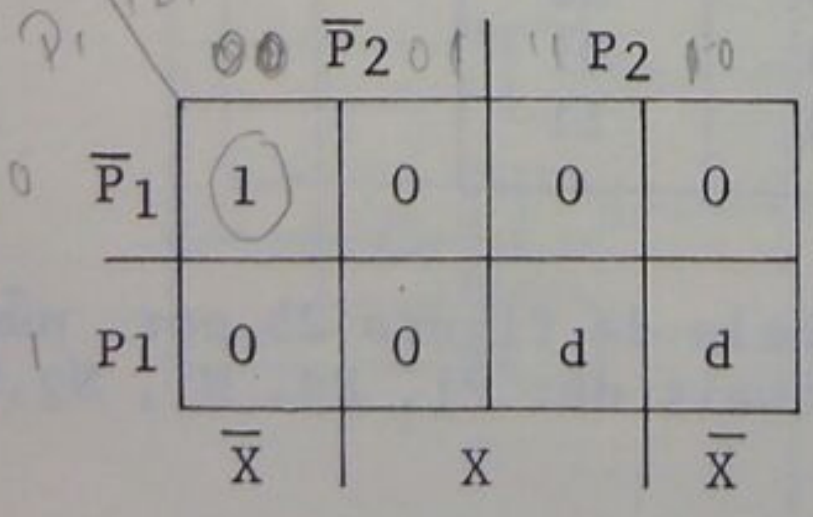


FIGURA 27

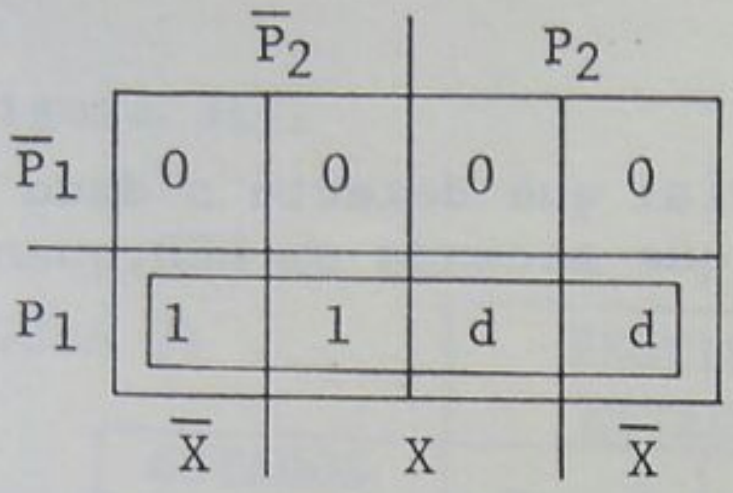
$$N_1 = \overline{P}_1 \cdot \overline{P}_2 \cdot X$$

b)

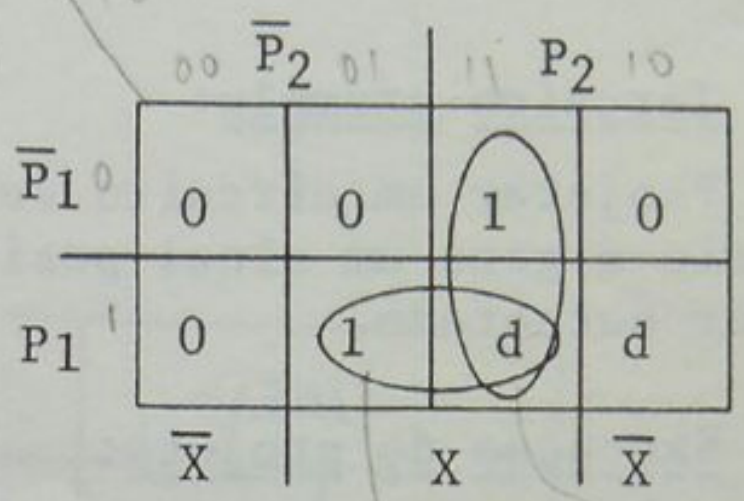


$$N2 = \overline{P1} \cdot \overline{P2} \cdot \overline{X} = \overline{P1+P2+X}$$

c)



d) $S_1 = P_1$



e) $S_2 = P_1 \cdot X + P_2 \cdot X$

FIGURA 27

Assim, temos as seguintes expressões:

$N_1 = \overline{P}_1 \cdot \overline{P}_2 \cdot X$

$N2 = \overline{P_1 + P_2 + X}$

$S_1 = P_1$

$S2 = P_1 \cdot X + P_2 \cdot X$

Dessa forma, o circuito será:

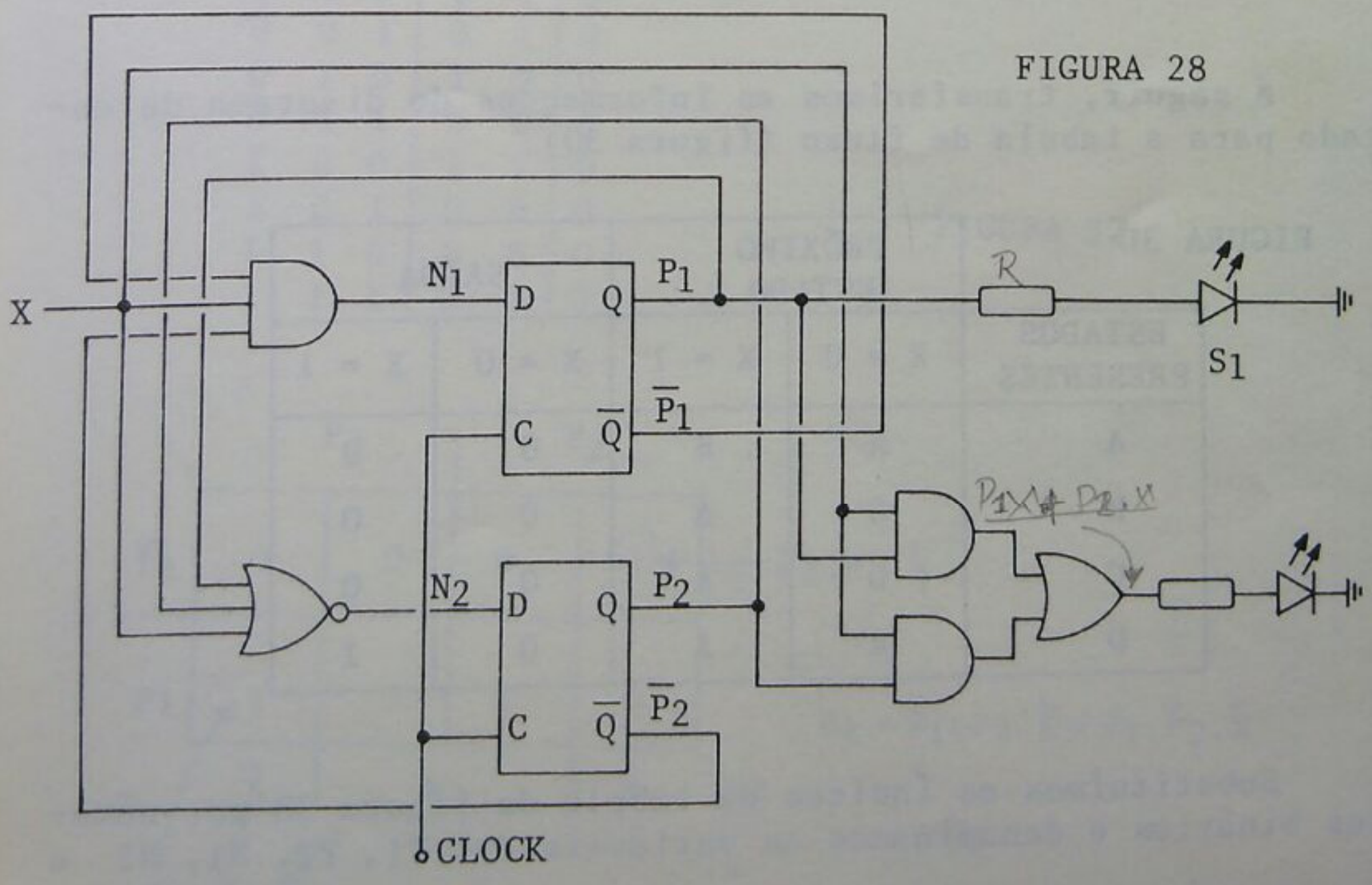


FIGURA 28

Terceiro exemplo:

Projetar um circuito seqüêncial que detecte o dado 1001 binário e gere um sinal positivo que ascenda um LED, quando esse for detectado.

Execução do projeto:

Inicialmente, desenvolvemos o diagrama de estado (figura 29).

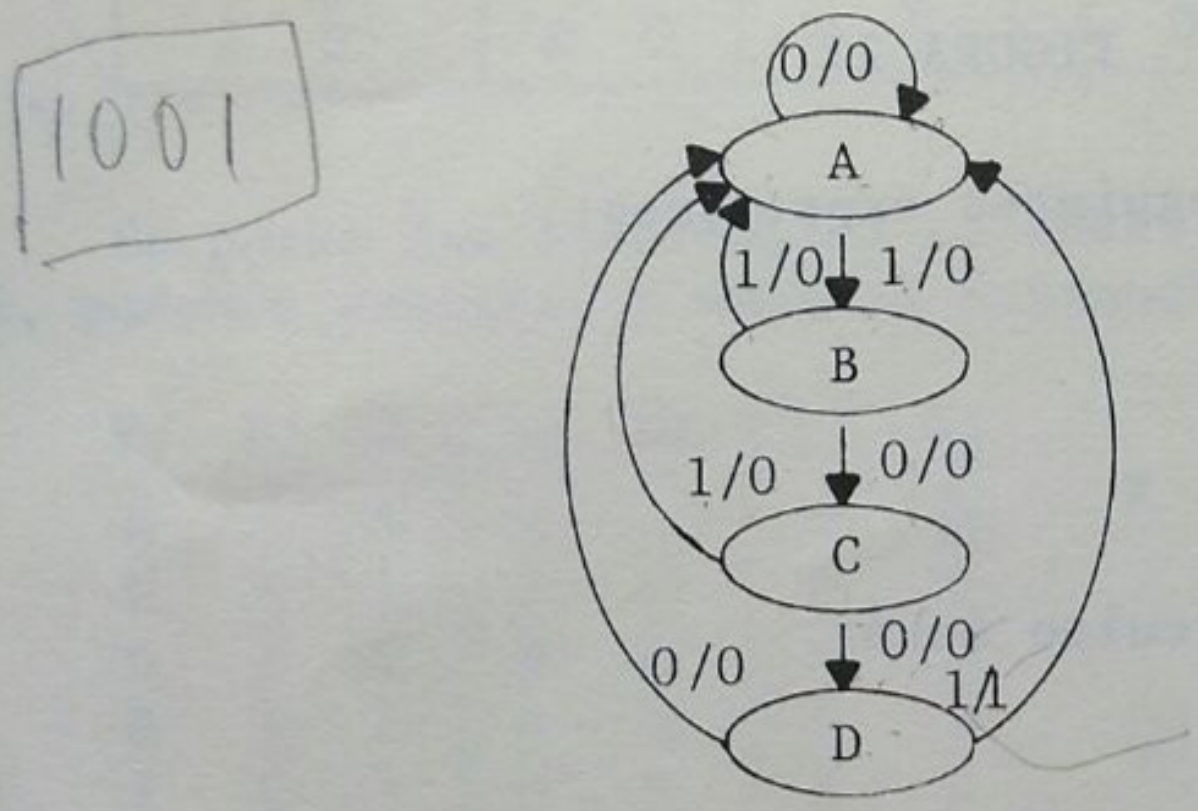


FIGURA 29

A seguir, transferimos as informações do diagrama de estado para a tabela de fluxo (figura 30).

FIGURA 30

ESTADOS PRESENTES	PRÓXIMO ESTADO		SAÍDA	
	X = 0	X = 1	X = 0	X = 1
A	A	B	0	0
B	C	A	0	0
C	D	A	0	0
D	A	A	0	1

Substituímos os índices da tabela da figura 30 por números binários e denominamos as variáveis de: P1, P2, N1, N2 e

Sì (figura 31).

FIGURA 31

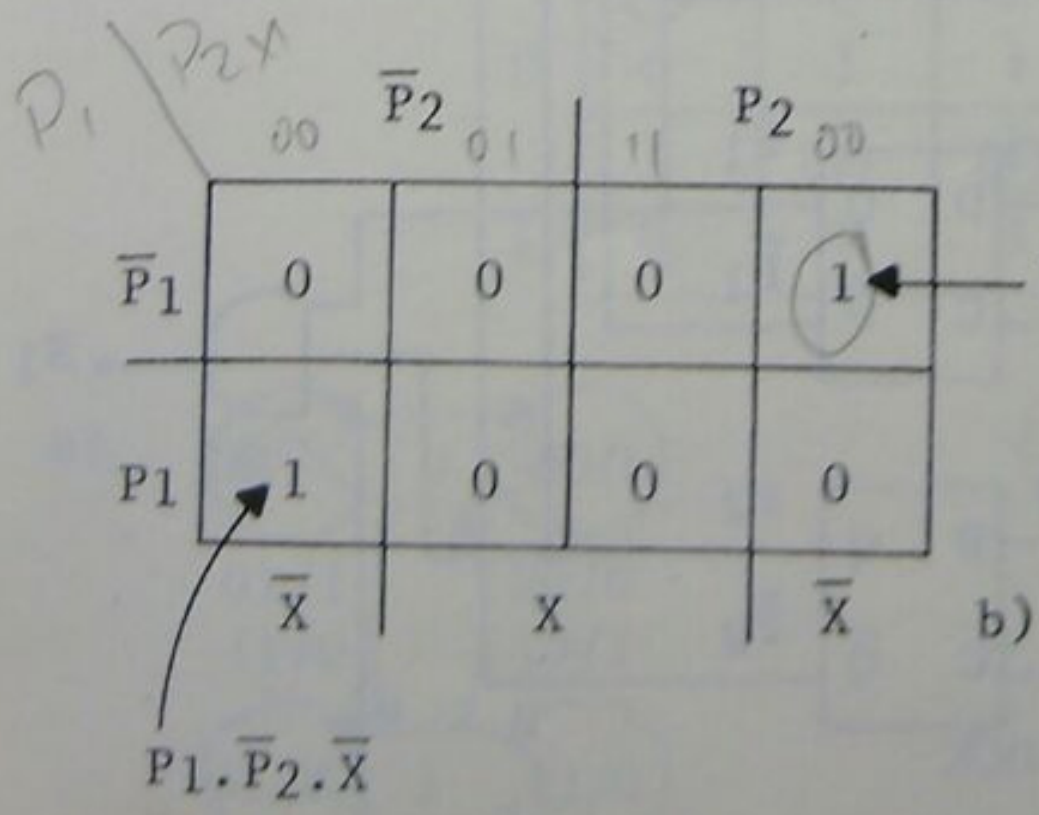
ESTADOS PRESENTES	PRÓXIMO ESTADO		SAÍDA	
	X = 0	X = 1	X = 0	X = 1
P1 P2	N1 N2	N1 N2	S1	S1
0 0	0 0	0 1	0	0
0 1	1 0	0 0	0	0
1 0	1 1	0 0	0	0
1 1	0 0	0 0	0	1

De posse das informações da tabela de fluxo da figura 31, podemos executar o mapa de Karnaugh (figura 32).

P1	P2	X	N1	N2	S1
0	0	0	0	0	0
0	0	1	0	1	0
0	1	0	1	0	0
0	1	1	0	0	0
1	0	0	1	1	0
1	0	1	0	0	0
1	1	0	0	0	0
1	1	1	0	0	0

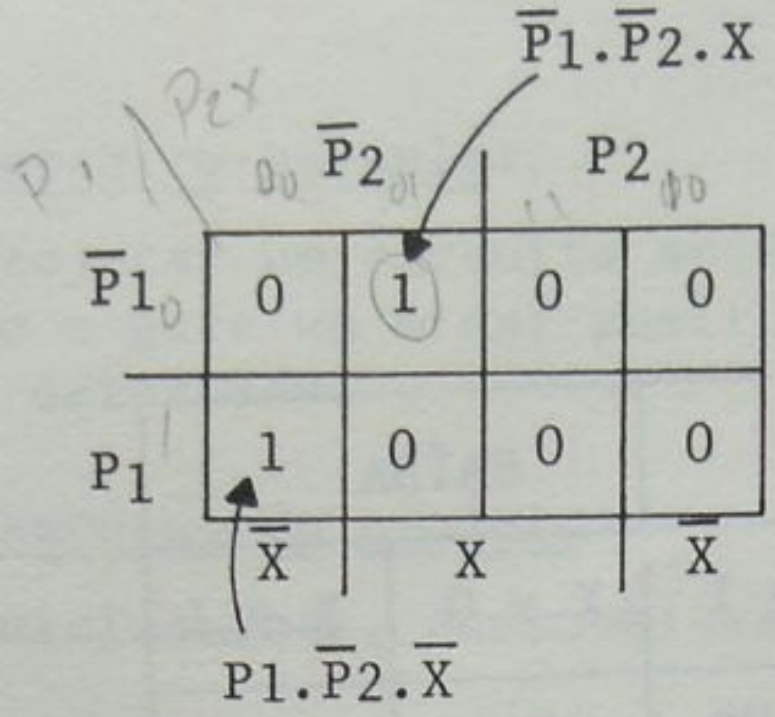
FIGURA 32

a)



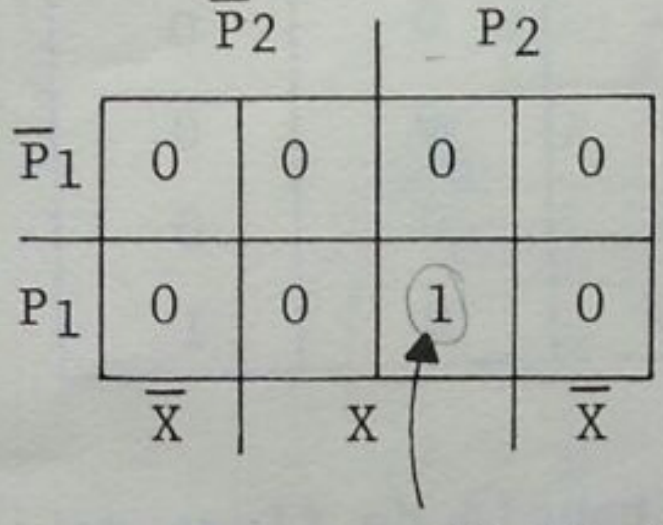
b)

$$N1 = \overline{P}_1.P2.\overline{X} + P1.\overline{P}_2.\overline{X}$$



$N2 = \overline{P}1.\overline{P}2.X + P1.\overline{P}2.\overline{X}$

c)



$S_1 = P1.P2.X$

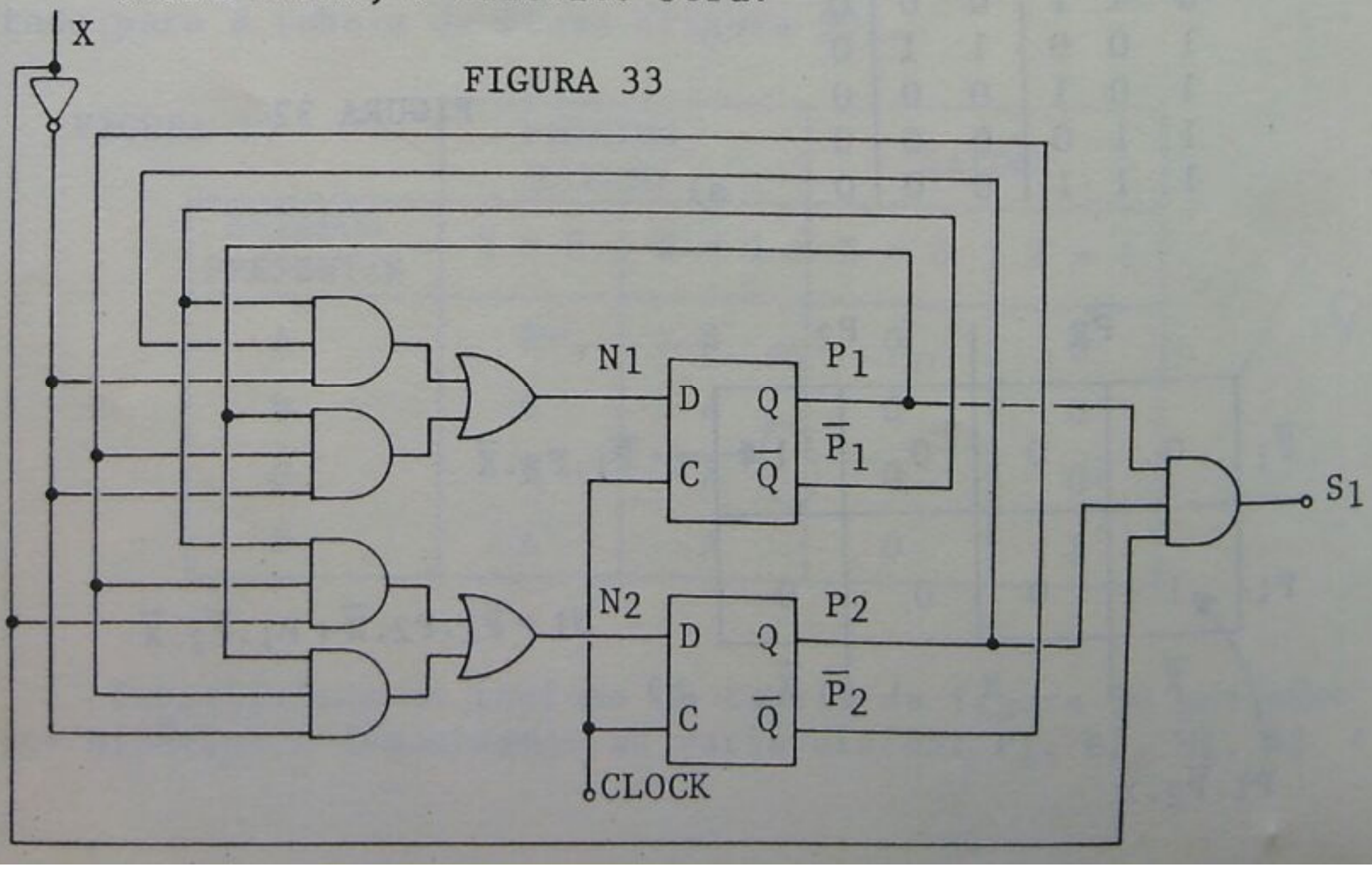
d)

Assim, temos as seguintes expressões:

$N1 = \overline{P}1 . \overline{P}2 . \overline{X} + P1 . \overline{P}2 . \overline{X}$
$N2 = \overline{P}1 . \overline{P}2 . X + P1 . \overline{P}2 . \overline{X}$
$S1 = P1 . P2 . X$

Dessa forma, o circuito será:

FIGURA 33



CEDM
CURSOS DE APERFEIÇOAMENTO

CURSO DE ELETRÔNICA DIGITAL E MICROPROCESSADORES

CAIXA POSTAL 1642 - CEP 86100 - LONDRINA - PARANÁ

EXAME DA LIÇÃO ED-25

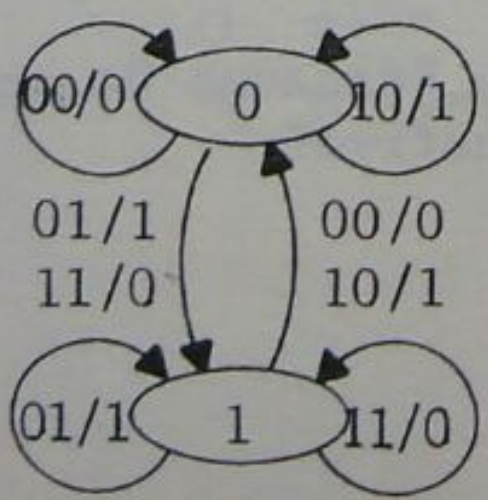
OBSERVAÇÃO

- cada questão é composta de três ou quatro alternativas.
- só uma delas está correta.
- marque a que considerar correta.
- passe as respostas corretas para a folha de exame.

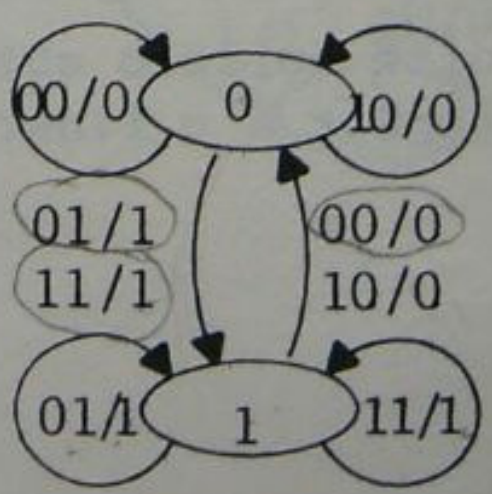
1) Fazer o diagrama de estado a partir da tabela de fluxo ilustrada abaixo:

f \ BC	00	01	11	10
0	① 0	1	1	② 0
1	0	③ 1	④ 1	0

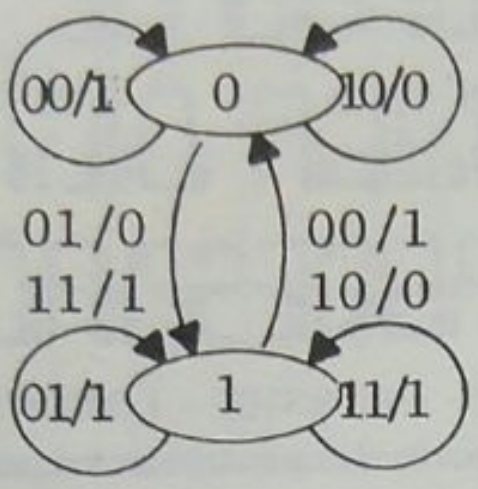
a)



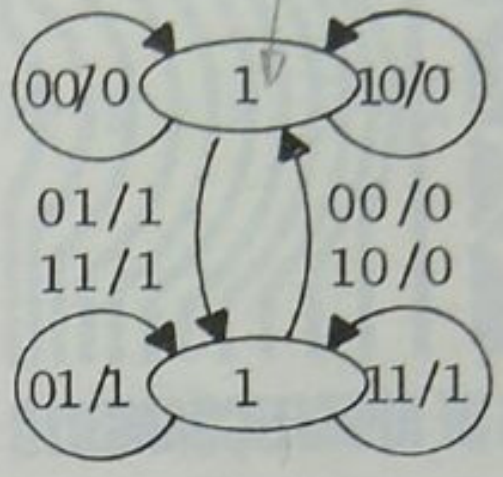
b)



c)



d)



2) Executar o mapa de Karnaugh do diagrama de estado da questão anterior:

a)

	$\overline{B}$		B	
$\overline{f}$	0	1	1	0
f	0	1	1	0
	$\overline{C}$	C		$\overline{C}$

b)

	$\overline{f}$		f	
$\overline{B}$	0	1	1	0
B	0	1	1	0
	$\overline{C}$	C		$\overline{C}$

Esta também está certa (apenas com posição invertida)

c)

	$\overline{B}$		B	
$\overline{f}$	0	1	0	1
f	0	1	0	1
	$\overline{C}$	C		$\overline{C}$

d) N.R.A.

f e B

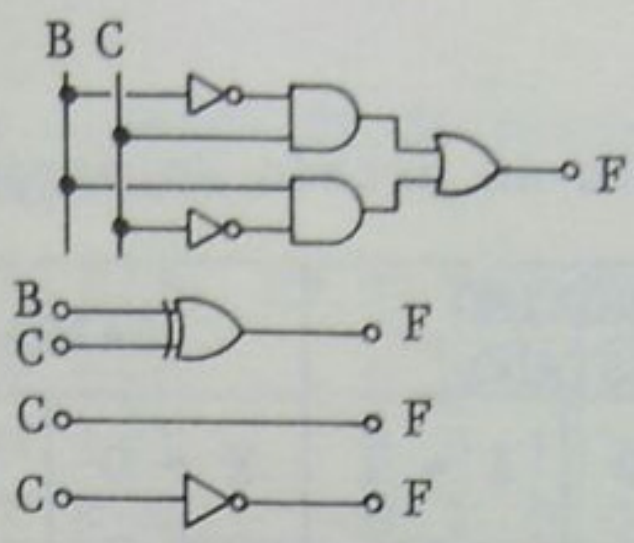
3) O circuito correto obtido pelo mapa de Karnaugh da questão anterior é o ilustrado pela alternativa?

a) $F = \overline{B}.C + B.\overline{C}$

b) $F = B \oplus C$

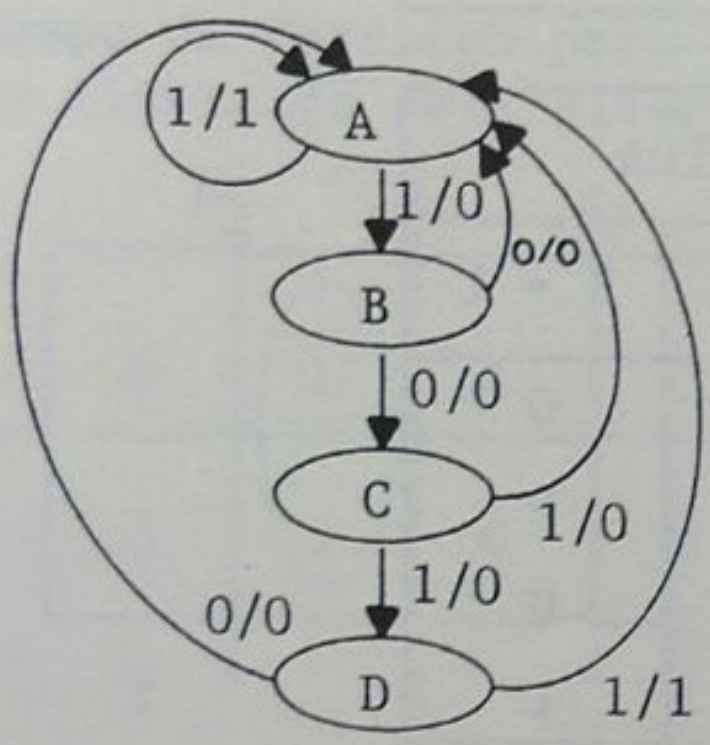
c) $F = C$

d) $F = \overline{C}$

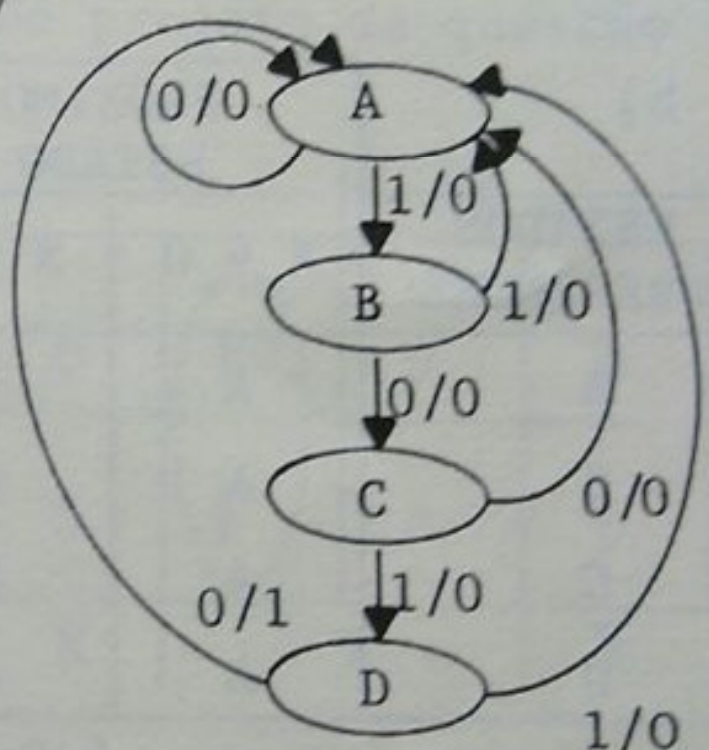


4) Projetar um circuito seqüêncial que detecte a ocorreência de um dado de quatro bits, na seguinte ordem 1010. Nessa questão, desenvolver o diagrama de estado:

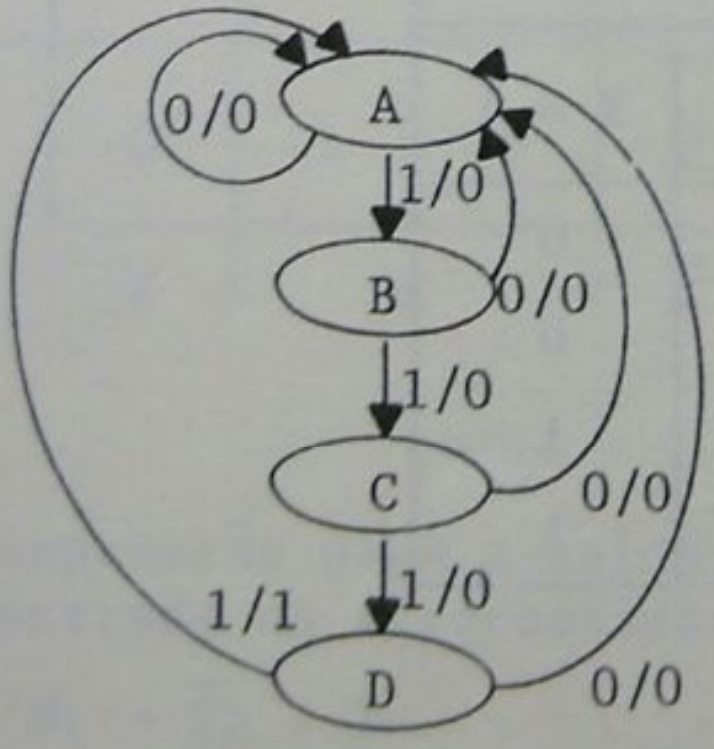
a)



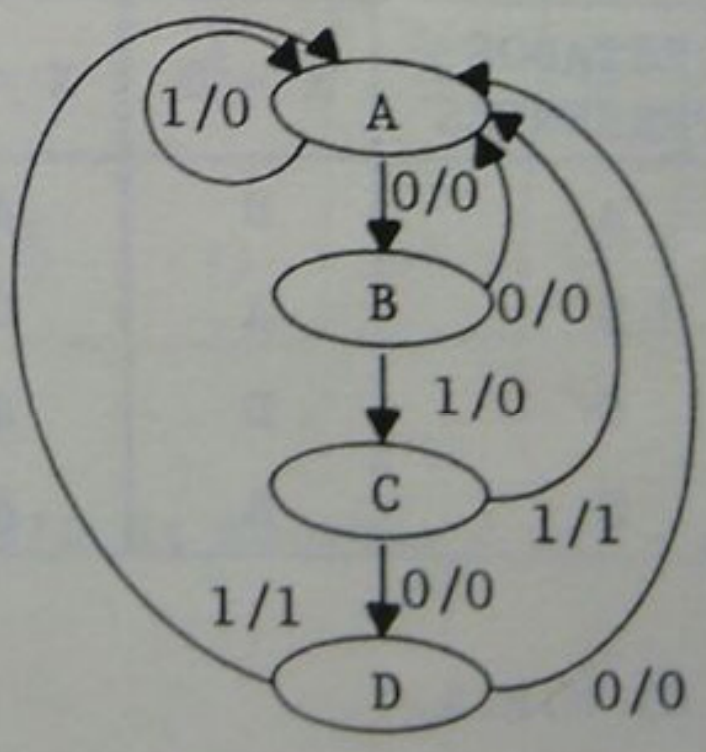
b)



c)



d)



5) Executar a tabela de estado do projeto da questão 4:

a)

ESTADOS PRESENTES	PRÓXIMO ESTADO		SAÍDA	
	X = 0	X = 1	X = 0	X = 1
A	A	B	0	0
B	C	A	0	0
C	A	D	0	0
D	A	A	1	0

b)

ESTADOS PRESENTES	PRÓXIMO ESTADO		SAÍDA	
	X = 0	X = 1	X = 0	X = 1
A	A	B	0	0
B	A	C	0	0
C	A	D	0	0
D	A	A	0	1

c)

ESTADOS PRESENTES	PRÓXIMO ESTADO		SAÍDA	
	X = 0	X = 1	X = 0	X = 1
A	B	A	0	0
B	A	C	0	0
C	D	A	0	1
D	A	A	0	1

d) N.R.A.

6) A tabela verdade para a saída N_1 do projeto da questão 4 é a ilustrada na alternativa:

a)

P_1	P_2	X	N_1
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

b)

P_1	P_2	X	N_1
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	0

c)

P_1	P_2	X	N_1
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	0

d)

P_1	P_2	X	N_1
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	0

7) O mapa de Carnaugh para a saída N_2 do projeto da questão 4 é o ilustrado pela alternativa:

a)

	$\overline{P_2}$		P_2	
$\overline{P_1}$	0	1	0	0
P_1	0	1	0	0
	$\overline{X}$	X		$\overline{X}$

b)

	$\overline{P_1}$		P_1	
$\overline{P_2}$	0	1	0	0
P_2	0	1	0	0
	$\overline{X}$	X		$\overline{X}$

c)

	$\overline{P_2}$		P_2	
$\overline{P_1}$	0	0	0	1
P_1	0	1	0	0
	$\overline{X}$	X		$\overline{X}$

d) N.R.A.

	$\overline{P_1}$		P_1	
$\overline{P_2}$	0	1	0	0
P_2	1	0	0	0
	$\overline{X}$	X		$\overline{X}$

8) A expressão para a saída N_1 do projeto da questão 4 é a ilustrada na alternativa:

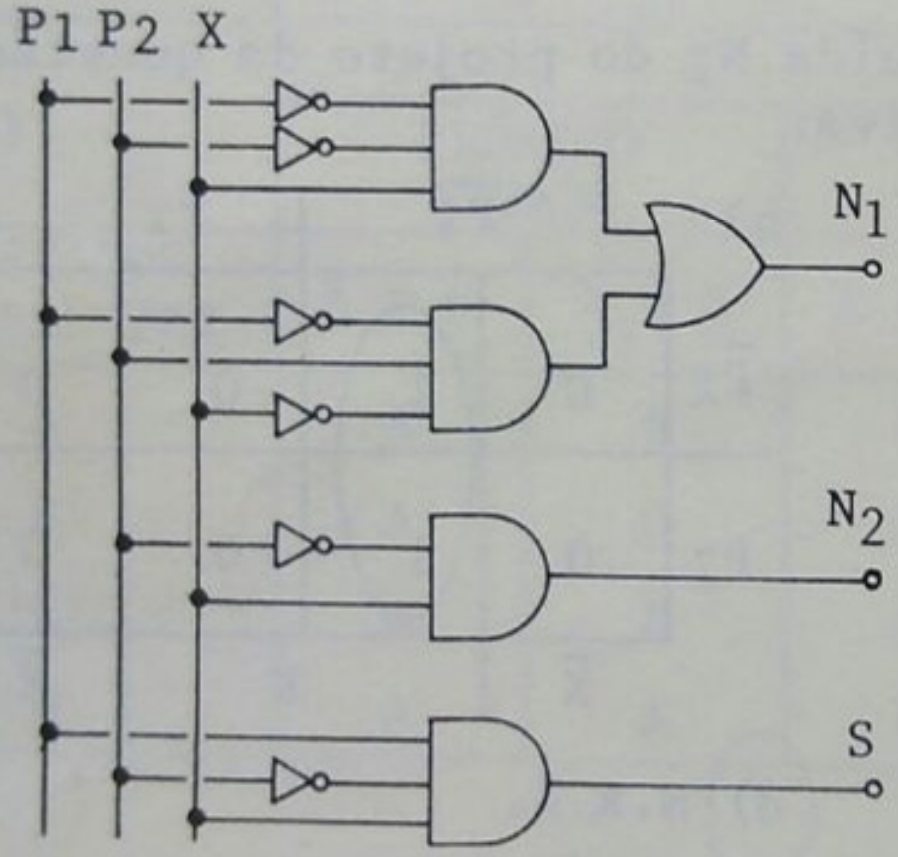
a) $N_1 = \overline{P_2} \cdot \overline{X}$
b) $N_1 = \overline{P_1} \cdot \overline{P_2} \cdot \overline{X} + \overline{P_1} \cdot P_2 \cdot \overline{X}$
c) $N_1 = \overline{P_1} \cdot P_2 \cdot \overline{X} + P_1 \cdot \overline{P_2} \cdot X$
d) $N_1 = \overline{P_2} \cdot \overline{X}$

9) A expressão para a saída S do projeto da questão 4 é a ilustrada na alternativa:

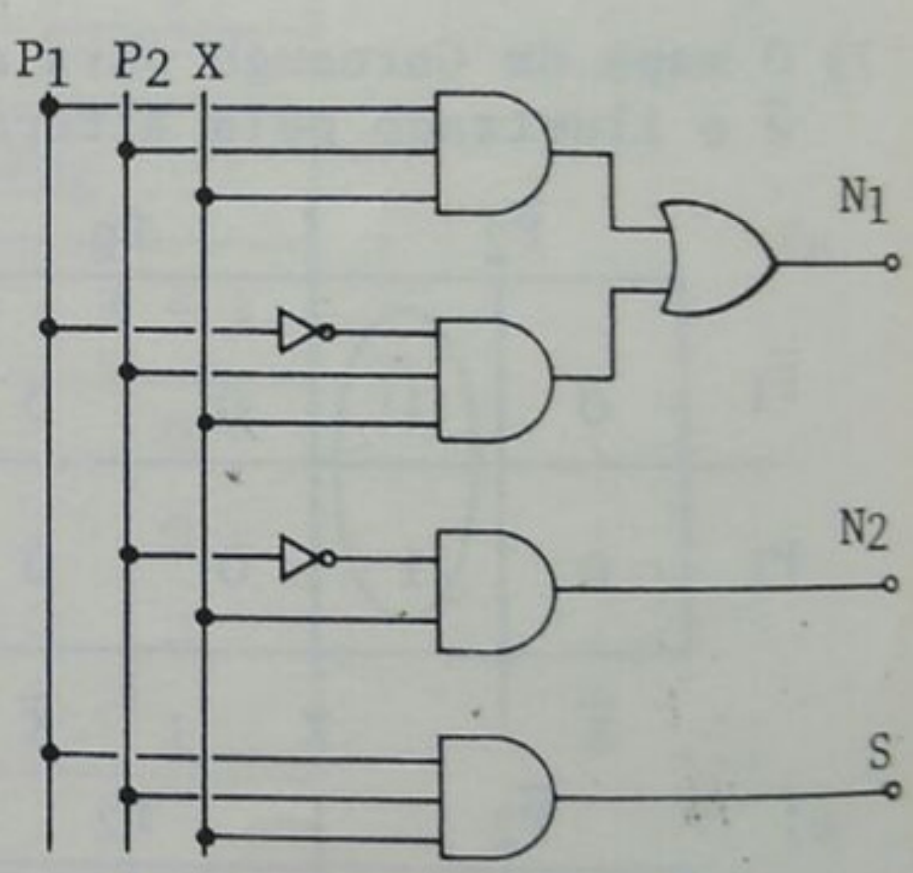
a) $S = \overline{P_1} \cdot P_2 \cdot \overline{X}$
b) $S = P_1 \cdot P_2 \cdot \overline{X}$
c) $S = \overline{P_1} \cdot \overline{P_2} \cdot \overline{X}$
d) $S = P_1 \cdot \overline{P_2} \cdot X$

10) O circuito do projeto da questão 4 é o ilustrado na alternativa:

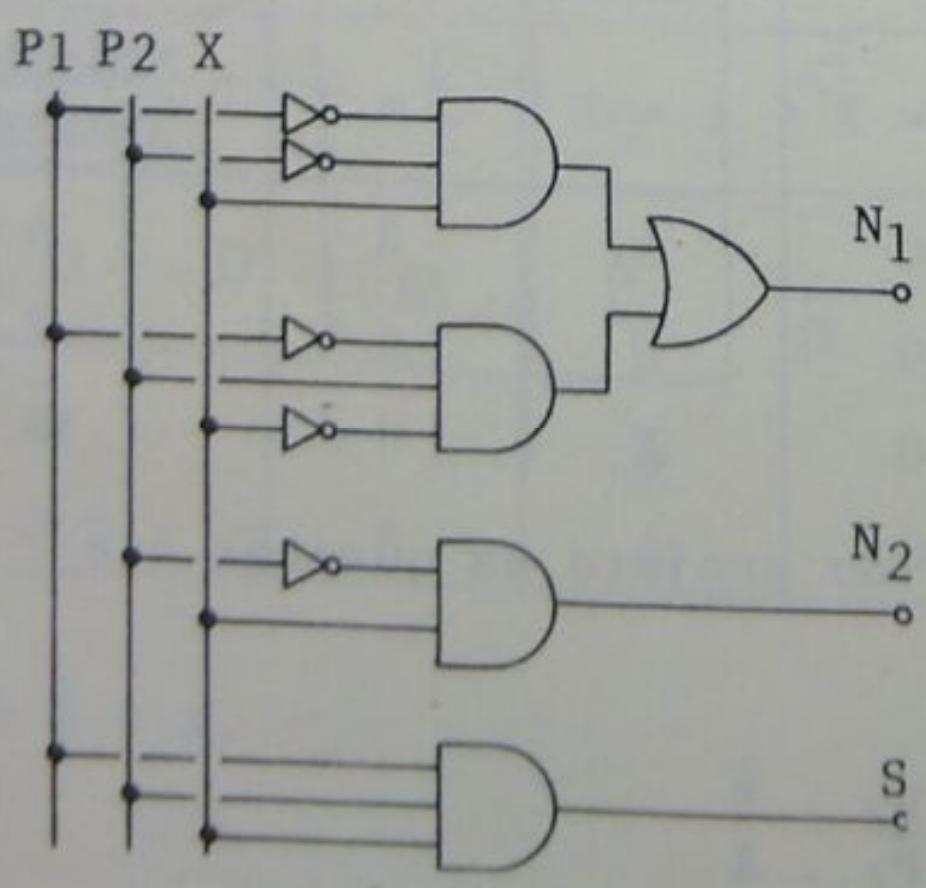
a)



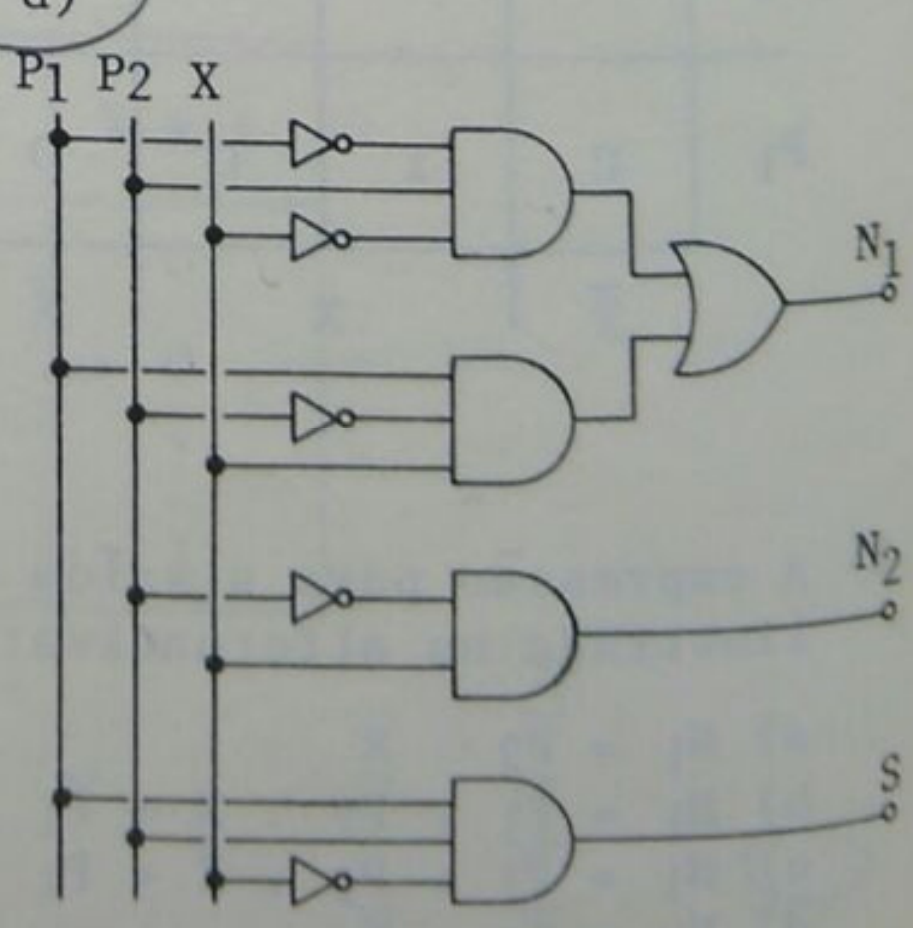
b)



c)



d)



CEDM
CURSOS DE APERFEIÇOAMENTO

CURSO DE
ELETRÔNICA DIGITAL E
MICROPROCESSADORES

CAIXA POSTAL 1642 - CEP 86100 - LONDRINA - PARANÁ

LIÇÃO ED-26

PROJETOS DE CIRCUITOS SEQUÊNCIAIS IV

INTRODUÇÃO

Esta apostila é a última de uma série que trata sobre projeto de circuitos seqüenciais. Aqui iremos descrever uma série de projetos práticos tais como: contadores, registradores de deslocamentos etc.

PROJETOS DE CONTADORES BINÁRIOS SÍNCRONOS

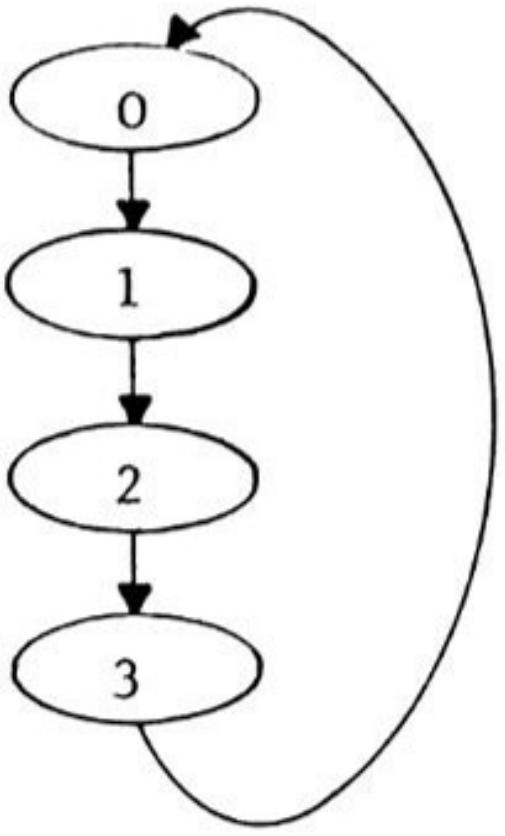
Os contadores binários síncronos são desenvolvidos pelas técnicas de circuitos sequenciais pulsados. O projeto destes contadores são desenvolvidos utilizando-se diagrama de estado, tabela de fluxo e mapa de Karnaugh.

Vamos desenvolver um projeto de um contador binário síncrono. Inicialmente desenvolveremos o diagrama de estado; por exemplo, se tomarmos dois flip-flops teremos um diagrama de estado com $2^2 = 4$, ou seja, com 4 estados distintos.

A figura 1A ilustra o diagrama de estado para um contador síncrono utilizando dois flip-flops. A figura 1B ilustra a tabela de fluxo deste contador.

ESTADOS PRESENTES			PRÓXIMO ESTADO		
Est.	P_1	P_2	Est.	N_1	N_2
0	0	0	1	0	1
1	0	1	2	1	0
2	1	0	3	1	1
3	1	1	0	0	0

b)



a)

FIGURA 1

CONTADOR BINÁRIO SÍNCRONO COM FLIP-FLOPS RS

Se utilizarmos flip-flops tipo R-S deveremos proceder a uma transferência na tabela da figura 1B de acordo com a tabela apresentada na figura 2.

TRANSIÇÃO	SAÍDA
Qn → Qn+1	S R
0 → 0	0 d
0 → 1	1 0
1 → 0	0 1
1 → 1	d 0

a)

FIGURA 2

ESTADOS PRESENTES			PRÓXIMO ESTADO		SAÍDAS			
Est.	P_1	P_2	Est.	N_1	N_2	Sn_1	Sn_2	Rn_1	Rn_2
0	0	0	1	0	1	0	1	d	0
1	0	1	2	1	0	1	0	0	1
2	1	0	3	1	1	d	1	0	0
3	1	1	0	0	0	0	0	1	1

b)

Obs. d = termo irrelevante

A figura 2A ilustra a tabela de transição de um flip-flop R-S. A figura 2B ilustra a tabela de fluxo compilada da figura 1B e acrescida das transições do flip-flop R-S. Pois quando:

$P_1 \rightarrow N_1$	Sn_1	Rn_1
0 → 0	0	d
0 → 1	1	0
1 → 1	d	0
1 → 0	0	1

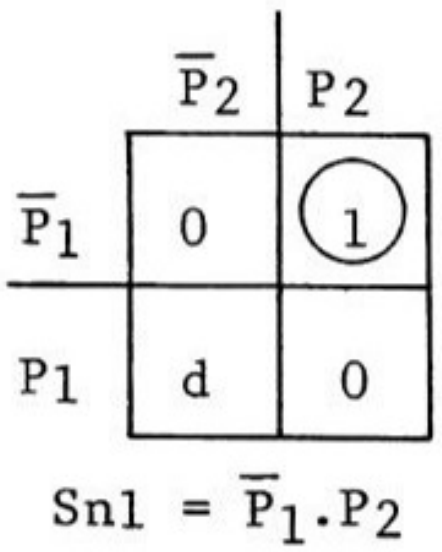
$P_2 \rightarrow N_2$	Sn_2	Rn_2
0 → 1	1	0
1 → 0	0	1
0 → 1	1	0
1 → 0	0	1

FIGURA 3

As figuras 3A e 3B ilustram as tabelas de transições ocorridas para $P_1 \rightarrow N_1$ em função das saídas Sn_1 e Rn_1 e $P_2 \rightarrow N_2$ em função das saídas Sn_2 e Rn_2.

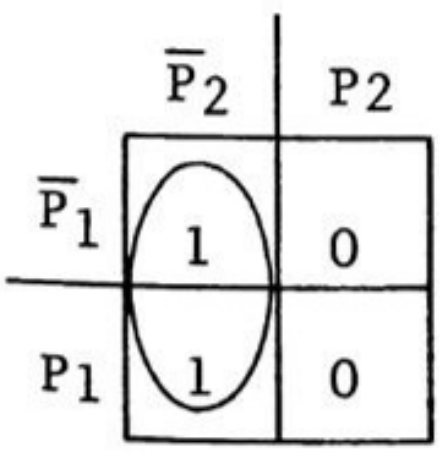
Assim poderemos aplicar os dados da tabela de fluxo da figura 2B no mapa de Karnaugh e obter o circuito:

P_1	P_2	Sn_1	Sn_2	Rn_1	Rn_2
0	0	0	1	d	0
0	1	1	0	0	1
1	0	d	1	0	0
1	1	0	0	1	1

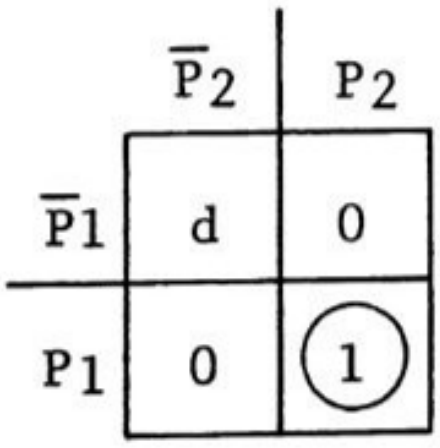


$Sn_1 = P_1.P_2$

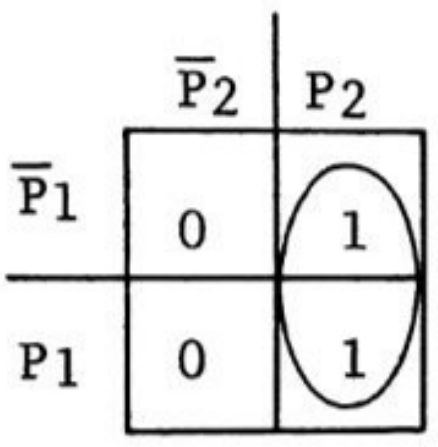
FIGURA 4



$Sn_2 = \overline{P}_2$

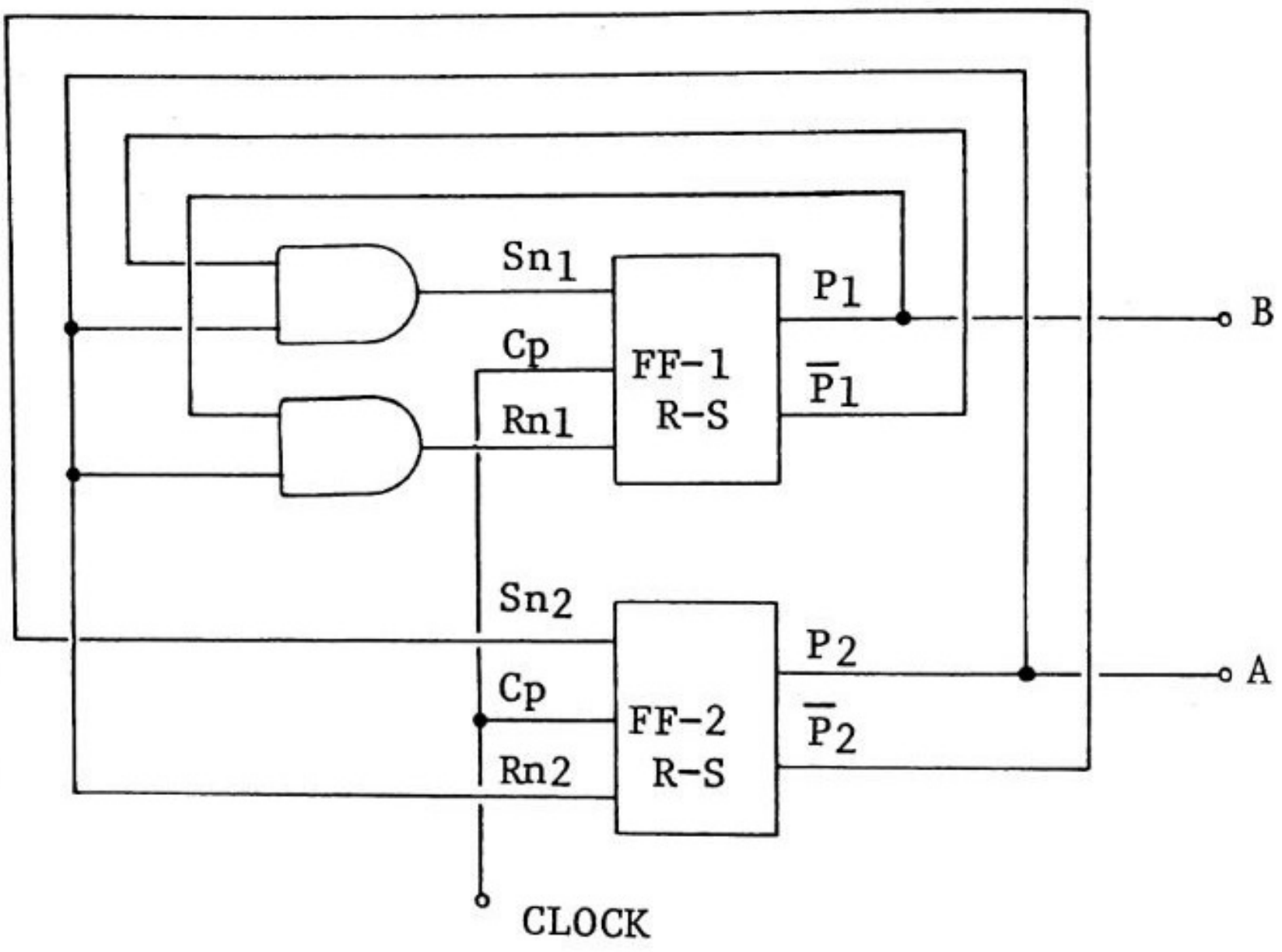


$Rn_1 = P_1.P_2$



$Rn_2 = P_2$

FIGURA 4



A figura 4 ilustra o mapa de Karnaugh bem como o circuito utilizando flip-flop R-S.

CONTADOR BINÁRIO SÍNCRONO COM FLIP-FLOP D

Se utilizarmos flip-flop tipo D deveremos proceder uma transferência na tabela da figura 1B de acordo com a tabela apresentada na figura 5.

TRANSIÇÃO	SAÍDA
Qn → Qn+1	D
0 → 0	0
0 → 1	1
1 → 0	0
1 → 1	1

a)

FIGURA 5

b)

ESTADOS PRESENTES		PRÓXIMO ESTADO		SAÍDAS	
Est.	P_1 P_2	Est.	N_1 N_2	Dn1	Dn2
0	0 0	1	0 1	0	1
1	0 1	2	1 0	1	0
2	1 0	3	1 1	1	1
3	1 1	0	0 0	0	0

A figura 5A ilustra a tabela de transição de um flip-flop tipo D. A figura 5B ilustra a tabela de fluxo transcrita da figura 1B e acrescida das transições do flip-flop D. Pois quando:

P_1 → N1	Dn1
0 → 0	0
0 → 1	1
1 → 1	1
1 → 0	0

P_2 → N2	Dn2
0 1	1
1 0	0
0 1	1
1 0	0

FIGURA 6

Obs.: A transferência nesse tipo de flip-flop é inútil, pois sempre teremos os mesmos dados da saída N.

Aplicando os dados da tabela de fluxo da figura 5B no mapa de Karnaugh obteremos o circuito:

P_1	P_2	Dn_1	Dn_2
0	0	0	1
0	1	1	0
1	0	1	1
1	1	0	0

	$\overline{P}2$	P2
$\overline{P}1$	0	1
$\overline{P}1$	1	0

$Dn1 = \overline{P}1.\overline{P}2+\overline{P}1.P2$

	$\overline{P}2$	P2
$\overline{P}1$	1	0
P1	1	0

$Dn2 = \overline{P}2$

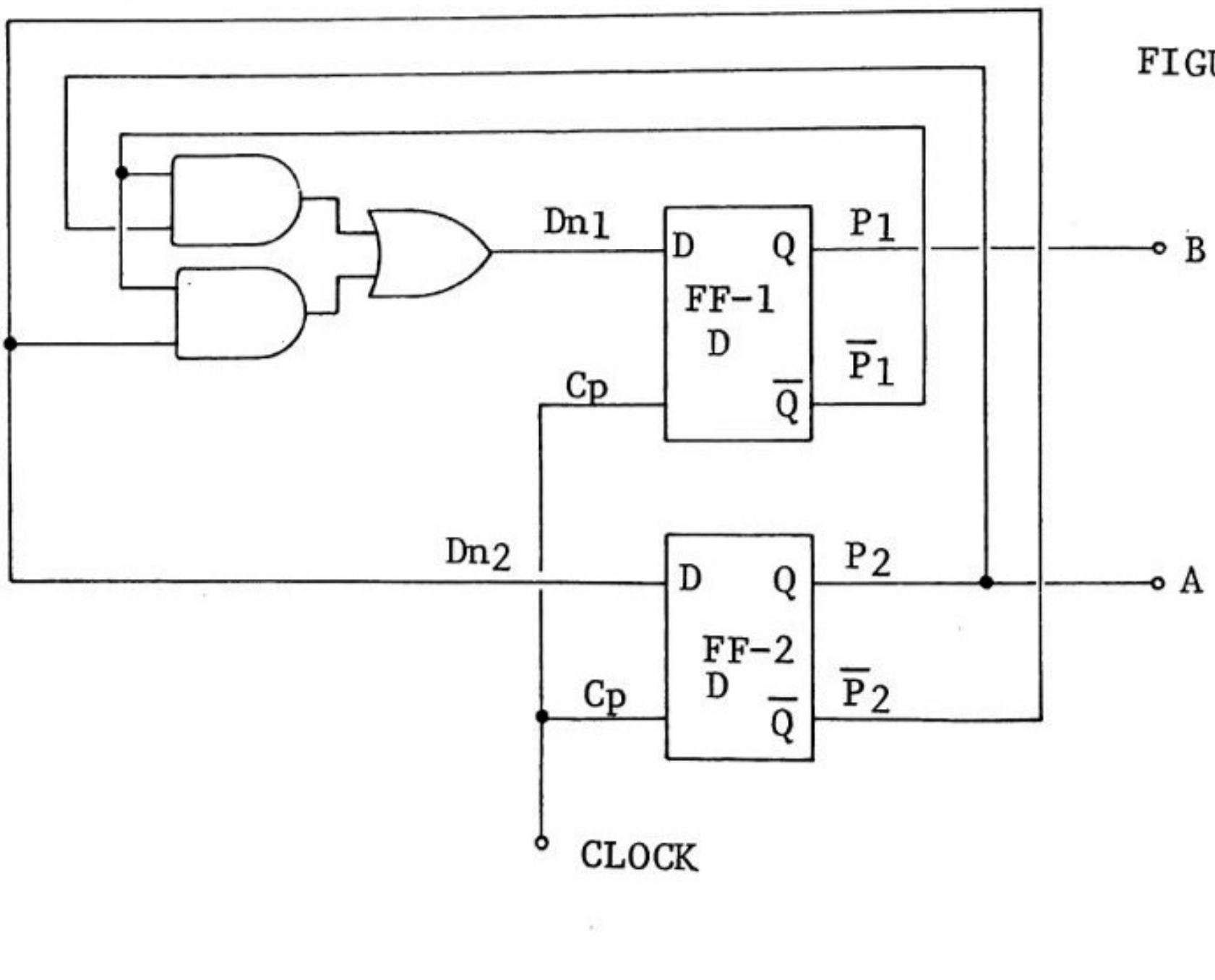


FIGURA 7

A figura 7 ilustra o mapa de Karnaugh bem como o circuito utilizando flip-flop D.

CONTADOR BINÁRIO SÍNCRONO COM FLIP-FLOP T

Utilizando flip-flop tipo T deveremos proceder a uma transferência na tabela da figura 1B de acordo com a tabela de transição apresentada na figura 8.

TRANSIÇÃO	SAÍDA
Qn → Qn + 1	T
0 → 0	0
0 → 1	1
1 → 0	1
1 → 1	0

a)

ESTADOS PRESENTES		PRÓXIMO ESTADO		SAÍDAS	
Est.	P_1 P_2	Est.	N_1 N_2	Tn_1	Tn_2
0	0 0	1	0 1	0	1
1	0 1	2	1 0	1	1
2	1 0	3	1 1	0	1
3	1 1	0	0 0	1	1

b)

FIGURA 8

A figura 8A ilustra a tabela de transição de um flip-flop T. A figura 8B ilustra a tabela de fluxo transcrita da figura 1B e acrescida das transições do flip-flop T.

P_1 → N_1	Tn_1
0 → 0	0
0 → 1	1
1 → 1	0
1 → 0	1

P_2 → N_2	Tn_2
0 → 1	1
1 → 0	1
0 → 1	1
1 → 0	1

FIGURA 9

Aplicando os dados da tabela de fluxo da figura 8B no mapa de Karnaugh obteremos o circuito:

P_1	P_2	Tn_1	Tn_2
0	0	0	1
0	1	1	1
1	0	0	1
1	1	1	1

P_1 \ P_2	$\overline{P}_2$	P_2
$\overline{P}_1$	0	1
P_1	0	1

$Tn_1 = P2$

P_1 \ P_2	$\overline{P}_2$	P_2
$\overline{P}_1$	1	1
P_1	1	1

$Tn_2 = +Vcc$

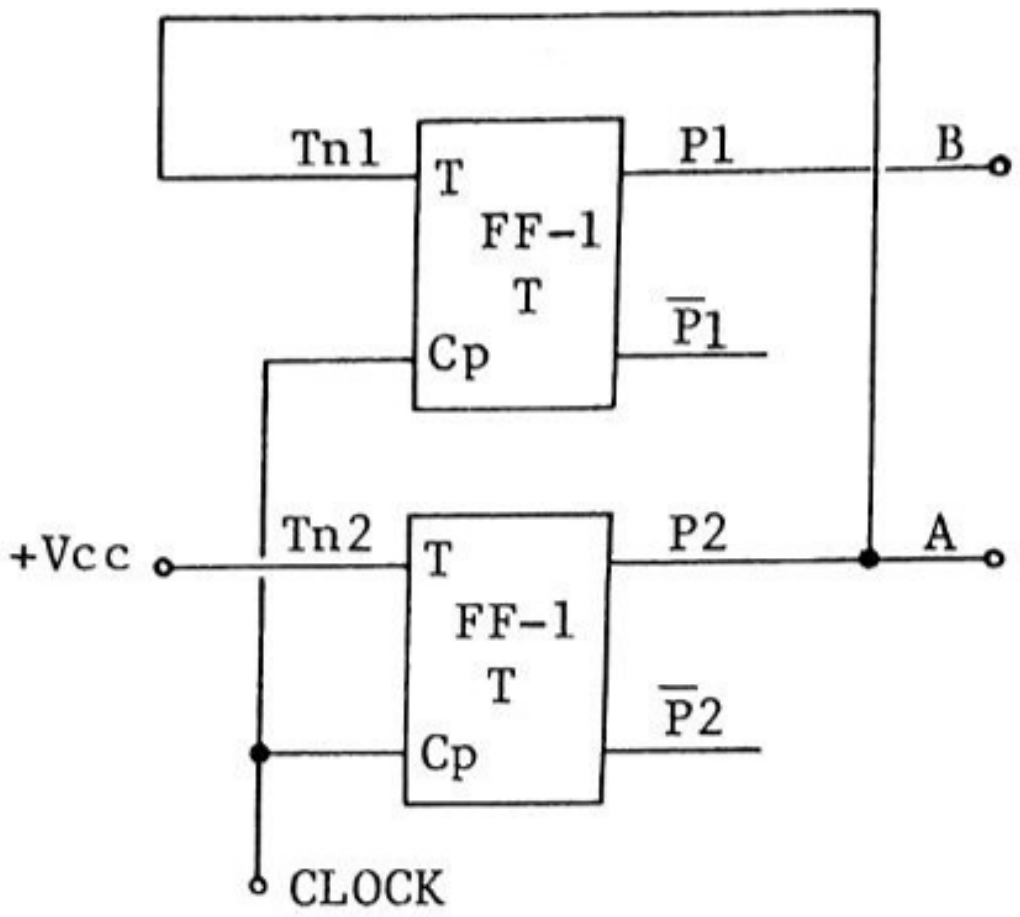


FIGURA 10

Obs.: O sinal + Vcc pode ser obtido no circuito TTL deixando este terminal em aberto (desconectado).

A figura 10 ilustra o mapa de Karnaugh bem como o circuito utilizando flip-flop T.

CONTADOR BINÁRIO SÍNCRONO COM FLIP-FLOP J-K

Utilizando flip-flop tipo J-K deveremos proceder a uma transferência na tabela da figura 1B de acordo com a tabela de transição apresentada na figura 11.

a)

Qn	→	Qn + 1	J	K
0	→	0	0	d
0	→	1	1	d
1	→	0	d	1
1	→	1	d	0

FIGURA 11

ESTADOS PRESENTES		PRÓXIMO ESTADO		SAÍDAS			
Est.	P_1 P_2	Est.	N_1 N_2	Jn1	Jn2	Kn1	Kn2
0	0 0	1	0 1	0	1	d	d
1	0 1	2	1 0	0	d	d	1
2	1 0	3	1 1	d	1	0	d
3	1 1	0	0 0	d	d	1	1

b)

A figura 11A ilustra a tabela de transição de um flip-flop J-K. A figura 11B ilustra a tabela de fluxo transcrita - da figura 1B e acrescida das transições do flip-flop J-K,pois quando:

$P1 \rightarrow N1$	Jn_1
0 → 0	0
0 → 1	1
1 → 1	d
1 → 0	d

$P_1 \rightarrow N1$	Kn_1
0 → 0	d
0 → 1	d
1 → 1	0
1 → 0	1

FIGURA 12

$P_2 \rightarrow N_2$	Jn_2
0 → 1	1
1 → 0	d
0 → 1	1
1 → 0	d

$P2 \rightarrow N_2$	Kn_2
0 → 1	d
1 → 0	1
0 → 1	d
1 → 0	1

Obs.: d = termo irrelevante (tanto pode assumir valor 1 ou 0).

Aplicando os dados da tabela de fluxo da figura 11B no mapa de Karnaugh obteremos o circuito:

P1	P2	Jn1	Kn1	Jn2	Kn2
0	0	0	d	1	d
0	1	1	d	d	1
1	0	d	0	1	d
1	1	d	1	d	1

	$\overline{P}_2$	P_2
$\overline{P}_1$	0	1
P_1	d	d

$Jn1 = P_2$

	$\overline{P}_2$	P_2
$\overline{P}_1$	d	d
P_1	0	1

$Kn1 = P_2$

	$\overline{P}_2$	P_2
$\overline{P}_1$	1	d
P_1	1	d

$Jn2 = +Vcc$

	$\overline{P}_2$	P_2
$\overline{P}_1$	d	1
P_1	d	1

$Kn2 = +Vcc$

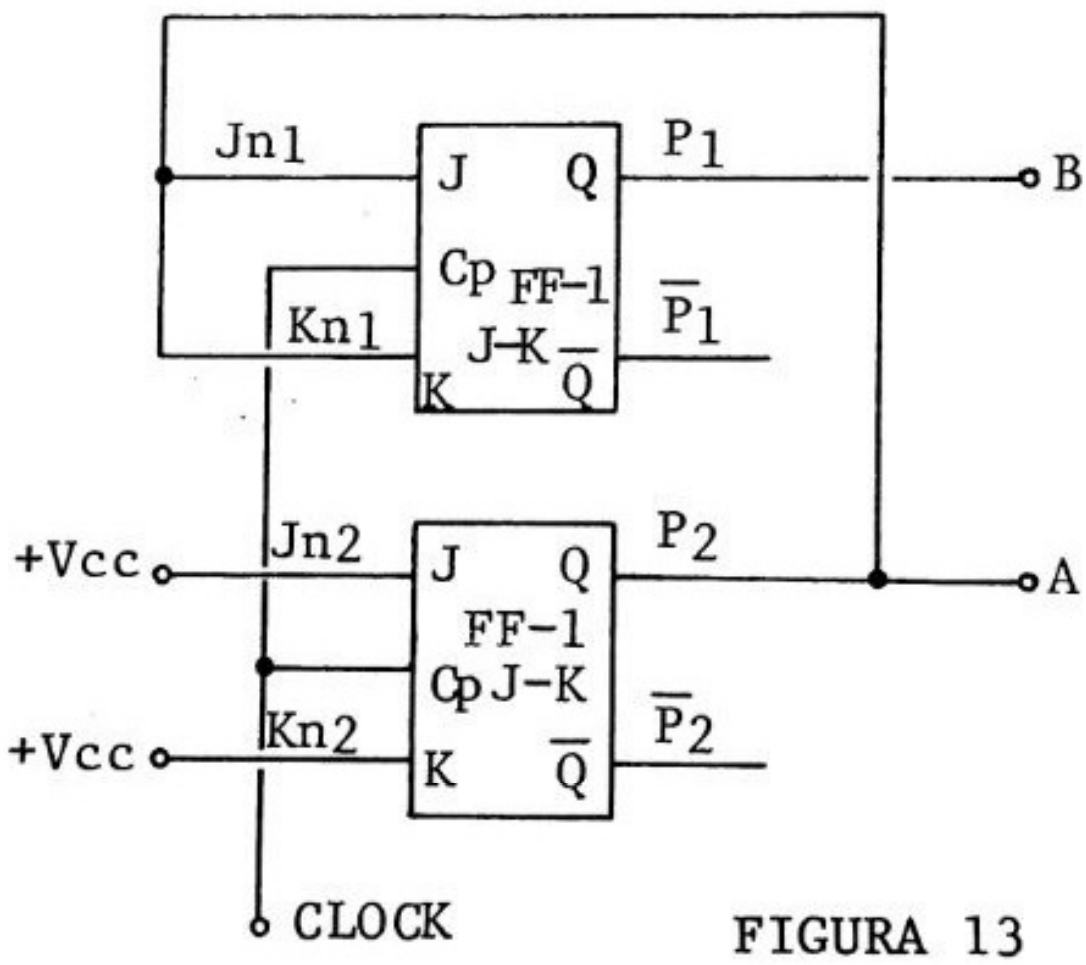


FIGURA 13

A figura 13 ilustra os mapas de Karnaugh bem como o circuito utilizando flip-flop J-K.

Analisando todos os projetos concluímos que são muito mais vantajosos os que utilizam flip-flop tipo T e J-K. Sendo o tipo J-K o mais vantajoso por oferecer maior simplicidade - no projeto e pela facilidade de se encontrar no comércio o referido circuito.

Este tipo de contador é o mais rápido pois todos os flip-flops recebem a informação de mudança de estado ao mesmo tempo. Como o máximo de atraso de propagação de um flip-flop é de 50 ns e de uma porta é de 20 ns, para os circuitos contadores projetados, temos:

CONTADOR BINÁRIO SÍNCRONO COM:	Nº DE PORTAS EM SÉRIE	TEMPO DE ATRASO	FREQÜÊNCIA MÁXIMA(MHz)
flip-flop R-S	1	20+50=70	14,3
flip-flop D	2	20+20+50=90	11
flip-flop T	0	50	20
flip-flop J-K	0	50	20

O cálculo da freqüência é dado pelo inverso do atraso. Assim para:

$Ta = 20 + 50 = 70 \text{ ns} = 70 \times 10^{-9}$ seg.

$F = 1/70x10^{-9} = 14,3$ MHz

CONTADORES BINÁRIOS SÍNCRONOS COM QUATRO ESTÁGIOS

Inicialmente desenvolveremos o diagrama de estado. Como o projeto vai utilizar quatro flip-flops teremos um diagrama de estado com $2^4 = 16$, ou seja, com 16 estados distintos.

a)

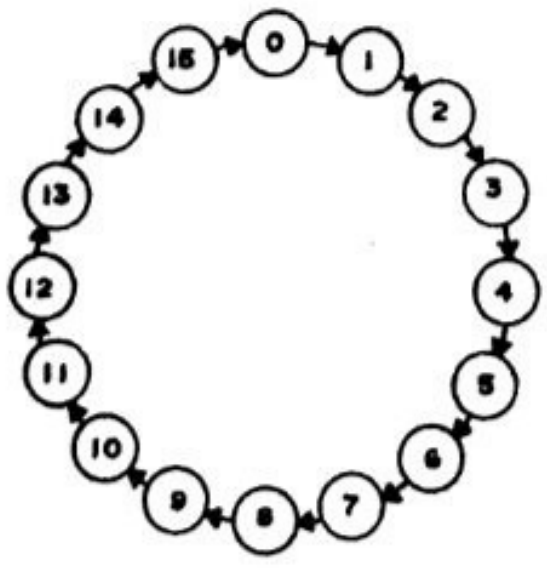


FIGURA 14

ESTADOS PRESENTES					PRÓXIMO ESTADO				
Est.	P_1	P_2	P_3	P_4	Est.	N_1	N_2	N_3	N_4
0	0	0	0	0	1	0	0	0	1
1	0	0	0	1	2	0	0	1	0
2	0	0	1	0	3	0	0	1	1
3	0	0	1	1	4	0	1	0	0
4	0	1	0	0	5	0	1	0	1
5	0	1	0	1	6	0	1	1	0
6	0	1	1	0	7	0	1	1	1
7	0	1	1	1	8	1	0	0	0
8	1	0	0	0	9	1	0	0	1
9	1	0	0	1	10	1	0	1	0
10	1	0	1	0	11	1	0	1	1
11	1	0	1	1	12	1	1	0	0
12	1	1	0	0	13	1	1	0	1
13	1	1	0	1	14	1	1	1	0
14	1	1	1	0	15	1	1	1	1
15	1	1	1	1	0	0	0	0	0

b)

A figura 14A ilustra o diagrama de estado para um contador síncrono utilizando quatro flip-flops. A figura 14B ilustra a tabela de fluxo deste contador.

CONTADOR BINÁRIO SÍNCRONO COM QUATRO ESTÁGIOS UTILIZANDO FLIP-FLOP T

Inicialmente deveremos proceder a uma transferência na tabela da figura 14B de acordo com a tabela de transição do flip-flop T apresentada na figura 15.

a)

TRANSIÇÃO	SAÍDA
Qn → Qn+1	T
0 → 0	0
0 → 1	1
1 → 0	1
1 → 1	0

FIGURA 15

ESTADOS PRESENTES					PRÓXIMO ESTADO					SAÍDAS			
Est.	P1	P2	P3	P4	Est.	N1	N2	N3	N4	Tn1	Tn2	Tn3	Tn4
0	0	0	0	0	1	0	0	0	1	0	0	0	1
1	0	0	0	1	2	0	0	1	0	0	0	1	1
2	0	0	1	0	3	0	0	1	1	0	0	0	1
3	0	0	1	1	4	0	1	0	0	0	1	1	1
4	0	1	0	0	5	0	1	0	1	0	0	0	1
5	0	1	0	1	6	0	1	1	0	0	0	1	1
6	0	1	1	0	7	0	1	1	1	0	0	0	1
7	0	1	1	1	8	1	0	0	0	1	1	1	1
8	1	0	0	0	9	1	0	0	1	0	0	0	1
9	1	0	0	1	10	1	0	1	0	0	0	1	1
10	1	0	1	0	11	1	0	1	1	0	0	0	1
11	1	0	1	1	12	1	1	0	0	0	1	1	1
12	1	1	0	0	13	1	1	0	1	0	0	0	1
13	1	1	0	1	14	1	1	1	0	0	0	1	1
14	1	1	1	0	15	1	1	1	1	0	0	0	1
15	1	1	1	1	0	0	0	0	0	1	1	1	1

b)

P1 → N1	Tn1
0 → 0	0
0 → 0	0
0 → 0	0
0 → 0	0
0 → 0	0
0 → 0	0
0 → 0	0
0 → 1	1
1 → 1	0
1 → 1	0
1 → 1	0
1 → 1	0
1 → 1	0
1 → 1	0
1 → 1	0
1 → 0	1

P2 → N2	Tn2
0 → 0	0
0 → 0	0
0 → 0	0
0 → 1	1
1 → 1	0
1 → 1	0
1 → 1	0
1 → 0	1
0 → 0	0
0 → 0	0
0 → 0	0
0 → 1	1
1 → 1	0
1 → 1	0
1 → 1	0
1 → 0	1

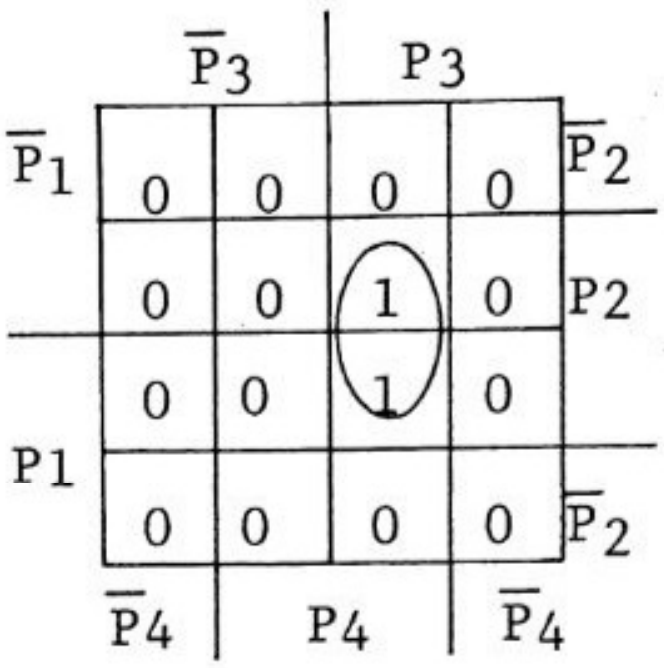
P3 → N3	Tn3
0 → 0	0
0 → 1	1
1 → 1	0
1 → 0	1
0 → 0	0
0 → 1	1
1 → 1	0
1 → 0	1
0 → 0	0
0 → 1	1
1 → 1	0
1 → 0	1
0 → 0	0
0 → 1	1
1 → 1	0
1 → 0	1

P4 → N4	Tn4
0 → 1	1
1 → 0	1
0 → 1	1
1 → 0	1
0 → 1	1
1 → 0	1
0 → 1	1
1 → 0	1
0 → 1	1
1 → 0	1
0 → 1	1
1 → 0	1
0 → 1	1
1 → 0	1
0 → 1	1
1 → 0	1

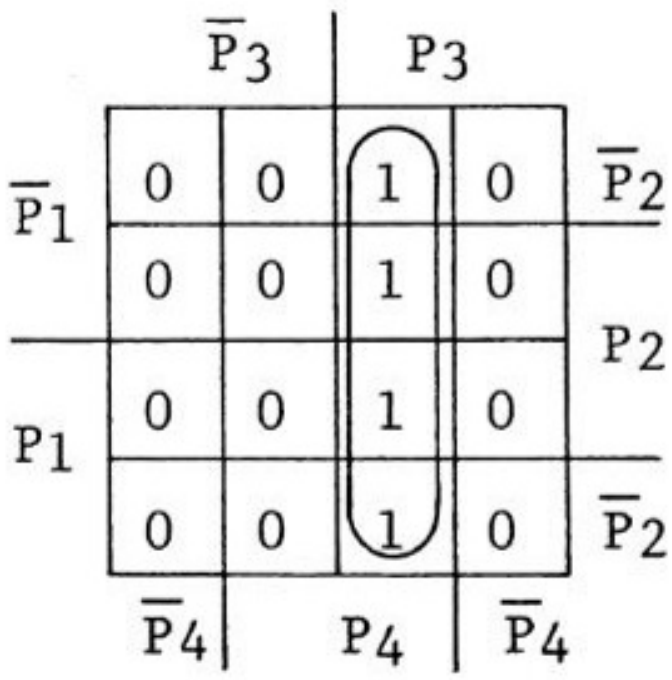
c)

As figuras 15A, 15B e 15C ilustram respectivamente: A tabela de transição do flip-flop T; a tabela de fluxo transcrita da figura 14B e acrescida das transições do flip-flop T; a tabela de transição em função dos estados presentes e próximo estado.

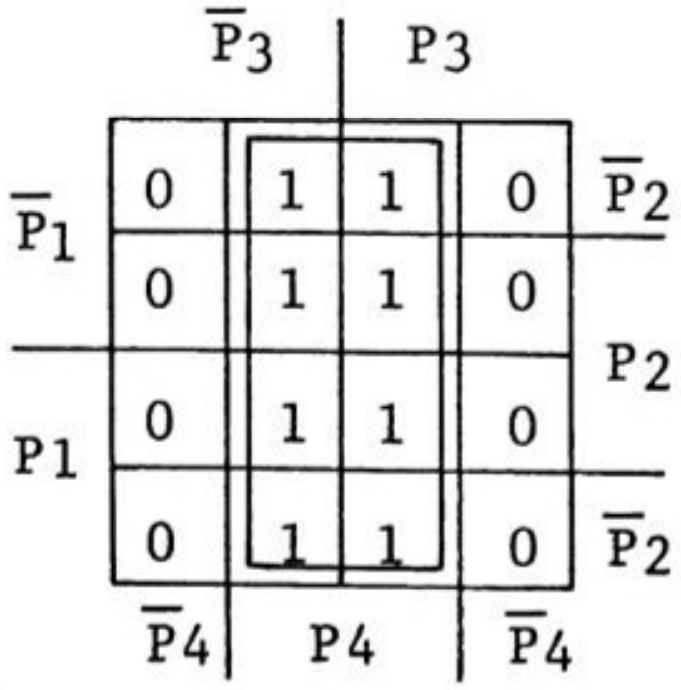
Aplicando os dados da tabela de fluxo da figura 15B no - mapa de Karnaugh obteremos o circuito:



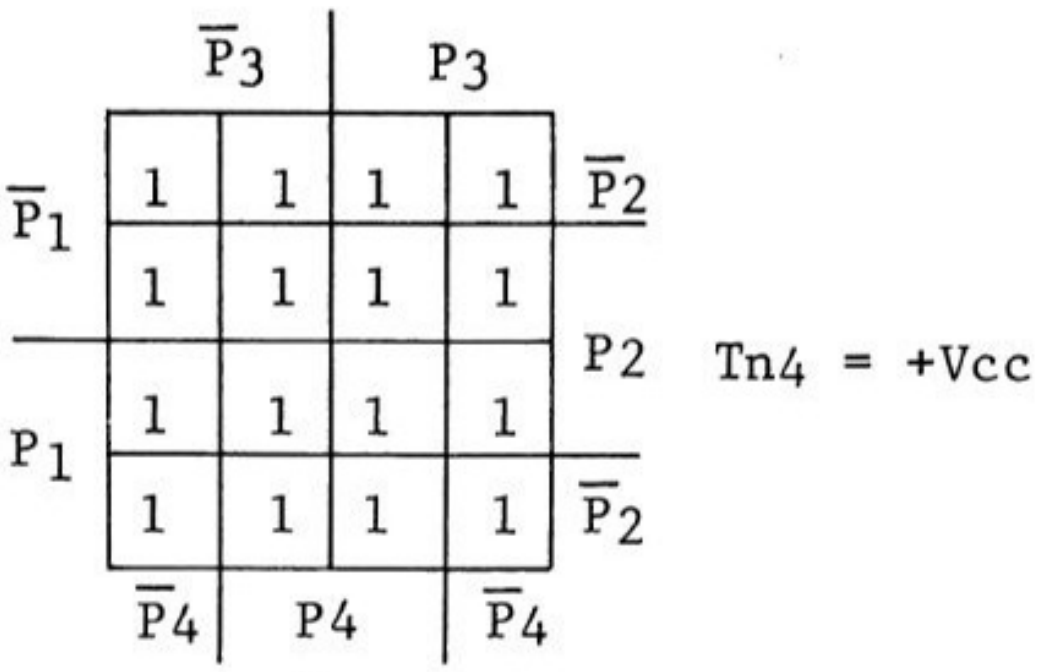
$Tn_1 = P_2 . P_3 . P_4$



$Tn_2 = P_3 . P_4$



$Tn_3 = P_4$



$Tn4 = +Vcc$

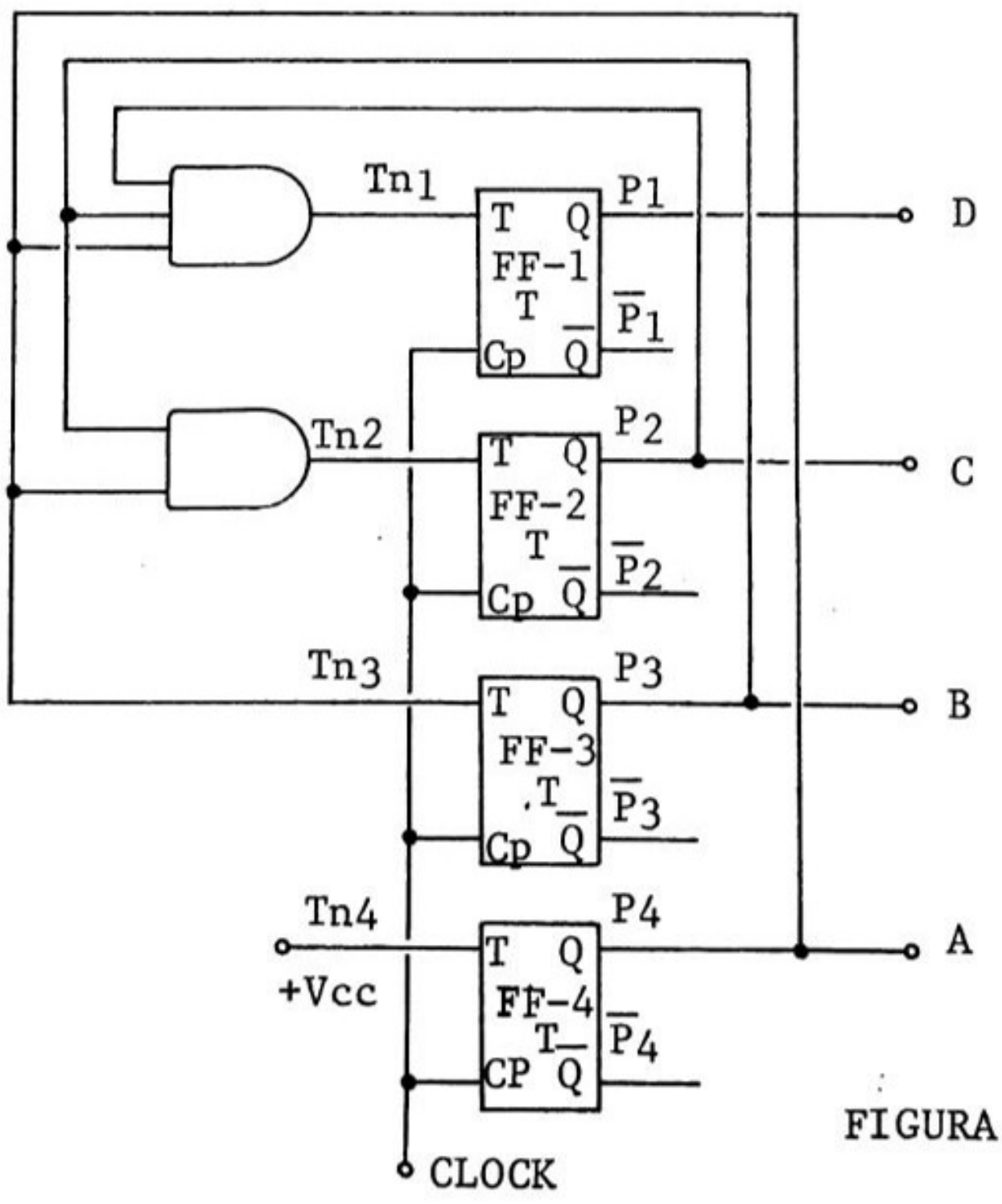


FIGURA 16

A figura 16 ilustra os mapas de Karnaugh bem como o circuito utilizando flip-flop T.

CONTADOR BINÁRIO SÍNCRONO COM QUATRO ESTÁGIOS UTILIZANDO FLIP-FLOP J-K.

Devemos proceder a uma transferência na tabela da figura 14B de acordo com a tabela de transição do flip-flop J-K apresentada na figura 17.

a)

TRANSIÇÃO	SAÍDA
Qn → Qn + 1	J K
0 → 0	0 d
0 → 1	1 d
1 → 0	d 1
1 → 1	d 0

FIGURA 17

b)

ESTADOS PRESENTES					PRÓXIMO ESTADO					SAÍDAS							
Est.	P1	P2	P3	P4	Est.	N1	N2	N3	N4	Jn1	Jn2	Jn3	Jn4	Kn1	Kn2	Kn3	Kn4
0	0	0	0	0	1	0	0	0	1	0	0	0	1	d	d	d	d
1	0	0	0	1	2	0	0	1	0	0	0	1	d	d	d	d	1
2	0	0	1	0	3	0	0	1	1	0	0	d	1	d	d	0	d
3	0	0	1	1	4	0	1	0	0	0	1	d	d	d	d	1	1
4	0	1	0	0	5	0	1	0	1	0	d	0	1	d	0	d	d
5	0	1	0	1	6	0	1	1	0	0	d	1	d	d	0	d	1
6	0	1	1	0	7	0	1	1	1	0	d	d	1	d	0	0	d
7	0	1	1	1	8	1	0	0	0	1	d	d	d	d	1	1	1
8	1	0	0	0	9	1	0	0	1	d	0	0	1	0	d	d	d
9	1	0	0	1	10	1	0	1	0	d	0	1	d	0	d	d	1
10	1	0	1	0	11	1	0	1	1	d	0	d	1	0	d	0	d
11	1	0	1	1	12	1	1	0	0	d	1	d	d	0	d	1	1
12	1	1	0	0	13	1	1	0	1	d	d	0	1	0	0	d	d
13	1	1	0	1	14	1	1	1	0	d	d	1	d	0	0	d	1
14	1	1	1	0	15	1	1	1	1	d	d	d	1	0	0	0	d
15	1	1	1	1	16	0	0	0	0	d	d	d	d	1	1	1	1

A figura 17A, 17B e 17C ilustram as tabelas de transições e de estados para um contador com flip-flop J-K.

	$\overline{P}_3$		P_3		
$\overline{P}_1$	0	0	0	0	$\overline{P}_2$
	0	0	1	0	
	d	d	d	d	P_2
P_1	d	d	d	d	$\overline{P}_2$
	$\overline{P}_4$		P_4	$\overline{P}_4$	

$Jn1 = P_2 . P_3 . P_4$

	$\overline{P}_3$		P_3		
	0	0	1	0	$\overline{P}_2$
$\overline{P}_1$	d	d	d	d	
	d	d	d	d	P_2
P_1	0	0	1	0	$\overline{P}_2$
	$\overline{P}_4$		P_4	$\overline{P}_4$	

$Jn2 = P_3 . P_4$

	$\overline{P}_3$		P_3		
$\overline{P}_1$	0	1	d	d	$\overline{P}_2$
	0	1	d	d	
	0	1	d	d	P_2
P_1	0	1	d	d	$\overline{P}_2$
	$\overline{P}_4$		P_4	$\overline{P}_4$	

$Jn3 = P_4$

	$\overline{P}_3$		P_3		
$\overline{P}_1$	1	d	d	1	$\overline{P}_2$
	1	d	d	1	
	1	d	d	1	P_2
P_1	1	d	d	1	$\overline{P}_2$
	$\overline{P}_4$		P_4	$\overline{P}_4$	

$Jn4 = +Vcc$

	$\overline{P}_3$		P_3		
	d	d	d	d	$\overline{P}_2$
$\overline{P}_1$	d	d	d	d	
	0	0	1	0	P_2
P_1	0	0	0	0	$\overline{P}_2$
	$\overline{P}_4$		P_4	$\overline{P}_4$	

$Kn1 = P_2 . P_3 . P_4$

	$\overline{P}_3$		P_3		
	d	d	d	d	$\overline{P}_2$
$\overline{P}_1$	0	0	1	0	
	0	0	1	0	P_2
P_1	d	d	d	d	$\overline{P}_2$
	$\overline{P}_4$		P_4	$\overline{P}_4$	

$Kn2 = P_3 . P_4$

	$\overline{P}_3$		P_3	
$\overline{P}_1$	d	d	1	0
	d	d	1	0
	d	d	1	0
P_1	d	d	1	0
	$\overline{P}_4$	P_4		$\overline{P}_4$

$\overline{P}_2$, P_2, $\overline{P}_2$

$Kn3 = P_4$

	$\overline{P}_3$		P_3	
$\overline{P}_1$	d	1	1	d
	d	1	1	d
	d	1	1	d
P_1	d	1	1	d
	$\overline{P}_4$	P_4		$\overline{P}_4$

$\overline{P}_2$, P_2, $\overline{P}_2$

$Kn4 = +Vcc$

FIGURA 18

A figura 18 ilustra os mapas de Karnaugh bem como o circuito utilizando flip-flop J-K.

REGISTRADORES DE DESLOCAMENTO

Os registradores de deslocamento (shift registers) são constituídos de um grupo de flip-flops programados de tal forma que os dados são deslocados de um flip-flop para outro em sincronização com o comando CP.

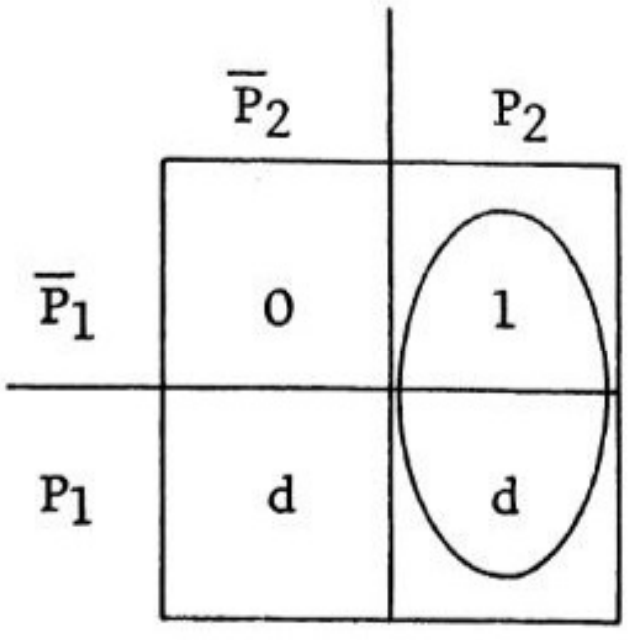
Os registradores de deslocamento possuem geralmente uma entrada de dados em série e o deslocamento destes são da esquerda para a direita. Como estes flip-flops da direita copiam os da esquerda, o projeto se torna bastante simples.

Para projetarmos um registrador de deslocamento basta aplicarmos os dados da tabela de transição de um flip-flop - J-K no mapa de Karnaugh.

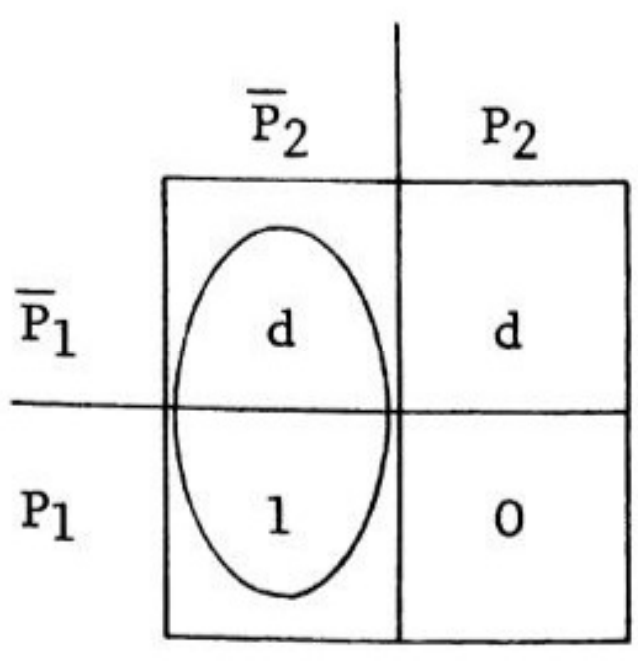
TRANSIÇÃO	SAÍDA
Qn → Qn+1	J K
0 → 0	0 d
0 → 1	1 d
1 → 0	d 1
1 → 1	d 0

P1 P2	Jn1	Kn1
0 0	0	d
0 1	1	d
1 0	d	1
1 1	d	0

FIGURA 19



$Jn1 = P_2$



$Kn1 = \overline{P}_2$

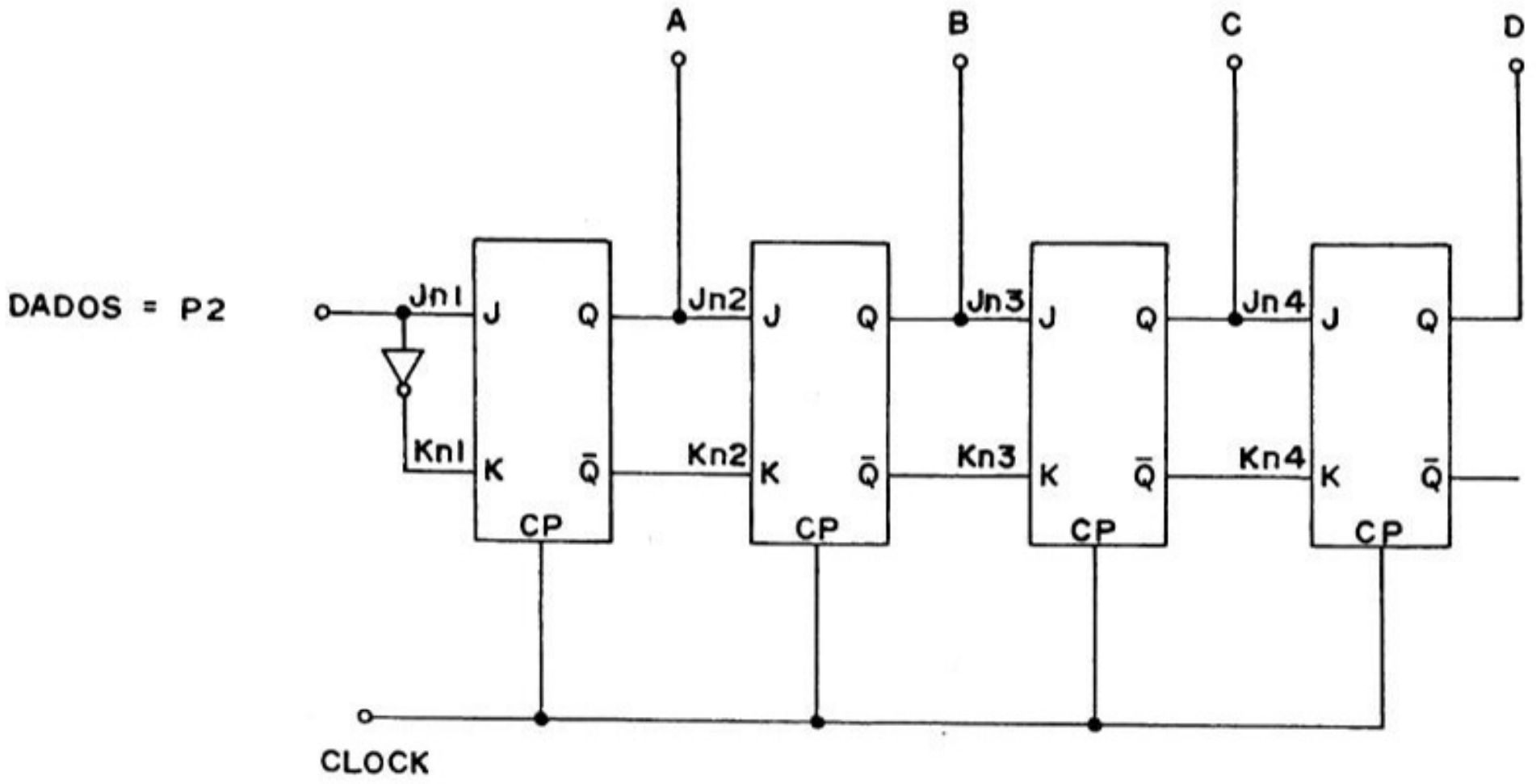


FIGURA 19

A figura 19 ilustra a tabela de transição de um flip-flop J-K, o mapa de Karnaugh e o circuito do registrador de deslocamento.

O circuito trabalha da seguinte forma: toda vez que ocorrer um pulso no clock (CP) os flip-flops copiam os dados que se encontram nas entradas Jn.

Assim antes de iniciarmos o deslocamento teremos todas as saídas A, B, C e D iguais a zero.

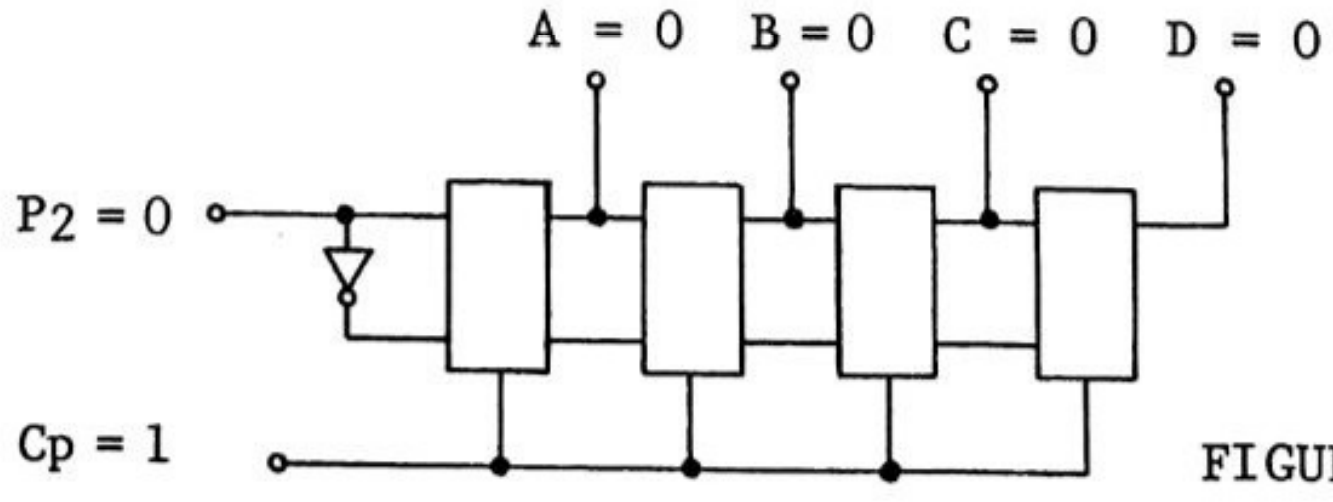


FIGURA 20

	CP	P2	A	B	C	D
			0	0	0	0
1	1	0	0	0	0	0

A figura 20 ilustra o deslocamento do primeiro dado, ou seja, quando CP = 1 e P_2 = 0 as saídas A, B, C, D = 0000.

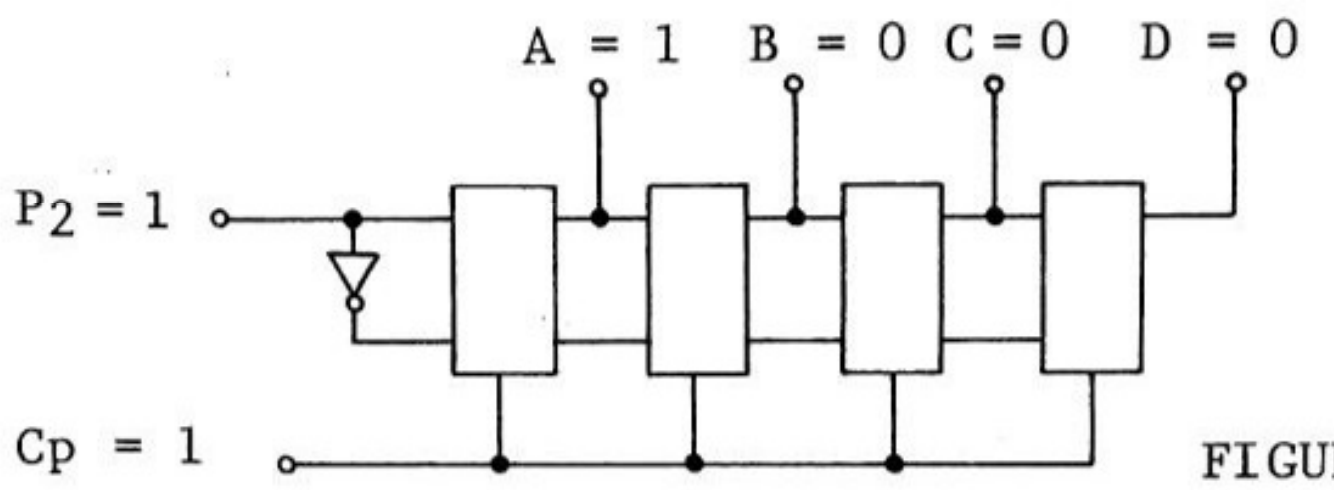


FIGURA 21

	CP	P_2	A	B	C	D
			0	0	0	0
1	1	0	0	0	0	0
2	1	1	1	0	0	0

A figura 21 ilustra o deslocamento do segundo dado, ou seja, quando CP = 1 e P_2 = 1 as saídas A, B, C, D = 1000.

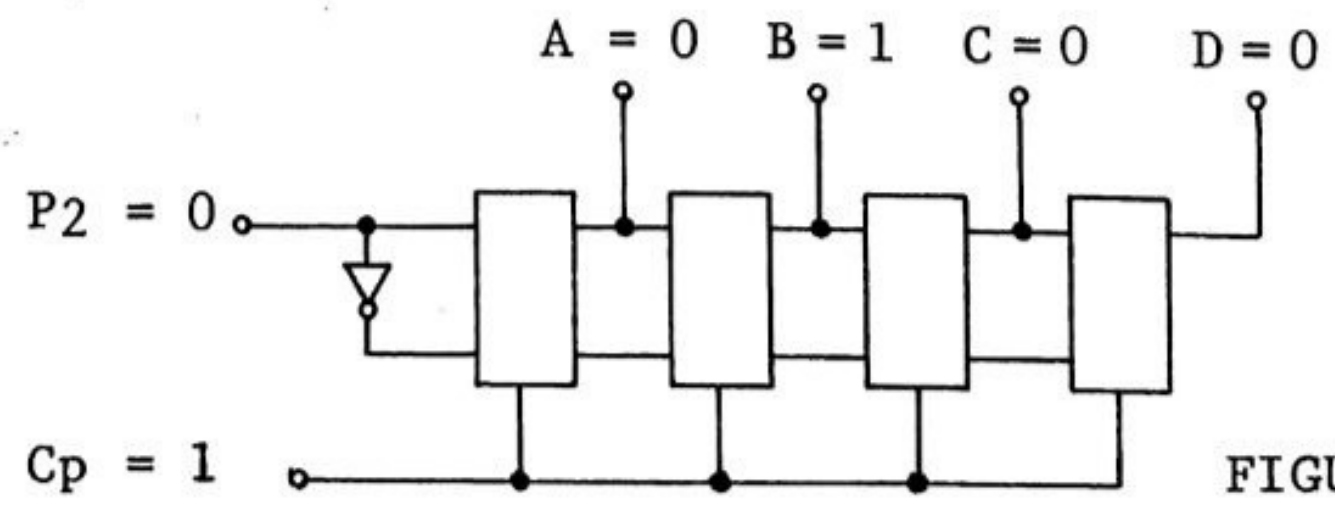


FIGURA 22

	CP	P_2	A	B	C	D
			0	0	0	0
1	1	0	0	0	0	0
2	1	1	1	0	0	0
3	1	0	0	1	0	0

A figura 22 ilustra o deslocamento do terceiro dado, ou seja, quando CP = 1 e P_2 = 0 as saídas A, B, C, D = 0100.

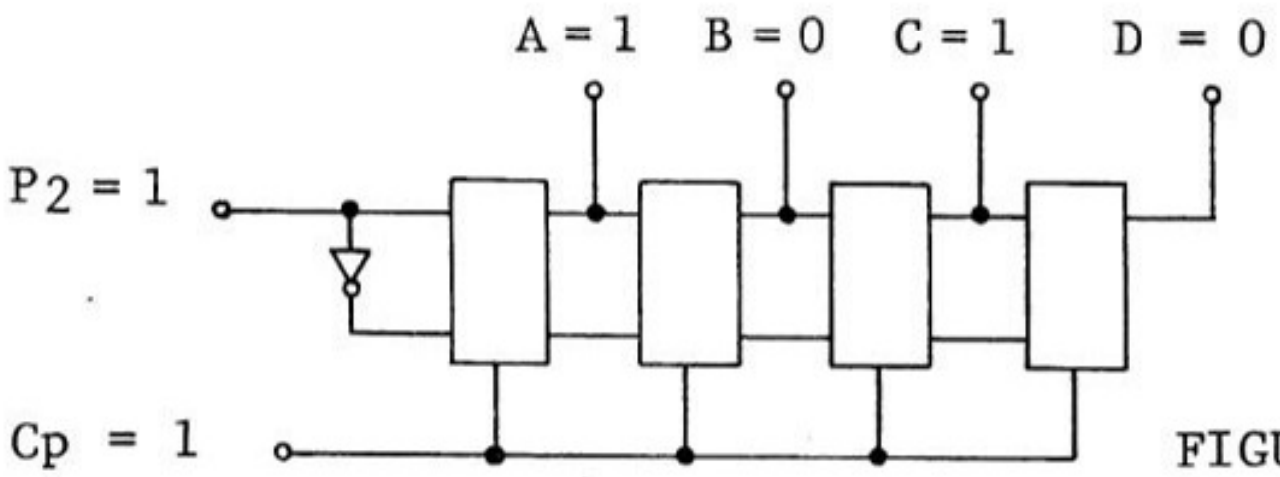


FIGURA 23

	CP	P2	A	B	C	D
			0	0	0	0
1	1	0	0	0	0	0
2	1	1	1	0	0	0
3	1	0	0	1	0	0
4	1	1	1	0	1	0

A figura 23 ilustra o deslocamento do quarto dado, ou seja, quando CP = 1 e P2 = 1 as saídas A,B,C,D = 1010.

Desta forma completa-se o ciclo de deslocamento e se tomarmos os dados em paralelo nas saídas A,B,C,D teremos uma conversão de série para paralelo ou de série para série com quatro retardos.

CEDM
CURSOS DE APERFEIÇOAMENTO

CURSO DE
ELETRÔNICA DIGITAL E
MICROPROCESSADORES

CAIXA POSTAL 1642 - CEP 86100 - LONDRINA - PARANÁ

EXAME DA LIÇÃO ED-26

OBSERVAÇÃO

- cada questão é composta de três ou quatro alternativas.
- só uma delas está correta.
- marque a que considerar correta.
- passe as respostas corretas para a folha de exame.

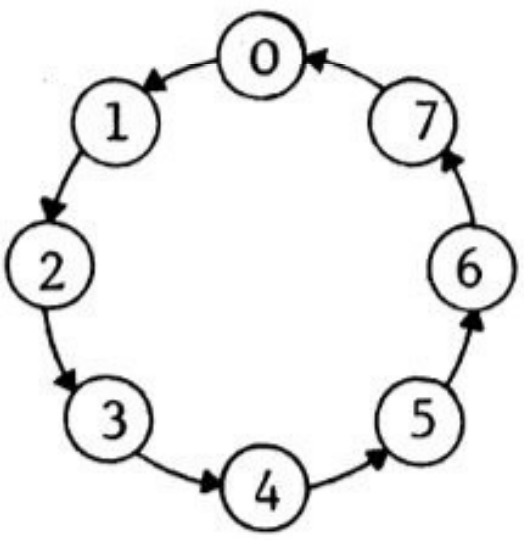
1) Para desenvolvermos o diagrama de estado de um contador síncrono a partir de três flip-flops teremos:

a) 4 estados distintos;
b) 8 estados distintos;
c) 6 estados distintos;
d) N.R.A.

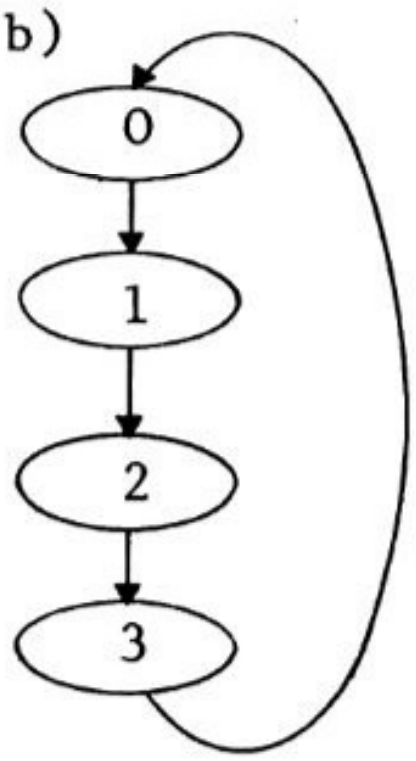
$2^3 = 8$

2) O diagrama de estado de um contador síncrono com três flip flops é o ilustrado na alternativa:

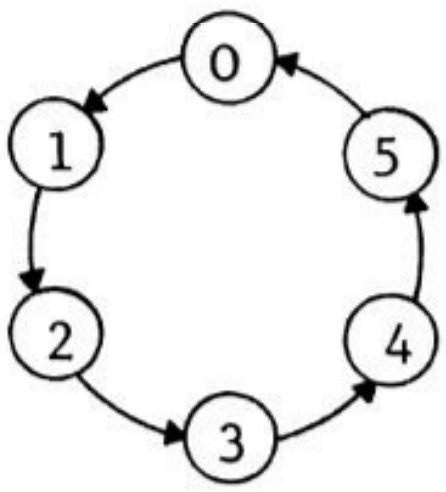
a)



b)



c)



d) N.R.A.

3) A tabela de fluxo para um contador síncrono com três flip-flops é a ilustrada na alternativa:

a)

ESTADOS PRESENTES				PRÓXIMO ESTADO			
Est.	P_1	P_2	P_3	Est.	N_1	N_2	N_3
0	0	0	0	1	0	0	1
1	0	0	1	2	0	1	0
2	0	1	0	3	0	1	1
3	0	1	1	4	1	0	0
4	1	0	0	5	1	0	1
5	1	0	1	6	1	1	0
6	1	1	0	7	1	1	1
7	1	1	1	0	0	0	0

b)

ESTADOS PRESENTES				PRÓXIMO ESTADO			
Est.	P_1	P_2	P_3	Est.	N_1	N_2	N_3
0	1	0	0	1	1	0	1
1	1	0	1	2	1	1	0
2	1	1	0	3	1	1	1
3	1	1	1	4	0	1	1
4	0	1	1	5	0	1	0
5	0	1	0	6	0	0	1
6	0	0	1	7	0	0	0
7	0	0	0	0	1	0	0

c)

ESTADOS PRESENTES				PRÓXIMO ESTADO			
Est.	P_1	P_2	P_3	Est.	N_1	N_2	N_3
0	0	0	0	1	1	0	0
1	1	0	0	2	0	1	0
2	0	1	0	3	1	1	0
3	1	1	0	4	0	0	1
4	0	0	1	5	1	0	1
5	1	0	1	6	0	1	1
6	0	1	1	7	1	1	1
7	1	1	1	0	0	0	0

d)

ESTADOS PRESENTES				PRÓXIMO ESTADO			
Est.	P_1	P_2	P_3	Est.	N_1	N_2	N_3
0	0	0	0	1	0	0	0
1	0	0	1	2	0	0	1
2	0	1	0	3	0	1	0
3	0	1	1	4	0	1	1
4	1	0	0	5	1	0	0
5	1	0	1	6	1	0	1
6	1	1	0	7	1	1	0
7	1	1	1	0	1	1	1

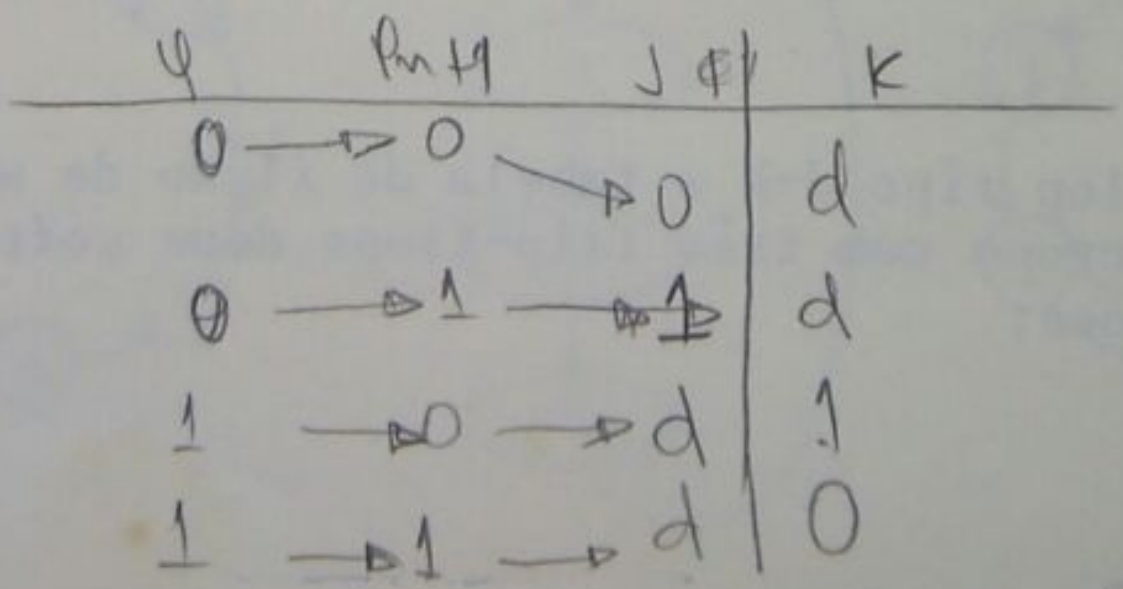
4) Utilizando flip-flop tipo J-K a tabela de fluxo de um contador binário síncrono com três flip-flops deve sofrer as seguintes alterações:

a)

ESTADOS PRESENTES				PRÓXIMO ESTADO				SAÍDAS					
Est.	P_1	P_2	P_3	Est.	N_1	N_2	N_3	Jn_1	Jn_2	Jn_3	Kn_1	Kn_2	Kn_3
0	1	0	0	1	1	0	1	d	0	1	0	d	d
1	1	0	1	2	1	1	0	d	1	d	0	d	1
2	1	1	0	3	1	1	1	d	d	1	0	0	d
3	1	1	1	4	0	1	1	d	d	d	1	0	0
4	0	1	1	5	0	1	0	0	d	d	d	0	1
5	0	1	0	6	0	0	1	0	d	1	d	1	d
6	0	0	1	7	0	0	0	0	0	d	d	d	1
7	0	0	0	0	1	0	0	1	0	0	d	d	d

b)

ESTADOS PRESENTES				PRÓXIMO ESTADO				SAÍDAS					
Est.	P_1	P_2	P_3	Est.	N_1	N_2	N_3	Jn_1	Jn_2	Jn_3	Kn_1	Kn_2	Kn_3
0	0	0	0	1	0	0	0	0	0	0	d	d	d
1	0	0	1	2	0	0	1	0	0	d	d	d	0
2	0	1	0	3	0	1	0	0	d	0	d	0	d
3	0	1	1	4	0	1	1	0	d	d	d	0	0
4	1	0	0	5	1	0	0	d	0	0	0	d	d
5	1	0	1	6	1	0	1	d	0	d	0	d	0
6	1	1	0	7	1	1	0	d	d	0	0	0	d
7	1	1	1	0	1	1	1	d	d	d	0	0	0



c)

ESTADOS PRESENTES				PRÓXIMO ESTADO				SAÍDAS					
Est.	P_1	P_2	P_3	Est.	N_1	N_2	N_3	Jn_1	Jn_2	Jn_3	Kn_1	Kn_2	Kn_3
0	0	0	0	1	0	0	1	0	0	1	d	d	d
1	0	0	1	2	0	1	0	0	1	d	d	d	1
2	0	1	0	3	0	1	1	0	d	1	d	0	d
3	0	1	1	4	1	0	0	1	d	d	1	1	1
4	1	0	0	5	1	0	1	d	0	1	0	d	d
5	1	0	1	6	1	1	0	d	1	d	0	d	1
6	1	1	0	7	1	1	1	d	d	1	0	0	d
7	1	1	1	0	0	0	0	d	d	d	1	1	1

d) N.R.A.

5) Identifique o mapa de Karnaugh para a saída Jn_1 em função da alternativa correta da questão 4:

a)

	$\overline{P}_2$		P_2	
$\overline{P}_1$	0	0	1	0
P_1	d	d	d	d
	$\overline{P}_3$	P_3		$\overline{P}_3$

$= P_2 . P_3$

b)

	$\overline{P}_2$		P_2	
$\overline{P}_1$	d	d	1	0
P_1	d	d	1	0
	$\overline{P}_3$	P_3		$\overline{P}_3$

c)

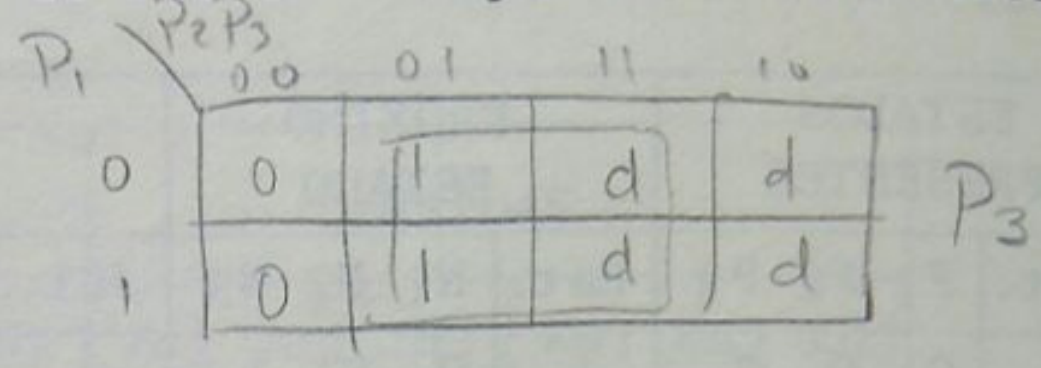
	$\overline{P}_2$		P_2	
$\overline{P}_1$	d	d	1	0
P_1	d	d	1	0
	$\overline{P}_3$	P_3		$\overline{P}_3$

d)

	$\overline{P}_2$		P_2	
$\overline{P}_1$	0	1	d	d
P_1	0	1	d	d
	$\overline{P}_3$	P_3		$\overline{P}_3$

6) Identifique a expressão de Jn2 em função da alternativa correta da questão 4:

a) $Jn2 = \overline{P3}$;
b) $Jn2 = \overline{P1}$;
c) $Jn2 = P3$;
d) $Jn2 = P1$.

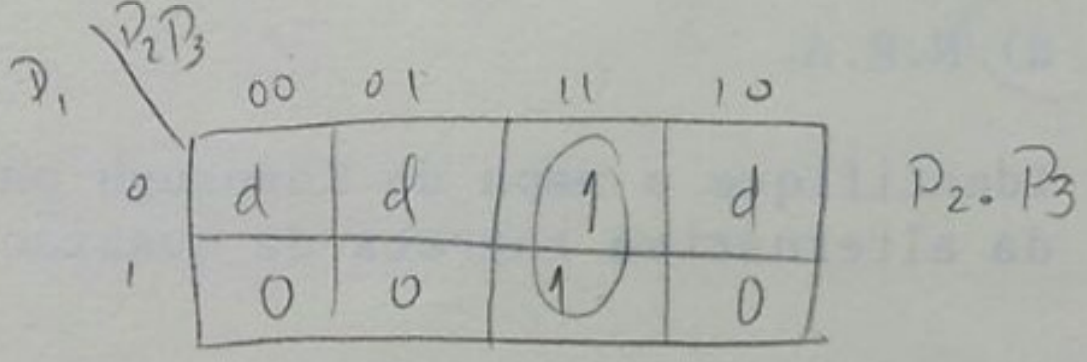


7) Identifique a expressão de Jn3 e Kn3 em função da alternativa correta da questão 4:

a) $Jn3 = Kn3 = -Vcc$;
b) $Jn3 = Kn3 = +Vcc$;
c) $Jn3 = Kn3 = P2$;
d) N.R.A.

8) Identifique a expressão de Kn1 em função da alternativa correta da questão 4:

a) $Kn1 = \overline{P2} \cdot \overline{P3}$;
b) $Kn1 = \overline{P2} \cdot \overline{P3}$;
c) $Kn1 = \overline{P2 \cdot P3}$;
d) $Kn1 = \overline{P2 \cdot P3}$.

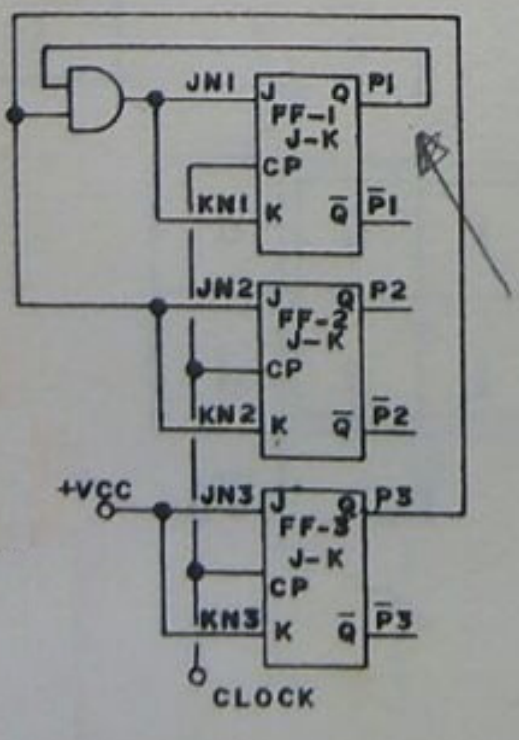


9) Identifique a expressão de Kn2 em função da alternativa correta da questão 4:

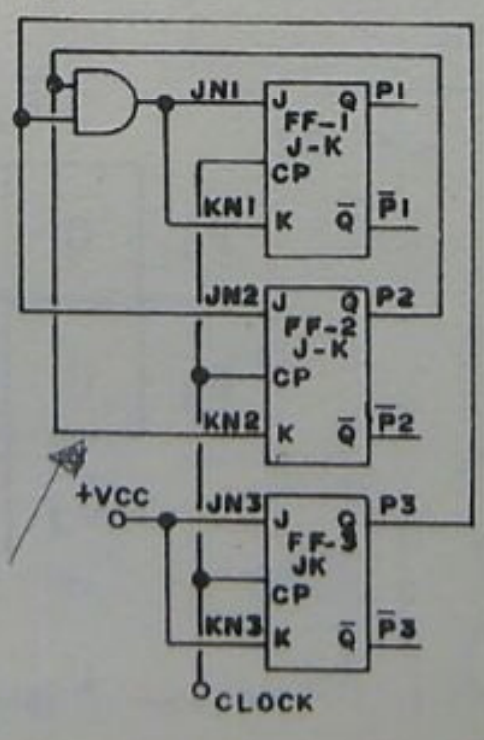
a) $Kn2 = P3$;
b) $Kn2 = P2$;
c) $Kn2 = \overline{P1}$;
d) $Kn2 = \overline{P2}$.

10) Identifique o circuito do contador binário síncrono em função da alternativa correta da questão 4:

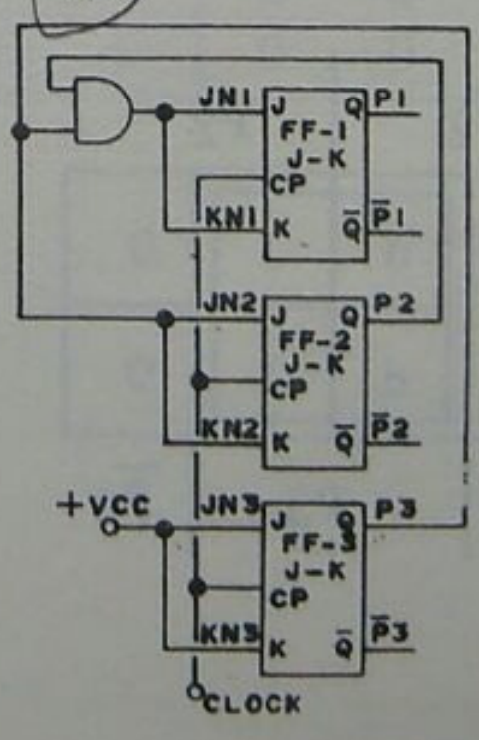
a)



b)



c)



d) N.R.A.

CEDM
CURSOS DE APERFEIÇOAMENTO

CURSO DE
ELETRÔNICA DIGITAL E
MICROPROCESSADORES

CAIXA POSTAL 1642 - CEP 86100 - LONDRINA - PARANÁ

LIÇÃO ED-27

MULTIPLEXADOR E DESMULTIPLEXADOR

INTRODUÇÃO

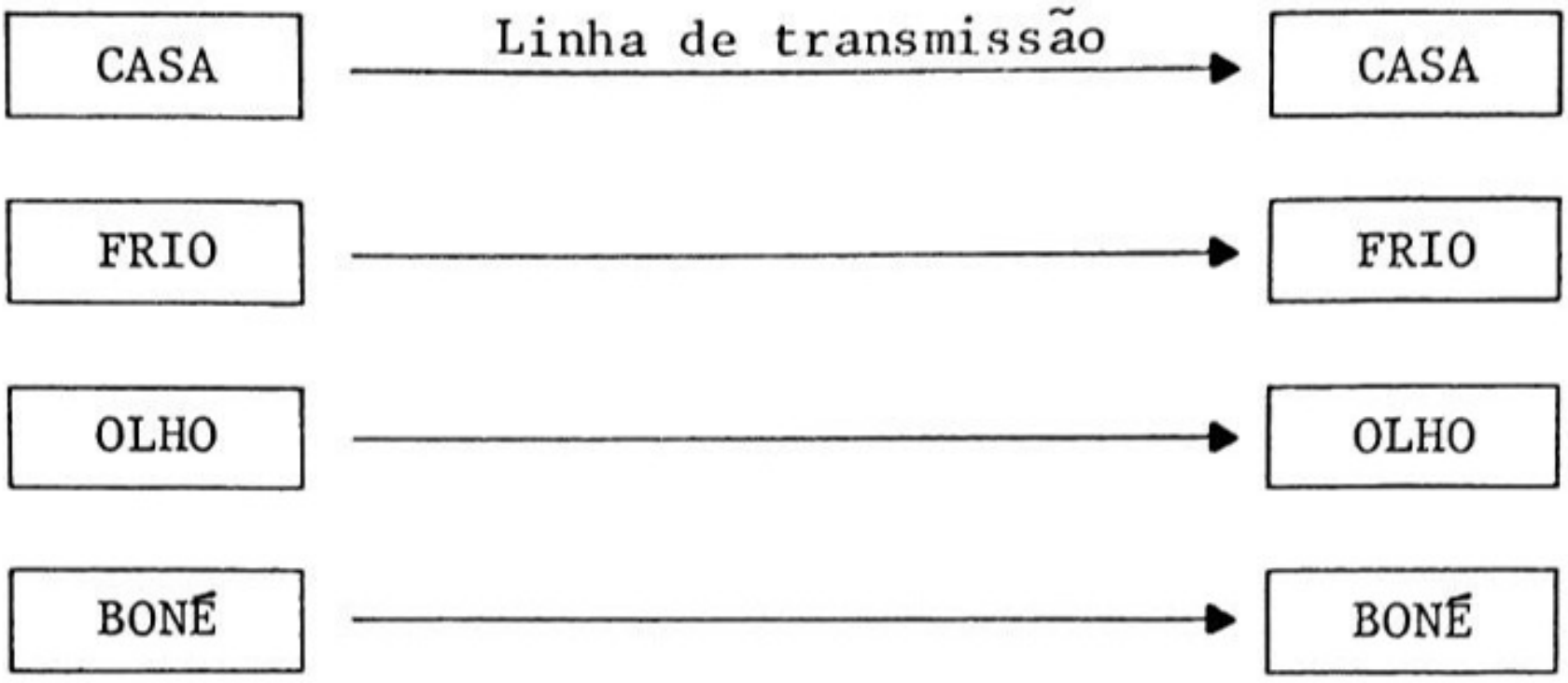
Com o advento da técnica de circuitos integrados tornou-se possível construir sistemas complexos e colocá-los em uma única cápsula (chip), como se fossem componentes discretos. Em se tratando de lógica digital, as portas "NÃO", "E" e "OU", são os elementos básicos dos circuitos lógicos. É a partir delas que são implementados ou criados outros circuitos mais complexos. Dentre os circuitos digitais, formados por portas TTL, temos os seletores de dados ou multiplexadores, os quais serão objeto de nosso estudo nesta lição.

MULTIPLEXADOR - ("MUX")

Trata-se de um circuito eletrônico cuja função é a de selecionar um dentre N "fontes" de entrada de dados e transmiti-lo para um único canal de informação. De uma forma mais simplificada, podemos dizer que o circuito multiplex é utilizado para eliminar linhas (ou canais) de transmissão. Por exemplo, se tivermos quatro linhas distintas (canais) com informações a serem transmitidas para quatro receptores distin

tos, uma forma de se resolver este problema, seria utilizarmos quatro linhas de transmissão independentes, como mostra a figura 1

Transmissores FIGURA 1 Receptores



Uma solução mais econômica, porém, não tão simples, seria multiplexar as quatro informações e utilizar uma única linha de transmissão.

Suponhamos que em cada canal, temos uma palavra de quatro letras (idem figura 1). Neste caso, o multiplexador transmite a primeira letra das palavras de cada canal, uma após a outra, ou seja, primeiro a letra "C" da palavra do primeiro canal, em seguida, a letra "F" da palavra do segundo canal, depois a primeira letra, "O" da palavra seguinte e, por fim, o "B" correspondente à primeira letra contida no último canal. A seguir, repete-se o processo acima para a segunda letra de cada palavra e assim, sucessivamente. Na figura 2 (dois), temos a ilustração deste exemplo.

Com este exemplo, torna-se evidente a função do multiplexador, ou seja, selecionar e encaminhar qualquer um dentre vários sinais de entrada a uma única saída. De uma maneira bem elementar, podemos dizer ainda que um circuito multiplexador realiza as funções de um comutador. Na figura 3, temos uma chave de um pólo com múltiplas posições, a qual representa a forma mais simples de um multiplexador. Qualquer um dos cinco sinais de entrada pode ser transmitido, através da linha de saída, pelo simples ajuste mecânico da chave seletora.

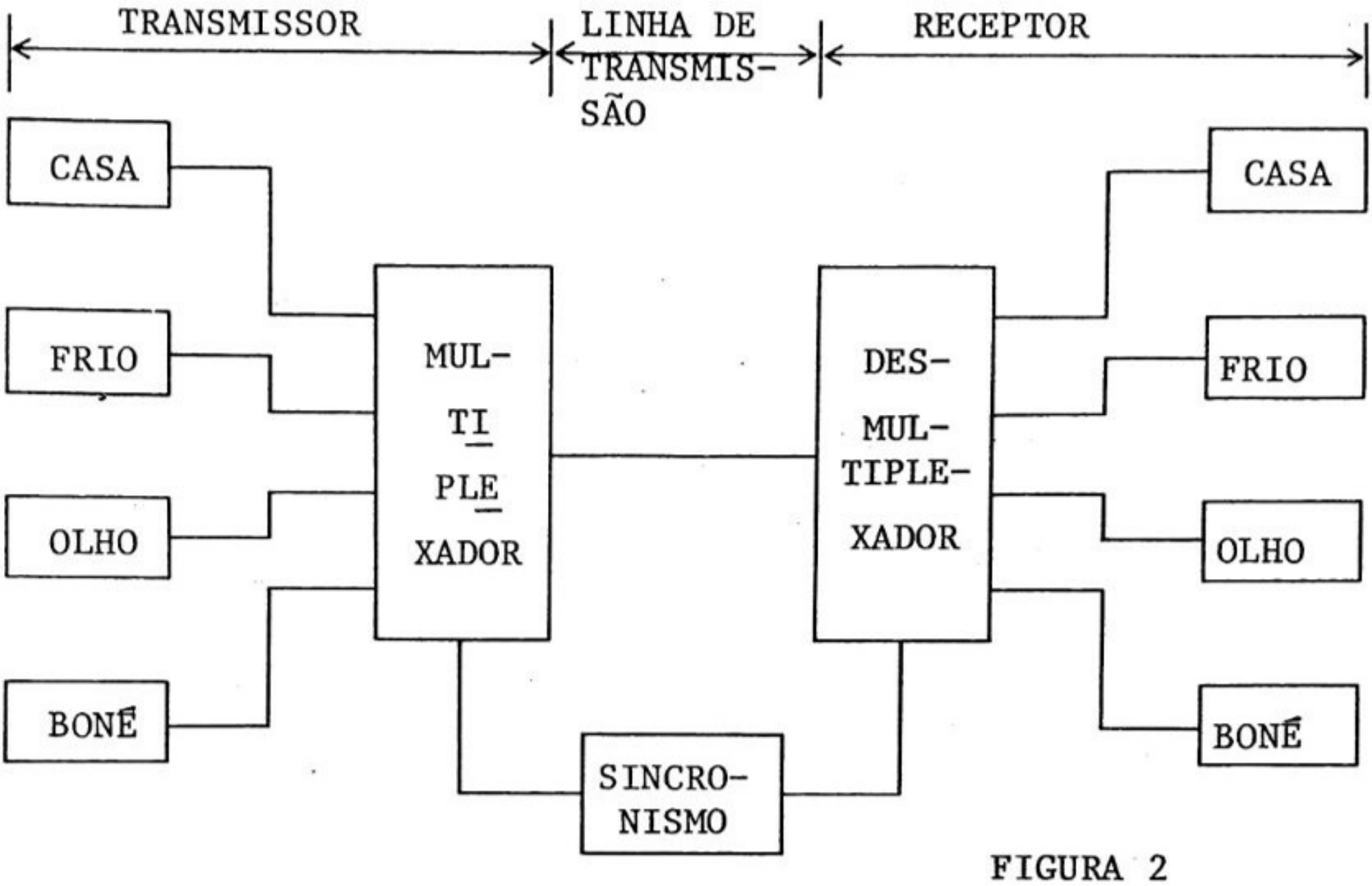
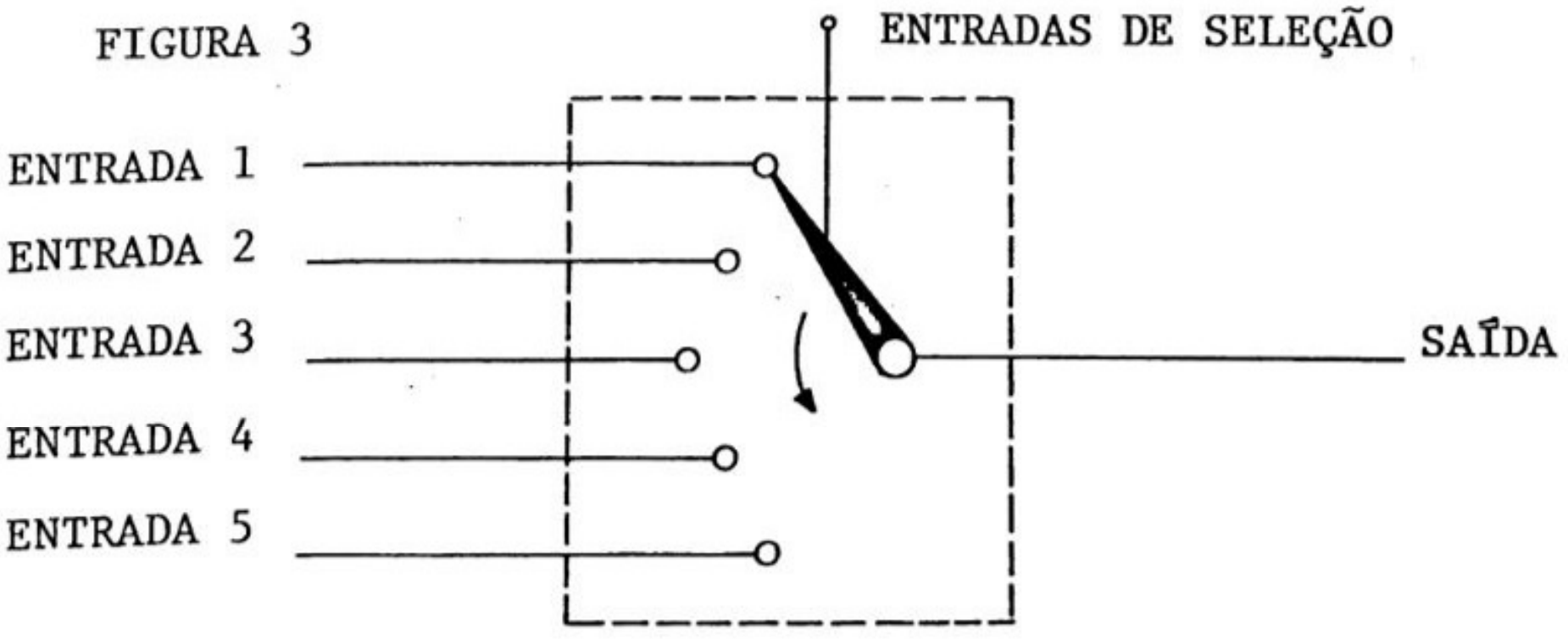


FIGURA 2

Em muitas aplicações é necessário que o multiplexador opere em velocidades elevadas e seja automaticamente selecionável. Este tipo de multiplexador é facilmente obtido, utilizando-se componentes eletrônicos.

FIGURA 3



Os multiplexadores podem ser classificados em duas categorias básicas: o analógico e o digital. O multiplexador apresentado na figura 3 pode operar, tanto com sinais analógicos,

como digitais. Entretanto, os multiplexadores eletrônicos são construídos para operarem apenas com um tipo de sinal: analógico ou digital. No caso de aplicações do tipo analógico é comum o uso de relês e chaves bipolares ou mosfets. Já, para aplicações do tipo digital, as quais envolvem sinais binários, é comum a utilização de portas lógicas. A aplicação do tipo digital é a que mais nos interessa, uma vez que esta trabalha com sinais binários.

É comum representar o multiplexador por um bloco como - mostra a figura 4.

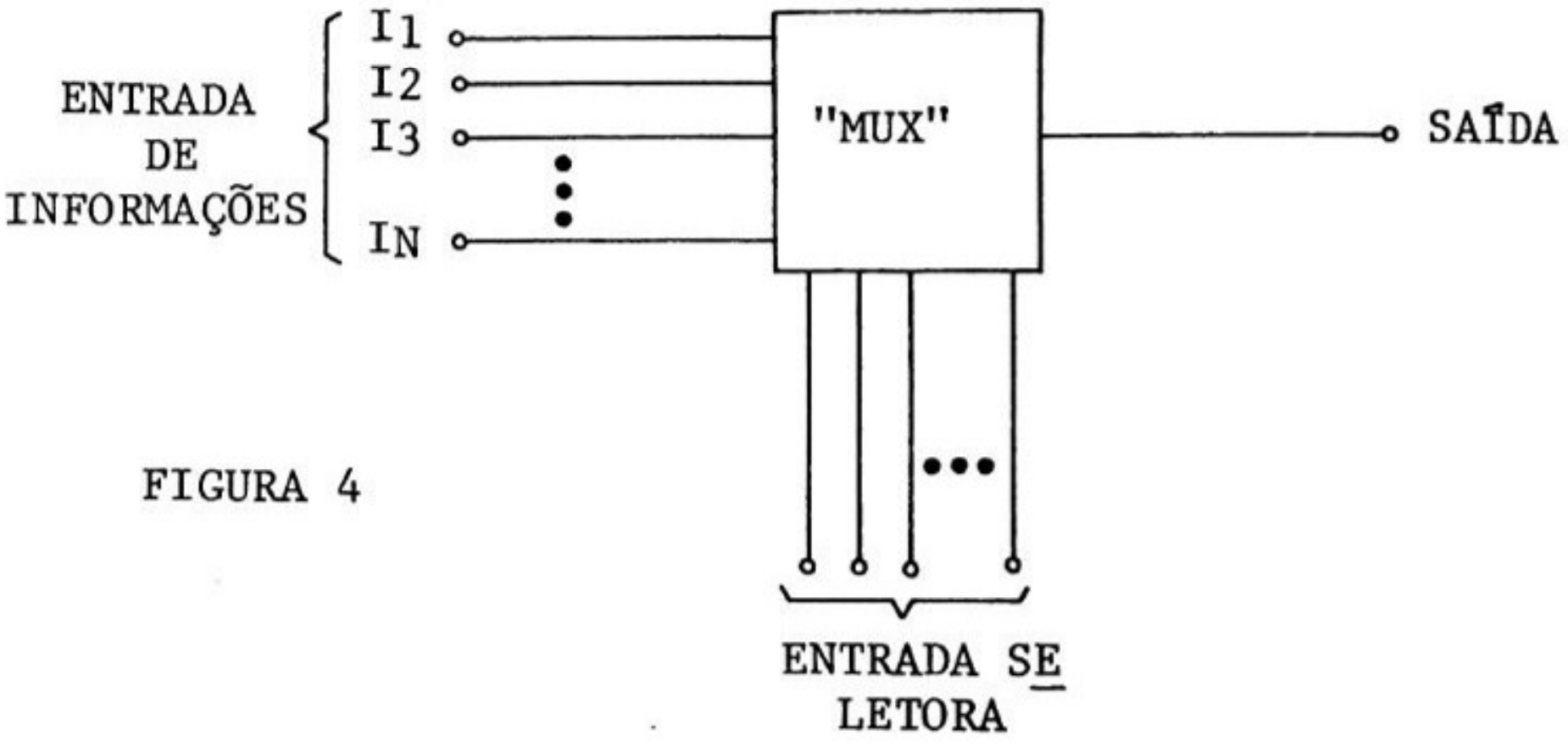


FIGURA 4

A finalidade da entrada seletora é escolher qual das informações de entrada, ou quais dos canais de entrada de informações devem ser ligados à saída.

PROJETO E FUNCIONAMENTO DO MULTIPLEXADOR

Para projetarmos um multiplexador, primeiramente devemos relacionar a possibilidade que as entradas de seleção irão assumir com a informação de entrada a ser conectada à saída. Para isto, monta-se uma tabela verdade, onde serão colocadas todas as possibilidades de seleção e as respectivas informações que devem aparecer na saída.

Com vistas a facilitar a compreensão deste assunto, por parte dos alunos, vamos então desenvolver passo a passo o projeto de um multiplexador de 8 canais de 8 entradas de informações.

Para que possamos ligar arbitrariamente 8 entradas à saída, necessitamos de 3 variáveis de seleção, pois $2^3 = 8$. Com isto, podemos montar a seguinte tabela verdade (figura 5).

VARIÁVEIS DE SELEÇÃO			SAÍDA
A	B	C	S
0	0	0	D_0
0	0	1	D_1
0	1	0	D_2
0	1	1	D_3
1	0	0	D_4
1	0	1	D_5
1	1	0	D_6
1	1	1	D_7

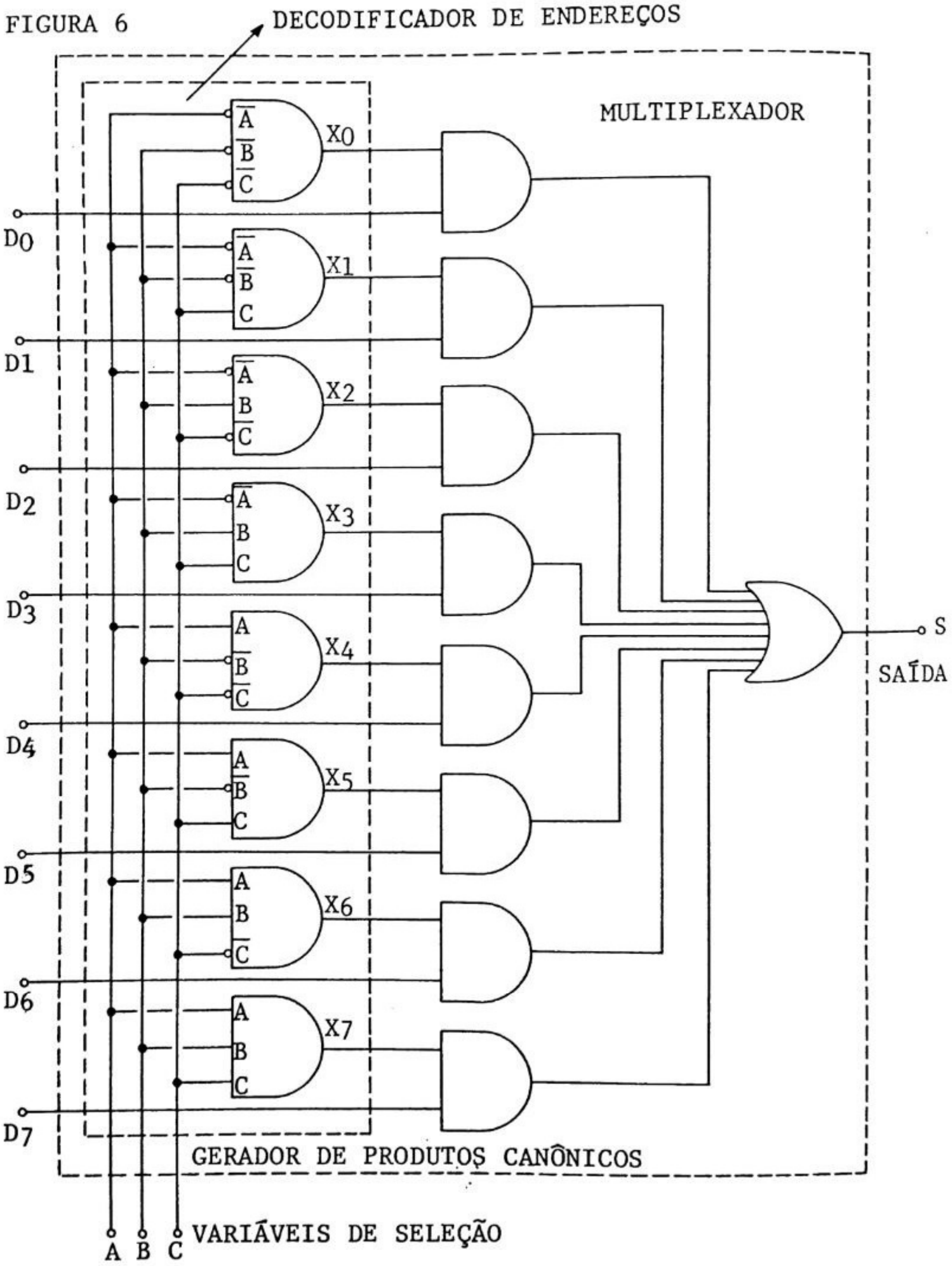
FIGURA 5

Com base na tabela verdade da figura 5, podemos escrever os seguintes produtos canônimos, relacionando, assim, os valores assumidos pela saída para cada possibilidade das variáveis de seleção.

VARIÁVEIS DE SELEÇÃO:	SITUAÇÃO NA SAÍDA:
$\overline{A}\ \overline{B}\ \overline{C}$	$S = D_0$
$\overline{A}\ \overline{B}\ C$	$S = D_1$
$\overline{A}\ B\ \overline{C}$	$S = D_2$
$\overline{A}\ B\ C$	$S = D_3$
$A\ \overline{B}\ \overline{C}$	$S = D_4$
$A\ \overline{B}\ C$	$S = D_5$
$A\ B\ \overline{C}$	$S = D_6$
$A\ B\ C$	$S = D_7$

Utilizando-se portas lógicas, podemos agora montar o circuito que executará essa função (figura 6).

FIGURA 6



Vejamos como funciona o circuito multiplexador da figura 6. Para isto, suponhamos o caso em que as variáveis de seleção estejam na condição $\overline{A}B\overline{C}$. Quando ocorrer exatamente isto, o gerador de produtos canônicos apresentará X2 = 1. Com isto, a porta "E", ligada à saída X2, apresentará um dos seus terminais em nível lógico 1 (um). Conseqüentemente, teremos,na sua saída, o valor que a entrada D2 assumir, ou seja, se D2 for igual a "0" (zero), a saída desta porta será "0" (zero). Se D2 for igual a "1" (um), a saída desta porta será "1" (um). Porém, para este caso, todas as outras portas "E" apresentarão saída igual a "0" (zero), ou seja, todas as outras entradas da porta "OU" estarão em zero. Sendo assim, quando as variáveis de seleção estiverem na condição $\overline{A}B\overline{C}$, a saída S será igual à entrada D2. As demais situações podem ser analisadas de forma análoga.

O circuito da figura 6, foi elaborado de modo a facilitar a compreensão do funcionamento do referido multiplexador, porém, este circuito pode ser normalmente representado como mostra a figura 7. Trata-se de um circuito simplificado, onde as portas "E" de 3 e de 2 entradas foram substituídas por uma porta "E" de 4 entradas. Com isto, realizamos a implementação do circuito da figura 6.

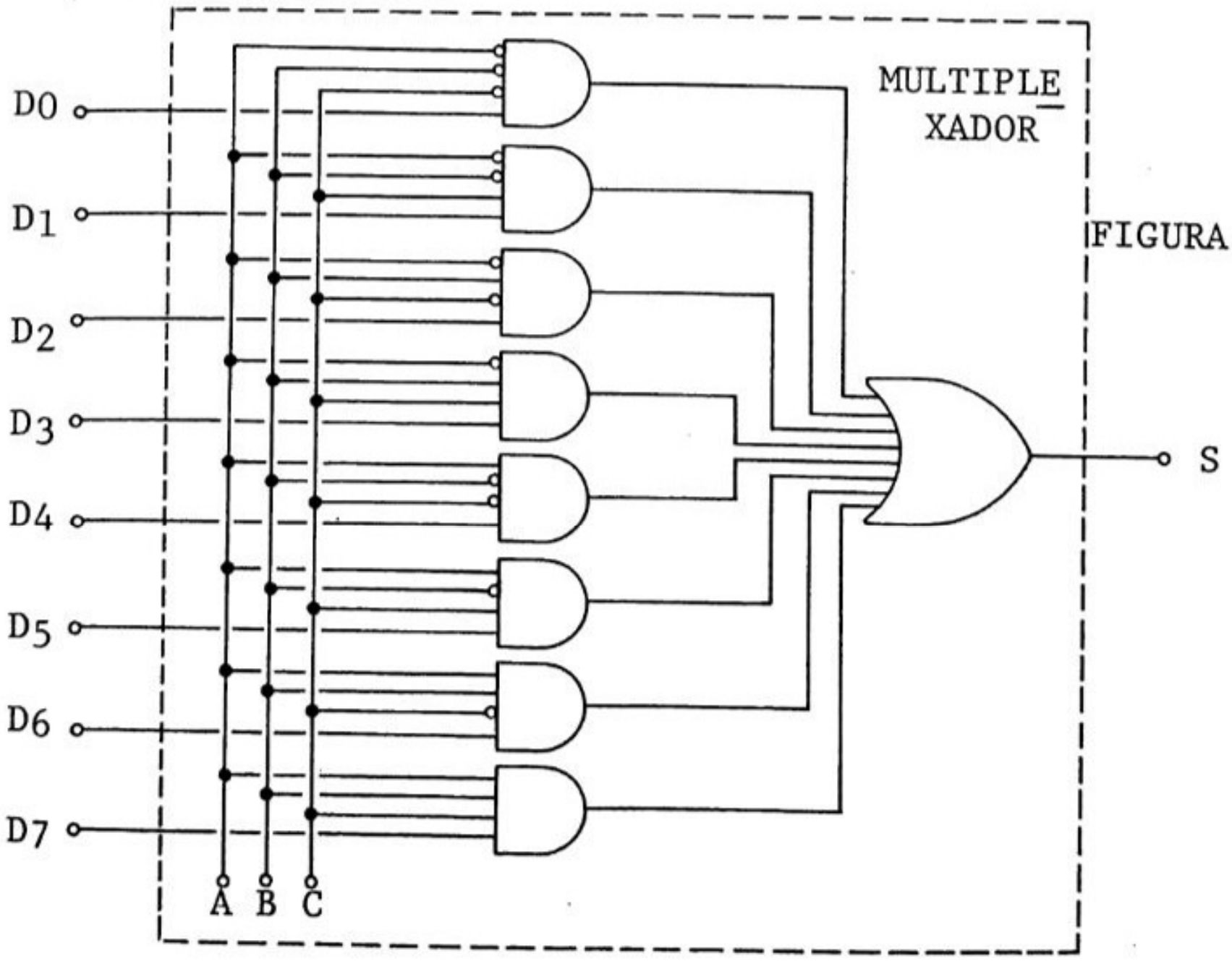


FIGURA 7

Ao se desenvolver qualquer projeto, onde apareça um circuito multiplexador, este poderá ser representado por um simples bloco, o qual deverá conter as entradas (canais) de informação, as entradas das variáveis de controle e o terminal de saída. Na figura 8, temos o bloco equivalente ao circuito da figura 7.

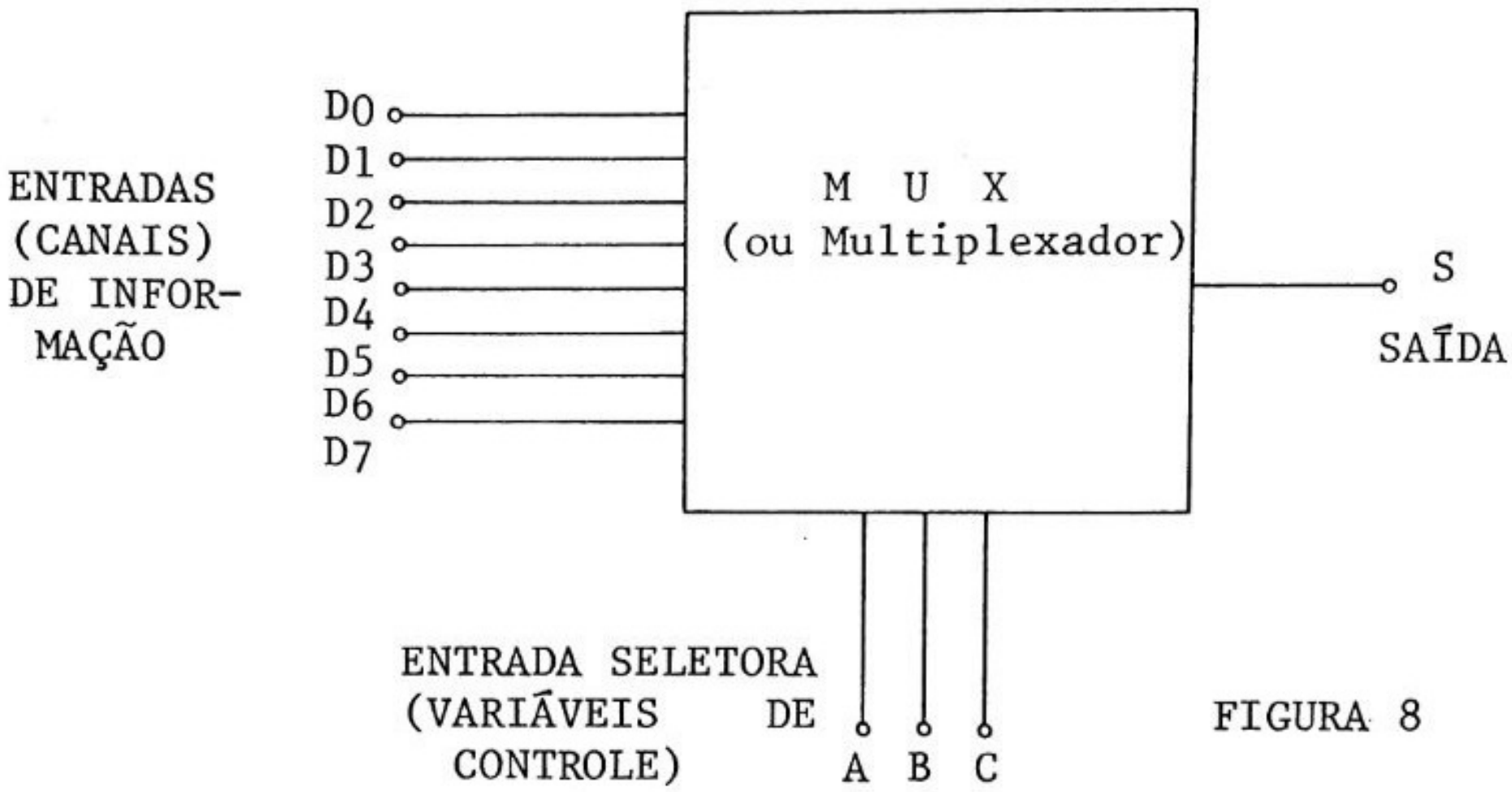


FIGURA 8

Obs.: As variáveis de controle também são conhecidas como variáveis de comando.

Com o desenvolvimento da técnica de circuitos integrados, monolíticos, tornou-se possível a construção de circuitos complexos em uma pequena área de uma pastilha de silício. Hoje, devido à grande versatilidade apresentada por este tipo de circuito, podemos considerá-lo como um "bloco funcional básico universal", pois, dependendo do nível lógico das suas variáveis de entrada, um"bloco funcional universal básico" pode executar qualquer função booleana combinatória. Como exemplo, podemos citar o multiplexador (seletor de dados) SN54/74151.

O C.I. SN54/74151

Este seletor de dados possui 8 entradas selecionáveis para uma única saída. As variáveis de controle (ou comando) são

aplicadas a três terminais decodificadores de endereço.

Na figura 9A, temos a identificação dos pinos do 74151 e na figura 9B, o seu circuito equivalente, mecânico.

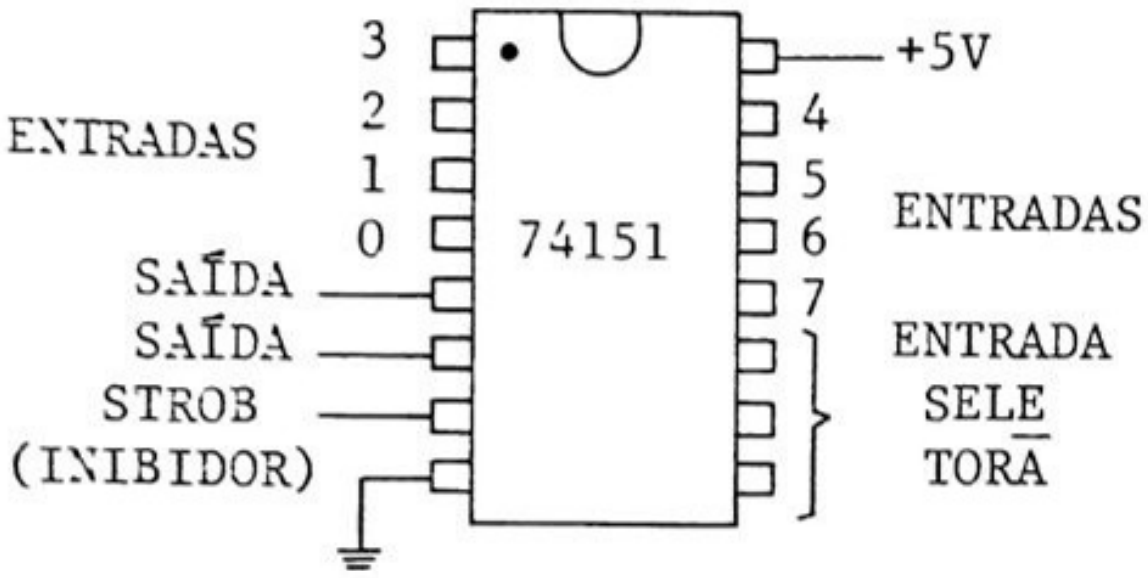
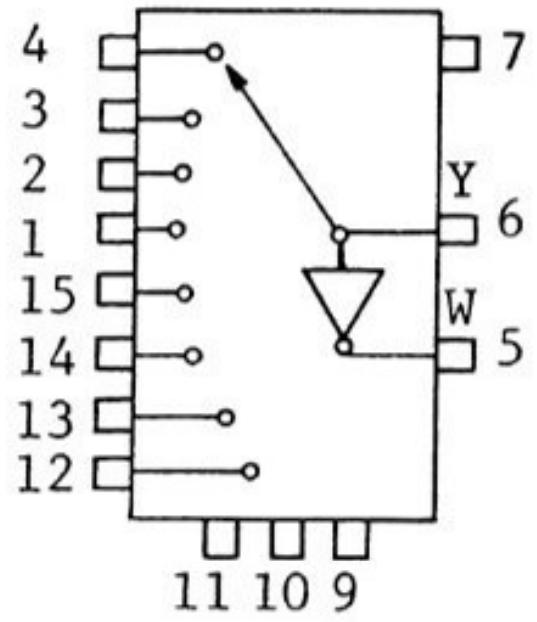


FIGURA 9A

FIGURA 9B



EQUIVALENTE MECÂNICO DO 74151

A seleção de dados é conseguida através de combinação binária, dos pinos 9, 10 e 11. Por exemplo, para que possamos selecionar a entrada 6 (pino 13) que, em binário, é 110, devemos levar o pino 9 a um nível baixo e os pinos 10 e 11 a um nível alto. A saída se faz através do pino 6, que irá apresentar o nível lógico da entrada que for selecionada (Y). O pino 5, também indicado como saída, apresenta o inverso do nível lógico, selecionado. Daí o fato de ser chamada de saída complementar (W).

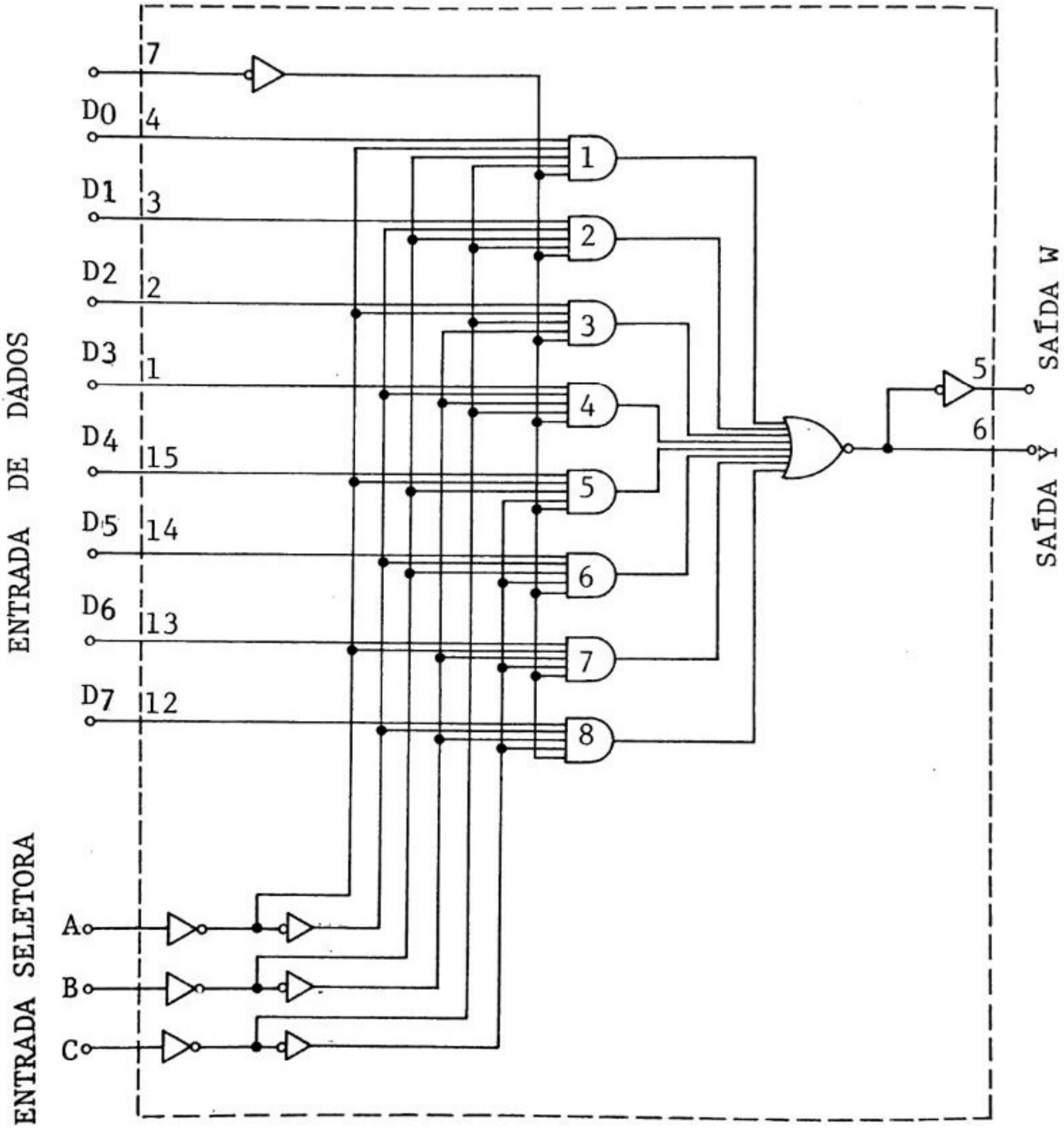
A tensão de alimentação (5 volts) é aplicada entre os pinos 16 (+) e 8 (-). O terminal inibidor, pino 7, deve ser ligado à massa em operação normal. Se um nível, alto for aplicado ao pino 7, a saída (pino 6) tornar-se-a alta e (pino 5), baixa independentemente do que for selecionado pelos pinos 9, 10 e 11.

Na figura 10, temos o circuito interno do CI TTL SN54/74151.

Os seis inversores das entradas de seleção (pinos 9, 10 e 11) geram os sinais normais e complementares, necessários às portas seletoras.

Note que os pinos 4, 3, 2, 1, 15, 14, 13 e 12 correspondem respectivamente às entradas D_0, D_1, D_2, D_3, D_4, D_5, D_6, e D_7.

FIGURA 10



Na figura 11, temos a tabela verdade correspondente ao circuito apresentado na figura 10.

ENTRADAS				SAÍDA	
SELETORA			ESTROB(INIBIDOR)		
C	B	A	(S)	Y	W
X	X	X	1	1	0
0	0	0	0	D0	$\overline{D0}$
0	0	1	0	D1	$\overline{D1}$
0	1	0	0	D2	$\overline{D2}$
0	1	1	0	D3	$\overline{D3}$
1	0	0	0	D4	$\overline{D4}$
1	0	1	0	D5	$\overline{D5}$
1	1	0	0	D6	$\overline{D6}$
1	1	1	0	D7	$\overline{D7}$

FIGURA 11

Tabela verdade do CI TTL 74151

Y - saída normal
W - saída complementar.
X - condição irrelevante.

Além da função básica, característica de todo multiplexador (já citada anteriormente), o 74151 apresenta uma série de aplicações especiais, tornando-o ainda mais útil. Vejamos,portanto, algumas dessas aplicações.

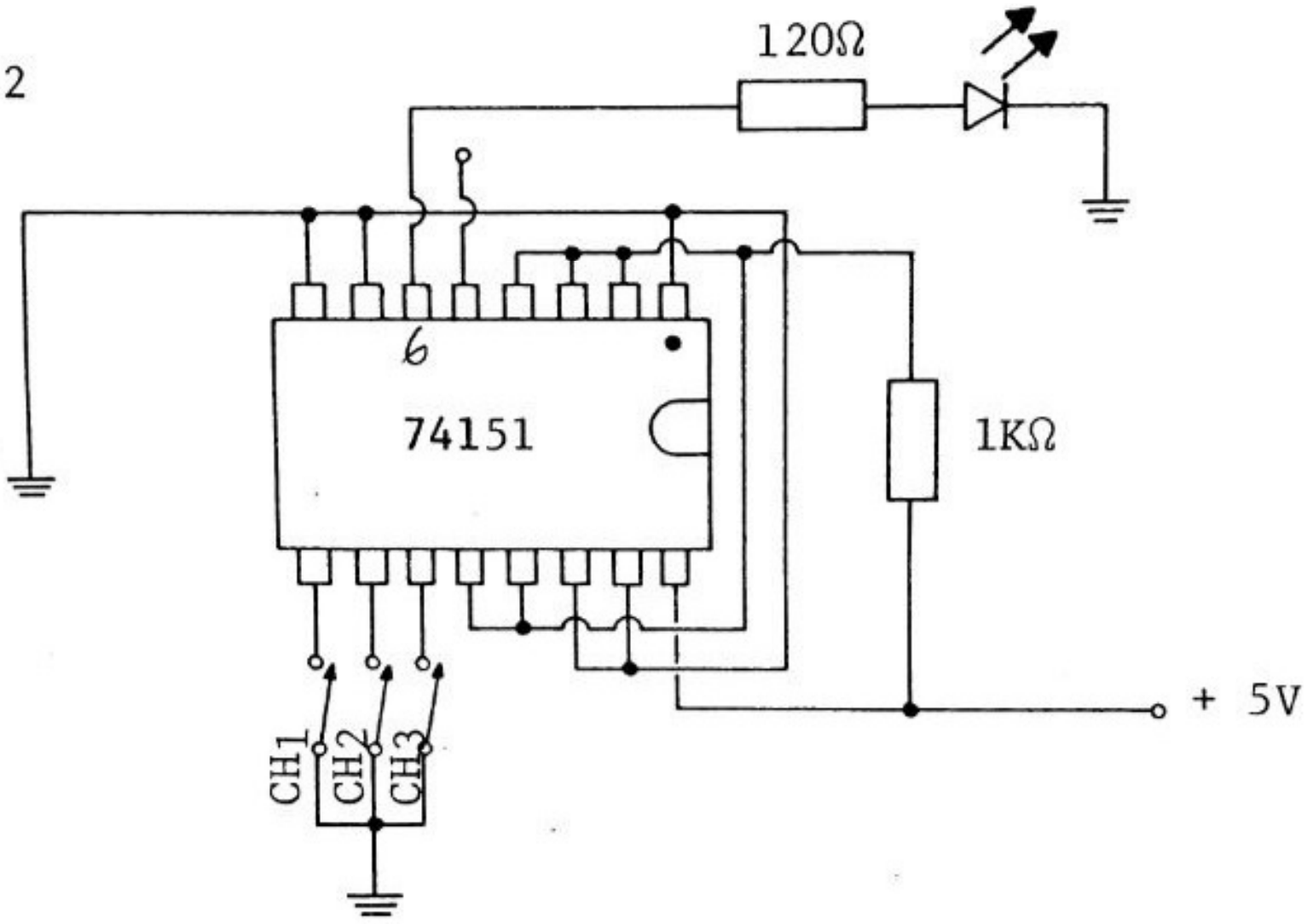
1 - Circuito de teste:

Este circuito (figura 12) nos permite entender, por completo, o funcionamento do multiplexador 74151. Como se pode notar, algumas entradas foram ligadas à massa, enquanto outras foram levadas ao nível alto. Manipulando-se as chaves CH_1, CH2 e CH3, podemos selecionar qualquer uma das oito entradas, de acordo com a combinação binária, feita com os terminais de entrada de dados. Supondo que cada chave aberta corresponde a um nível alto, enquanto que a chave fechada a um nível baixo, ao selecionarmos uma entrada, que esteja com ní-

vel alto, o multiplexador transferirá esse nível alto para o LED (Diodo emissor de luz), que então ascenderá. Já, no caso de selecionarmos uma entrada baixa, o LED não se ascenderá, pois o seu anodo estará ao mesmo potencial da massa. Para esta aplicação, não é necessário ligar o pino 5, correspondente à saída complementar.

Ainda com relação ao caso acima, se levarmos o pino 7 a um nível lógico alto, o LED permanecerá aceso para qualquer - uma das entradas selecionadas.

FIGURA 12



2 - Conversor paralelo/série:

Trata-se, pois, de uma das aplicações mais comuns de um multiplexador. Neste caso, aplica-se uma palavra binária paralela nas entradas do multiplexador. Em seguida, através dos códigos habilitadores (variáveis de controle), é realizado o seqüenciamento, de modo a obtermos, na saída, uma representação série da palavra paralela de entrada.

Na figura 13, é mostrado um multiplexador de 4 entradas. Uma palavra binária AB, de dois bits, é usada para selecionar a entrada desejada. A palavra de entrada WXYZ é armazenada em um registrador de deslocamento de 4 bits, sendo que a saída de cada um dos flip-flops do registrador é ligada a uma entrada do multiplexador.

Quando as entradas seletoras (AB) estão em "00", o estado do flip-flop W será transferido para a saída do multiplexador. Quando AB for "01", o estado do flip-flop X aparece na saída do multiplexador. Analogamente, para AB igual a "10" e "11", ocorrerá o aparecimento de Y e Z, respectivamente, na saída do multiplexador. Portanto,a saída (S) do multiplexador será igual ao estado do flip-flop conectado à entrada habilitadora.

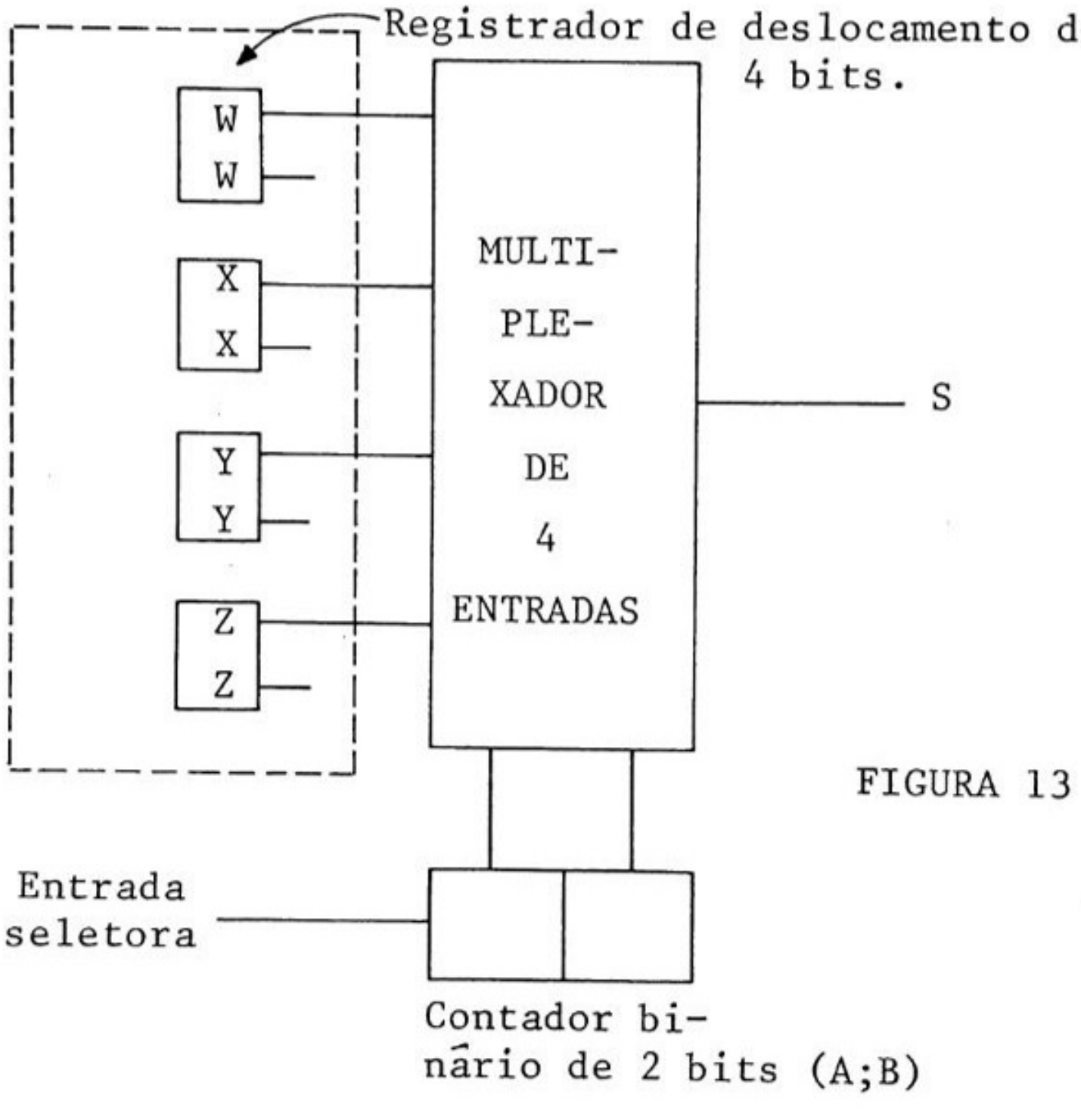


FIGURA 13

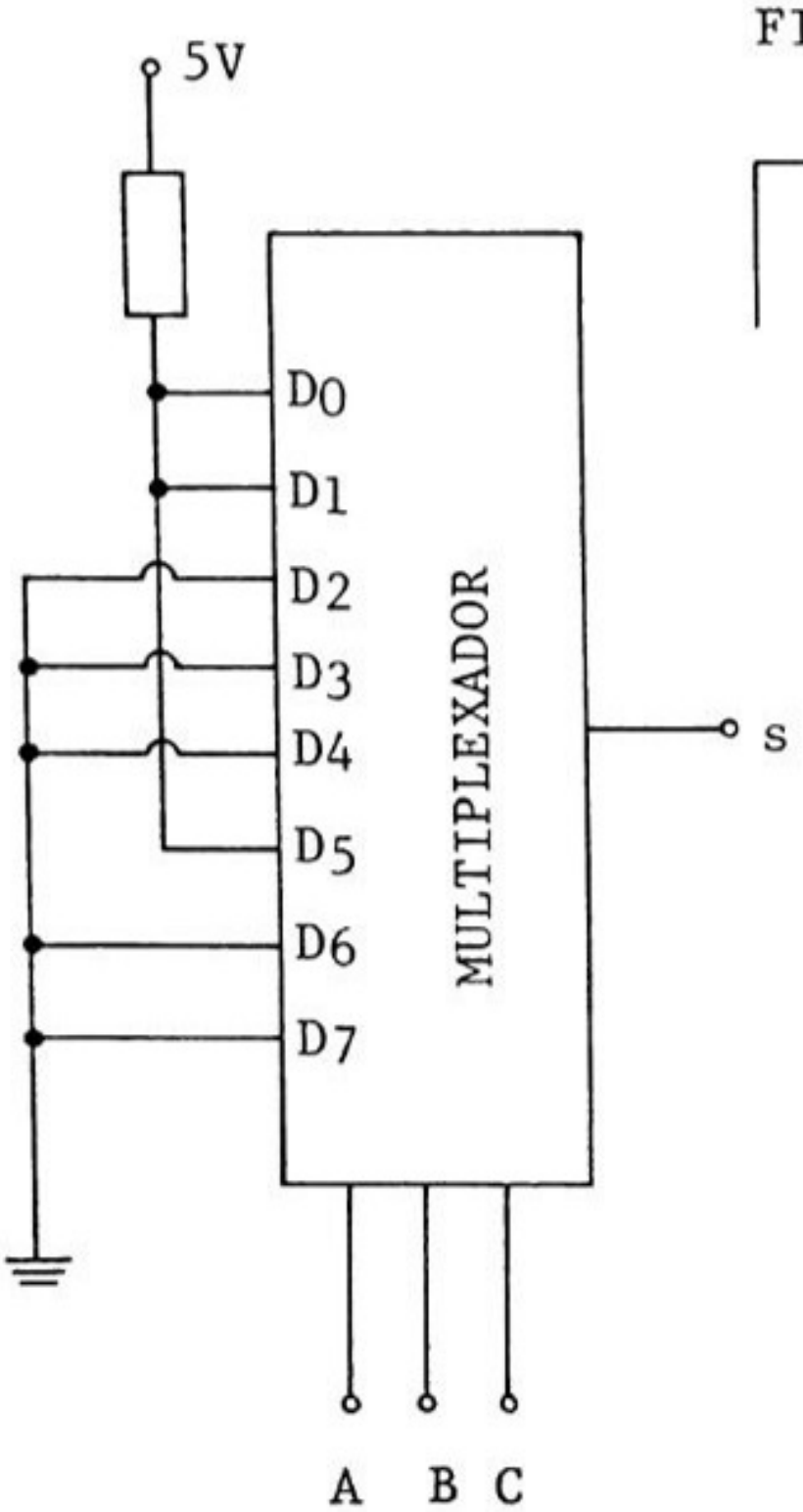
Dependendo de como as entradas estão ligadas ao registrador, o multiplexador fará ocorrer o LSB (dígito menos significativo) ou o MSB (dígito mais significativo) primeiro.

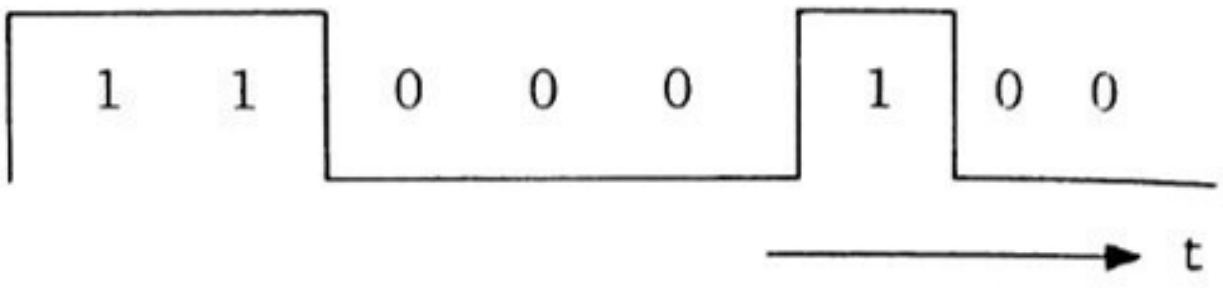
3 - Gerador de palavras binárias seriadas:

Esta aplicação é praticamente idêntica à anterior. A principal diferença reside no fato de que, para a geração da palavra binária, a palavra série,obtida na saída do multiplexador,é geralmente um valor fixo. Este tipo de aplicação é muito usado, quando necessitamos gerar uma única palavra sé-

rie, fixa,para alguma função especial. A figura 14 nos mostra um multiplexador de oito entradas, utilizado de modo a gerar uma palavra fixa na saída (por exemplo a palavra 11000100), bem como a tabela verdade, e a forma de onda na saída (S) correspondentes à palavra 11000100.

FIGURA 14





ENTRADA SELETORA			ENTRADA	SAÍDA
C	B	A	(D)	(S)
0	0	0	D_0	1
0	0	1	D_1	1
0	1	0	D_2	0
0	1	1	D_3	0
1	0	0	D_4	0
1	0	1	D_5	1
1	1	0	D_6	0
1	1	1	D_7	0

ENTRADA SELETORA

A palavra ABC de três bits é usada para selecionar uma das oito entradas (D_0, D_1...D_7) que será enviada à saída (S). Observe que as entradas D_0, D_1 e D_5 estão conectadas ao terminal + 5V (1 binário), enquanto que as demais entradas (D_2, D_3, D_4, D_6 e D_7) estão conectadas ao terminal terra (0 binário). Através do seqüenciamento das palavras de três bits (A, B e C), de 000 a 111, os estados binários, aplicados às entradas D_0 à D_7, serão transferidos para a saída. A palavra binária 11000100 é então gerada. Toda vez que a palavra de três bits,

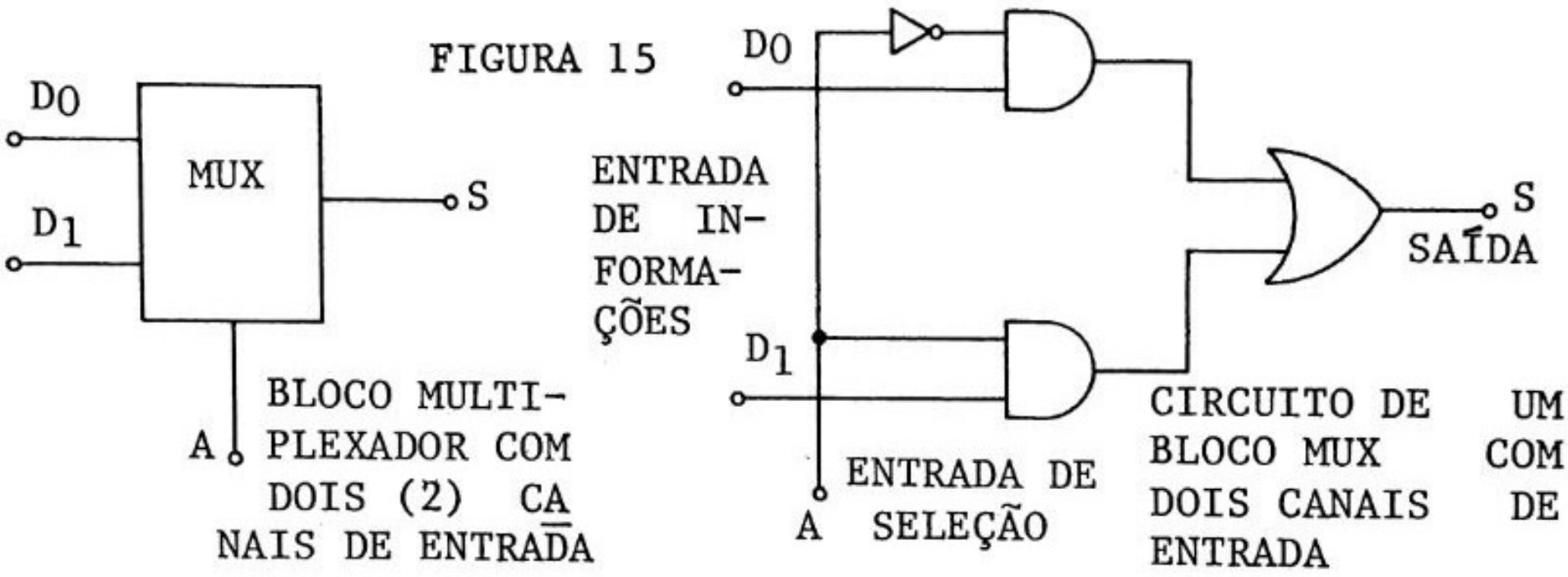
da entrada seletora, for seqüenciada de 000 a 111, a palavra série de saída (11000100) será gerada.

AMPLIAÇÃO DA CAPACIDADE DE UM SISTEMA MULTIPLEXADOR

Através de circuitos multiplexadores de baixa capacidade, podemos formar outros para um número maior de informações de entrada.

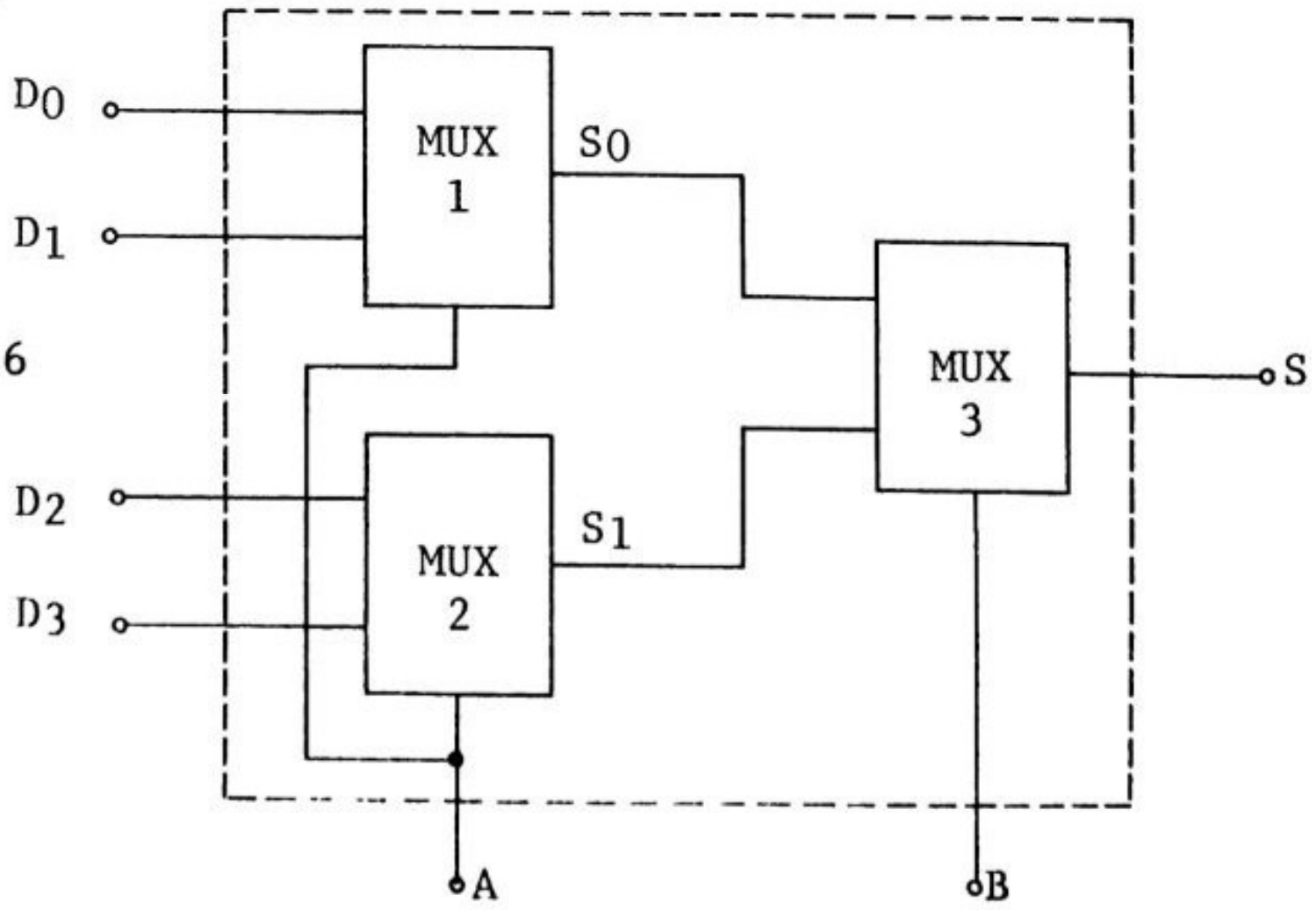
Vejamos um primeiro exemplo, onde pretendemos construir um multiplexador de quatro canais de informação a partir de três multiplexadores de dois canais cada um (figura 15).

FIGURA 15



Para tanto, devemos conectá-los conforme nos mostra a figura 16.

FIGURA 16



O circuito equivalente ao multiplexador, construído conforme a figura anterior, é mostrado na figura 17.

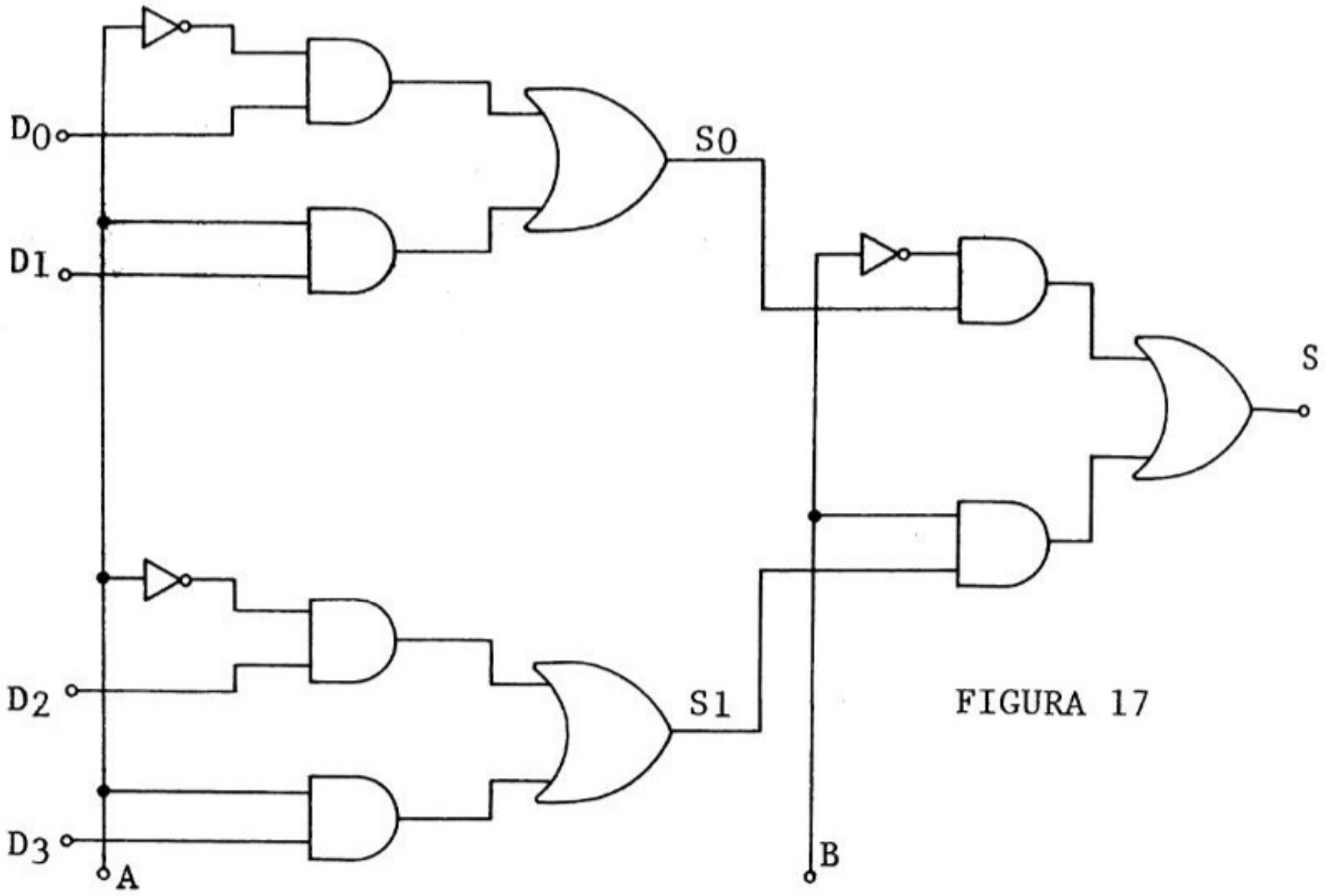


FIGURA 17

Para o circuito da figura 17, teremos a seguinte tabela verdade (figura 18).

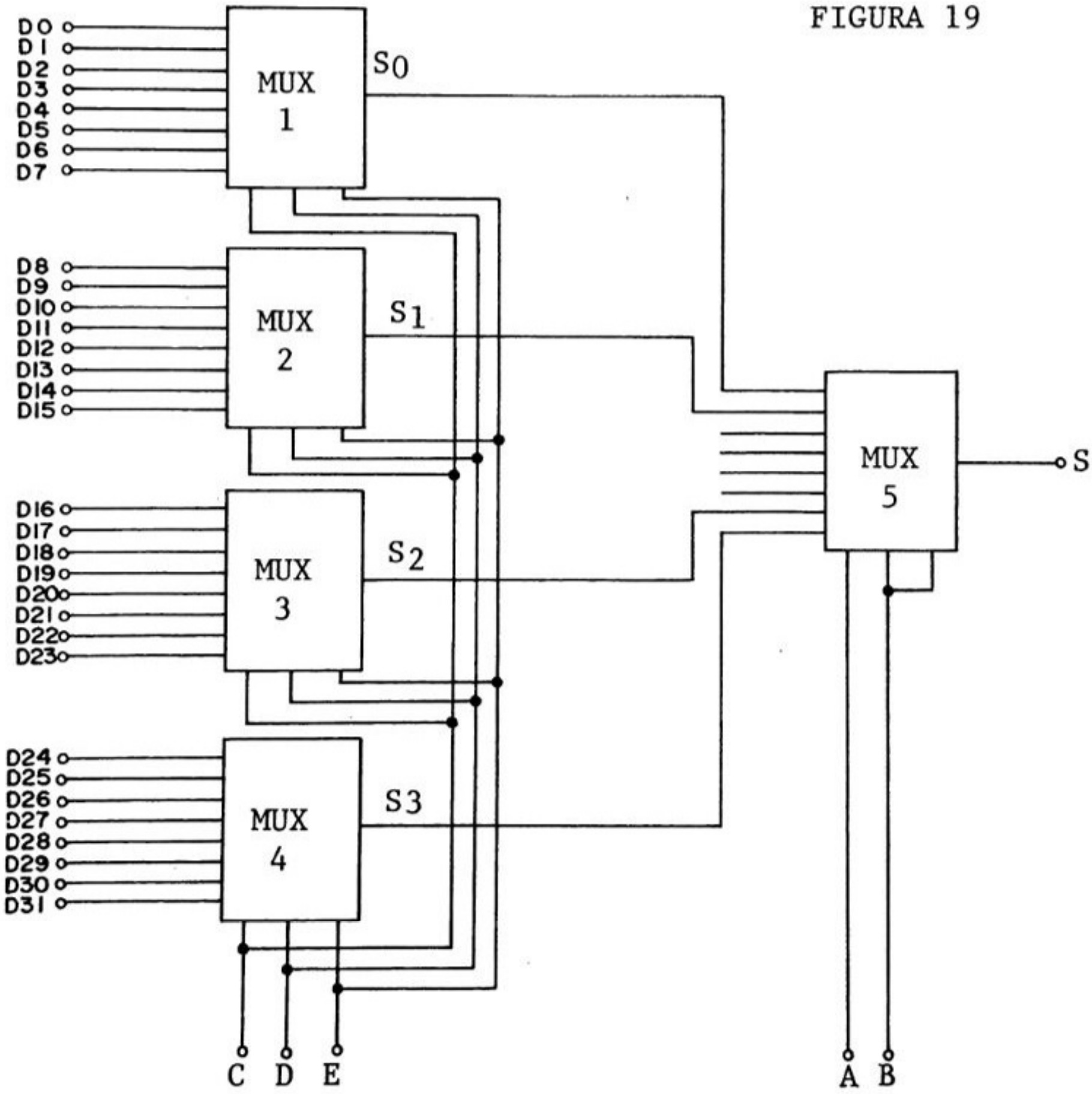
ENTRADA SELETORA		ENTRADA DE INFORMAÇÕES
B	A	
0	0	D_0
0	1	D_1
1	0	D_2
1	1	D_3

FIGURA 18

Para o endereço 10 ($B\overline{A}$), deveremos obter na saída (S) a informação D_2. Vejamos como este fato ocorre. Sendo A = 0, teremos nas saídas S_0 e S_1, as informações D_0 e D_2. Como B = 1, obteremos na saída S a informação D_2. Logo, ao injetarmos nesse circuito (figura 17) o endereço 10 ($B\overline{A}$), teremos na saída a informação D_2. O mesmo tipo de análise pode ser feito para os demais endereços.

É comum encontrarmos no mercado multiplexadores de oito (8) canais de entrada de informações e três (3) variáveis de controle (entrada seletora). Seguindo o mesmo processo utilizado para se construir um multiplexador de quatro (4) canais, podemos então, a partir de multiplexadores de oito canais, formar multiplexadores com muito maior capacidade. Com base nestes fatos, temos, na figura 19, um multiplexador de 32 canais utilizando cinco (5) multiplexadores de oito (8) canais de informações.

FIGURA 19



Nos blocos multiplexadores 1, 2, 3 e 4, as entradas de controle (CDE) irão selecionar os quatro canais de entrada que possuem a primeira parte do endereço igual (saídas S_0, S_1,

S_2 e S_3). Já o bloco multiplexador 5, que possui uma entrada de seleção curto-circuitada (B) e duas entradas seletoras(AB), efetuará a seleção final. Essas duas variáveis (A e B), correspondem à segunda parte do endereço. Ainda com relação ao multiplexador 5, note que utilizamos apenas quatro (4) dos oito (8) canais de entrada que este possui, uma vez que o MUX 5 irá selecionar apenas uma das saídas (S_0, S_1, S_2 e S_3) correspondentes aos blocos 1, 2, 3 e 4. As demais entradas permanecerão desconectadas.

De acordo com esses exemplos, podemos ampliar o número de canais de informações e, conseqüentemente, ampliar a capacidade do sistema multiplexador.

O MULTIPLEXADOR NA CONSTRUÇÃO DE CIRCUITOS COMBINACIONAIS

A partir de blocos multiplexadores, podemos montar quaisquer circuitos combinacionais. Para tanto, necessitamos conhecer a tabela verdade do circuito que pretendemos montar.

Nos canais de informações, devem ser injetadas as saídas que o circuito deve apresentar para cada uma das possibilidades da entrada seletora.

Para exemplificarmos, vamos esquematizar o circuito que executa a tabela verdade da figura 20.

ENTRADA DE CONTROLE			S A Í D A S	
A	B	C	S_1	S_2
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

FIGURA 20

A saída S_1 pertence ao multiplexador 1, enquanto que a S_2 pertence ao multiplexador 2. Vamos então identificar e estabelecer os valores dos canais de informação para cada um dos multiplexadores. Para isto, vejamos a tabela da figura 21.

VARIÁVEIS DE CONTROLE			MUX 1	MUX 2
A	B	C	S_1	S_2
0	0	0	$D_0 = 0$	$D_0 = 0$
0	0	1	$D_1 = 1$	$D_1 = 0$
0	1	0	$D_2 = 1$	$D_2 = 0$
0	1	1	$D_3 = 0$	$D_3 = 1$
1	0	0	$D_4 = 1$	$D_4 = 0$
1	0	1	$D_5 = 0$	$D_5 = 1$
1	1	0	$D_6 = 0$	$D_6 = 1$
1	1	1	$D_7 = 1$	$D_7 = 1$

FIGURA 21

Da tabela acima (figura 21), podemos extrair os valores que as informações de entrada devem assumir:

Multiplexador 1:

$D_0 = D_3 = D_5 = D_6 = 0$

$D_1 = D_2 = D_4 = D_7 = 1$

Multiplexador 2:

$D_0 = D_1 = D_2 = D_4 = 0$

$D_3 = D_5 = D_6 = D_7 = 1$

Com base nestes fatos, o esquema do circuito (figura 22) será:

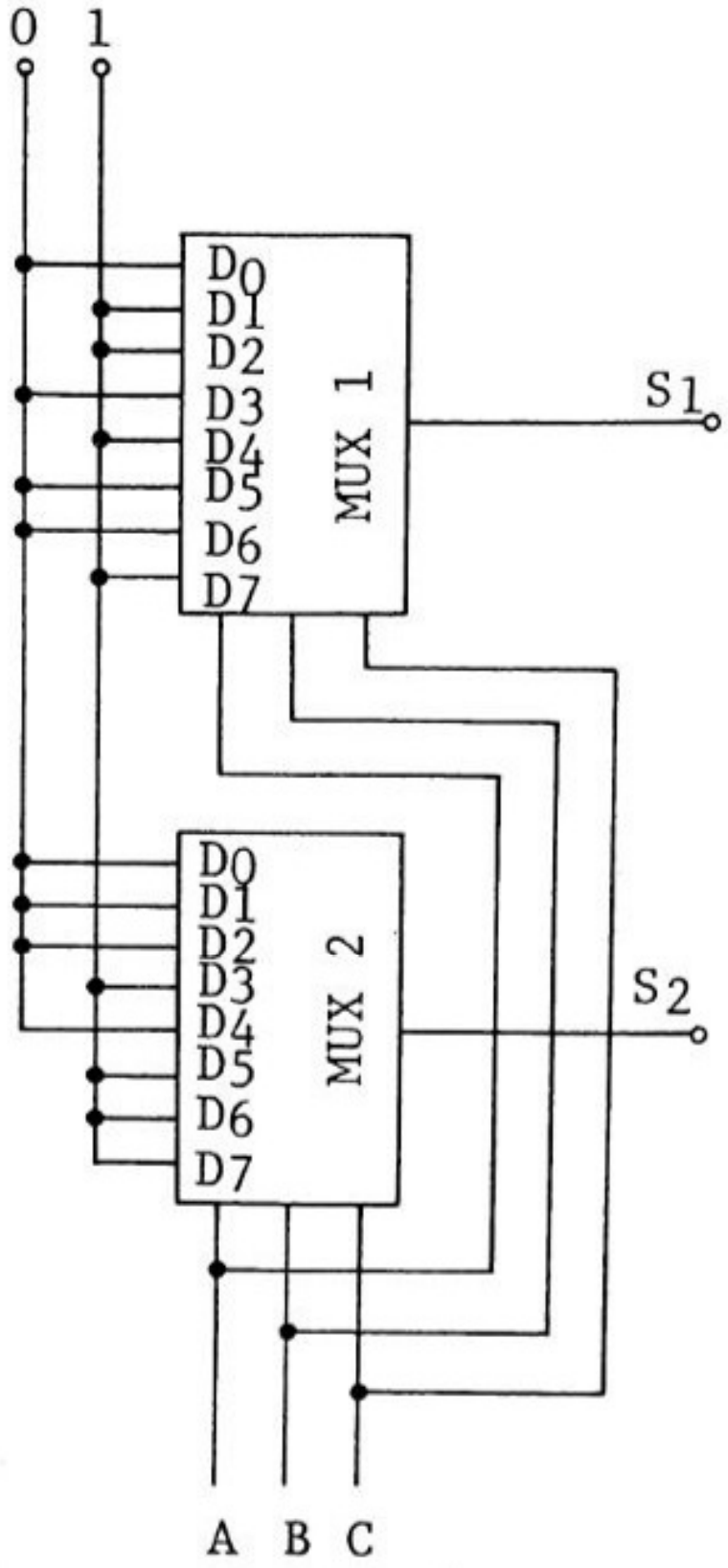


FIGURA 22

Para verificarmos o funcionamento do circuito, vamos analisar uma das situações,por exemplo, o caso das entradas $AB\overline{C}$ iguais a 101 respectivamente. Assim sendo, os dois multiplexadores irão endereçar o canal de informação D5. Portanto, nas saídas S_1 e S_2, teremos respectivamente 0 e 1, que são os valores impostos nas entradas de informações. Os demais casos serão análogos.

Com isso, utilizando-se desse processo, podemos construir qualquer tipo de circuito combinacional. Uma das vantagens desse processo é que os multiplexadores vêm simplificar enormemente a implementação de funções booleanas.

DEMULTIPLEXADORES (DEMUX)

Trata-se de um circuito lógico, basicamente inverso do multiplexador, também conhecido como "Distribuidor de Dados". Este bloco efetua a função inversa do multiplexador, ou seja,

envia informações contidas em uma única entrada para diversos canais de saída de informações. Na figura 23, temos a representação esquemática de um bloco demultiplexador.

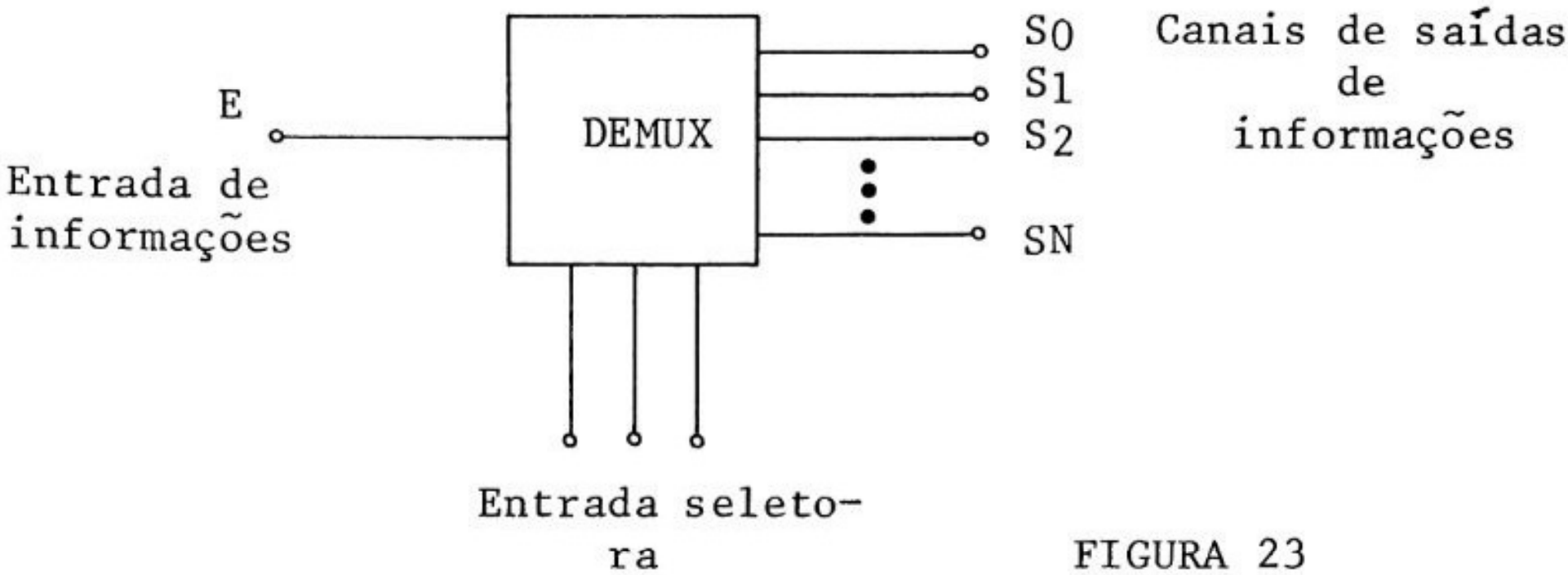


FIGURA 23

A finalidade da entrada seletora é escolher o canal de informação de saída, que deve ser conectado à entrada, ou seja, as entradas de seleção fornecem o endereço para o qual a informação deverá se dirigir. Na figura 24, temos uma chave de um pólo e múltiplas posições, a qual representa a forma mais simples de um demultiplexador.

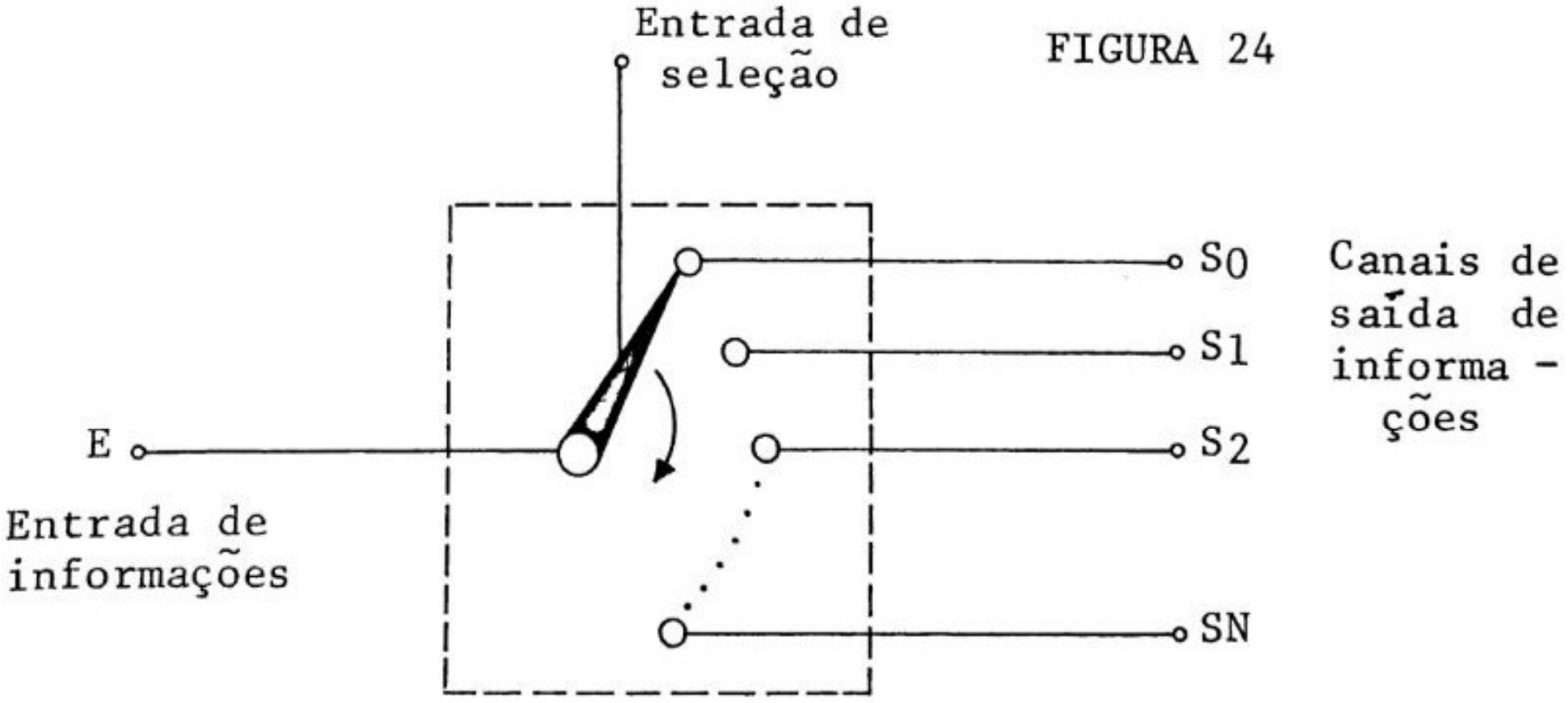


FIGURA 24

Os demultiplexadores são muito utilizados em conversão - série/paralelo de informações; em geração de produtos canônicos; em sistemas de tranmissão de dados, etc... Vejamos como estes circuitos funcionam.

PROJETO E FUNCIONAMENTO DO DEMULTIPLEXADOR

Procedendo-se de maneira semelhante, quando do projeto do multiplexador, vamos, inicialmente, considerar todas as possibilidades de seleção e os respectivos canais de informação aos quais a entrada deverá ser conectada.

Por exemplo: para que possamos conectar aleatoriamente - uma entrada a 4 canais de saída, necessitamos de 2 variáveis de seleção. Com base nisto, podemos montar a seguinte tabela verdade (figura 25).

ENTRADA DE CONTROLE		SAÍDAS			
A	B	S_0	S_1	S_2	S_3
0	0	D	0	0	0
0	1	0	D	0	0
1	0	0	0	D	0
1	1	0	0	0	D

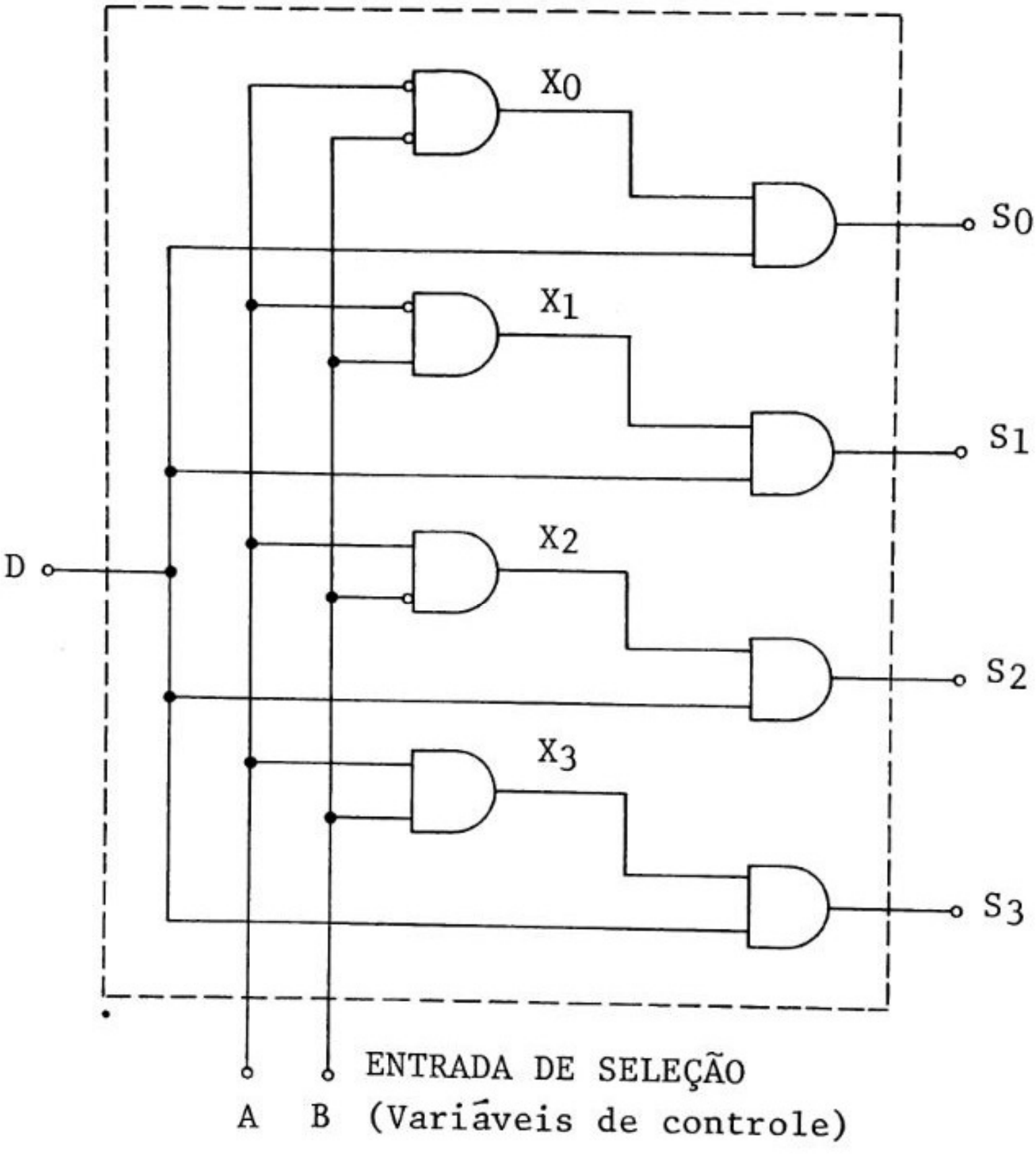
$\overline{A}\ \overline{B}$ (00	S_0
$\overline{A}$ B (01)	S_1
A $\overline{B}$ (10)	S_2
A B (11)	S_3

FIGURA 25

Com base na tabela verdade (figura 25), podemos esquematizar o circuito, conforme a figura 26.

Seu princípio de funcionamento é análogo ao do multiplexador. Para verificarmos isto, vamos analisar um dos casos possíveis das variáveis de seleção, como, por exemplo, o caso ou endereço A $\overline{B}$ (10). Quando ocorrer este caso, o circuito irá selecionar a saída intermediária X2, fazendo com que a porta E, conectada à saída X2 e ao terminal de entrada D, seja habilitada, de modo que teremos o sinal de entrada transferido para a saída S_2. As demais saídas permanecerão inibidas.

FIGURA 26

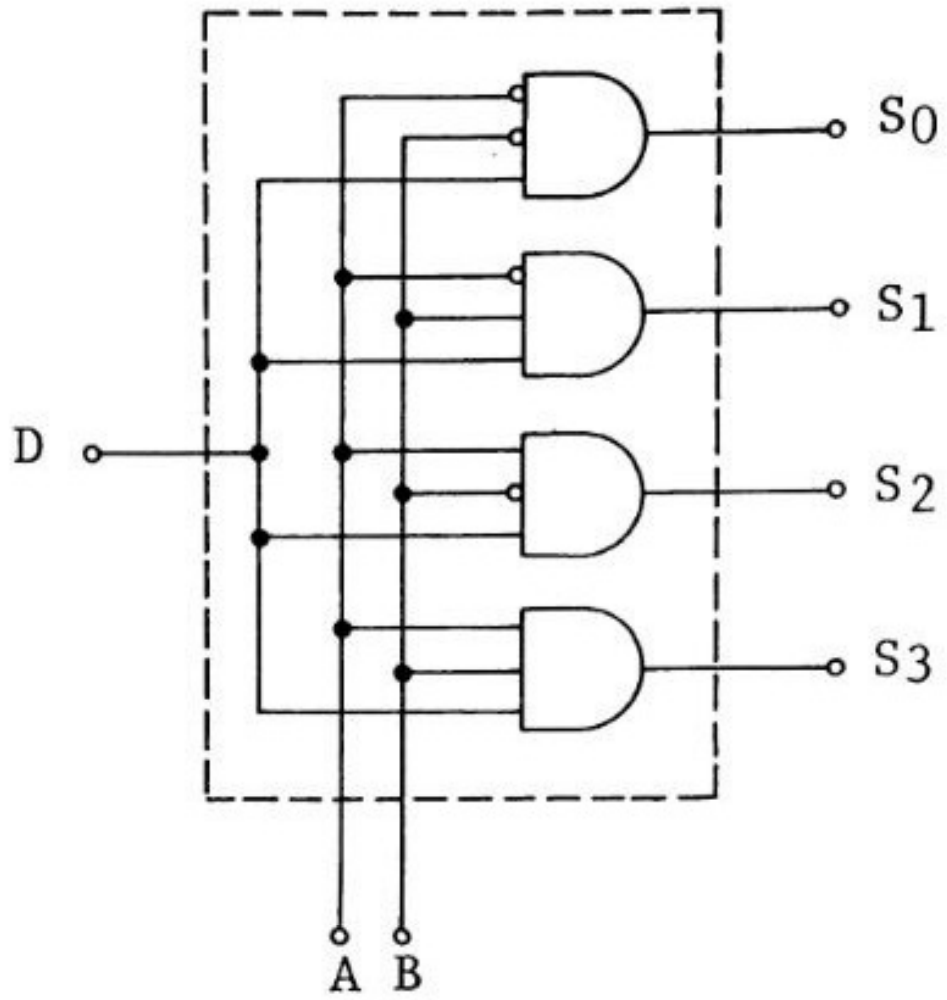


Na figura 27, temos uma outra maneira de representar o circuito da figura 26.

Para se elaborar circuitos demultiplexadores de 8 canais ou mais, procede-se de maneira análoga.

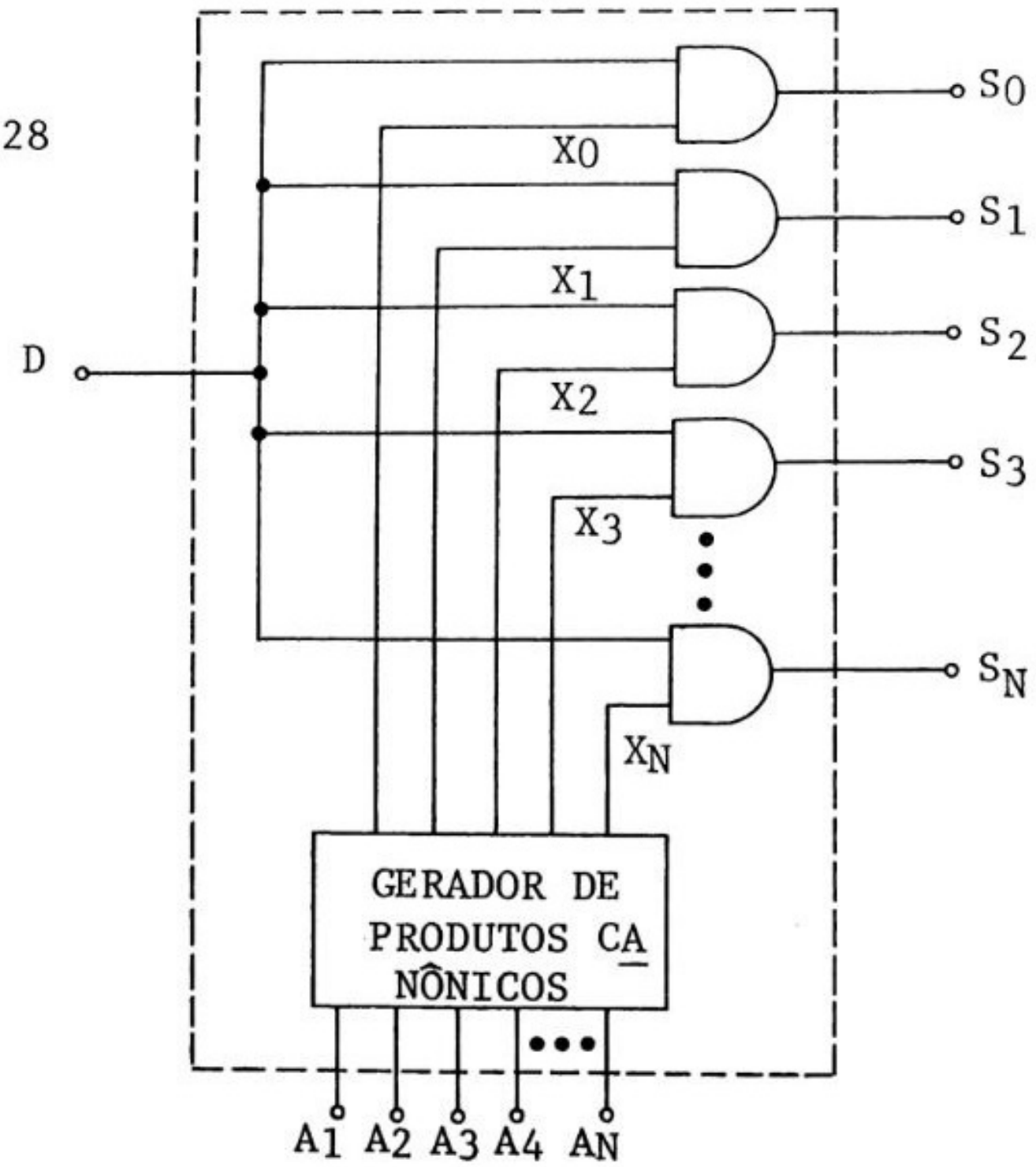
Também podemos formar circuito demultiplexador a partir de qualquer gerador de produtos canônicos, o qual irá funcionar como distribuidor de endereços, pois, dependendo do nível lógico das váriáveis de seleção, ele irá habilitar apenas uma das várias saídas do circuito. Na figura 28, temos, um demultiplexador com N canais de saídas, construído a partir de um gerador de produtos canônicos de N variáveis de controle.

FIGURA 27



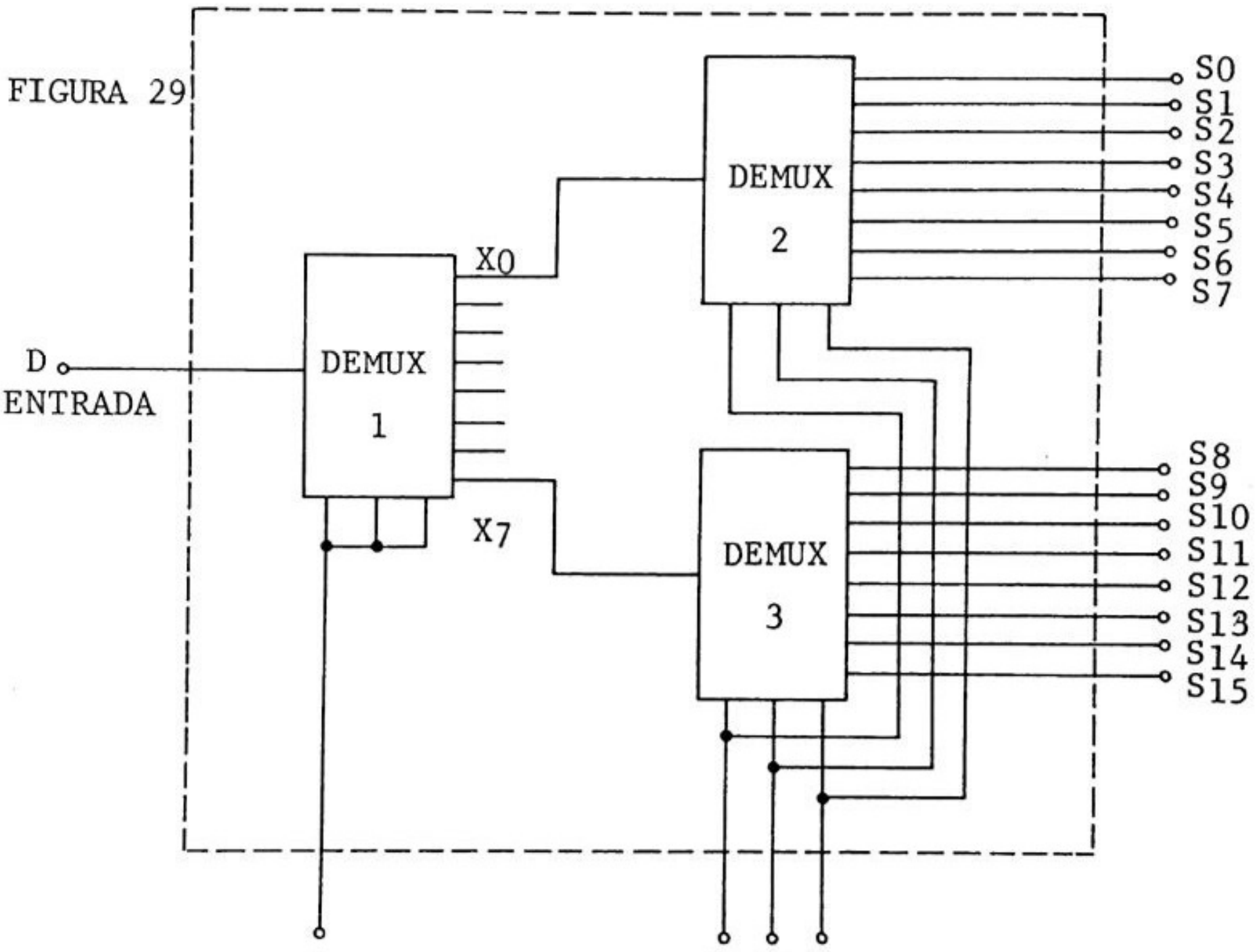
Normalmente, encontramos circuitos demultiplex de 8 canais de saída (com três variáveis de seleção).

FIGURA 28



Podemos montar, a partir de demultiplexadores de menor capacidade, outros de maior capacidade, ou seja, com maior número de canais de saída. Como ilustração, vejamos o circuito demultiplexador de 16 canais de saída (figura 29), construído a partir de 3 blocos demultiplexadores de 8 canais cada um.

FIGURA 29



Neste caso, o demultiplexador (DEMUX) 1, através de sua entrada selecionadora (variável de controle = A), irá selecionar apenas dois (X_0 e X_7) dentre os oito canais de saída, selecionando, assim, um dos dois blocos demultiplexadores posteriores. A variável de controle "A" constitui-se, assim, na primeira parte do endereço.

A segunda parte do endereço (variáveis BCD) irá selecionar os canais, pelos quais a informação deverá sair.

Note que, para este caso, ocorre exatamente o inverso do que foi descrito para o multiplexador de 16 canais (veja figuras 16 e 17).

BLOCOS MUX E DEMUX NA TRANSMISSÃO DE DADOS

Esses blocos (circuitos) são amplamente utilizados na transmissão de dados. Para tanto, é necessário que tenhamos um transmissor e um receptor e, para que haja uma perfeita recepção, é necessário que as variáveis de seleção estejam sincronizadas, isto é, tanto na recepção como na transmissão, as variáveis de controle devem enviar o mesmo endereço.

Temos dois processos básicos de transmissão de dados:

- Transmissão paralela - através de vários fios (figura 30).
- Transmissão série - através de um único fio (figura 31).

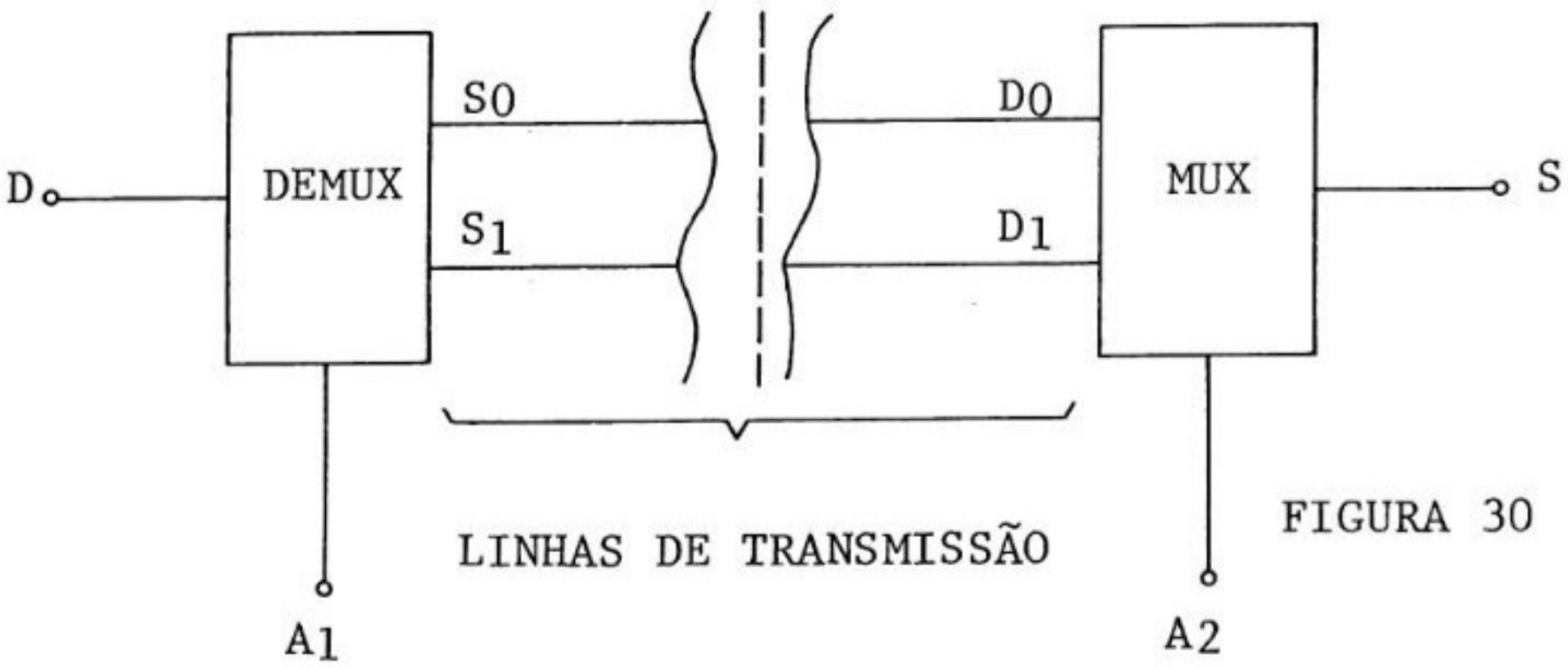


FIGURA 30

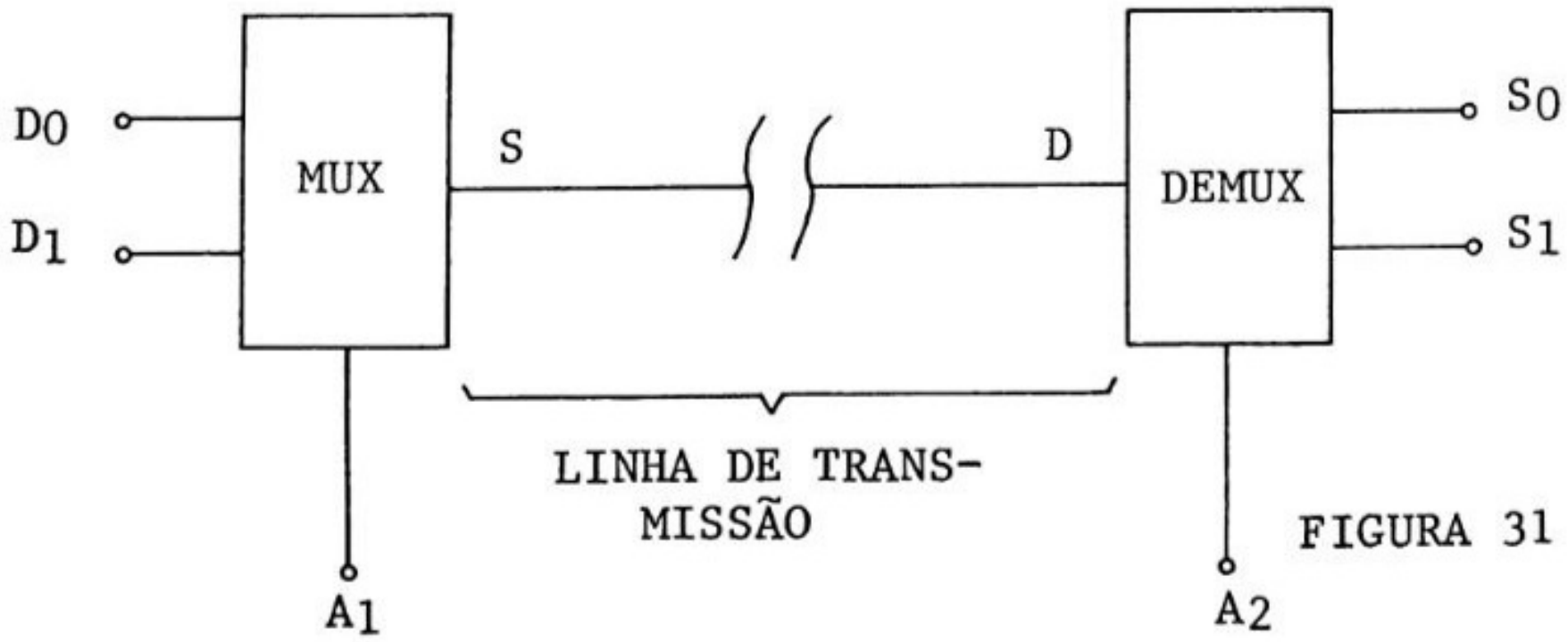


FIGURA 31

Porém, desses dois processos básicos, o mais utilizado é a transmissão série. As variáveis A_1 e A_2 devem enviar o mes-

mo endereço simultaneamente fazendo com que o sistema opere - em sincronismo. Neste processo, poderemos transmitir várias informações,uma em seguida da outra. Uma das vantagens deste processo é que, quando a distância entre o transmissor e o receptor é muito grande, a linha de transmissão poderá ser um único fio.

MULTIPLEXADOR MOS

Até agora, todos os circuitos multiplexadores e demultiplexadores apresentados foram construídos com base na tecnologia bipolar (TTL). Hoje, todavia, já dispomos de dispositivos construídos com outras tecnologias, como, por exemplo, os dispositivos C-MOS (Metal-óxido-semicondutor).

A lógica complementar C-MOS é, dentre as famílias de dispositivos MOS, a que apresenta maior versatilidade. Além de apresentar características como: baixo consumo de potência,alta imunidade a ruídos, operação confiável com ampla faixa de valores de tensão de alimentação, apresenta também com relação à condução, uma outra característica muito importante, inerente à família C-MOS, que permite a condução em ambos os sentidos. Com isto, um circuito multiplexador pode trabalhar como um circuito demultiplexador, desde que, consideremos as entradas de informações do primeiro, como sendo as saídas do demultiplexador.

Vejamos alguns exemplos de dispositivos construídos com esta tecnologia.

MULTIPLEXADOR DIGITAL MM74C151

Trata-se de um circuito integrado, construído com transistores de canal P e canal N. Possui duas saídas (Y e W),sendo que a saída W nos fornece o sinal complementar, enquanto que a Y nos dá o sinal real. Um sinal alto (1 binário) na entrada strobe leva a saída W ao nível lógico "1" e a saída Y ao nível lógico "0". Este circuito possui oito (8) canais - de entrada de informações e 3 (três) entradas para as variáveis seletoras. Na figura 32, temos um diagrama do MM74C151.

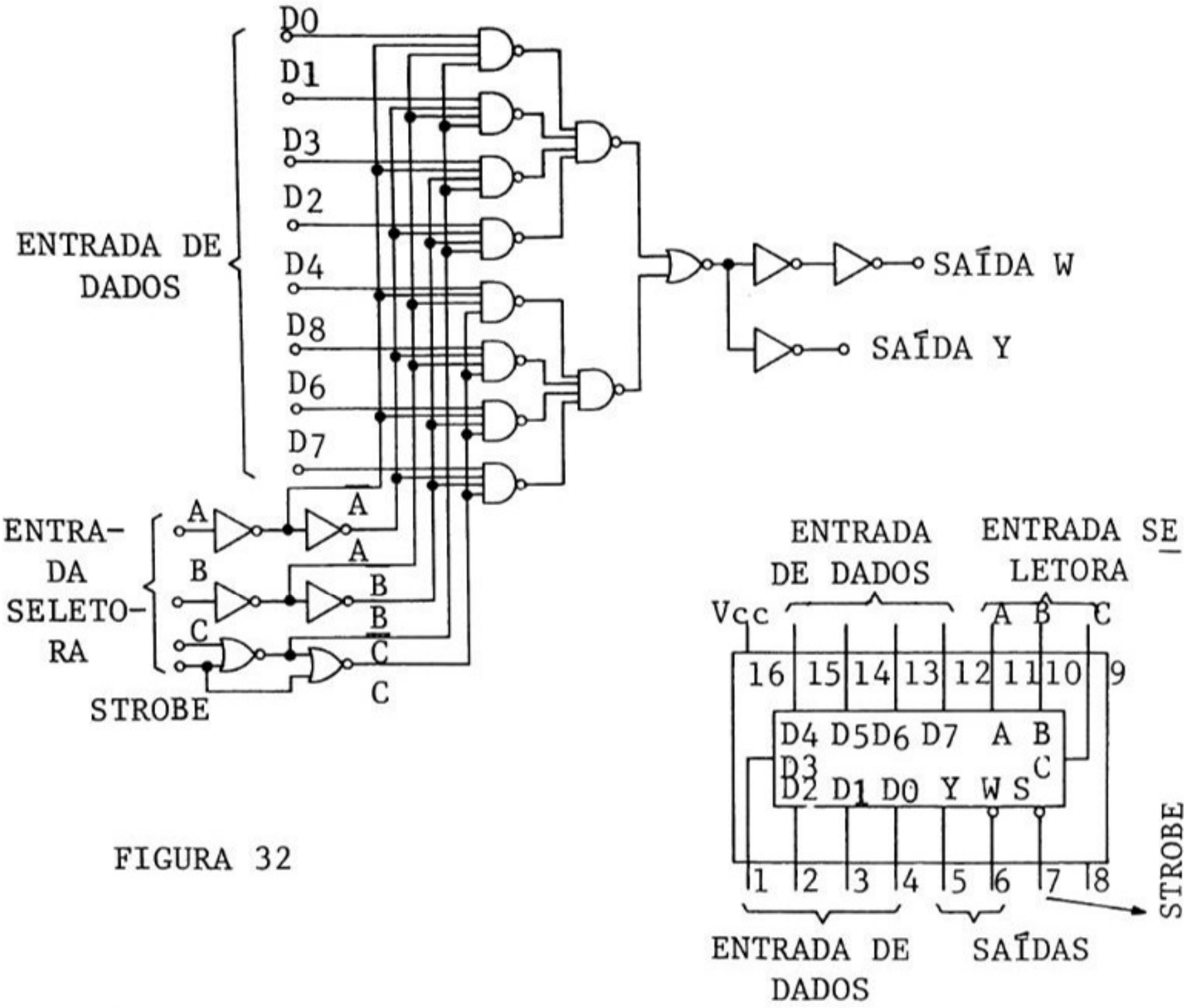


FIGURA 32

Sua aplicação prática é muito variada, indo, desde as indústrias: automotiva, instrumentação e aparelhos médicos, - até sistemas de computadores.

Este multiplexador substitui pino por pino o multiplexador SN54/74151, apresentado anteriormente.

Poderíamos ainda citar outros multiplexadores construídos com base na tecnologia C-MOS, como, por exemplo,MM54C157/ MM74C157, MM54C154/MM74C154,etc...

CEDM
CURSOS DE APERFEIÇOAMENTO

CURSO DE
ELETRÔNICA DIGITAL E
MICROPROCESSADORES

CAIXA POSTAL 1642 - CEP 86100 - LONDRINA - PARANÁ

EXAME DA LIÇÃO ED-27

OBSERVAÇÃO

- cada questão é composta de três ou quatro alternativas.
- só uma delas está correta.
- marque a que considerar correta.
- passe as respostas corretas para a folha de exame.

1) A função do multiplexador é:

a) Selecionar vários sinais de entrada simultaneamente e encaminhá-los através de um único canal de saída;

b) Selecionar um dentre vários sinais de entrada e transferí-lo por um único canal de saída;

c) Selecionar um dentre vários sinais de entrada e transferí-lo através de N canais de saída.

2) Os multiplexadores podem ser classificados como:

a) Os itens b e c estão corretos;

b) Digitais;

c) Analógicos.

3) Para que possamos ligar arbitrariamente 16 entradas à saída de um multiplexador, necessitamos de:

a) 3 variáveis de seleção;

b) 5 variáveis de seleção;

c) 4 variáveis de seleção.

4) Com relação à figura 6, quando ocorrer o caso A $\overline{B}$ C, o gerador de produtos canônicos irá liberar a saída:

a) X_2;

b) X_7;

c) X_6;

d) X_5.

5) O seletor de dados SN54/74151 possui:

a) oito entradas selecionáveis;

b) oito saídas selecionáveis;

c) cinco entradas seletoras.

6) Com relação à figura 12, se o pino 7 do C.I. 74151, estiver a um nível lógico alto, o LED:

a) permanecerá aceso;

b) permanecerá apagado;

c) N.R.A.

7) Uma das aplicações do multiplexador é:

a) amplificar os sinais de entrada;

b) converter um sinal de entrada série em paralelo;

c) converter um sinal de entrada paralelo em série.

8) A função do demultiplexador é:

   a) as respostas b e c estão corretas;

   b) enviar as informações contidas em vários canais de entrada para um único canal de saída;

   c) enviar as informações contidas em um único canal de entrada para diversos canais de saída.

9) Com relação à figura 27, quando ocorrer a condição $\overline{A}B(01)$, a saída selecionada será:

   a) S_1;

   b) S_2 e S_3;

   c) S_0.

10) Para construirmos um circuito demultiplexador de 16 saídas são necessárias:

   a) 3 entradas seletoras;

   b) 4 entradas seletoras;

   c) 1 entrada seletora.

CEDM
CURSOS DE APERFEIÇOAMENTO

CURSO DE
ELETRÔNICA DIGITAL E
MICROPROCESSADORES

CAIXA POSTAL 1642 - CEP 86100 - LONDRINA - PARANÁ

LIÇÃO ED-28

GERADORES DE PARIDADE E COMPARADORES

INTRODUÇÃO:

Pretendemos, nesta lição, desenvolver um breve estudo sobre "Bit de Paridade", "Geradores de Paridade" e "Comparadores de Magnetude".

Comecemos por estudar "paridade".

PARIDADE:

A paridade serve para comprovar se os dados foram transmitidos corretamente. O princípio em que se baseia, consiste em contar o número de "1" presente em oito (8) bits ou em um byte. Como sabemos, um byte possui oito bits, sendo que o oitavo bit correspondente ao bit de paridade (veja a figura 1).

Em um sistema de paridade par, o oitavo bit é preenchido com "0" ou "1" de tal modo que o número de "1" presente nos oito (8) bits seja par. Por exemplo, seja a palavra binária 1 0 1 1 1 0 1 1 ;neste caso o número de "1" presente é 5, ou seja, é um número ímpar. Para que tenhamos paridade par é necessário que o número de "1" seja par, para isso devemos

acrescentar,no oitavo bit,o número "1" binário. Agora sim, o número total de "1" presente neste conjunto de oito bits (um byte) é par (temos 6 números "1"). Caso o número de "1" presente nos sete primeiros bits da palavra seja par, o bit de paridade deve ser preenchido com "0" binário, pois assim mantemos a paridade par.

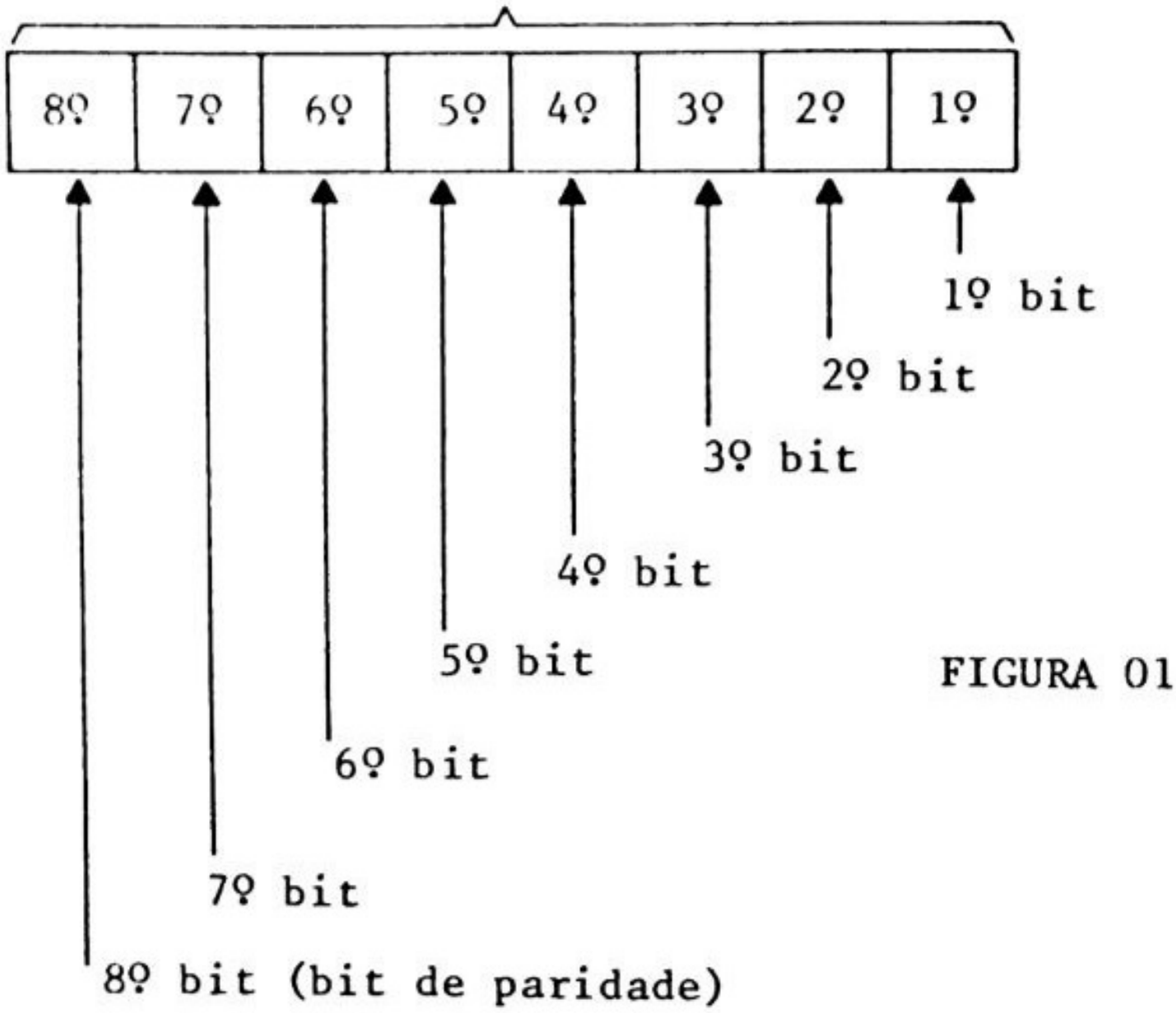


FIGURA 01

O mesmo raciocínio podemos aplicar para o sistema de paridade ímpar, ou seja, quando o número de "1" presente nos sete primeiros bits da palavra for par, o bit de paridade deverá ser igual a "1", pois assim obteremos um número de "1" ímpar. Caso o número de "1" presente nos sete primeiros bits seja ímpar, o bit de paridade deverá ser "0" binário, pois assim a soma total de "1" nos oito bits será ímpar.

A finalidade do uso do bit de paridade é detectar se o número de "1" da palavra está ou não correto. Se estivermos, por exemplo, trabalhando com paridade par, o bit de paridade P se elevará a "1" binário, sempre que o número de "1" da palavra for ímpar, indicando, assim, a ocorrência de um erro de paridade. A maioria dos microcomputadores não dispõe do bit de paridade, uma vez que este é utilizado essencialmente em comunicações, e, por outro lado, supõe-se que os dados que -

chegam até ao microcomputador estejam corretos. Sob o ponto - de vista de informação, o bit de paridade é considerado redundante, uma vez que serve apenas para verificar se a palavra (informação) transferida está ou não correta.

CÓDIGO DE PARIDADE:

Quando se tem uma modificação indesejável da informação, durante sua transmissão ou seu armazenamento na memória, é comum o emprego de códigos que permitam detectar os erros. Esses códigos recebem o nome de "Códigos Autodetectores", os quais são considerados redundantes. Entre estes códigos, destaca-se o "código de paridade".

O código de paridade se subdivide em dois, de acordo com os dois sistemas de paridade. Teremos assim, um"código de paridade par" e um "código de paridade impar". Estes códigos - permitem detectar apenas um erro em uma mesma informação, daí o fato de serem denominados de "códigos parcialmente decetores".

GERADOR/VERIFICADOR DE PARIDADE:

Quando grandes quantidades de informações digitais são transmitidas de um dado ponto para um outro, é comum a perda de alguns poucos bits, devido a interferências diversas. Mesmo que o nível de erro seja extremamente baixo, em muitas aplicações, é necessário localizar o erro e corrigí-lo.

Por exemplo, se o número 64 (1000000_2) estiver sendo - transmitido e, durante a transmissão, perder-se um bit, o número inicial (1000000_2) poderá se transformar em $0(0000000_2)$. Por outro lado, se um bit for mudado de 0 para 1, o número 0 (zero), a ser transmitido, será recebido como sendo 64(10).Podemos então concluir que sérios problemas poderiam ocorrer,se alguns poucos bits fossem perdidos.

Na figura 2, temos um gerador de paridade par. Este circuito exibe continuamente cada bit de um grupo de quatro bits (quatro bits = um NIBBLE). Se o conjunto de quatro bits(1 NIBBLE) contiver um número impar de "1's", a saída do gerador apresentará a lógica "1". Por outro lado, se o NIBBLE tiver

um número par de "1's", o circuito apresentará uma saída lógica "0". Este bit, apresentado na saída, é então incorporado ao NIBBLE, como sendo um quinto bit, o qual irá acompanhar o NIBBLE, enquanto este for transmitido para um circuito de processamento de dados.

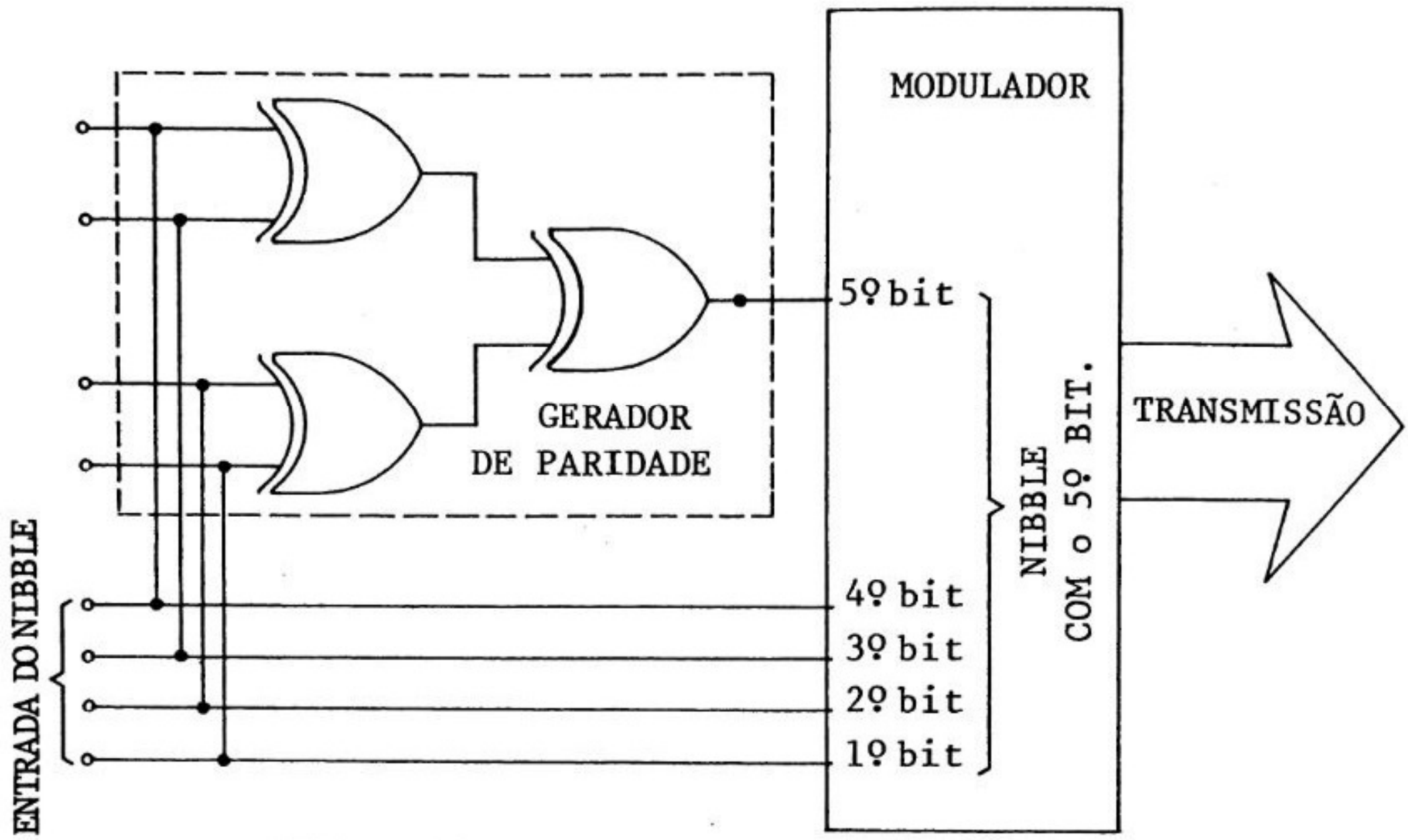


FIGURA 02

Quando o NIBBLE for recebido, será então inspecionado por um detector de paridade, feito, como o gerador de paridade, de portas OU-EXCLUSIVA. Se a paridade estiver correta, o NIBBLE será aceito para o processamento, se não, um sinal de erro será gerado.

Este método de paridade é eficaz, porém não é à prova de erros, pois a possibilidade de se perder um bit de paridade é muito menor do que a de se perder um bit do NIBBLE, uma vez que este possui quatro bits. Muitas vezes o erro não está no bit de paridade, mas sim, em um dos quatro bits do nibble.

Então, podemos dizer que há limitações no uso do "teste de paridade simples,como mecanismo de detecção de erros, pois existe uma certa tendência da falha em produzir erros simul-

tâneos, conseqüentemente, a falha passaria despercebida, uma vez que não haveria mudança no bit de paridade. Por exemplo,a palavra: 1011 cujo bit de paridade ou 5º bit é igual a 1 é transmitida. Suponhamos então que ocorra uma falha durante a transmissão e a palavra 1011 seja transformada em 1000. Nestas condições o bit de paridade também será igual a 1 e, conseqüentemente, o erro não será detectado pelo teste de paridade, feito na recepção.

		paridade
palavra transmitida	1011	1
palavra recebida	1000	1

Existem meios de se contornar esta situação, os quais serão abordados oportunamente.

O SN54180/74180:

Trata-se de um gerador/verificador de paridade de 9 bits (8 bits de dados e 1 bit de paridade), pertencente à família TTL e muito utilizado em transmissão de dados.

Apresenta duas saídas: uma par e outra impar e duas entradas de controle, facilitando, assim, a operação em ambas as paridades. Conforme a paridade par ou ímpar esteja sendo gerada ou verificada, as entradas par ou ímpar poderão ser utilizadas como paridade ou entrada do 9º bit.

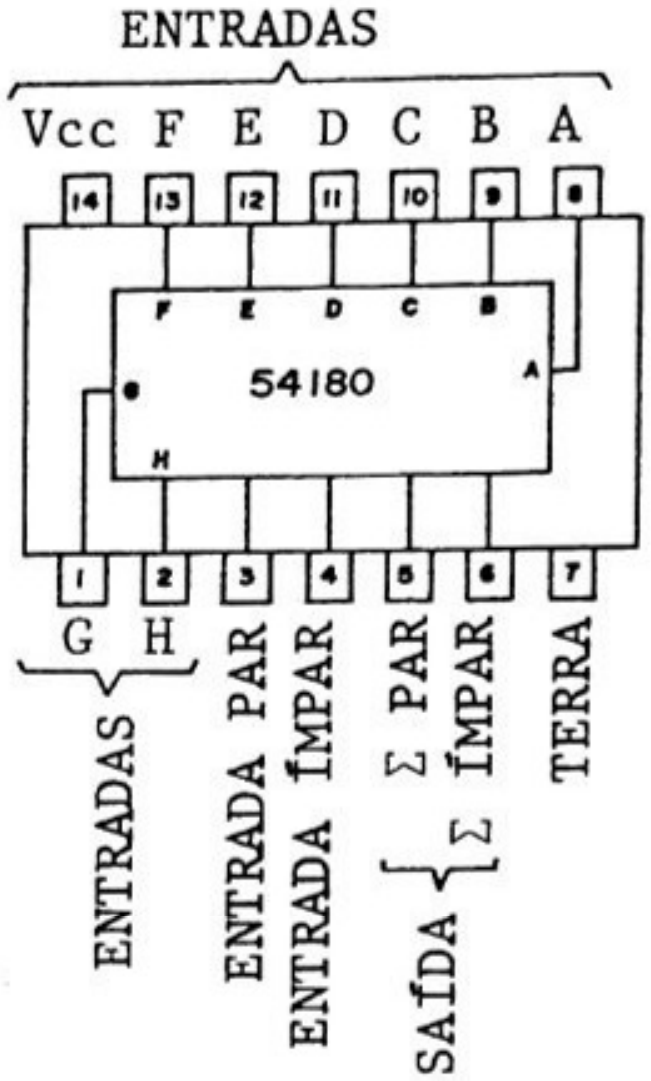
Um FAN-OUT para 10 cargas normalizadas (10 portas) da série 54/74 é válido, quando todas as saídas do SN54180/74180 apresentarem um nível lógico baixo (zero binário). Já, um FAN-OUT para 20 cargas normalizadas (20 portas) é fornecido para um nível lógico alto (um binário).

Para o SN54180/74180, a dissipação média de potência fica em torno de 170 mW.

O SN54180, de aplicação militar, opera numa faixa de temperatura entre -55ºC até 125ºC; Já o SN74180 é caracterizado para operação entre 0ºC e 70ºC.

Na figura 3, temos a representação de conexão e pinagem do SN54180/74180.

FIGURA 03



A tabela verdade (tabela 1) foi elaborada, utilizando-se da lógica positiva.

E N T R A D A S			S A Í D A S	
Σ de "1's"	PAR	ÍMPAR	Σ PAR	Σ ÍMPAR
PAR	1	0	1	0
ÍMPAR	1	0	0	1
PAR	0	1	0	1
ÍMPAR	0	1	1	0
X	1	1	0	0
X	0	0	1	1

Na figura 4, temos o diagrama de bloco do SN54180/74180.

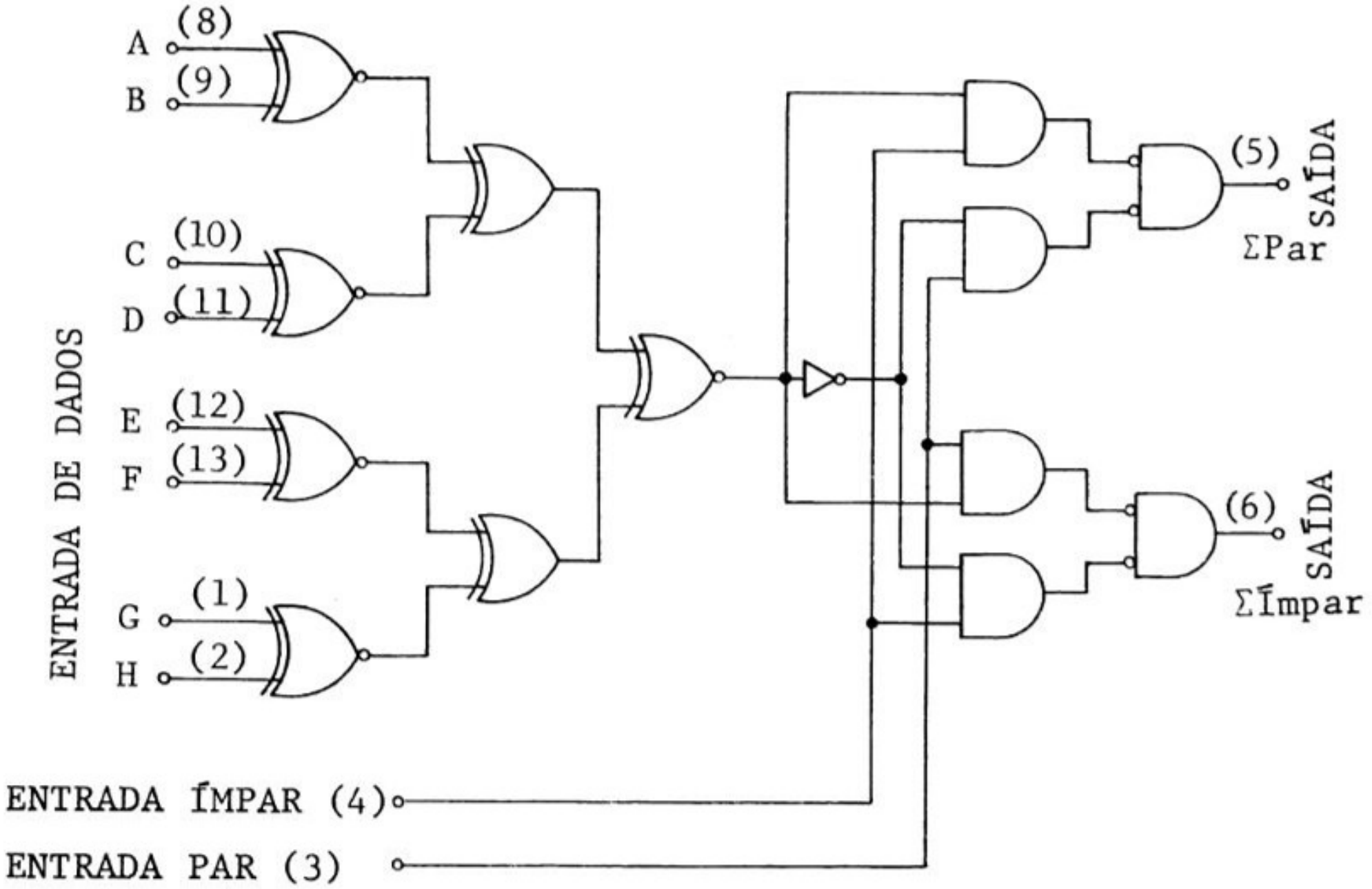


FIGURA 04

COMPARADOR DE IGUALDADE:

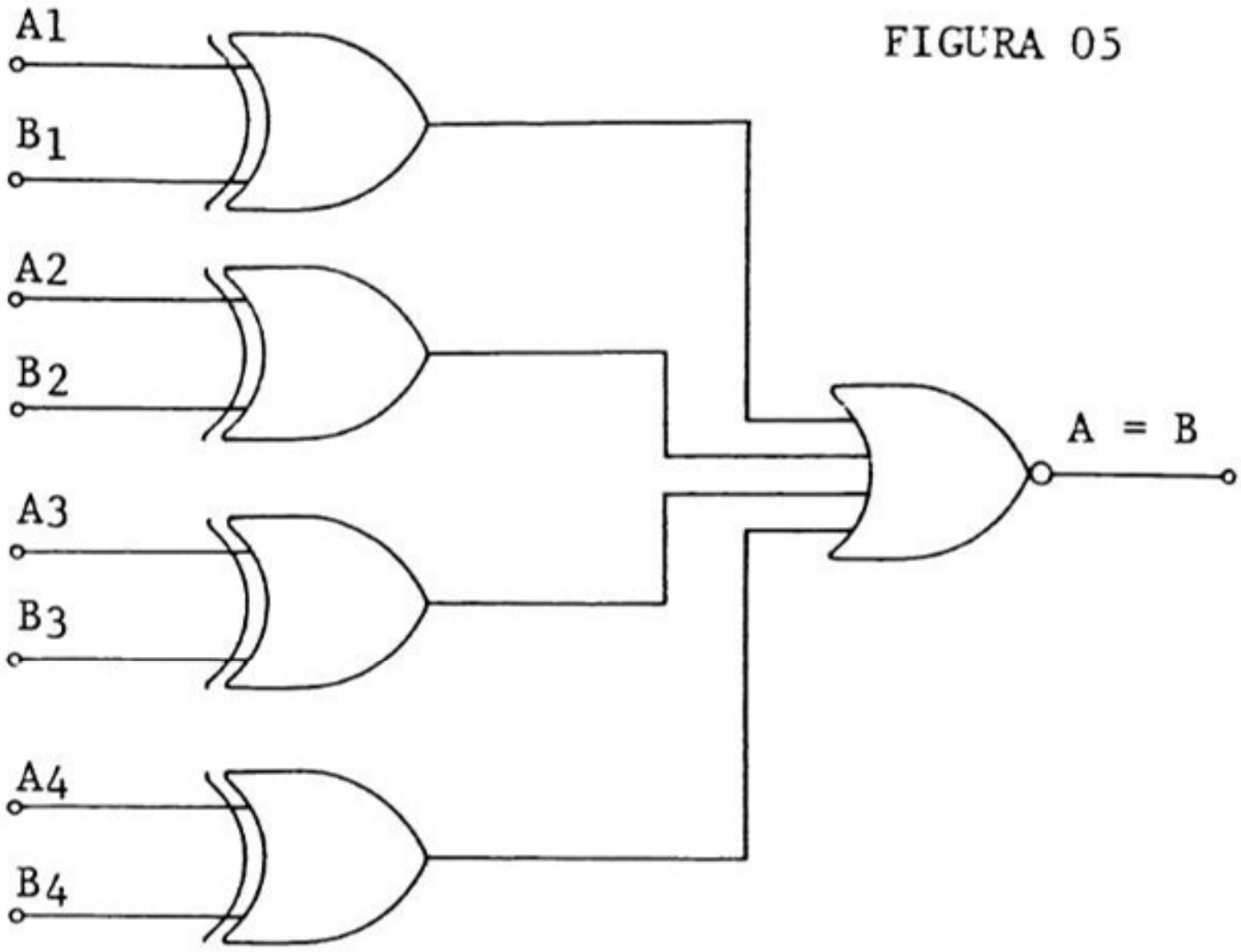
A função de comparar é um tanto comum na eletrônica, tanto em circuitos analógicos, como nos digitais. A comparação, em si, é uma operação entre duas grandezas para descobrir suas magnetudes ou valores algébricos relativos.

Os comparadores lógicos são circuitos capazes de verificar a igualdade entre dois bits. Normalmente são formados por portas "OU-EXCLUSIVA" e a grande maioria deles comparam quatro bits de uma só vez. O uso de portas "OU-EXCLUSIVA" deve-se ao fato delas possuírem funções Booleanas comparativas, ou seja, quando os sinais na entrada forem iguais, ocorrerá na saída um nível lógico baixo (zero binário). E quando os sinais na entrada forem diferentes, a saída apresentará um nível lógico alto ("1" binário).

As portas "OU-EXCLUSIVA" são agrupadas de forma a comparar um dígito BCD, ou seja, unir 4 bits, formando aquilo que chamamos de comparador.

A figura 5 nos mostra um comparador de igualdade básico de 4 bits.

FIGURA 05



O circuito comparador da figura 5 compara duas palavras A e B. Vamos, por exemplo, supor que as palavras A e B sejam:

A = 1 1 0 1

A_4 A_3 A_2 A_1 → entrada para comparação do dígito A de 4 bits.

B = 1 0 0 1

B_4 B_3 B_2 B_1 → entrada para comparação do dígito B de 4 bits.

Nestas condições,o comparador da figura 5 apresentará na saída um nível lógico baixo, confirmando assim o fato das palavras A e B serem diferentes. Se as palavras A e B forem iguais, o circuito apresentará em sua saída um nível lógico alto.

Este tipo de comparador pode ser utilizado, por exemplo, para a programação do dispositivo de alarme (despertador) de um relógio digital.

Geralmente, um comparador comercial compara a igualdade e a diferença de duas palavras, bem como o grau de magnitude delas. Este é o assunto que veremos a seguir.

COMPARADOR DE MAGNITUDE:

Trata-se de um circuito comparador que fornece três saídas complementares, as quais indicam as condições A > B, A < B e A = B. Onde A e B são palavras binárias de 4 (quatro) bits cada uma. Um conjunto de 4 bits forma um NIBBLE. Neste caso, temos 2 NIBBLES, os quais formam 1 byte.

Um exemplo prático deste tipo de circuito é o SN7485 de 4 bits.

COMPARADOR DE MAGNITUDE SN7485

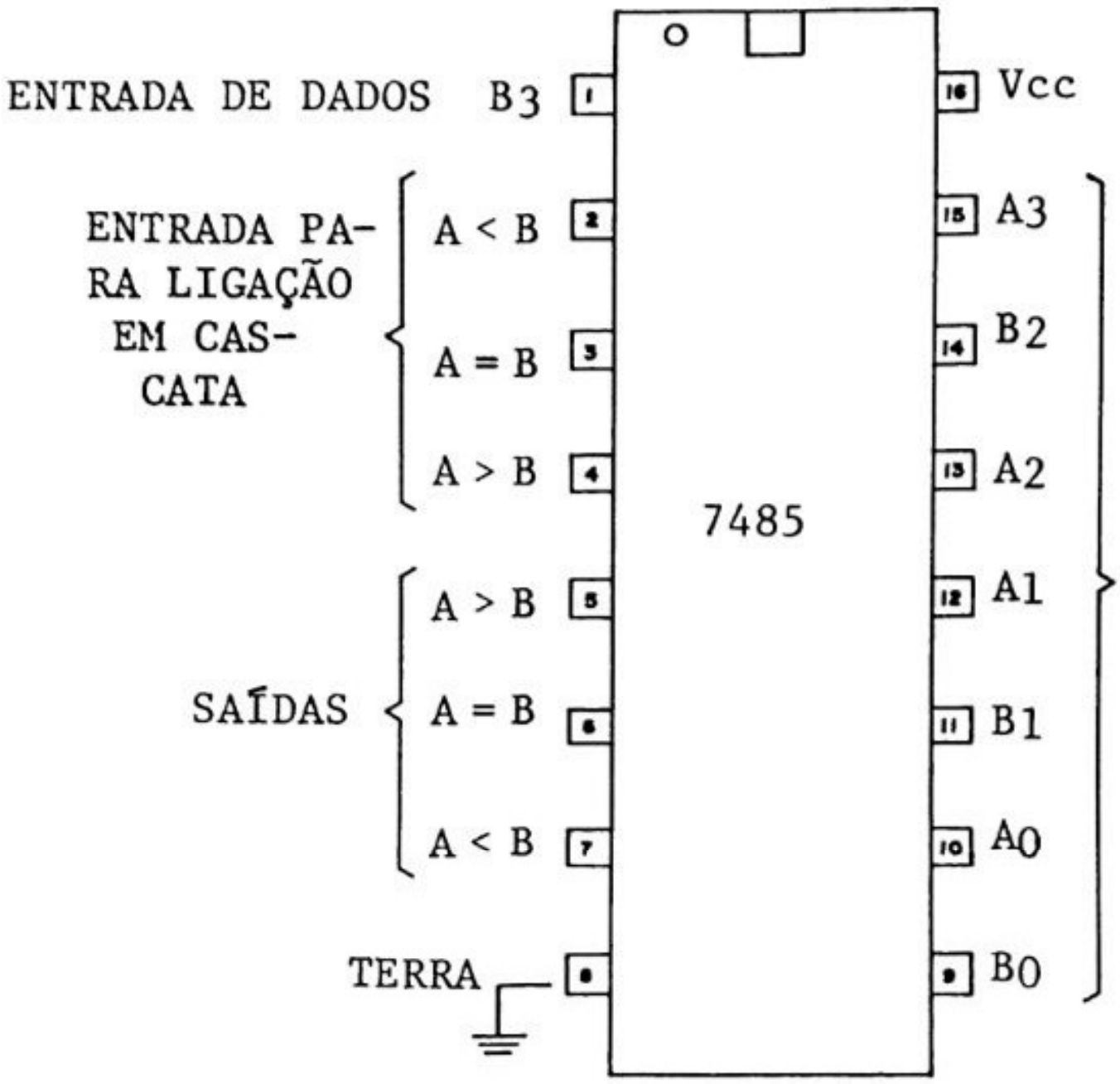
Trata-se de um circuito comparador de magnitude de quatro bits que executa comparação de códigos diretos e BCD (8421). O SN7485 fornece três saídas completamente decodificadas, as quais indicam qual dos dois NIBBLES (conjuntos de 4 bits) de entrada é maior do que o outro ou se ambos os NIBBLES são iguais. Para podermos comparar palavras de maior comprimento, basta interligar em cascata dois ou mais CIs 7485, para isto o SN7485 dispõe de três entradas para ligação em cascata.

Quando interligados em cascata, as saídas A > B, A < B e A = B de um estágio, que maneja os bits menos significativos, são ligadas nas entradas correspondentes A > B, A < B e A = B do estágio seguinte, o qual maneja os bits mais significativos.

A figura 6 nos mostra a representação de conexão, bem como a pinagem do SN7485.

A colocação das entradas para ligação em cascata e das saídas do comparador de um mesmo lado do chip é muito útil, pois facilitará em muito a utilização do mesmo.

FIGURA 06



Na figura 7, temos o circuito lógico do SN7485, com os pinos devidamente identificados.

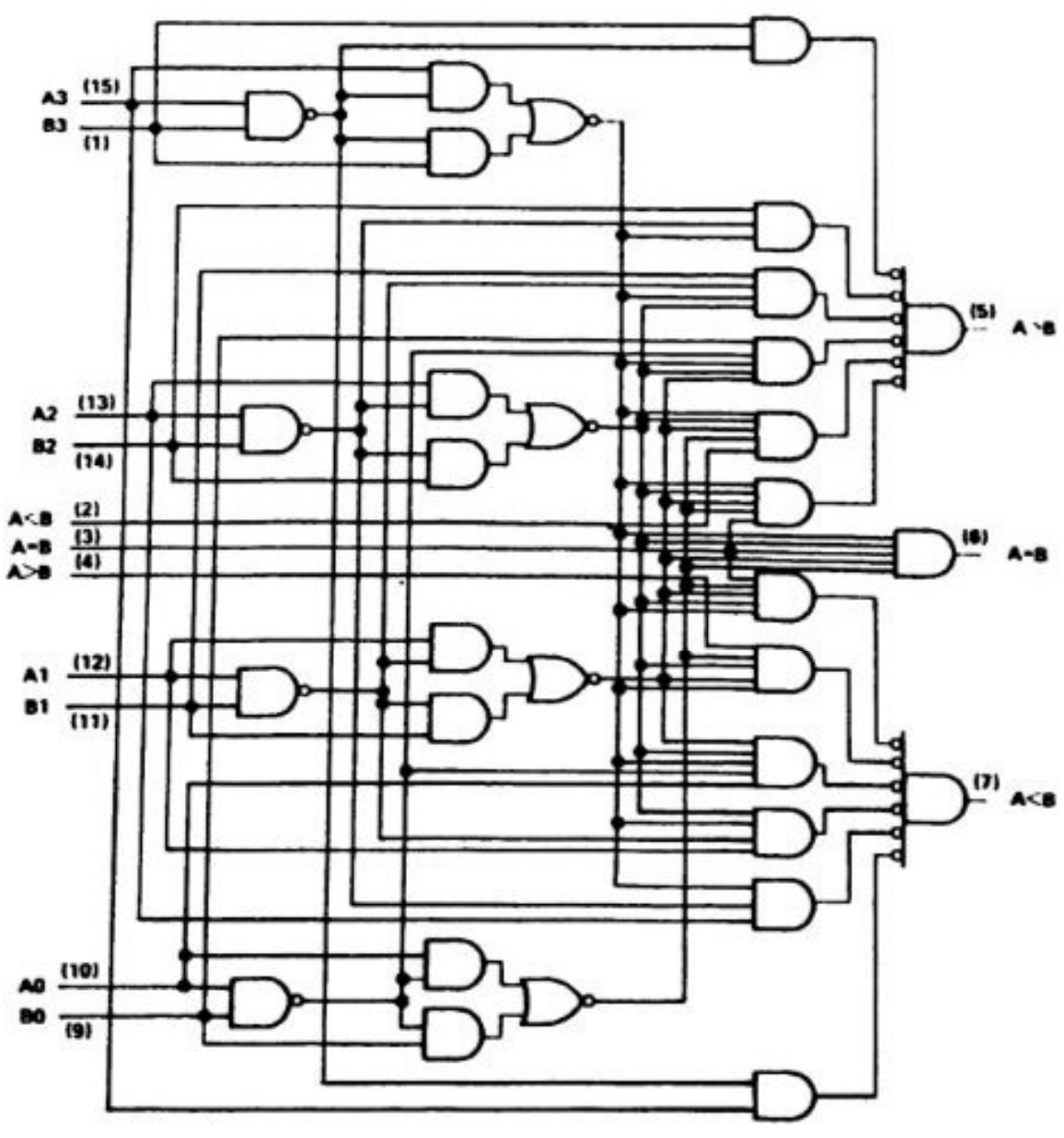


FIGURA 07

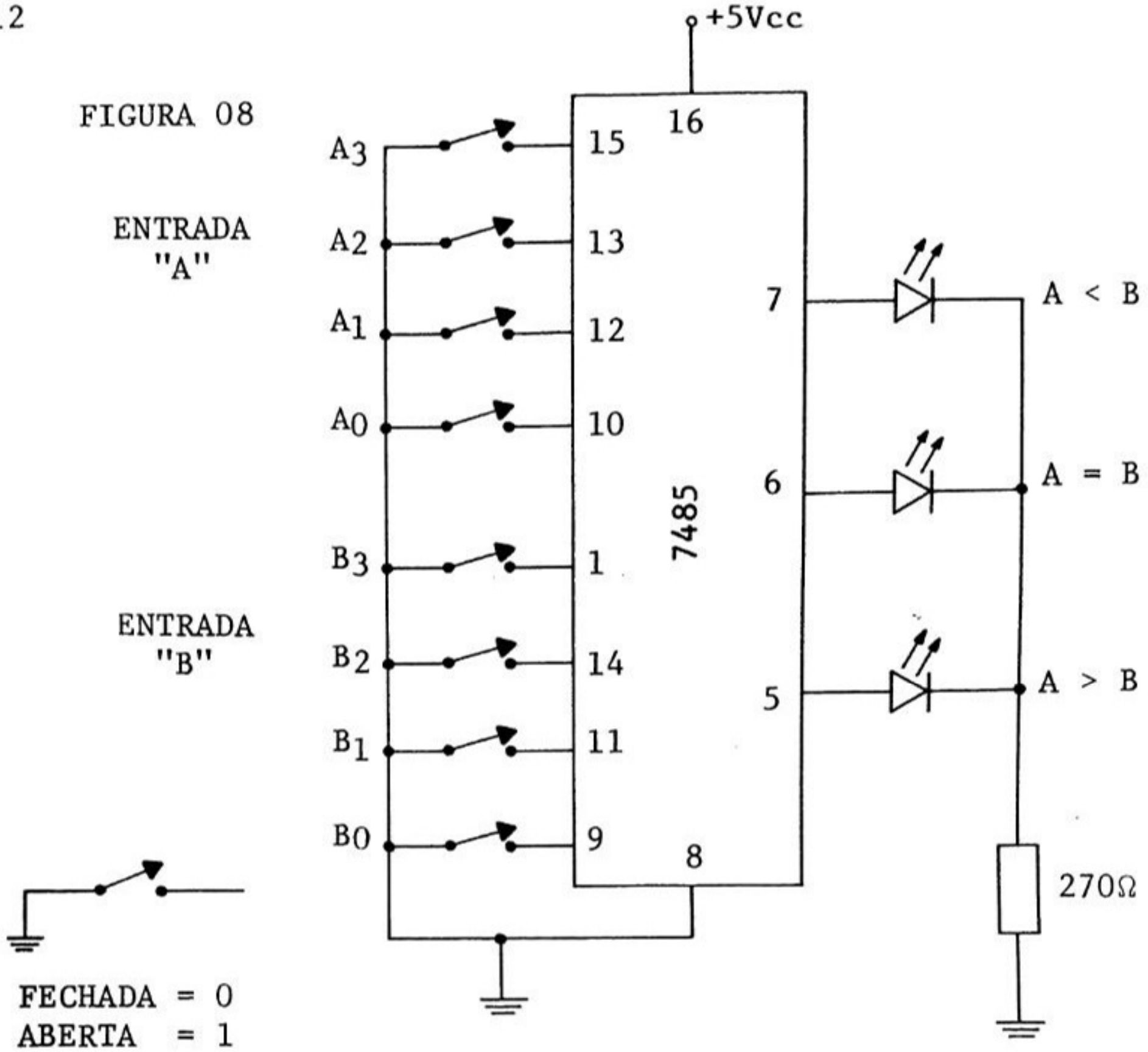
Em seguida apresentamos a tabela verdade (tabela 1) para o circuito da figura 7.

ENTRADA DE COMPARAÇÃO				ENTRADAS PARA LIGAÇÃO EM CASCATA			SAÍDAS		
A_3,B_3	A_2,B_2	A_1,B_1	A_0,B_0	A > B	A < B	A = B	A > B	A < B	A = B
$A_3>B_3$	X	X	X	X	X	X	1	0	0
$A_3<B_3$	X	X	X	X	X	X	0	1	0
$A_3=B_3$	$A_2>B_2$	X	X	X	X	X	1	0	0
$A_3=B_3$	$A_2<B_2$	X	X	X	X	X	0	1	0
$A_3=B_3$	$A_2=B_2$	$A_1>B_1$	X	X	X	X	1	0	0
$A_3=B_3$	$A_2=B_2$	$A_1<B_1$	X	X	X	X	0	1	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0>B_0$	X	X	X	1	0	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0<B_0$	X	X	X	0	1	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	1	0	0	1	0	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	0	1	0	0	1	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	0	0	1	0	0	1
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	X	X	1	0	0	1
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	1	1	0	0	0	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	0	0	0	1	1	0

OBS.: X = irrelevante.

Uma boa maneira de se aprender como o 7485 trabalha é através da montagem do circuito teste, mostrado na figura 8. Este circuito permite a aplicação normalmente de dois NIBBLES (A e B) nas entradas de dados do 7485. Para indicar a magnitude de A em relação a B, conectam-se três "LEDs" aos pinos 5, 6 e 7, que correspondem respectivamente a A > B, A = B e A < B. De acordo com a condição que prevalecer, o pino correspondente, apresentar-se-á em nível lógico alto, fazendo com que um dos "LEDs" acenda,enquanto os outros dois permanecem apagados.

FIGURA 08



Para verificarmos o funcionamento deste circuito, vamos supor inicialmente que todas as chaves estejam abertas ou fechadas, significando A = B = 1 ou A = B = 0 respectivamente. Neste caso, observaremos que o LED conectado no pino 6 estará aceso, pois A = B.

Agora, com o auxílio das chaves, coloque um número qualquer na entrada A, de modo que ela seja menor do que o número colocado na entrada B. Nestas condições, observaremos que o "LED" conectado no pino 7 se acenderá, pois A < B. Porém, se invertemos esta condição, ou seja, se o número colocado na entrada A for maior que o número colocado na entrada B, o LED conectado no pino 5 se acenderá, pois A > B, enquanto os outros dois permanecerão apagados.

Poderemos realizar diversas combinações em A e B, porém não podemos esquecer que as entradas A (A_0, A_1, A_2 e A_3) e B (B_0, B_1, B_2 e B_3) deverão receber números em código BCD.

7485 LIGADO EM CASCATA:

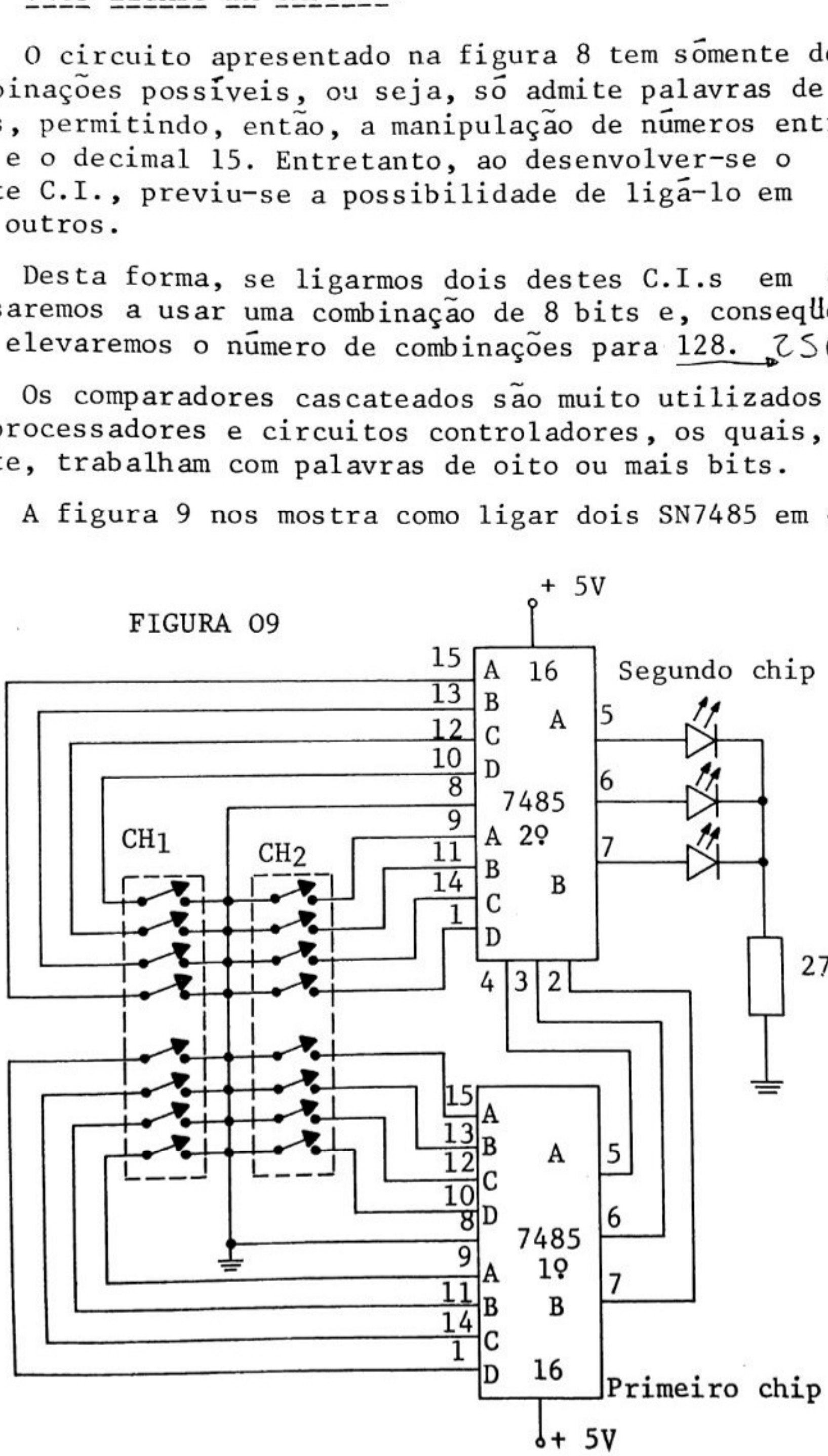
O circuito apresentado na figura 8 tem sómente dezesseis combinações possíveis, ou seja, só admite palavras de quatro bits, permitindo, então, a manipulação de números entre 0 (zero) e o decimal 15. Entretanto, ao desenvolver-se o projeto deste C.I., previu-se a possibilidade de ligá-lo em cascata com outros.

Desta forma, se ligarmos dois destes C.I.s em cascata, passaremos a usar uma combinação de 8 bits e, conseqüentemente, elevaremos o número de combinações para 128. 256 (?)

Os comparadores cascateados são muito utilizados em microprocessadores e circuitos controladores, os quais, geralmente, trabalham com palavras de oito ou mais bits.

A figura 9 nos mostra como ligar dois SN7485 em cascata.

FIGURA 09

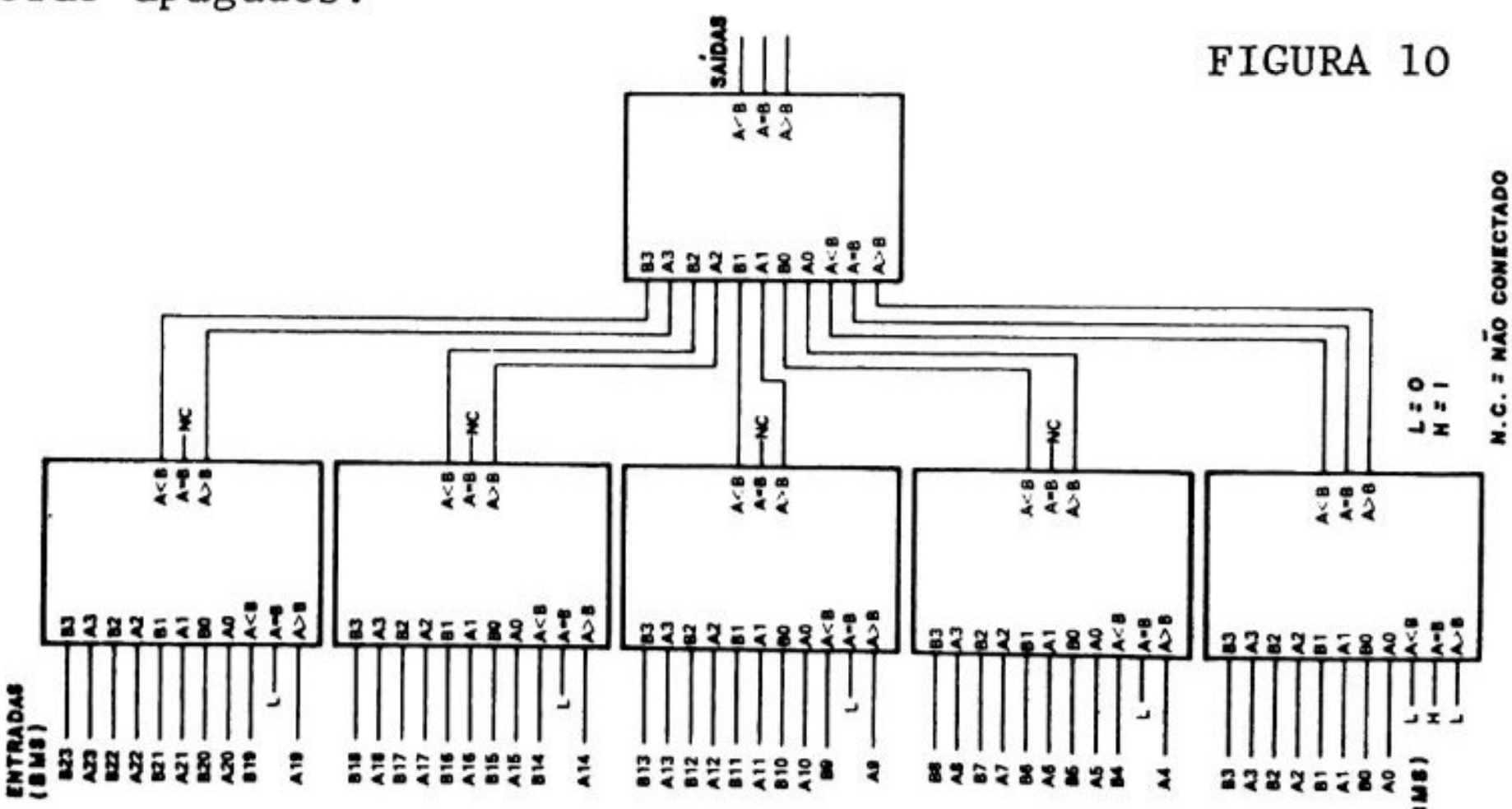


Apesar do circuito apresentado na figura 9 incluir chaves que nos permitam fazer entradas manuais de dados, este circuito pode ser adaptado de modo a receber bits de um par de barramentos de oito bits. Os dois conjuntos de chaves (CH_1 e CH_2) poderão ser substituídos por dois "DIP SWITCHES" de oito chaves cada um.

Se compararmos o circuito da figura 9 com a pinagem do SN7485 (figura 6), verificaremos como as saídas do primeiro chip estão conectadas nas entradas (pinos 2, 3 e 4) do segundo chip (ligação em cascata).

Note que da maneira como os LEDs indicadores estão conectados no circuito (figura 9), na saída relevante (saída ativa da), teremos o LED aceso, enquanto que os outros dois permanecerão apagados.

FIGURA 10



É possível cascatear mais do que dois SN7485, o que nos permite comparar palavras com mais de 8 bits. A figura 10,por exemplo, nos mostra como ligar seis (6) 7485 para comparar duas palavras de 24 bits.

Se ligarmos cinco (5) circuitos comparadores, iguais o mostrado na figura 10, a um único SN7485, poderemos então comparar duas palavras de 120 bits cada uma. Esse comparador, para palavras de 120 bits, iria requerer 31 chips SN7485, ligados em cascata. Neste caso, o tempo de comparação é relativamente grande (± 50 ns). Para tornar-se o circuito mais á-

gil, ou seja, para diminuir-se o tempo de comparação de palavras muito longas, é comum, na prática, dividí-las em NIBBLES de 4 bits ou então em bytes de 8 bits e comparar respectivamente um par de NIBBLES ou Bytes em um dado tempo, de modo sequencial.

ALGUMAS APLICAÇÕES PRÁTICAS DO SN7485:

1) O SN7485 COMO CONTADOR PROGRAMÁVEL:

A figura 11 nos mostra como montar um circuito contador programável, utilizando-se o 7485. A contagem desejada, que pode ser qualquer número entre 0000 e 1111 (1 e 15 decimal), é introduzida através do conjunto de chaves que, no caso, pode ser um "DIP SWITCH" de quatro (4) teclas. O NE555, que funciona como um gerador de clock, opera o SN7493A(contador binário crescente), fazendo com que o 7493A inicie a sua seqüência de contagem. Durante a operação, o SN7485 interroga continuamente a contagem (B) e compara esta com o número introduzido, através das chaves (A) do DIP SWITCH. Quando os dois números (A e B) forem iguais,o comparador envia um pulso para a entrada reset (pinos 2 e 3 do 7493A), o qual reseta a contagem para 0000. A partir deste ponto, o ciclo torna-se a repetir.

Este circuito (figura 11) é facilmente modificado para aplicações mais sofisticadas. Os contadores e os comparadores cascateados, por exemplo, irão permitir contagens mais altas (números maiores). Se ajustarmos R_1 e C_1 para fornecerem um pulso de clock em um intervalo de tempo conhecido, este cir-

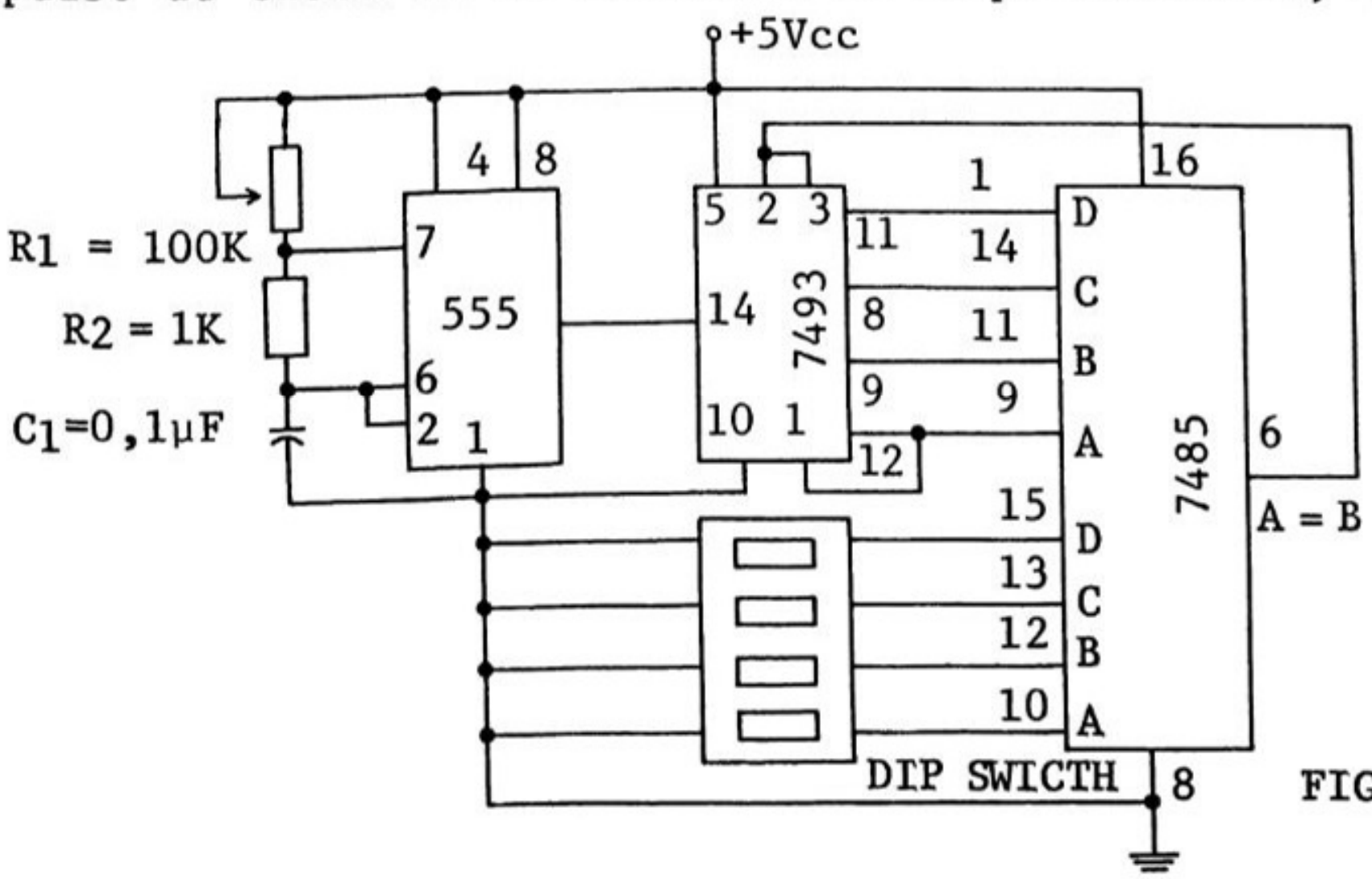


FIGURA 11

cuito irá, então, funcionar como um temporizador digital, programável. Aumentando-se o valor de R1 ou de C_1 ou, então, de ambos simultaneamente, o clock irá diminuir.

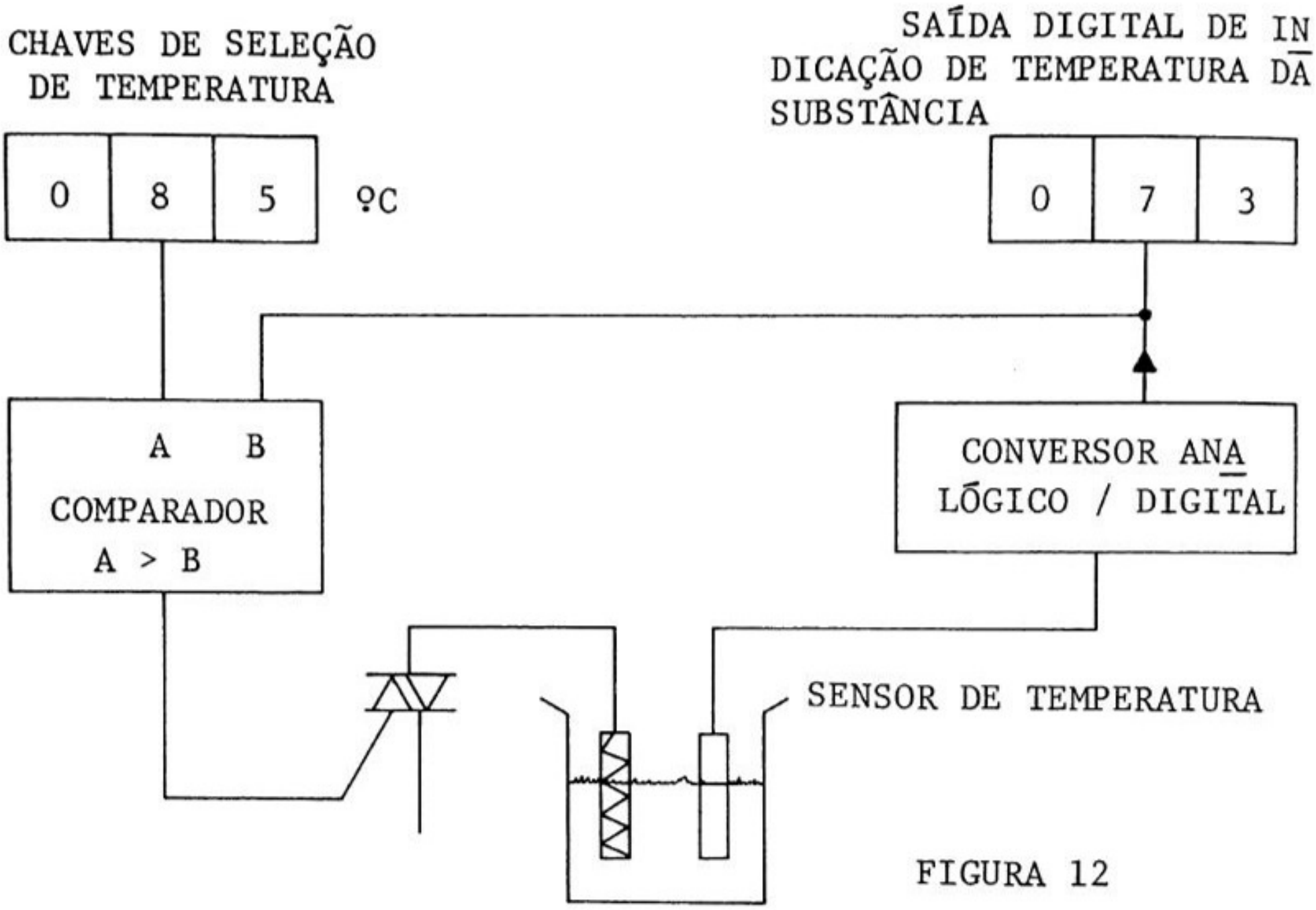


FIGURA 12

As saídas A > B e A < B do SN7485 fornecem uma série de outras possibilidades de aplicações. Por exemplo, se ligarmos a saída A < B (pino 7) na entrada reset do 7493A (pinos 2 e 3), o contador será zerado (resetado) com o pulso de clock seguinte ao pulso que forneceu o número programado.

2) O SN7485 utilizado no controle automático de temperatura:

A figura 12 nos mostra um esquema em que o comparador de magnitude é empregado em controles industriais, ou seja, no controle automático de temperatura de uma determinada substância.

OUTRAS APLICAÇÕES DO SN7485:

Além das diversas áreas de aplicação, os comparadores - são indispensáveis ao emprego acoplado nas unidades lógicas de aritmética (ULA). Isto porque, para realizarmos soma, subtração, multiplicação e divisão, precisamos, constantemente, comparar valores.

O campo de aplicação dos comparadores de magnitude é muito vasto, nós apenas citamos algumas dessas aplicações.

QUADRADOR

DISPARADORES DE SCHMITT OU SCHMITT TRIGGER (D.S.):

Trata-se de um circuito que aparece com uma certa freqüência em eletrônica. Este circuito, na versão original, foi criado por Otto H. Schimitt, construído com um par de triodos a vácuo, realimentados positivamente. Mais tarde, com o aparecimento dos componentes semicondutores, este circuito - foi adaptado para uma versão transistorizada. Hoje, já dispomos de algumas portas lógicas sob a forma de circuito integrado (C.I.) que operam como circuitos disparadores schmitt, as quais serão objeto de nosso estudo.

A finalidade deste circuito (D.S.) é produzir pulsos de amplitude constante, a partir de pulsos de amplitude variável e aleatória, ou seja, ele funciona basicamente como um modelador de ondas, servindo para "eliminar sinais ruidosos" ou

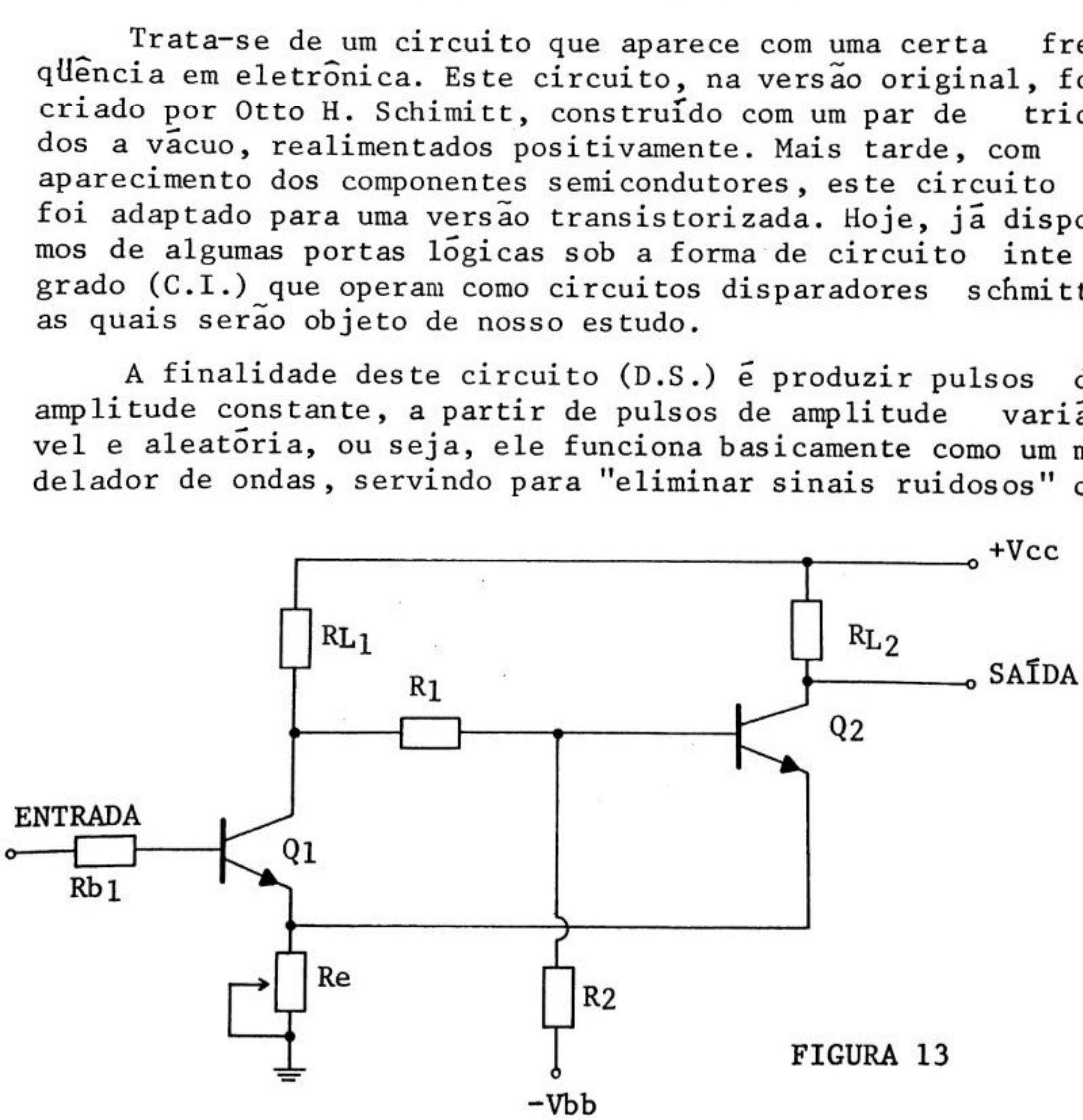


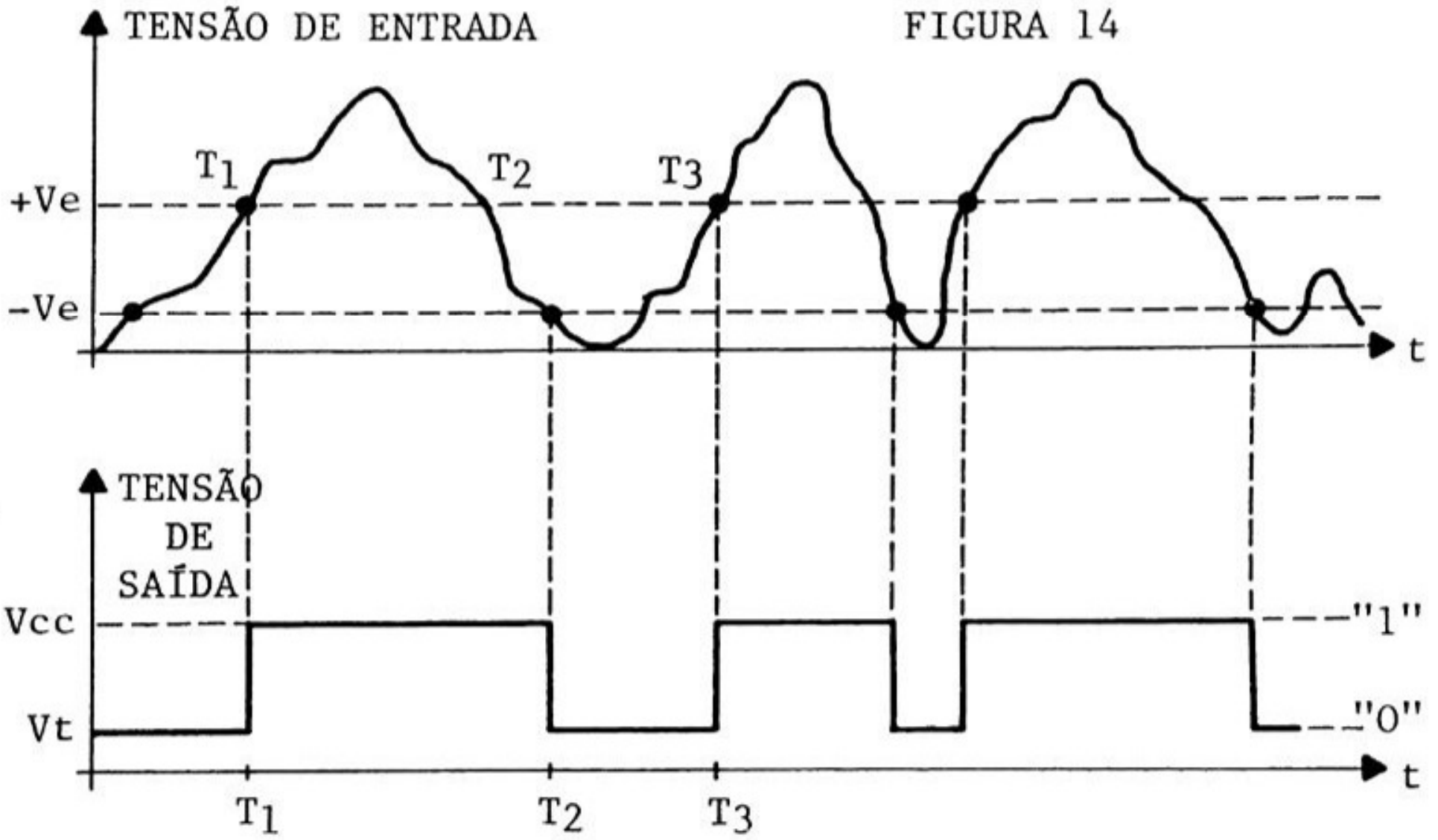
FIGURA 13

para dar um aspecto regular na forma de onda, para que esta possa então ser aplicada às portas lógicas convencionais.

Na figura 13, temos o circuito de um Disparador Trigger, na versão transistorizada, utilizando duas fontes para a polarização dos transistores.

A figura 14 nos mostra os pulsos de entrada e de saída para o disparador Schmitt, apresentado na figura 13.

FIGURA 14



O estado de repouso do disparador schmitt é obtido, quando Q1 estiver no corte e Q2 conduzindo. Nestas condições, teremos na saída uma tensão próxima de zero.

A principal diferença entre um disparador schimitt e um multivibrador monoestável, convencional é que, para disparar o "D.S.", não basta um pulso de curta duração, mas sim é necessário um nível de tensão C.A. que varie suavemente. Desta forma, podemos concluir que um D.S. é um circuito sensível - aos níveis de tensão, cuja saída muda de estado em função de dois níveis de tensão de disparo distintos. Com isto, pode-se aplicar na entrada do "D.S." qualquer tipo de onda (senoidal, dente-de-serra, triangular, etc...), desde que esta seja uma função do tempo. Na figura 14, por exemplo, o sinal de entrada é uma forma de onda cujos valores variam aleatoriamente no

tempo. Vejamos, então, como este circuito quadrador opera. Suponhamos que, antes do tempo T1, a saída do "D.S". se encontre em um nível lógico, baixo (zero binário); ao atingir o instante T1, o sinal de entrada assume o nível +Ve, fazendo com que o circuito dispare e mude de estado, passando então a um nível lógico, alto (um binário), onde deverá permanecer até o instante T2. No instante T2, o sinal de entrada assume o nível -Ve, fazendo com que o "D.S." dispare novamente, passando ao estado baixo, no qual irá permanecer, até que o sinal de entrada volte a assumir o nível +Ve (instante T3).

O fato do "D.S" comutar (passar de um nível baixo para um nível alto e vice-versa) em dois níveis de tensão)+Ve e -Ve) é devido a um fenômeno conhecido como histerese. E, é a partir da histerese que se define o parâmetro dos D.S. conhecido como "intervalo de histerese (Vh)", onde Vh = (+Ve) - (-Ve). Decorre daí a chamada "curva de histerese" ou "característica de transferência", a qual relaciona as tensões de entrada e de saída com os níveis de disparo. Na figura 16 temos uma curva de histerese típica de um disparador schmitt.

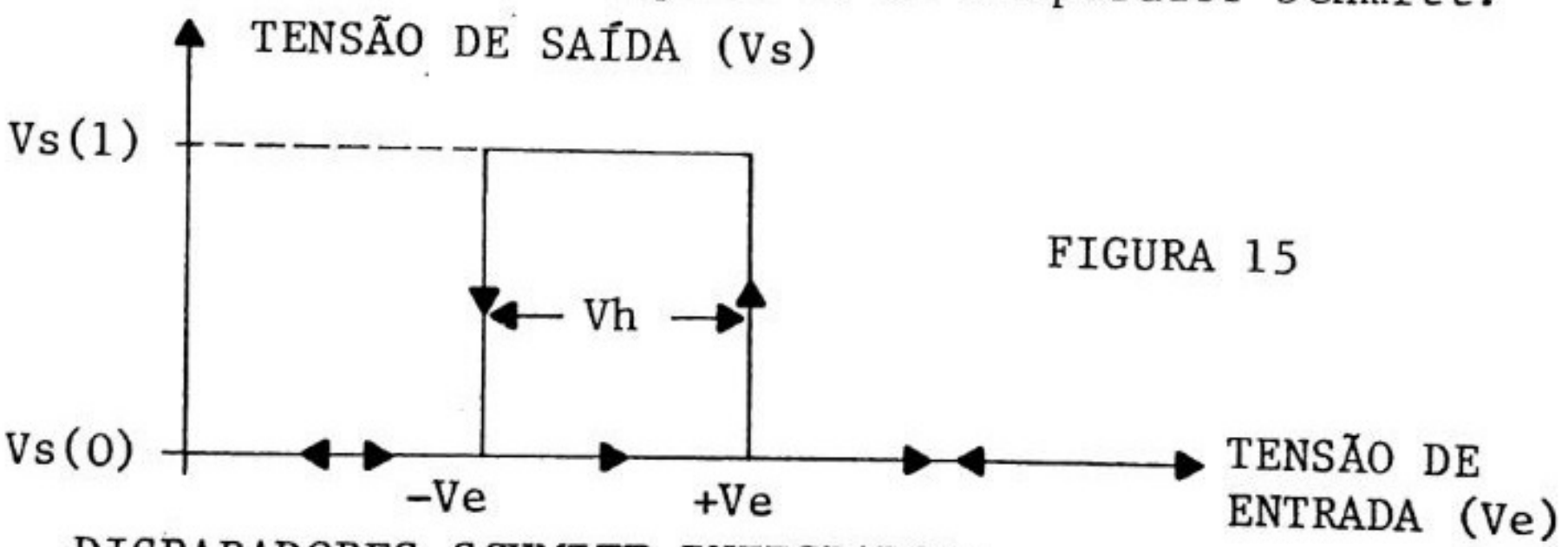


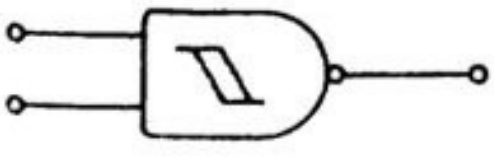
FIGURA 15

DISPARADORES SCHMITT INTEGRADOS:

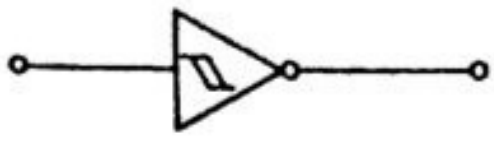
Inicialmente construídos com componentes discretos, como acabamos de verificar. Atualmente, dispomos de "D.S." sob a forma de C.I., tanto na família TTL como na CMOS. Para indicar um "D.S.", utiliza-se um símbolo que lembra o aspecto de uma curva característica de transferência.

Na figura 16, temos algumas portas lógicas com disparador schmitt, devidamente representadas.

FIGURA 16



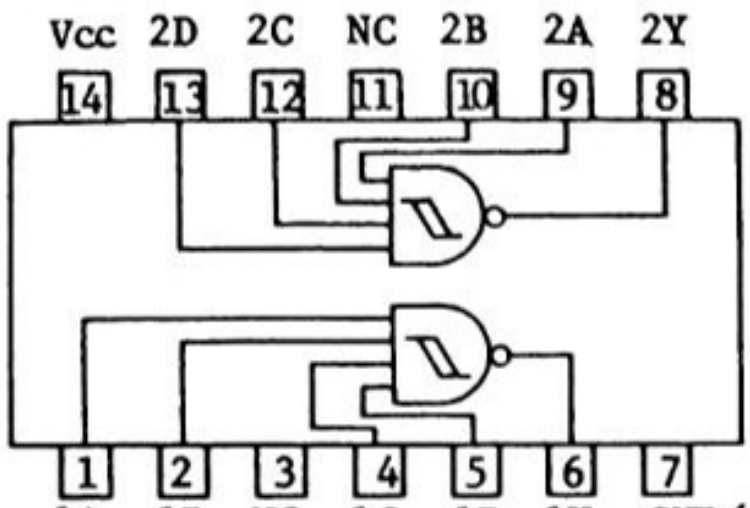
PORTA "NÃO-E CONJUGADA COM UM DISPARADOR SCHIMITT".



PORTA "INVERSORA / DISPARADOR SCHIMITT".

Como exemplo, podemos citar vários C.I.s que possuem no seu interior um circuito quadrador. Vejamos inicialmente alguns C.I.s da família TTL e, em seguida, outros pertencentes à família CMOS.

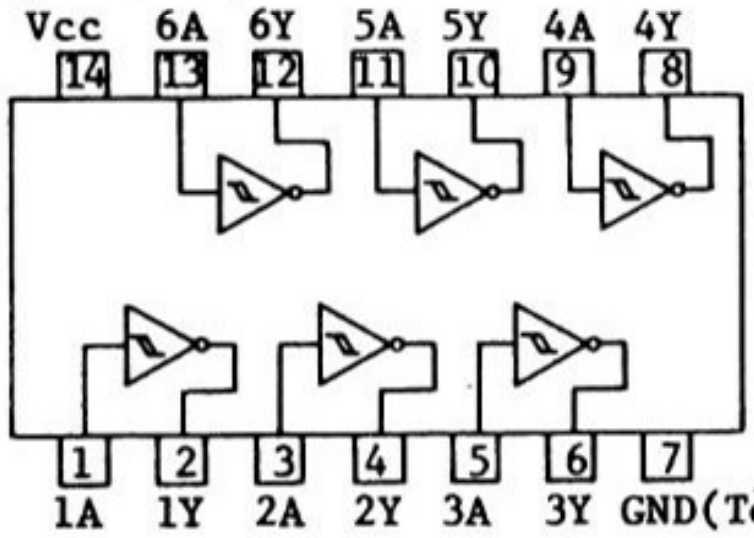
1) SN5413/7413



Trata-se de um C.I que possui duas portas "N.E"/D.S de quatro entradas cada um (TTL).

FIGURA 17A

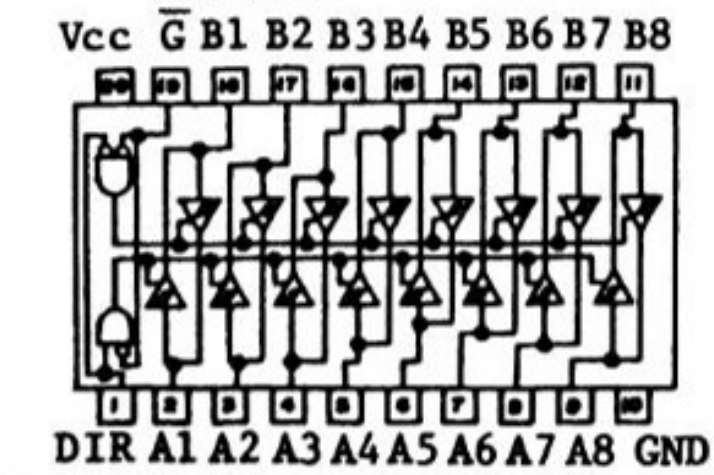
2) SN5414/7414



Trata-se de um C.I que possui seis portas inversoras conjugadas com D.S. (TTL)

FIGURA 17B

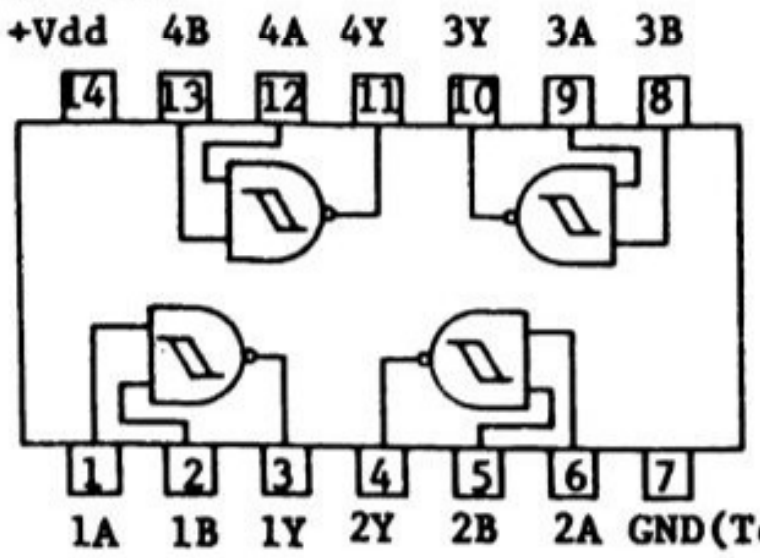
3) SN54LS245/74LS245



Trata-se de um barramento de dados octal bidirecional com saídas em três estados (tristate), contendo um circuito quadrador (TTL).

FIGURA 17C

4) 4093



Trata-se de um C.I. com quatro portas "NE"/D.S. de duas entradas. (CMOS).

FIGURA 17D

APLICAÇÕES PRÁTICAS UTILIZANDO-SE O DISPARADOR SCHMITT:

Vejamos algumas aplicações práticas, onde utilizam-se os disparadores schmitt (D.S.). Primeiramente, vejamos um circuito capaz de transformar um sinal com forma de onda senoidal em pulsos retangulares, compatíveis com as portas lógicas da família TTL (figura 18).

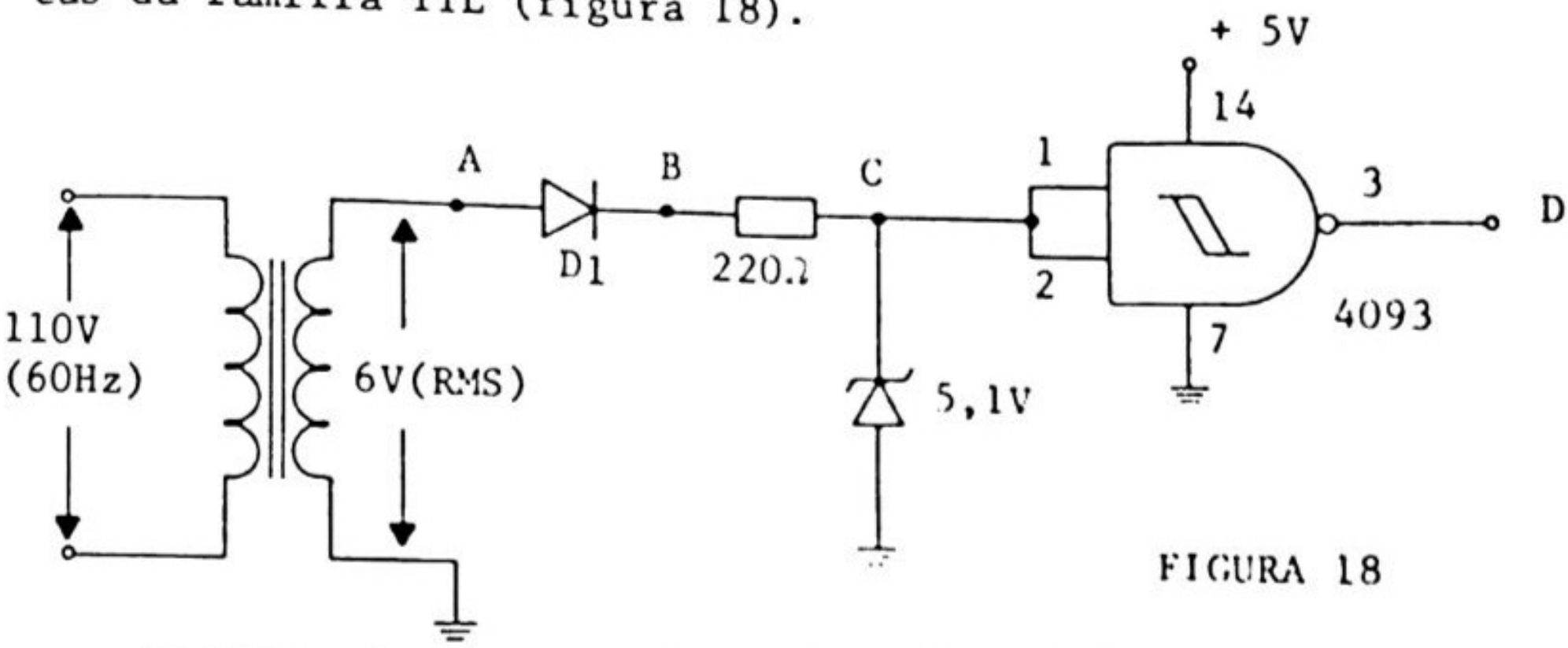


FIGURA 18

Utilizando-se de um transformador abaixador de tensão, reduz-se a 110V da rede para um valor próximo a 6V. Em seguí-

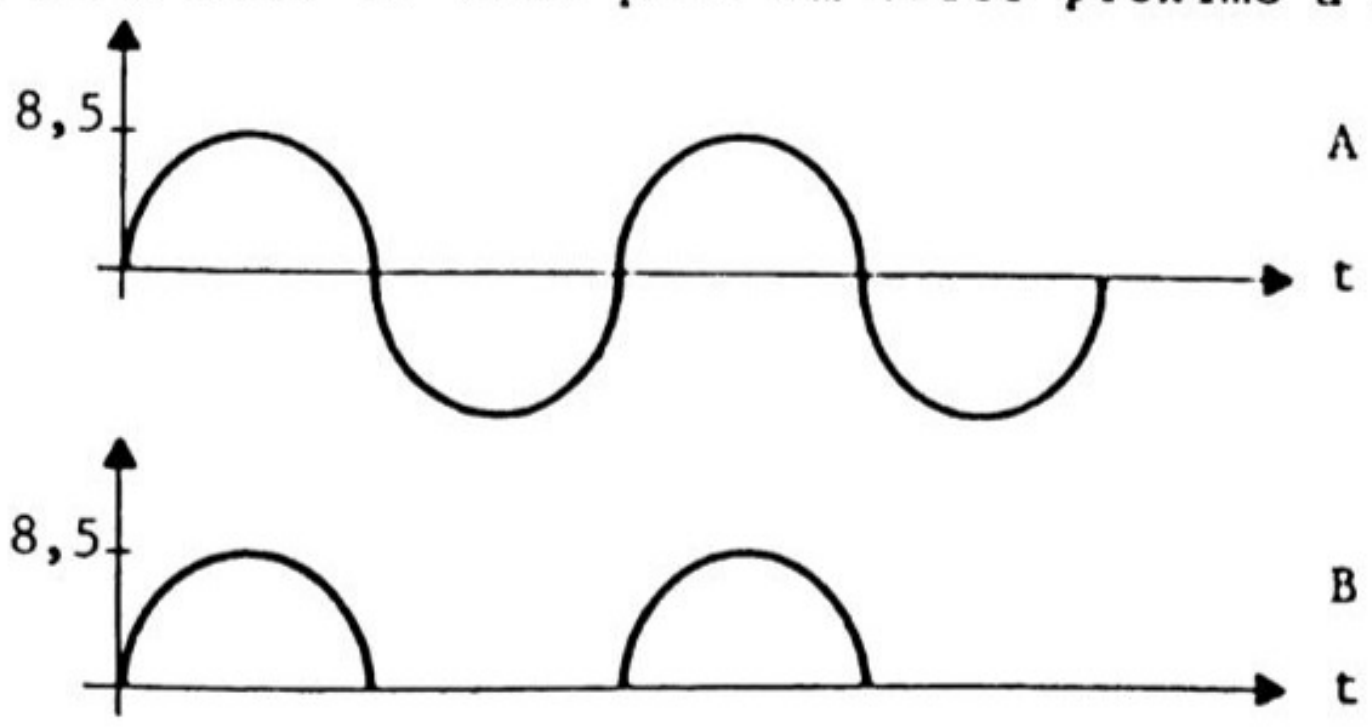
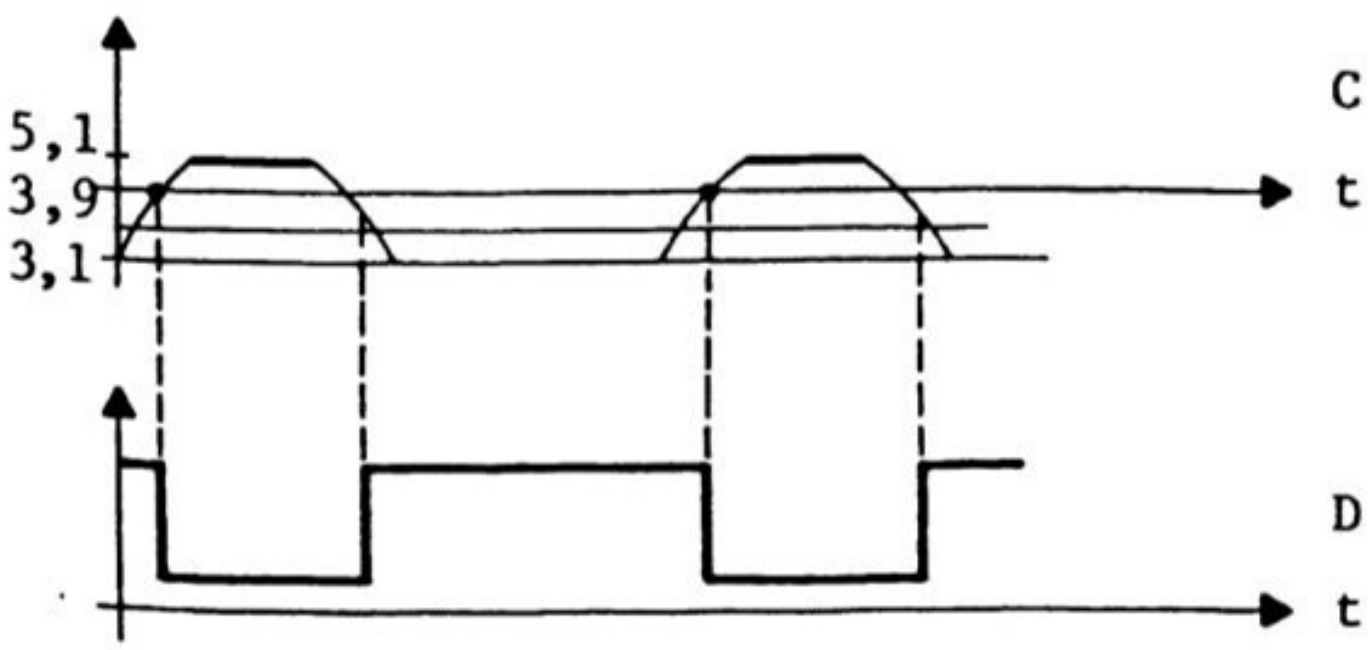


FIGURA 19



da, o sinal passa por um retificador de meia onda (D_1) e é injetado em um diodo Zener de 5,1 volts, através de um resistor limitador (220Ω), de modo a garantir um nível máximo, cerca de 5 volts, que é o nível de tensão compatível com a família TTL. Tal nível, portanto, poderá ser aplicado à entrada da porta lógica "N.E"/D.S. 4093, cuja pinagem se encontra ilustrada na figura 17-D. Na figura 19, temos representada, as formas de onda nos diversos pontos assinalados do circuito (pontos A,B,C e D). Estas formas de onda foram obtidas com o auxílio de um osciloscópio.

Um outro exemplo de aplicação de um D.S. seria o circuito apresentado na figura 20, o qual funciona como um multivibrador estável, gerando onda quadrada. Note que se trata de um circuito de construção muito simples, constituído de um capacitor, de um resistor e de uma porta lógica inversora, dotada de um Disparador Schmitt.

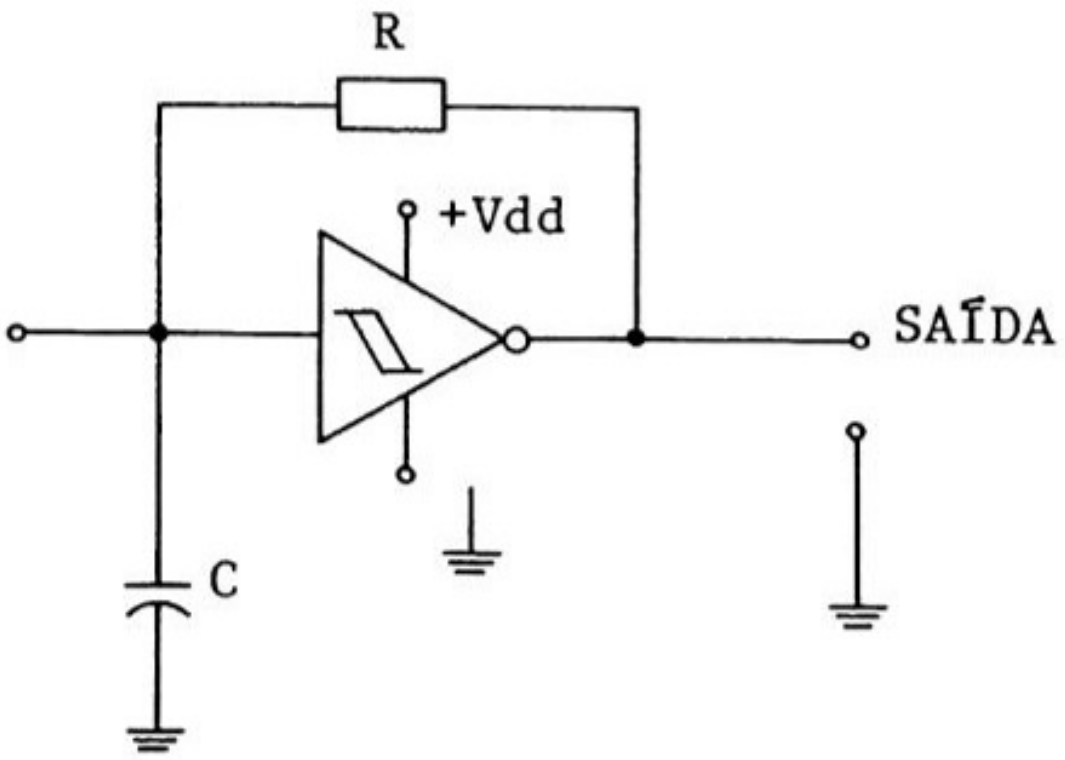


FIGURA 20

Com auxílio da expressão I, podemos calcular a freqüência (f) da onda quadrada gerada:

$$f = 1/[R.C.\ln \{+Vr + (Vdd-(-Vr))/-Vt \times (Vdd-(+Vr))\}] \qquad (I)$$

ln = logarítmo neperiano

onde R é expresso em ohms (Ω), C em farads e a freqüência (f) em hertz. Os valores de ^{+}Vt e ^{-}Vt variam de um dispositivo para outro, o que torna difícil o cálculo da freqüência, através da expressão I. Então, para se aplicar a expressão I com relativa segurança, torna-se necessário determinar os valores práticos de ^{+}Vt e ^{-}Vt para o dispositivo que se está utilizando.

CEDM
CURSOS DE APERFEIÇOAMENTO

CURSO DE ELETRÔNICA DIGITAL E MICROPROCESSADORES

CAIXA POSTAL 1642 - CEP 86100 - LONDRINA - PARANÁ

EXAME DA LICÃO ED-28

OBSERVAÇÃO

- cada questão é composta de três ou quatro alternativas.
- só uma delas está correta.
- marque a que considerar correta.
- passe as respostas corretas para a folha de exame.

1) A paridade serve para:

   a) comprovar se os dados foram transmitidos;
   b) determinar, apenas, o número de "0" das palavras;
   c) determinar, apenas, o número de "1" das palavras;
   d) comprovar se os dados foram transmitidos corretamente.

2) Em um sistema de paridade par, ao se transmitir a palavra 0100110, o oitavo bit deverá ser preenchido com o binário:

   a) "1";
   b) "0";
   c) indiferentemente, pois tanto pode ser "0" ou "1".

3) Com relação ao gerador de paridade, ilustrado na figura 02, se o NIBBLE apresentar um número par de "1's", este apresentará em sua saída a lógica:

   a) 1; b) 0; c) N.R.A.

4) O SN74180 é um C.I.:

   a) comparador;
   b) contador;
   c) gerador de paridade.

5) As portas lógicas OU-EXCLUSIVAS são, na essência, tidas como um:

   a) gerador de magnitude;
   b) comparador de magnitude;
   c) gerador de paridade;
   d) comparador de igualdade.

6) O comparador de magnitude SN7485 apresenta as seguintes saídas (veja figura 6):

   a) A = B;
   b) A > B, A = B e A < B;
   c) A < B e A > B.

7) Com relação à figura 8, se o LED, que está conectado no pino 5 do 7485, acender, isto significa que:

   a) A = B;
   b) A ≠ B;
   c) A < B;
   d) A > B.

8) Para "cascatear" dois SN7485, os pinos 5, 6 e 7 de um deles deverão ser conectados respectivamente aos seguintes pinos:

   a) 3, 4 e 2;
   b) 2, 3 e 4;
   c) 4, 3 e 2., respectivamente

9) A finalidade de um circuito disparador schmitt é produzir:

   a) pulsos de amplitude constante;
   b) pulsos de amplitude variável;
   c) pulsos de freqüência constante e amplitude variável.

10) O disparador schmitt é um circuito:

   a) sensível aos níveis de corrente;
   b) sensível aos níveis de tensão;
   c) sensível aos níveis de indutância.

CURSOS DE APERFEIÇOAMENTO

CURSO DE
ELETRÔNICA DIGITAL E
MICROPROCESSADORES

CAIXA POSTAL 1642 - CEP 86100 - LONDRINA - PARANÁ

LIÇÃO ED-29

CONVERSORES DIGITAIS/ANALÓGICOS E ANALÓGICOS/DIGITAIS I

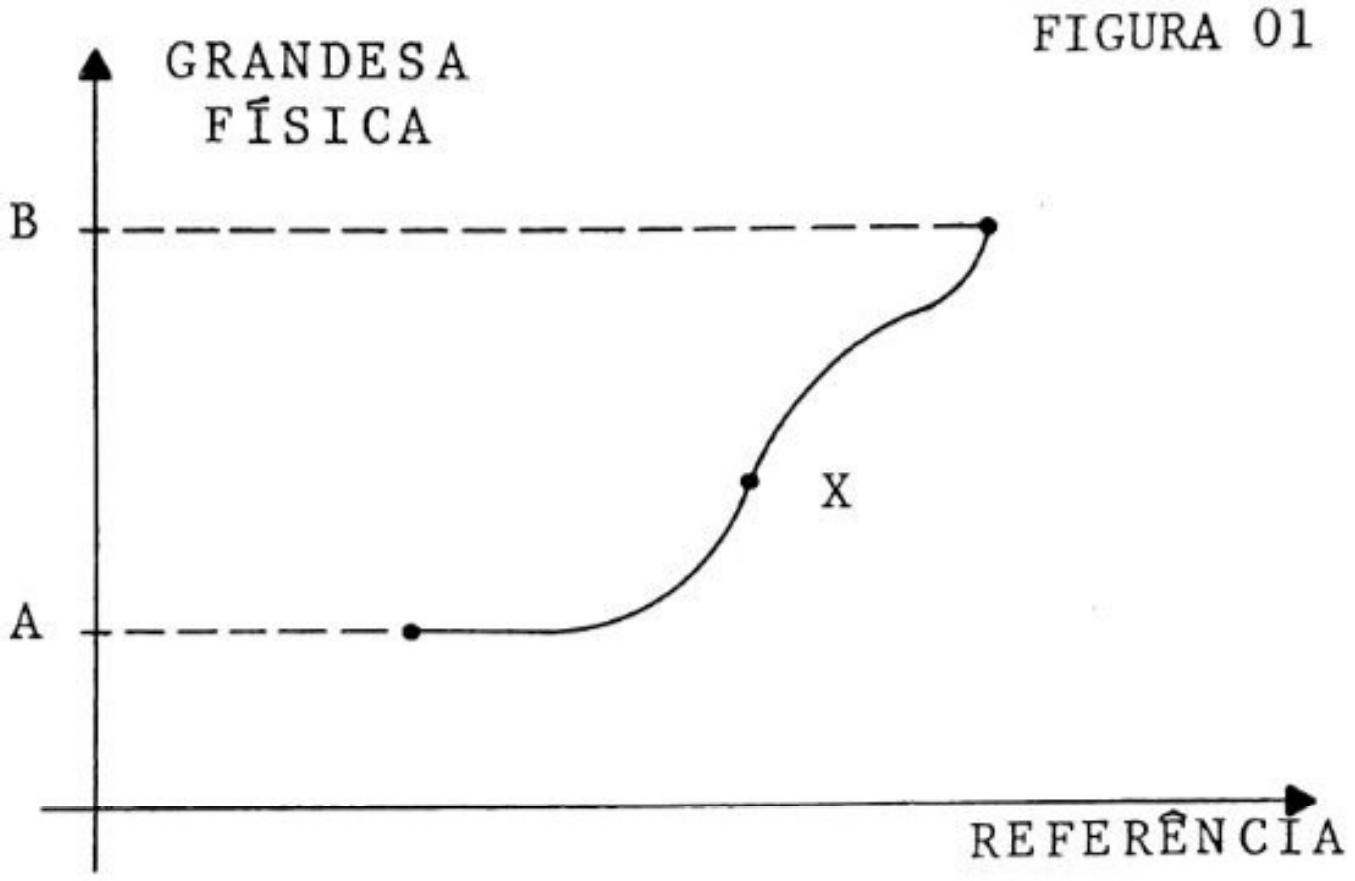
A grande maioria dos circuitos eletrônicos podem ser classificados como analógicos ou digitais. Para iniciarmos o nosso estudo, vamos, primeiramente, estudar o significado dos termos: analógico e digital.

Entendemos por analógico, toda e qualquer variação contínua de uma variável. Por exemplo, todas as grandezas físicas (pressão, temperatura, velocidade, aceleração, torque, corrente elétrica, tensão, resistência, etc...) variam de forma analógica, ou seja, para que se possa atingir um valor "X" de uma grandeza qualquer é necessário que esta passe por todos os valores intermediários de forma contínua. O gráfico mostrado na figura 1 ilustra tal fato.

Muitos circuitos analógicos são conhecidos como circuitos lineares, desde que eles produzam, em sua(s) saída(s), um sinal diretamente proporcional ao sinal de entrada, sobre uma escala limitada de amplitude e freqüência. Resumindo, podemos dizer que uma variável analógica pode assumir todos os

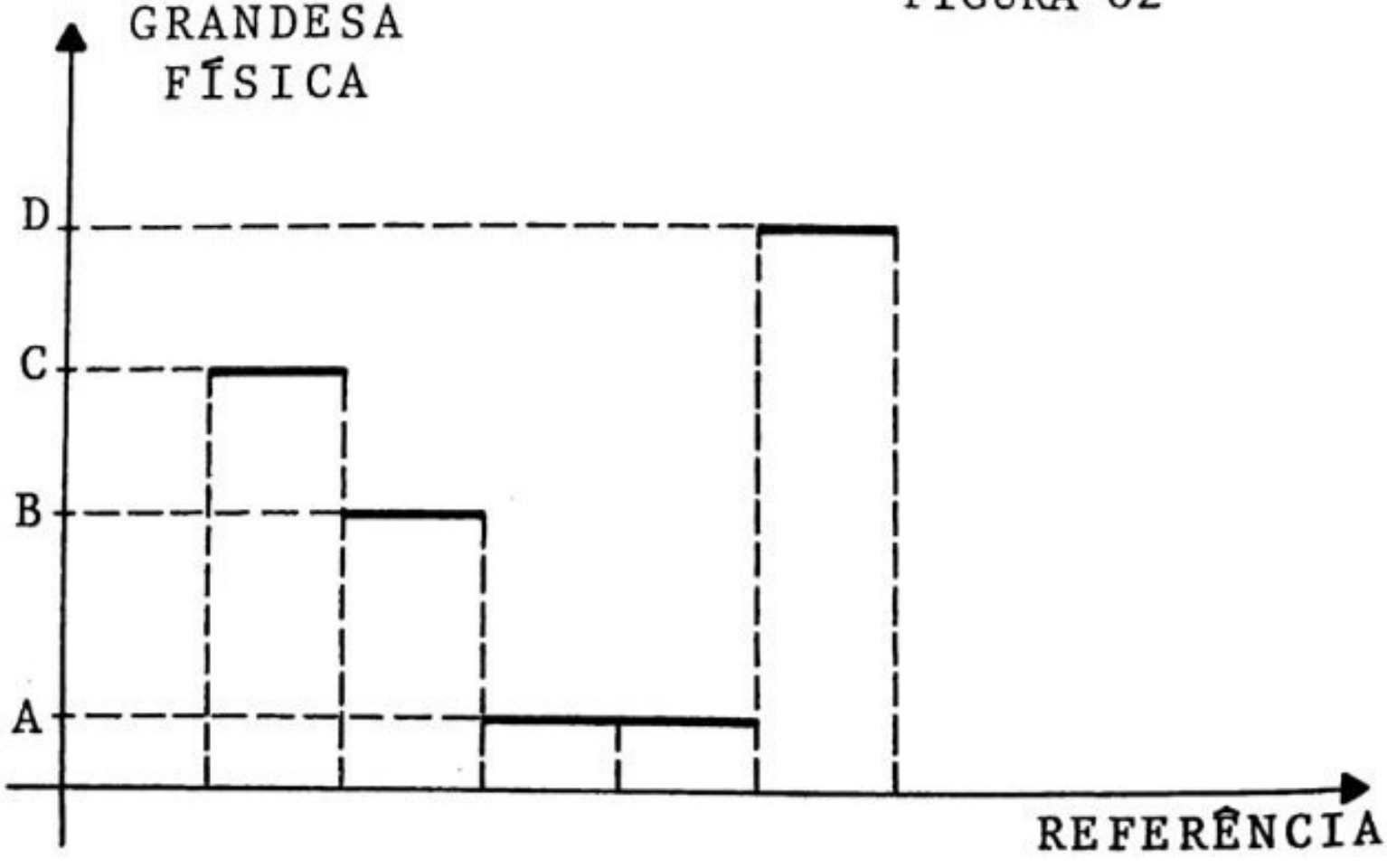
valores dentro de sua faixa de atuação.

FIGURA 01



Entende-se por digital toda variação discreta, isto é, a passagem de um dado valor a outro se dá em saltos. Com isso, concluímos que há uma descontinuidade, quando a variável passa de um valor para outro. A figura 2 nos mostra o gráfico de uma variação digital.

FIGURA 02



Se compararmos o gráfico da figura 1 com o gráfico da figura 2, notaremos que para as grandezas analógicas, entre um valor e outro, existem infinitos valores, enquanto que para as grandezas digitais existe um número finito de valores (na figura 2 a variação digital entre A e D temos apenas quatro valores: A, B, C e D). Em outras palavras, podemos dizer que um circuito digital é aquele no qual o sinal de saída pode assumir somente um entre dois níveis distintos. Tipicamente, um dos níveis está próximo do potencial terra, enquanto que o outro está próximo do nível de tensão fornecido pela fonte de alimentação. Por exemplo, a família de circuitos integrados TTL apresenta dois níveis de tensão, um "baixo" de apenas alguns décimos de volt e um "alto" de 3,3 a 5 volts.

Ainda que uma variedade de funções possa ser executada, utilizando-se apenas as técnicas analógicas ou digitais, algumas aplicações somente serão executadas, se combinarmos os dois métodos. Para essas aplicações, é comum convertermos sinais analógicos em digitais e vice-versa, para tanto, utilizamos os circuitos conversores analógicos-digitais e conversores digitais-analógicos respectivamente.

Como exemplos de combinações das técnicas analógicas/digitais, podemos citar: voltímetro digital, circuitos de reconhecimento de voz, controladores de velocidade para motores elétricos, transmissão de dados de forma digital, telemedidas e telecomandos, etc.

Iniciaremos o estudo desses circuitos pelos conversores digital-analógicos.

CONVERSOR DIGITAL-ANALÓGICO (CD/A)

Trata-se de um circuito de dispositivo que produz, em sua saída, um sinal (tensão ou corrente) analógico, proporcional a uma referência analógica (tensão ou corrente) e a uma palavra binária de N-bits. Normalmente, o CD/A irá produzir um sinal de saída que será:

$$X = K.A.B$$

Onde:

X = sinal de saída do conversor CD/A(corrente ou tensão);
K = constante (geralmente K = 1);

A = tensão ou corrente de referência analógica;
B = palavra binária de N-bits, aplicada na entrada do conversor D/A.

Devido ao fato da informação digitalizada, geralmente, ser codificada no código BCD 8421, será a partir desse código que faremos a conversão para uma saída analógica, a qual irá apresentar essa mesma informação em níveis de tensão correspondentes ao valor binário,injetado na entrada. A figura 3 nos mostra o diagrama de blocos simplificado de um conversor digital/analógico.

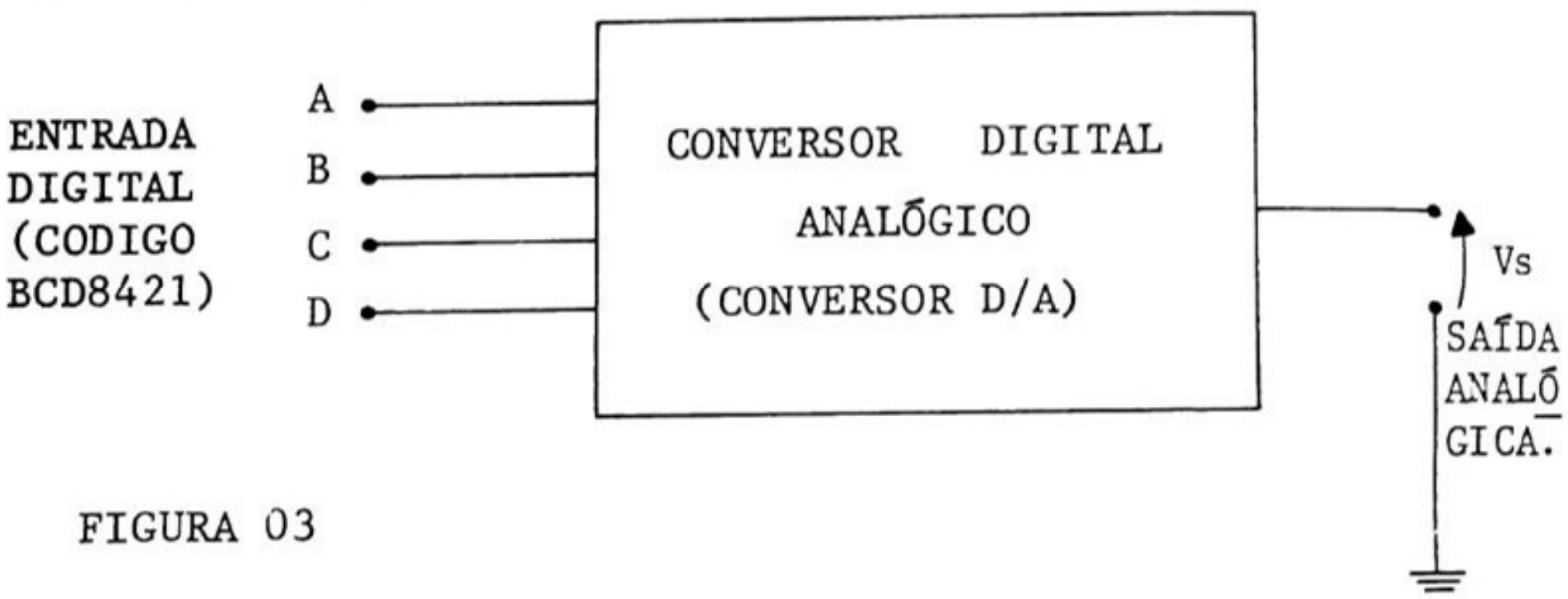
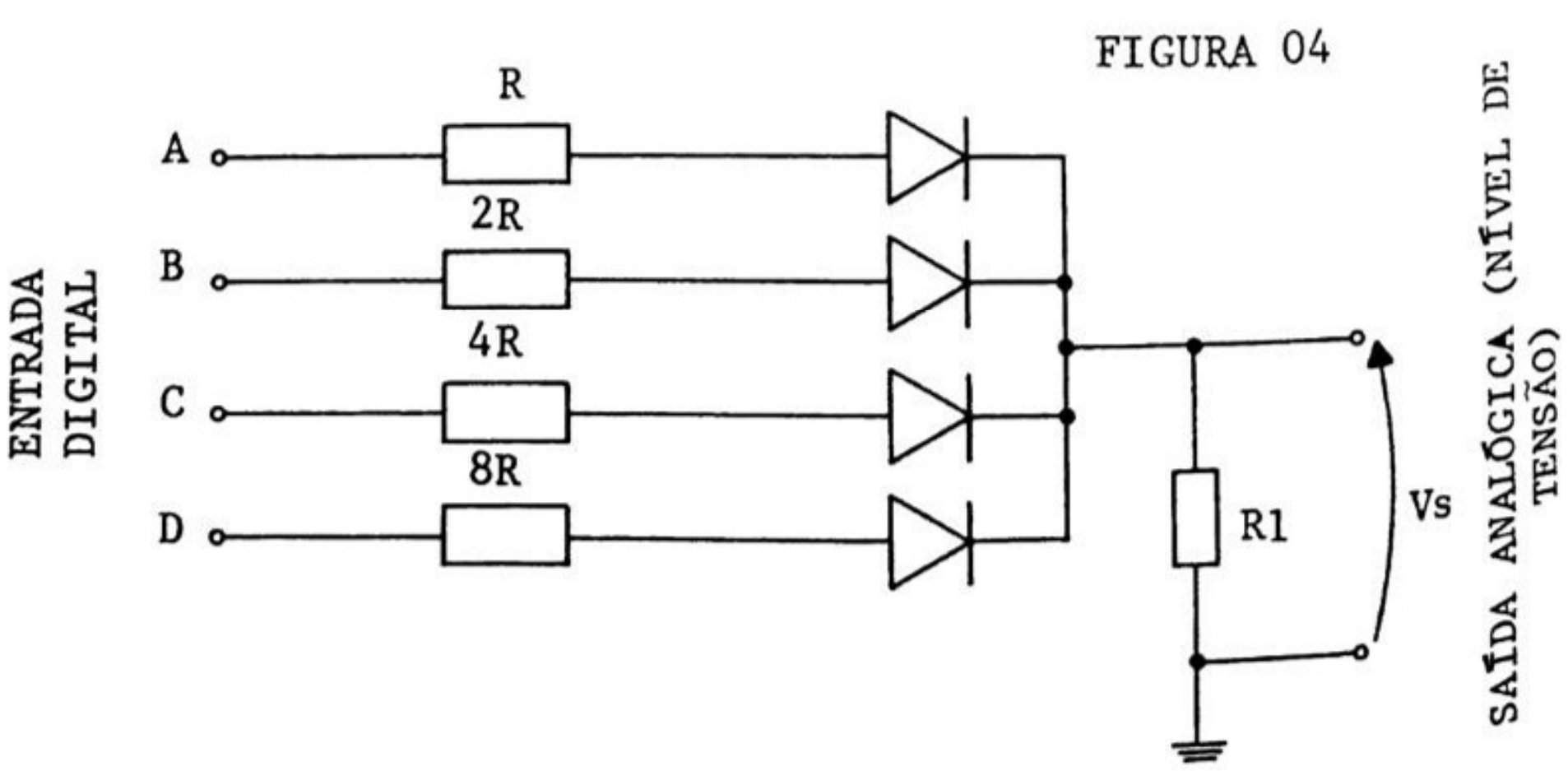


FIGURA 03

Um dos circuitos mais simples que pode efetuar a conversão digital analógica (CD/A) é mostrado na figura 4. Trata-se, pois, de um circuito composto apenas de diodos e resistores (veja figura 4).

FIGURA 04



A entrada A é o bit mais significativo. Para melhor entendermos o modo de funcionamento do circuito, devemos lembrar que, para obtermos um nível lógico baixo (zero binário), em qualquer uma das entradas (A, B, C e D), é necessário conectarmos a respectiva entrada à terra. Do mesmo modo, para obtermos um nível lógico alto (um binário) ou nível um de tensão, é necessário ligarmos a respectiva entrada ao barramento de tensão, geralmente, igual a + Vcc. Ainda com relação ao circuito apresentado na figura 4, uma outra consideração que devemos fazer é que R1 (resistor no qual iremos ter a tensão de saída) terá um valor ôhmico muito menor que R.

Vejamos então o cálculo da tensão de saída (Vs) para as seguintes condições:

a) Para A = 1 (binário) e zero binário para as demais entradas $(1000)_2$. Nesse caso, teremos:

$$Vs = (Vcc \times R_1)/(R + R_1) \text{(divisor de tensão)}$$

Como R_1 é muito menor que R ($R_1 << R$)* então posso considerar a soma de R com R1 igual a R, ou seja, ($R + R_1 \cong R$). Dessa forma, teremos:

* *($R_1 << R$) = R_1 é muito menor que R*

$$Vs = (Vcc \cdot R_1)/R \text{ ou } Vs = Vcc/R \cdot R_1$$

b) Se tivermos um nível lógico alto na entrada B e um nível lógico baixo nas demais entradas $(0100)_2$, teremos:

$$Vs = (Vcc \cdot R_1)/(2R + R_1) \text{ como } 2R + R_1 \cong 2R$$

Como: $2R + R_1 \cong 2R$

Então $Vs = Vcc/2R \cdot R_1$

c) Se a entrada C estiver a um nível lógico alto e as demais entradas, a um nível lógico baixo (0010), teremos:

$$Vs = (Vcc \cdot R_1)/(4R + R_1), \text{ fazendo } 4R + R_1 \cong 4R$$

Obteremos: $Vs = Vcc/4R \cdot R_1$

d) Suponhamos agora a entrada D a um nível lógico alto e as demais entradas a um nível lógico baixo $(0001)_2$, teremos então:

$Vs = (Vcc \cdot R_1)/(8R + R_1)$, fazendo $8R + R_1 \cong 8R$

Teremos: $Vs = Vcc/8R \cdot R_1$

Note que o valor de Vs obtido no item b é igual à metade do valor de Vs obtido no item a. Se compararmos os resultados de Vs obtidos nos itens c e d com o resultado de Vs obtido no item a, verificaremos que estes são 1/4 e 1/8, respectivamente, do valor de Vs calculado no item a.

Se considerarmos o valor de tensão obtido no item d ($Vs = Vcc/8R \cdot R1$) como sendo igual a um, veremos que os valores de Vs para os ítens c, b e a serão proporcionais a 2, 4 e 8 respectivamente.

e) Para esse caso, vamos supor as entradas A e C a um nível lógico alto e as demais a um nível lógico baixo $(0111)_2$, então Vs será:

$Vs = [Vcc/(2R+R1)] \cdot R1 + Vcc/(4R+R1) \cdot R1 + Vcc/(8R+R1) \cdot R1.$

Como $R1 \cdot < R$

Daí, vem:

$Vs = (Vcc/2R) \cdot R1 + (Vcc/4R) \cdot R1 + (Vcc/8R) \cdot R1$

$Vs = (Vcc/R) \cdot R1 \ (1/2 + 1/4 + 1/8)$

Tirando o mínimo múltiplo comum (mmc), vem:

$Vs = (Vcc/R) \cdot R1 \cdot ((4 + 2 + 1)/8)$

Ou

$Vs = Vcc/R \cdot R1 \cdot 7/8.$

Se compararmos essa tensão de saída (Vs do item e) com a tensão Vs do item d, a qual adotamos como sendo igual a 1, teremos:

$[((Vcc.R1)/R) \cdot 7/8]/[(Vcc.R1)/8R] = 7.$

Ou seja, a tensão Vs do item e é exatamente 7 vezes ma-

ior que a tensão de referência (tensão Vs do item d).

Com base nesses cálculos, podemos concluir que dando-se valores adequados aos resistores e a Vcc, obteremos na saída do circuito uma tensão proporcional à entrada injetada.

Para fixarmos melhor o funcionamento do circuito apresentado na figura 4, vamos adotar alguns valores para os elementos que constituem o circuito. Por exemplo, adotaremos R = 10KΩ, R_1 = 16Ω e Vcc = + 5 volts (veja a figura 5).

Vamos então verificar algumas das possíveis conversões para o código BCD 8421.

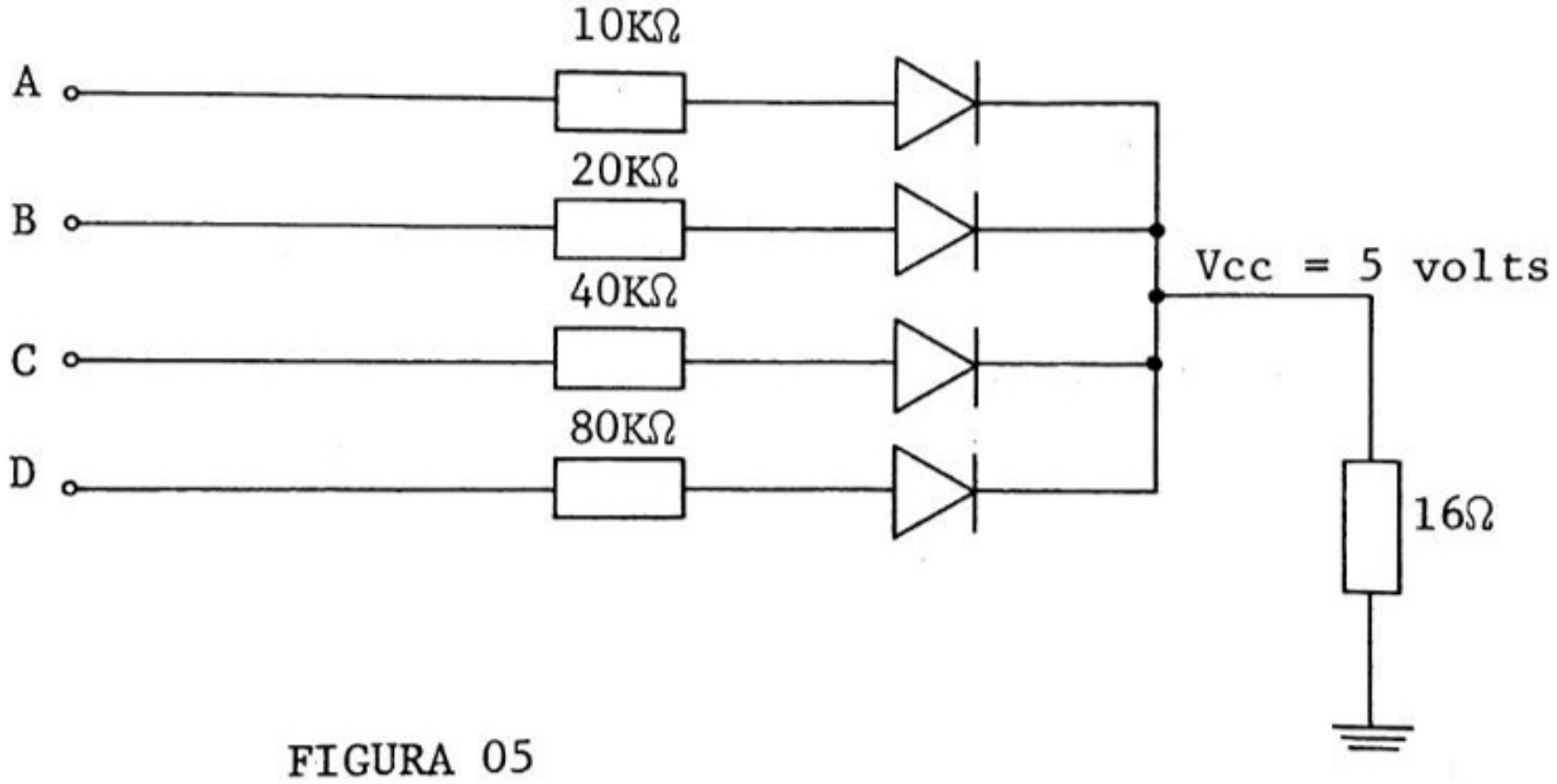


FIGURA 05

Como exemplo,vamos apresentar algumas conversões:

a) Converter o número ABCD = 0000

Para esse caso, teremos todas as tensões de entrada iguais a zero, logo a tensão de saída também será nula, portanto Vs = 0.

b) Converter o número ABCD = 0011

Nesse caso, teremos as seguintes tensões de entrada:

entrada A = 0V
entrada B = 0V
entrada C = 5V
entrada D = 5V

O circuito equivalente para essa situação será o da figura 6.

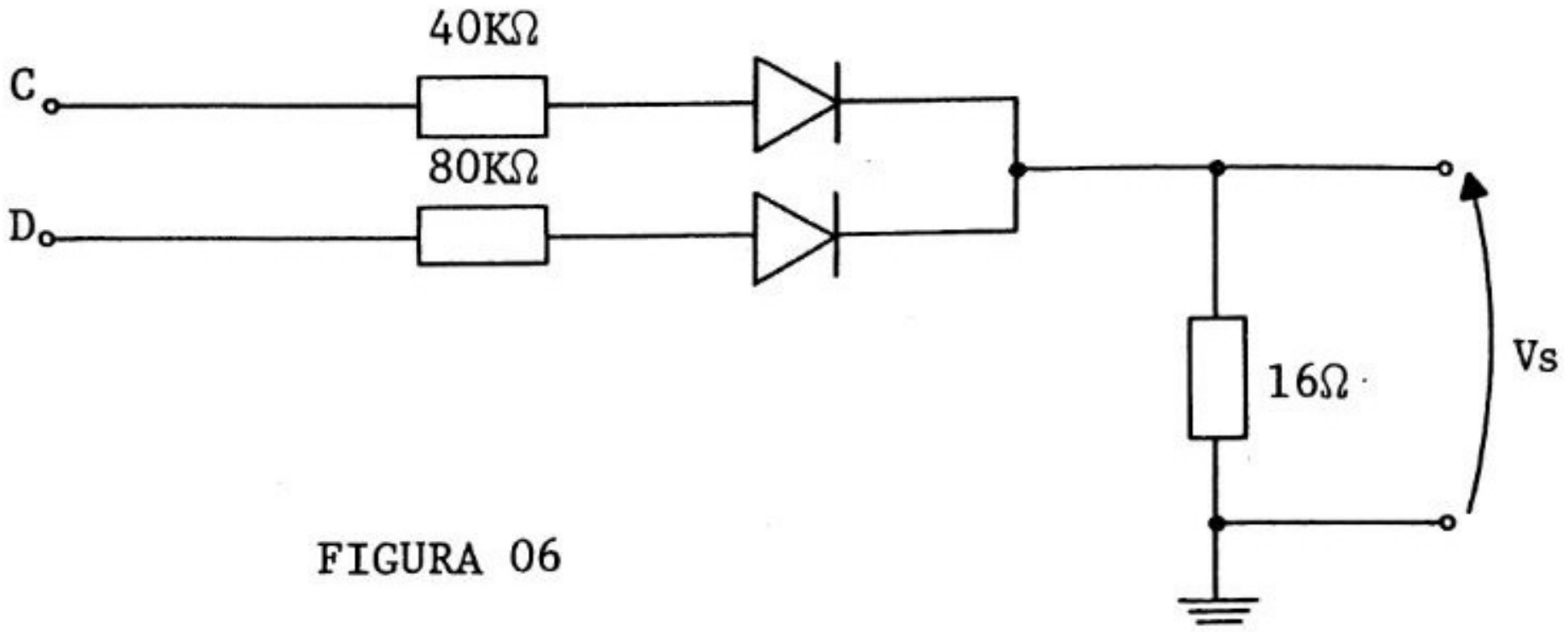


FIGURA 06

Com base no circuito da figura 6, podemos escrever:

$$Vs = (5x16)/(40x10^3) + (5x16)/(80x10^3)$$

$$Vs = (80/40) \times 10^{-3} + (80/80) \times 10^{-3}$$

$$Vs = 2 \times 10^{-3} + 1 \times 10^{-3}$$

Logo: $Vs = 3 \times 10^{-3}$ volts ou 3mV

c) Converter o número ABCD = 1001

Para esse caso, teremos as seguintes tensões de entrada:

entrada A = 5V
entrada B = 0V
entrada C = 0V
entrada D = 5V

A figura 7 nos mostra o circuito equivalente para esse caso.

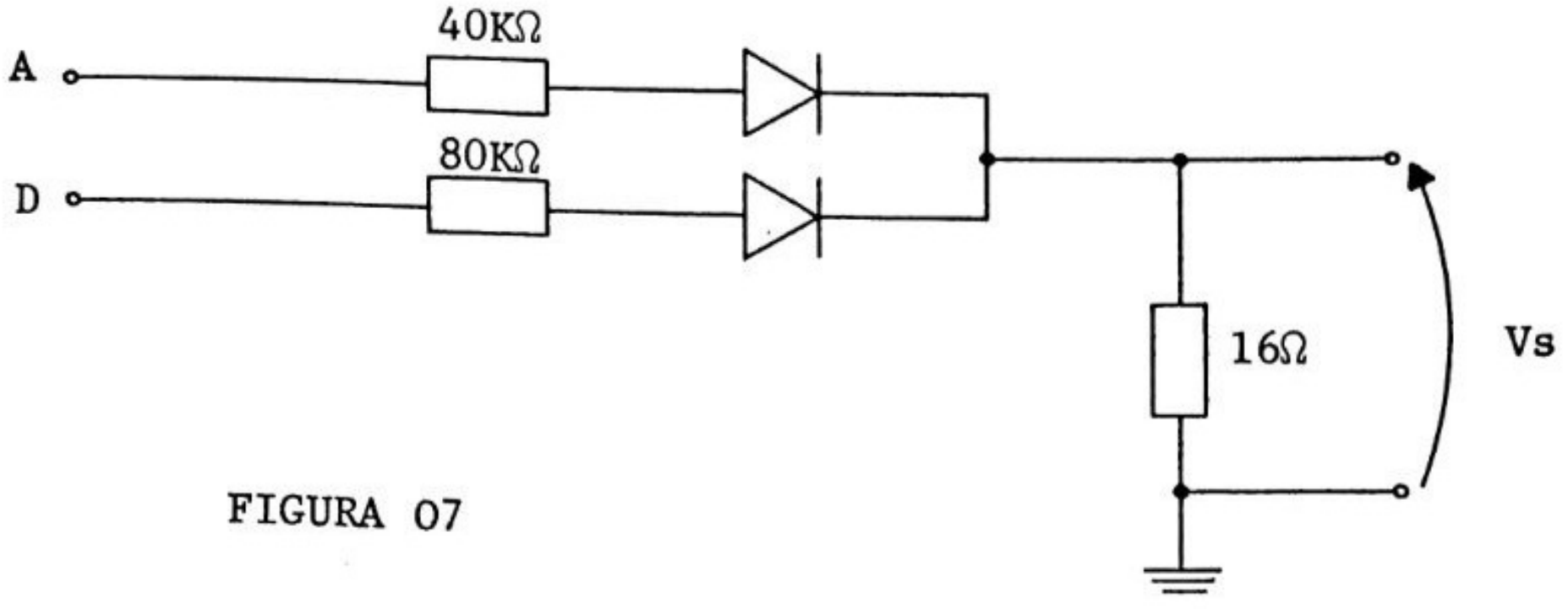


FIGURA 07

Com base na figura 7, podemos escrever:

$$Vs = (5x16)/(10x10^3) + (5x16)/(80x10^3)$$

$$Vs = (80/10) \times 10^{-3} + (80/80) \times 10^{-3}$$

$$Vs = 8 \times 10^{-3} + 1 \times 10^{-3}$$

Logo: $Vs = 9 \times 10^{-3}$ volts ou 9mV

Se procedermos da mesma forma com relação aos demais casos do código BCD 8421, obteremos a conversão da tabela verdade do referido código (tabela 1).

ENTRADA DIGITAL				SAÍDA ANALÓGICA Vs (mV)
CÓDIGO BCD 8421				
A	B	C	D	
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9

TABELA 1

Obs.: Se alterarmos os valores de R e R1, o resultado final do cálculo da tensão "Vs" de saída será diferente dos apresentados na tabela 1; porém, proporcionais aos valores - de R e R1 que vem a reafirmar o fato da tensão de saída ser proporcional à tensão de entrada.

Como podemos notar, o funcionamento do circuito é muito simples, todavia apresenta uma característica desvantajosa: a de apresentar um baixo valor de tensão de saída. Uma das formas de se resolver esse problema, seria fazermos uma amplificação do sinal de saída, utilizando, para tanto, um amplificador operacional.

Antes de prosseguirmos com o estudo do conversor digital-analógico, vamos fazer algumas considerações básicas sobre os amplificadores operacionais.

A figura 8 nos mostra o símbolo de um amplificador operacional. Na lição E-18 (página 11) temos algumas considera - ções sobre esse assunto.

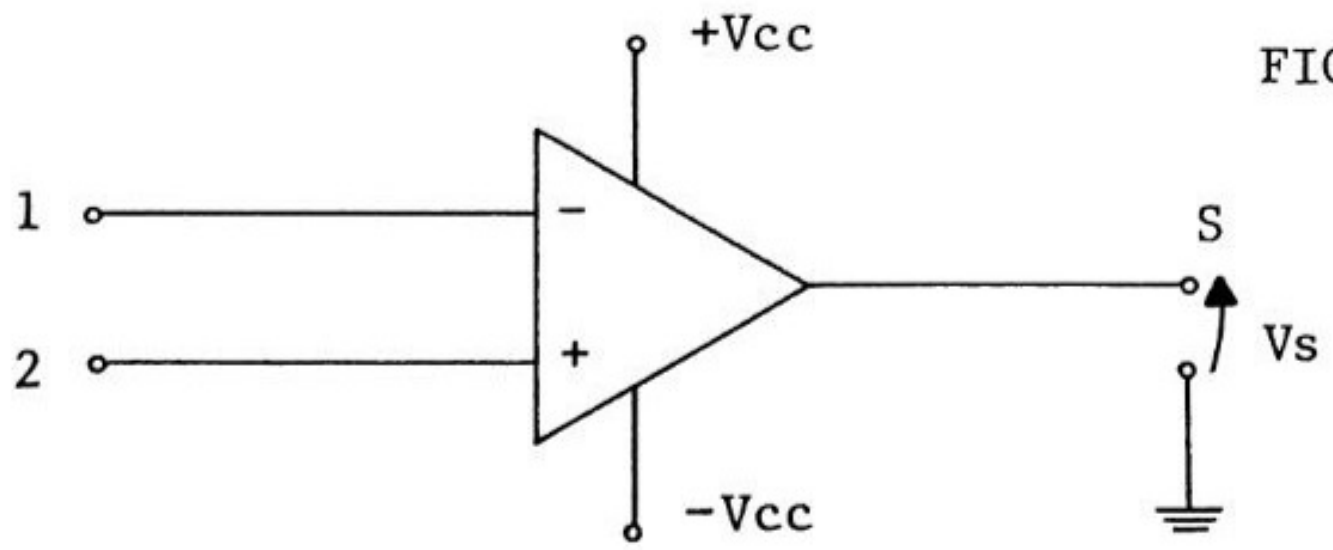


FIGURA 08

A seguir, enumeramos algumas das principais características do amplificador operacional:

1) alta impedância de entrada;
2) baixa impedância de saída;
3) tensão de saída (Vs) nula,quando as tensões nas entradas 1 e 2 forem iguais;
4) entrada 1 = entrada inversora;
   entrada 2 = entrada não inversora;
5) alto ganho de saída (G = -Vs/Ve), onde Ve é a tensão de entrada.

Uma das aplicações mais importantes do amplificador é a de circuito comparador, o qual executa a comparação de duas tensões aplicadas às entradas inversoras e não-inversoras.Por exemplo, quando a tensão aplicada na entrada inversora for maior que a tensão aplicada na entrada não-inversora, teremos na saída do amplificador operacional uma tensão igual a -Vcc. Caso contrário, a tensão apresentada na saída será +Vcc. O uso do amplificador operacional como circuito comparador será na montagem do conversor analógico-digital, o qual estudaremos logo mais.

O amplificador operacional também pode ser utilizado como um circuito somador de tensões (figura 9).

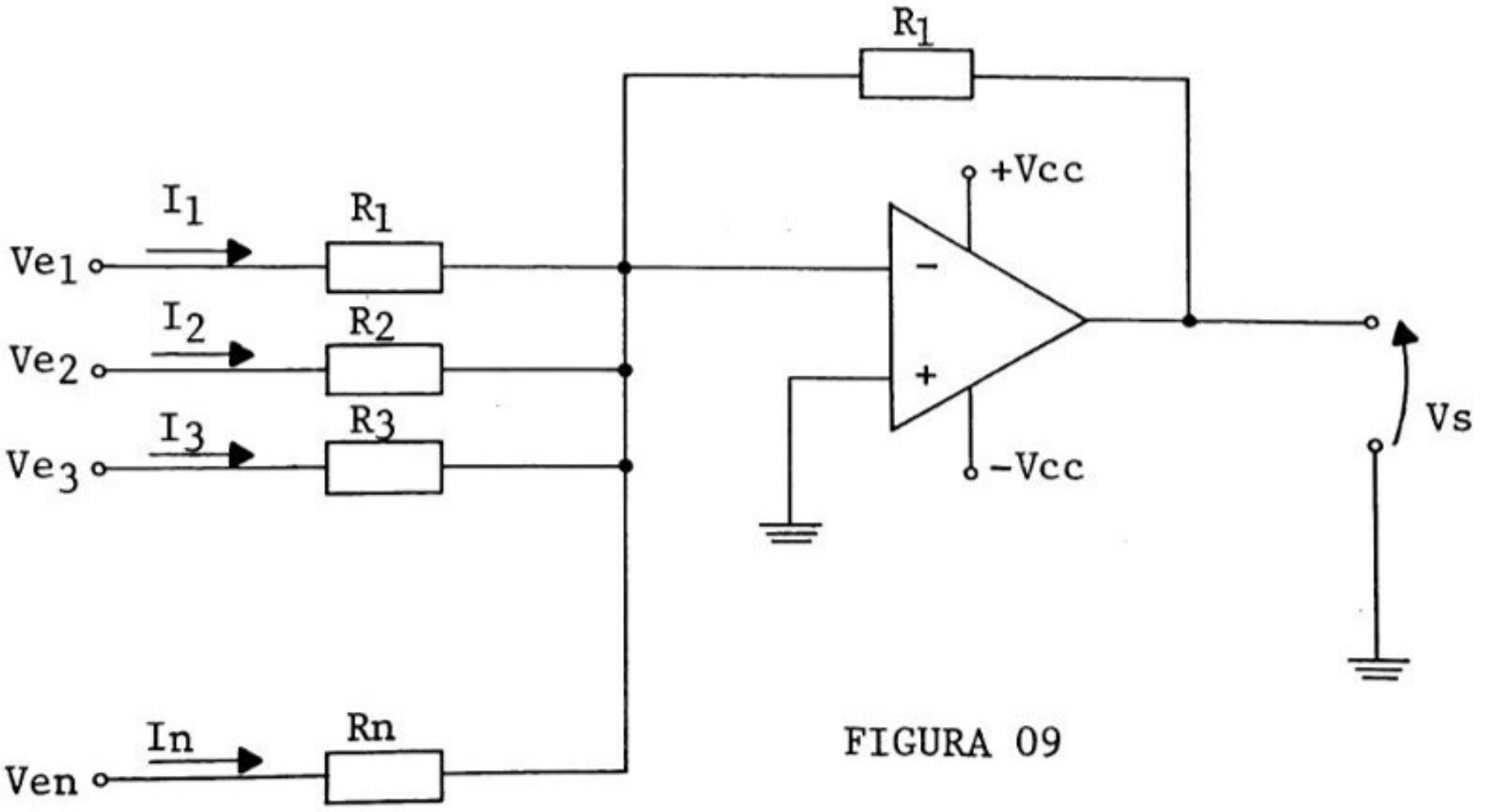


FIGURA 09

O circuito somador mostrado na figura 9 apresentará em sua saída a seguinte tensão Vs:

$$Vs = - R0 \ (Ve1/R1 + Ve2/R2 + Ve3/R3 + \ldots + Ven/Rn)$$

De onde concluímos que Vs representa uma soma ponderada das tensões Ve1, Ve2, Ve3, ..., Ven.

Uma vez feito esse pequeno estudo sobre os amplificado-

res operacionais, vamos então prosseguir o estudo do conversor digital-analógico.

A figura 10 nos mostra um circuito conversor digital-analógico (CD/A) para o código BCD 8421, utilizando o amplificador operacional.

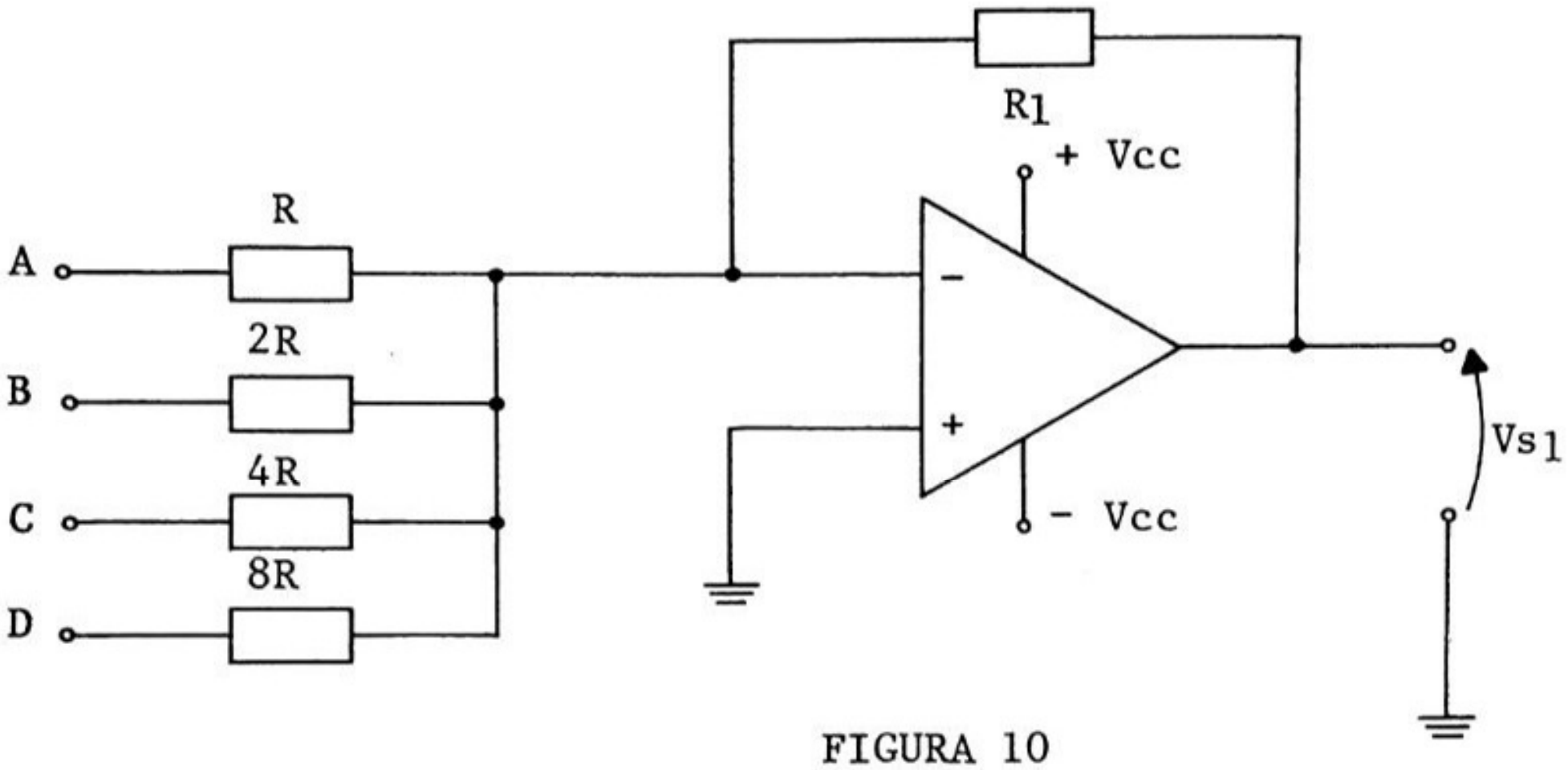


FIGURA 10

Com base no circuito apresentado na figura 10 (note que se trata de um circuito somador, utilizando um amplificador operacional), podemos escrever Vs, como sendo:

$$Vs = -R1/R\ (V_A/1 + V_B/2 + V_C/4 + V_D/8)$$

Onde V_A, V_B, V_C e V_D poderão assumir apenas dois valores: nível alto (geralmente + 5Vcc) e nível baixo (zero volts). Sendo assim,podemos reescrever a expressão anterior da seguinte forma:

$$Vs = (-R1/R)\ .\ V\ .\ (A/1 + B/2 + C/4 + D/8)$$

Onde V é a tensão correspondente ao nível lógico alto e as letras A, B, C e D são os bits do código BCD 8421. Note que a saída analógica Vs, será proporcional à entrada digital.

Com a utilização do amplificador operacional elevamos o

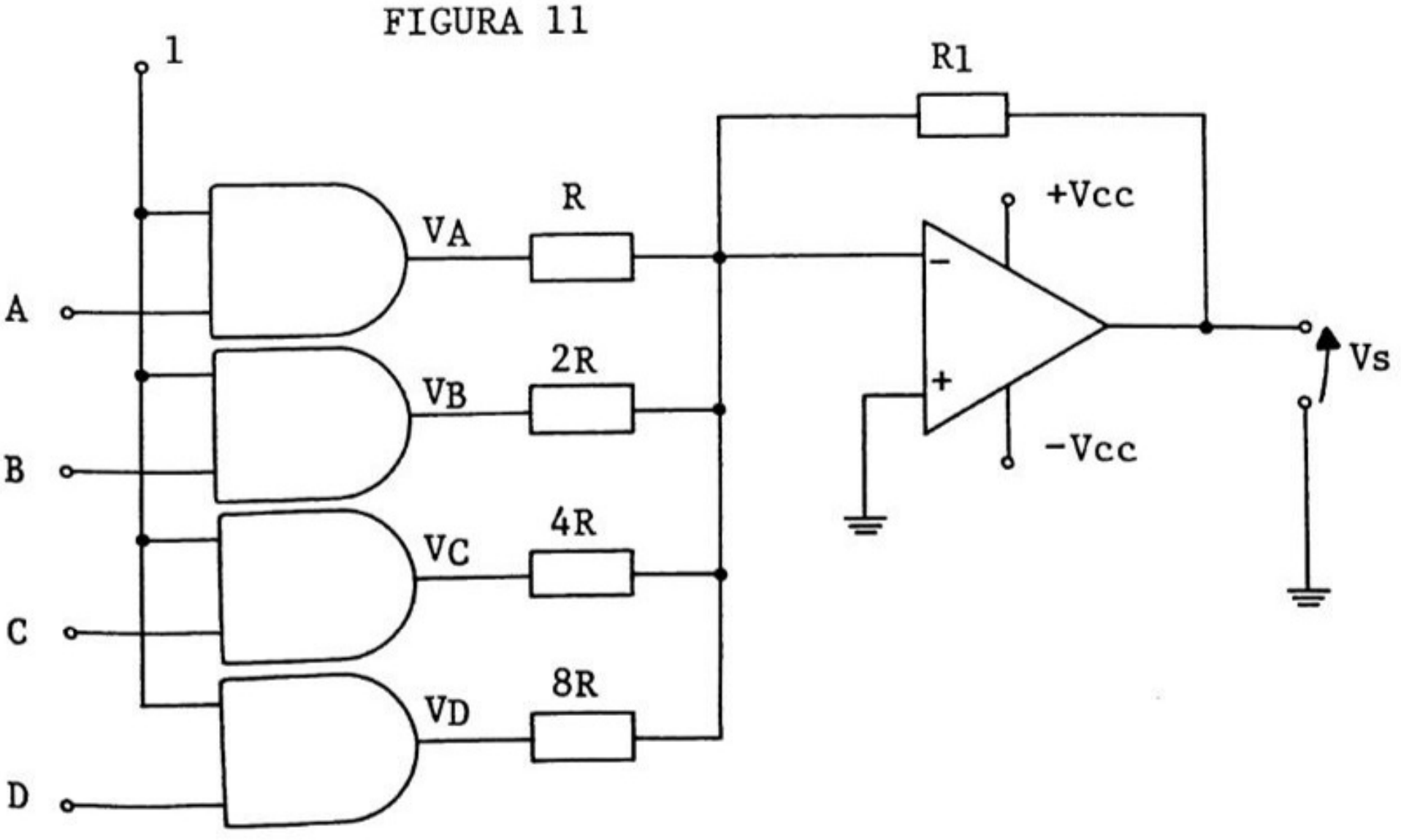
nível da tensão de saída de alguns milivolts (circuito da figura 5) para algumas unidades de volts (circuito da figura 10).

CONVERSOR DIGITAL-ANALÓGICO COM CHAVE SELETORA DIGITAL

Trata-se de um circuito praticamente igual ao circuito - apresentado na figura 10, diferindo daquele apenas por possuir em suas entradas as referidas chaves seletoras. Essas chaves seletoras nada mais são do que portas lógicas, tipo E, sendo que um de seus terminais de entrada está permanentemente a um nível lógico alto (um binário), enquanto que o outro terminal está ligado à entrada propriamente dita.

A função dessas chaves, com relação ao funcionamento do circuito, é a de isolar a impedância de saída do circuito que será ligado à entrada, fornecendo, portanto, um nível de tensão de entrada com uma menor variação. A figura 11 nos mostra um circuito CD/A com chave seletora digital.

FIGURA 11



A expressão que nos permite calcular o valor da tensão de saída Vs é a mesma do circuito anterior:

$$Vs = -R1/R \cdot V\ (A + B/2 + C/4 + D/8)$$

Quando qualquer uma das entradas (A, B, C e D) for zero binário, verificaremos que a saída da respectiva porta também será zero. Porém, se tivermos um nível lógico alto (um binário), aplicado em qualquer uma das entradas (A, B, C e D), obteremos na saída da porta lógica em questão um nível lógico alto (um binário).

Tendo em vista que a configuração da montagem desse circuito ser praticamente a mesma do circuito apresentado na figura 10, os exemplos de conversão poderão ser os mesmos.

CONSIDERAÇÕES SOBRE ESSE TIPO DE CONVERSOR D/A

Esse tipo de conversor digital-analógico é conhecido por "peso binário", devido ao fato dos resistores (R1, R2, R3,... Rn) serem múltiplos um do outro (potência de 2).

De modo geral, um circuito conversor D/A de "peso binário" apresenta as seguintes desvantagens:

1. Para palavras com mais de oito (8) bits, os valores dos últimos resistores da rede se tornam muito altos, podendo inclusive fugir dos valores normais, encontrados no mercado. Por exemplo, se R for adotado como sendo igual a 15KΩ, o oitavo bit será $_2(8-1)$. (15KΩ), ou, 1,92MΩ.

2. Com relação ao ítem 1, se considerarmos uma tensão de referência igual a 15 volts, teremos uma corrente I_8 (pois trata-se do oitavo bit) aproximadamente igual a 7,8 micro-ampères. Note que se trata de um valor de corrente muitíssimo pequeno. Devido a esse fato, torna-se bastante difícil encontrarmos no mercado amplificadores operacionais que possam responder a correntes de entrada desse nível.

3. Caso fizermos o valor de R muito pequeno, irá ocorrer o contrário do que foi exposto no item 1. Por exemplo, se fizermos R = 150Ω e adotarmos uma tensão de referência da ordem de 15 volts, obteremos uma corrente igual a 100mA. Se reduzirmos o valor de R para 15Ω, teremos uma corrente de 1000mA, ou seja, 1 ampère.

Uma das soluções possíveis para os problemas expostos nos ítens 1, 2 e 3 é a aplicação da rede R - 2R, a qual passaremos estudar a seguir.

CONVERSOR DIGITAL-ANALÓGICO UTILIZANDO MALHA R-2R

Trata-se de um circuito constituído apenas de resistências, sendo que os resistores desse circuito possuem os valores ôhmicos R e 2R com tolerância de 1%. Também podemos obter o mesmo circuito, utilizando apenas um resistor R. Para isso, basta ligar dois resistores R em série e obteremos, assim, o resistor de valor 2R. A figura 12 nos mostra uma malha R-2R elementar, utilizada como conversor digital-analógico.

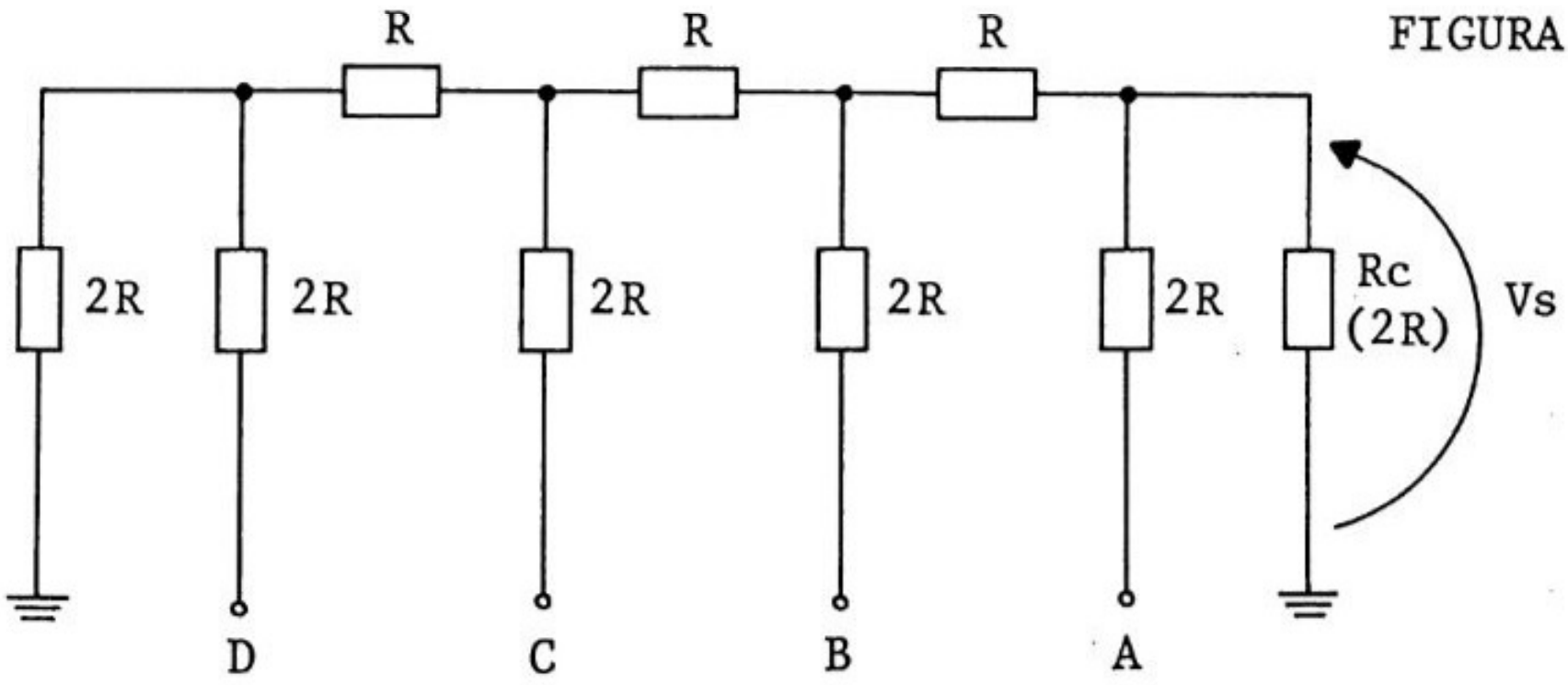


FIGURA 12

(bit menos significativo-BMS)

(bit mais significativo-BMS)

Para verificarmos o funcionamento do circuito, vamos adotar a resistência de carga (Rc) como sendo igual a 2R. Suponhamos, agora, que a entrada B esteja com um nível lógico alto (um binário), enquanto que as demais entradas se encontram a um nível lógico baixo (zero binário). Na figura 13, temos o circuito referente às condições que acabamos de analisar.

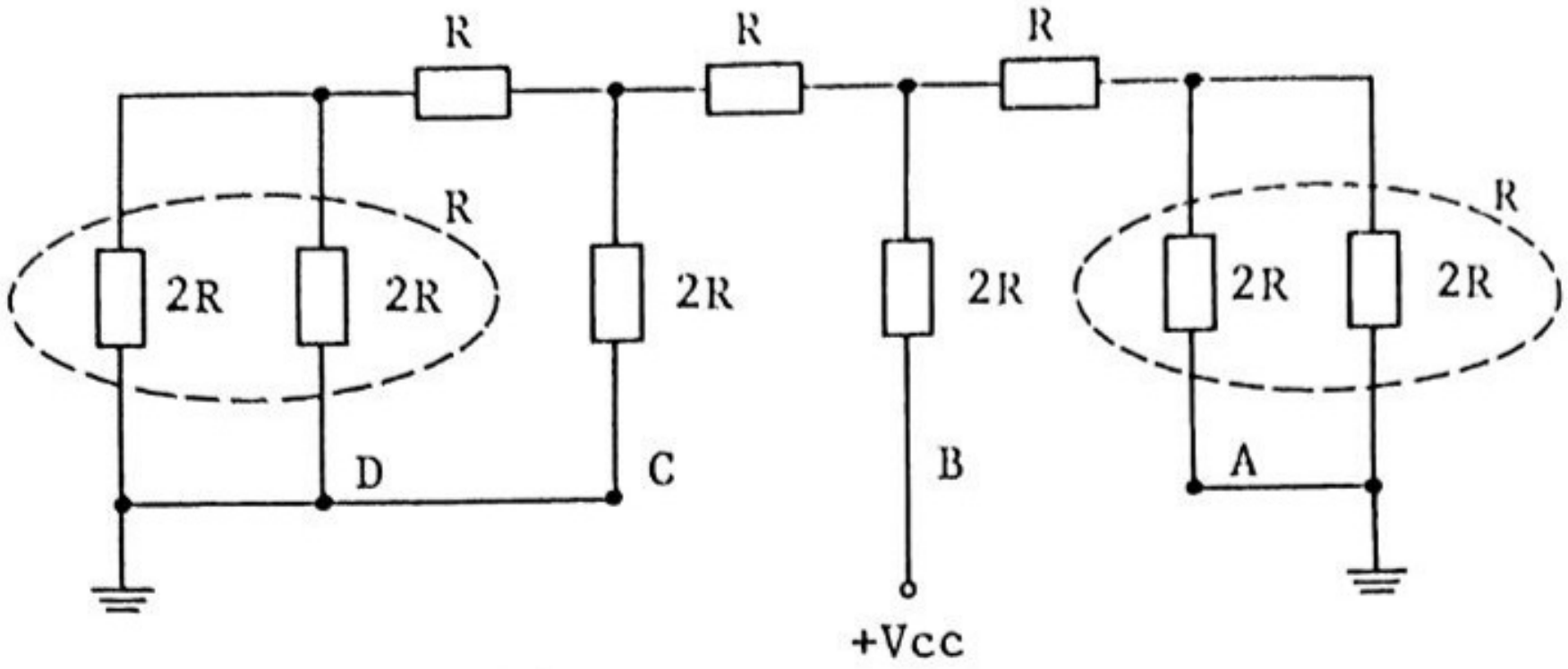


FIGURA 13

Com base no circuito da figura 13, o circuito equivalente será (figura 14):

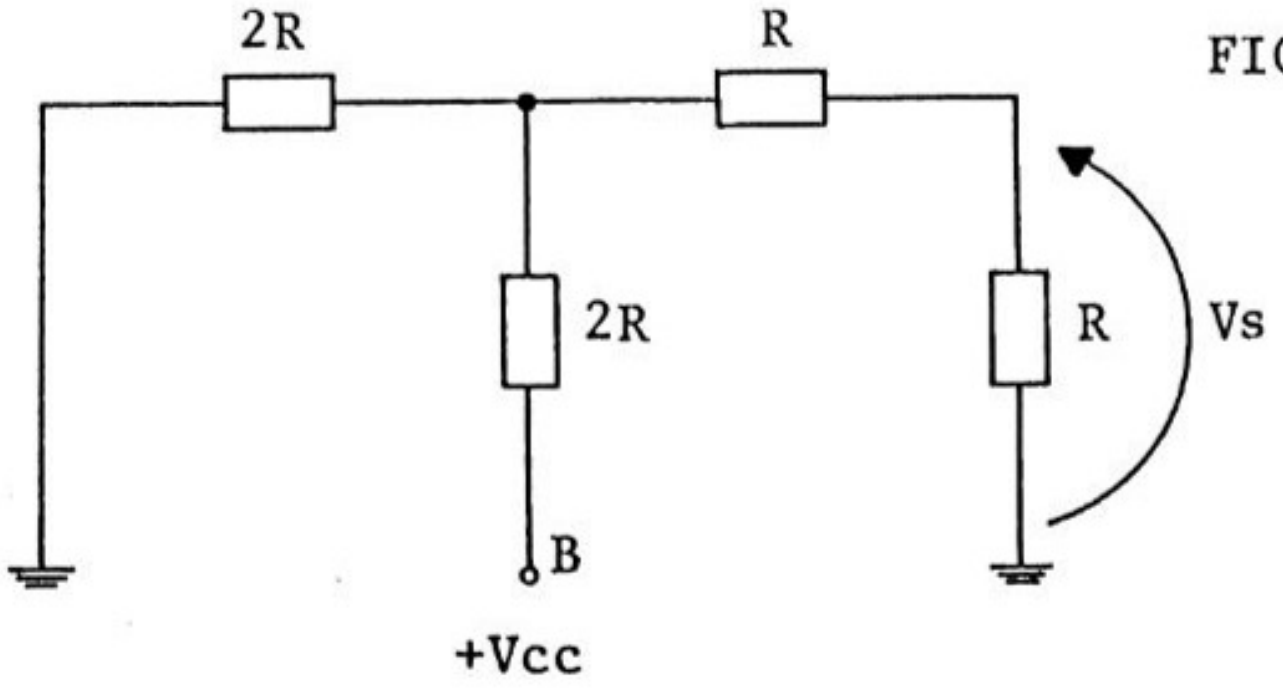


FIGURA 14

Calculando a tensão de saída (Vs), teremos:

$$Vs = (Vcc.R)/(2R+R/2)$$

Logo:

$$Vs = +Vcc/6$$

Analogamente, se fizermos a entrada D a um nível lógico alto e as demais a um nível lógico baixo, teremos o seguinte circuito equivalente (figura 15).

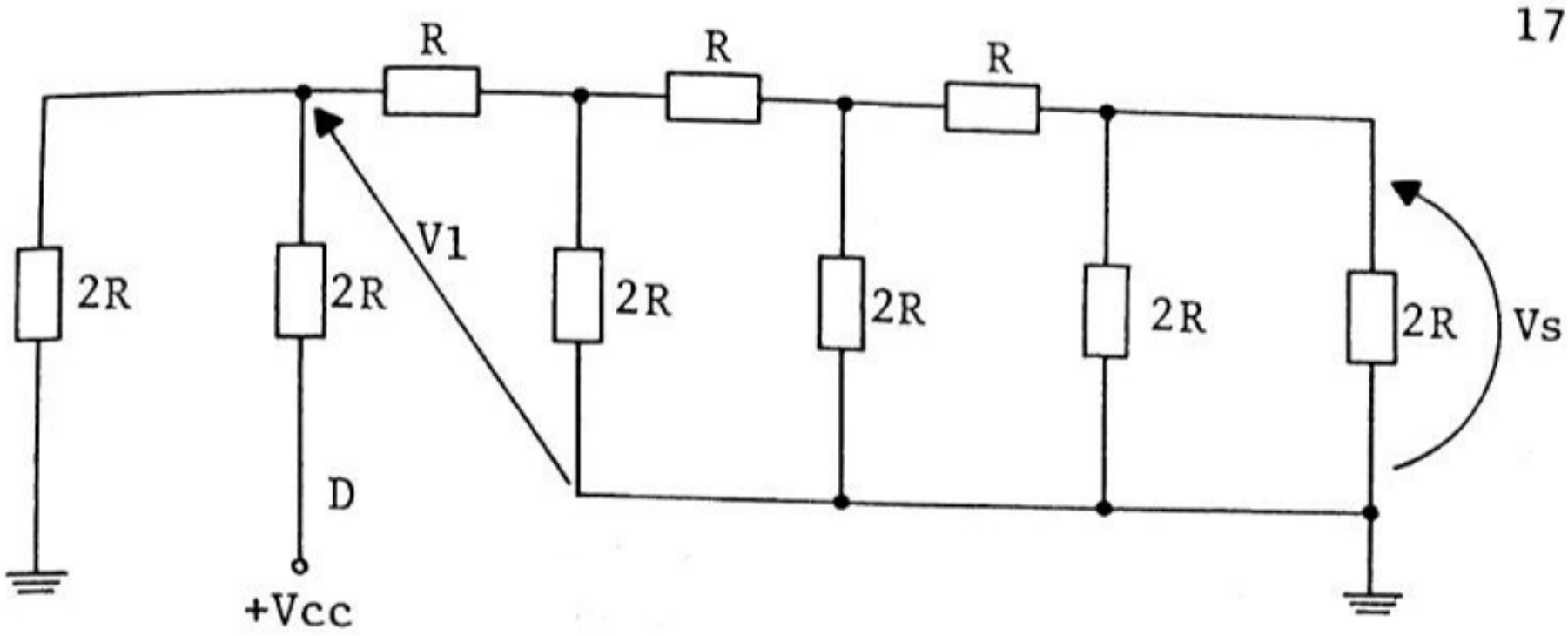
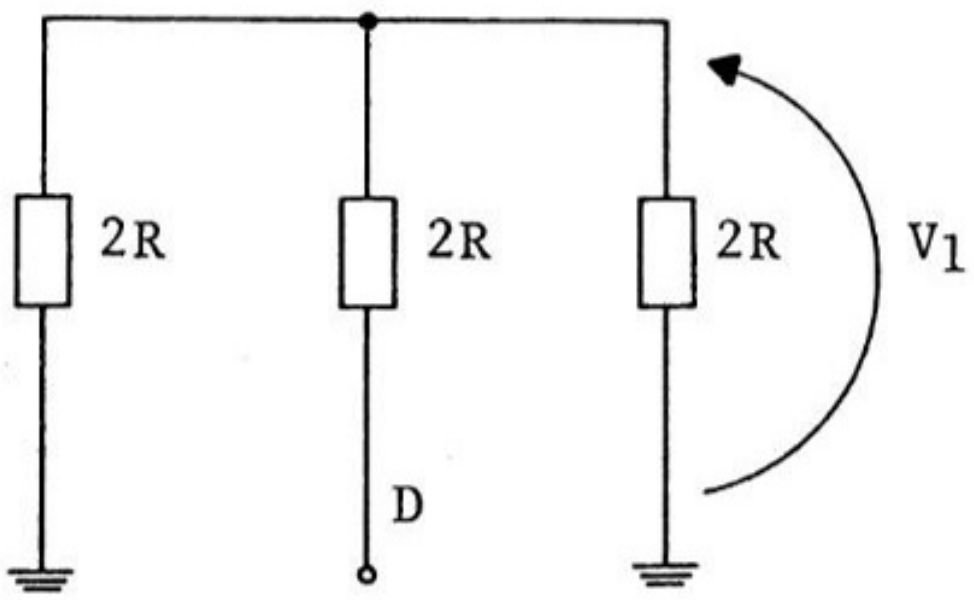


FIGURA 15

Tendo como base o circuito da figura 15, vamos então determinar o valor da tensão V1 e, em seguida, o valor da tensão Vs. Simplificando o circuito da figura 15, obteremos (figura 16):

FIGURA 16



Calculando a tensão "V1", teremos:

$$V_1 = +Vcc.2R/2R+2R+2R$$

Logo:

$$V1 = +Vcc/3$$

Uma vez calculado o valor de V1, vamos agora determinar o valor de "Vs". Para isso, vamos aplicar o processo do

"divisor de tensão" ao circuito apresentado na figura 17.

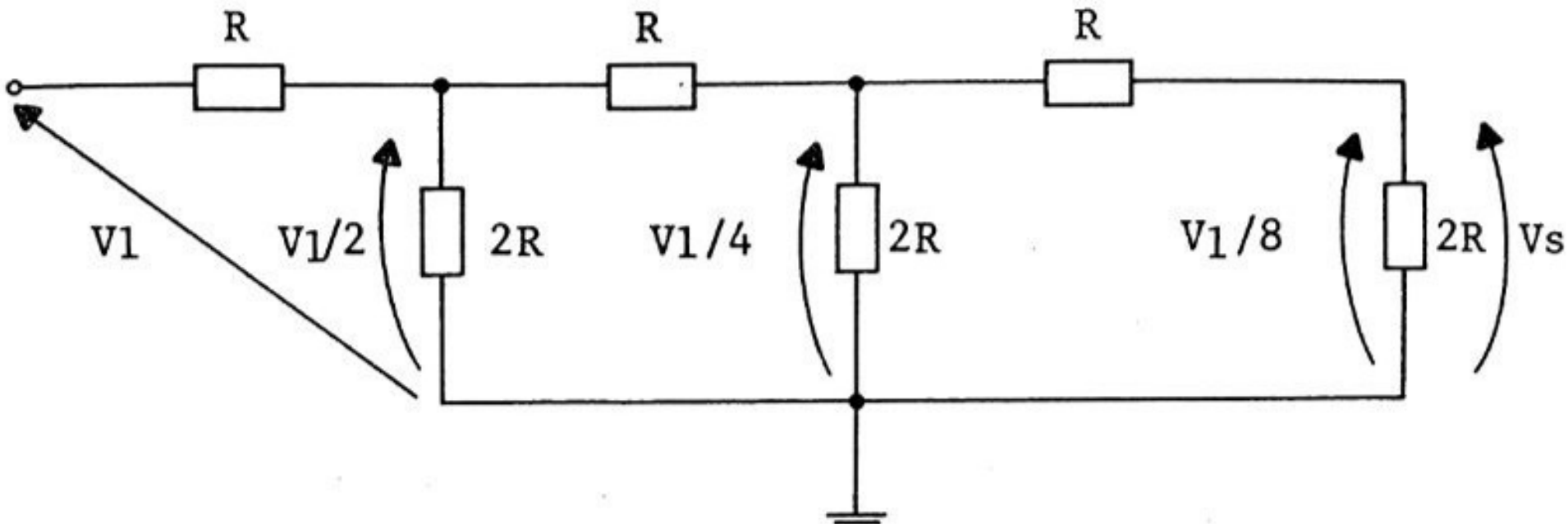


FIGURA 17

De acordo com a figura 17,a tensão de saída (Vs)é igual a V1/8, daí concluímos que:

$$Vs = +Vcc/3.8$$

Logo:

$$Vs = +Vcc/24$$

Dessa forma, calculamos literalmente o valor da tensão de saída (Vs) para duas situações distintas. Procedendo de forma semelhante, poderiamos calcular o valor da tensão "Vs" para as 16 situações possíveis de ocorrer na entrada do circuito apresentado na figura 12. Com o objetivo de tornar mais fácil a compreensão de como funcionar esse circuito, vamos passar a um exemplo numérico. Adotaremos R como sendo igual a 1KΩ, conseqüentemente, 2R deverá ser equivalente a 2KΩ. Utilizaremos, também, quatro chaves para ativarem uma entrada de 4 bits (figura 18). A maioria dos conversores D/A possuem suas entradas ligadas diretamente às saídas de um circuito digital, o qual fornece uma saída binária. Porém, nada impede que utilizemos chaves acionadas mecanicamente.

A tensão de referência (+Vcc) será igual a 9 volts. Como há dezesseis combinações possíveis de entrada, a tensão de

saída deve variar de 0 (zero) volts a pouco menos de 9 volts, em incrementos de 9/16 volts.

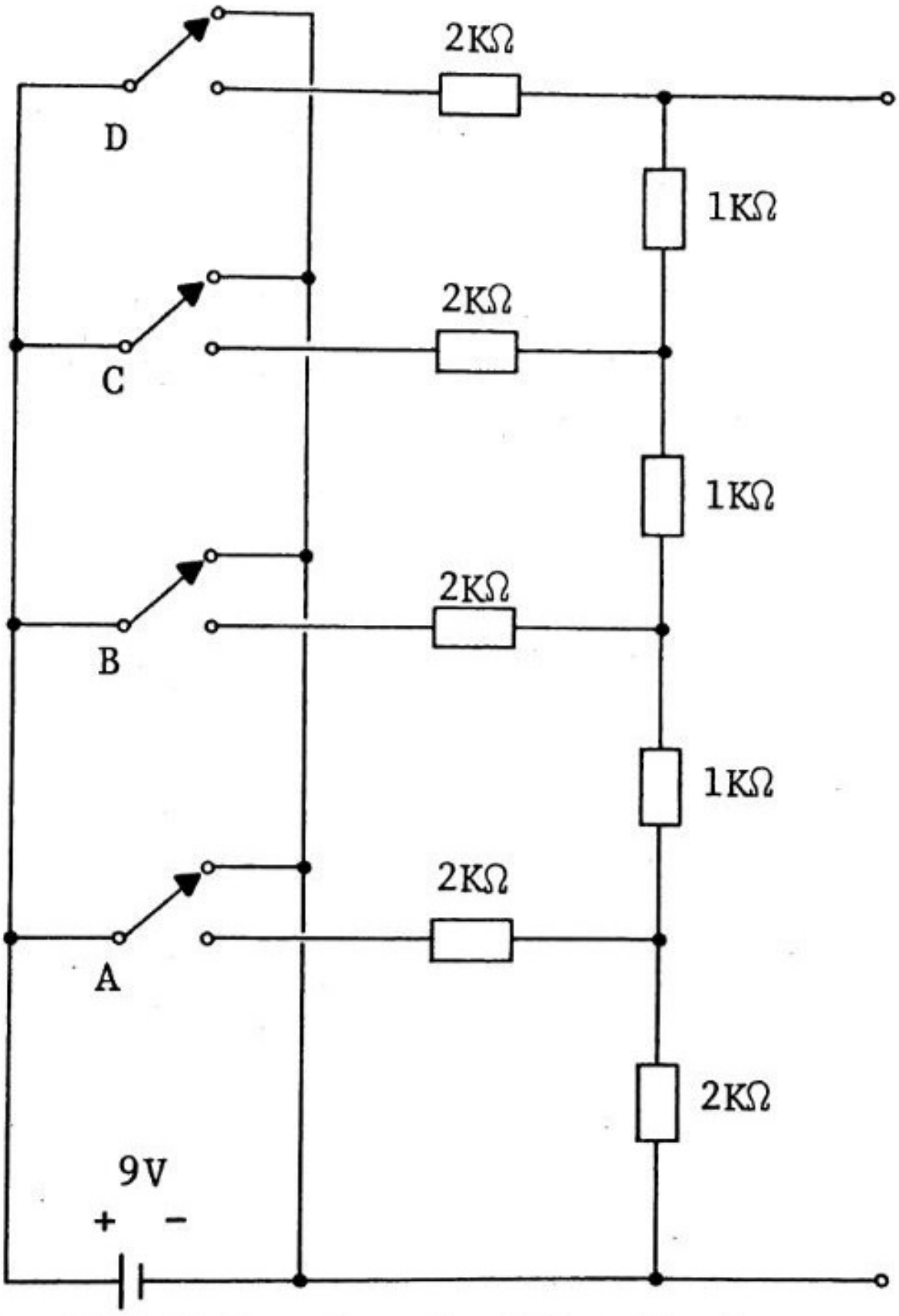


FIGURA 18

OBS.: D - BMS (bit mais significativo)

A - Bms (bit menos significativo)

Com base no circuito 18 e nas informações anteriores, podemos montar a seguinte tabela (tabela 2):

ENTRADAS				SAÍDA
A	B	C	D	Vs
0	0	0	0	0
0	0	0	1	0,56
0	0	1	0	1,12
0	0	1	1	1,68
0	1	0	0	2,24
0	1	0	1	2,80
0	1	1	0	3,36
0	1	1	1	3,92
1	0	0	0	4,48
1	0	0	1	5,04
1	0	1	0	5,60
1	0	1	1	6,16
1	1	0	0	6,72
1	1	0	1	7,28
1	1	1	0	7,84
1	1	1	1	8,40

TABELA 02

Os valores da tensão de saída (Vs) também poderiam ser obtidos através do uso de um voltímetro, conectado na saída do circuito. Vamos agora traçar em um gráfico (figura 9) as características do circuito da figura 18.

Note que a resposta analógica é praticamente linear. Se os valores da tensão de saída (Vs) fossem obtidos por intermédio de leitura de um voltímetro, iríamos verificar algumas variações (tabela 3). Como essas variações são muito pequenas, isso nos leva a considerar a saída analógica como sendo linear, pois o erro que incorremos, ao admitir tal fato, é muito pequeno, podendo ser desprezado.

FIGURA 19

ENTRADAS				SAÍDA
A	B	C	D	Vs
0	0	0	0	0,00
0	0	0	1	0,57
0	0	1	0	1,12
0	0	1	1	1,69
0	1	0	0	2,19
0	1	0	1	2,76
0	1	1	0	3,32
0	1	1	1	3,89
1	0	0	0	4,50
1	0	0	1	5,06
1	0	1	0	5,60
1	0	1	1	6,15
1	1	0	0	6,69
1	1	0	1	7,78
1	1	1	0	7,82
1	1	1	1	8,40

TABELA 03

- Valores de Vs obtidos através de um voltímetro.

A figura 20 nos mostra como adicionar um amplificador operacional à rede de resistores R-2R que acabamos de estudar. A finalidade de adicionarmos um amplificador operacional nesse circuito, é a de melhorar o acoplamento do conversor com outros circuitos, pois o amplificador isola a impedância da rede R-2R da carga. Uma outra finalidade seria a de oferecer uma tensão de saída (Vs) com fator de proporcionalidade qualquer, independente da tensão fixada para nível lógico alto (1 binário), bastando, para isso, modificarmos o ganho através da relação de resistências ($G = R_1/R_2$).

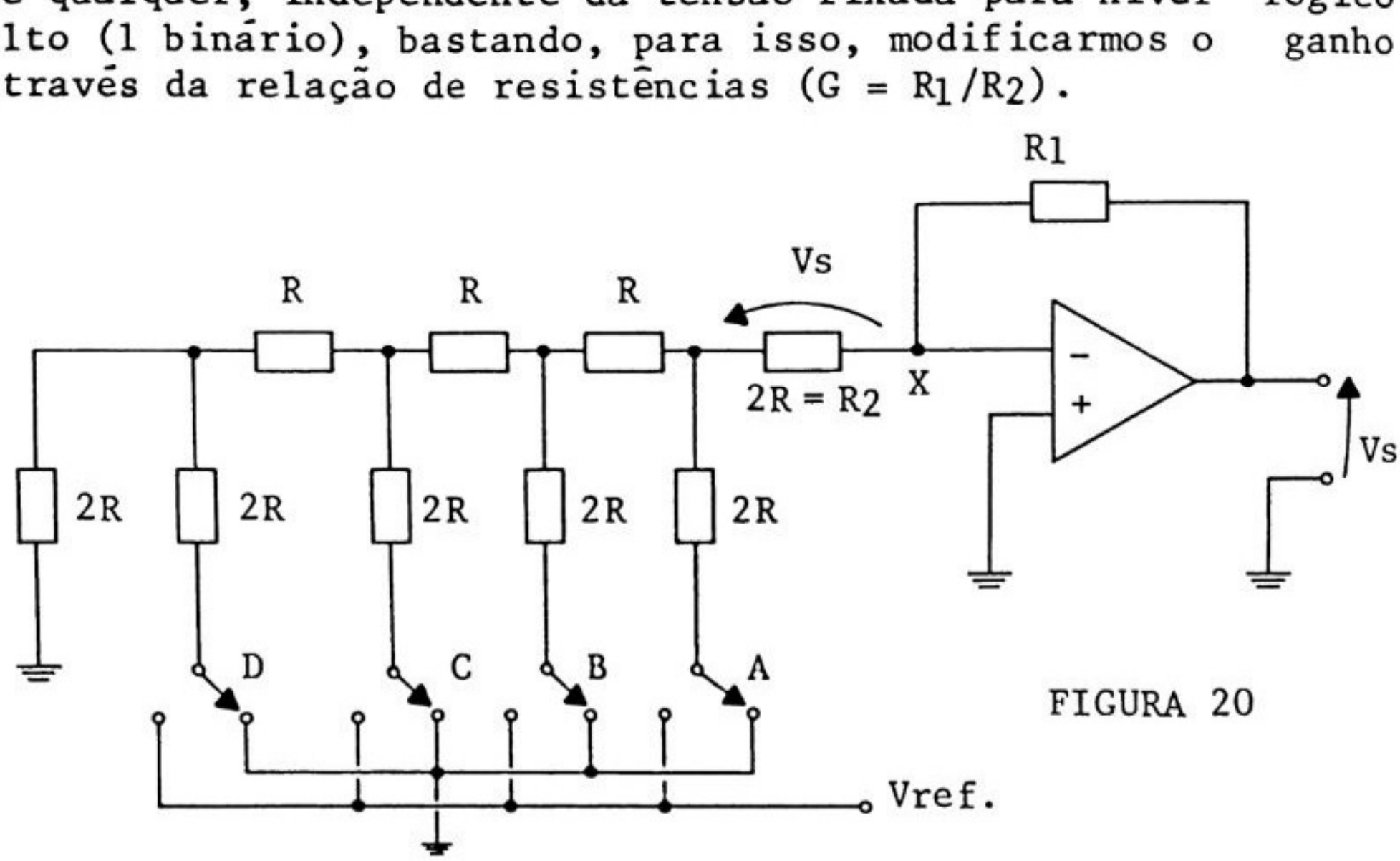


FIGURA 20

A grande maioria dos conversores D/A comerciais são feitos, usando a técnica da rede de resistores R-2R. A máxima tensão de saída de escala completa depende da tensão de referência e do número de bits. Portanto teremos:

$$Vs = Vref.(2^n-1)/2^n$$

Exemplo:

Calcular o potencial de saída de escala completa de um conversor D/A de 10 bits (malha R-2R). Dado: tensão de referência igual a + 10,0 volts.

$$Vs = Vref.(2^n-1)/2^n$$

$Vs = 10.(2^{10}-1)/2^{10}$

$Vs = 10.(1023)/1024$

Logo:

$Vs = 9{,}99$ volts

A máxima tensão de saída ou escala completa é um dos muitos parâmetros que caracterizam um conversor D/A. A seguir, apresentamos mais alguns parâmetros referentes aos conversores D/A.

a) Resolução: Tal parâmetro é dado em termos do número de bits que D/A possui. Como sabemos, o número de possíveis saídas analógicas de um D/A de "n" bits é dado por 2^n. Ora, quanto maior o número de bits, maior será o número de níveis analógicos, possíveis na saída, o que nos leva a uma variação aproximadamente contínua,dentro da faixa de fundo de escala. A figura 21 ilustra esse fato. Note que, na figura 21A, temos a correspondência gráfica entre o dado digital de entrada e a saída analógica para um CD/A de 3 bits. Já a figura 21B nos mostra a mesma correspondência gráfica, porém para um CD/A de 4 bits. Comparando as duas figuras (21A e 21B), podemos concluir que quanto maior o número de bits de um conversor D/A, melhor a sua resolução,pois existem mais níveis disponíveis na saída.

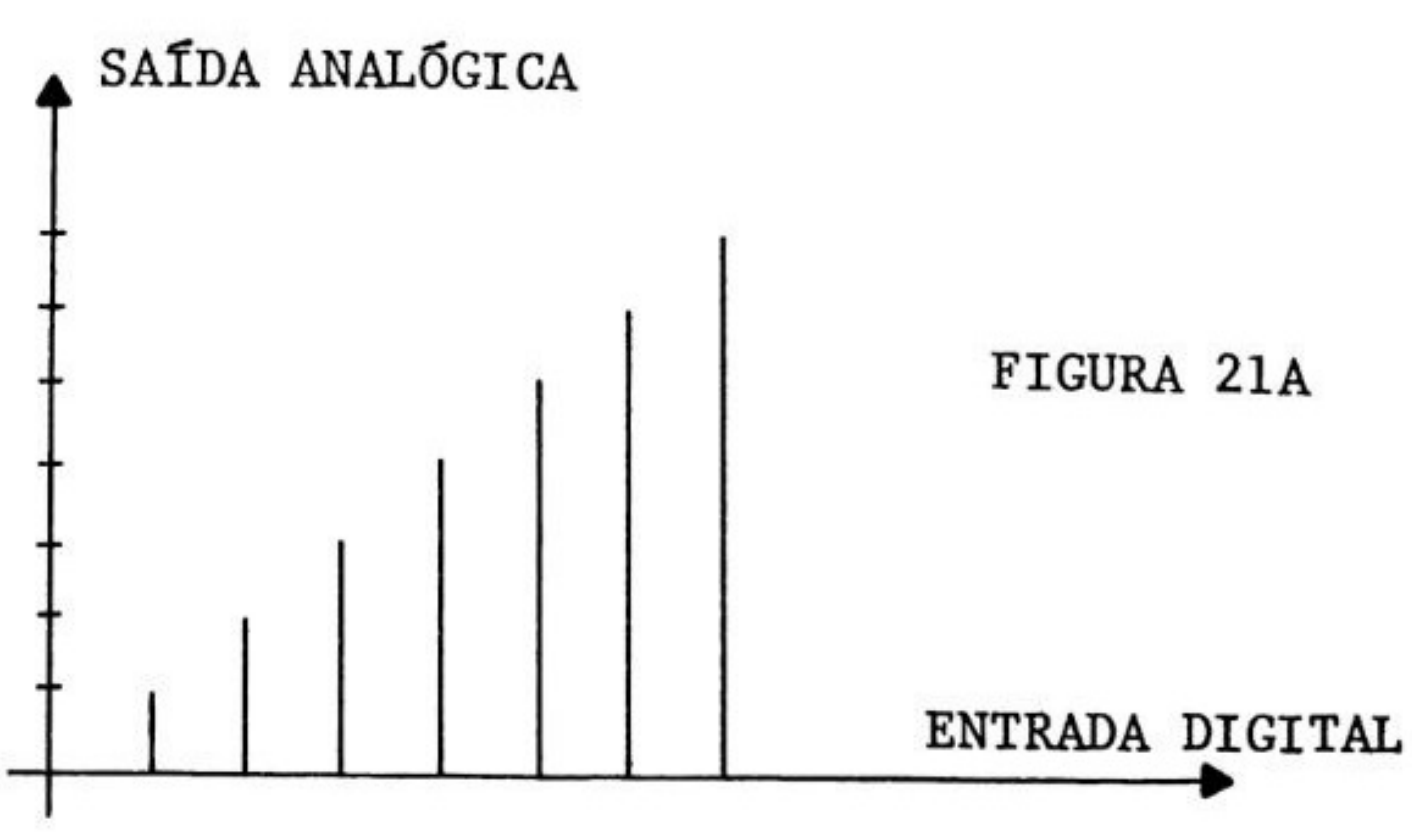


FIGURA 21A

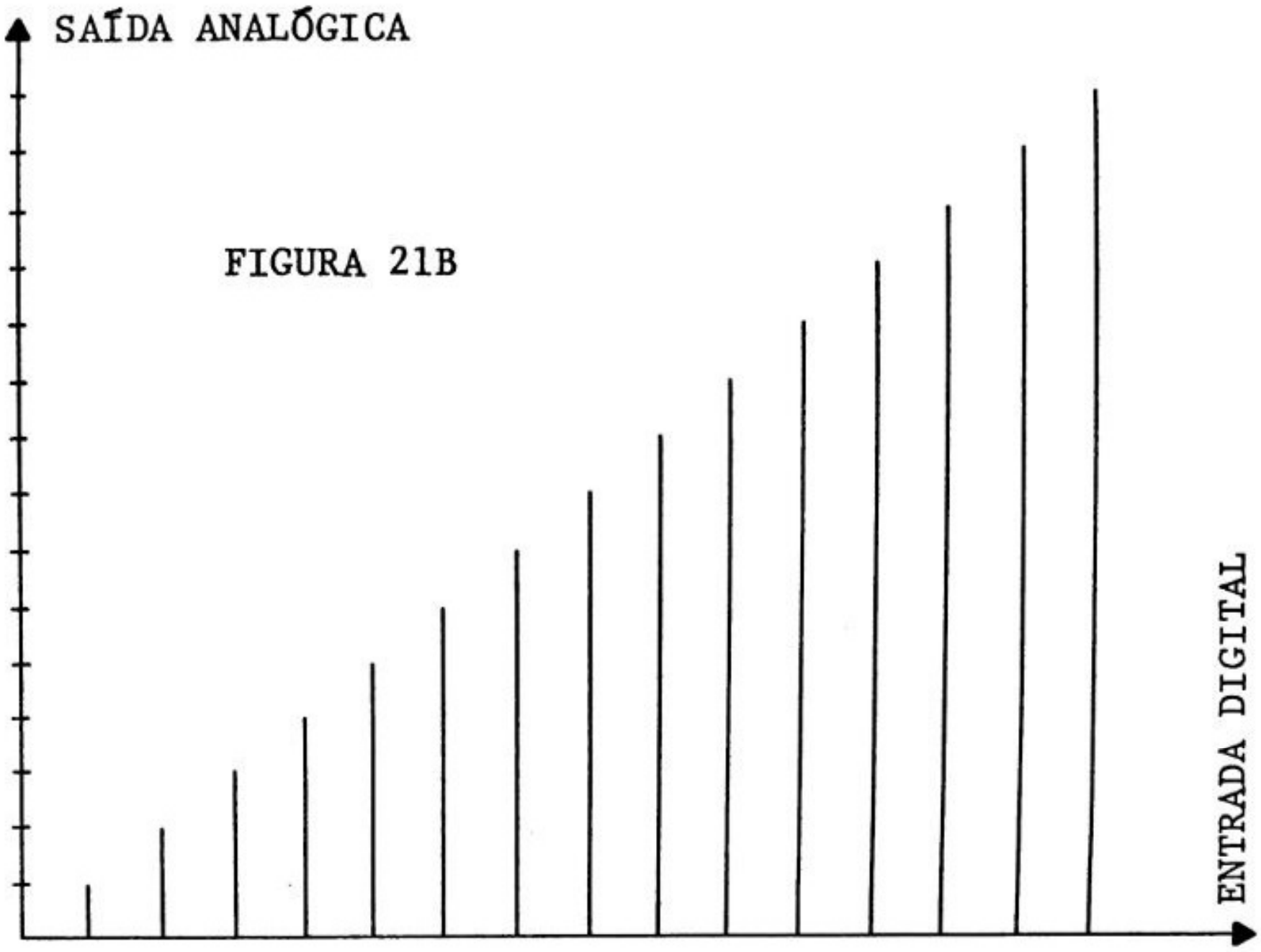


FIGURA 21B

b) Monotonicidade: é denominação atribuída ao fato de um conversor D/A apresentar uma elevação na saída analógica, referente a um aumento na entrada digital. A figura 22 nos mostra a característica de transferência de um conversor D/A não monotômico. Note que para duas entradas digitais distintas e seguidas, teremos dois níveis analógicos iguais na saída, caracterizando assim a não monotonicidade.

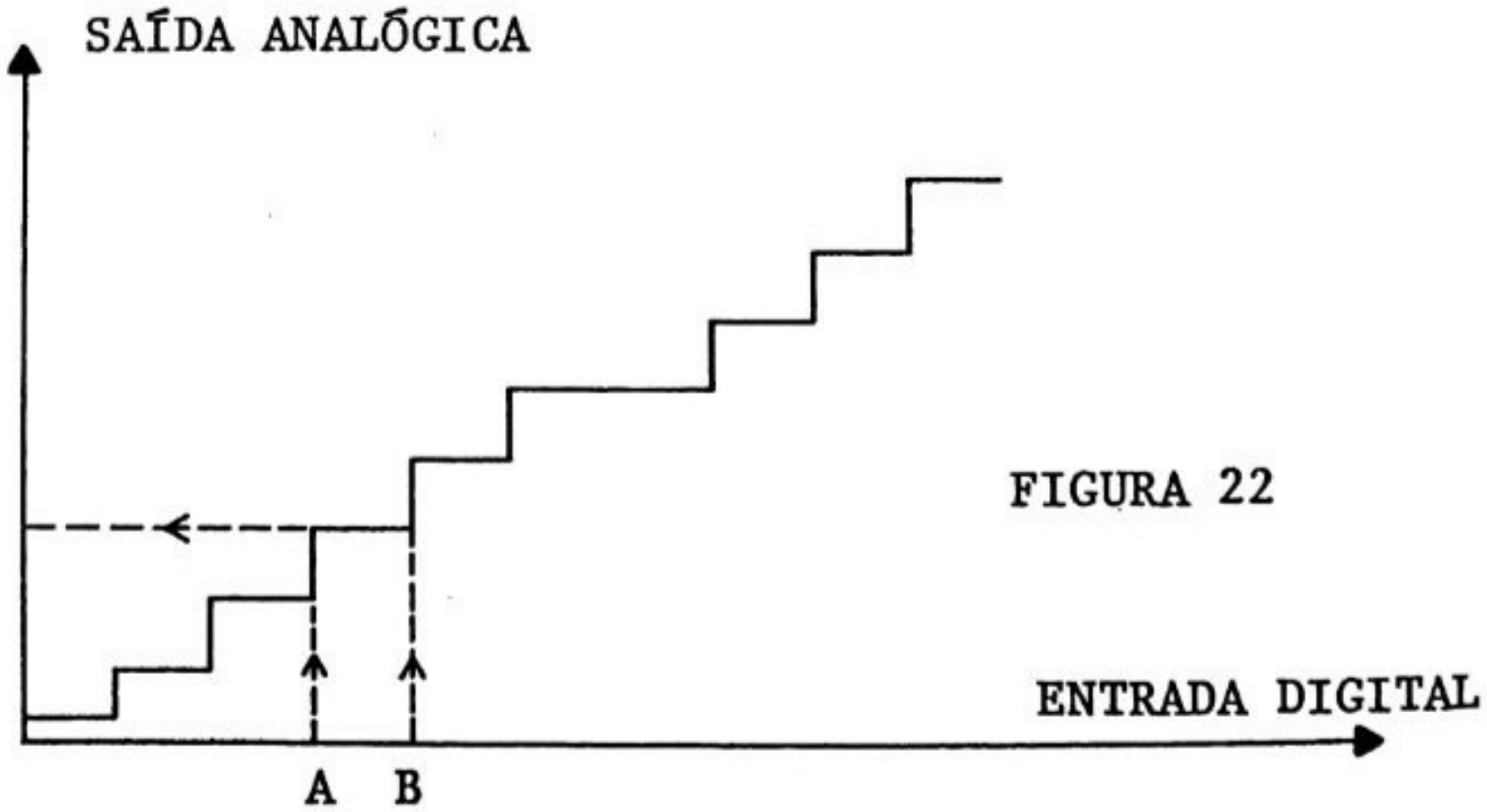


FIGURA 22

Note que para duas entradas digitais, distintas e seguidas, por exemplo, A e B, temos dois níveis analógicos iguais na saída.

c) Tempo de adaptação: Definido como sendo o tempo máximo entre a aplicação de uma função "de grau" na entrada e sua estabilização na saída, dentro de um intervalo que fique em torno do valor teórico de saída, correspondente àquela entrada (figura 23). Por exemplo, se a entrada mudar de 0000 para 1111, a saída oscilará durante algum tempo em torno do valor teórico final, correspondente à entrada 1111, até que tais oscilações se acomodem num intervalo,em torno desse valor. O tempo de adaptação é justamente aquele transcorrido desde a nova entrada até o momento em que a saída adentra o intervalo.

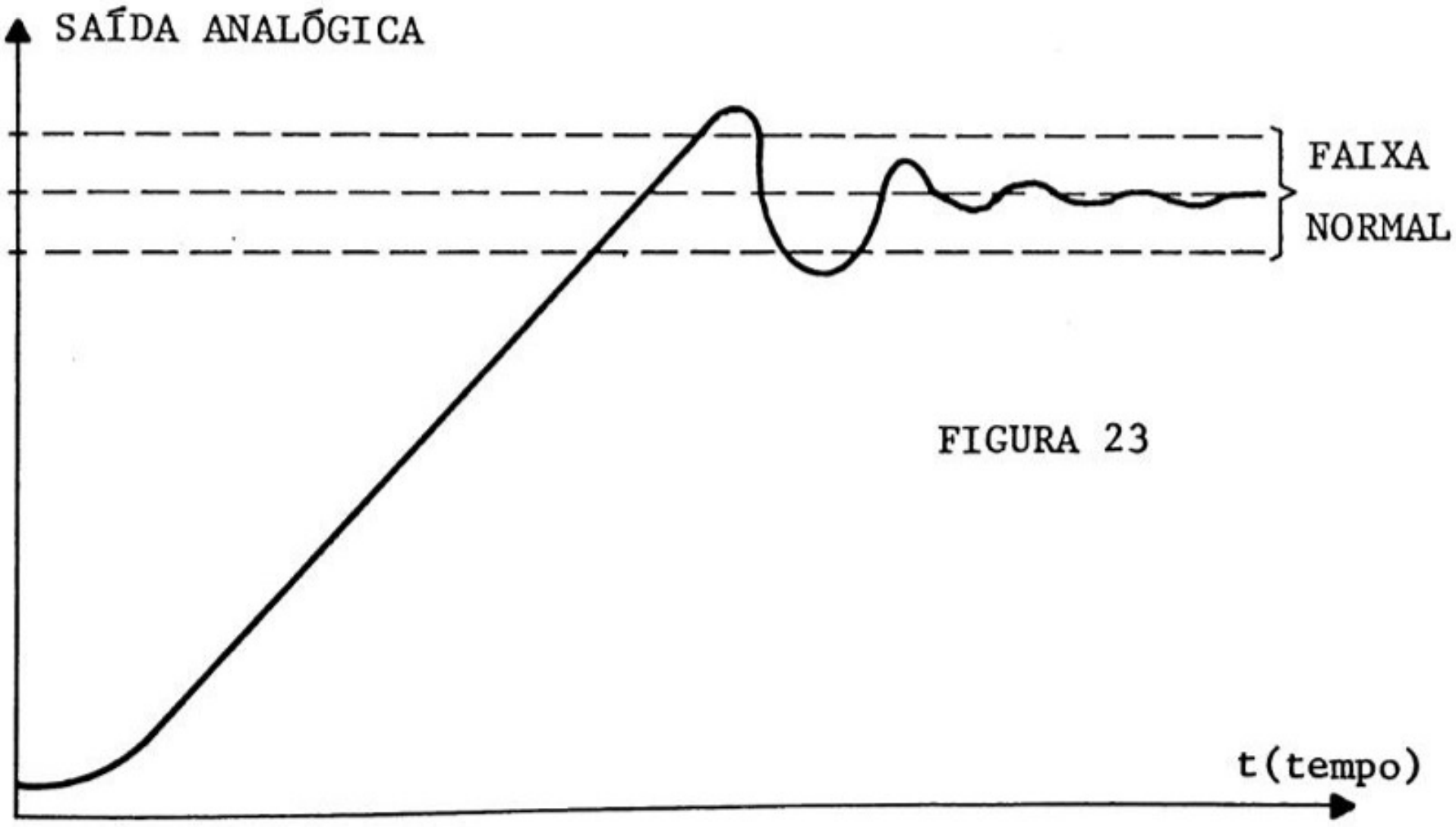


FIGURA 23

Além desses parâmetros que acabamos de ver existem outros que, em uma primeira análise, devem também ser levados em consideração, como, por exemplo, "faixa de valores permissíveis da tensão de alimentação", "dissipação em potência" e outros.

CONVERSÃO DE UM NÚMERO DE MAIS DE UM ALGARISMO:

Podemos ter um número decimal de mais de um algarismo representado, por exemplo, no código BCD8421. Para isso, cada algarismo do número será representado através do código. Por exemplo, o número $(125)_{10}$ pode ser representado da seguinte forma:

1	2	5
0 0 0 1	0 0 1 0	0 1 0 1
A B C D	$A_1B_1C_1D_1$	$A_2B_2C_2D_2$

Primeiramente vamos desenvolver um circuito do tipo "peso binário" capaz de realizar tal conversão. Para isso, utilizaremos a expressão do circuito básico (já visto anteriormente):

$$Vs = -R_1 \left(V_A/1 + V_B/2 + V_C/4 + V_D/8\right) + \left(V_{A1}/10 + V_{B1}/20 + V_{C1}/40 + V_{D1}/80\right) + \left(V_{A2}/100 + V_{B2}/200 + V_{C2}/400 + V_{D2}/800\right)$$

A figura 24 nos mostra um circuito conversor D/A capaz de converter um número de três algarismos (125).

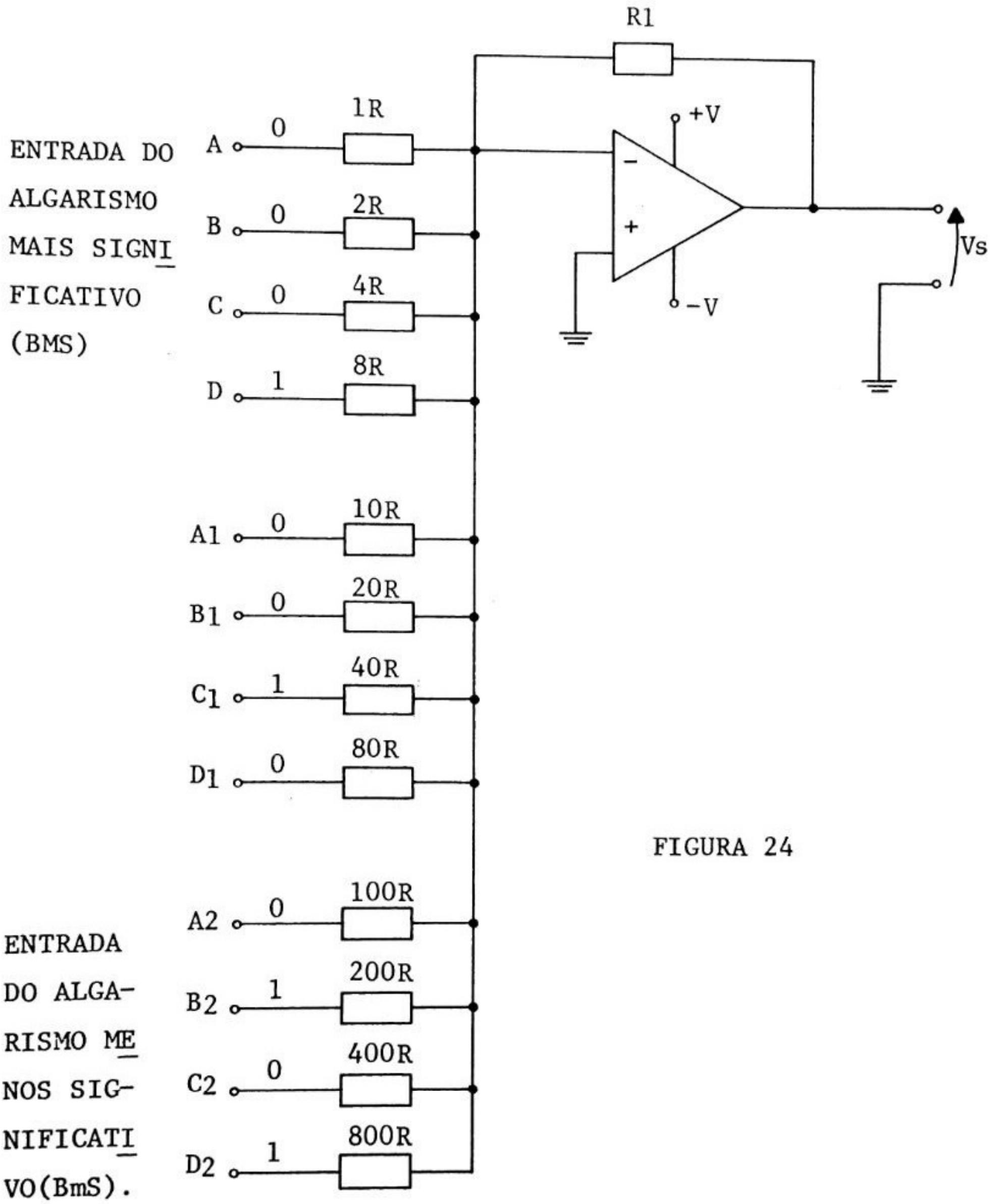


FIGURA 24

Também podemos efetuar esse tipo de conversão"digital-analógica", utilizando um circuito com redes R-2R, conforme

nos mostra a figura 25.

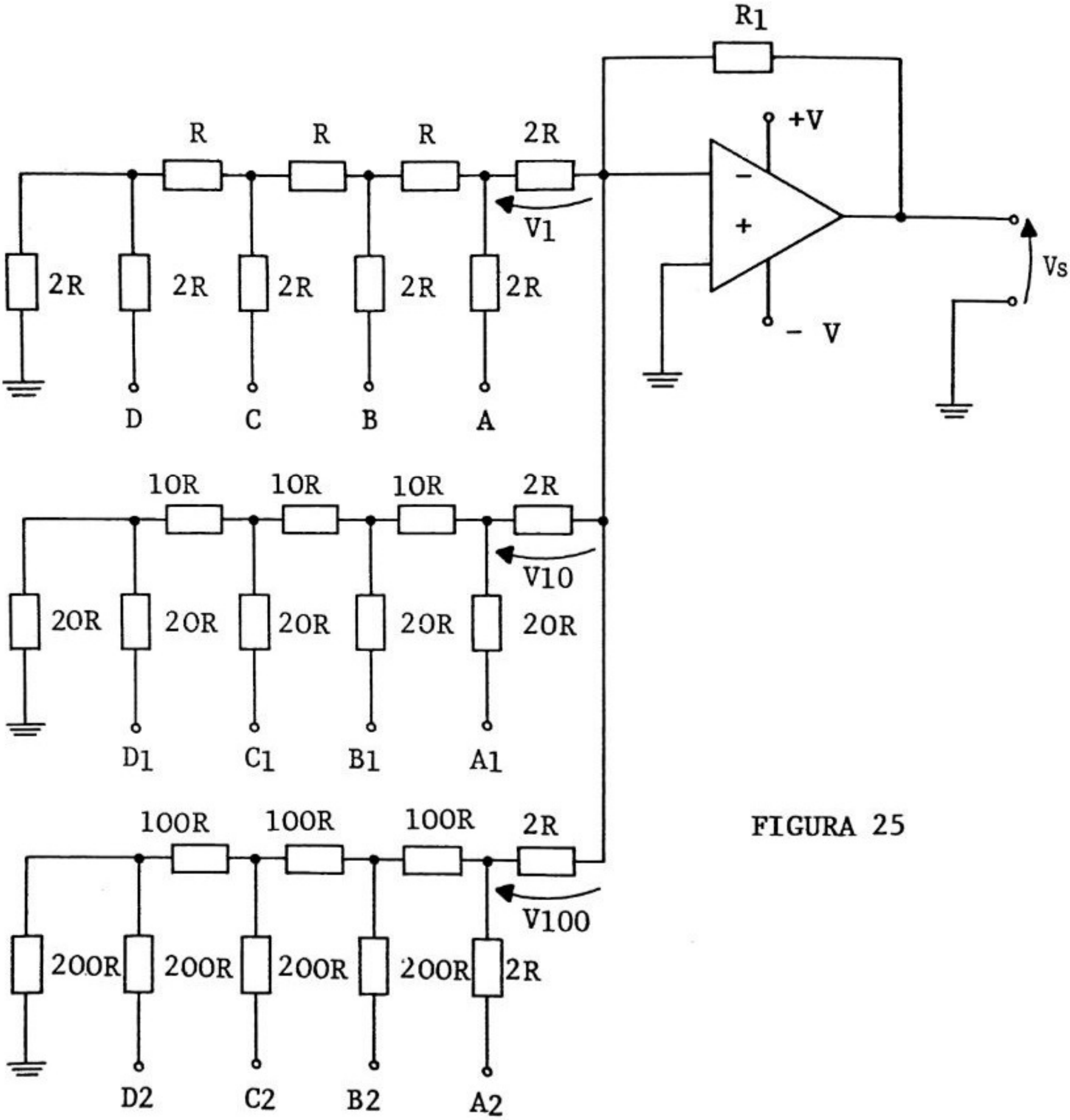


FIGURA 25

Com base no que foi dito com relação ao funcionamento do conversor D/A com rede R-2R e com amplificador operacional, pode-se facilmente compreender o funcionamento do circuito da figura 25. A tensão de saída (Vs) desse circuito pode então ser escrita como sendo:

$$Vs = -R1/R\ (V_1 + V10/10 + V_{100}/100)$$

CEDM
CURSOS DE APERFEIÇOAMENTO

CURSO DE
ELETRÔNICA DIGITAL E
MICROPROCESSADORES

CAIXA POSTAL 1642 - CEP 86100 - LONDRINA - PARANÁ

EXAME DA LIÇÃO ED-29

OBSERVAÇÃO

- cada questão é composta de três ou quatro alternativas.
- só uma delas está correta.
- marque a que considerar correta.
- passe as respostas corretas para a folha de exame.

1) O sinal de saída de um conversor digital-analógico é proporcional:

a) à referência analógica (tensão ou corrente);
b) a uma palavra binária (de N-bits);
c) os itens a e b estão corretos;
d) à referência digital.

2) Com relação ao circuito da figura 4, o bit menos significativo (BmS) corresponde à entrada:

a) D; b) C; c) B; d) A.

3) Tomando como base a figura 5, calcular o valor da tensão de saída (Vs) ao convertermos o número binário 0110.

a) 7 mV;
b) 5 mV;
c) 6 mV;
d) 4 mV.

4) Uma das desvantagens do circuito apresentado na figura 4 é a de:

a) apresentar uma resistência de saída alta em relação às demais resistências do circuito;

b) apresentar um baixo valor de tensão de saída;

c) apresentar uma resistência de saída infinitamente alta em relação às demais resistências do circuito;

d) apresentar um alto valor de tensão de saída.

5) Algumas das principais características dos amplificadores operacionais são:

a) alta impedância de saída;
b) alta impedância de entrada;
c) alto ganho de saída;
d) os itens b e c estão corretos.

6) A tensão de saída (Vs), para o circuito apresentado na figura 10, é calculada pela expressão:

a) $Vs = -R1/R\ (1/V_A + 2/V_B + 4/V_C + 8/V_D)$;

b) $Vs = -R1/R\ (V_A + V_B/2 + V_C/4 + V_D/8)$;

c) $Vs = -R/R1\ (V_A/2 + V_B/4 + V_C/8 + V_D)$;

d) $Vs = -(R/R1)^2\ .\ (V_A + V_B + V_C + V_D)$.

7) O uso do amplificador operacional (figura 10) nos permite:

a) elevarmos o nível da tensão de saída para algumas unidades de volts;

b) obter um sinal digital na saída;

c) abaixarmos ainda mais o nível da tensão de saída;

d) aumentarmos a impedância de saída, após o amplificador.

8) Os resistores utilizados para a montagem do chamado circuito malha R-2R, normalmente, apresentam uma tolerância em torno de :

a) 5%;
b) 10%;
c) 1%;
d) acima de 20%.

•9) Calcular o potencial de saída de escala completa de um conversor D/A de 8 bits (malha R-2R), sendo que a tensão de referência é igual a 7 volts.

a) 6,97 volts;
b) 5,79 volts;
c) 7,51 volts;
d) 8,55 volts.

$V_S = (V_{ref} \cdot 2^8 - 1)/2^8$

$V_S = 7 \times 255/256 = 6{,}9726\ V$

10)Com relação ao parâmetro "resolução" podemos dizer que:

a) quanto maior for o número de bits do conversor D/A, melhor será a sua resolução;

b) quanto menor o número de bits do conversor D/A, melhor será a sua resolução;

c) quanto maior for o número de bits do conversor D/A, pior será a sua resolução;

d) N.R.A.

CURSOS DE APERFEIÇOAMENTO

CURSO DE
ELETRÔNICA DIGITAL E
MICROPROCESSADORES

CAIXA POSTAL 1642 - CEP 86100 - LONDRINA - PARANÁ

LIÇÃO ED-30

CONVERSORES DIGITAIS/ANALÓGICOS E ANALÓGICOS/DIGITAIS II

INTRODUÇÃO:

Dando continuidade ao assunto estudado na lição ED-29, vamos agora dar início ao estudo dos conversores Analógicos/Digitais (CA/D). Como sabemos, ambos os conversores (D/A e A/D) são utilizados em multímetros digitais, sintetizadores de voz, dispositivos de comunicação digital, etc. Em todas essas aplicações, os conversores fazem a "interface" de um sinal analógico de informação variável com a operação binária dos circuitos digitais e vice-versa.

CONVERSORES ANALÓGICOS/DIGITAIS (CA/D):

Os conversores Analógicos/Digitais (CA/D) são circuitos ou dispositivos que vão examinar uma entrada analógica (tensão ou corrente) e então convertê-la a uma palavra binária equivalente. Em outras palavras, um conversor A/D executa a tarefa de transformar um sinal variável, como a tensão de um transdutor de pressão, para a forma binária que um circuito digital possa processar.

O conversor A/D terá uma saída decodificada, na qual cada mudança de 1-BmS (bit menos significativo) na palavra de saída corresponde a um incremento dado na tensão ou na corrente de entrada.

Existem vários circuitos básicos para projetos de conversores A/D. Entre eles, temos: "Integração", "Servo", "Aproximação Sucessiva", "Paralelo" e "Conversão de Tensão por Frequência". A seguir, alguns desses circuitos básicos.

CONVERSOR A/D COM INTEGRADOR:

A integração dos circuitos CA/D utiliza um integrador analógico (amplificador operacional) para gerar um "salto" de tensão, a partir da tensão de entrada.

Na figura 1, temos um circuito integrador para o amplificador operacional. Um resistor (R) é ligado em série com a entrada e um capacitor (C) é ligado no loop de realimentação entre a entrada e a saída.

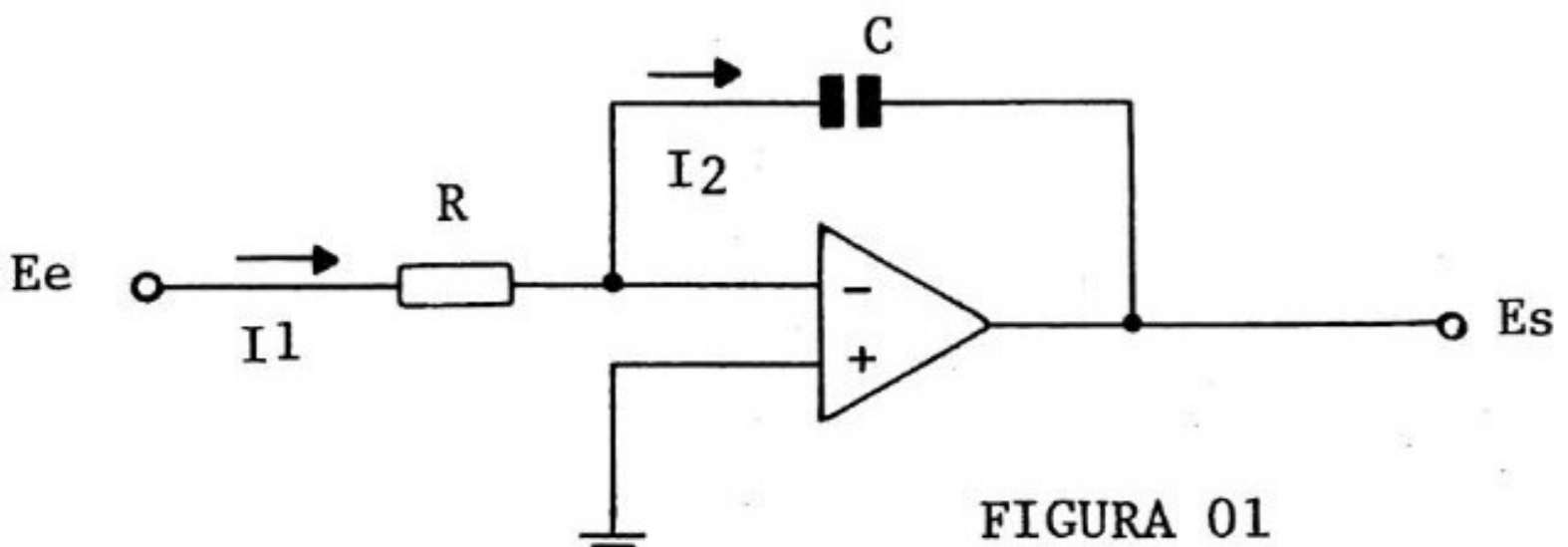


FIGURA 01

Como a corrente que passa pela resistência (R) deve ser igual à que passa pelo capacitor (C), ou seja, a corrente I1 deve ser igual à corrente I_2, teremos então:

$$I_1 = I2$$

Como:

$$I_1 = \frac{Ee}{R} \quad e \quad I2 = C.\ dEs/dt.$$

Vem:

$$Ee/R = C.\ dEs/dt. \quad \text{(expressão I)}$$

Se integrarmos os dois termos da expressão I, iremos obter a função de transferência do circuito integrador da figura 1.

$$\int_{t_1}^{t_2} C \,.\, dEs/dt \;.\; dt = \int_{t_1}^{t_2} Es/R \;.\; dt$$

$$C \,.\, Es = \int_{t_1}^{t_2} Ee/R \;.\; dt$$

Logo:

$$Es = 1/R.C \int_{t_1}^{t_2} Ee \;.\; dt \quad \text{(expressão II)}$$

Conforme nos mostra a expressão II, a tensão de saída é proporcional ao tempo médio do sinal de entrada. O fator de proporcionalidade será o termo 1/R.C., o qual também descreve o ganho do circuito. Quando a constante de tempo (R.C) for muito reduzida, o ganho do amplificador operacional torna-se relativamente alto.

Os integradores se dividem em três tipos básicos: inclinação simples, inclinação dupla e múltipla inclinação (que pode ser de inclinação tripla ou de inclinação quádrupla). Vejamos então, como se processa a conversão Analógica/Digital - que utiliza alguns desses circuitos integradores:

CONVERSOR A/D COM INTEGRADOR DE INCLINAÇÃO SIMPLES:

A figura 2 nos mostra um circuito conversor A/D com Integrador de Inclinação Simples.

A chave S1 é utilizada para descarregar o capacitor (C). Uma vez o capacitor descarregado, a saída do integrador iniciará o ciclo de conversão a partir de zero. Normalmente, essa

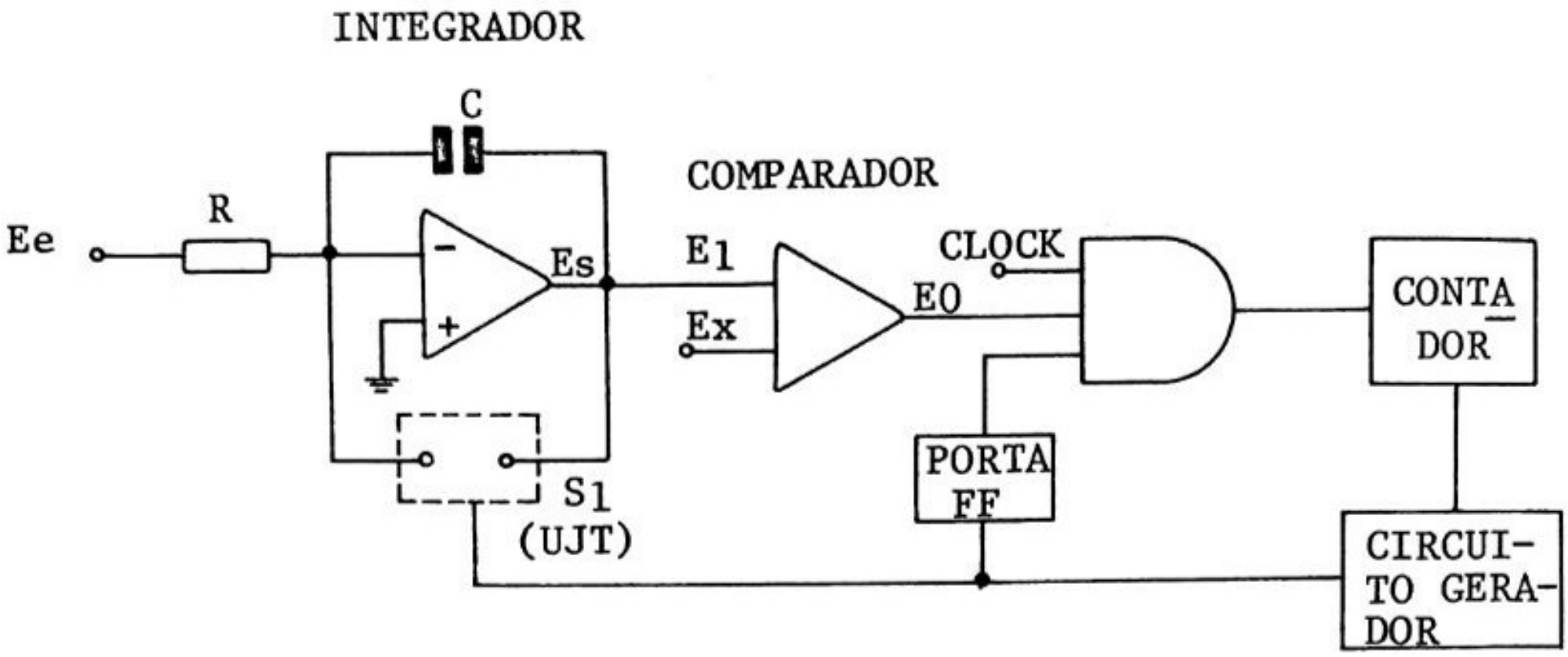


FIGURA 02

chave (S1) é um transistor de efeito de campo, que é ligado pelos sinais de nível lógico digital. Quando S1 é fechado - (transistor conduzindo), o capacitor (C) é curto-circuitado e sua carga vai a zero. Porém, quando S1 está aberto (transistor no corte) o capacitor (C) funciona normalmente e o circuito passa a integrar a tensão de entrada.

Para o nosso caso, o circuito comparador é um amplificador operacional de alto ganho. Quando $E_1 = Ex$, a tensão da entrada diferencial, vista pelo amplificador, é nula. Assim a saída E0 será zero. Se tivermos E_1 maior do que E_X, a saída do comparador será uma tensão contínua e negativa. Porém, sendo E_1 menor do que E_X, teremos na saída do comprador uma tensão contínua e positiva. A figura 3 nos mostra a tensão de saída do comparador para os 3 casos citados anteriormente.

O circuito contador é um contador binário comum, sendo que em alguns casos poderia ser um contador BCD 8421.

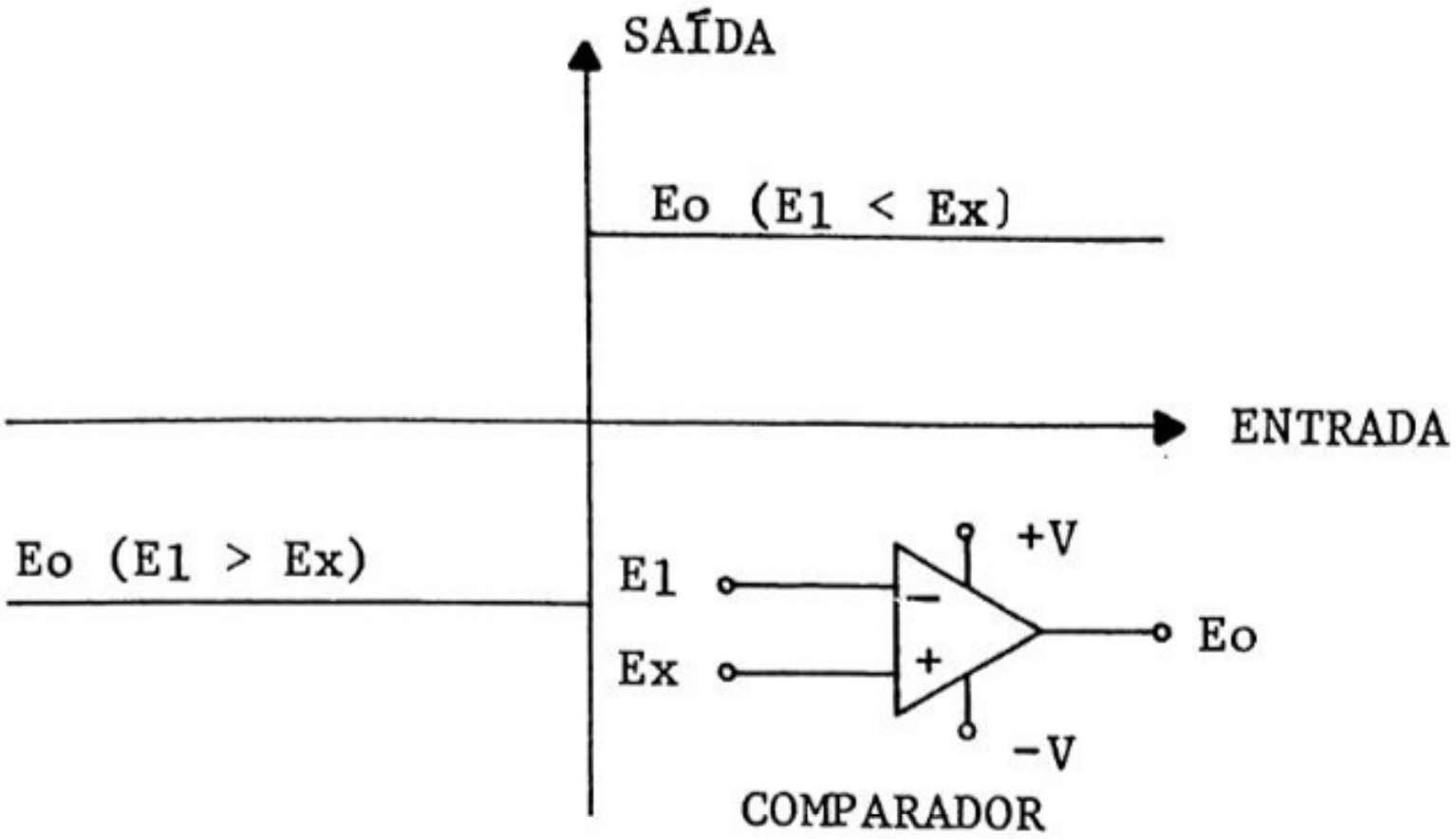
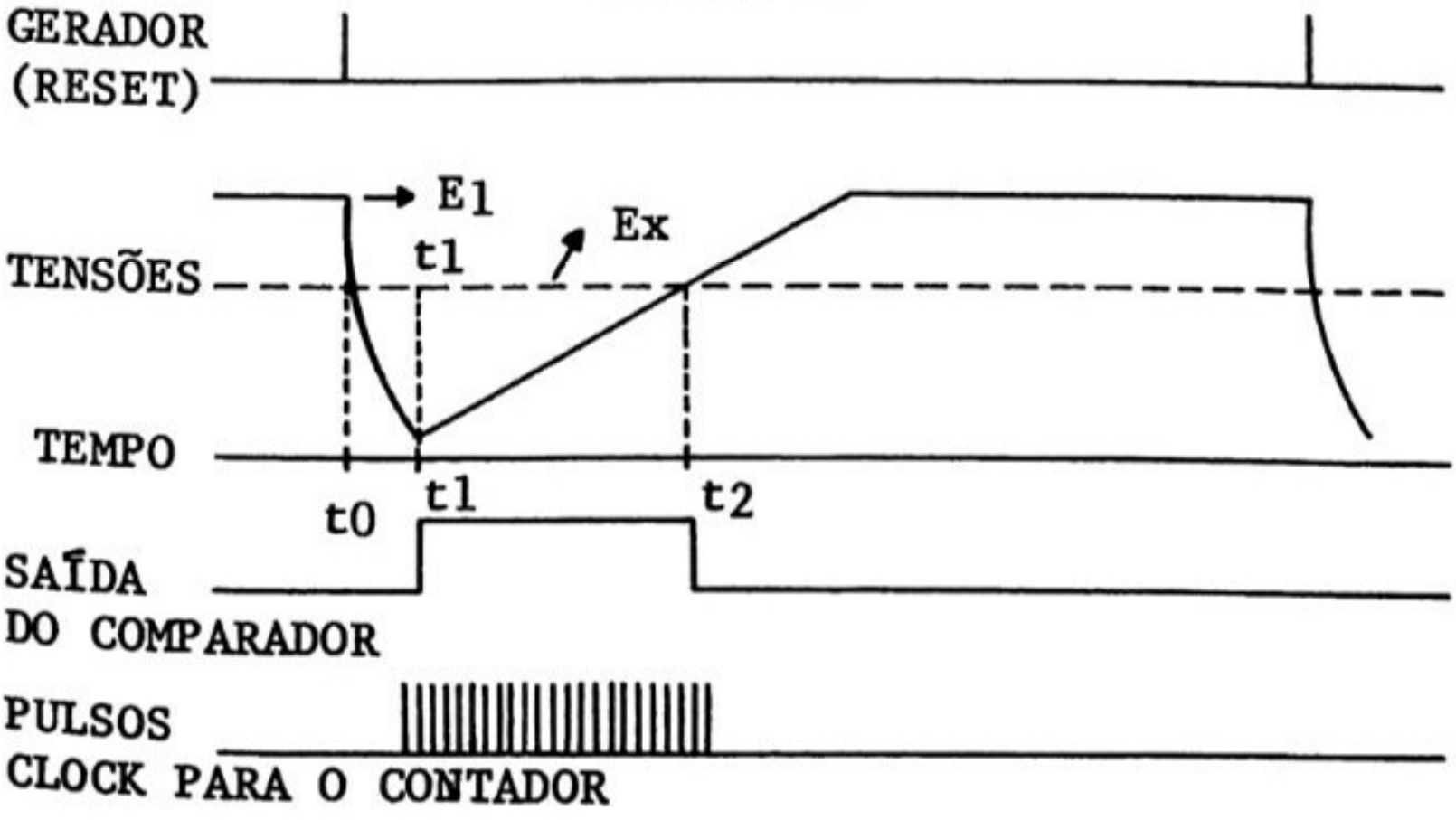


FIGURA 03

A função do circuito gerador (controle) é a de gerar um pulso de conversão capaz de ligar S1 por um breve instante e, conseqüentemente, levando a saída do integrador a zero. Este mesmo pulso de conversão irá garantir um pulso "reset" para o contador, levando-o ao estado zero binário.

Na figura 4, temos o diagrama de sincronismo que nos mostra como é o funcionamento desse circuito.

FIGURA 04



No instante "t0", o gerador (controle) envia um pulso de conversão, fazendo com que a chave S1 se feche. Durante a duração desse pulso, o capacitor do circuito integrador se descarrega. Imediatamente após (veja instante t1) esse pulso de controle (reset) ter sido recebido pela chave S1, a tensão de saída do integrador (Es = E1) começa a aumentar em resposta à tensão de entrada (sinal analógico). No mesmo instante que tem início esse processo, a porta "E", que se encontra antes do contador, passa a ter sua saída elevada a um nível lógico alto. Com isso os pulsos de clock começam a se acumular no contador. No instante "t2", teremos E1 = Ex. Esse fato faz com que a saída do comparador, que no instante anterior se encontrava a um nível lógico alto, passe para um nível lógico baixo, interrompendo, assim, a corrente de pulso de clock para o contador. Assim, podemos concluir que a contagem acumulada no contador será proporcional à tensão de entrada e, se for convenientemente decodificada, irá refletir corretamente a tensão de entrada, na forma binária.

A principal vantagem do conversor de inclinação simples é o baixo custo do circuito. Esse conversor pode ser encontrado nos multimetros digitais de baixo custo e baixa precisão. Devido a alguns problemas que ocorrem com esse conversor, ele tem sido substituído pelo conversor A/D de inclinação dupla. Um dos problemas desse tipo de conversor A/D está no fato do tempo de conversão ser muito grande, podendo variar de nenhum período de clock (zero volt) a 2^n períodos de clock, onde "n" é a capacidade do contador em bits. Assim, um contador de 8 bits requer entre 0 e 256 períodos de clock para efetuar uma simples conversão de dados.

CONVERSOR A/D COM INTEGRADOR DE INCLINAÇÃO DUPLA:

A figura 5 nos mostra o diagrama de blocos de um conversor A/D com integrador de inclinação dupla.

Assim que um pulso inicial (pulso habilitador) é recebido pela "seção lógica de controle, a chave S1 é ligada ao terminal da entrada analógica (Ex) e a chave S2 é fechada por um curto período de tempo, apenas para zerar a saída do integrador, enquanto que, no mesmo instante, um pulso "reset" é aplicado ao contador para zerá-lo.

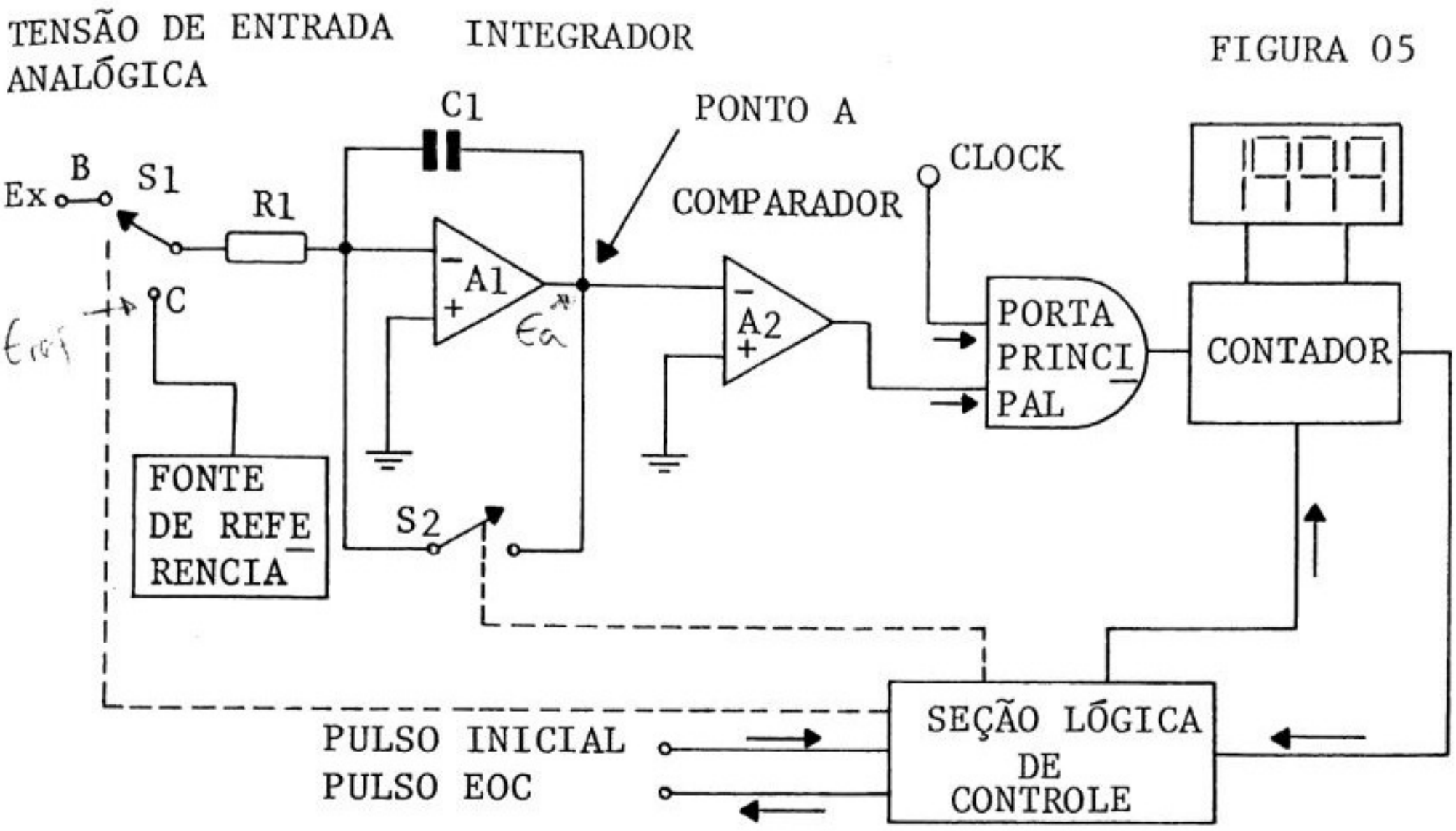


FIGURA 05

Uma vez aplicado o sinal analógico (sinal de entrada) na entrada do integrador, a tensão no ponto A (Ea) começa a aumentar gradativamente. Como o comparador é referenciado à terra, a sua saída só se tornará alta (nível lógico 1), após a tensão "Ea" atingir alguns milivolts. No instante em que a saída do comparador tornar-se alta, os pulsos de clock passarão a fluir para o contador, até que esse se sobrecarregue - (instante t1). Quando ocorrer a sobrecarga do contador, um sinal de "carry" é então enviado para a "seção lógica de controle", a qual irá comutar a entrada do integrador para a fonte de referência analógica, levando a chave S1 para a posição "C". Assim que ocorrer a comutação, a fonte de referência irá aplicar uma tensão de referência na entrada do integrador. Nesse instante o estado do contador será 0000. Ainda assim, sob a influência da corrente Eref/R1, o contador continuará a incrementar. Ele só deixará de incrementar, quando a tensão no ponto A (Ea) for zero (instante t2), pois o fluxo de pulsos de clock será interrompido.

A contagem acumulada durante o período t2-t1 representa a tensão de entrada. Em seguida, a seção lógica de controle irá emitir um pulso de conversão (EOC), o qual servirá para afirmar que o sinal de saída é válido. Esse pulso também poderá ser usado para atualizar o display de saída. Por exemplo, quando o conversor A/D estiver sendo utilizado como multímetro digital.

A figura 6 nos mostra o diagrama de sincronismo para o circuito apresentado na figura 5.

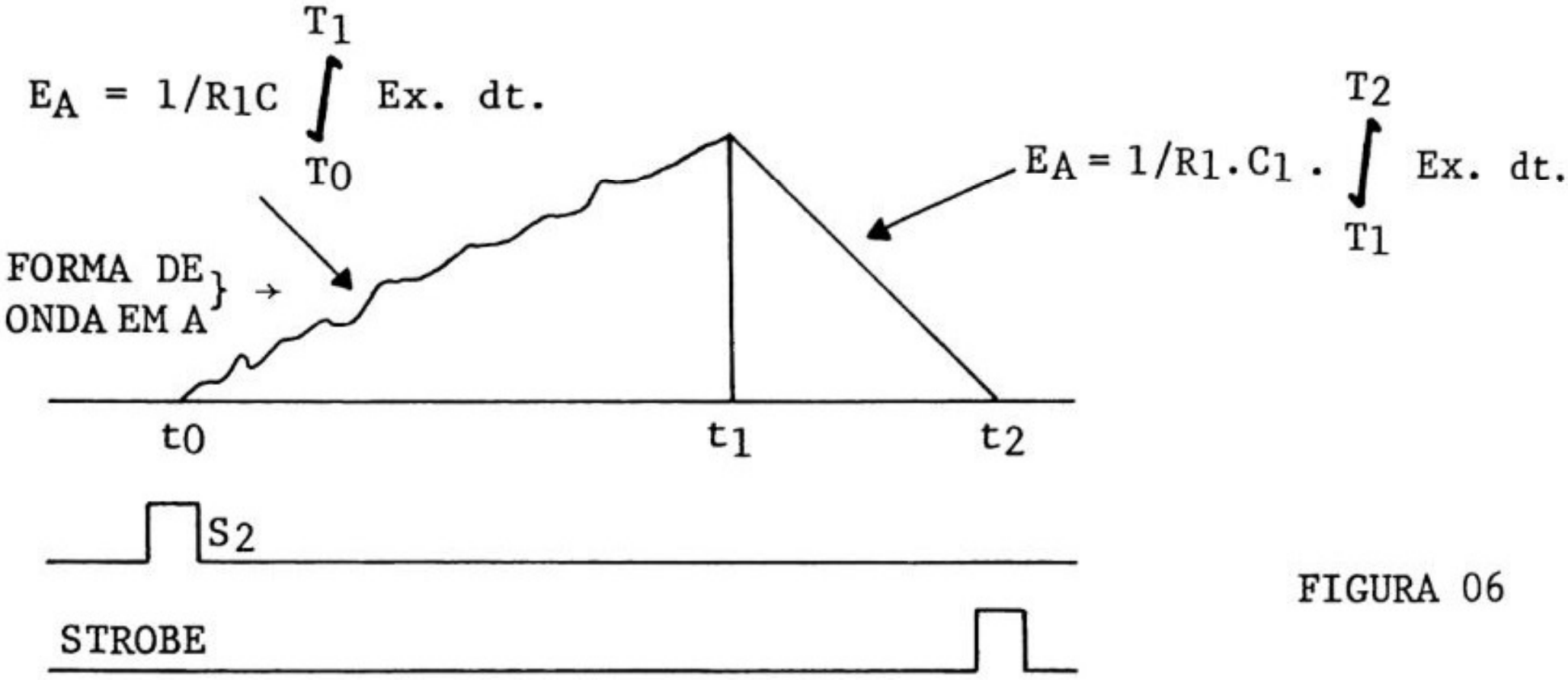


FIGURA 06

Como acabamos de verificar, esse método requer um clock e vários circuitos de controle, o que o torna um pouco complicado e vagaroso, porém esse circuito já é um pouco melhor que o anterior.

CONVERSOR A/D COM INTEGRADOR DE INCLINAÇÃO TRIPLA:

O conversor A/D com integrador de inclinação tripla é praticamente igual ao de inclinação dupla, com exceção, apenas, de uma inclinação adicional acrescentada. Da mesma forma que o conversor A/D com integrador de inclinação dupla, o de inclinação tripla também irá converter a tensão de entrada analógica para um intervalo de tempo medido por um contador digital de pulsos. Para esse circuito (figura 7) há duas subi-

das de referência. A primeira é fixa e é provocada pela corrente -Vref/R.C. Essa subida brusca integra rapidamente a primeira parte do sinal. Quando essa primeira subida atingir um nível próximo de Vt, a segunda subida é então comutada. Essa segunda subida irá fornecer uma maior resolução.

Esse tipo de conversor possui uma velocidade de conversão em torno de 10 vezes maior que a do circuito de inclinação dupla.

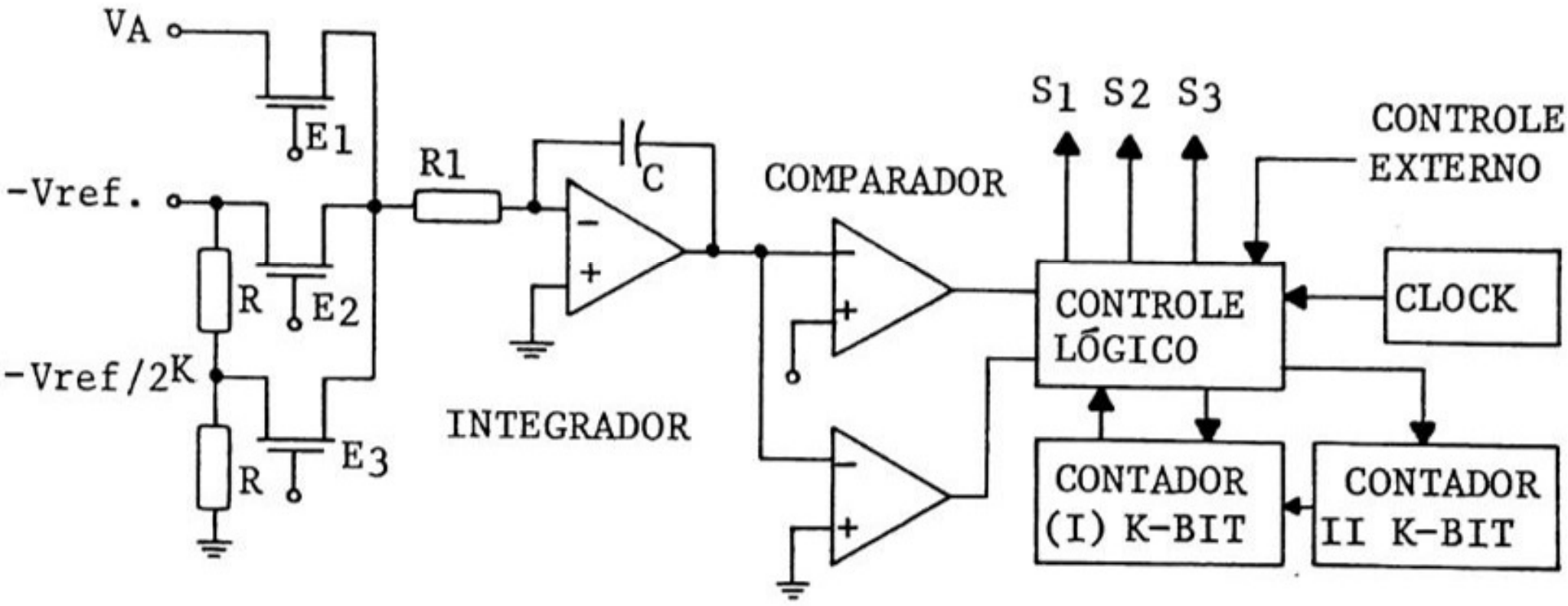


FIGURA 07

Alguns projetos de conversores A/D de inclinação tripla podem ser capazes de operar tão rápido quanto os conversores de aproximação sucessiva.

CONVERSOR A/D PARALELO:

Trata-se de um dos circuitos conversores A/D mais simples e rápido, tanto que é conhecido pelo nome de conversor FLASH. Esse conversor consiste de um divisor de tensão conectado a uma série de comparadores e um decodificador. A figura 8 nos mostra o diagrama de blocos referente ao circuito conversor A/D paralelo.

Através da figura 8, podemos observar que uma tensão de referência, muito precisa, será dividida por intermédio de

um circuito divisor de tensão. Essa tensão obtida nas saídas do divisor de tensão será então transferida para os comparadores, servindo como tensão de referência para os mesmos. Assim que a tensão de entrada sofre um incremento (aumenta), os comparadores ligam-se e o circuito decodificador passa a fornecer uma saída digital apropriada como uma função do estado das tensões que se encontram aplicadas na entrada do compara-

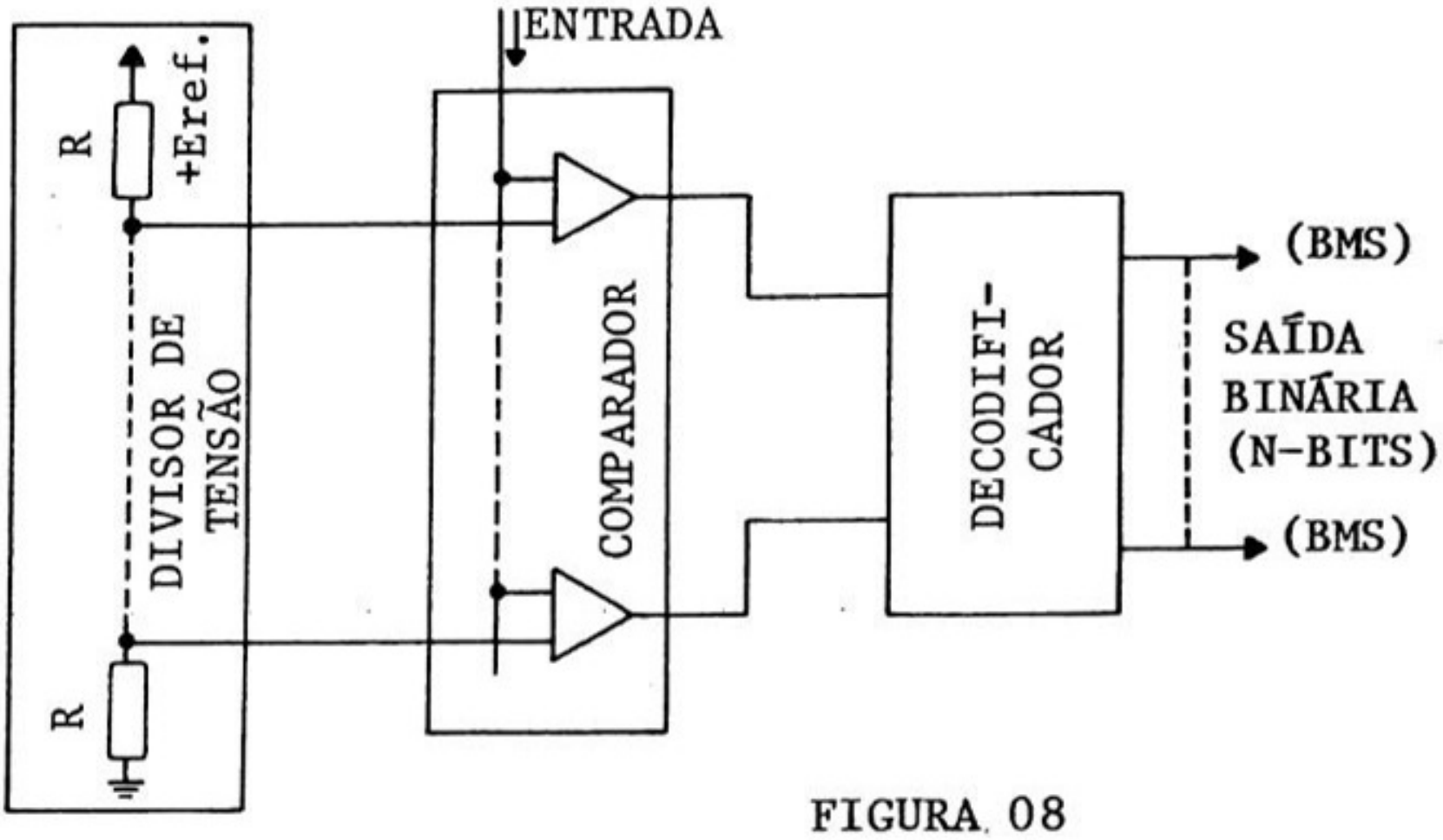


FIGURA 08

dor. A conversão de dados se dá com tanta rapidez que o tempo gasto para isso é equivalente à soma do tempo que o comparador leva para mudar de estado e o tempo que o decodificador gasta para decodificar um determinado dado.

Não obstante a rapidez com que operam esses conversores, eles não são muito utilizados na prática, pois devido ao grande número de comparadores, seu custo torna-se por demais elevado.

Por exemplo, a conversão de um sinal analógico para uma palavra de N bits requer 2^N-1 comparadores e igual número de resistores para o circuito divisor de tensão. Dessa forma, um

conversor de 8 bits iria requerer nada menos que 255 comparadores e 255 resistores. (Estes, normalmente, possuem uma tolerância de 1%, o que os torna antieconômicos).

CIRCUITO CONVERSOR A/D POR REALIMENTAÇÃO:

Trata-se de uma das técnicas mais simples de conversão de dados analógicos para digitais, pelo menos quanto ao funcionamento. Esses circuitos utilizam-se de conversores D/A no loop (elo) de realimentação para fazer a comparação. Por isso, esses conversores são chamados de "Conversores por realimentação". Existe uma série de conversores baseados nesse tipo de arquitetura, entre eles podemos citar: "Conversor A/D por contagem ascendente", Conversor A/D por rastreamento", - "Conversor por aproximações sucessivas" e outros. Passemos então ao estudo de alguns desses conversores.

CONVERSOR A/D POR CONTAGEM ASCENDENTE:

A figura 9 nos mostra o diagrama de blocos de um circuito conversor A/D por contagem ascendente.

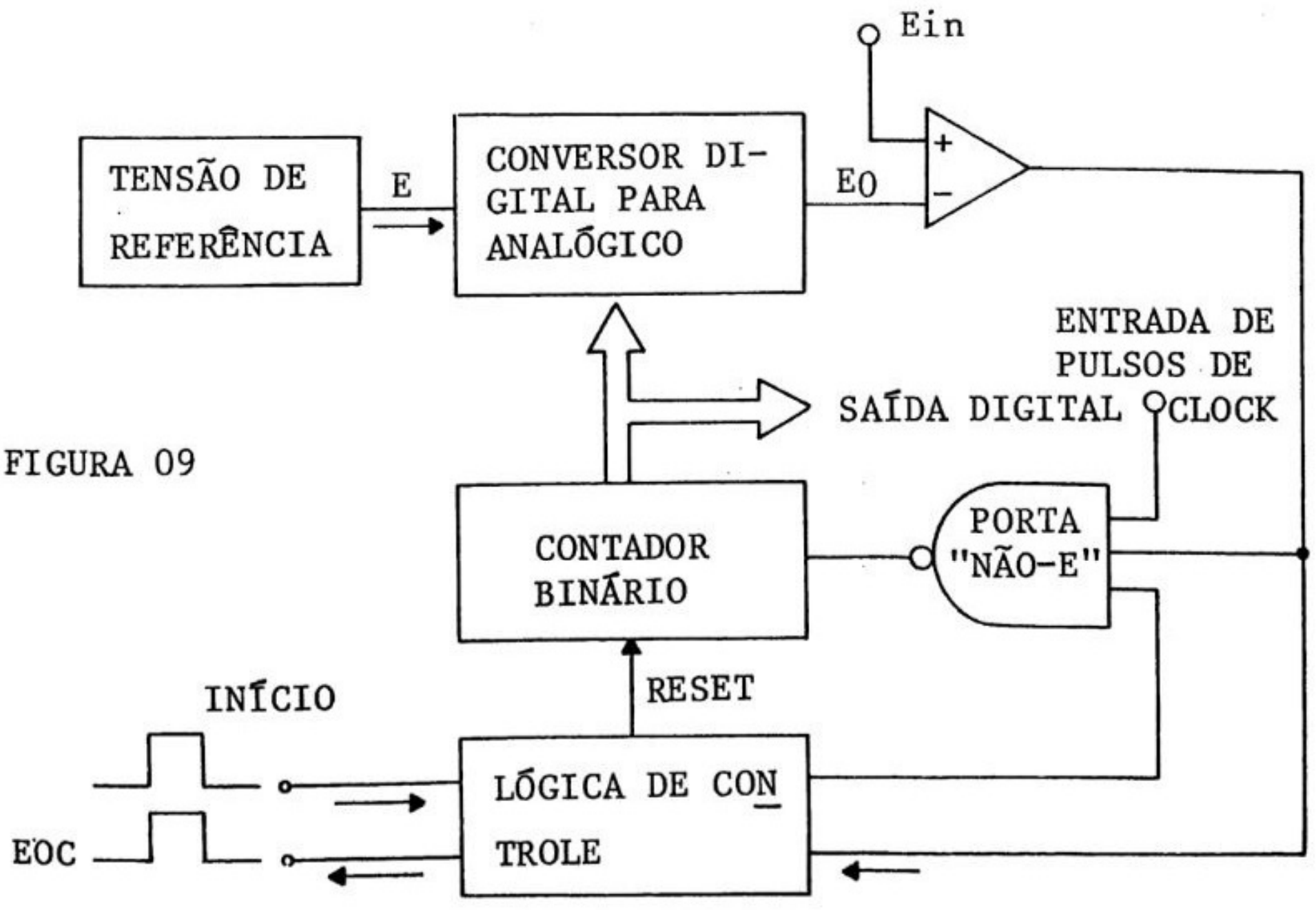
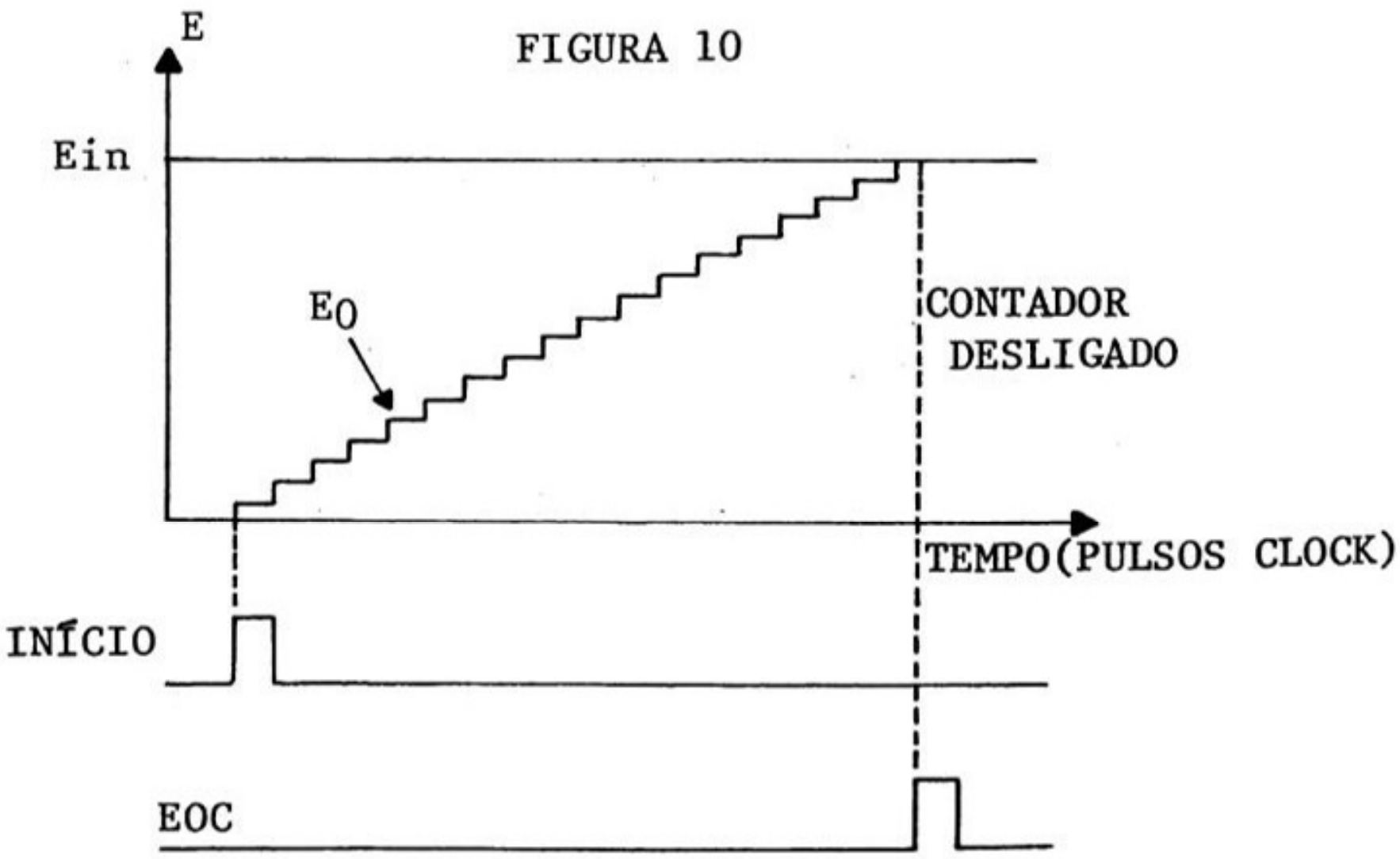


FIGURA 09

Quando um pulso inicial é recebido pela seção lógica de controle, o contador binário é zerado e um sinal alto é aplicado à porta "NÃO-E". As saídas binárias do contador são conectadas nas entradas digitais do conversor D/A. Assim, quando a porta "NÃO-E" estiver aberta, os pulsos que incrementam o contador, fazem com que a saída do conversor D/A cresça em direção ao valor Ein (entrada analógica). A saída do conversor (Eo) alimenta uma das entradas de um comparador, enquanto na outra está presente o sinal de entrada amostrado (Ein). Quando o valor de Eo for igual ao valor de Ein (tensão de entrada analógica), a saída do comparador será baixa, desligando a porta "NÃO-E", fazendo com que o contador pare. A contagem - realizada até o instante em que Eo se iguala à Ein é proporcional ao valor da tensão de entrada analógica (Ein). O dado presente nas linhas localizadas entre o contador e o conversor D/A representa o sinal analógico de entrada, convertido - em sinal digital. A seção lógica de controle irá, então, assegurar um pulso final de conversão (EOC), indicando que o dado que se encontra nas saídas é válido.

A figura 10 nos mostra a forma de onda do sincronismo de um conversor A/D por contagem ascendente.

FIGURA 10



Na figura 11, temos o mesmo circuito conversor, porém com algumas modificações. Note que a saída comparadora gerará o clock dos flip-flops do circuito de saída e também acionará uma chave digital (porta "E") que irá bloquear ou não a entrada do clock do circuito contador. No mais, o princípio de funcionamento do circuito é praticamente o mesmo do circuito apresentado na figura 9.

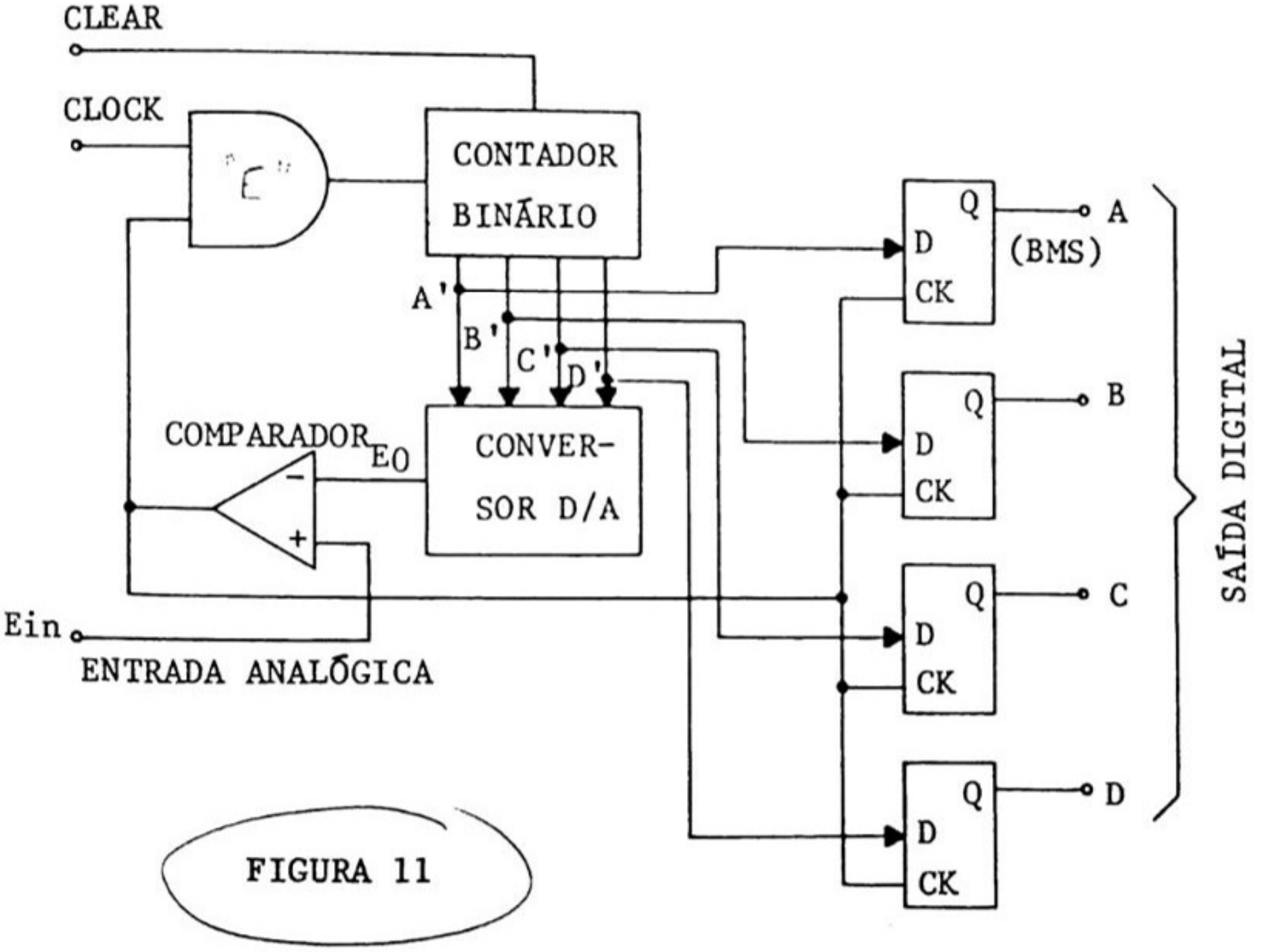


FIGURA 11

A função dos flip-flops de saída é a de manter a saída durante a reiniciação do processo, ou seja, quando o contador reiniciar a contagem, eles irão, portanto, manter o estado de saída anterior. No instante em que o contador é bloqueado com a nova informação, é dado um pulso de clock nesses flip-flops, os quais passarão a armazenar a nova informação, até que o comparador forneça um novo pulso de clock.

O conversor A/D por contagem ascendente é mais rápido do que a maioria dos conversores que utilizam o método de in-

tegração. Quanto mais próxima a tensão estiver do fundo de escala, maior será o tempo de conversão. O tempo de conversão (Tc) é dado pela expressão:

$$Tc = 2^N \cdot 1/V$$

Onde:

N = número de bits
V = velocidade de clock.

Exemplo: Calcule o tempo de conversão para o "conversor A/D de contagem ascendente" de 10 bits, sabendo-se que a velocidade do clock é de 2 MHz.

Solução:

$$Tc = 2^{10} \times 1/(2 \times 10^6)$$

$$Tc = 0{,}000512 \text{ segundos}$$

ou

$$Tc = 512 \text{ ms}$$

A principal desvantagem do conversor por contagem ascendente reside no fato de que para cada ciclo de conversão, o contador é resetado e sua contagem inicia de zero, o que se traduz numa baixa velocidade de conversão. Por exemplo, se uma dada entrada analógica estiver a um nível pouco acima da precedente, bastará que o conversor seja implementado a partir do ponto onde havia parado. Se o novo nível estiver um pouco abaixo do anterior, ao invés de ser incrementado, o contador, nesse caso, deverá ser decrementado. Para resolver esse problema foi desenvolvido um novo conversor, conhecido pelo nome de "Conversor A/D por rastreamento", o qual passaremos a estudar a seguir.

CONVERSOR A/D POR RASTREAMENTO:

A figura 12 nos mostra o diagrama de blocos de um circuito conversor A/D por rastreamento.

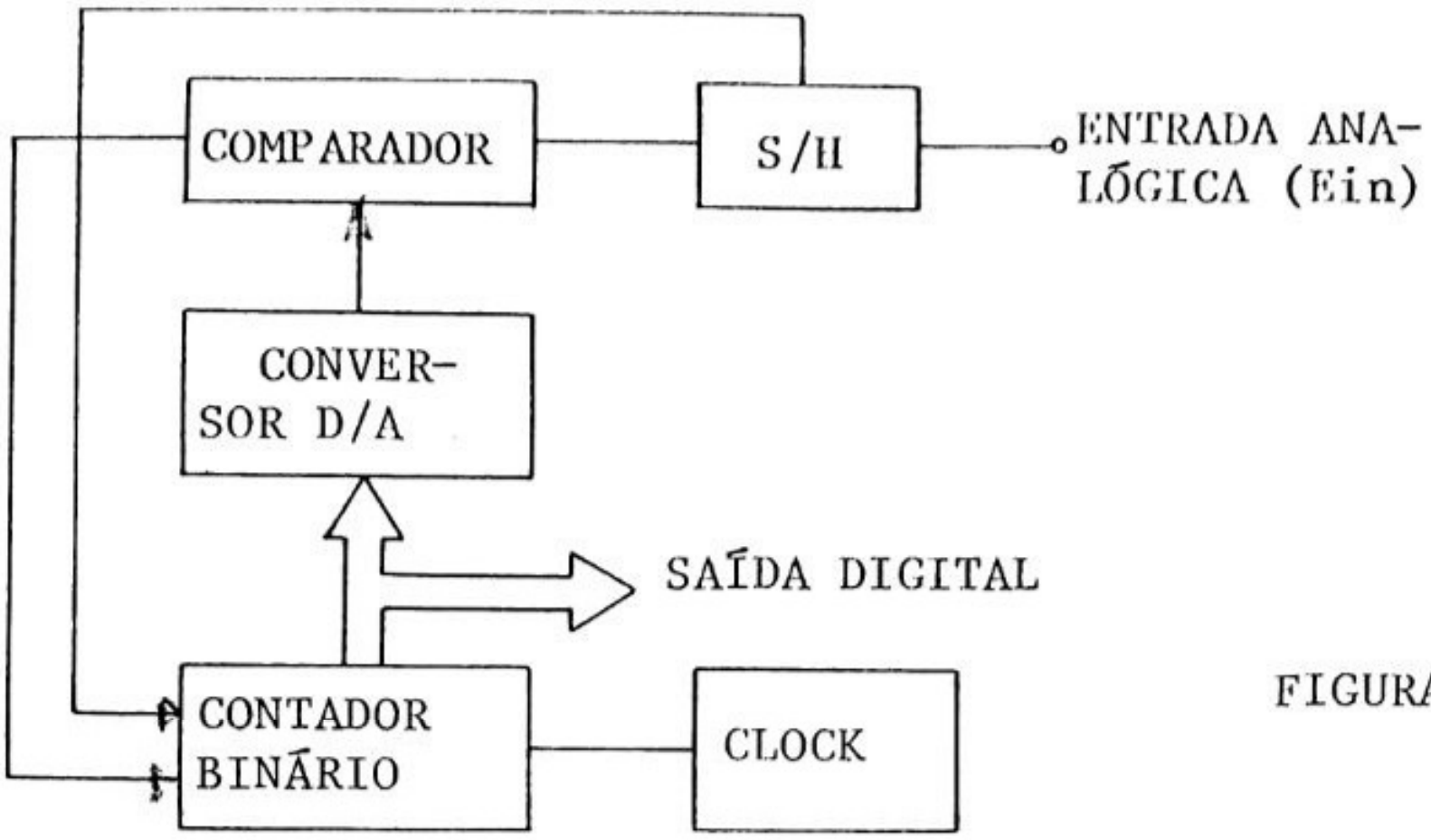


FIGURA 12

O bloco S/H corresponde ao circuito de amostragem e retenção (sample and hold).

Imaginemos a seguinte situação: O circuito S/H realizou uma determinada amostragem e retenção, com o contador devidamente resetado. Dessa forma, a saída do conversor D/A será nula, determinando, assim, que o comparador envie um sinal ao contador, para que esse efetue uma contagem crescente. Suponhamos que esse sinal seja um nível lógico alto (1 binário). Conseqüentemente, o contador irá incrementar o conversor D/A até que a saída desse seja maior que o sinal presente na outra entrada do comparador. Quando isso ocorrer, o comparador enviará um nível lógico baixo (zero binário) ao contador, indicando que esse deva contar de forma decrescente e, eventualmente, a saída do comparador retornará ao nível lógico alto. Dessa forma, teremos a saída digital do conversor oscilando entre dois valores. Essa oscilação pode resultar numa perda de precisão, porém obteremos uma maior velocidade de conversão.

CONVERSOR A/D POR APROXIMAÇÕES SUCESSIVAS:

Esse conversor A/D faz uso de uma técnica muito utilizada para medições de grandezas físicas: tentativa e erro. O conversor irá então realizar uma conversão de teste (tentativa), testando os resultados e modificando então, a saída de acordo com os resultados dos testes. O exemplo que veremos a seguir ilustra como se dá uma medição por aproximação sucessiva, o que vem a facilitar a compreensão desse método. Então vejamos:

- Suponhamos uma balança de plataforma comum(figura 13). Para essa balança, o peso desconhecido é colocado em uma das plataformas, enquanto que os pesos de teste são colocados na outra plataforma. Quando os pesos de testes se igualarem ao peso desconhecido, o ponteiro da balança deverá estar exatamente sobre o centro da escala. Os pesos de testes são calibrados de tal modo que eles são apresentados por potência de dois, W/2, W/4, W/8, W/16, etc... A medição deve ser iniciada colocando o peso de teste mais pesado (W/2) sobre a plataforma esquerda, enquanto que o peso desconhecido deverá ser depositado sobre a plataforma direita.

Se o peso desconhecido (Wx) for maior do que W/2, o ponteiro da escala inclinar-se-á para a direita. Mas, se o peso de teste for maior do que o peso desconhecido (Wx), o ponteiro da escala inclinar-se-á para a esquerda. Com base nos resultados desse primeiro teste é que determinaremos se devemos incrementar o peso de teste ou se fazemos um outro teste. Em cada teste, um peso é colocado na plataforma esquerda e o teste é então executado. Se o resultado do teste mostrar que Wx ainda está alto, o operador irá adicionar mais pesos de teste. Porém se Wx for menor, o peso do teste deverá ser reduzido.

O processo de testes deverá continuar até que o ponteiro coincida exatamente com o centro da escala.

A figura 13 ilustra tal processo.

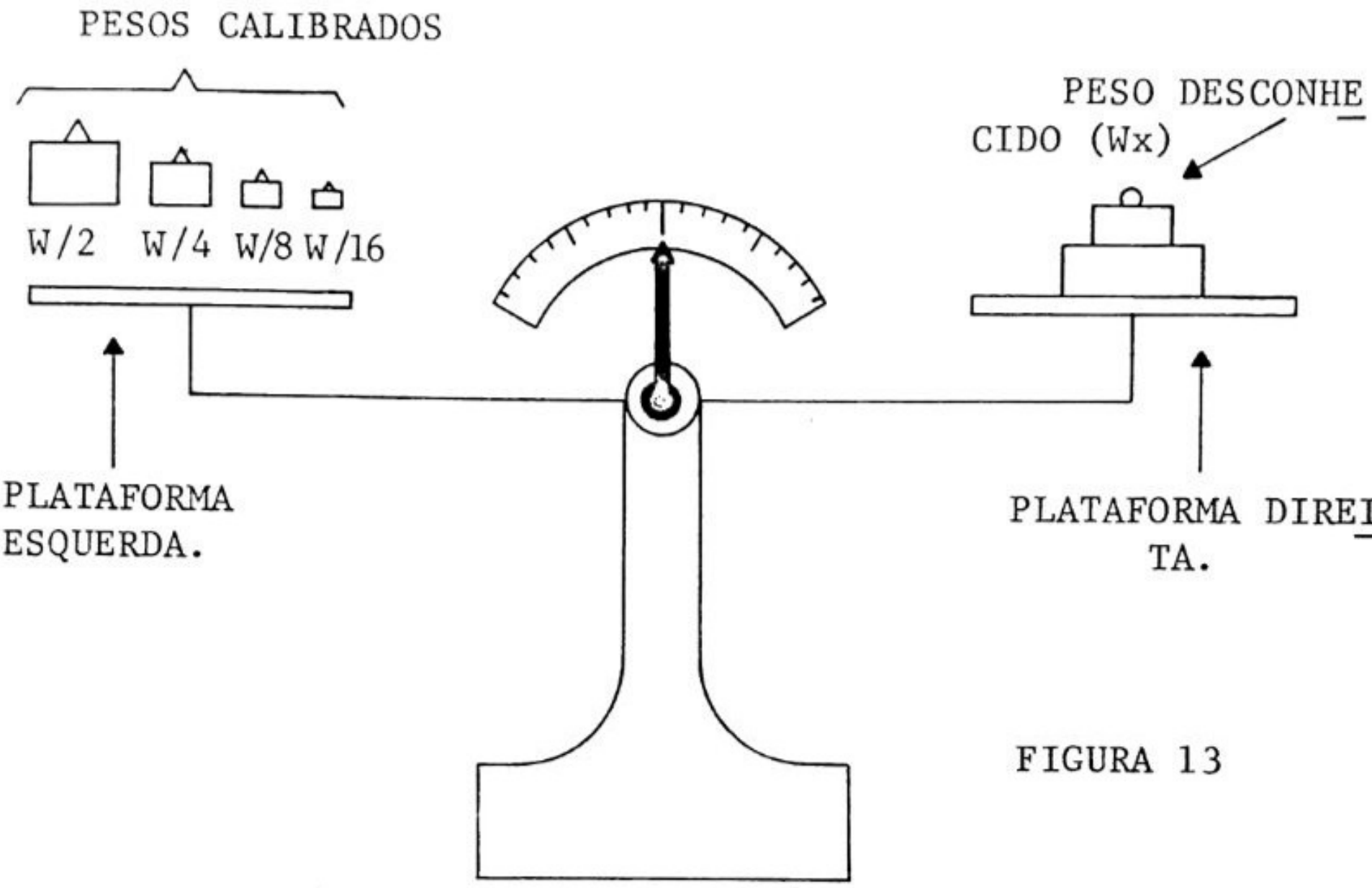


FIGURA 13

Esse exemplo que acabamos de ver, facilitará em muito a compreensão do circuito a seguir.

A figura 14 nos mostra o diagrama de blocos de um circuito conversor A/D de aproximação sucessiva.

O shift register, a lógica de controle e as travas de saída, normalmente, fazem parte de um circuito híbrido ou "integrado" do registro de aproximação sucessiva (todos os três circuitos se encontram num único invólucro).

As saídas fechadas (ou lacradas) são necessárias, pois assim garantimos que o bit afetado possa ser SET ou RESET, de acordo com o resultados do teste.

Quando um pulso inicial é recebido pelo conversor A/D, todos os bits são levados para um nível lógico baixo (condição de RESET). O bit B1 estará, então, ligado à entrada referente ao bit mais significante (BMS). Quando o primeiro pul

so clock, depois do pulso inicial, chegar, o bit B1 será, temporariamente, elevado para um nível lógico alto. Dessa forma, obteremos o binário 10000000, na saída do conversor A/D. Se a tensão de entrada (Ein) for menor que esse valor de tensão, a saída lacrada seré levada para um nível lógico alto.

REGISTRO DE APROXIMAÇÃO SUCESSIVA.

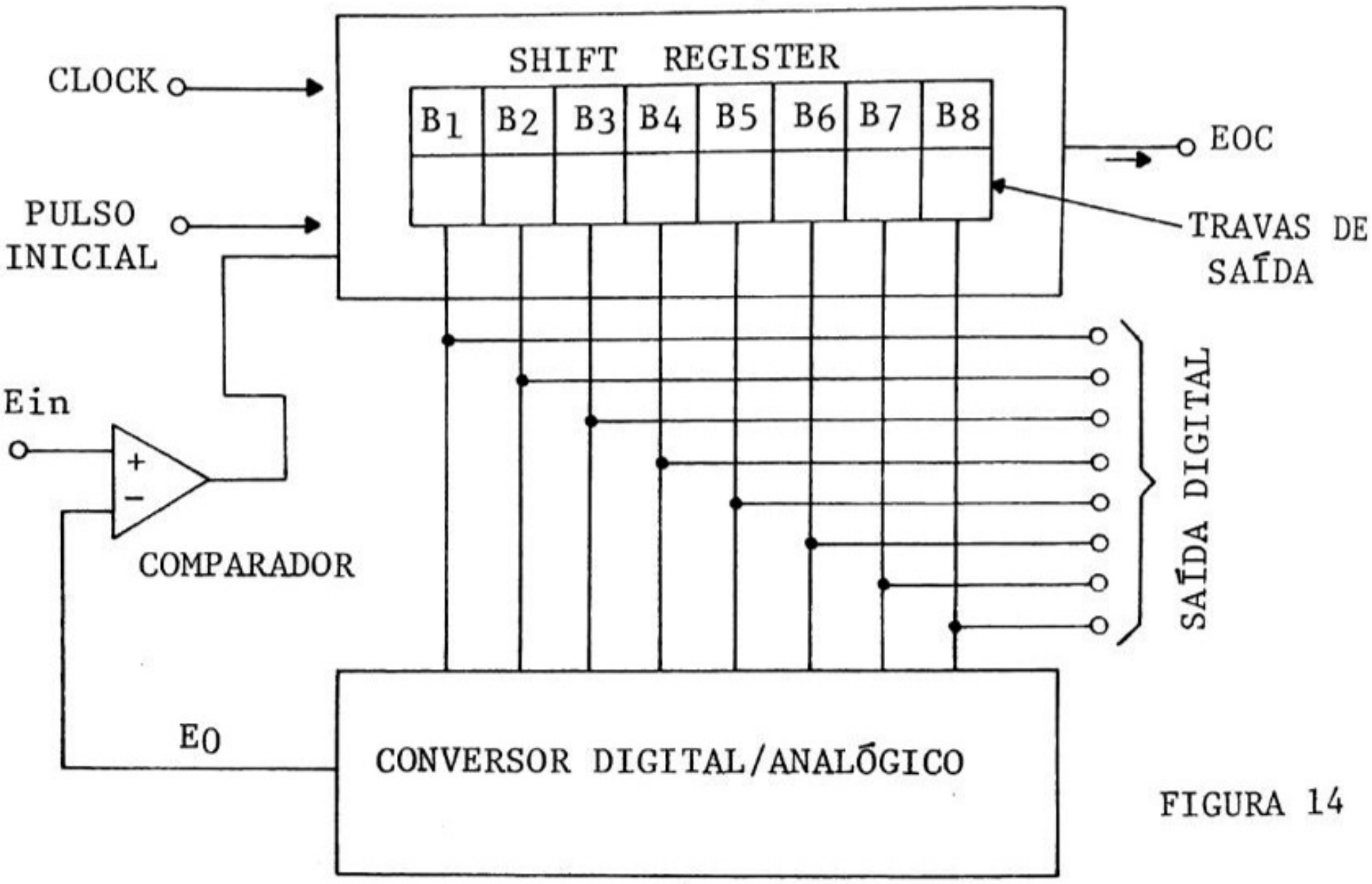


FIGURA 14

Porém, se a tensão de entrada (Ein) for menor do que esse valor, a trava B1 será colocada a um nível lógico baixo. Portanto o primeiro bit (B1) seria igual a um (1) no caso anterior, e zero (0) no posterior. O conversor troca um bit para a direita e um outro teste é tentado.

O teste é executado em cada um dos bits e a saída lacrada (trava) será SET ou RESET, dependendo do resultado. Quando o último bit for testado, o "registro de aproximação sucessiva" irá sobrecarregar o próximo pulso de clock. Por isso,

se tivermos N bits, o tempo total para a conversão será de N + 1 pulsos de clock.

Para se tornar mais claro como se processa o funcionamento desse circuito, vejamos o seguinte exemplo:

Com base na seqüência típica de conversão apresentada na figura 15, vamos descrever o funcionamento do circuito conversor A/D por aproximação sucessivas.

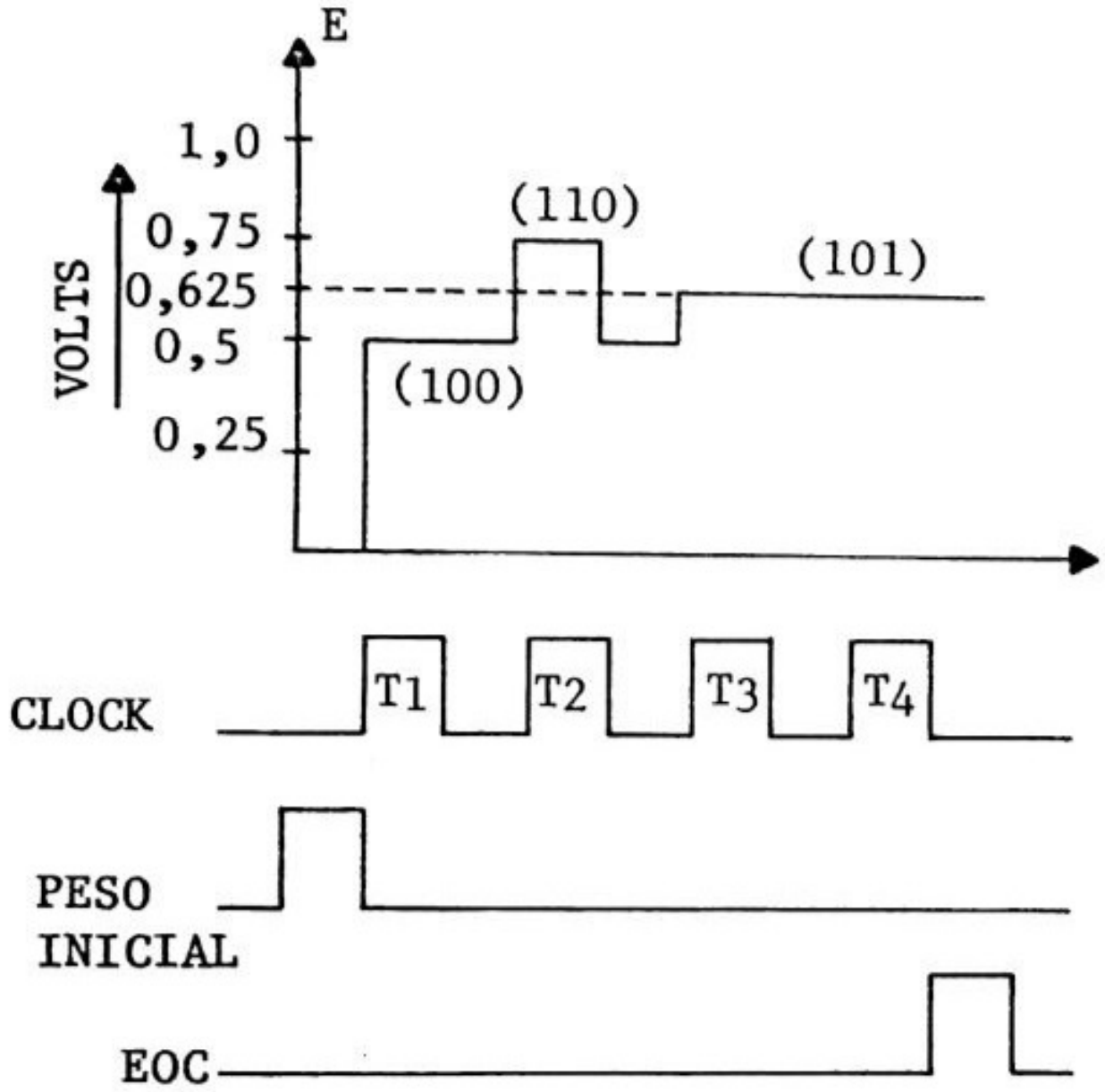


FIGURA 15

Observando a figura 15, podemos notar que a variação de escala completa é de 1,0 volts e o valor da tensão de entrada analógica é de 0,625 volts. Com base nesses fatos, vejamos:

- No instante tl, o conversor A/D recebe um pulso inicial. O registro Bl irá para um nível lógico alto. Com isso obtemos, na saída, a palavra binária 100. Logo, a saída de meia escala do conversor D/A será 0,5 volts.

- O teste indica que a tensão analógica de entrada (Ein) é maior que a tensão na saída do conversor D/A (Eo). Assim, a saída para o bit Bl é elevada para um nível alto. De acordo com o primeiro teste, a saída irá permanecer igual a 100.

- No instante t2 (recebido o próximo pulso clock), o registro B2 é colocado a um nível alto. Agora a palavra de saída será 110. Dessa forma, a tensão de saída Eo é de 0,75 V. Nesse caso, a tensão de entrada analógica (Ein) é menor do que a tensão de saída do conversor D/A (Eo). Conseqüentemente a saída para o bit B2 é colocada a um nível lógico baixo. Assim, teremos a palavra de saída igual a 100.

- No instante t3, o registro B3 irá para um nível lógico alto. Com isso a palavra de saída será 101. Agora a tensão de saída do conversor D/A torna-se igual a 0,625 volts. Teremos, então, Eo = Ein. Assim, a saída para o bit B3 é colocada alta e, conseqüentemente, a palavra de saída será 101.

- No instante t4, ocorre a sobrecarga. Dessa forma, a lógica de controle vai assegurar um pulso EOC e o dado contido nas linhas de saída é reconhecido como válido.

Para esse exemplo o tempo de conversão é de 4 (3+1) pulsos de clock, pois o número de bits (N) é igual a 3. Para calcularmos o tempo de conversão em segundos, devemos aplicar a seguinte expressão:

$$Tc = (N+1) \cdot 1/V$$

Onde:

N = número de bits
V = velocidade de clock (em hertz).

Para um conversor de 3 bits, supondo-se uma velocidade de clock de 2 MHz, o tempo de conversão em segundos será:

$$Tc = (3+1) \cdot 1/2x10^{6} = 4/2x10^{6}$$

$$Tc = 2x10^{-6} \text{ segundos}$$

Ou

$$Tc = 2\mu \text{ segundos}$$

PRINCIPAIS PARÂMETROS DE UM CONVERSOR A/D:

Os conceitos de resolução e monotonicidade são os mesmos apresentados para os conversores D/A, com a diferença de que a entrada e a saída estão trocadas. Uma outra característica muito importante é o "Erro de quantização" (Eq) do conver-

sor. A figura 16 nos mostra como seria a característica ideal para um conversor A/D de 3 bits. Como podemos observar, alguns valores da entrada analógica (dentro de um certo intervalo) produzem uma mesma saída digital. Define-se, portanto, "o erro de quantização" como sendo a diferença entre o valor da entrada analógica e o da saída digital.

Por exemplo, suponhamos que a transição entre dois níveis de saída ocorra, quando o valor da entrada analógica for igual a ± 1/2 do peso do BmS (bit menos significativo) da nova saída digital. Dessa forma, o erro máximo de quantização pode ser de + 1/2 BMS (bit mais significativo), quando a entrada se aproximar do nível seguinte, ou de - 1/2 BMS, quando ela se aproximar do nível antecedente. {Conseqüentemente, deverá ser nulo, quando a entrada for exatamente igual ao valor correspondente ao meio de cada degrau.}

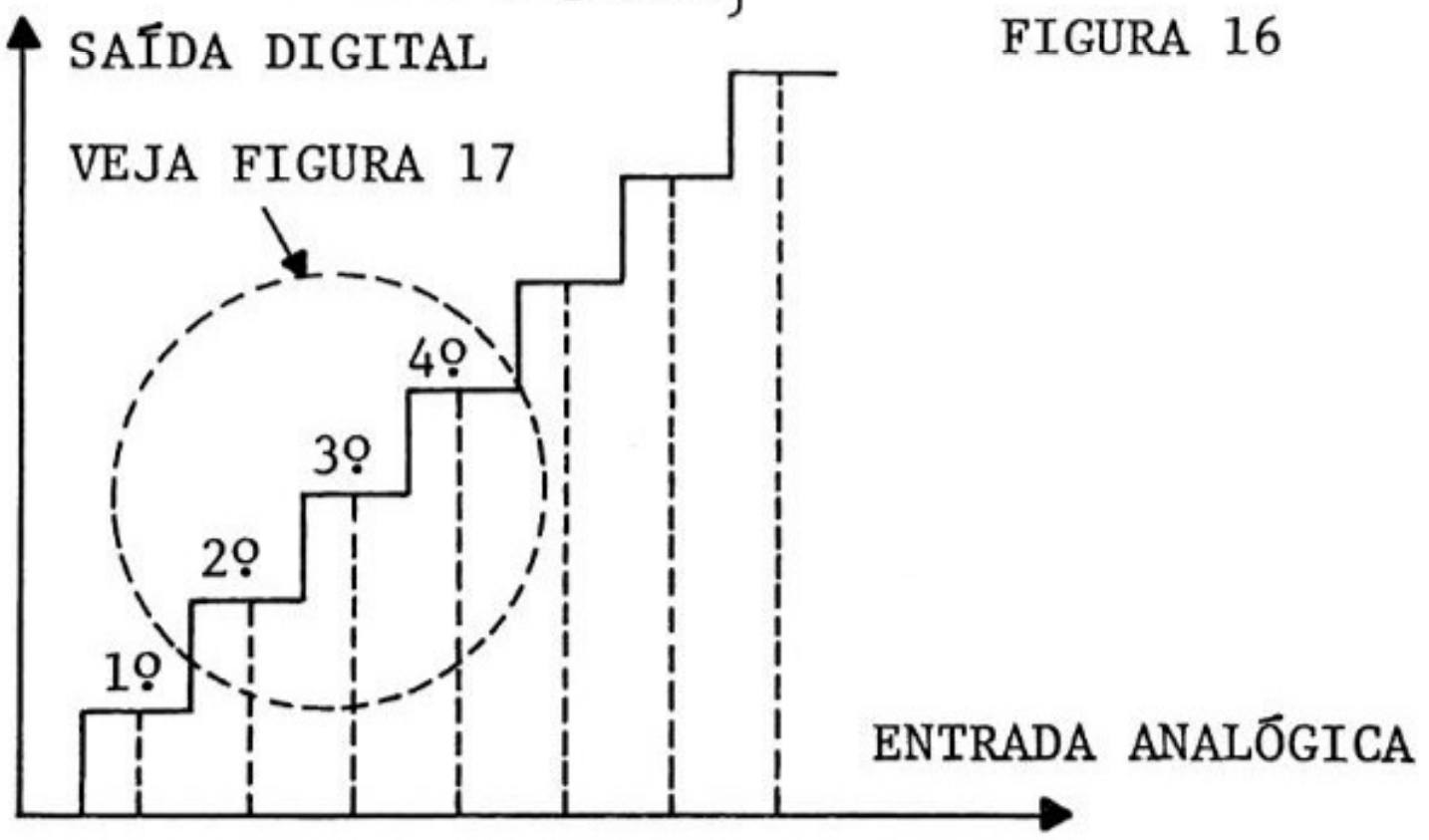


FIGURA 16

Vejamos, por exemplo, o 3º degrau (da figura 16) correspondente à saída digital (detalhe na figura 17).

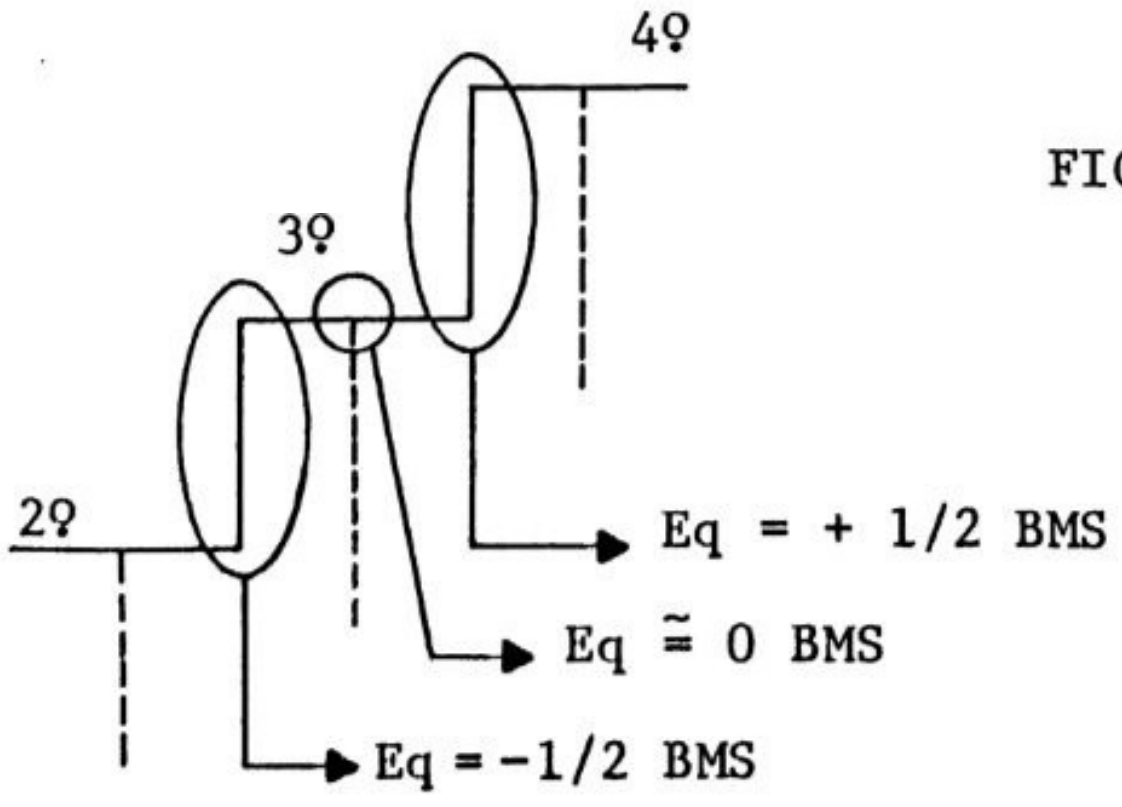


FIGURA 17

Esse parâmetro é muito importante, pois representa o limite de resolução e exatidão de um conversor A/D. Também podemos concluir que quanto maior for o número de bits de um conversor A/D, menor será o seu erro de quantização.

EXEMPLOS DE CONVERSORES A/D e D/A:

Com o advento dos microprocessadores e de seu uso crescente, fez-se necessário aumentar o desempenho dos conversores A/D e D/A existentes no mercado. Tais aperfeiçoamentos resultaram em uma série de melhorias, como: baixíssimos tempos de conversão e estabilização, diminuição das não-linearidades integral e diferencial e melhoria da característica de monotonicidade, além do aumento do número de bits. Hoje, já dispomos de conversores A/D totalmente auto-suficientes, pelo fato de possuírem todos os blocos localizados em um único chip. Como exemplo, citamos o ADC 815, um conversor A/D de 8 bits, auto-suficiente, fabricado pela Datel-Intersil, cujo diagrama de blocos é apresentado na figura 18.

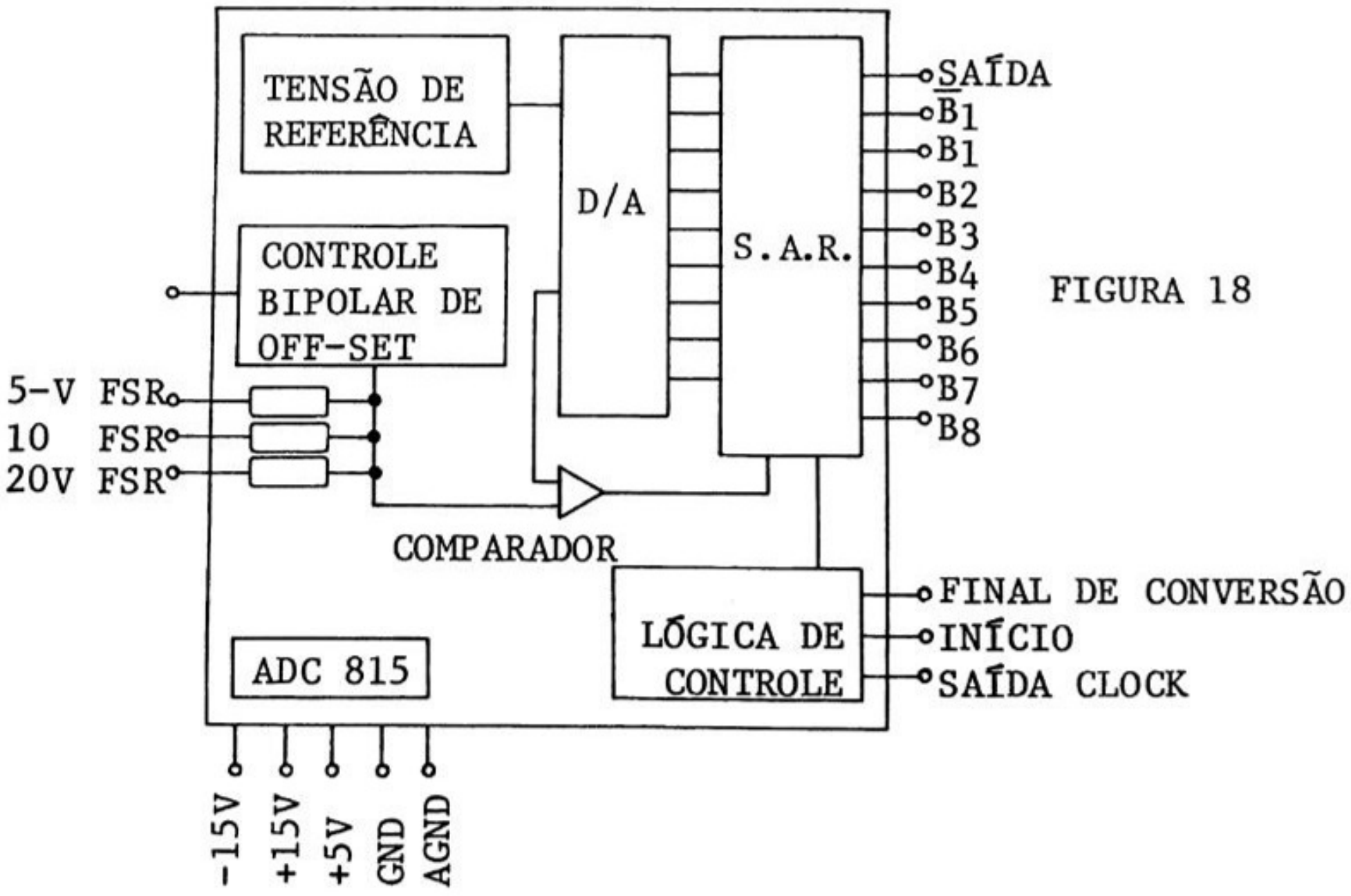
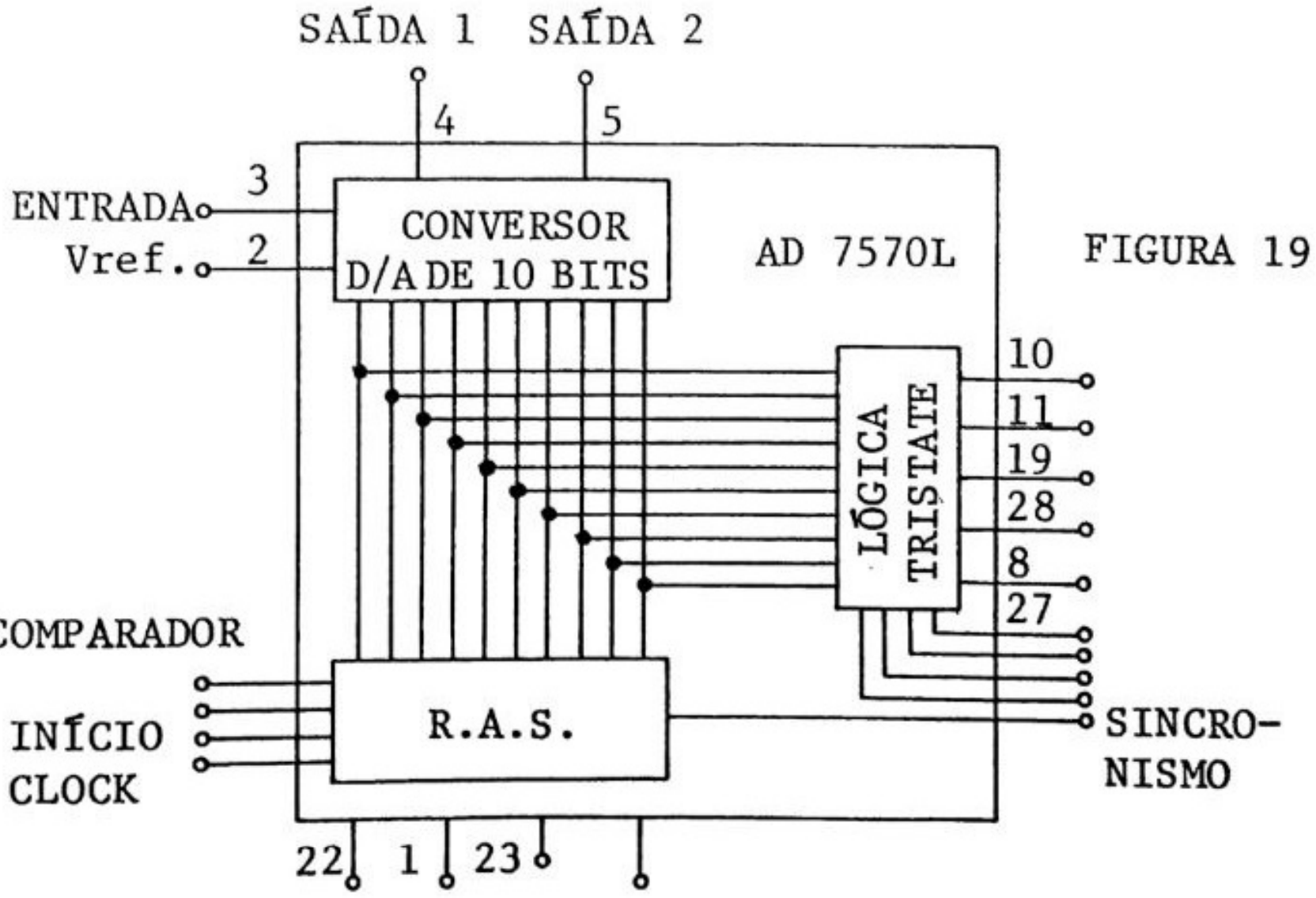


FIGURA 18

O ADC 815 também é do tipo de aproximação sucessiva, possuindo um erro de quantização de ± 1/2 BMS e apresentando um tempo de conversão em torno de 600 ns.

Sistemas inteiros de aquisição de dados já podem ser encontrados em um único chip. É o caso do conversor A/D 0808, fabricado pela Texas Instruments. Esse conversor possui 8 canais de entrada para sinais analógicos, multiplex para seleção de entradas, um conversor A/D com tempo de conversão em torno de 100μs, "data latches" na entrada de endereços e lógica THREE-STATE na saída de dados, para interface com microprocessadores.

Já o conversor A/D 7570L, fabricado pela Analog Devices, não é do tipo auto-suficiente, porém já é projetado para trabalhar com microprocessadores. Para tanto, possui uma R.A.S., um conversor D/A e lógica THREE-STATE. A figura 19 nos mostra o diagrama de blocos do 7570L de 10 bits.



AD 7570L FIGURA 19

R.A.S. = REGISTRADOR DE APROXIMAÇÃO SUCESSIVA.

A tecnologia de fabricação do integrado influi muito no problema da densidade de integração.

Apesar de se obter uma velocidade de conversão mais lenta, além da dificuldade de integração de fontes precisas de

referência, a tecnologia CMOS tem sido a mais usada na fabricação de conversores monolíticos por "integração". Já a tecnologia bipolar é mais utilizada na fabricação de unidades de aproximação sucessivas bastante rápidas, fontes de referência altamente estáveis e com boas características de ruído.

Com relação aos conversores D/A, hoje, já dispomos de muitos deles compatíveis com os microprocessadores, tais como o MC6890, fabricado pela Motorola. Esse conversor D/A possui 8 bits e não-linearidade diferencial de ± 0,19%. O MC6890 pode ser ou não auto-suficiente. Esse será auto-suficiente,quando o sinal de saída for utilizado sob a forma de corrente elétrica. Já,para obtermos um sinal de saída sob a forma de tensão, devemos acrescentar um amplificador operacional externo. Com isso, ele deixa de ser considerado auto-suficiente.

Esses poucos exemplos são insuficientes para mostrarmos todas as características dos conversores (D/A e A/D), bem como todas as arquiteturas e técnicas de fabricação empregadas na obtenção dos memos. Porém acreditamos que pelo menos os conceitos básicos a respeito desses assuntos foram tratados.A seguir, relataremos algumas aplicações dos conversores A/D e D/A com as quais finalizaremos esta apostila.

ALGUMAS APLICAÇÕES DOS CONVERSORES A/D e D/A:

Os conversores D/A têm sido muito utilizados na construção dos chamados geradores de formas de ondas digitais. A figura 20 nos mostra um diagrama de blocos, referente a essa aplicação.

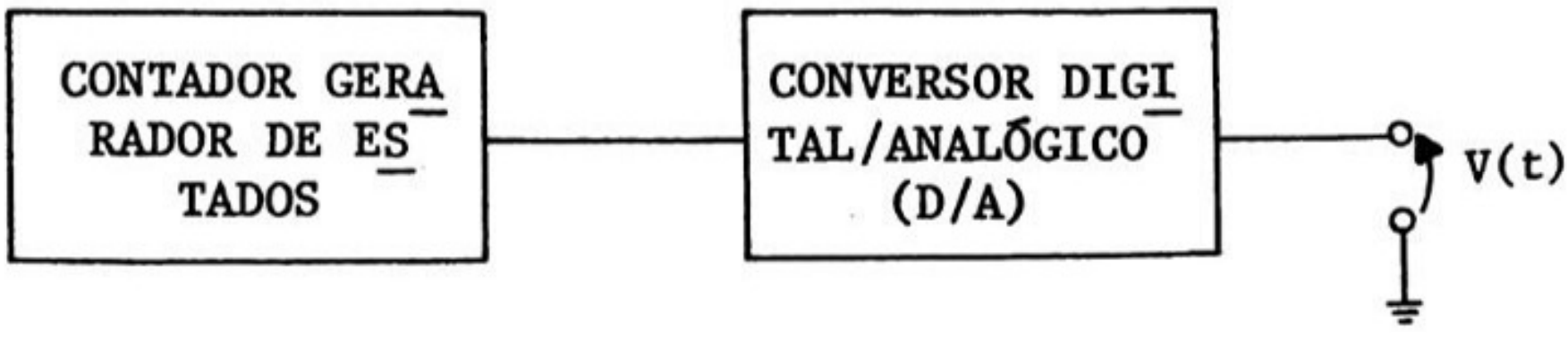


FIGURA 20

Como exemplos desses geradores, podemos citar: Gerador dente de serra digital, Gerador de forma de onda triangular e outros.

Já, como exemplo de uma típica aplicação dos conversores A/D, citamos o voltímetro digital, cujo diagrama de blocos é mostrado na figura 21.

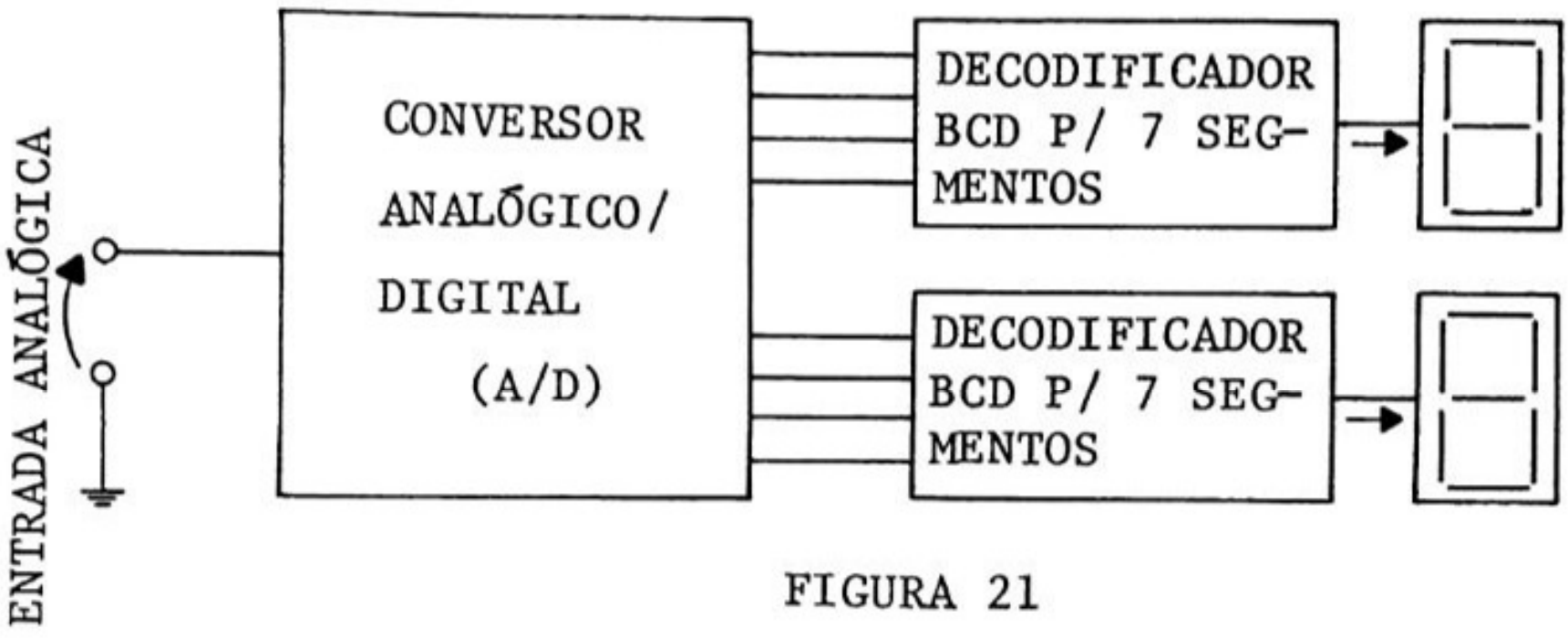
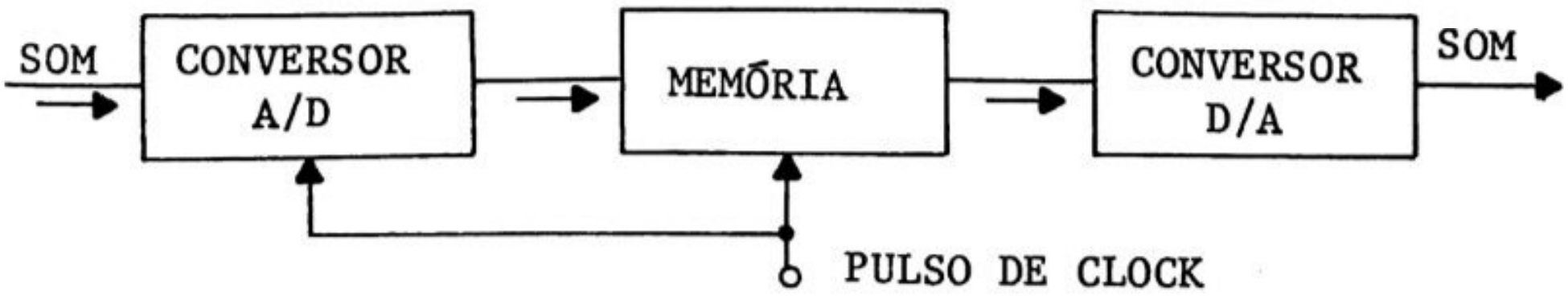


FIGURA 21

Uma outra aplicação que vem se tornando muito popular atualmente são os computadores que falam. Nesse tipo de aplicação, podemos encontrar os dois tipos de conversores (A/D e D/A). A figura 22 nos mostra um diagrama de blocos esquemático dessa aplicação.

FIGURA 22



Basicamente o que ocorre é que o computador monta a frase que deseja falar em sua memória e a transfere para um amplificador de áudio, por intermédio de um conversor D/A. Uma outra maneira de se conseguir esse mesmo intento e mais simples, por sinal, é estocar palavras,previamente gravadas sob a forma digital,numa memória.

O computador, ou mesmo um outro circuito mais simples,terá que somente acessar o local da memória, onde essa palavra se encontra gravada e transferi-la para um amplificador de áudio, através de um conversor D/A.

CEDM
CURSOS DE APERFEIÇOAMENTO

CURSO DE ELETRÔNICA DIGITAL E MICROPROCESSADORES

CAIXA POSTAL 1642 - CEP 86100 - LONDRINA - PARANÁ

EXAME DA LIÇÃO ED-30

OBSERVAÇÃO

- cada questão é composta de três ou quatro alternativas.
- só uma delas está correta.
- marque a que considerar correta.
- passe as respostas corretas para a folha de exame.

1) Um conversor A/D converte:

a) sinais digitais em sinais analógicos;
b) sinais analógicos em sinais digitais;
c) um sinal qualquer em sinal analógico;
d) os itens a e c estão corretos.

2) A principal vantagem do circuito conversor de inclinação simples é:

a) baixo custo do circuito;
b) alto ganho do circuito;
c) baixo rendimento do circuito;
d) baixo custo e o baixo rendimento do circuito.

3) O tempo de conversão de um conversor de inclinação simples de 10 bits, em pulsos de clock, deverá estar entre "zero" e:

a) 1042(p.c.); b) 256(p.c.); c) 512(p.c.); d) 1.024(p.c.).
p.c. = pulso de clock.

2^{10}

4) Um conversor A/D paralelo, de 6 bits requer nada menos que:

a) 255 comparadores;
b) 64 comparadores;
c) 63 comparadores;
d) 31 comparadores.

$2^M - 1 = 2^6 - 1 = 63$

5) Com relação à questão anterior, o número de resistores requeridos será:

a) 64;
b) igual ao número de comparadores;
c) 31;
d) 33.

6) Com relação à figura 11, a função dos flip-flops (FF) de saída é de:

a) manter a entrada, quando o contador reinicia a contagem;
b) bloquear a informação a ser transferida;
c) manter a saída, quando o contador reinicia a contagem;
d) N.D.A.

7) O tempo de conversão para um conversor A/D por contagem ascendente de 8 bits, para uma velocidade de clock de 4MHz, é de:

$T_c = 2^8 \times (1/4\times10^6)$

a) 128 ms;
b) 64 ms;
c) 128µs;
d) 64µs.

$T_c = 256 \times \frac{1}{4\times10^6} = 64\mu s$

8) O tempo de conversão, em pulsos de clock, para um conversor de aproximação sucessiva, é dado pela expressão:

$T_c = N+1$ p. clock

a) N + 1;
b) (N + 1) . 1/V;
c) N - 1;
d) (N - 1) . 1/V.

9) Para os conversores A/D, quanto maior for o seu número de bits:

a) o erro de quantização permanece indiferente;
b) menor será o seu erro de quantização;
c) maior será o seu erro de quantização;
d) N.D.A.

10) Com relação à figura 16, quando a entrada for exatamente igual ao valor correspondente ao meio de cada degrau, o erro de quantização será aproximadamente igual a:

a) + 1/2 BMS;
b) - 1/2 BMS;
c) ± 1/2 BMS;
d) zero.

CEDM-CURSO DE
ELETRONICA DIGITAL E
MICROPROCESSADORES
CAIXA POSTAL 1642 – CEP 86100 – LONDRINA-PR.

LIÇÃO ED-31

RELÓGIOS DIGITAIS

INTRODUÇÃO:

Com o advento dos dispositivos semicondutores, houve,nesses últimos anos, uma verdadeira revolução no campo da cronometragem. Por exemplo, com a introdução do transistor, a indústria relojoeira pode executar funções de comutação ou chaveamento que até então requeriam contatos mecânicos os quais reduziam a precisão dos pêndulos e das rodas de balanço.

Com a introdução dos circuitos integrados (os quais possuem a capacidade de executar funções que previamente requeriam muitas dezenas ou mesmo centenas de componentes discretos), que ocupam um espaço relativamente pequeno, tornou-se possível a produção em massa de relógios de pulso eletrônicos, relógios de parede e relógios mestres destinados a controlar grandes sistemas de relógios.

Hoje, os relógios digitais mais modernos possuem como base de tempo um oscilador controlado a cristal de quartzo. Normalmente os C.Is, conhecidos no mercado como "módulos de relógios", já possuem um oscilador de cristal incluso em seu circuito, permitindo assim que este seja alimentado através de baterias. Já outros modelos de "módulos de relógios" usam

como padrão a freqüência da própria rede elétrica (50 Hz ou 60 Hz).

RELÓGIO ELETROMECÂNICO:

Na figura 1 temos um esquema básico de um relógio eletromecânico, utilizando um oscilador a cristal de 4.194.304 hertz.

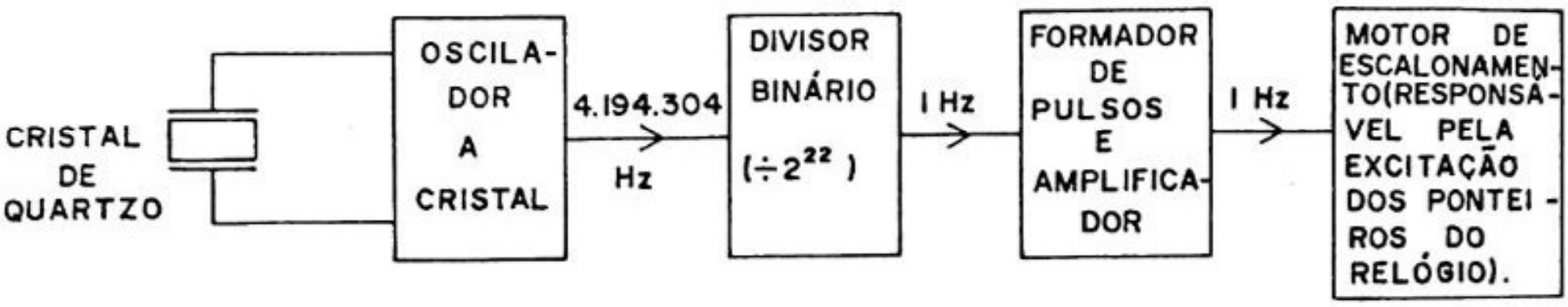


FIGURA 01

Note que a saída do oscilador está conectada à entrada de um bloco "divisor binário", formado por 22 circuitos divisores binários (÷ 2), conectados em série. Isto resulta numa freqüência de saída de 1 Hz que após a modelagem e a amplificação é então aplicada na entrada de um motor de escalonamento o qual comandará os ponteiros do relógio. A vantagem em se utilizar um motor de escalonamento está no fato deste requerer apenas breves impulsos de energia para executar cada operação de escalonamento.

A escolha da freqüência do cristal é determinada pelas características de temperatura "versus" freqüências requeridas do relógio, também pelo circuito integrado e pelo tipo de mecanismo eletromecânico do relógio, empregado para comandar os ponteiros.

Já uma outra versão deste tipo de relógio utiliza um oscilador a cristal e um circuito divisor com freqüência de saí

da,da ordem de 50 a 60 Hz. Esta freqüência de saída é amplificada e comanda um motor síncrono de baixa potência, o qual permite que o ponteiro dos segundos "gire" continuadamente. A principal desvantagem apresentada por esta versão reside no fato de que a potência requerida pelo motor síncrono é relativamente alta,uma vez que este fica permanentemente energizado, enquanto que o motor de escalonamento requer apenas breves impulsos de energia.

Um dos inconvenientes apresentados pelos relógios eletromecânicos é quanto à forma padronizada de leitura a qual incorpora ponteiros das horas, dos minutos e, em alguns casos, dos segundos. Achou-se então que esta forma de leitura, além de não ser suficientemente precisa, é, em certos casos,de difícil leitura. Visando a eliminar estas desvantagens é que foram introduzidos os relógios eletrônicos de leitura digital, que serão objeto de nosso estudo de agora em diante.

RELÓGIO ELETRÔNICO DE LEITURA DIGITAL

Neste caso, ao invés de termos a saída do bloco divisor binário (figura 1) conectado na entrada do bloco "formador de pulsos e amplificador", este deverá ter sua saída conectada à entrada de um circuito contador, que por sua vez, estará conectado a um circuito decodificador, o qual deverá estar diretamente interligado ao dispositivo de leitura. A figura 2 nos mostra o diagrama de blocos básico de um relógio digital com cristal de quartzo.

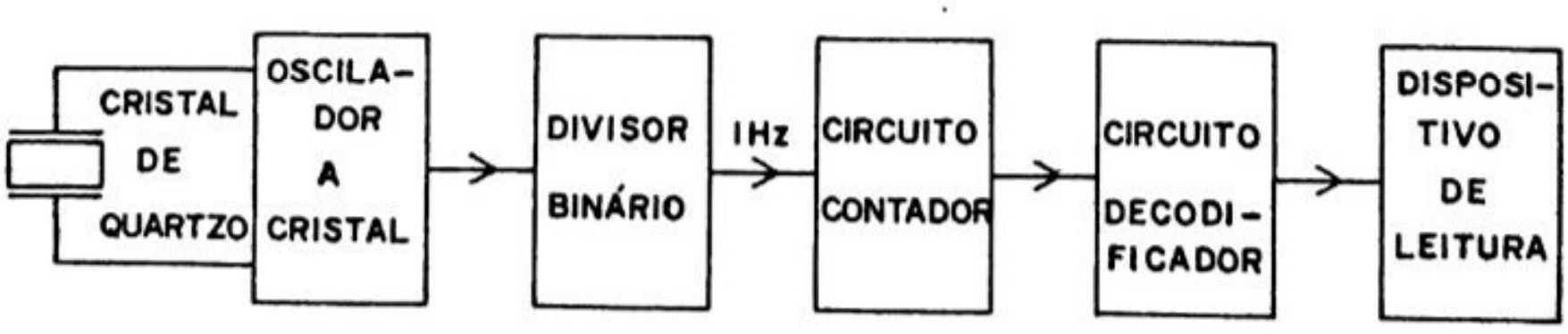


FIGURA 02

Os dispositivos geralmente empregados para leitura são:

a) displays de descarga de catodo frio;
b) displays de diodos emissores de luz;
c) displays de cristais líquidos.

Hoje em dia a maioria dos dispositivos de leitura digital são do tipo de sete segmentos (veja figura 3), os quais podem exibir qualquer número entre 0 e 9, bastando para tanto, usar combinações selecionadas dos três segmentos horizontais com os quatro segmentos verticais.

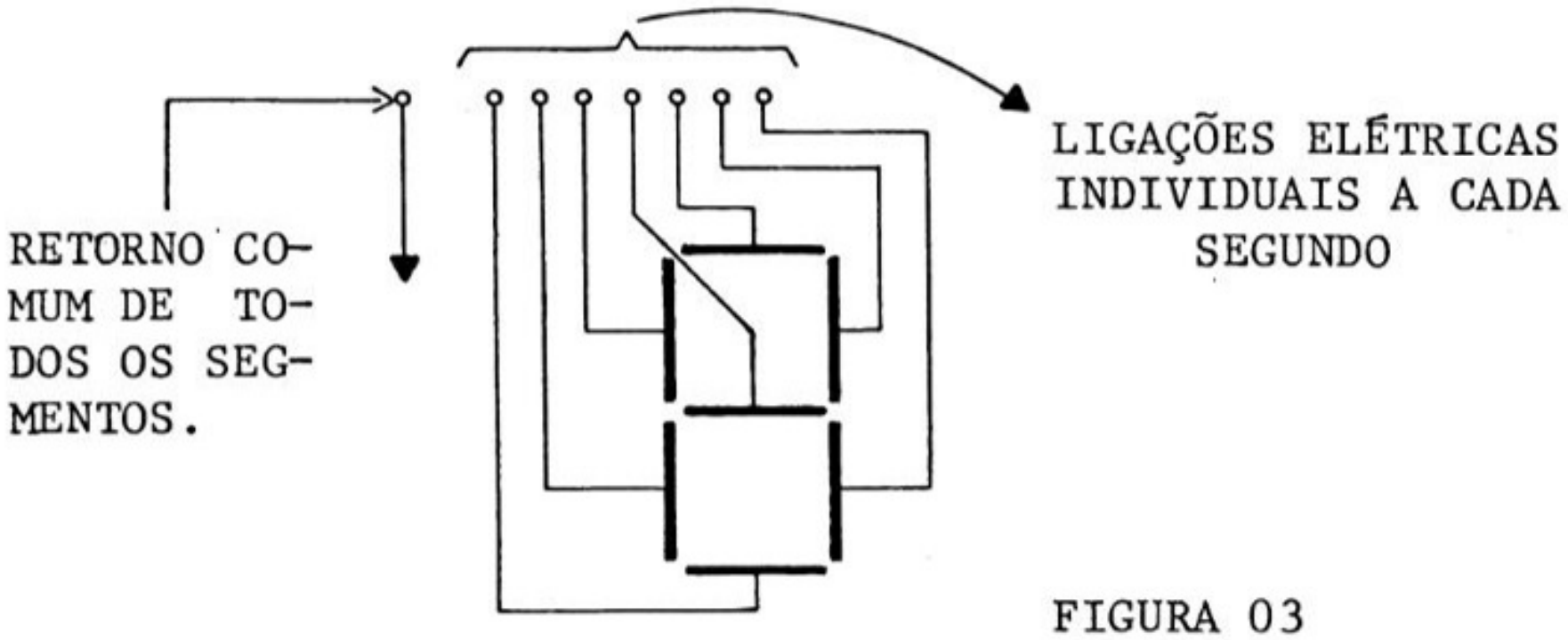


FIGURA 03

Na prática, um relógio digital é composto por uma série de contadores alimentados por um pulso de clock de período igual a 1 segundo. Vejamos então como poderemos formar cada uma dessas partes.

PROJETO DE UM RELÓGIO DIGITAL

Como já foi dito anteriormente, podemos utilizar como base de tempo um oscilador controlado a cristal ou a própria freqüência da rede elétrica. Para o projeto que passaremos a desenvolver, utilizaremos como padrão a freqüência da rede elétrica. Na figura 4 vemos como são gerados os pulsos de 1 Hz a partir dos 60 Hz disponíveis na rede de energia elétrica, utilizando-se para tanto o circuito da fonte CEDM 78.

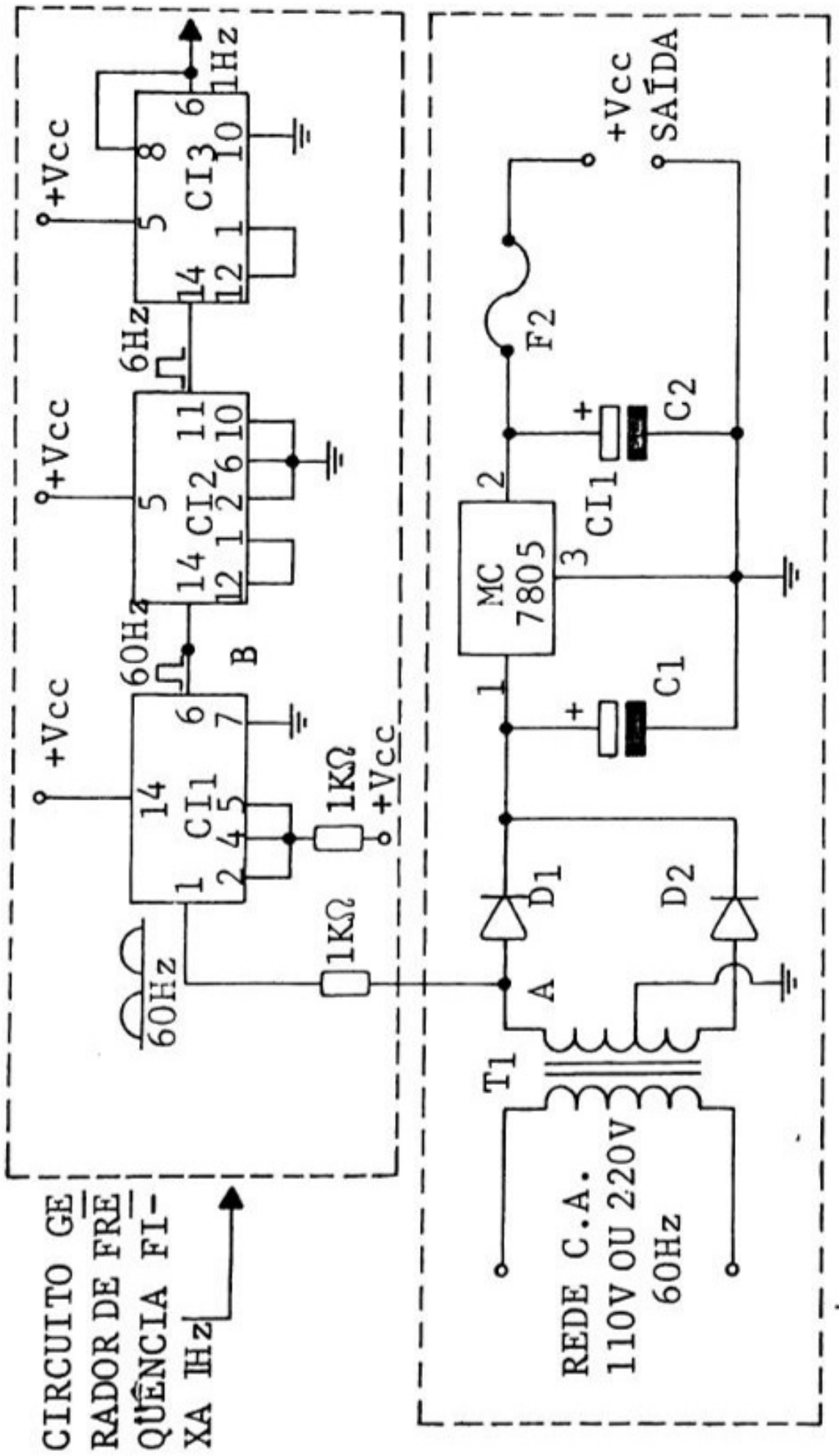


FIGURA 04

O fato de termos utilizado a fonte CEDM-78 foi apenas com o intuito de mostrarmos mais uma aplicação para a mesma. A saída da fonte (5V/1A) será utilizada para alimentar os outros C.Is. Continuando nosso estudo sobre o relógio digital, vejamos como é constituído o circuito gerador de freqüência.

CIRCUITO GERADOR DE FREQÜÊNCIA FIXA 1 Hz

Conforme nos mostra a figura 4, o circuito gerador de freqüência fixa 1 Hz é constituído pelos C.Is 1, 2 e 3 e pelas duas resistências de 1 KΩ. O $C.I_1$ é uma porta tipo "NÃO-E" (NAND) quadrador (Schmitt trigger), com quatro entradas. Uma das entradas deverá ser conectada na fonte de alimentação de modo a obtermos os 60 Hz da rede enquanto que as demais deverão ser conectadas ao ponto +Vcc através de uma resistência de 1 KΩ.

Note que no ponto A da figura 4 (antes do C.I. quadrador), temos uma forma de onda senoidal (um semi ciclo) com freqüência igual a 60 Hz. Logo após o circuito quadrador, mais especificamente no ponto B, temos ainda uma freqüência de 60 Hz, porém com uma forma de onda quadrada a qual será aplicada na entrada do circuito divisor de freqüência.

Para obtermos a freqüência de 1 Hz a partir dos 60 Hz da rede, devemos dividir esta freqüência por dez (10) e em seguida por seis (6). A divisão por dez (10) pode ser conseguida, ligando-se os pinos do contador de décadas SN7490, conforme nos mostra a figura 5.

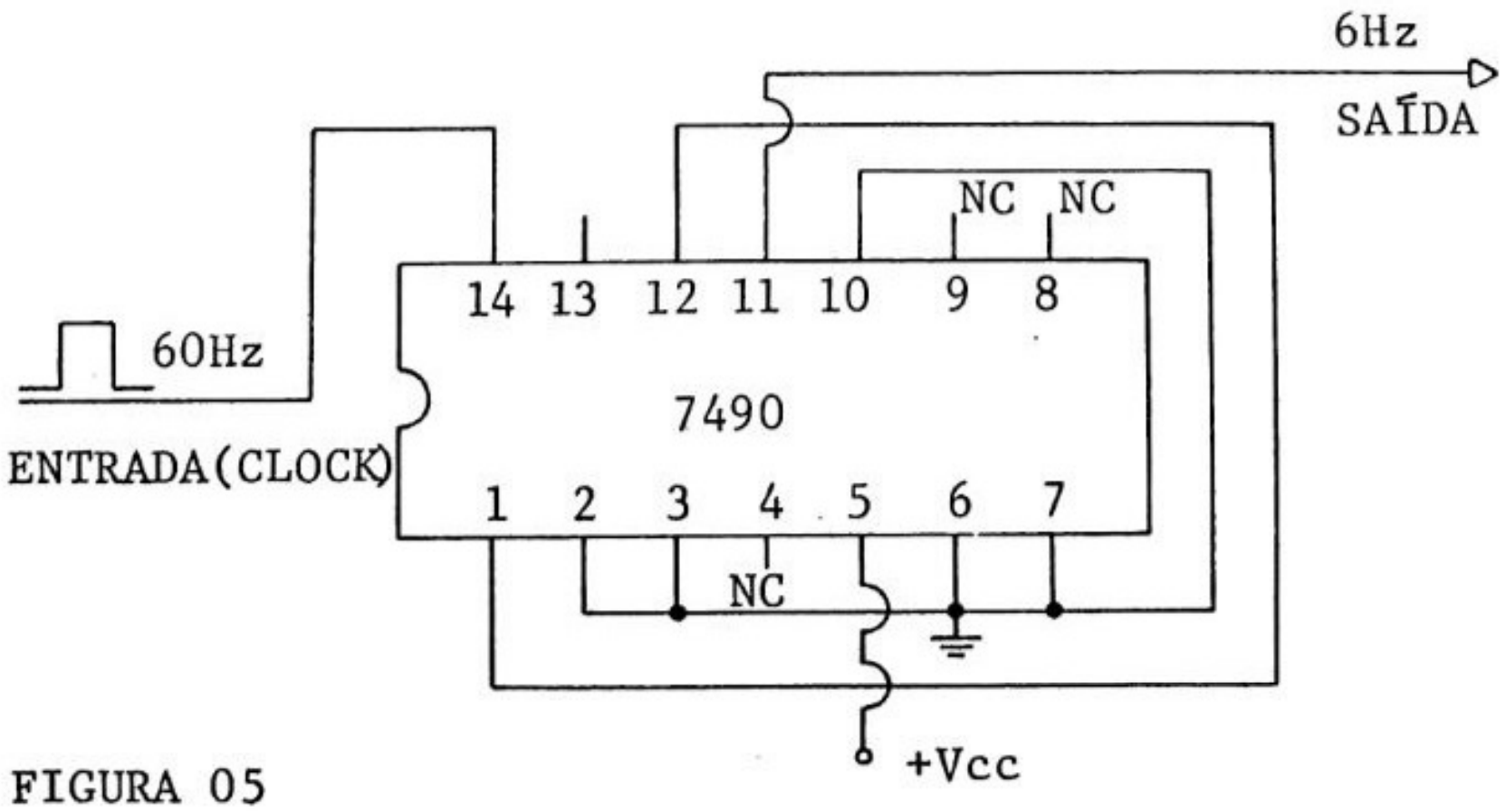
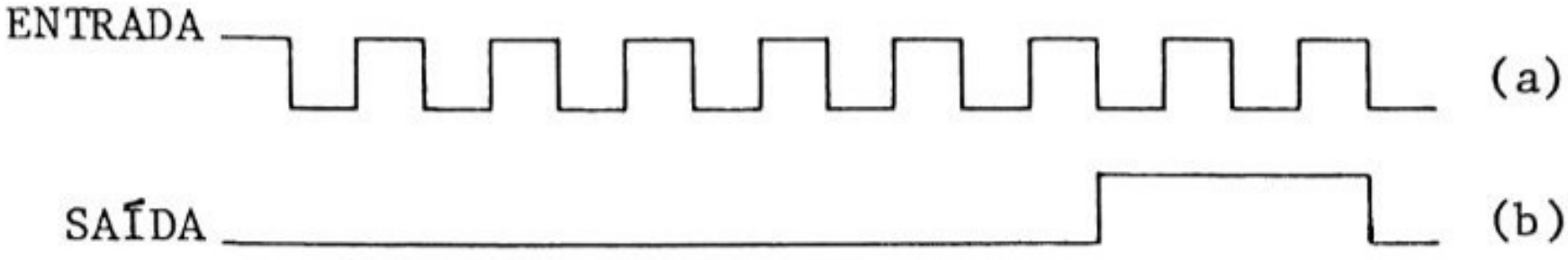


FIGURA 05

A forma de onda aplicada na entrada e a forma de onda obtida na saída do SN7490 podem ser vistas nas figuras 6a e 6b respectivamente.

FIGURA 06



- FORMAS DE ONDA NA ENTRADA (a) E SAÍDA (b) DO DIVISOR POR DEZ (10).

Para obtermos um sinal de freqüência fixa igual a 1 Hz, necessitamos dividir a freqüência do sinal de saída do C.I.2 (SN7490) por seis (6). A divisão por seis (6) também será realizada utilizando-se o contador de décadas SN7490, conforme nos mostra a figura 7.

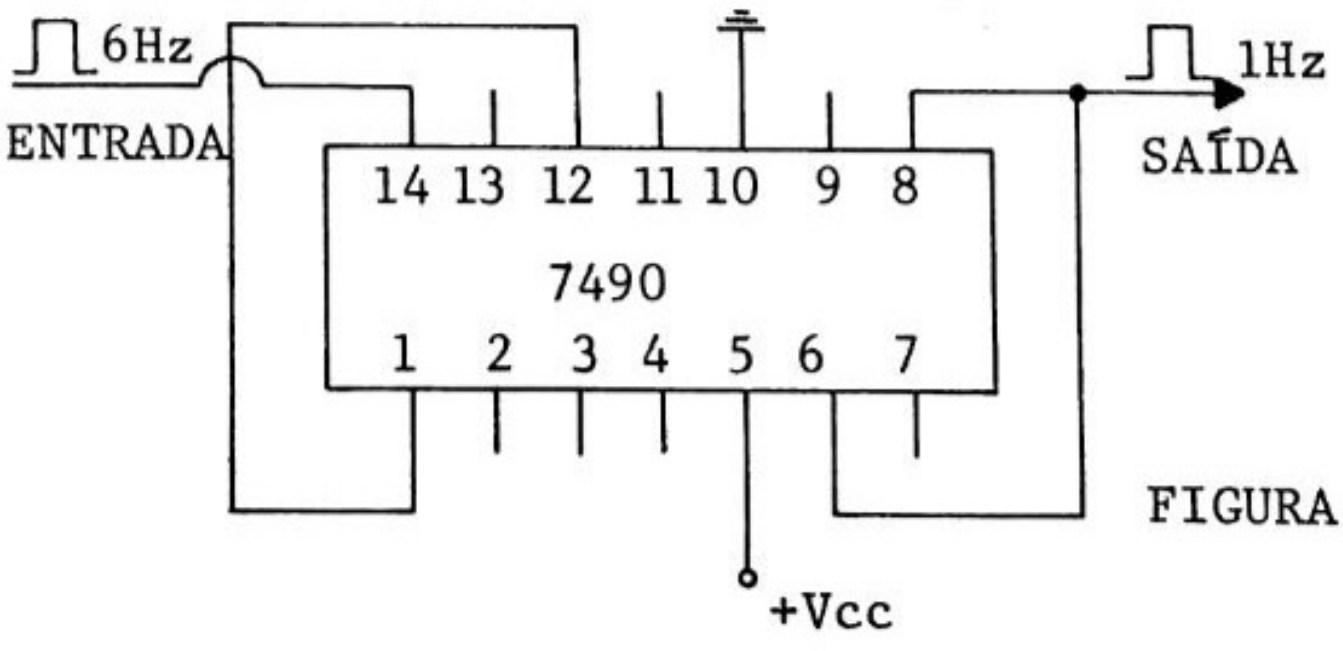
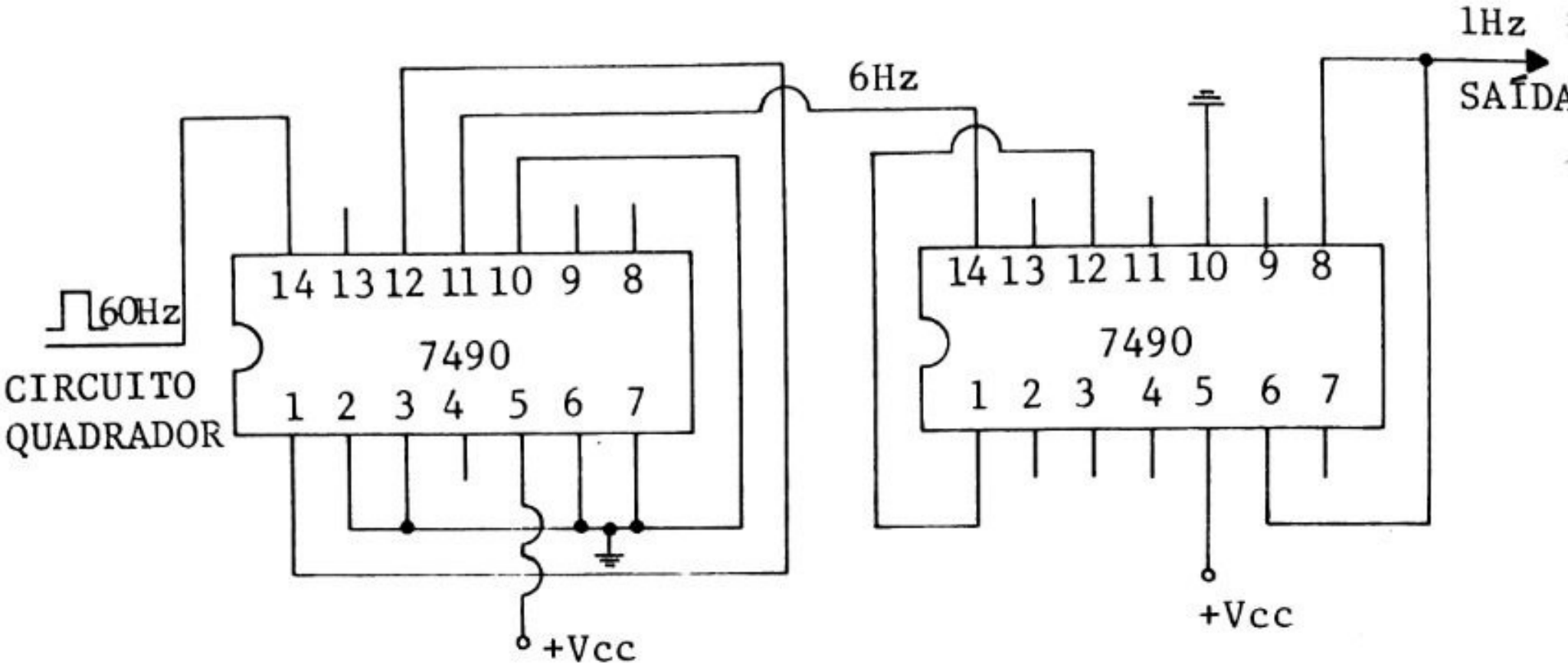


FIGURA 07

A figura 8 nos mostra o bloco gerador de freqüência fixa 1 Hz, com os dois divisores de freqüência devidamente interligados.

A freqüência é definida como sendo o inverso do período (f = 1/T). Sendo assim, para uma freqüência de 1 Hz obtere-



- BLOCO GERADOR DE FREQÜÊNCIA FIXA 1 Hz.

FIGURA 08

mos um período igual a 1 segundo, ou seja, obteremos pulsos com 1 segundo de largura. Para uma maior precisão, é indispensável que estes pulsos sejam constantes, regulares e uniformes. Por outro lado o "casamento" entre os 60 Hz da rede e os circuitos lógicos é efetuado através da resistência R_1 de 1,2 KΩ (veja figura 4).

Uma vez esquematizado o circuito gerador de freqüência fixa 1 Hz, passaremos ao estudo dos circuitos que farão a contagem do tempo.

BLOCO CONTADOR:

Tanto o contador de segundos como o de minutos devem contar até 59, pois a cada 60 segundos devemos contar um minuto e a cada 60 minutos devemos contar uma hora. Já o contador de horas deve contar de 0 a 12 ou de 0 a 24, dependendo do tipo de relógio.

Na figura 9 temos o esquema básico de um contador de 0 a 59.

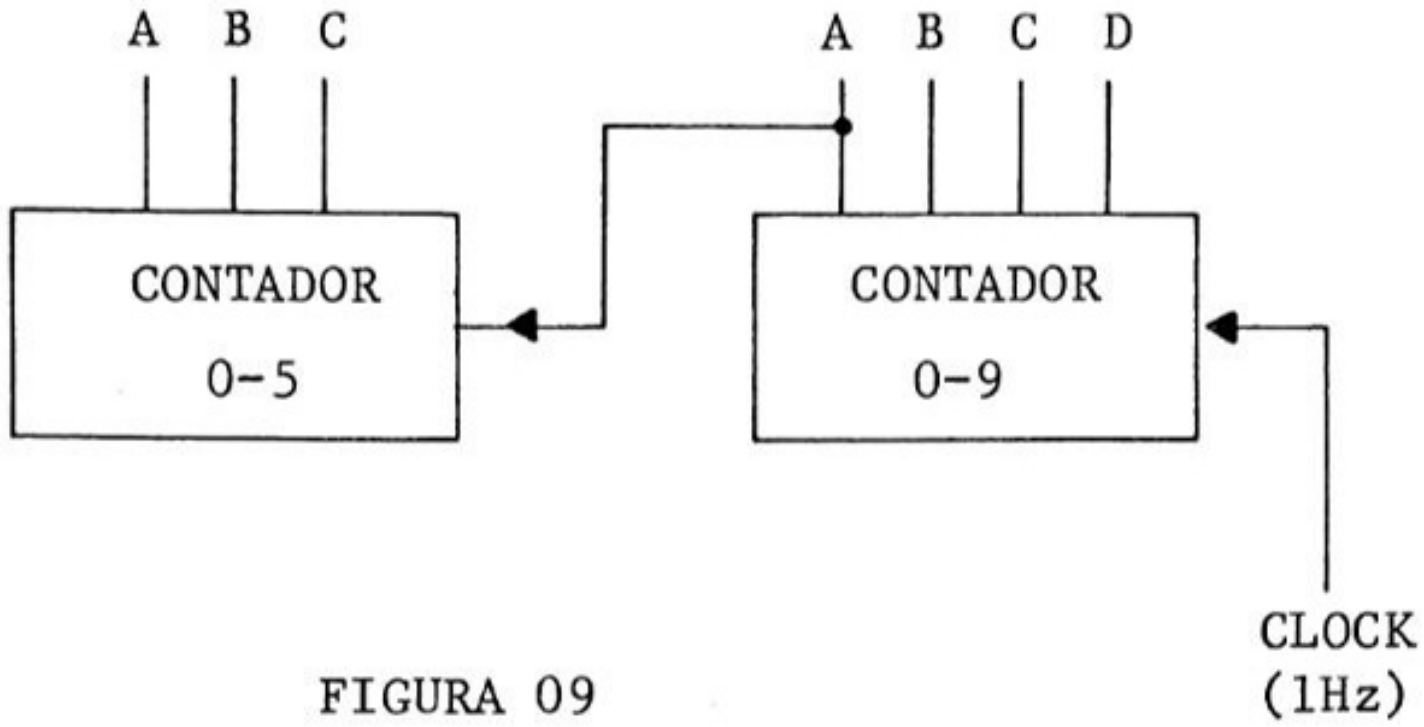


FIGURA 09

Já a figura 10 nos mostra o diagrama de blocos do circuito contador de horas (0 a 24).

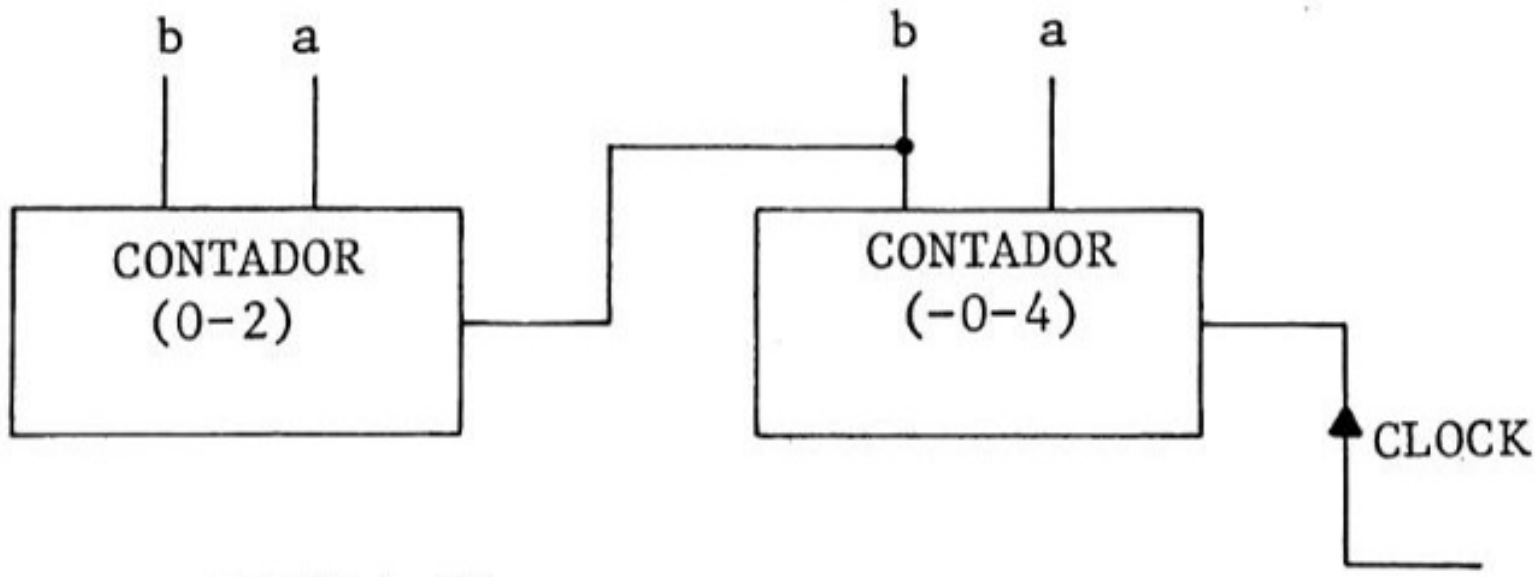


FIGURA 10

O contador de segundos e o de minutos serão construídos com base no contador de décadas SN7490. Primeiramente, analisaremos o circuito contador de segundos.

Para que possamos contar as unidades e dezenas de segundos, necessitamos de dois contadores SN7490 ligados conforme nos mostra a figura 11. Note que os dois (2) SN7490 estão interligados de modo a constituírem uma configuração assincrona. O pulso de saída do bloco gerador de freqüência fixa 1 Hz é então aplicado na entrada do primeiro CI7490 e, a partir desses pulsos de entrada, o 7490 fornecerá uma saída em BCD 8421.

Da maneira que o primeiro 7490 (CI_4) está ligado, toda vez que ele apresentar a sua saída dcba igual ao binário 1001 (equivalente ao decimal 9), ele será zerado automaticamente e

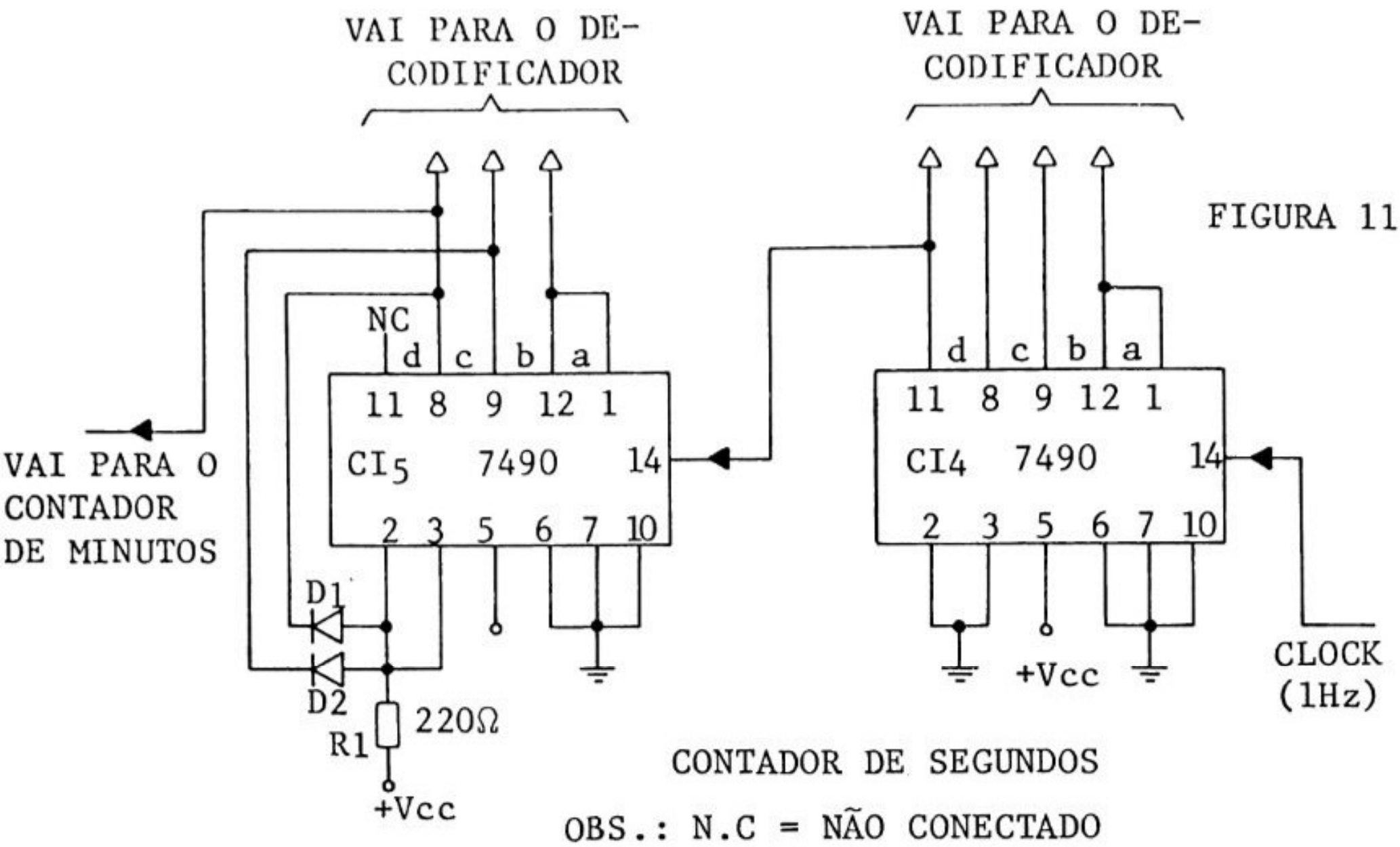


FIGURA 11

CONTADOR DE SEGUNDOS

OBS.: N.C = NÃO CONECTADO

reiniciará nova contagem. Antes, porém, emite o primeiro pulso para a entrada de clock do segundo CI7490 (CI5), de modo que este passe a indicar a primeira dezena de segundos. Quando o conjunto (CI5 + CI4) apresentar em suas saídas os binários 0101 e 1001 (equivalentes aos decimais 5 e 9) respectivamente, o CI5 emitirá o primeiro pulso para a entrada de clock do contador de minutos. Em seguida os dois CIs (CI4 e CI5) serão zerados e reiniciarão nova contagem, sendo que o CI5 será zerado através das entradas 2 e 3, por intermédio de um pulso aplicado pela porta Nand, formada pelos diodos D3 e D4 e pela resistência R2.

Para contarmos as unidades e dezenas de minutos, adotaremos um processo análogo a esse que acabamos de descrever. Neste caso, o sinal de saída (pino 8) do CI5 (dezenas de segundos) será o pulso de clock para o CI6 (contador de unidades de minutos). A figura 12 nos mostra o esquema básico do contador de unidades e dezenas de minutos. Seu funcionamento é análogo ao contador de segundos.

De acordo com o diagrama de blocos da figura 10, o nosso contador de horas deverá contar de 0 a 24. O princípio de fun

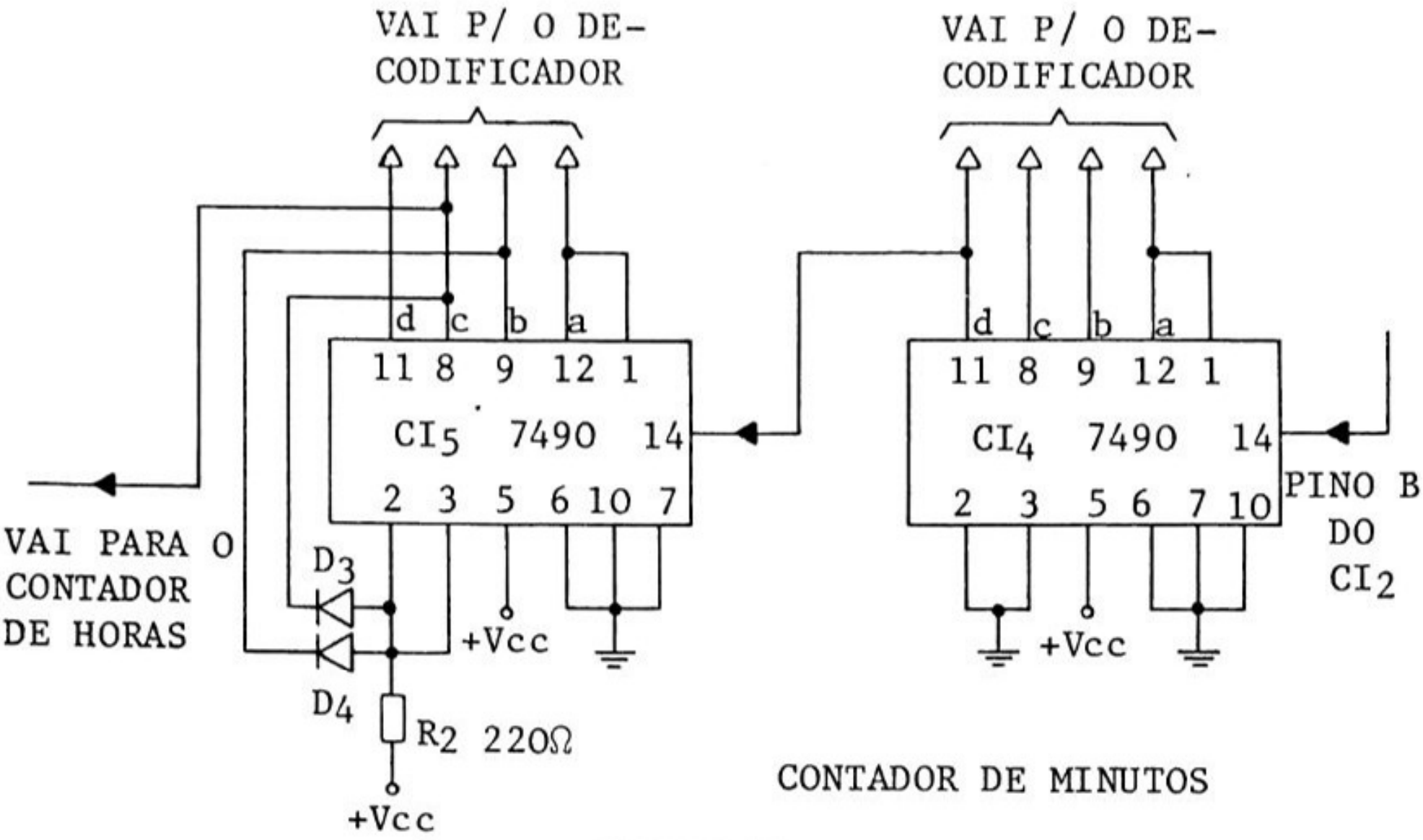


FIGURA 12

cionamento do contador de horas é idêntico aos demais contadores. A sua construção também será baseada no SN7490 (veja figura 13). Muito embora pudéssemos ter lançado mão de outros recursos, só não o fizemos tendo em vista ser o nosso objetivo apenas o de mostrar o princípio básico de operação (e construção) de um relógio digital comum.

Os diodos utilizados (D1, D2,..., D6) são do tipo 1N914 ou equivalente. Observe que os pinos 2 e 3 (pinos de zeramento) do SN7490 estão sempre interligados. Toda vez que esses receberem um pulso alto enviado pela porta NAND, o contador será zerado e conseqüentemente habilitado a iniciar nova contagem. Note que os diodos D_1 e D_2 e a resistência R1, da maneira que foram ligados, formam uma porta lógica do tipo "NÃO-E" (NAND). O mesmo ocorre ao ligarmos os diodos D_3 e D_4 com a resistência R_2, e D_5 e D_6 com a resistência R_3.

O aluno talvez ache um pouco estranho o fato de termos utilizado um divisor por 6 em lugar de um divisor por 5 quando da contagem das dezenas de segundos e minutos (veja ligações dos CIs 5 e 7). Acontece que, se queremos que o número decimal cinco (5) seja o último a aparecer no display (pois o

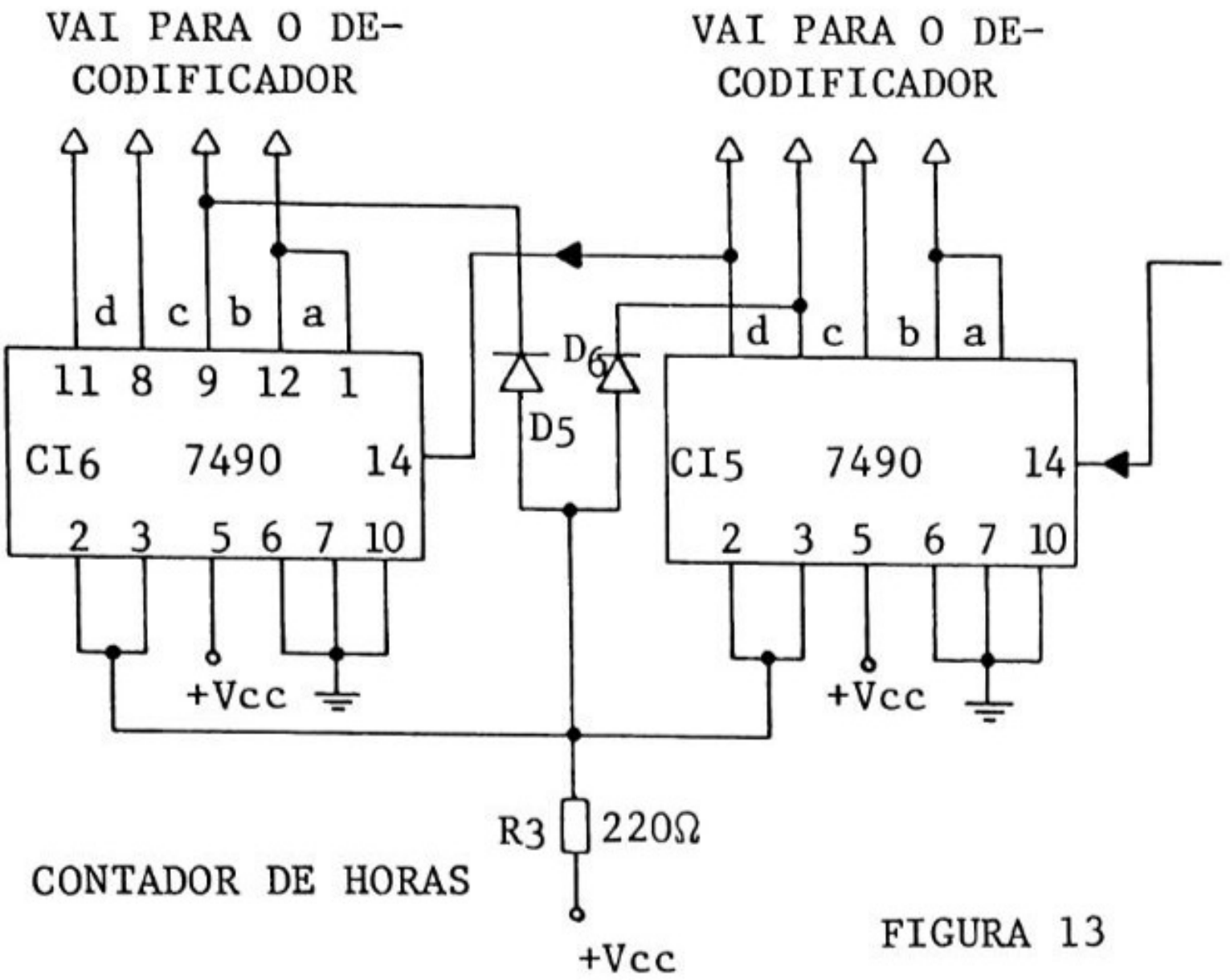


FIGURA 13

contador de dezenas de segundos e dezenas de minutos deve contar até 5), devemos acrescentar 1 ao número 5 e o resultado será o número 6, o qual será utilizado para fazer o zeramento conforme nos mostra a tabela verdade (tabela 1). Este fato ocorre com os CIs 5 e 7.

CI7490 - CONTADOR DE DÉCADA			
Nº DECIMAL	SAÍDA C (pino 8)	SAÍDA B (pino 9)	SAÍDA A (pino 12)
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0

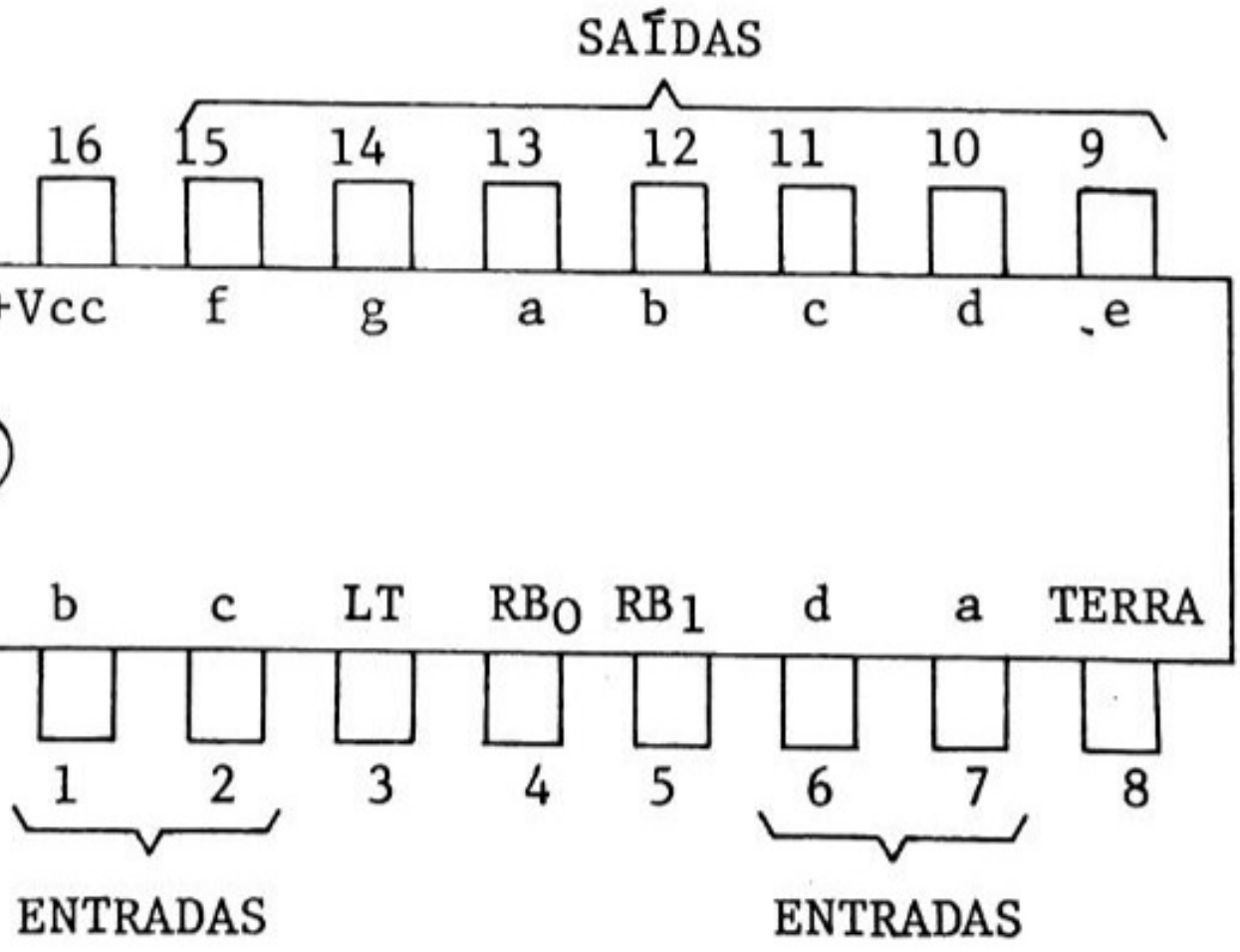
Este mesmo raciocínio é aplicado no contador de horas. Porém, neste caso, a porta NAND (D5, D6 e R5) será comandada por um sinal proveniente do CI8 e outro sinal proveniente do CI9. Quando ambos os sinais forem altos, será então efetuado o zeramento dos dois contadores (CI8 e CI9). Note que esta condição equivalente à passagem de 23 para 24 horas, sendo que o instante exato do zeramento será às 23 horas, 59 minutos e 59 segundos.

Vejamos agora como montar o bloco decodificador.

BLOCO DECODIFICADOR:

O decodificador a ser utilizado será o 9368 (decoder-driver). Este decodificador recebe a informação binária vinda do contador e a distribui em níveis de "0" e "1" nas suas saídas, que correspondem, no display, ao valor decimal do número binário enviado. A figura 14 nos mostra a pinagem do CI9368.

FIGURA 14



CI 9368

Para cada CI. SN7490 utilizaremos um CI. 9368, ou seja, neste projeto utilizaremos seis (6) CIs 9368. As saídas, a,b, c e d dos contadores 7490 (pinos 12, 9, 8 e 11 respectivamente) deverão ser conectados nas respectivas entradas a, b, c e d do decodificador 9368 (pinos 7, 1, 2 e 6). Há pinos que não precisaram ser conectados, é o caso dos contadores de dezenas de segundos, minutos e horas.

Quando da apresentação do circuito global do relógio digital (veja figura 16), as ligações entre os contadores (SN

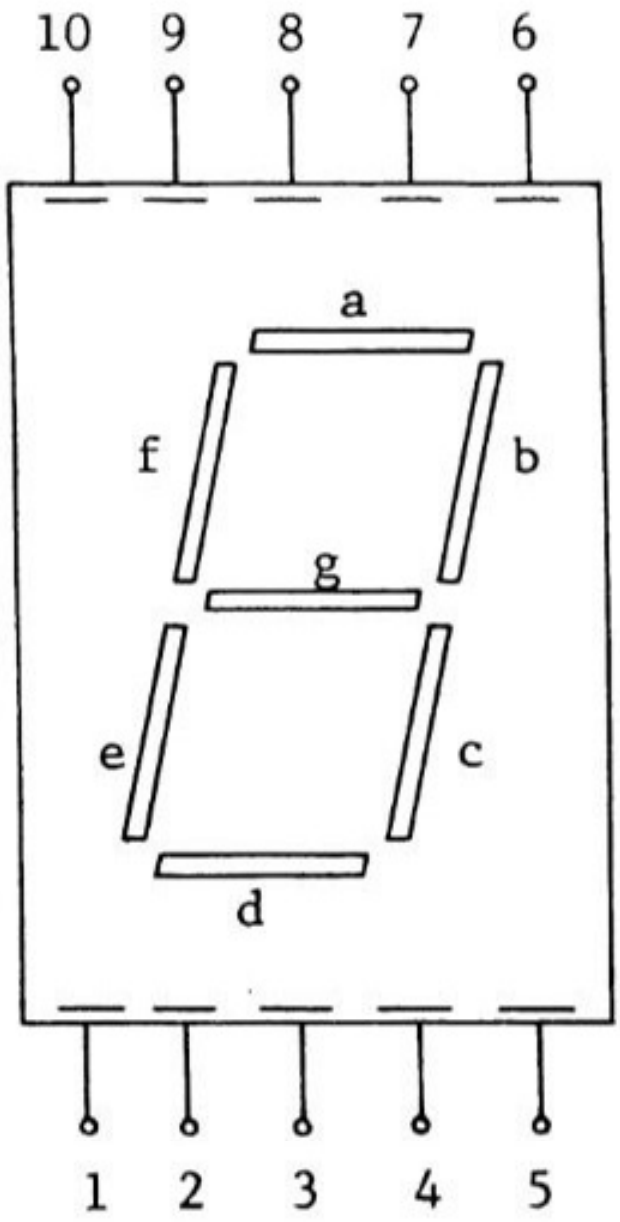
7490) e os decodificadores (CI. 9368) serão apresentadas de forma mais elucidativa. Os decodificadores 9368 correspondem aos CIs 10 a 15 de nosso projeto.

A seguir apresentaremos os dispositivos de leitura.

DISPOSITIVOS DE LEITURA

As saídas dos decodificadores 9368 deverão ser conectadas a um dispositivo de leitura, ou display, do tipo sete segmentos. O display escolhido é o FND 560 (de Ga As P). Este display apresenta-se na configuração de "catodo comum", sendo muito utilizado em aplicações onde é necessária uma boa visibilidade até cerca de 6 metros. O FND 560 apresenta uma corrente direta média, por segmento, em torno de 25 mA e tensão direta de 1,5V a 2V. A figura 15 nos mostra a pinagem do FND 560 bem como a identificação dos segmentos.

FIGURA 15



PINO FND 560

1-Segmento "e";
2-Segmento "d";
3-Catodo comum;
4-Segmento "c";
5-Ponto decimal;
6-Segmento "b";
7-Segmento "a";
8-Catodo comum;
9-Segmento "f";
10-Segmento "g".

Como sabemos, os decodificadores (CI. 9368), além de sua função de interpretar o código BCD, transformando os quatro bits de entrada em sete de saída, também desempenharão a função de excitadores de potência para a corrente dos segmentos do display (FND 560).

A seguir apresentamos a tabela (tabela 2) a qual nos for

nece a geração das informações em BCD e em sete segmentos (após o decodificador), a partir dos pulsos de entrada no contador.

PULSOS	BCD				SETE SEGMENTOS						
	A	B	C	D	a	b	c	d	e	f	g
0	0	0	0	0	1	1	1	1	1	1	0
1	1	0	0	0	0	1	1	0	0	0	0
2	0	1	0	0	1	1	0	1	1	0	1
3	1	1	0	0	1	1	1	1	0	0	1
4	0	0	1	0	0	1	0	0	1	1	1
5	1	0	1	0	1	0	1	1	0	1	1
6	0	1	1	0	0	0	1	1	1	1	1
7	1	1	1	0	1	1	1	0	0	0	0
8	0	0	0	1	1	1	1	1	1	1	1
9	1	0	0	1	1	1	0	0	1	1	1
10	RETORNA AO ESTADO INICIAL "0".										

OBS.: Válida para os contadores de unidades de segundos, minutos e horas, construídos a partir do SN7490.

A tabela 3 é idêntica à tabela 2, porém esta só é válida para os contadores de dezenas de segundos e minutos, nos quais os SN7490 contam de 0 a 5.

PULSOS	BCD				SETE SEGMENTOS						
	A	B	C	D	a	b	c	d	e	f	g
0	0	0	0	0	1	1	1	1	1	1	0
1	1	0	0	0	0	1	1	0	0	0	0
2	0	1	0	0	1	1	0	1	1	0	1
3	1	1	0	0	1	1	1	1	0	0	1
4	0	0	1	0	0	1	0	0	1	1	1
5	1	0	1	0	1	0	1	1	0	1	1
6	RETORNA AO ESTADO INICIAL "0"										

No caso do contador de dezenas de horas, no qual o SN7490 conta de 0 a 2, é válida a tabela 4.

PULSOS	BCD				SETE SEGMENTOS						
	A	B	C	D	a	b	c	d	e	f	g
0	0	0	0	0	1	1	1	1	1	1	0
1	1	0	0	0	0	1	1	0	0	0	0
2	0	1	0	0	1	1	0	1	1	0	1
3	RETORNA AO ESTADO INICIAL "0"										

AJUSTE RÁPIDO E LENTO:

Através do botão de pressão "R" é feito o ajuste rápido, ou seja, é feito o ajuste das horas e também das dezenas de minutos. Ao acionarmos o botão "R" estaremos simplesmente injetando uma freqüência de 60 Hz na entrada do CI4, ou seja na entrada do módulo contador de segundos. Devido à freqüência ser 60 vezes maior que a normal (1 Hz), a contagem também será feita a um ritmo 60 vezes maior. Com isto, podemos então realizar o ajuste das horas e das dezenas de minutos.

Já o ajuste das unidades de minutos e do módulo contador de segundos é feito através do botão "L" de ajuste lento. Por intermédio deste conseguimos injetar na entrada do CI4, ou seja, na entrada do módulo contador de segundos, uma forma de onda quadrada,de freqüência 6 vezes maior que a normal, ou seja, uma freqüência de 6 Hz.

Tanto o ajuste rápido como o lento é obtido pressionando-se o respectivo botão até o instante em que se consiga visualizar no display a "hora" desejada, depressionando-o em seguida, de modo que o relógio continue com sua contagem normal.

DIAGRAMA DO CIRCUITO DO RELÓGIO DIGITAL

A figura 16 nos mostra um diagrama completo do circuito do relógio digital,em questão. O diodo D7 (1N4003) é utiliza-

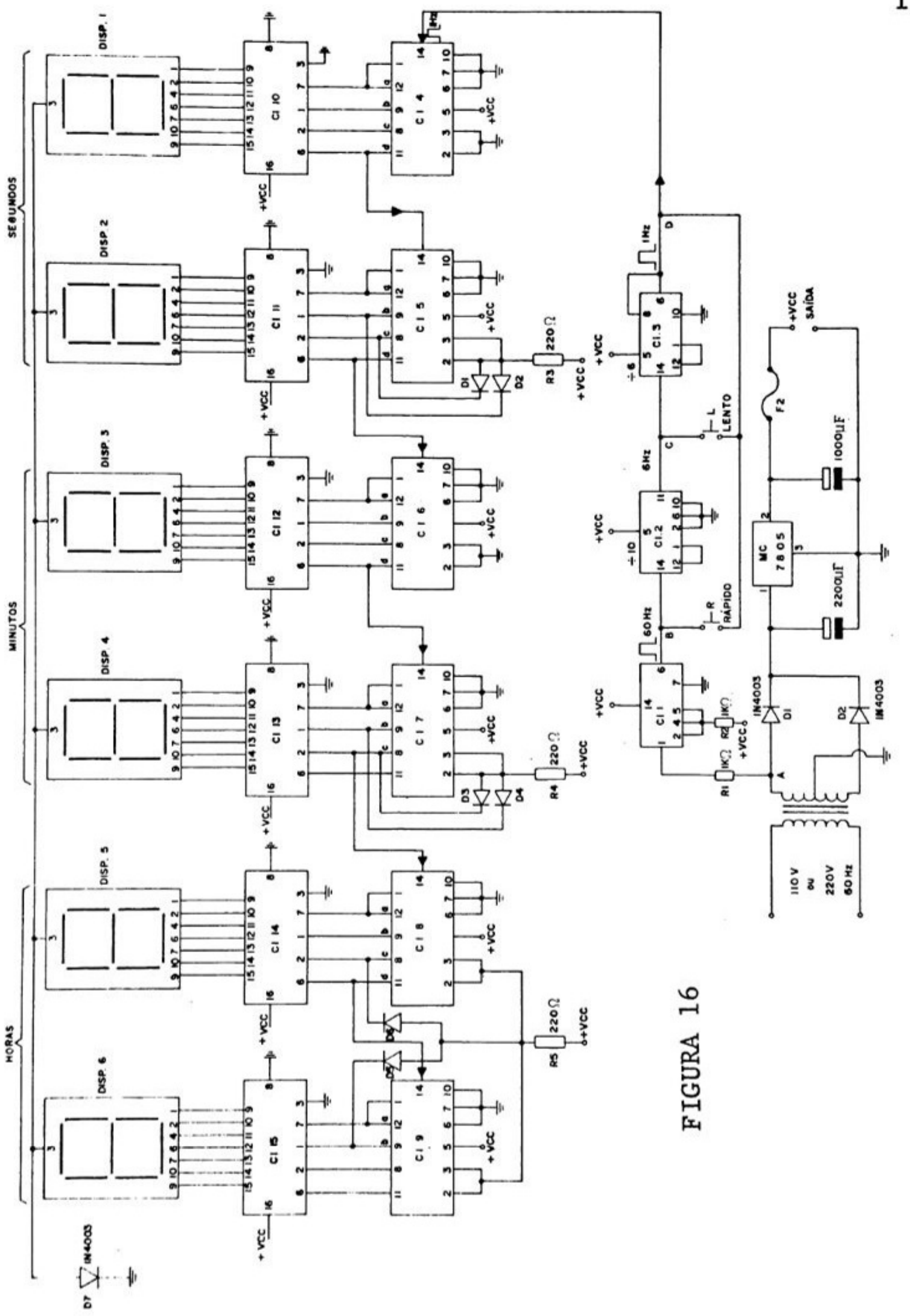


FIGURA 16

do para proteger os FND 560 contra possíveis correntes reversas.

Todos os contadores retornam a zero após o pulso de fim de escala do respectivo display (FND 560), de modo que após as 23 horas 59 minutos e 59 segundos, automaticamente, o instrumento volta a zero, sendo então habilitado a iniciar nova contagem, ou melhor, nova cronometragem.

COMENTÁRIOS:

Na prática, dificilmente encontraremos relógios digitais como este, com tantos circuitos integrados, muito embora isso seja possível e ele funcione perfeitamente. Hoje, já existem à venda, no mercado, módulos de relógios. Esses módulos nada mais são do que circuitos integrados desenvolvidos especialmente para funcionarem como relógios. Além de conter todo o circuito de contagem (contadores e decodificadores) de horas, minutos e segundos, muitos desses módulos apresentam ainda um circuito de alarme o qual funciona como despertador.

Alguns módulos utilizam a própria freqüência da rede elétrica como base de tempo, outros já trazem incorporados em seu circuito um oscilador a cristal,o que os tornam mais versáteis uma vez que podem então ser alimentados por baterias.

O baixo consumo de energia e o preço relativamente baixo são uma constante da maioria dos módulos disponíveis no mercado. Por exemplo, o módulo FCM7030 da Fairchild (com um oscilador a cristal incorporado), muito utilizado em relógios digitais para automóveis, necessita de uma corrente em torno de 3mA. Já o conjunto de display utilizado para este mesmo módulo consome algo em torno de 32mA. Portanto, o relógio digital montado a partir do 7030 teria um consumo global em torno de 35mA, consumo este facilmente compensado pela recarga da bateria do automóvel.Além de funcionar como relógio, o 7030 foi projetado também para ser utilizado em temporizadores industriais e militares,com alto grau de confiabilidade,além de exigir poucos componentes externos para o seu perfeito funcionamento.

Como exemplo de módulo que utiliza como padrão para base de tempo a própria freqüência da rede elétrica (60 Hz), podemos citar o MA 1023 da "National".

Com relação ao projeto desenvolvido nesta lição, nós não nos preocupamos com a questão relativa ao consumo de energia e nem com o custo do material utilizado, uma vez que a finalidade deste projeto é apenas didático(muito embora funcione a contento) pois visamos apenas mostrar, de modo bem simplificado, a arquitetura e o funcionamento de um relógio digital.

CEDM-CURSO DE ELETRONICA DIGITAL E MICROPROCESSADORES

EXAME DA LIÇÃO ED-31

OBSERVAÇÃO

- cada questão é composta de três ou quatro alternativas.
- só uma delas está correta.
- marque a que considerar correta.
- passe as respostas corretas para a folha de exame.

1) Os relógios mestres são utilizadas para:

   a) controlar grandes sistemas de relógios;
   b) controlar pequenos sistemas de relógios;
   c) controlar pequenos temporizadores industriais;
   d) N.R.A.

2) Em um relógio eletromecânico a escolha da freqüência do cristal é determinada pelas características:

   a) da temperatura versus freqüência requerida;
   b) do circuito integrado que se pretende utilizar;
   c) do tipo de mecanismo eletromecânico empregado para comandar os ponteiros;
   d) os itens a, b e c estão corretos.

3) Em um relógio digital os dispositivos de leitura geralmente são:

   a) diodos emissores de luz;
   b) cristais líquidos;
   c) os itens a e b estão corretos;
   d) N.R.A.

4) Para uma freqüência de 1 Hz, teremos um período correspondente a:

a) 10 segundos;
b) 1 segundo;
c) 0,1 segundo;
d) 0,01 segundo.

5) Os CIs SN7490 são utilizados como:

a) contadores;
b) decodificadores;
c) multiplexadores;
d) N.R.A.

6) O decodificador utilizado em nosso projeto é:

a) 7490;
b) 9368;
c) 1N4003;
d) FND560.

7) O CI 9368, além de desempenhar a função de decodificador, também exerce a função de:

a) gerador de freqüência fixa;
b) contador de década;
c) excitador de potência;
d) os itens a e b estão corretos.

8) Para que o decimal 5 (1010 em BCD) apareça no display, é necessário que o decodificador excite os seguintes segmentos do FND560:

a) a; b; c; d e f;
b) a; b; c; f e g;
c) a; c; f; e e g;
d) a; c; d; f e g.

9) Como exemplo de módulo de relógio digital, com oscilador a cristal incorporado, podemos citar o:

a) MA1023;
b) FMC7030;
c) MA1024;
d) N.R.A.

10) O módulo MA1023, por sua vez, utiliza como padrão para base de tempo:

a) a própria freqüência da rede elétrica;
b) um oscilador a cristal;
c) os itens a e b estão corretos;
d) N.R.A.

CURSOS DE APERFEIÇOAMENTO

CURSO DE
ELETRÔNICA DIGITAL E
MICROPROCESSADORES

CAIXA POSTAL 1642 - CEP 86100 - LONDRINA - PARANÁ

LIÇÃO ED-32

FREQÜENCÍMETROS DIGITAIS

Até a pouco tempo os freqüencímetros digitais eram aparelhos muito caros, importados, utilizados apenas em grandes empresas. Hoje, graças à grande variedade de circuitos integrados, tornou-se relativamente fácil a construção e a obtenção do mesmo.

Também conhecido como "contador de freqüência", esse instrumento é empregado, basicamente, para medir a freqüência de um sinal periódico. No entanto, alguns freqüencímetros,de uso geral, podem medir o período de um sinal de entrada ou podendo ainda operar como "totalizadores", onde o contador funciona como controlador dos eventos ocorridos na entrada.

O método de medição resume-se, literalmente, na contagem do número de períodos (ou ciclos) de um sinal de entrada que ocorre num espaço de tempo conhecido. Esta contagem é feita por um circuito contador que, sem demagogia, constitui-se no coração do freqüencímetro. De modo geral, podemos dizer que os contadores digitais estão entre os mais versáteis instrumentos eletrônicos de que dispomos. Vejamos, então, em que consiste um circuito contador, utilizado para medição de freqüência.

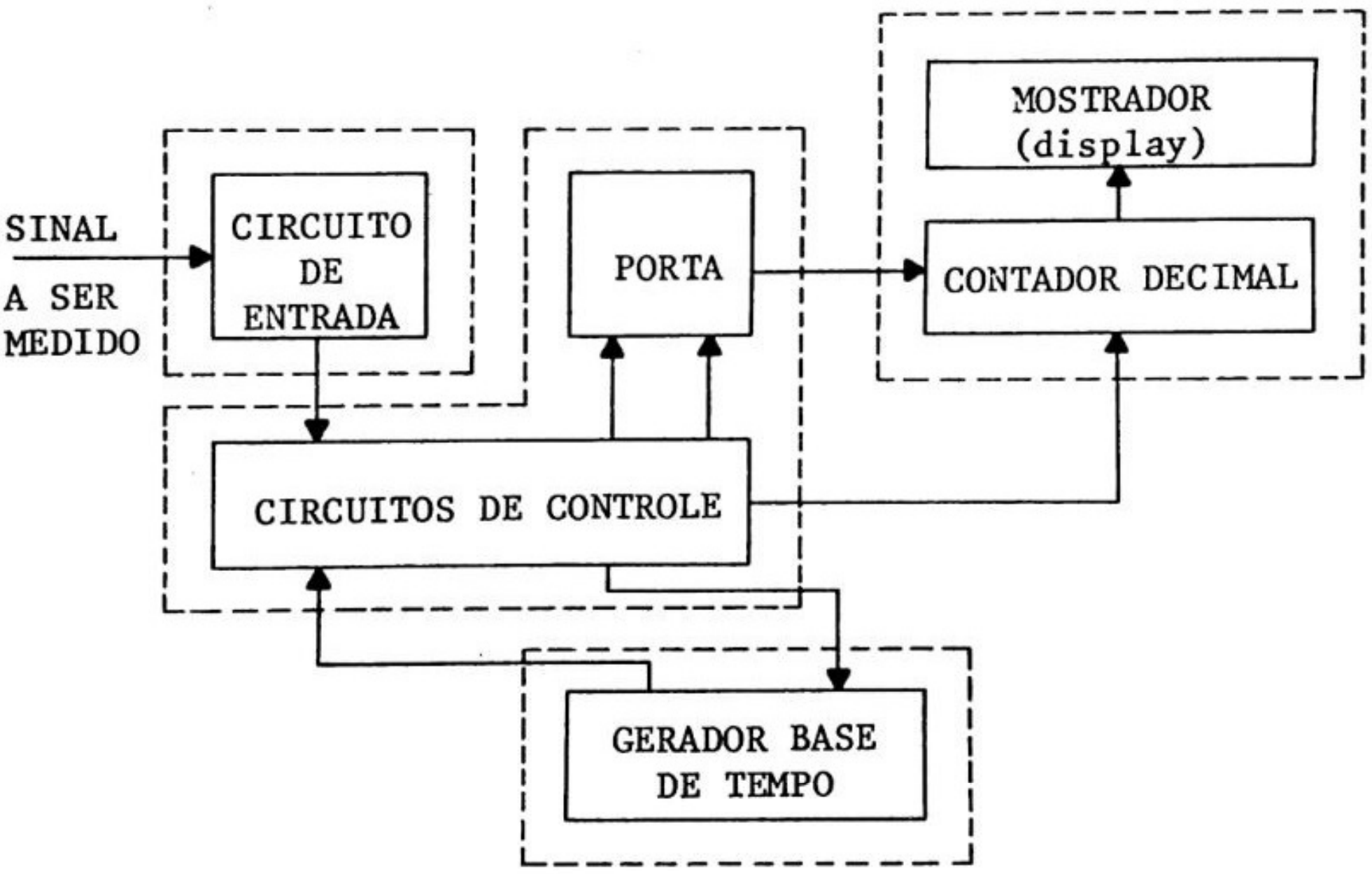
CIRCUITO CONTADOR:

O circuito contador é formado, basicamente, por quatro secções (circuitos) principais:

- circuito de entrada;
- circuitos de porta e controle;
- circuito gerador base de tempo;
- circuito contador decimal e mostrador.

A figura 1 nos mostra o diagrama de blocos de um contador digital, contendo as quatro secções básicas citadas a pouco.

FIGURA 01



A fim de facilitar a compreensão do funcionamento do circuito por parte do aluno, vamos, resumidamente, descrever o funcionamento de cada uma das secções.

Começemos pelo circuito de entrada. Esse circuito nada mais é do que um condicionador de sinal, o qual torna o sinal aplicado na entrada (sinal a ser medido) compatível com o circuito digital do contador. Além do que esse circuito deve ser flexível, o bastante, para permitir ao contador aceitar sinais, cuja amplitude e forma variem de instante para instante.

Também, é comum encontrarmos, incorporado ao circuito de entrada, um estágio amplificador, o qual aumenta a sensibilidade do contador, de modo a permitir a mensuração de sinais de baixa amplitude.

Porém, a mais importante parte do circuito de entrada ainda é o circuito modulador de onda, o qual converte o sinal de entrada em pulsos retangulares de níveis lógicos, compatíveis com o restante do circuito contador. Para desempenhar essa função, normalmente, utiliza-se um schmitt trigger. Sendo este um tipo especial de multivibrador biestável, seu estado binário de saída é função da amplitude do sinal de entrada, ou seja, enquanto a entrada estiver abaixo de um certo nível limiar, sua saída será igual a zero binário. Por outro lado, - quando a entrada ultrapassar o valor desse nível limiar, sua saída mudará para "1" (um) binário. Desse modo, obtemos, na saída do circuito de entrada, um sinal com formato e amplitude compatível com o restante do circuito contador, porém de freqüência idêntica à do sinal aplicado na entrada (sinal a ser medido). Esse sinal de saída é então aplicado na entrada do circuito de controle, que irá determinar como o sinal de entrada será usado no processo de medição.

O circuito porta nada mais é que uma simples porta do tipo "E" (AND), cuja função é controlar a aplicação dos pulsos de entrada ou de um sinal de temporização ao contador decimal. Já o circuito de controle irá determinar como os sinais do circuito de entrada e o de temporização (originário da base de tempo) serão utilizados para controlar a porta.

O circuito gerador, base de tempo, consiste, basicamente, de um oscilador a cristal de precisão e uma série de divisores de freqüência, os quais gerarão sinais de temporização al

tamente precisos e estáveis. Esses sinais serão utilizados como referência ou padrão na medição de freqüência e tempo. Normalmente o oscilador a cristal utilizado é de freqüência estável e bem conhecida (por exemplo 1MHz ou 10 MHz). A freqüência do oscilador é então dividida por intermédio de contadores BCD, obtendo-se, assim, décadas sub-múltiplas da freqüência do oscilador a cristal. Dessa forma, conseguimos gerar sinais de temporização bastante precisos, os quais serão usados no controle da porta, nas medições de freqüência, no zeramento dos divisores, na transferência dos valores numéricos para os mostradores, etc... Ressaltamos ainda que a precisão das medições de freqüência, feitas pelo contador, é função direta da precisão e estabilidade do oscilador a cristal, utilizado.

Outras fontes de sinal também podem ser utilizadas como base de tempo (por exemplo), a tensão alternada da rede elétrca), muito embora essas outras fontes, geralmente, nos levam a uma menor qualidade e, conseqüentemente, a um baixo índice de precisão. No caso de se utilizar a tensão alternada da rede elétrica como padrão base de tempo, notamos que a variação da freqüência, na maioria das linhas CA, é superior a 0,0001 ou seja 0,1%.

O bloco contador decimal, por sua vez, é formado por vários estágios contadores BCD em cascata, os quais contam os pulsos recebidos da porta. Esses pulsos podem ser o sinal de entrada modelado ou o sinal de referência vindo da base de tempo. A década(contador decimal) trabalha com uma memória que lhe é associada em caráter permanente, a qual, no fim da contagem, registra fielmente o último estado da década. Desse modo, o contador decimal (ou década) acumula esses pulsos e os armazena sob a forma de uma palavra BCD de múltiplos dígitos. Em seguida, a palavra BCD armazenada na memória (ou registrador de armazenamento), através de um pulso de transferência, é levada até os circuitos decodificadores BCD para decimal.Esses decodificadores, por sua vez, irão comandar os elementos mostradores de leitura (displays). Os displays mais utilizados nos circuitos contadores digitais são: diodos emissores de luz (LED), displays de descarga de gás, displays de cristal líquido e outros.

A operação do contador decimal está sob o comando do circuito de controle, uma vez que este último gera sinais tanto

para zerar o contador como para transferir o conteúdo dos contadores BCD para os registradores de armazenamento(memórias).

Na figura 2, mostramos uma das possíveis configurações do circuito contador, utilizado para a medição de freqüência.

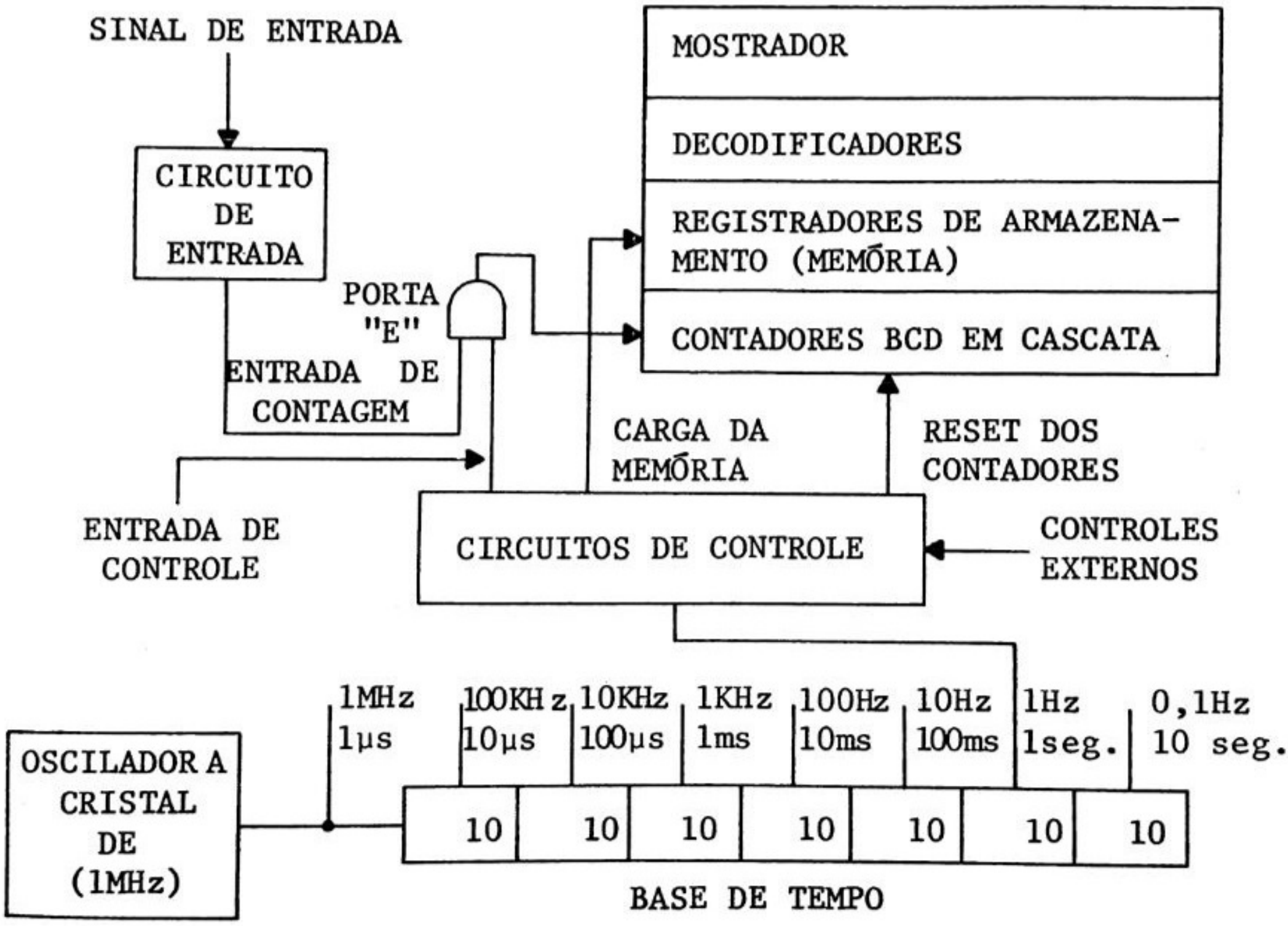
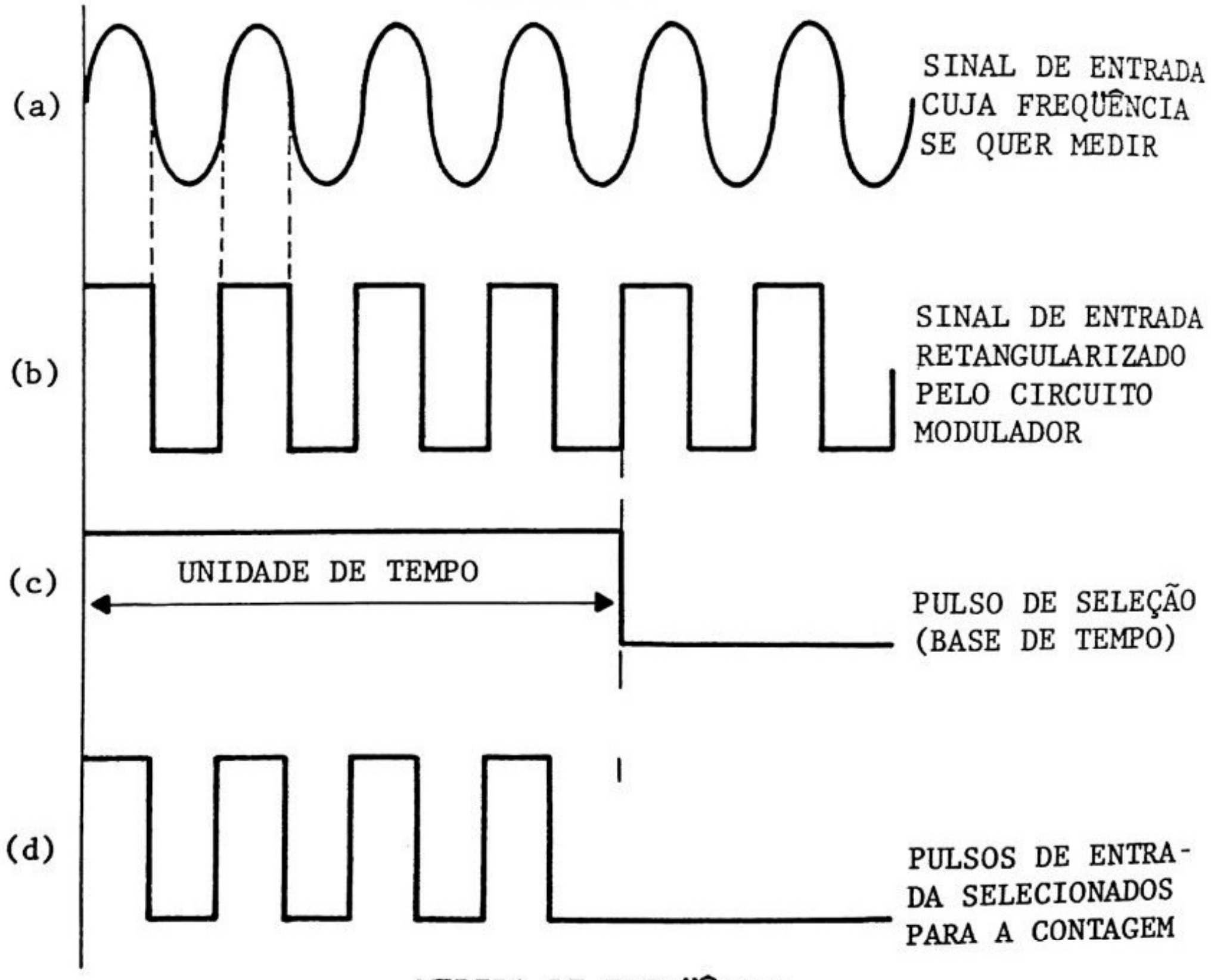


FIGURA 02

Na figura 3, mostramos as formas de onda dos sinais, no

caso da medição de freqüências. Em (a), temos o sinal de entrada, do qual se pretende medir a freqüência. Já em (b), temos o mesmo sinal de entrada, porém transformado em uma onda retangular, pelo circuito modulador. Em (c), temos o pulso de contagem, emitido pela base de tempo, que não é síncrono com o sinal de (b), como a figura poderia nos levar a crer. E por último, em (d), temos os pulsos de entrada selecionados.

FIGURA 03



MEDIDA DE FREQÜÊNCIA

Normalmente a operação de um freqüencímetro digital abrange a faixa de Hz, kHz e MHz, conseqüentemente, a duração do pulso de contagem deverá ser de 1s, 1ms e 1μs, o que se consegue através de uma série de divisões sucessivas do mesmo sinal e de um sistema de comutação para selecionarmos cada

faixa de medição (veja figura 2).

O contador digital também pode ser utilizado para medir a duração do período de um sinal aplicado na entrada, ou seja, nesse modo de operação, o contador digital irá medir e mostrar o tempo que o sinal de entrada leva para completar um ciclo. O objetivo da medição de períodos é, sobre tudo, capacitar o aparelho a realizar medições de sinais de baixa freqüência com boa precisão e alta resolução. Com efeito, à medida que o número de dígitos diminui, a precisão do resultado de uma medição de freqüência também diminui.

Na figura 4, temos um diagrama de blocos de um contador digital, utilizado em medições de período.

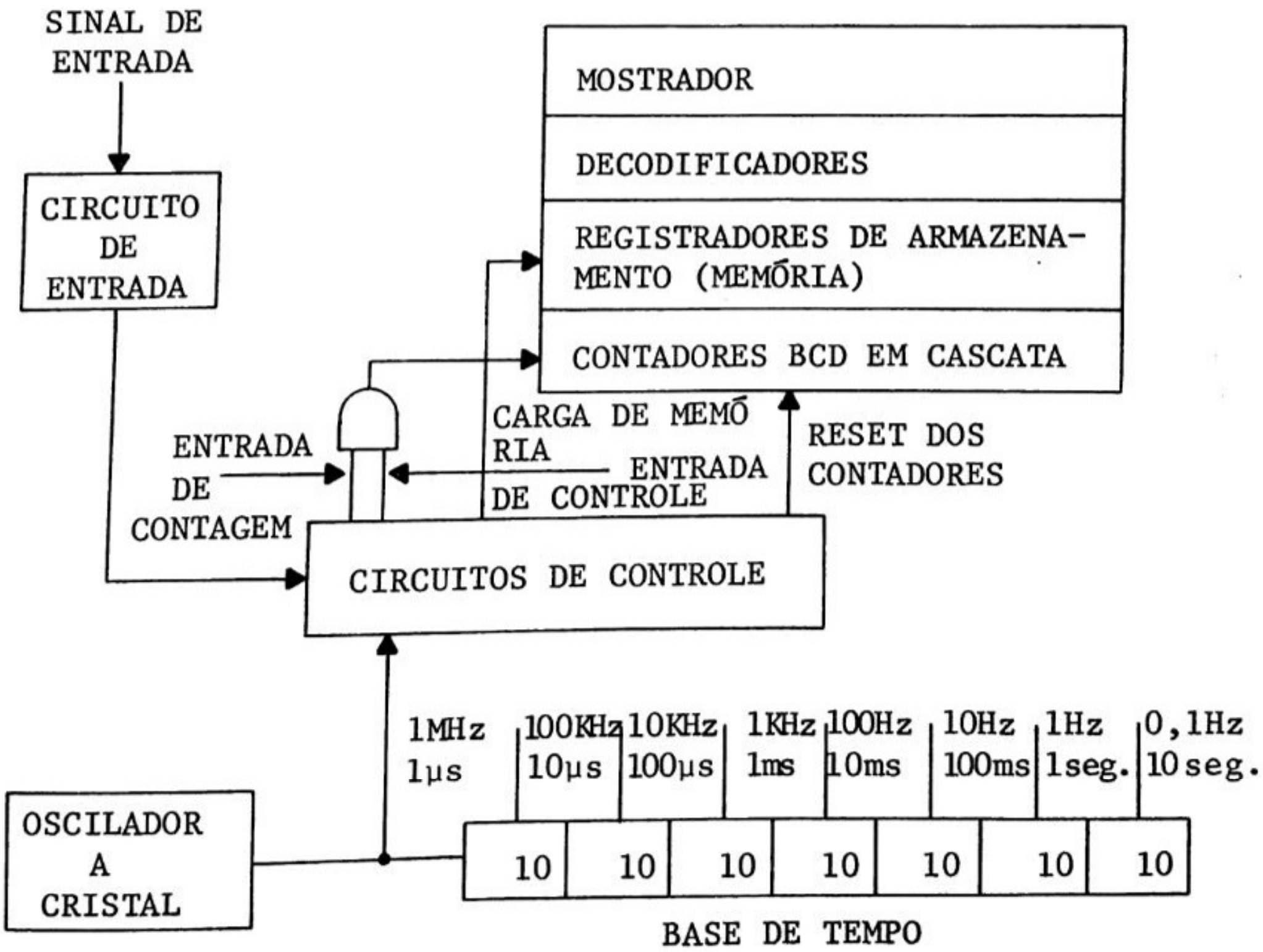


FIGURA 04

Podemos dizer que esse processo é uma maneira indireta de se realizar a medição de freqüência, pois, uma vez obtida a leitura do período, basta inverter esse valor, para obter o valor da freqüência. Isso você pode fazer rapidamente com o auxílio de uma calculadora eletrônica. Por exemplo: o período de um sinal qualquer aplicado na entrada é 16,667 m seg. Invertendo-se esse valor, obteremos o valor da freqüência, que no caso será 60 Hz. A figura 5 nos mostra as formas de onda de um contador digital, utilizado na medição de períodos. Essas formas de ondas também são válidas para o circuito (diagrama de blocos) apresentado na figura 4.

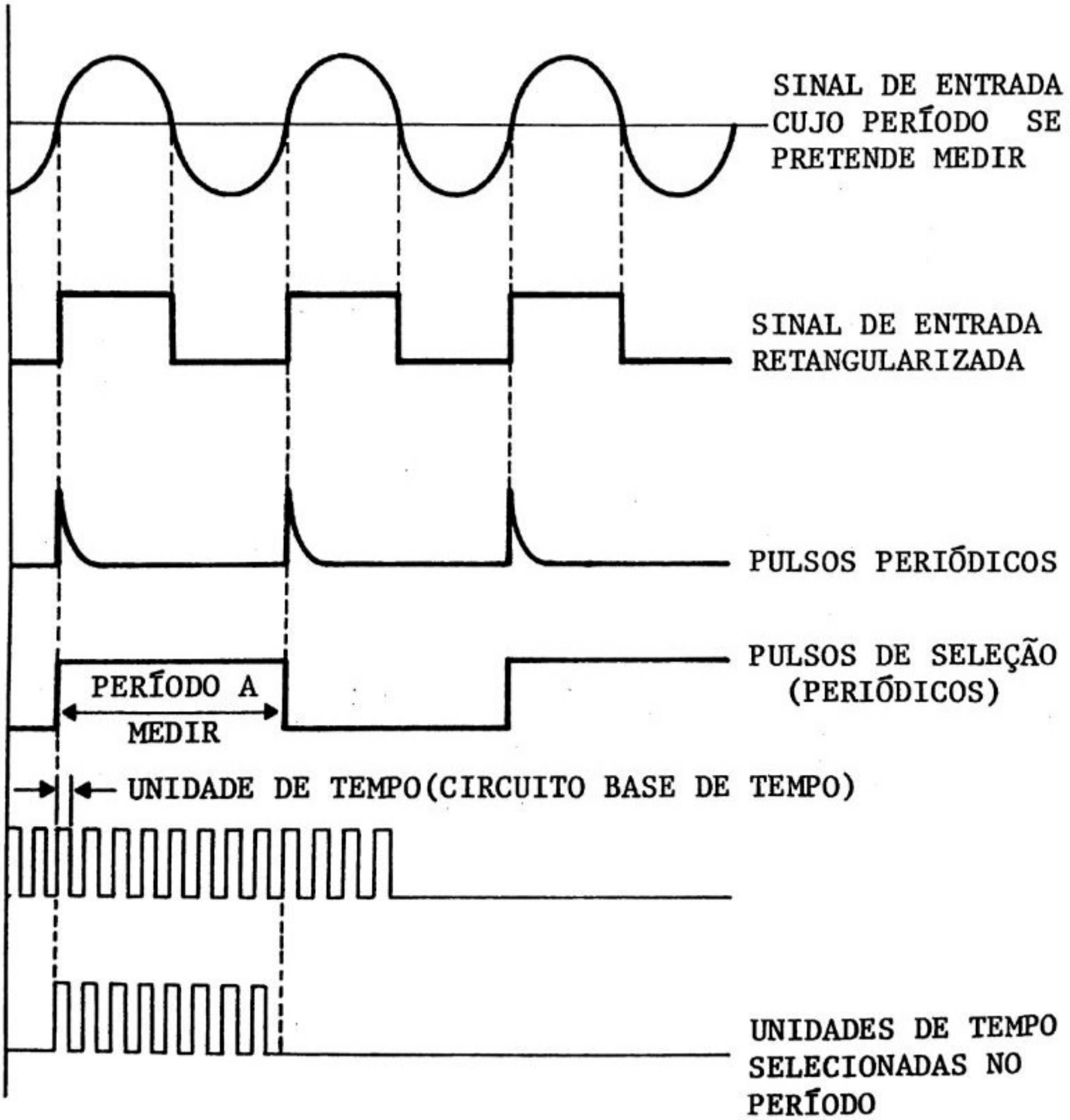


FIGURA 05

Com base nas informações expostas até o momento, passaremos ao estudo de um freqüencímetro digital, o qual terá caráter puramente didático.

FREQÜENCÍMETRO DIGITAL

Uma das funções "contadora" mais difundida é a medição de freqüência. O diagrama básico de blocos de um freqüencímetro é mostrado na figura 2. Como sabemos, para que o freqüencímetro possa funcionar, é necessário uma base de tempo. No nosso caso, a base de tempo será conseguida, aproveitando-se a freqüência da rede elétrica (60 Hz). Para tanto, iremos - mais uma vez utilizarmos a fonte de alimentação CEDM-78. Embora os osciladores a cristal apresentem uma precisão de leitura considerada ótima, a freqüência da rede também apresenta uma boa estabilidade, permitindo, portanto, leituras com boa precisão na maioria das aplicações do freqüencímetro. Na figura 6, apresentamos o circuito da fonte de alimentação CEDM-78 (5V/1A). Como sabemos, trata-se de uma fonte estabilizada,normal utilizando apenas um circuito integrado (MC7805) para as funções de estabilização e proteção contra sobrecargas. O si-

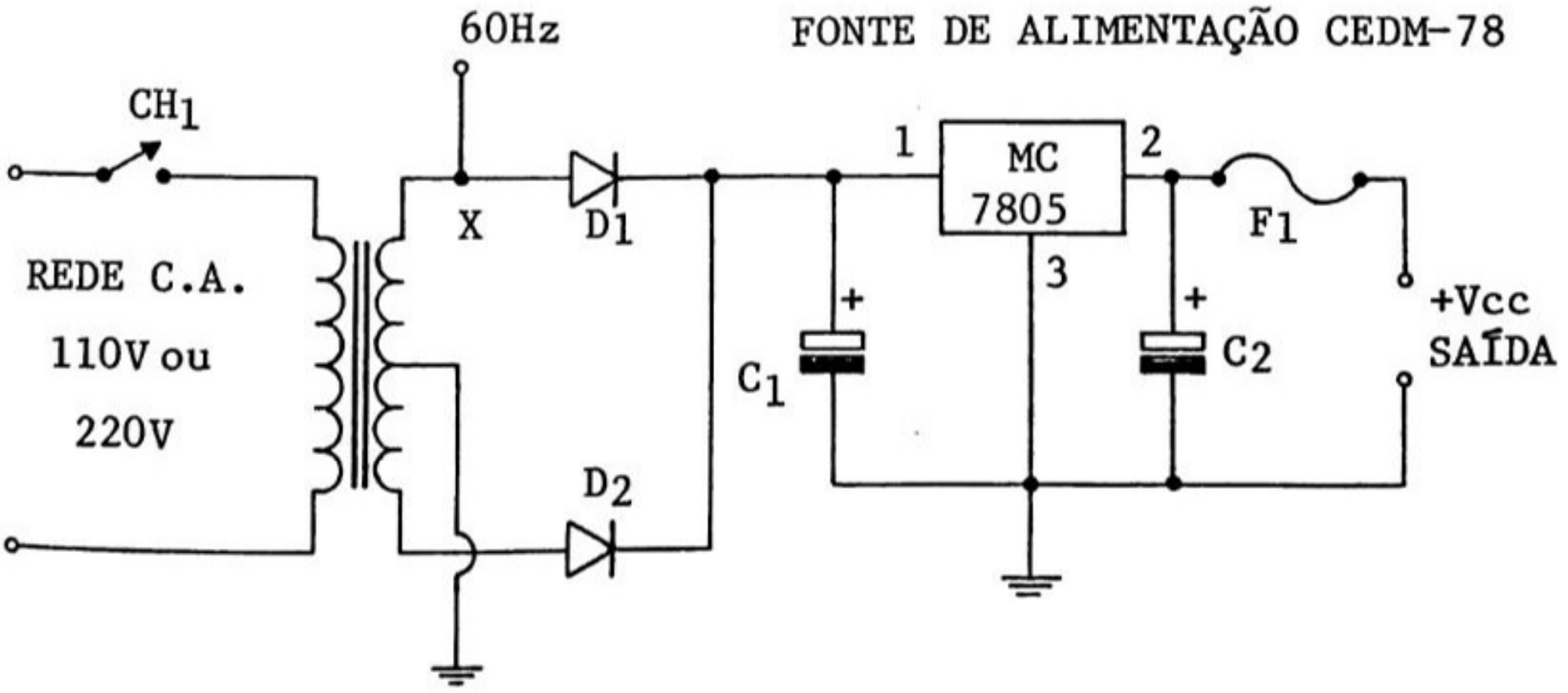
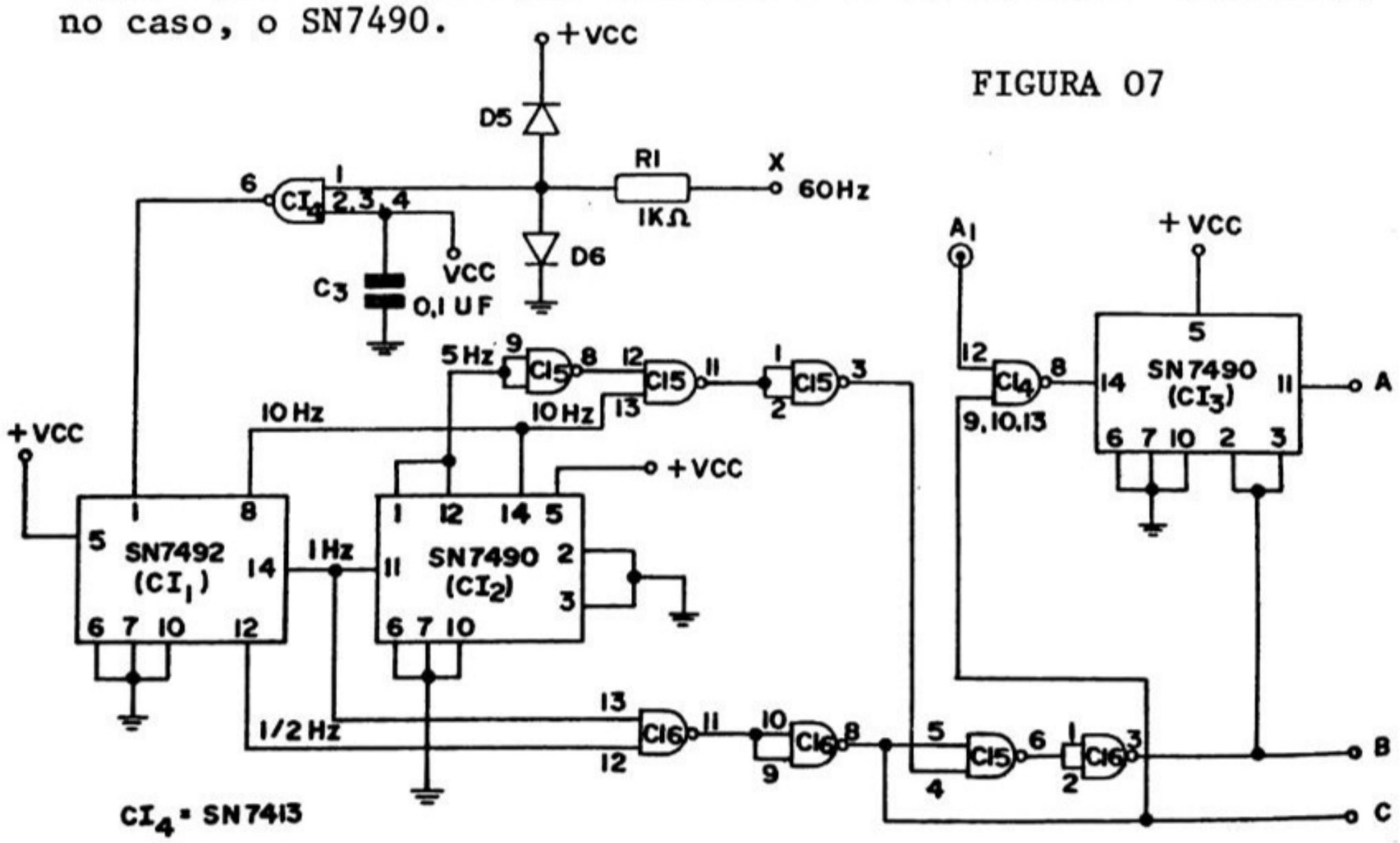


FIGURA 06

nal que irá comandar a abertura e o fechamento da porta é retido no secundário do transformador da fonte de alimentação, mais precisamente, do ponto X (veja figura 6). Dada a necessidade de se transformar o sinal de 60 Hz em um sinal com forma de onda quadrada, este é então aplicado em um circuito schmitt trigger ou circuito quadrador, uma vez que este circuito só considera dois níveis básicos, sendo disparado, por exemplo, quando o sinal de entrada chegar ao nível "baixo", permanecendo nesse estado, até que o sinal alcance novamente o nível "alto", e, assim por diante, de modo a obtermos na saída um sinal com a mesma freqüência do sinal de entrada (60Hz), porém, em cada ciclo, com tempos de subida e descida bem mais rápidos.

O sinal de saída do circuito schmitt trigger é aplicado na entrada do circuito base de tempo, responsável pelo tempo fixo de contagem de ciclos do freqüencímetro. O circuito base de tempo é formado por dois contadores, operando como divisores de freqüência e também de maneira indireta pelo próprio circuito schmitt trigger. Na figura 7, mostramos o circuito base de tempo mais detalhadamente. Note que primeiramente o sinal de freqüência 60 Hz é dividido por 6, através de um circuito contador SN7492. Em seguida, o sinal de 10Hz é dividido por 10 também por intermédio de um circuito contador, no caso, o SN7490.

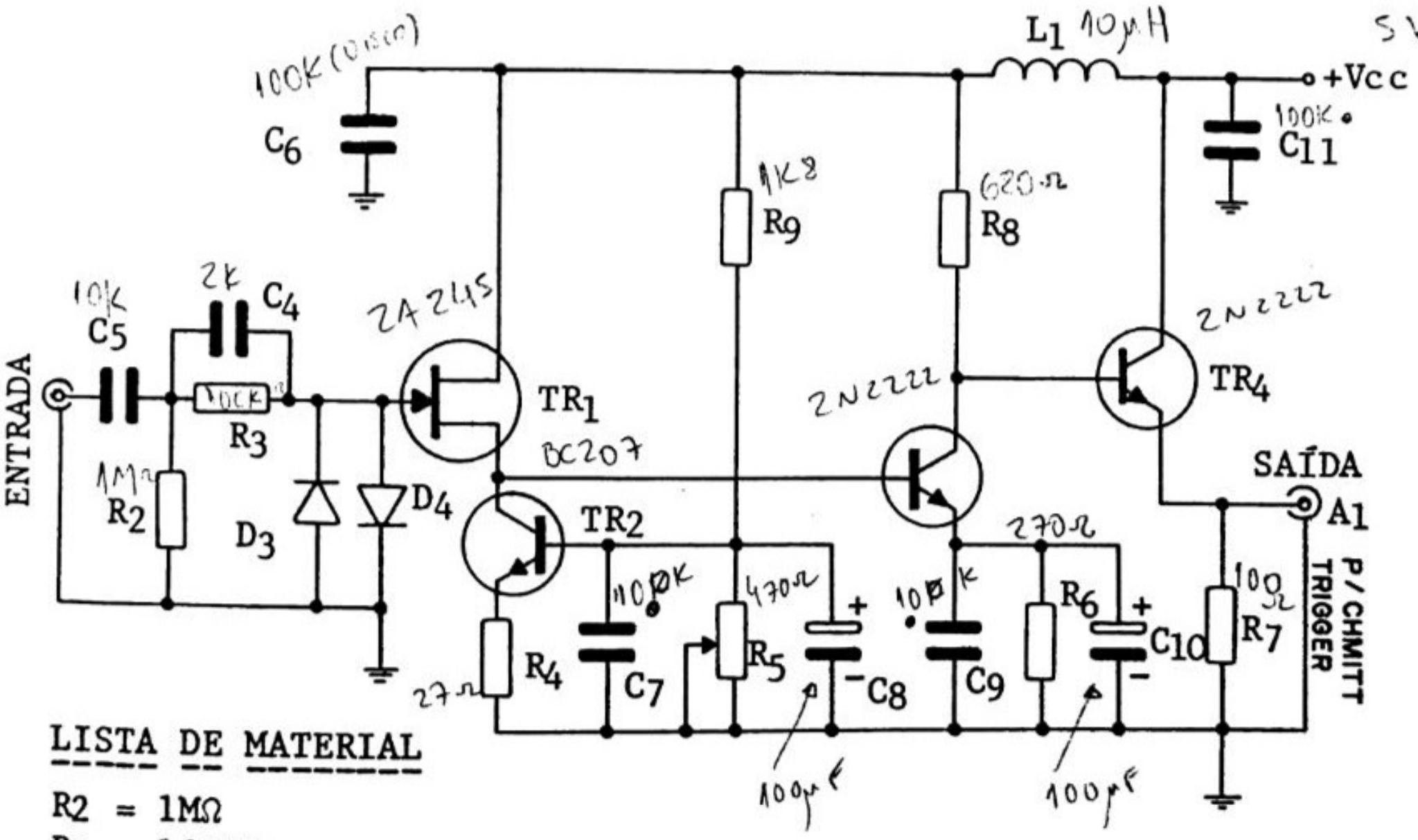
FIGURA 07



A figura 8 nos mostra o diagrama esquemático do circuito de entrada, cuja função é ceifar e amplificar o sinal de entrada, de modo a torná-lo compatível com os circuitos TTL.

A entrada, com acoplamento RC, é de alta impedância(1MΩ), compreendendo um transistor de efeito de campo (TR1) do tipo 2A245. Para a proteção do transistor do efeito de campo, uma vez que o mesmo pode ser destruído por qualquer sobrecarga de tensão de entrada, foi idealizada uma rede de proteção bastante eficaz, formada por um par de diodos (D3 e D4) em contraparalelo, associado a um resistor (R3) em série com a porta. O capacitor C4 (em paralelo com o resistor em série) reduz a atenuação às altas freqüências.

FIGURA 08



LISTA DE MATERIAL

R2 = 1MΩ	C4 = 2nF	TR1 = 2A245
R3 = 100KΩ	C5 = 0,01µF	TR2 = BC207
R4 = 27Ω	C6 = C7 = C9 = C11 = 0,1µF	TR3 = TR4 = 2N2222
R5 = 470Ω	C8 = C10 = 100µF	
R6 = 270Ω		
R7 = 100Ω		
R8 = 680Ω		
R9 = 1,8KΩ		

Os diodos D3 e D4 fazem o ceifamento do sinal, para que este não atinja valores elevados na porta do transistor de efeito de campo (TR1), cujo ganho está em torno da unidade. Como sabemos, a tensão entre os terminais de um diodo de silício é de 0,5 a 0,8 volts, sendo que todo o sinal aplicado na entrada deva passar através de D3 e D4, para depois chegar aos estágios de amplificação. O sinal será então cortado assim que atingir 0,7 volts e com apenas isso alcançará aqueles estágios.

Já os transistores TR2, TR3 e TR4 fazem parte de estágios amplificadores. Na saída, obteremos o sinal, já com níveis adequados aos circuitos integrados TTL. Esse sinal é então aplicado ao schmitt trigger (CI-SN7413), o qual irá modelar os sinais de entrada, que normalmente têm formas diversas das necessárias à operação dos CIs TTL, fazendo com que os níveis alto e baixo do sinal sejam bem definidos, porém sem alteração da freqüência original. (Veja o ponto A1 nas figuras 7 e 8).

Tendo o sinal de entrada passado pelos circuitos de ceifamento, amplificador e quadrador, cumprindo assim a primeira etapa, que é o tratamento do sinal, vamos então medir a sua freqüência. Como o freqüencímetro deve contar os ciclos - que aparecem, dentro de um espaço fixo de tempo e mostrar o resultado da contagem nos "displays", é necessário adotarmos um tempo de contagem ou tempo de amostragem. Por isso, escolhemos para o nosso freqüencímetro um tempo de amostragem igual a 0,1 segundos, o qual será retirado do circuito base de tempo. De acordo com a figura 7, os sinais B e C são os responsáveis pelo controle do tempo fixo de contagem ou tempo de amostragem do freqüencímetro. Ainda com relação à figura 7, podemos observar que o CI3 é um contador, agindo como divisor. Sua função, nesse caso, é dividir o sinal de entrada por 10 e não as freqüências de base de tempo. O porquê dessa divisão, veremos logo mais.

Quanto à contagem, essa é realizada por 6 contadores de décadas SN7490. Já sabemos de antemão que eles contam de 0 a 9 e, como estão conectados em cascata, todo o conjunto irá - contar até 999999, ou seja, o primeiro é o das unidades (CI), o segundo das dezenas (CI), o terceiro das centenas (CI), e assim por diante. Nos SN7490, os terminais 2 e 3 são utilizados para zerar as saídas, quando estas estiverem a um nível

alto.

Na figura 9, apresentamos o diagrama de blocos dos contadores associados aos decodificadores e aos displays.

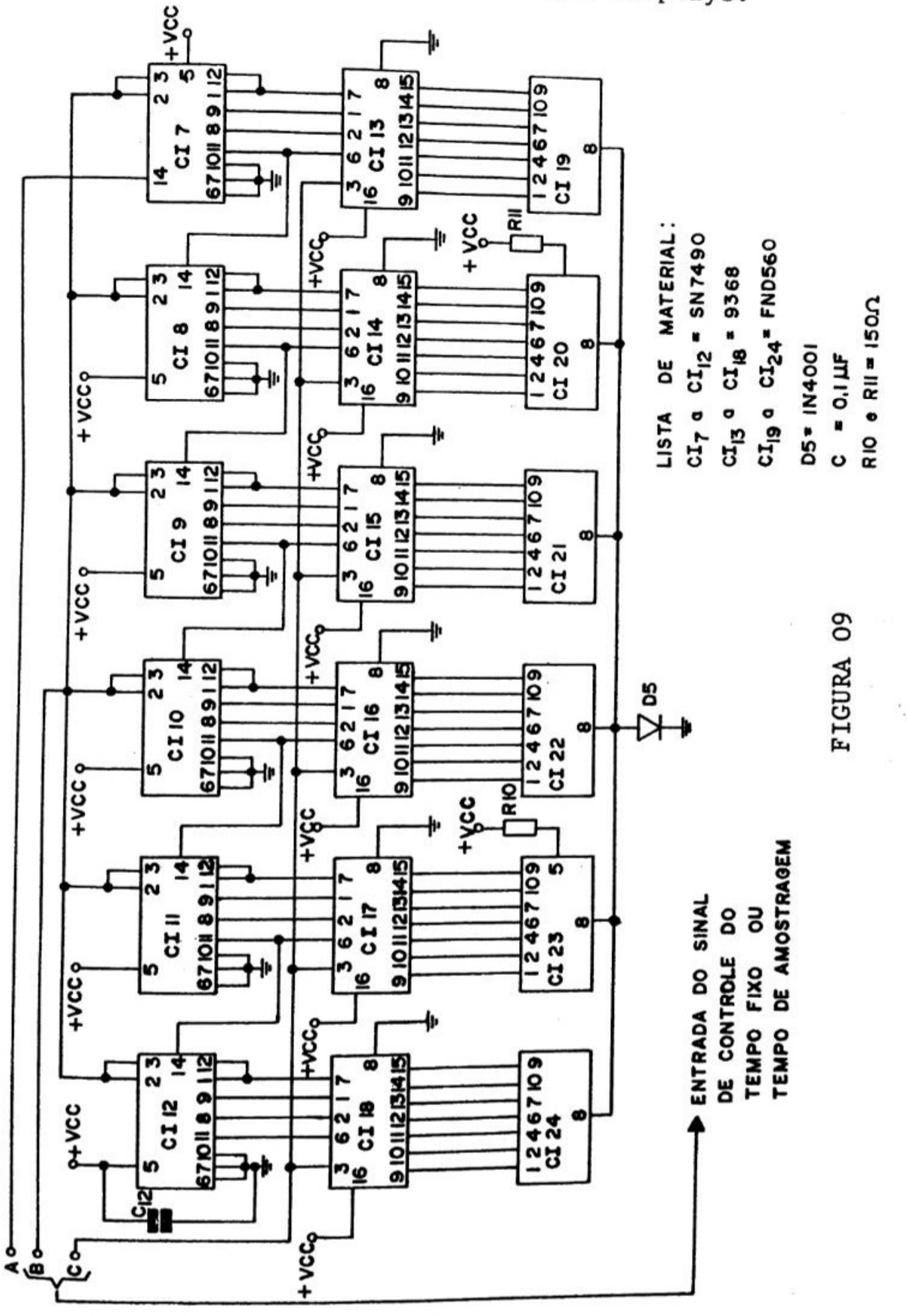


FIGURA 09

Para que o sinal (codificado em binário) apresentado na saída do contador possa ser interpretado por nós, é necessário que este seja decodificado. Aqui entram em cena os decodificadores, cuja função é "adaptar" os contadores aos displays. Mais uma vez iremos utilizar o decodificador 9368. Sobre maiores detalhes a respeito do mesmo, consulte a lição ED-31.

Como sabemos, os decodificadores apenas transformam a saída binária dos contadores de décadas em níveis de tensão para os displays, para que a contagem seja então traduzida em números que possamos entender. Porém esses decodificadores - possuem uma certa particularidade, ou seja, pequenas memórias internas, conhecidas por "Latches", que não influenciam em nada, desde que o pino 3 do CI 9368 esteja a um nível lógico "baixo". Caso um nível lógico alto venha a ser aplicado nesse terminal (pino 3), o decodificador não aceitará mais nenhum dado em suas entradas e as memórias armazenam e transferem para as saídas a última informação recebida.

Observando a figura 9, verificaremos que os sinais B e C estão aplicados, respectivamente, aos pinos de "zeramento"(pinos 2 e 3 do SN7490) dos contadores, aos de "memorização" dos decodificadores (pino 3 do 9368) e ao schmitt trigger (sinal C aplicado nos pinos 9, 10 e 13 do CI4 de acordo com a figura 7).

Na figura 10, apresentamos as formas de onda dos sinais B e C para um tempo de 2 segundos. Note que C fica 1,8 seg. em nível lógico "0". E 0,2 seg. em nível lógico alto "1", enquanto que B fica apenas 0,05 seg. em "1" e o restante do tempo, em "0". Em outras palavras, podemos dizer que C produz um pulso de 0,2 seg. a cada 2 seg., enquanto que B produz um pulso de 0,05 seg. no mesmo período (2 seg.).

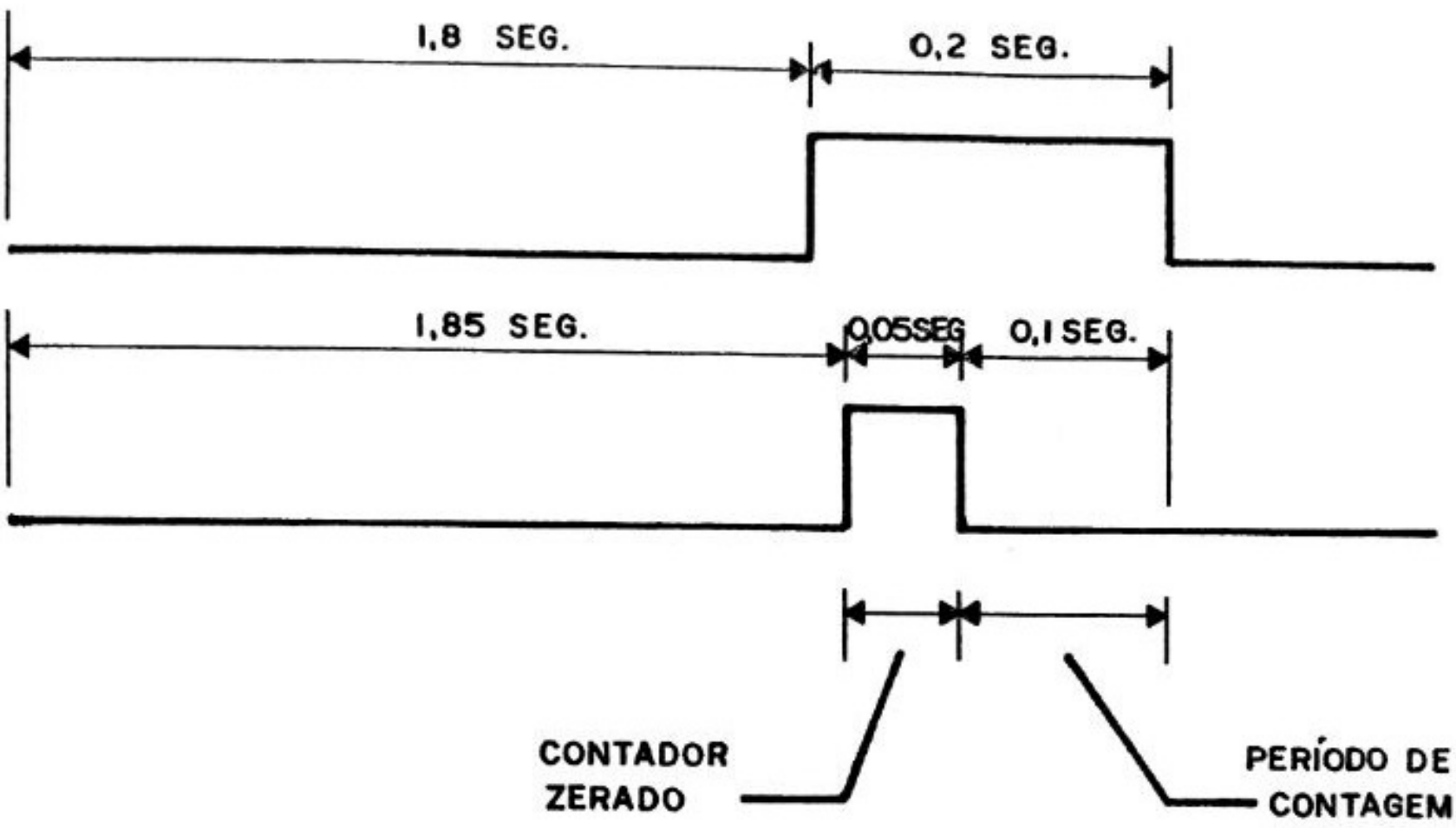
Com base nessas últimas informações, podemos tirar três importantes conclusões:

Primeira - o schmitt trigger controla o contador CI3, que divide o sinal de entrada por 10. Logo, o sinal só poderá sair do CI3 durante a presença do nível lógico "alto" do sinal C;

Segunda - os contadores só recebem o sinal durante 0,2 seg. em cada 2 seg. Depois fazem uma pequena contagem durante 0,05 seg., que não é considerada, são "zerados"por

mais 0,05 seg. e, então, contam por mais 0,1 seg. até o final do pulso positivo C;

FIGURA 10

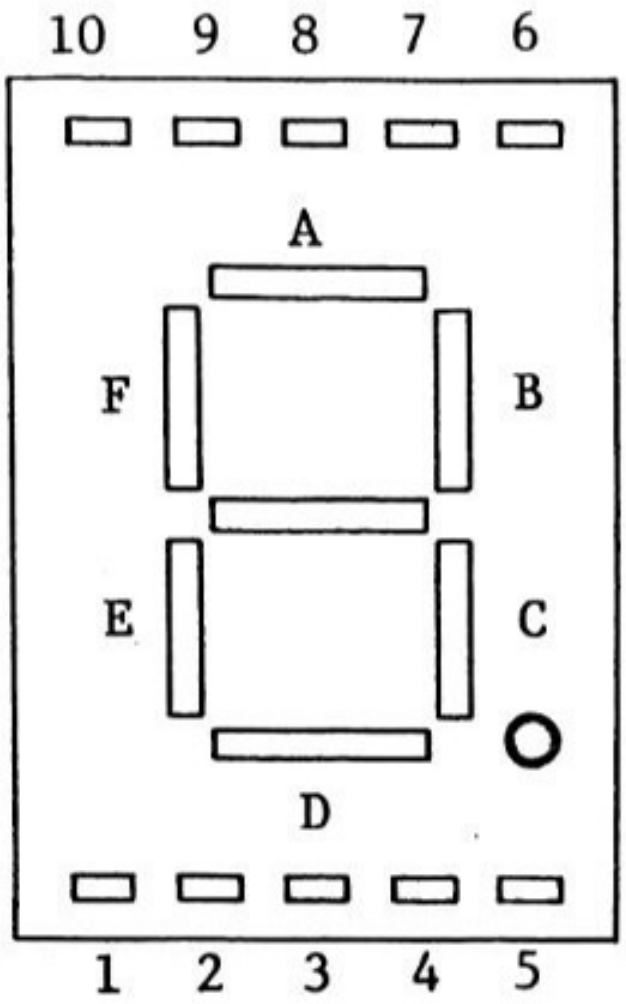


Terceira - os decodificadores operam normalmente durante 1,8 seg. E, por 0,2 seg., estabilizam-se. Findo esse período de 0,2 seg., voltam a operar, recebendo uma nova contagem feita pelos contadores que, a partir desse instante, não recebem mais nenhum sinal, até ocorrer o próximo pulso positivo de C.

Dessa forma, conseguimos um tempo de contagem igual a 0,1 seg. e uma leitura estável nos "displays", pois, enquanto os contadores operam, durante o período de contagem, os decodificadores permanecem imobilizados. Quando os decodificadores passam a operar, recebem apenas uma leitura dos contadores e ficam com essa leitura durante 2 segundos.

Para finalizar, resta-nos falar sobre os displays.Os displays por nós utilizados são os FND560, de sete segmentos LED. Trata-se, pois, de displays vermelhos de GaAsP, dígitos simples, em configuração de catodo comum. Esses displays apresentam uma boa visibilidade até cerca de 6 metros. Convencionou-se identificar os segmentos com letras de "a" até "g". Na fi

gura 11, apresentamos alguns aspectos construtivos do FND560.



PINO	FND560
1	Segmento E
2	Segmento D
3	Catodo comum
4	Segmento C
5	Ponto decimal
6	Segmento B
7	Segmento A
8	Catodo comum
9	Segmento F
10	Segmento G

FIGURA 11

Nesse freqüencímetro, temos duas escalas simultaneamente, marcadas por pontos decimais, que ficam permanentemente acesos, sendo o primeiro da esquerda para kHz e o segundo para MHz. A nossa menor leitura é de 100 Hz, sendo que esse valor deve aparecer no mostrador sob a forma 0,0001 MHz, ou seja, os contadores receberão apenas um pulso nesse caso. Para justificar, basta lembrarmos que 100 Hz significam 100 pulsos por segundo e os contadores devem receber apenas 1 pulso. A pouco, falamos da divisão do sinal por 10, feita através do CI3 (SN7490). Então, se aplicarmos na entrada um sinal de 100 Hz, obteremos na saída um sinal com freqüência de 10 Hz. Como o tempo de amostragem por nós adotado é igual a 0,1 seg., ou seja, só contamos um décimo dos pulsos do sinal aplicado na entrada do bloco contador, obteremos, então, uma freqüência de 1 Hz que necessitamos. Concluindo, podemos dizer que todo o sinal que é medido pelo freqüencímetro, é "dividido" por 100, para que possamos lê-lo corretamente no mostrador.

Na figura 12, temos um diagrama esquemático, completo do freqüencímetro estudado nesta lição.

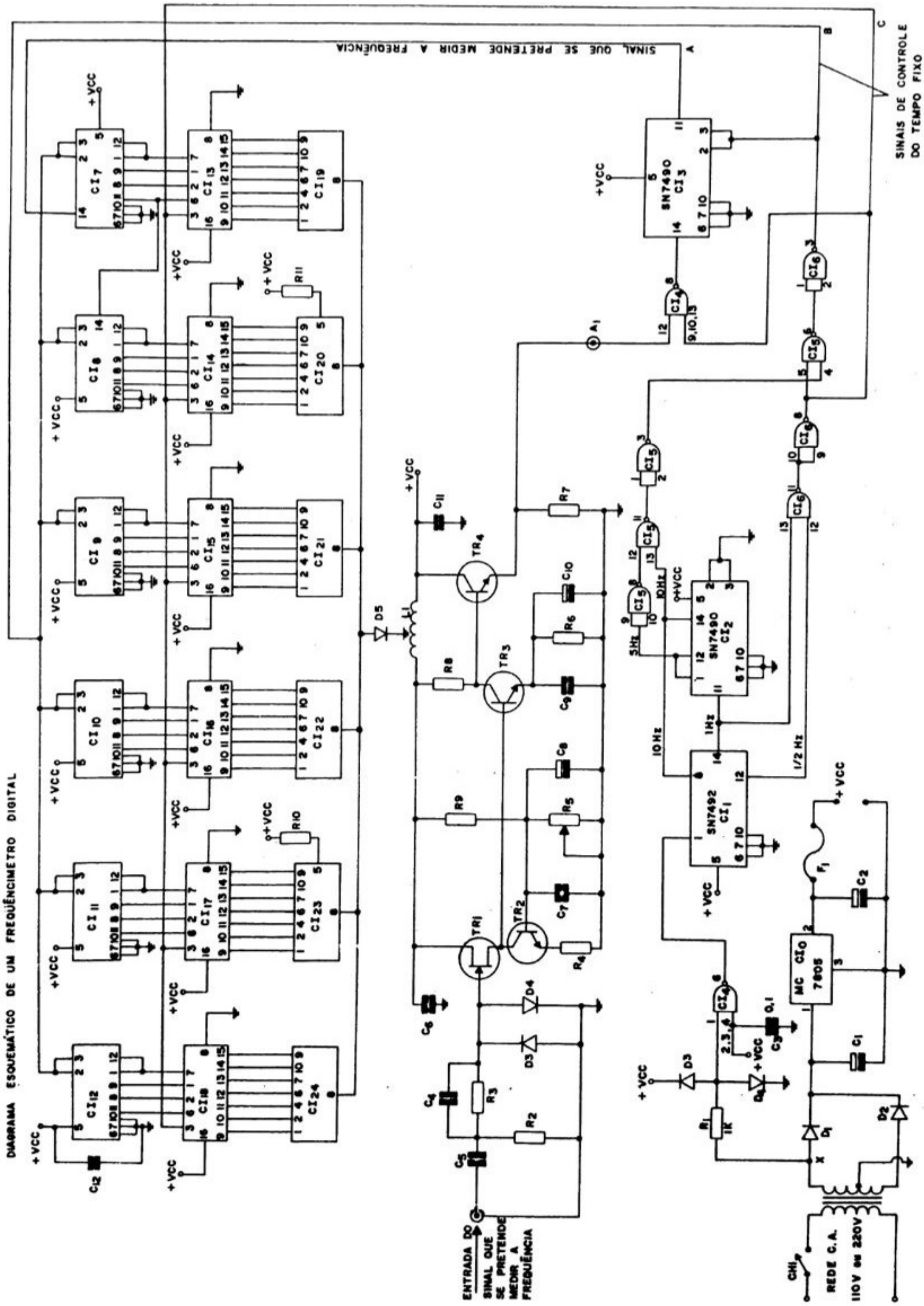


DIAGRAMA ESQUEMÁTICO DE UM FREQÜÊNCIMETRO DIGITAL
SINAL QUE SE PRETENDE MEDIR A FREQUÊNCIA
SINAIS DE CONTROLE DO TEMPO FIXO
ENTRADA DO SINAL QUE SE PRETENDE MEDIR A FREQUÊNCIA
REDE C.A. 110V ou 220V
SN7490
SN7492
MC 7805
+VCC
10Hz
1Hz
1/2 Hz
5Hz

Este freqüencímetro foi projetado para medir freqüências a partir de 100 Hz até 30 MHz. Adequado, portanto, para medições desde freqüências de áudio até RF. A medida de toda essa faixa de freqüência é contínua, ou seja, não existem chaves para mudança de escala, sendo o seu único controle a chave liga-desliga (CH1).

Quanto ao ciclo de operação, podemos dizer resumidamente que esse transcorre da seguinte maneira:

1) contagem dos períodos do sinal durante o pulso de seleção;

2) transferência do resultado para o display;

3) reciclagem do sistema de contagem.

Muitas vezes necessitamos medir freqüências superiores a 30 MHz. Quando tal fato ocorrer, podemos lançar mão de um aparelho conhecido por "PRESCALER", o qual aproveita-se das vantagens da lógica ECL (alta velocidade de comutação). Na verdade, o "PRESCALER" nada mais é do que um contador, que divide a freqüência do sinal por 10. Com o uso desse aparelho,acoplado ao freqüencímetro, conseguimos medir freqüências da ordem de 250 MHz ou mais, dependendo do projeto do "PRESCALER".

Para finalizar, lembramos ao aluno que o freqüencímetro apresentado nesta lição tem caráter puramente didático, uma vez que o nosso objetivo é apenas mostrar o princípio de funcionamento do mesmo.

CEBM
CURSOS DE APERFEIÇOAMENTO

CURSO DE
ELETRÔNICA DIGITAL E
MICROPROCESSADORES

CAIXA POSTAL 1642 - CEP 86100 - LONDRINA - PARANÁ

EXAME DA LIÇÃO ED-32

OBSERVAÇÃO

- cada questão é composta de três ou quatro alternativas.
- só uma delas está correta.
- marque a que considerar correta.
- passe as respostas corretas para a folha de exame.

1) O freqüencímetro digital também é conhecido por:

a) divisor de freqüência;
b) multiplicador de freqüência;
c) contador de freqüência;
d) N.R.A.

2) A função do circuito de entrada de um bloco contador é:

a) condicionar o sinal aplicado na entrada, de modo a torná-lo compatível com o circuito digital do contador;
b) gerar sinais de temporização;
c) gerar sinais de baixa freqüência;
d) N.R.A.

3) Embutido no circuito de entrada, encontramos o circuito modulador de onda, normalmente formado por um:

a) transistor NPN;
b) oscilador a cristal;
c) diodo comum;
d) schmitt trigger.

4) O sinal obtido na saída do circuito modulador possui:

a) uma freqüência 10 vezes menor que a freqüência do sinal de entrada;
b) a mesma freqüência do sinal de entrada;
c) uma freqüência 10 vezes maior que a freqüência do sinal de entrada;
d) N.R.A.

5) A medição de períodos nos permite medir, com boa precisão:

a) sinais de baixa freqüência;
b) sinais de alta freqüência;
c) os itens a e b estão corretos;
d) N.R.A.

6) Para um período de 0,01 segundos, teremos uma freqüência de:

a) 0,1 Hz; b) 1 Hz; c) 10 Hz; d) 100 Hz.

7) A variação da freqüência na maioria das linhas CA é da ordem de:

a) 0,001%;
b) 0,1%;
c) 2,2%;
d) N.R.A.

8) A figura 8 nos mostra o diagrama do circuito de entrada, onde o ceifamento do sinal de entrada é feito através:

a) do capacitor C4;
b) dos resistores R2 e R3;
c) dos diodos D3 e D4;
d) N.R.A.

9) Devido ao fato dos contadores SN7490 estarem conectados em cascata, o conjunto de 6 CIs SN7490 irá contar até:

a) 999999;
b) 990000;
c) 00099;
d) 09999.

10) Com relação aos decodificadores 9368, sabemos que eles possuem pequenas memórias internas, conhecidas por:

a) memória virtual;
b) latches;
c) memória de apenas leitura;
d) N.R.A.

CEDM
CURSOS DE APERFEIÇOAMENTO

CURSO DE
ELETRÔNICA DIGITAL E
MICROPROCESSADORES

CAIXA POSTAL 1642 - CEP 86100 - LONDRINA - PARANÁ

LIÇÃO ED-33

MULTÍMETROS DIGITAIS

Nesta lição estudaremos o funcionamento e a utilização do multímetro digital, muito embora sua utilização prática seja a mesma do multímetro analógico, estudado na lição MP-3.

INTRODUÇÃO:

Trata-se de um aparelho muito útil, tanto em projeto, quanto em experimentação ou manutenção. O multímetro, como o próprio nome sugere, é um instrumento de medida, formado pela reunião de três outros instrumentos básicos: o amperímetro, o voltímetro e o ohmímetro.

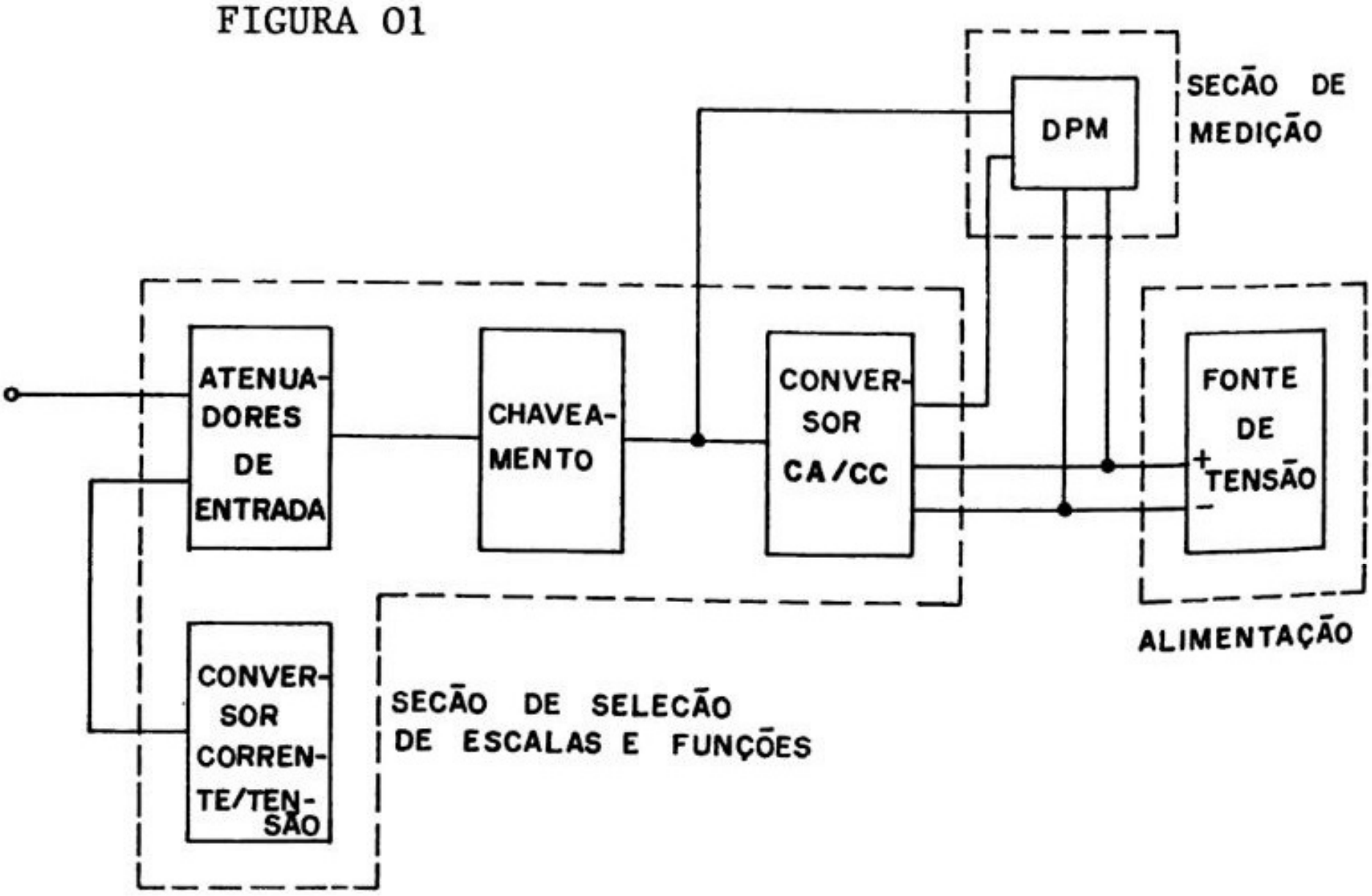
O multímetro digital surgiu, há alguns anos, quando se voltou a atenção para a conversão analógica/digital (A/D) integrada em larga escala (LSI). Com a atual tendência de miniaturização, cada vez mais nos aproximamos do "multímetro de um só CI". A utilização da tecnologia CMOS para a fabricação de CIs, aliada à tecnologia LCD (display de cristal líquido) dos mostradores, permitiram que tais aparelhos fossem alimentados

através de baterias e com isso passaram a apresentar uma grande autonomia de uso.

Os mostradores digitais trouxeram uma série de vantagens sobre os tradicionais mostradores com escalas impressas e ponteiros, utilizados nos multímetros analógicos. Uma das vantagens dos mostradores digitais é a eliminação de alguns tipos de erros de leitura, bem como o fim dos problemas causados pela inércia dos ponteiros. Dentre os mostradores digitais mais utilizados destacam-se os LEDs e os de cristal líquido, sendo que estes últimos além de apresentarem menor consumo, não são ofuscados pela luz, uma vez que, quanto maior for a intensidade de luz incidente, mais nítidos tornam-se seus dígitos.

Um multímetro digital comum compreende duas secções fundamentais, sendo que uma delas constitui o circuito de medição propriamente dito, enquanto que a outra constitui o circuito de seleção de escalas e funções. A figura 1 nos mostra o diagrama de blocos de um multímetro digital.

FIGURA 01



O coração do multímetro digital constitui-se de um conversor analógico-digital (A/D) do tipo de "integração". Basicamente, o multímetro digital é um voltímetro digital modificado, capaz de realizar leitura de corrente e resistência.Por exemplo, para a medição de resistência, o voltímetro é usado para medir a queda de tensão sobre a resistência "desconhecida", quando uma corrente constante, conhecida "circula" através do resistor. Normalmente, temos mais de uma escala para medições de resistência. O fato de adotarmos essa ou aquela implicará numa corrente constante, maior ou menor, de modo que a queda de tensão sobre o resistor desconhecido será numericamente a mesma, variando apenas a colocação do ponto decimal. Portanto, ao se mudar de escala, automaticamente, muda-se também o nível da corrente constante, aplicada ao resistor e necessitando então de níveis de correntes mais elevados para escalas de resistências menores. E, de acordo com a lei de ohm, podemos também obter leituras de correntes. Nesse caso, costuma-se colocar uma resistência constante em série com o circuito, na qual se encontra a corrente para ser medida. Por exemplo, se colocarmos um resistor de precisão de 1Ω 0.5% em série com o circuito, de modo que a corrente desconhecida circule através dele, obteremos uma tensão de 1 milivolt por miliampere. Mudando-se de escalas, automaticamente, muda-se de resistores de modo que para escalas de correntes maiores implica em resistores também maiores.

Já, na medição de tensão, normalmente os multímetros digitais possuem escalas de tensão desiguais, acomodadas de duas maneiras diferentes. O circuito do voltímetro, que é o circuito básico do multímetro, possui uma escala básica, normalmente de 0 a 1,999 volts. Para variações menores de escala completa, utiliza-se um amplificador CC, enquanto que para variações maiores, geralmente, utiliza-se um circuito atenuador de precisão. Isto para medição de tensão CC.

Para medições de tensões CA, normalmente utiliza-se um retificador ou algum outro circuito capaz de criar uma tensão CC proporcional à forma de onda CA aplicada. O sistema retificador produz uma saída proporcional ao pico CA de modo que as medições RMS (tensão eficaz) devam ser realizadas com escalas apropriadas. As leituras feitas dessa forma são válidas somente quando a tensão CA, aplicada na entrada, for do tipo senoidal. As outras formas de onda, dentro da escala de freqüên

Obs.: CC = CORRENTE CONTINUA CA = CORRENTE ALTERNADA.

cia do circuito, podem ser acomodadas por um circuito especial chamado "conversor RMS-para-CC, que produz uma saída CC proporcional ao valor RMS (eficaz) verdadeiro para a forma de onda.

Os multímetros digitais e os medidores de painel digitais também podem operar como conversores A/D, desde que sejam dotados de terminais de saída conectados adequadamente ao circuito interno. Muitos instrumentos já trazem incorporadas, ao seu painel, saídas BCD paralelas; outros trazem saídas do tipo serial nas quais os bits extras são utilizados para denotar a escala e o início e o fim da palavra. Utilizando essas saídas, podemos conectar o multímetro a um computador ou a um terminal de computador.

Quase todos os multímetros digitais utilizam um sistema de exibição (mostradores) multiplexada, onde cada dígito é ligado por somente uma fração de tempo, o que leva o olho humano a manter a ilusão de uma visão constante, devido a persistência da retina. Por exemplo, se a freqüência de comutação entre os dígitos for de 100 kHz, os olhos de um ser humano normal irão "misturar" as diferenças do brilho (acende e apaga), tornando, portanto, o brilho constante. Uma das vantagens obtidas através dessa técnica (multiplexação) é o baixo consumo. Uma outra seria a redução do número de interligação.

Para que o aluno compreenda melhor o princípio de funcionamento de um multímetro digital, iremos analisar o circuito de um multímetro digital elementar.

MULTÍMETRO DIGITAL ELEMENTAR

Como já dissemos anteriormente, o circuito de um multímetro digital pode ser dividido em duas seções fundamentais, sendo que uma delas constitui o circuito de medição propriamente dito enquanto que a outra constitui o circuito de seleção de escalas e funções. Analisaremos então cada uma dessas seções separadamente.

CIRCUITOS DE SELEÇÃO DE ESCALAS E FUNÇÕES

O multímetro digital executa três (3) funções básicas de medição, ou seja, medição de tensão, de corrente e de resis -

tência. Para cada uma dessas funções existe um circuito especial para executá-las e, para cada circuito especial, existe um seletor de escalas.

MEDIÇÃO DE TENSÃO C.C. e C.A.

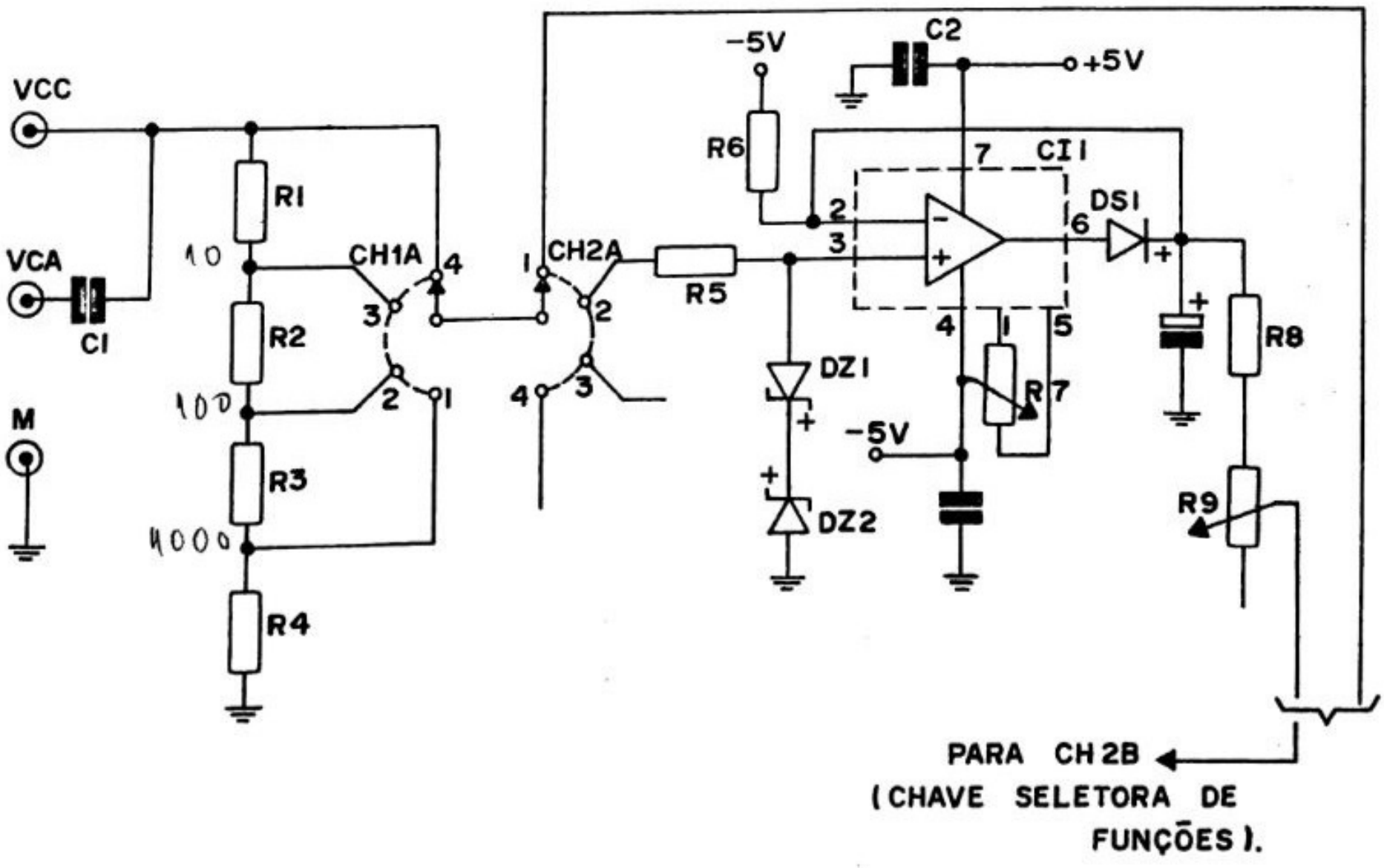
Para a medição de tensão contínua (Vcc) ou alternada (Vca), dispomos de quatro (4) escalas, assim distribuídas:

1a. escala - de 1 milivolt a 999 milivolt
2a. escala - de 0,01 volt a 9,99 volt
3a. escala - de 0,1 volt a 99,9 volt
4a. escala - de 1,0 volt a 999 volt.

Obs.: Em se tratando de tensão alternada (Vca), a máxima freqüência senoidal aceita na entrada gira em torno de ± 13.000 Hz.

O circuito que executa a função de medição de tensão (Vcc ou Vca) e a seleção de escala é mostrado na figura 2.

FIGURA 02



Para efetuarmos a medida de tensão contínua (Vcc), a tensão incógnita (tensão que se pretende medir) deverá ser injetada entre os terminais de entrada Vcc e o de massa M (veja figura 2). Através das resistências R1-R2-R3-R4, a tensão aplicada à entrada (tensão que se pretende medir) é atenuada de modo a torná-la compatível com a entrada do CI4 (conversor A/D). Normalmente, essa tensão é atenuada até que ela fique compreendida entre um mínimo de 1 milivolt e um máximo de 999 milivolts.

As resistências R_1, R_2, R_3, R_4 deverão obviamente dispor de uma precisão absoluta, isto é, apresentar uma tolerância no máximo de 0,5%. Conseqüentemente, a leitura que obteremos no display também será afetada pelo mesmo erro.

Além do fator tolerância, estas resistências também deverão possuir uma elevada estabilidade térmica (no máximo uma variação de 50Ω/1.000.000 ºC), pois, caso contrário, o circuito fornecerá leitura diversa de acordo com a temperatura ambiente.

O valor dessas resistências é calculados de modo que, ao colocarmos a chave CH1A na posição "1", a tensão de entrada será atenuada exatamente de 1.000 volts. Sendo pois 999 milivolt o máximo valor que pode ser aplicado na entrada do conversor A/D (CI_4), essa escala nos permite uma medição máxima de: 999mV x 1.000 = 999.000 mV, isto é, igual a 999 volts. Em se tratando de tensão negativa, o primeiro display é utilizado para indicar o sinal de menos (-), o que nos permite leituras de até -99 volts.

Ao levarmos a chave CH1A para a posição 2, a tensão de entrada deverá ser atenuada exatamente em 100V, pelo que esta escala nos permitirá leituras de no máximo: 999 mV x 100 = 99,900 mV, ou seja, de no máximo 99,9 volts, sendo que, no caso de tensão negativa, a leitura máxima que poderemos obter é de -9,9 volts.

Se colocarmos a chave CH1A na posição 3, a tensão de entrada virá atenuada exatamente de 10 volts, o que nos permite uma leitura de no máximo:

999 mV x 10 = 9.990 mV,

isto é, 9,99 volts para tensões positivas e - 990 mV

(-0,99 volt) para leitura de tensões negativas.

Para finalizar, se levarmos a chave CH1A para a posição 1, a tensão de entrada não será atenuada, isto é, será aplicada diretamente na entrada do CI4. Por isso, o limite máximo que poderemos medir, através dessa escala, será igual à máxima tensão que o CI4 aceitar em sua entrada, ou seja, 999 mV (tensão positiva) ou - 99 mV (tensão negativa), uma vez que o terceiro dígito é ocupado pelo sinal de menos (-).

A principal finalidade da medição de tensão negativa é constatar a exata polaridade do sinal que se está medindo,uma vez que, para se medir uma tensão negativa, iremos sempre utilizar um dígito para representar o sinal de menos (-), implicando em uma leitura com um erro relativamente grande. Portanto, uma vez verificada a polaridade do sinal e sendo essa negativa, podemos inverter as "pontas de prova" de modo a obtermos uma leitura "positiva", o que nos leva a uma leitura mais precisa.

Para realizarmos medições em tensão alternada (Vca), devemos levar a chave CH2A para a posição 2. O sinal que se quer medir deverá ser aplicado entre os terminais de entrada Vca e M (massa), de tal modo que somente a parte alternada passe através do capacitor C_1 (veja figura 2). A principal diferença existente entre a medição de tensão contínua e de tensão alternada reside no fato de que para esta última o sinal obtido, após o circuito de atenuação, não mais será aplicado diretamente na entrada do CI_4, mas sim na entrada não inversora de um amplificador operacional (pino 3 do CI_1) tipo TL 081.

Tal integrado (TL 081), em nosso circuito, desenvolve a função de "transformador" de tensão alternada em contínua,sendo que o capacitor C_4 funciona como filtro para atenuação de ripple.

Certa quantia dessa tensão contínua é retirada através do cursor do potenciômetro R9 e aplicada no contato "2" da chave CH2B e na resistência R_{24}, sendo então levada para o CI_4, onde se processará a medida.

Os diodos DZ_1 e DZ_2, ligados em antiparalelo na entrada do integrado CI_1, servem para proteger esse integrado de eventuais erros, como a aplicação de uma tensão muito elevada não compatível com a escala escolhida.

Já o potenciômetro R7, que se encontra ligado entre os pinos 1-5 do CI_1, servirá para regular a tensão de offset do amplificador operacional.

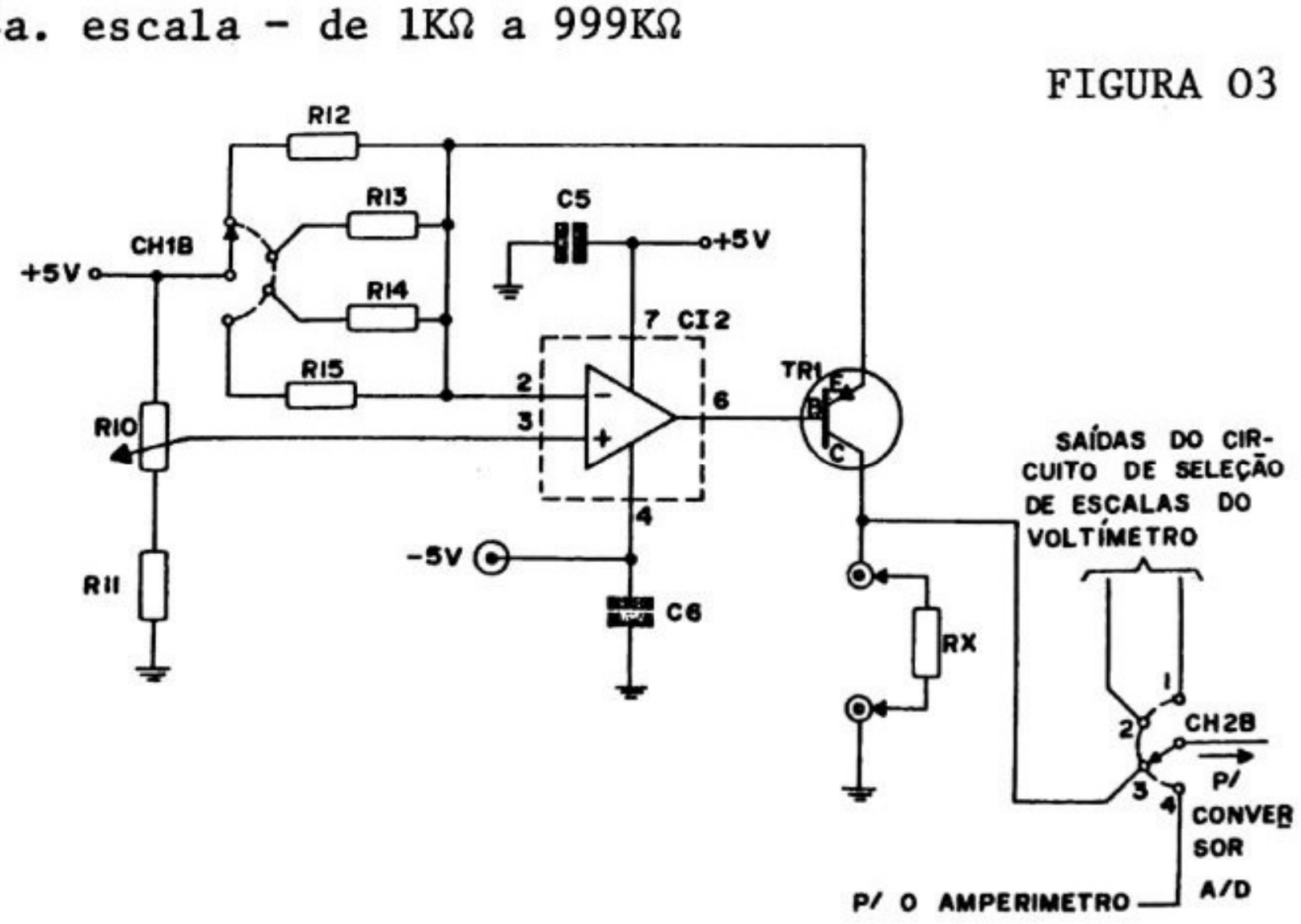
O potenciômetro R9 é utilizado para regular o valor eficaz da tensão a ser medida. Por exemplo: se aplicamos na entrada 1 volt eficaz, obteremos na saída de C4 1 x 1,41 = 1,41 volts. Então, para que a leitura obtida seja correta, é necessário ajustarmos o potenciômetro R9 de tal modo que possamos obter no display o valor eficaz da tensão aplicada, na entrada, ou seja, 1 volt.

MEDIÇÃO DE RESISTÊNCIA:

Para efetuarmos a medida de "resistência", devemos colocar a chave CH2B na posição 3, de tal modo que o sinal a ser aplicado na entrada do integrado CI_4 seja retirado diretamente do coletor do transistor TR1. A resistência Rx (resistência que se pretende medir) deve ser inserida nos terminais de prova feitos especialmente para esse fim. A figura 3 nos mostra o circuito de seleção de escala e o de medição de resistência. Para a medição de resistência, o "nosso multímetro digital" dispõe das seguintes escalas:

1a. escala - de 1Ω a 999Ω
2a. escala - de 0,01KΩ a 9,99KΩ
3a. escala - de 0,1KΩ a 99,9KΩ
4a. escala - de 1KΩ a 999KΩ

FIGURA 03



Nesse estágio, utilizamos novamente o amplificador operacional tipo TL 081 (CI_2), o qual, juntamente com TR1, formará um gerador de corrente constante. A utilização de um gerador de corrente constante se deve ao fato de que o circuito integrado CI_4 só realiza "medições" de tensões que se encontram - entre 1 mV e 999 mV. A medição da resistência incógnita (Rx) é feita com base na extração (e leitura) de uma tensão contínua de valor proporcional à queda de tensão sobre a resistência incógnita. Essa possibilidade já vem inclusa na própria lei de ohm, ou seja,

milivolt = Ohm x miliampere

Suponhamos, por exemplo, Rx = 350Ω. Ao fazermos circular através dessa resistência uma corrente de 1mA, obteremos uma queda de tensão sobre Rx igual a:

350Ω x 1mA = 350mV

Ao aplicarmos esse valor de queda de tensão (350 mV) na entrada do circuito integrado CI_4, poderemos ler, através de seus displays, o número 350, ou seja, o próprio valor da resistência.

Obviamente, se a resistência Rx tiver um valor superior a 1.000Ω, por exemplo, 2.500Ω, ao fazermos circular uma corrente de 1mA através dela, obteremos uma queda de tensão igual a:

2.500Ω x 1mA = 2.500mV = 2,5V,

conseqüentemente, estaremos trabalhando com o instrumento em "sobre-escala" (overrange).

Para que possamos ler esse valor de resistência, torna - -se necessário diminuirmos a corrente em pelo menos 10 vezes, ou seja, devemos passar de 1mA para 0,1mA. Dessa forma, obteremos uma queda de tensão igual a:

2.500Ω x 0,1mA = 250mV,

sendo, pois, esse número possível de ser visualizado no display.

É possível esse tipo de redução de corrente mediante mudança de posição da chave CH1B, através da qual podemos inserir diversas resistências de valores diversos, entre o terminal positivo de alimentação e o pino 2 do circuito integrado CI2; o que nos permite extrair quatro (4) valores diferentes de corrente, os quais constituem quatro (4) escalas diferentes de medição.

Ao colocarmos a chave CH1B na posição 1, estaremos inserindo a resistência R12 de 1.010.000Ω entre o terminal de alimentação positiva e o pino 2 do CI2. Dessa forma, obteremos uma corrente de 1μA (um microampere). Com base na lei de ohm teremos:

$$\text{ohm} = \frac{\text{milivolt}}{\text{miliampere}} \quad \text{ou} \quad R = \frac{V}{I}$$

portanto, a resistência máxima que podemos medir nessa escala é igual a:

$$Rx_{máx.} = \frac{999mV}{0,001mA} = 999.000\Omega \text{ ou } \cong 1M\Omega$$

Ao levarmos a chave CH1B para a posição 2, estaremos inserindo a resistência R13 de 101.000Ω entre o terminal de alimentação positiva e o pino 2 do CI2. Dessa forma, obteremos na saída do circuito uma corrente de 0,01mA, o que nos permite medir, nessa escala, uma resistência máxima igual a:

$$Rx_{máx.} = \frac{999mV}{0,01mA} = 99.900\Omega,$$

ou seja, 99,9KΩ.

Já, para a posição 3, estaremos inserindo uma resistência de 10.100Ω (R14), de forma a obtermos na saída do circuito uma corrente constante igual a 0,1mA. Nessa escala, o máximo valor de resistência que podemos medir é igual a:

$$Rx_{máx.} = \frac{999mV}{0,1mA} = 9.990\Omega \text{ ou } 9,99K\Omega$$

Enfim, ao levarmos a chave CH1B para a posição 4, verificaremos que o máximo valor de resistência que podemos medir nessa escala é igual a:

$$Rx_{máx.} = \frac{999mV}{1mA} = 999\Omega \text{ ou } \cong 1K\Omega.$$

Para a posição 4, a resistência inserida no circuito é igual a 1010Ω (R_{15}), sendo que a corrente obtida na saída do circuito é igual a 1mA.

O potenciômetro R10, que está conectado com o pino 3 do CI2, funciona como ajuste fino do valor da corrente de saída do gerador, de modo tal que o valor lido no display seja exatamente igual ao valor da resistência incógnita (Rx), compensando assim a tolerância do componente (Rx) empregado.

MEDIÇÃO DE CORRENTE:

A medição de corrente contínua (C.C.) é feita, levando-se a chave CH2B para a posição 4. Novamente, iremos nos basear na lei de ohm. Só que, ao invés de mantermos fixa a corrente e variarmos a resistência, como no caso anterior, iremos manter fixo o valor da resistência e variamos a corrente que pretendemos medir.

Por exemplo, se pretendemos medir uma corrente de 300mA, é preciso fazer esta corrente passar através de uma resistência de 1Ω pois, dessa forma, obteremos (de acordo com a lei de ohm) sobre a mesma uma queda de tensão igual a:

$$1\Omega \times 300mA = 300mV$$

Esse valor de queda de tensão (300mV) é então medido pelo integrado CI4, de modo que poderemos visualizar em seu display o número 300, ou seja, 300mA.

Na prática, para que a leitura seja a mais exata possível, é necessário que a resistência, pela qual fazemos circular a corrente incógnita, não mude de valor, ou seja, é necessário que a resistência seja a mais estável possível. Em nosso circuito, se utilizarmos uma resistência de 1Ω, obteremos um fundo de escala de 999mA, ou seja:

$$1\Omega \times 999mA = 999mV.$$

Porém, se utilizarmos uma resistência 10 vezes menor, ou seja, igual a 0,1Ω, obteremos uma queda de tensão também 10 vezes menor. Para compensar essa menor queda de tensão, colocamos entre a resistência de entrada e a entrada do integrado CI4, um estágio amplificador (de ganho 10) o qual emprega um

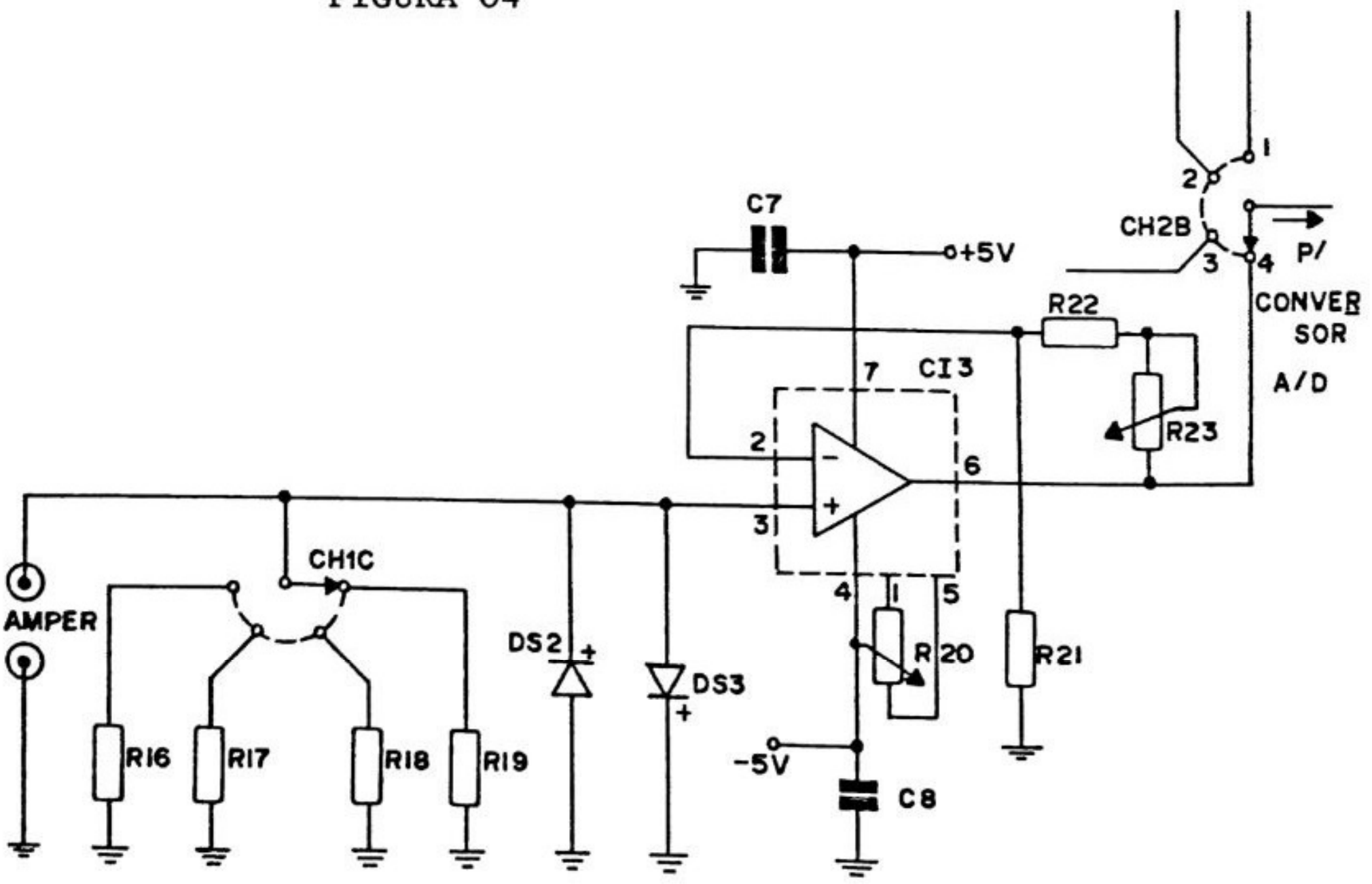
circuito integrado do tipo TL 081 (CI_3). Dessa forma, conseguimos um valor de tensão igual ao valor da queda de tensão obtida quando do emprego da resistência de 1Ω.

Para a medição de corrente o "nosso multímetro digital" dispõe das seguintes escalas:

1a. escala - de 1μA a 999μA
2a. escala - 0,01mA a 9,99mA
3a. escala - 0,1mA a 99,9mA
4a. escala - 1,0mA a 999 mA

A figura 4 nos mostra o circuito de seleção de escala e o de medição de corrente, empregados na construção do "amperímetro".

FIGURA 04



O potenciômetro R20, conectado entre os pinos 1 e 5 do CI3, é utilizado para regular a tensão de off-set do amplificador operacional. Já o potenciômetro R23, conectado na saída (pino 6) do integrado CI3, é utilizado para regular o ganho do amplificador, de modo a obtermos uma leitura mais precisa.

Ao levarmos a chave CH1C para a posição 1, obteremos a escala mais alta de leitura (4a. escala) de corrente, isto é, aquela que vai de 1mA a 999mA. Passando a chave CH1C para a posição 2, estaremos trabalhando com a 3a. escala a qual nos proporciona uma leitura máxima igual a 99,9mA. Estando a chave CH1C na posição 3, a qual corresponde à 2a. escala, a máxima leitura que poderemos efetuar é de 9,99 mA. Para finalizar, ao levarmos a chave CH1C para a posição 4 (1a. escala) - que corresponde à escala mais baixa de medição, poderemos medir no mínimo 1μA e no máximo 999μA.

Os diodos DS_2 e DS_3, ligados em antiparalelo entre o terminal de entrada do CI_3 (pino 3) e a massa,servem para evitar que a tensão neste ponto exceda o limite de 0,6 volts.

Vejamos agora como é composta a seção de medição.

SEÇÃO DE MEDIÇÃO:

A seção de medição e leitura é formada pelos transistores TR_2, TR_3 e TR_4, pelos circuitos integrados CI_4 e CI_5 e pelos três displays.

A figura 5 nos mostra o esquema básico do circuito de medição e leitura.

Como já havíamos dito, o conversor A/D é, na prática, o "coração" de todo o instrumento. O conversor A/D aqui utilizado é do tipo C.A. 3162 (CI_4). Este conversor utiliza o método de "dupla rampa".

Para a visualização da leitura, utiliza-se o sistema multiplex, isto é, o mesmo integrado (CI_4) é composto internamente de um "comutador" eletrônico o qual controla um depois outro display, em sincronismo com os três transistores que os alimentam (veja TR_2 - TR_3 e TR_4) e com as quatro (4) saídas do CI_4 (pinos 1, 2, 15 e 16). Por exemplo: se o número deve

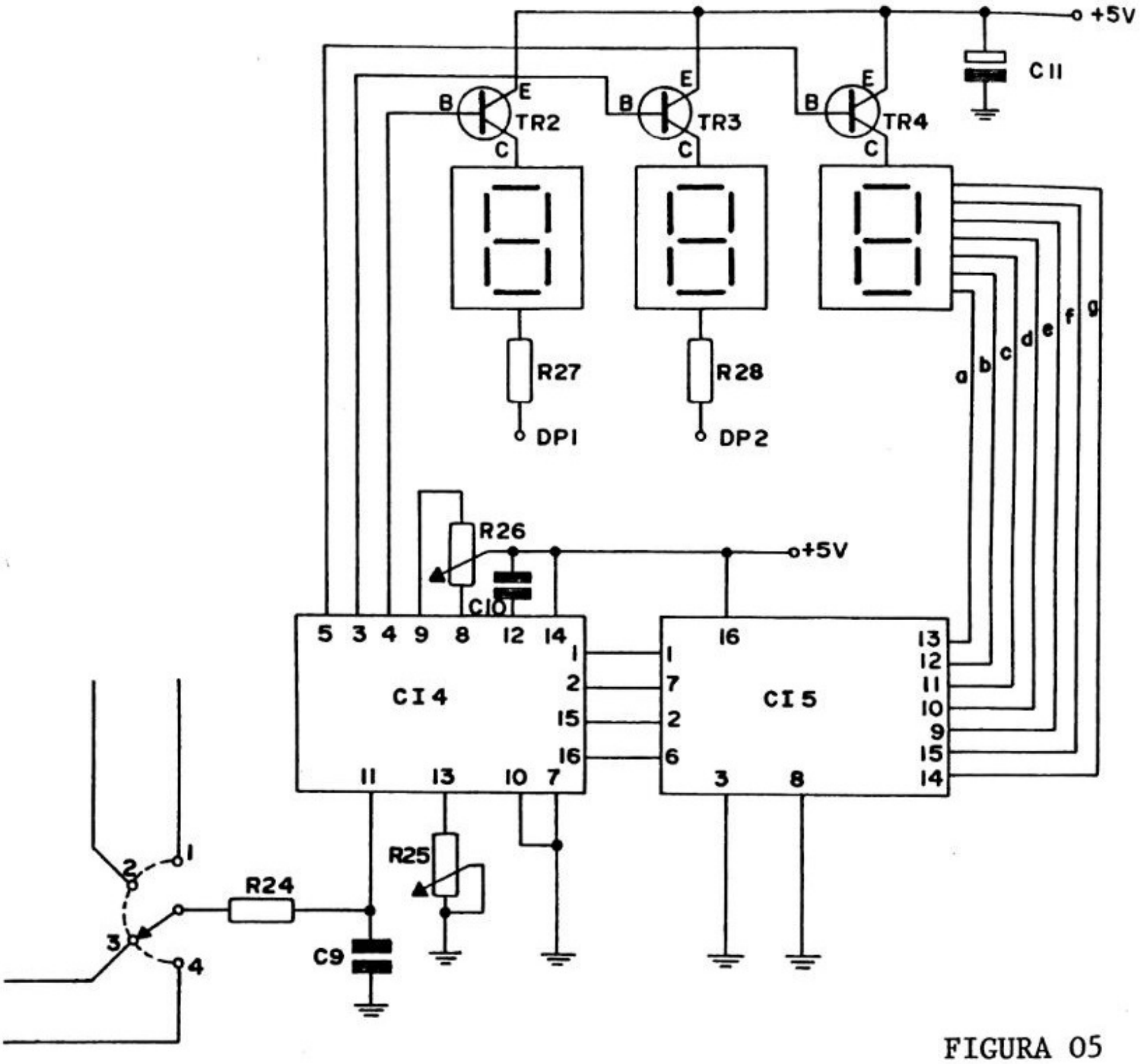


FIGURA 05

aparecer no primeiro display à esquerda, tal "comutador" habilitará o transistor TR2 e ao mesmo tempo também excitará o primeiro divisor por 10, o qual faz parte do circuito contador.

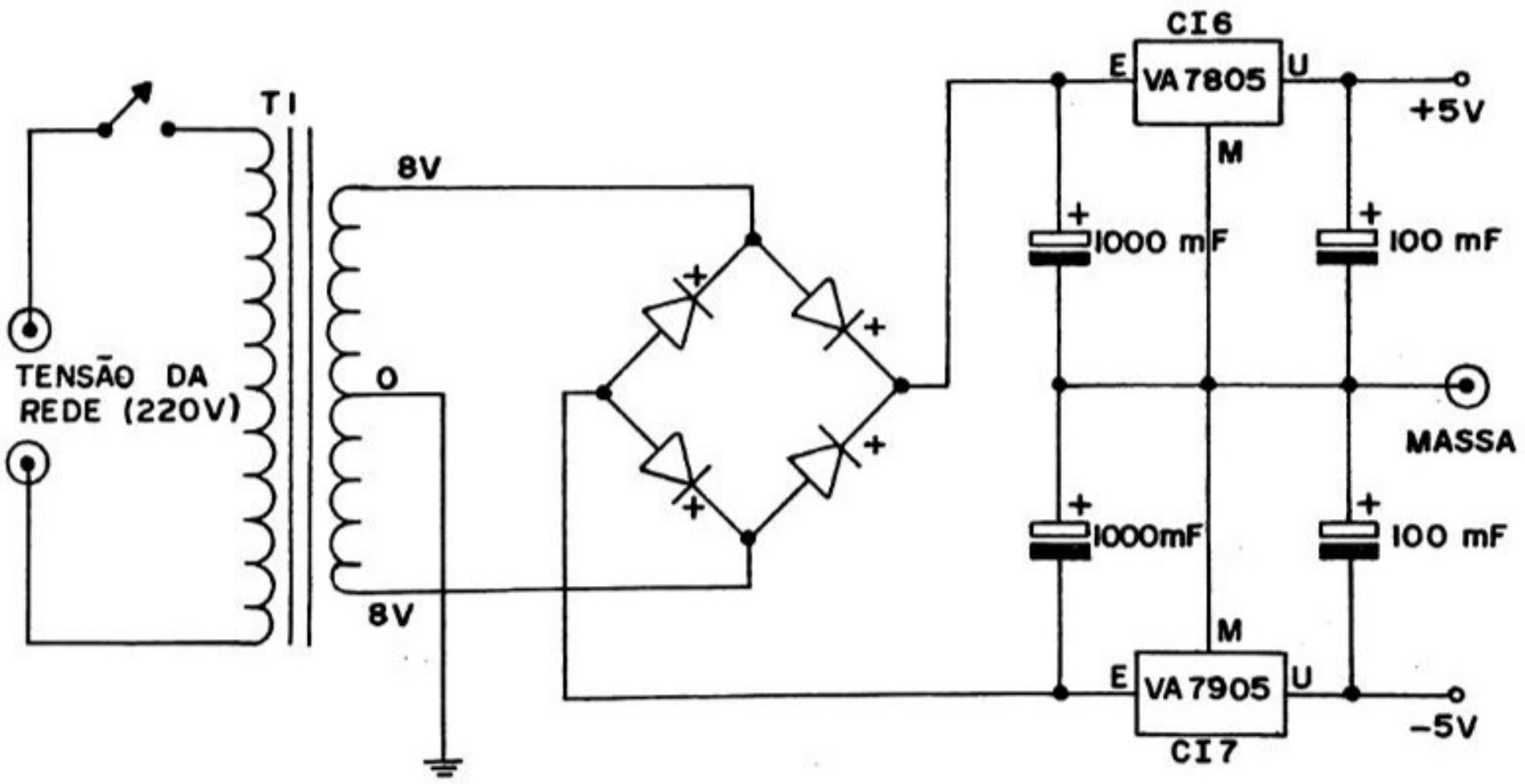
Observe que as saídas do CI_4 estão conectadas nas entradas do CI_5 (CA 3161E). Este integrado (CI_5) é um decodificador binário para sete segmentos.

O potenciômetro R_{25} serve para obtermos uma leitura perfeita (funcionando como ajuste fino) tanto para medidas de

tensões "positivas" como "negativas". Já o potenciômetro R_{26} é utilizado para zerar o instrumento.

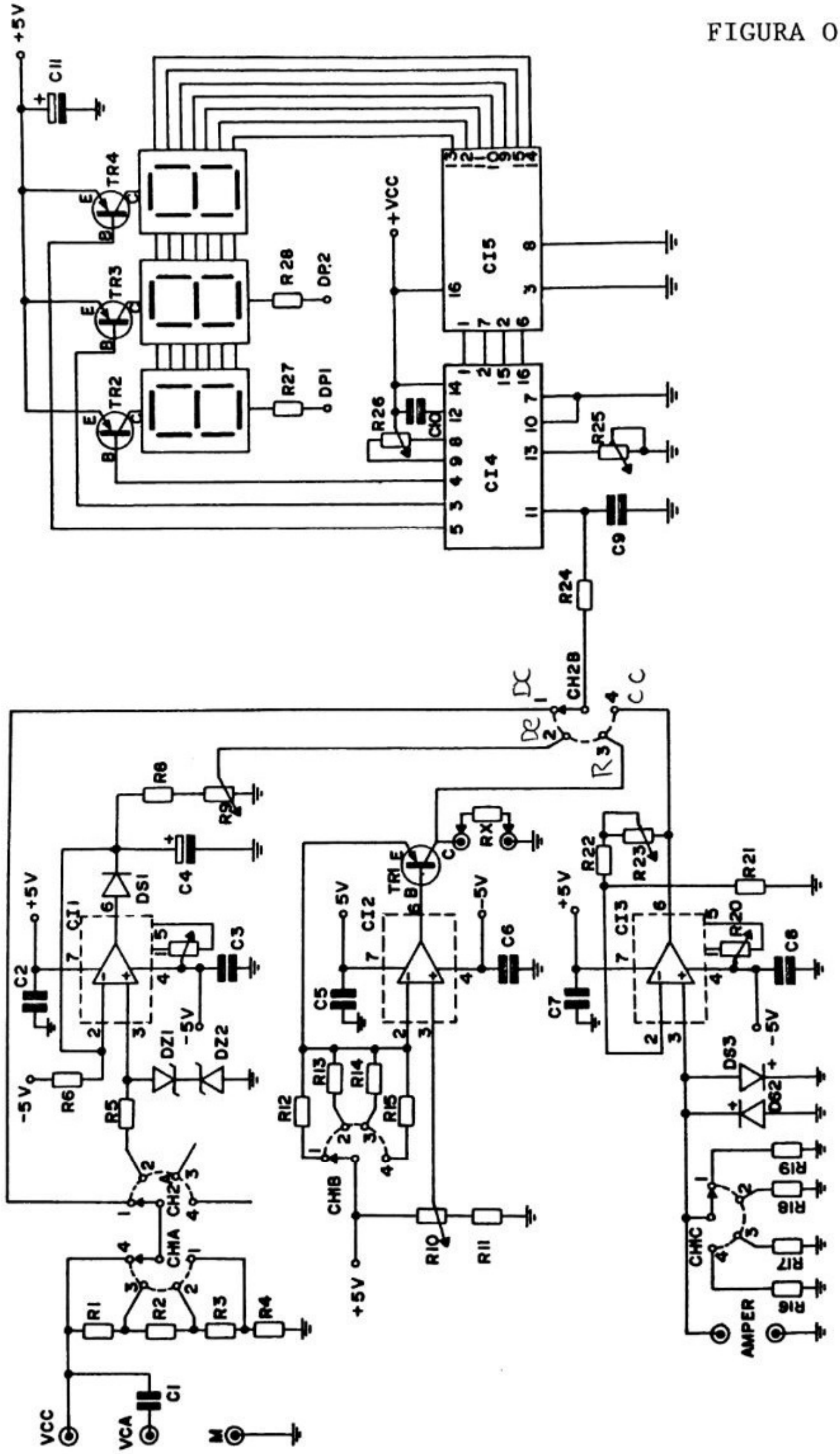
Esse "multímetro digital" requer para sua alimentação uma tensão de 5 volts positivos (+5V) com relação à massa e 5 volts negativos (-5V) também com relação à massa. Na figura 6 apresentamos o esquema de uma fonte de alimentação em cujas saídas obtemos as tensões +5V e -5V.

FIGURA 06



Na figura 7, apresentamos o circuito completo do "nosso" multímetro digital (contendo os circuitos de seleção de escala e funções, bem como o circuito de medição e leitura).

FIGURA 07


+5V
C11
TR4
TR3
TR2
R28
DP2
R27
DP1
+VCC
CI5
R26
CI4
R25
C9
R24
CH2B
R3
R6
R9
C4
DS1
CI1
C3
C2
DZ1
DZ2
-5V
R5
R1
R2
R4
CH1A
CH2A
VCC
VCA
CI
M
CI2
TR1
RX
C5
C6
R12
R13
R14
R15
CH1B
R10
R11
CI3
R22
R23
R21
R20
C7
C8
DS3
DS2
R19
R18
R17
R16
CH1C
AMPER

A seguir, apresentamos uma relação dos materiais empregados na construção do multímetro. Muito embora, tratando-se de um projeto real, a apresentação do mesmo tem apenas caráter - didático, de modo que não nos responsabilizamos pela execução do projeto.

R_1 = 909KΩ 1/2%
R_2 = 90.900Ω 1/2%
R_3 = 9.090Ω 1/2%
R_4 = 1.010Ω 1/2%
$R_5 = R_6$ = 100KΩ 1/4W
R_7 = 10KΩ(potenciômetro)
R_8 = 10KΩ 1/4W
R_9 = 47KΩ(potenciômetro)
R_{10}= 4,7KΩ(potenciômetro)
R_{11}= 10KΩ 1/4W
R_{12}= 1.010.000Ω 1/2%
R_{13}= 101.000Ω 1/2%
R_{14}= 10.100Ω 1/2%
R_{15}= 1.010Ω 1/2%
R_{16}= 100Ω 1/2W
R_{17}= 10Ω 1/2W
R_{18}= 1Ω 1/2W
R_{19}= 0,1Ω 1/2W
R_{20}= 10KΩ (potenciômetro)
R_{21}= 1KΩ 1/4W
R_{22}= 5,6KΩ 1/4W
R_{23}= 4,7KΩ 1/4W
R_{24}= 10KΩ 1/4W
R_{25}= 10KΩ (potenciômetro)
R_{26}= 50KΩ (potenciômetro)
R_{27}= 220Ω 1/4W
R_{28}= 220Ω 1/4W
C_1 = 330.000 pF (poliester)
$C_2 = C_3$ = 100.000 pF (disco)
C_4 = 22mF 16V

$C_5 = C_6 = C_7 = C_8$ = 100mF(disco)
C_9 = 10mF (disco)
C_{10}= 270mF (poliester)
C_{11}= 10mF 16V
$C_{12}=C_{13}$ = 1.000mF 16V(eletrol.)
$C_{14}=C_{15}$ = 100mF 16V(eletrol.)

DS_1 = 1N4148
$DS_2 = DS_3$ = 1N4007
$DZ_1 = DZ_2$ = 4,7V, 1W - Zener
TR_1 = BC205 (PNP)
$TR_2 = TR_3$ = BC328 (PNP)
$CI_1 = CI_2 = CI_3$ = TL081
CI_4 = CA3.162
CI_5 = CA3.161
CI_6 = UA7.805
CI_7 = UA7.905

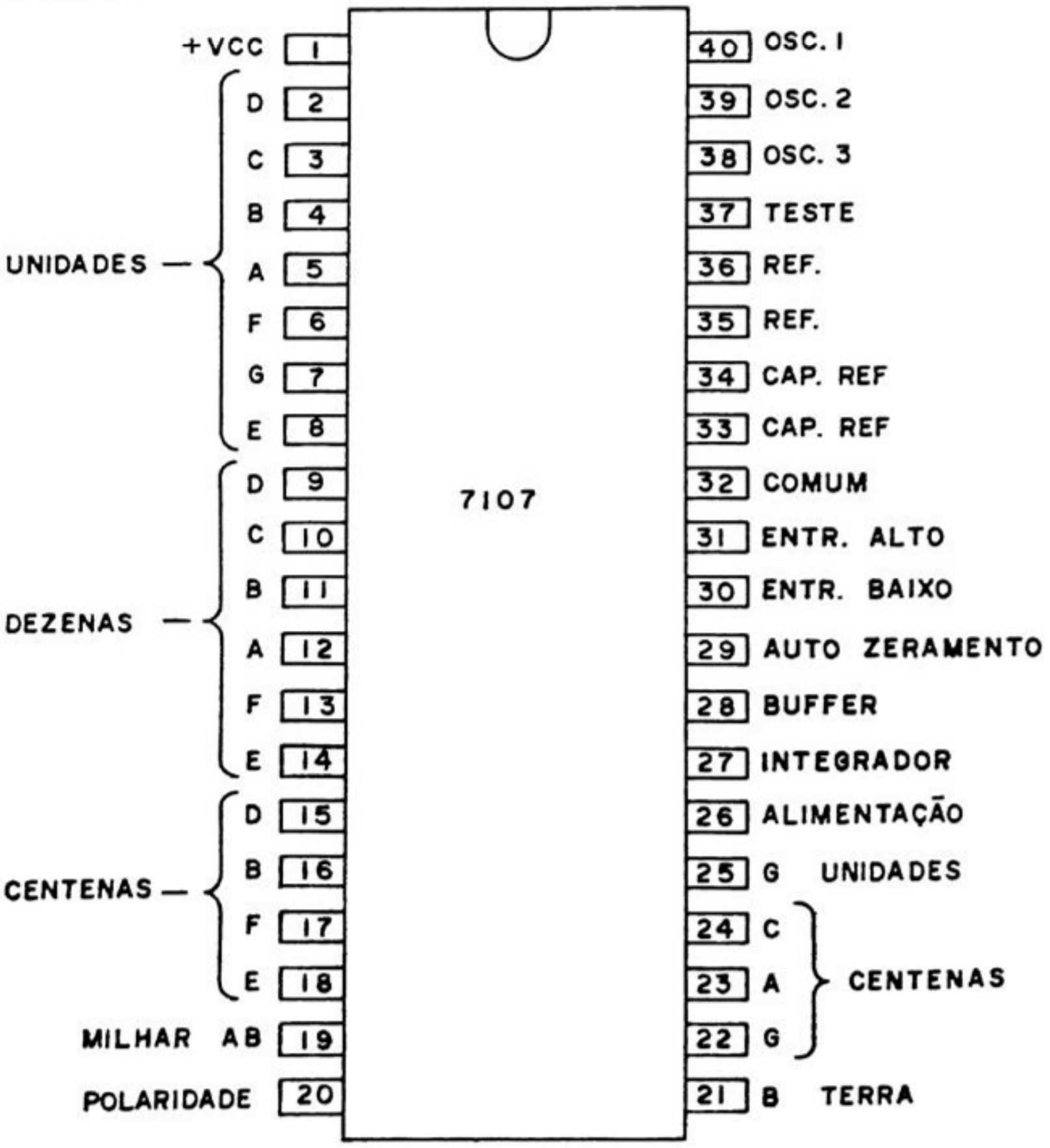
COMENTÁRIOS:

Devido ao processo de miniaturização de componentes, a tendência atual parece nos levar, cada vez mais, ao multímetro de um só circuito integrado. Já é possível, hoje em dia, fabricar integrados que contenham, além dos contadores, decodificadores e excitadores de display, todos os circuitos osciladores, de referência e de conversão A/D, requerendo apenas

alguns componentes externos.

Atualmente, ainda não dispomos desse tipo de CI no mercado. Porém, já dispomos de CIs mais sofisticados que os empregados no multímetro digital estudado nesta lição. Como exemplo, podemos citar o conversor A/D ICL 7107. Este CI, fabricado com a tecnologia CMOS, contém todos os dispositivos ativos necessários para recolher os dados e fornecer a leitura em um "display" de 3 1/2 dígitos, incluindo os decodificadores de sete segmentos, os "drivers" para os "displays", a tensão de referência e a freqüência de "clock". A figura 8 nos mostra a pinagem do ICL 7107.

FIGURA 08



A utilização de display de 3 1/2 dígitos nos permite uma contagem máxima de 1.999, ou seja, quando o instrumento estiver "sobrecarregado", o DMS é ligado para exibir um "1", de modo que a escala será alargada, pois, normalmente a escala iria de 0 a 999. Esse alargamento da escala nos permite trabalhar com uma sobre-escala de 100%. Resumindo, podemos dizer que o 1/2 dígito nada mais é do que o dígito mais significativo (DMS) o qual, quando extinguido, é igual a "0" (zero) e quando ligado é igual a "1" (um).

Para finalizar, podemos dizer que os novos multímetros - digitais possuem características superiores a muitos instrumentos de medidas existentes no mercado, de maior tamanho e bem mais caros. Os multímetros digitais mais modernos superam os analógicos, os eletrônicos e os próprios digitais de gerações anteriores, de modo que os instrumentos digitais de medida logo se tornarão um padrão aceito por todos.

Obs.: DMS = DIGITO MAIS SIGNIFICATIVO

ADENDO:

Apenas à titulo de informação, apresentamos a seguir a pinagem (veja figura 9), dos CIs ICL 7116 e ICL 7117, os quais, são na verdade, conversores A/D pertencentes à família do ICL 7107.

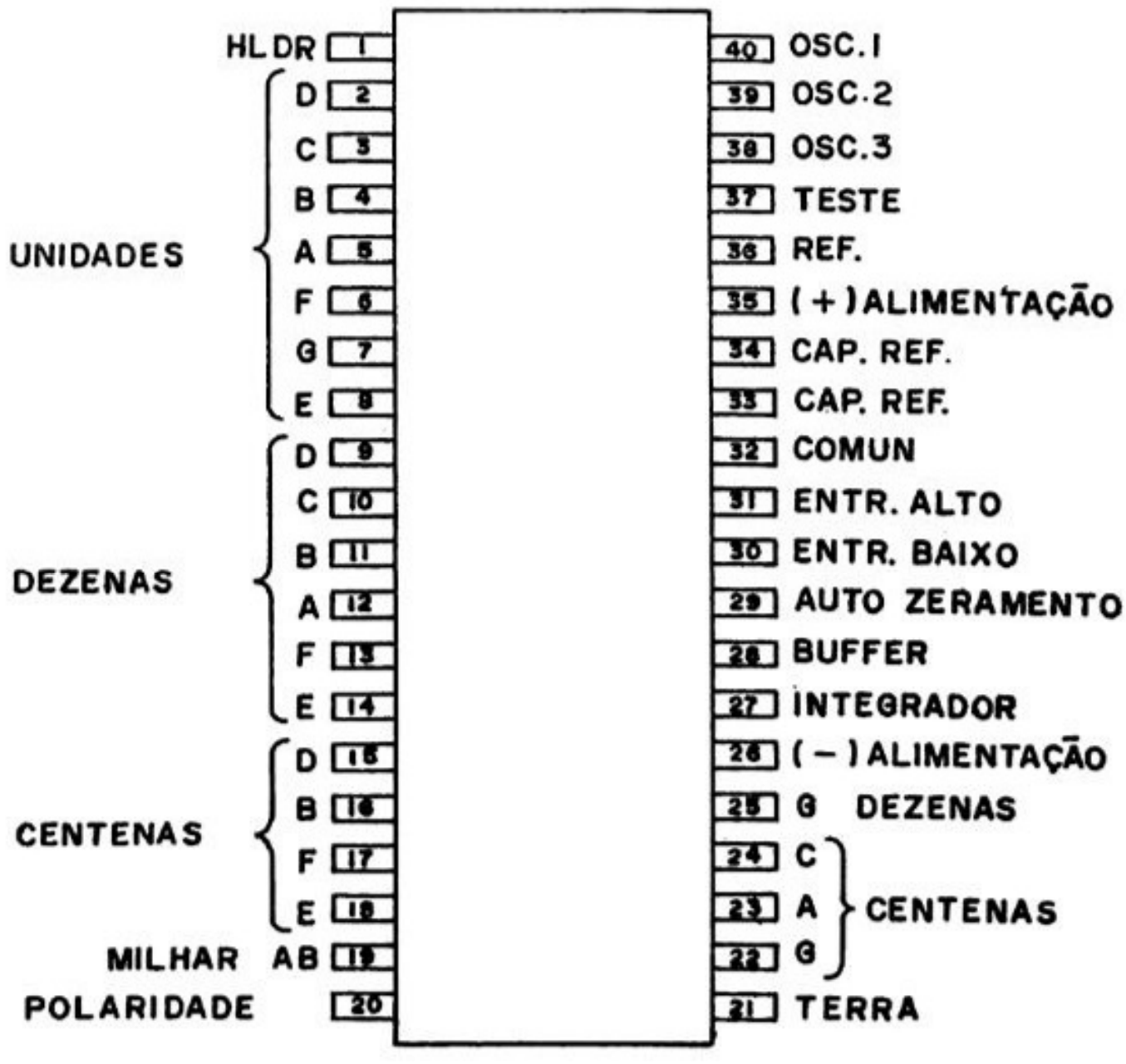
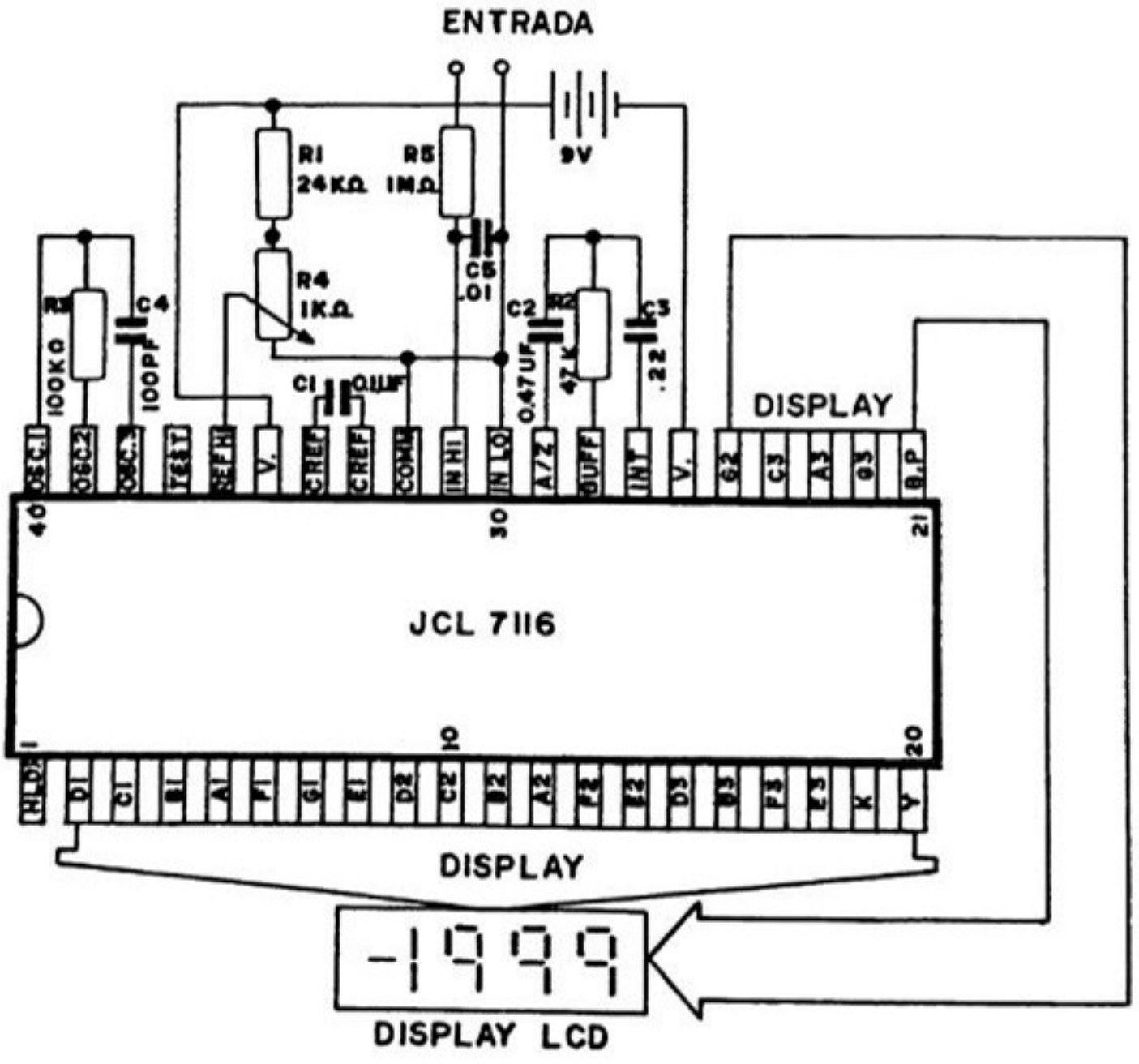


FIGURA 09

Esses CIs possuem duas seções (dois circuitos) internas distintas: analógica e digital. A seção analógica é composta pelos buffers de entrada, pelo integrador e pelo comparador. Já, a seção digital do ICL 7116 é ligeiramente diferente da seção do ICL 7117 pois o primeiro utiliza displays de cristal líquido e o segundo utiliza displays do tipo diodo emissor de luz (LED); porém, basicamente, a seção digital dos dois CIs podem ser considerados semelhantes uma vez que possuem um circuito gerador de clock e um circuito contador (digital). A saída desses CIs utiliza a técnica multiplexada.

Para finalizar, apresentamos na figura 10, um circuito DPM (medidor digital de painel), o qual utiliza um ICL 7116.

FIGURA 10



CURSOS DE APERFEIÇOAMENTO

CURSO DE
ELETRÔNICA DIGITAL E
MICROPROCESSADORES

CAIXA POSTAL 1642 - CEP 86100 - LONDRINA - PARANÁ

EXAME DA LICÃO ED-33

OBSERVAÇÃO

- cada questão é composta de três ou quatro alternativas.
- só uma delas está correta.
- marque a que considerar correta.
- passe as respostas corretas para a folha de exame.

1) Dentre as principais vantagens do multímetro digital sobre os analógicos, podemos citar:

a) o fim dos problemas causados pela inércia dos ponteiros;

b) a eliminação de alguns tipos de erros de leitura;

c) os itens a e b estão corretos;

d) N.R.A.

2) O coração do multímetro digital constitui-se num:

a) conversor A/D do tipo de "integração";

b) conversor D/A;

c) amplificador operacional;

d) N.R.A.

3) Para a medição de tensão alternada (Vca), a máxima frequência senoidal, aceita na entrada, gira em torno de:

a) ± 1KHz;

b) ± 13KHz;

c) ± 100KHz;

d) ± 1 MHz.

4) Para o multímetro analisado nesta lição, ao realizarmos uma medição de tensão contínua (Vcc), a tensão incógnita é atenuada de maneira que ela fique compreendida entre:

a) um mínimo de 1mV e um máximo de 999 mV;

b) um mínimo de 999 mV e um máximo de 9.999 mV;

c) um mínimo de 1 mV e um máximo de 2 mV;

d) N.R.A.

5) Com relação à figura 2, os resistores R1, R2, R3 e R4 deverão apresentar uma tolerância máxima em torno de:

a) 10,0%;

b) 5,0%;

c) 1,0%;

d) 0,5%.

≤ 1% MAX

6) Ao levarmos a chave CH1A para a posição 2 e mantermos a chave CH2A na posição 1, a tensão de entrada (tensão incógnita) será atenuada de:

a) 1.000 vezes;

b) 500 vezes;

c) 100 vezes;

d) 50 vezes.

7) Com relação à questão 6, no caso da tensão incógnita ser uma tensão negativa, a máxima leitura que poderemos obter é de:

a) - 99,9 volts;

b) - 9,9 volts;

c) - 999 volts;

d) N.R.A.

8) Para efetuarmos a medição de resistências devemos levar a chave CH2B para a posição:

a) 3; —— Ver pagina 16 (Fig 07)

b) 2;

c) 1;

d) 4.

9) Com relação à medição de resistência, ao levarmos a chave CH1B para a posição 4, o máximo valor de resistência que poderemos medir será de aproximadamente:

a) 100KΩ; b) 10KΩ; c) 1KΩ; d) N.R.A.

10) Para a medição de corrente contínua (C.C.) devemos levar a chave CH2B para a posição:

a) 1;

b) 2;

c) 3;

d) 4.