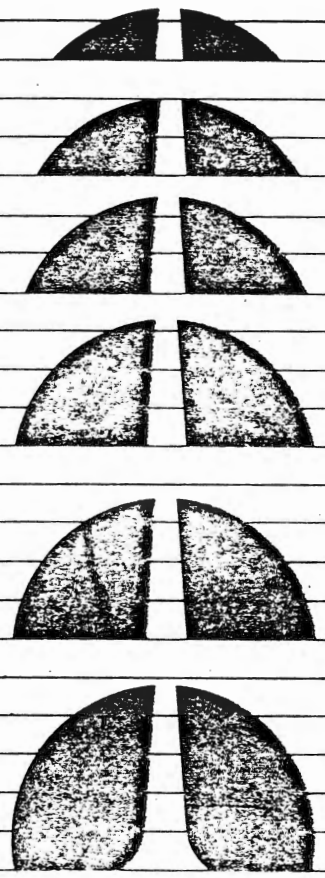


dismac

MANUAL TÉCNICO - D-8000

APRESENTAÇÃO

Este manual foi escrito para técnicos em manutenção e pessoas interessadas em conhecer o D-8000 para adaptá-lo às suas próprias necessidades. É indispensável que os leitores tenham muito boa base em eletrônica digital e microprocessadores. Cada bloco será aqui descrito de forma detalhada mostrando os pontos críticos de cada estágio. O equipamento aqui descrito corresponde ao primeiro modelo fabricado pela DISMAC. Os modelos posteriores têm alterações que melhoram o desempenho do D-8000; entretanto, o estudo deste manual é básico para qualquer trabalho feito em torno de qualquer modelo.

ÍNDICE

Descrição geral 3
Mapa de memória 4
Disposição física dos blocos 4
Teoria do funcionamento 4
Guia para reparos 11
Descrição dos conectores 14
Desmontagem e fiação 15
Relação dos componentes 15
Lay-out da placa CPU 17
Diagrama esquemático placa CPU 18
Lay-out teclado 20
Diagrama esquemático do teclado 21
Lay-out da placa Interface 22
Lay-out da placa Amplificador de vídeo 23
Lay-out da placa Recuperador de dados 24
Diagrama esquemático da Interface 25
Lay-out da Fonte de alimentação 27
Diagrama esquemático da Fonte de alimentação 28
Apêndice - descrição dos sinais da CPU 29

DESCRIÇÃO GERAL

O Computador Pessoal DISMAC D-8000 é formado por vários subsistemas, cujas descrições e relacionamentos daremos a seguir.

1. Grupo CPU

É o coração da máquina, formado por um microprocessador Z-80 e seus circuitos auxiliares de controle dos barramentos de dados e endereços, de inicialização e recomposição e pelos circuitos correspondentes ao barramento de controle.

2. Grupo ROM

Este grupo se compõe de 3 ROMs e seus respectivos circuitos de acionamento e seleção. É onde se encontram o Programa Monitor e o Interpretador BASIC Nível II.

3. Grupo RAM

São 16K bytes de memória de acesso aleatório disponíveis ao usuário para seus programas. Este grupo é formado por 8 integrados de memória, do tipo dinâmica, e seus circuitos de seleção e acionamento. Faz parte também deste grupo a lógica $\overline{RAS}$, MUX, $\overline{CAS}$, cuja descrição daremos adiante.

4. Grupo Teclado

Consiste do teclado propriamente dito e seus circuitos de seleção e acionamento.

5. Grupo Vídeo

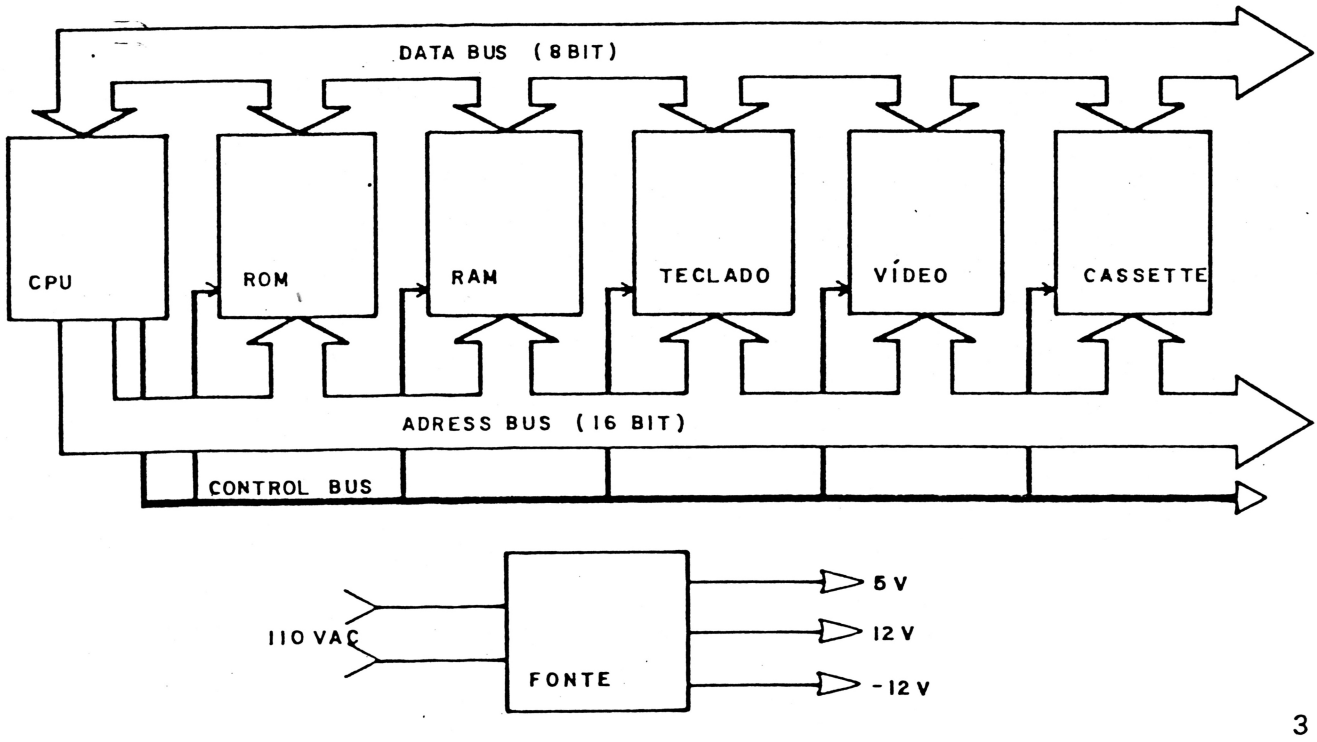
É a parte mais complexa do equipamento. Contém 1k de memória estática de acesso aleatório, os circuitos de sincronismos horizontal e vertical, o gerador de caracteres, o gerador de gráficos e o processador de vídeo.

6. Interface de Cassette

É a parte do computador responsável por transformar os bits em sinais de áudio para gravação em cassette convencional e também pelo caminho inverso, ou seja, transformar os sinais de áudio obtidos da fita, em bits.

7. Fontes de Alimentação

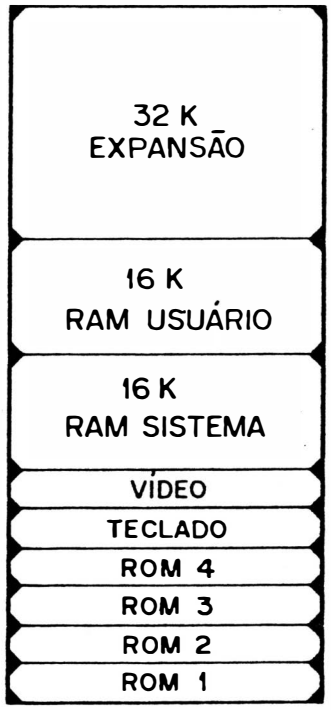
São os circuitos necessários para gerar as tensões adequadas para todo o conjunto operar. O diagrama abaixo mostra o interrelacionamento entre os subconjuntos.



MAPA DE MEMÓRIA

Com excessão da interface de cassette, todos os subconjuntos são parte da memória do sistema, ocupando posições bem definidas dentro da mesma. Os primeiros 16K pertencem ao sistema e, somente a partir do endereço 4000H se encontram as memórias do tipo RAM para o usuário, com possibilidades de expansão por meio de mais 32k.

Endereço (HEX)	Descrição
0000 - 0FFF	ROM N.º 1
1000 - 1FFF	ROM N.º 2
2000 - 2FFF	ROM N.º 3
3000 - 35FF	Reservado para ROM N.º 4
3700 - 37FF	Não usado pelo D-8000
3800 - 38FF	Teclado
3900 - 3BFF	Não usado pelo D-8000
3C00 - 3FFF	Vídeo
4000 - 41FF	RAM do sistema
4200 - 7FFF	RAM do usuário
8000 - FFFF	32K de extensão da RAM



DISPOSIÇÃO FÍSICA DOS BLOCOS

Os vários subsistemas estão contidos em 4 placas, conforme descrito a seguir:

Placa CPU	Contém os circuitos da CPU, ROM, RAM, interface para teclado. Contém ainda os reguladores de tensão.
Placa Interface	Contém o oscilador mestre, todo o circuito de vídeo e a interface de cassette.
Placa Recuperadora de Dados	Contém todo o circuito analógico de leitura do cassette
Placa Fonte de Alimentação	Contém os retificadores e filtros das tensões usadas para alimentar o sistema.

As placas CPU e Interface se ligam por meio de um cabo fita de 32 vias, enquanto que o Teclado se liga à placa CPU através de um cabo fita de 20 vias.

TEORIA DO FUNCIONAMENTO

1. Clock Mestre

O cristal XT101, em conjunto com U110, gera uma onda quadrada de freqüência 10,6445 MHz, usada para sincronizar todos os circuitos do D-8000.

2. Clock da CPU

O clock mestre é de freqüência muito elevada para a CPU (U5), motivo pelo qual é dividido por 6, através de U38, gerando um sinal de freqüência 1,774 MHz o qual é amplificado por U37. Este sinal é chamado clock da CPU, ou simplesmente Φ. Apoiada neste clock, a CPU controla todo o sistema através do barramento de endereços (A0-A15) e do barramento de controle. A movimentação de dados é feita pelo barramento de dados (D0-D7).

3. Sinais de Controle da CPU

Os sinais $\overline{BUSRQ}$, $\overline{INT}$, $\overline{HALT}$, $\overline{WAIT}$, $\overline{BUSAK}$ não são usados pelo D-8000, mas encontram-se disponíveis no conector de expansão para o caso de aplicações especiais. O sinal $\overline{RESET}$ somente é usado ao se ligar a CPU. Cada vez que o equipamento é ligado, o contador de programa é forçado para o endereço 0000H onde existe a rotina de "cold start". Quando ligamos o equipamento, as tensões são aplicadas em todos os componentes. Ocorre porém, que o capacitor C2, ligado ao pino 5 de U1 leva algum tempo para se carregar através de R2, fazendo com que a entrada $\overline{RESET}$ da CPU permaneça em zero, por algum tempo. Uma vez carregado C2, o pino 26 de U5 ficará permanentemente no nível 1. Este sinal $\overline{RESET}$ é também disponível no conector de expansão.

Caso se faça necessário recompor o sistema, isto se faz pelo sinal $\overline{NMI}$, pino 17 de U5, através da chave RESET localizada no painel trazeiro. Cada vez que é acionada, aterra o pino 13 de U14, fazendo com que o pino 8 de U2 caia a zero. Isto causa uma interrupção na CPU, desviando-a para o endereço 0066H, onde se encontra uma rotina de recomposição que não destrói os programas armazenados em memória. É o chamado "warm start".

4. Barramento de Controle da CPU

Para poder controlar o sistema, a CPU gera os seguintes sinais:

$\overline{RD}$ (Read) - Indica que a CPU está fazendo uma operação de leitura.
$\overline{WR}$ (Write) - Indica que a CPU está fazendo uma operação de escrita.
$\overline{MREQ}$ (Memory Request) - Indica que a operação de leitura ou escrita se refere à memória.
$\overline{IORQ}$ (Input Output Request) - Indica que a operação de leitura ou escrita se refere à portas de entrada ou saída.
$\overline{M1}$ - Indica que o corrente ciclo é um ciclo de busca do código de operação.
$\overline{RFSH}$ - Indica que os sete bits menos significativos do barramento de endereços contém um endereço de refrescamento para memórias dinâmicas.

Estes dois últimos sinais não são usados pelo D-8000, mas estão disponíveis no conector de expansão. Desta forma podemos nos resumir aos quatro primeiros sinais: $\overline{RD}$, $\overline{WR}$, $\overline{MREQ}$, $\overline{IORQ}$.

Todos os seis sinais são amplificados por U16 que, ao mesmo tempo, os isola da CPU para o caso de alguma aplicação especial onde se queira ter este controle a partir de algum dispositivo externo. Os quatro sinais usados passam por um circuito combinatório formado por U15, de forma a gerar os quatro sinais do barramento de controle:

$\overline{MR}$ - Memory Read
$\overline{MW}$ - Memory Write
$\overline{IN}$ - Input
$\overline{OUT}$ - Output

5. Barramento de Endereços

Os sinais de endereçamento, gerados pela CPU precisam ser amplificados antes de acionar os subsistemas. Isto é feito por meio de U4, U6 e parte de U17, os quais também isolam da CPU, o barramento de endereços de forma a mantê-la protegida e, ao mesmo tempo, permitir que algum dispositivo externo assuma o controle do barramento, caso o seja necessário. Convém notar que este barramento é unidirecional.

6. Barramento de Dados

O barramento de dados é isolado da CPU por meio de U18, U19 e U20. Por ser um barramento bidirecional, é importante que se estabeleça um controle pela CPU, do sentido de movimentação de dados, de forma a se evitar conflitos sobre o barramento. Isto é feito por meio do pino 3 de U14. Toda vez que a CPU não estiver fazendo uma operação de leitura, portando $\overline{RD}$ tiver nível 1, o pino 3 de U14 estará no nível zero, o que habilita a família de amplificadores de saída, U18 e parte de U19. Ao mesmo tempo, U1 através da saída 8, corta os amplificadores de entrada, formados pela outra parte de U19 e parte de U20. Pela mesma lógica, ao efetuar uma operação de leitura, a CPU corta os amplificadores de saída e habilita os de entrada.

7. Acesso aos Barramentos pelo Conector de Expansão

Em muitas aplicações, é necessário que algum dispositivo externo detenha o controle dos barramentos. Nestes casos, isto se consegue pelo aterramento do pino 3 de U1 e dos pinos 1 de U1 e U14. Através do pino 3 de U1, cortamos os amplificadores U16, que entram no terceiro estado, liberando o barramento de controle para acionamento externo. Através do pino 1 de U1, cortamos os amplificadores do barramento de endereços, que também entram para o terceiro estado, liberando o barramento para acionamento externo. Por sua vez, o pino 1 de U14, quando aterrado, força o pino 3 para o nível 1, o que corta automaticamente os amplificadores de saída do barramento de dados (que entram para o 3.º estado), e, através de U1, habilitam os amplificadores de entrada. Para que isto não cause conflitos sobre a CPU, é imperativo que antes de se solicitar o controle dos barramentos, a CPU seja também colocada no terceiro estado, o que se consegue pelo aterramento do pino 39 do conector de expansão (PHOLD) e aguardando-se a confirmação do 3.º estado no pino 34 do mesmo conector (PHLDA). Só então se pode solicitar o controle dos barramentos.

8. Decodificadores de Endereço

O D-8000 prevê o uso de dois tipos de RAM, 4K e 16K. Por este motivo existem "jumpers" na placa CPU, que permitem endereçar um ou outro tipo. Na nossa análise, vamos considerar a condição 16 K, conforme a tabela abaixo:

X1	
4K	16K
1-16	2-15
3-14	4-13
5-12	6-11
7-10	8-9

Caso se faça necessária, a análise para memória de 4K poderá ser feita sem maiores dificuldades.

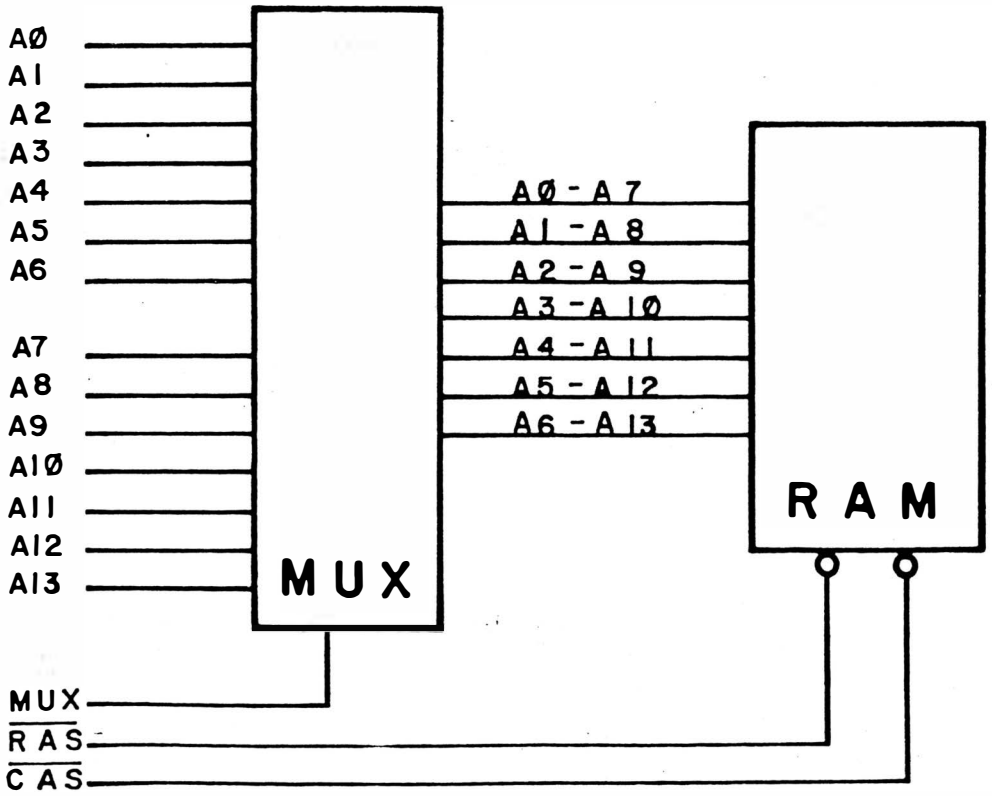
U25 é um duplo decodificador 1 de 4. Metade dele é usada para dividir a memória em páginas de 16K. Isto é feito ligando-se as linhas de endereço A14 e A15 em suas entradas. Desta forma, as saídas correspondem respectivamente aos endereços base 0000H, 4000H, 8000H e C000H. A saída 0000H habilita U22 que é um duplo decodificador 1 de 4 com saídas em coletor aberto. A13 é usado para selecionar uma das duas metades e A11 e A12 são as entradas. Esta configuração divide os primeiros 16K em páginas de 2K. Juntando-se as 6 saídas menos significativas, duas a duas, obtém-se 3 páginas de 4K, respectivamente 0000H, 1000H e 2000H. Estes são os sinais responsáveis pela seleção e habilitação das 3 memórias ROM, U10, U11 e U12.

O endereçamento da RAM residente (4000H - 7FFFH) é obtido pela saída do pino 11 de U25, que habilita a segunda metade de U25, usada nos casos de 4K de memória RAM, e também U37, pino 15, que é um amplificador para o sinal $\overline{CAS}$(ver item 9), usado no endereçamento da memória RAM.

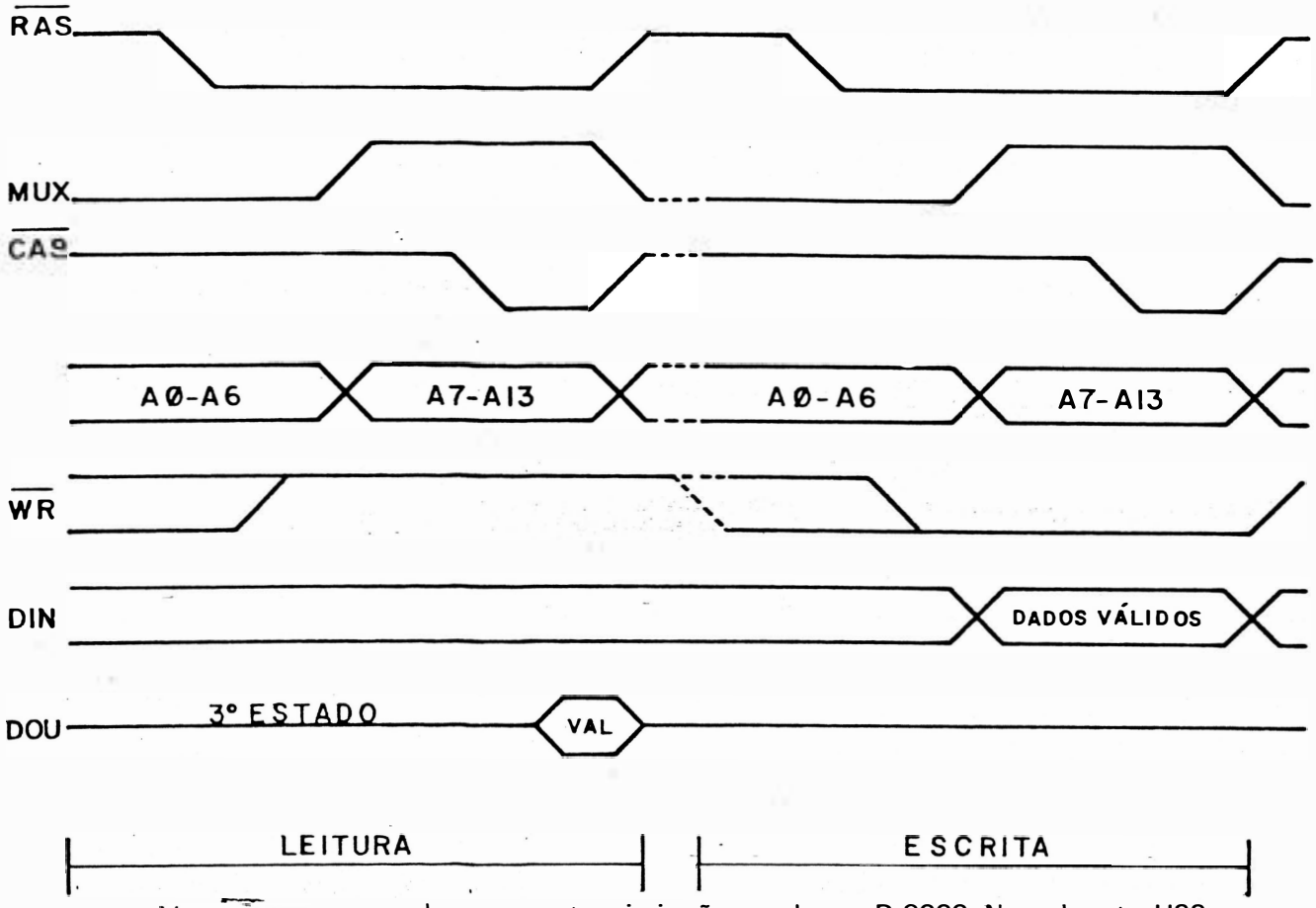
O endereçamento do teclado e do vídeo é feito pela saída 4 de U 22 que alternativamente alimenta U35, controlado por A10, que é completamentado por U36. Desta forma, 4 U35 pino 11 gera o sinal que habilita o teclado, enquanto que U35 pino 3, gera o sinal que habilita o vídeo.

9. $\overline{RAS}$, MUX, $\overline{CAS}$

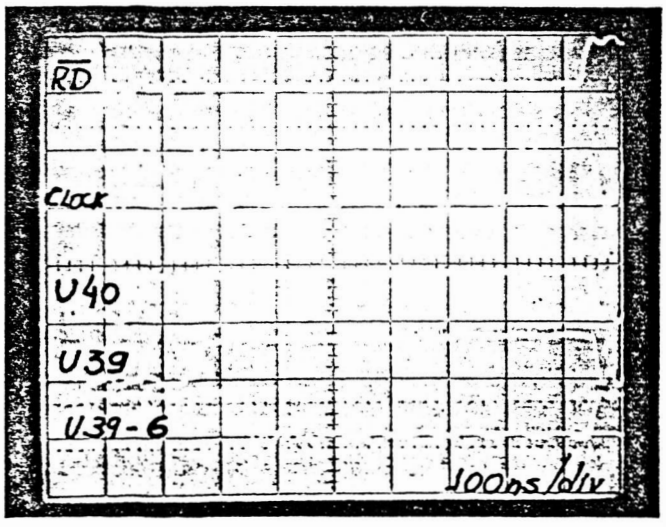
O uso de memórias de grande capacidade contidas em encapsulamentos normais, exigiu o desenvolvimento de técnicas especiais para o endereçamento. O sistema $\overline{RAS}$, MUX, $\overline{CAS}$ permite que uma memória de 16K ocupe apenas 7 pinos do integrado para as linhas de endereçamento. Isto é feito por meio de uma multiplexação fora do integrado e uma correspondente demultiplexação dentro do mesmo. Para se endereçar qualquer posição, envia-se os sete bits menos significativos do endereço, seguidos de um pulso $\overline{RAS}$ (Row Adress Strobe). Este pulso armazena os sete bits em registros internos da memória. A seguir, envia-se os sete bits mais significativos, através dos mesmos terminais do integrado e aplica-se um pulso $\overline{CAS}$ (Column Adress Strobe). Neste momento, o endereço desejado se torna disponível tanto para a leitura como para a escrita. Para se enviar os 14 bits de endereço através de 7 terminais, usa-se um multiplexador controlado por um sinal MUX, como mostra o esquema abaixo:



A seqüência dos sinais é rigorosa. Mostramos abaixo as formas de onda associadas às operações de leitura e escrita:



Vamos agora acompanhar como estes sinais são gerados no D-8000. Normalmente, U39 e a segunda metade de U40 estão com as saídas "Q" em zero, devido ao nível zero em suas entradas "Reset" (U40-1, U39-13, U39-1). Qualquer operação de acesso à memória fará com que um dos dois sinais $\overline{RD}$ ou $\overline{WR}$ (U14-5 e 4) caia para zero, levando a saída, pino 6 de U14, para o nível 1. Isto libera os contadores para contar pulsos do clock mestre (10.6445MHz). A fotografia n.º 1 mostra a seqüência de eventos.



Na primeira subida do clock, posterior à queda de um dos sinais acima referidos, U40 muda de estado, colocando um nível 1 na entrada D de U39 (pino 12). O clock seguinte comutará a primeira metade de U39 que, por sua vez colocará a entrada D da segunda metade, em nível 1. O próximo clock comutará o último flip-flop, fazendo com que sua saída complementar, pino 6, caia para zero. Uma vez comutados, os contadores ficarão estáveis até o fim do ciclo de acesso à memória, momento em que desaparece o sinal que deu origem ao processo ($\overline{RD}$ ou $\overline{WR}$) e, neste momento, os flip-flops são levados ao estado de repouso original, visto que as entradas "Reset" vão para o estado zero. Como todo ciclo de memória é identificado pelo sinal $\overline{MREQ}$, usa-se o mesmo sinal como $\overline{RAS}$ e, com isso, podemos endereçar as memórias dinâmicas.

10. Refrescamento das Memórias Dinâmicas

As memórias usadas possuem a característica de que em qualquer acesso, todas as linhas são refrescadas, exceto aquela que está sendo endereçada. Como o pulso $\overline{RAS}$ ($\overline{MREQ}$) ocorre a cada acesso de memória e também durante o ciclo de refrescamento da CPU, todas as posições de memória são refrescadas, de forma a garantir a estabilidade dos dados armazenados.

11. Circuitos de Acionamento das RAM

Os multiplexadores que enviam as informações de endereço para as RAM são U23 e U24, os quais têm a sua entrada de comutação, pino 1, ligadas ao sinal MUX. Desta forma, quando MUX é zero, aparecem à saída de U23 e U24, os bits A0, A1, A2, A3, A4, A5 e A6 e, quando MUX passa para o nível 1, aparecem nas mesmas linhas, os bits A13, A7, A8, A9, A10, A11 e A12. O fato de A13 estar fora de ordem, não afeta a operação da RAM mas, apenas a distribuição interna dos dados na mesma. Esta inversão é necessária para permitir o uso de memórias de 4K. Toda vez que se fizer uma operação de leitura, tanto para RAM como para ROM, os amplificadores U9 e parte de U20 serão acionados através de U21, permitindo que os dados sejam colocados no barramento e fiquem disponíveis para a CPU.

12. Acionamento do Teclado

O teclado é da forma matricial e funciona para o D-8000 como se fosse uma memória ocupando o espaço 3800H a 38FFH. Para verificar se existe alguma tecla acionada, a CPU faz uma varredura, lendo seqüencialmente os endereços 3801H, 3802H, 3804H, 3808H, 3810H, 3820H, 3840H e 3880H. Cada vez que a CPU endereça uma das posições acima, um dos bits AK0-AK7 vai pra o nível zero e, neste momento, os bits DK0-DK7 correspondentes às teclas eventualmente acionadas naquela linha, vão para zero. Como a saída do teclado é feita por amplificadores inversores, os bits DO-D7 correspondentes às teclas acionadas, vão para o nível 1.

Para ilustrar o processo acima, vamos pressionar a tecla "4". A CPU começa a varrer o teclado na seqüência descrita e vai sucessivamente encontrando bytes com valor zero, até o momento em que ela endereça a posição 3810H. Nesta posição, ela encontra um byte com valor 10H. Devido à construção do teclado, a CPU sabe que um valor 10H para o endereço 3810H corresponde à tecla "4" e, então, ela gera um valor 34H, correspondente ao código ASCII para o número 4. A seguir, ela verifica se a tecla "Shift" também está acionada. Caso positivo, a CPU transforma o código 34H, correspondente ao número 4, para o código 24H, correspondente ao símbolo $.

Convém notar que os amplificadores inversores que alimentam as linhas AK0-AK7 são do tipo coletor aberto, de forma que, se forem colocadas em curto pelo acionamento simultâneo de teclas da mesma coluna, não ocorrem danos aos componentes.

13. Geração dos Sinais de Sincronismo

Vamos analisar somente a temporização para o formato de 64 caracteres por linha, deixando o formato de 32 para mais adiante. As freqüências de varreduras horizontal e vertical são obtidas pela divisão do clock mestre (10.6445 MHz), através de uma cadeia de contadores. As frequências dos sinais presentes no pino 11 de U107 e no pino 11 de U109 são as freqüências de sincronismo horizontal e vertical.

Entretanto, as formas de onda nestes pontos não encontram as especificações dos sinais de sincronismo normalizados. Estes dois sinais passam, então, por um circuito remodelador, formado por U130, U138.

Dois inversores de U138, VR101 e C120 atrasam os pulsos de sincronismo horizontal, enquanto dois outros inversores de U138, VR102 e C122 atrasam os pulsos de sincronismo vertical. Quando ajustamos VR 101 e VR102, as posições horizontal e vertical da imagem podem ser alteradas. U119 forma uma porta OU exclusiva, que combina os sinais de sincronismo.

14. Combinação dos Sinais de Sincronismo e Vídeo

Dependendo do tipo do monitor usado, os sinais de sincronismo seguem caminhos distintos. O monitor que acompanha o D-8000 usa entradas separadas para os sinais de vídeo e sincronismo. Existe entretanto, uma saída de vídeo normalizada. O sinal de vídeo sai do pino 11 de U129, enquanto que o sinal de sincronismo composto sai do pino 11 de U119. Estes sinais são combinados por Q102, Q103, Q104, que geram o sinal de vídeo composto.

15. Endereçamento da RAM de Vídeo

Já vimos que os contadores do circuito de vídeo são usados para produzir os sinais de sincronismos. As outras saídas dos contadores são usadas para endereçar as RAMs de vídeo. Considerando que o sistema esteja selecionado para 64 caracteres por linha e que cada caracter seja um código ASCII, vamos analisar a formação do vídeo. Cada posição de memórias corresponde a uma posição de vídeo e cada caracter ocupa 12 linhas de vídeo para a sua formação. Desta forma, 64 posições de memórias devem ser lidas em sequência, durante a varredura de uma linha. Como cada linha de caracteres ocupa 12 linhas de varredura, o endereço vertical é incrementado a cada 12 linhas. As saídas dos contadores estão conectadas às linhas de endereço das RAMs através dos multiplexadores U112, U111, U102 e U104, conforme a tabela:

Horizontal	Endereço	Vertical	Endereço
U105 pino 8	A0	U109 pino14	A6
U106 pino 9	A1	U109 pino 12	A7
U106 pino 8	A2	U109 pino 9	A8
U107 pino 12	A3	U109 pino 8	A9
U107 pino 9	A4		
U107 pino 8	A5		

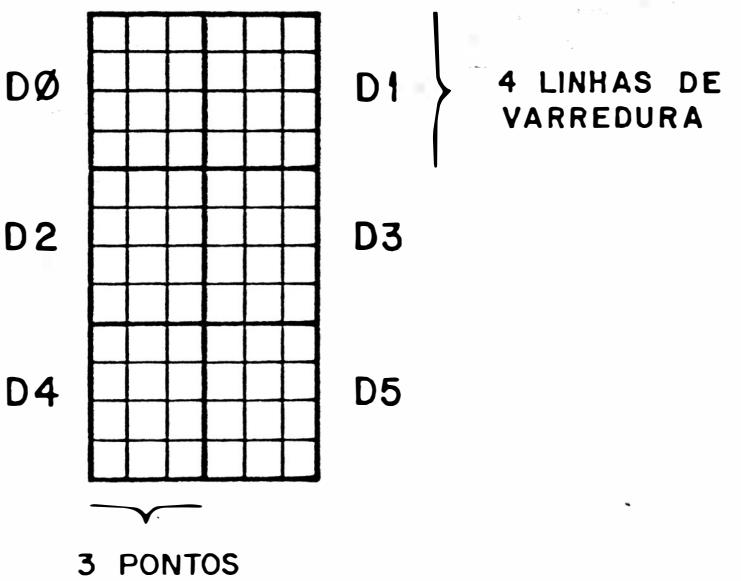
Se a CPU endereçar a RAM de vídeo, o sinal $\overline{VID}$, que é obtido do decodificador de endereços, vai ao nível 0. Os multiplexadores U111, U102 e U103 são comutados dos endereços horizontal e vertical para o barramento de endereços da CPU. Então, o sinal $\overline{RD}$ habilita os amplificadores de saída da RAM de vídeo, que envia os dados ao barramento de dados. No modo de escrita, o sinal $\overline{WR}$ colocará a linha R/W da RAM no nível "0" e armazenará dados na RAM através do barramento de dados.

Existem somente sete memórias 2102 em vez de oito. O bit mais significativo D7 (U128), controla o modo "display".

Quando D7 está no nível 1, ele representa modo gráfico; quando no nível 0, representa modo caracteres.

16. Geração do Sinal de Vídeo

Antes de falarmos na operação dos circuitos, devemos verificar os formatos do "display". No modo alfanumérico, cada linha de caracteres é composta de 12 linhas de varredura. Das 12 linhas, somente 8 contém informações; as outras 4 estão vazias. No modo gráfico, cada linha consiste de 64 células gráficas e cada célula é formada por 6 pontos. Cada ponto corresponde a um bit de dado na RAM, conforme abaixo:



Em cada linha de caracteres, o número de cada uma das 12 linhas de varredura é representada por 4 bits. Chamaremos a estes 4 bits: LØ, L1, L2 e L3, que correspondem aos pinos 12, 9, 8 e 11 de U108, respectivamente.

Vamos analisar como um caracter alfanumérico é carregado no registrador de deslocamento e transformado em um sinal de vídeo. Quando o contador U105 (divisor por 6) conta até 5, o pino 3 de U113 vai para o "nível Ø". Neste momento as saídas do gerador de caracteres U116 são guardadas em U117.

Os dados armazenados em U117 sofrem deslocamento controlado pelo clock de 10,644 MHz, e tudo acima se repete novamente para o próximo caracter.

O gerador de caracteres é endereçado pelos 6 bits de dados da RAM e pelo contador de linhas de vídeo LØ, L1, L2 e L3.

Visto que as linhas n.º 8 a 11 de cada linha de caracteres devem ser apagadas (para prover separação entre duas linhas de caracteres sucessivas) o pino 11 de U136 fornece um sinal de apagamento de vídeo. Quando este sinal é Ø, ele inibe a entrada de um novo caracter nos registradores de deslocamento. De forma análoga, a saída do pino 15 de U136 contém o sinal resultante da combinação "OU" de sinais de sincronismo vertical e horizontal, garantindo o apagamento durante o retraco.

17. Modo Expandido - 32 Caracteres por Linha

Neste modo, a chave S101 é fechada. Os multiplexadores U112 e U104 são então chaveados para a outra entrada. Originalmente, A0 da RAM de vídeo é conectado ao pino 9 de U105 através do MUX, mas agora, está conectado ao pino 9 de U106. Similarmente, A1 está conectado ao antigo A2, A2, ao A3, A3 ao A4 e A5 ao sinal chave $\overline{\text{PAGE}}$. Se este sinal for zero, a página da esquerda será mostrada e, caso contrário, a da direita será mostrada. A temporização da busca de dados é também modificada. Isto é feito alimentando U105 com o sinal clock/2.

18. Modo Gráfico

A interface está no modo gráfico quando o bit mais significativo da RAM de vídeo é 1. Este bit é retido por U136, no mesmo instante em que os outros 6 bits são retidos por U115. O bit 7 retido, desabilita a porta NAND superior de U137 e habilita a inferior. O próximo sinal de busca de dados carregará os dados no U135. Desde que somente 2 bits serão armazenados em U135, este seleciona 2 dos 6 bits cada vez. A seleção é controlada por L2 e L3. Nas linhas de varredura 0-3, D0 e D1 são selecionados. Nas linhas 4 - 7, D2 e D3 são selecionados e nas linhas 8 - 11, D4 e D5 são selecionados.

19. Endereçamento do Gravador Cassette

O gravador usa as portas FEH e FFH para as operações de I/O e controle. Estes dois endereços são decodificados por U121 e U120. A tabela abaixo mostra as atribuições de cada bit em cada porta:

OPERAÇÕES DE SAÍDA (Escrita)			
PORTA	BITS	ESTADO 0	ESTADO 1
FF	DO	Desliga K7	Liga K7
FF	D1, D2	Sinal de saída p/gravação	
FE	D4	Seleciona Gravador 1	Seleciona Gravador 2

OPERAÇÃO DE ENTRADA (Leitura)		
PORTA	BIT	
FF	$\overline{D7}$	Sinal de entrada do gravador

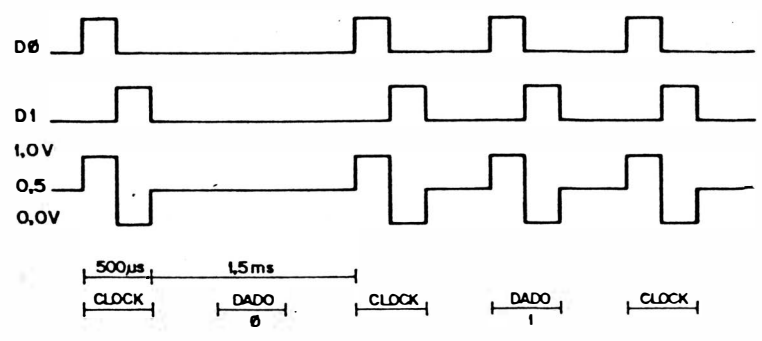
20. Seleção do Gravador

Normalmente o pino 8 de U101 está no nível 1. Se o sinal liga/desliga gravador (U133-2) passa para o nível 1, o REL101 é acionado. Quando a CPU quiser selecionar o gravador n.º 2, ela fará o bit D4 da porta FEH assumir o estado 1. A saída Q de U101 (pino 9) passa para o nível 1 e $\overline{Q}$ (pino 8) passa para o nível zero. O REL 102 é ativado e o REL 101 é desativado. Desta forma, o gravador escolhido é ativado, e suas entradas e saídas conectadas aos respectivos circuitos da interface.

21. Gravação dos Sinais

Os resistores R118, R121 e R115 formam um divisor de tensão de forma que dependendo dos estados dos bits DO e D1, obtemos diferentes níveis na saída de áudio.

Como o gravador não apresenta resposta em alta freqüência, trabalhando os bits de forma conveniente, conseguimos gerar um sinal parecido com uma senóide, que segue para o gravador. Porém, antes de mandar um bit de dado, o D-8000 envia sempre um bit chamado de clock. Desta forma os bits de dados estão sempre alojados em células de tempo delimitadas por bits de clock. Este processo facilita o sincronismo durante a leitura. Mostramos abaixo os sinais envolvidos com o processo.



22. Leitura

Durante a leitura, o sinal proveniente da fita passa por U301 que é um amplificador associado a um filtro passa faixa, o qual elimina as interferências dos ruídos de 60Hz e das de alta freqüência. Em seguida, o sinal sofre uma retificação de onda completa, no circuito formado por U302, U303 e U304.

O sinal assim obtido é comparado com um nível de referência através de U306, o qual gera pulsos de grande amplitude. Q301 transforma tais pulsos em níveis compatíveis com circuitos TTL e em seguida aciona o monoestável formado por U305. A saída complementar de U305 comuta o flip-flop formado por U113 que por sua vez bloqueia U305 através de Q302. Com isso consegue-se evitar falsos disparos do monoestável e assim aumentar a confiabilidade do sistema. Uma vez acionado o flip-flop formado por U113, somente a CPU o pode desligar, o que é feito por meio de software.

A saída de U113 é o bit recuperado que vai ser lido pela CPU através do amplificador U132-9. Os circuitos acima descritos, com excessão de U113 e U132 se encontram numa placa à parte, chamada placa recuperadora de dados. A análise deste circuito somente pode ser feita durante uma operação "CSAVE", a qual libera U113 para a operação.

23. Fonte de Alimentação

A fonte de alimentação é formada por retificadores e filtros capacitivos que fornecem aos reguladores contidos na placa da CPU as seguintes tensões:

Tensão	Tensão sem carga		Tensão com carga	
	Min.	Máx.	Min.	Máx.
+8 V	10,5 V	11,5 V	8,0 V	9,0 V
+16 V	20,0 V	24,0 V	15,0V	18,0 V
−16 V	−20,0 V	−24,0 V	−15,0 V	−18,0 V

GUIA PARA REPAROS

Devido à complexidade dos circuitos envolvidos, muitos tipos de defeitos podem ocorrer. Os mais frequentes, entretanto, são a queima de memórias e o desalinhamento dos circuitos de cassette. Podem ser causados por problemas de transporte ou quando o D-8000 é operado em condições desfavoráveis (alta temperatura, umidade ou ruídos na linha de 110V).

1. Fluxograma para reparos

Antes de acompanhar o fluxograma, convém observar alguns pontos:

a) Um sistema que soletra as palavras de forma errada, normalmente tem dados presos na RAM de vídeo ou então, os dados que vão para o gerador de caracteres estão sendo apanhados por algum defeito perto de U115.

b) Se uma imagem oscila para cima e para baixo, pode ser devido a um defeito na linha de + 5,0V

c) Erros de leitura de fita podem ser causados por falhas mecânicas tais como desalinhamento do azimuth do gravador ou baixa qualidade da fita.

d) Depois que a interface de vídeo for ajustada, poderá ser necessário reajustar a posição do vídeo, o que se faz com o auxílio do seguinte programa:

```
10 CLS
20 PRINT@522, "ESQUERDA";:PRINT@554,"DIREITA";
30 FOR X=0 TO 127
40 SET(X,0):SET(X,47):NEXT X
50 FOR Y=0 TO 47
60 SET (0,Y):SET(63,Y):SET(64,Y):SET(127,Y):NEXTY
70 GOTO70
80 END
```

O retângulo desenhado na tela deverá ser centrado por meio de VR101 e VR102, que devem ser ajustados com uma chave não metálica.

e) Caso se faça necessário um ajuste no recuperador de dados, deve-se colocar uma fita padrão no gravador e efetuar um comando "CLOAD". Deve-se conectar o osciloscópio com as seguintes opções:

modo	CHOPP
trigger	CANAL 1
canal 1	2 V/DIV, DC
canal 2	1 V/DIV, DC
time base	200 μs/DIV

Liga-se o canal 1 na entrada FB da placa recuperadora de dados, e o canal 2 na junção de R310 e R313. Alinha-se o canal 1 na base da tela e o canal 2 no topo da mesma. Acionado o sistema, ajusta-se o volume do gravador para que o sinal medido pelo canal 2 tenha um nível entre 4 e 5Vpp. A foto n.º 2 mostra um sinal padrão. Se o sinal medido for semelhante ao exemplo, verifica-se o ajuste do nível do recuperador de dados; variando-se o trimpot VR301, varia o ponto de disparo do osciloscópio. Deve-se buscar um ponto de disparo como mostra a foto.

A foto n.º 3 mostra o efeito de um desalinhamento de azimuth. Nota-se que o pico central ficou reduzido em relação aos laterais. Neste caso deve-se ajustar o parafuso da cabeça até que se tenha o maior pico central.

Para um ajuste mais preciso, muda-se a base de tempo para 50μs/div, de forma a obter uma imagem como a da foto n.º 4. Ajustando-se o volume para manter o nível do sinal, procura-se centrar o pico dentro da tela.

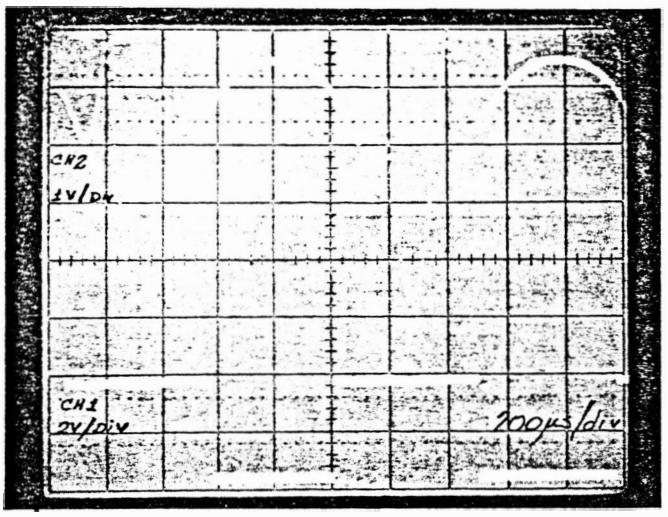


foto 2

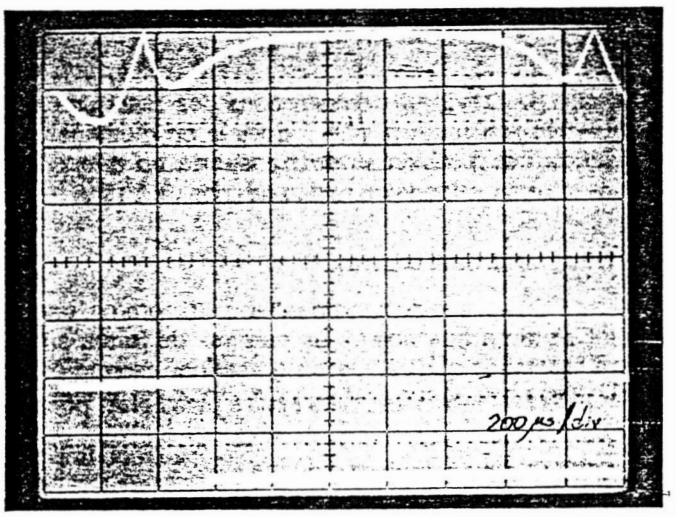


foto 3

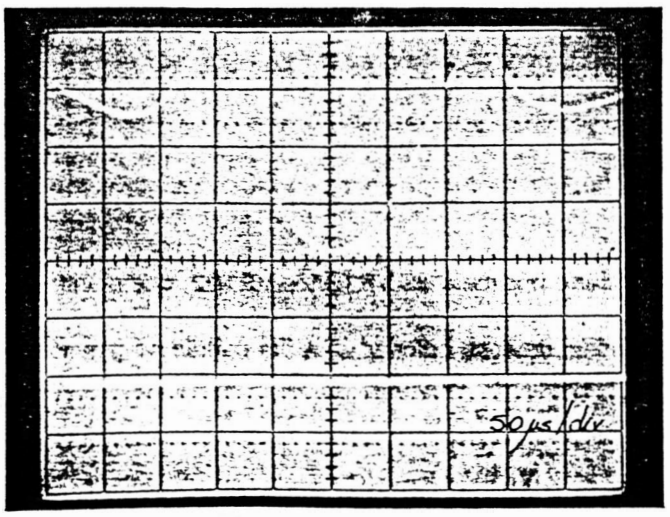
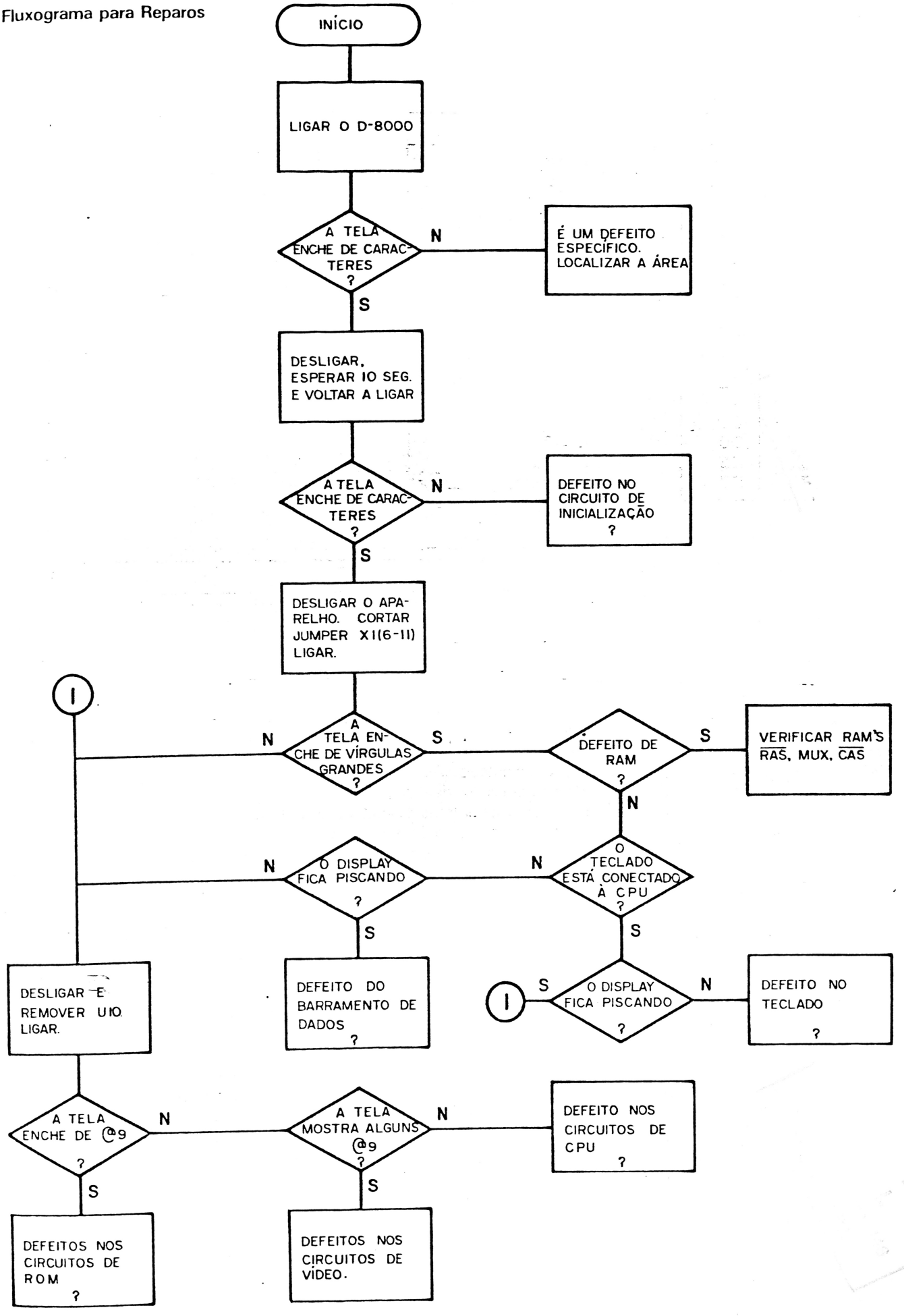


foto 4

Fluxograma para Reparos



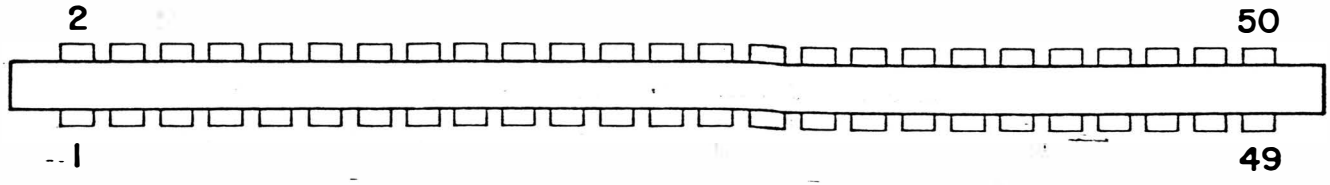
DESCRIÇÃO DOS CONECTORES

1. Interface para Expansão

PINO	SINAL
1	GND
2	GND
3	A7
4	A6
5	A5
6	A4
7	A1
8	A3
9	A2
10	AØ
11	D5
12	D2
13	—
14	D1
15	D0
16	D3
17	D7

PINO	SINAL
18	D6
19	+5V
20	D4
21	A15
22	A8
23	A14
24	A9
25	—
26	A10
27	A13
28	A11
29	A12
30	PHI
31	$\overline{\text{PINT}}$
32	—
33	—
34	$\overline{\text{PHLDA}}$

PINO	SINAL
35	$\overline{\text{PHANTOM}}$
36	$\overline{\text{HALT}}$
37	$\overline{\text{PWAIT}}$
38	$\overline{\text{IORQ}}$
39	$\overline{\text{PHOLD}}$
40	$\overline{\text{WR}}$
41	$\overline{\text{RD}}$
42	$\overline{\text{CCDBS}}$/$\overline{\text{STADBS}}$
43	$\overline{\text{MREQ}}$
44	$\overline{\text{DODBS}}$/$\overline{\text{ADDBS}}$
45	$\overline{\text{M1}}$
46	$\overline{\text{RESET}}$
47	$\overline{\text{RFSH}}$
48	$\overline{\text{NMI}}$
49	GND
50	GND

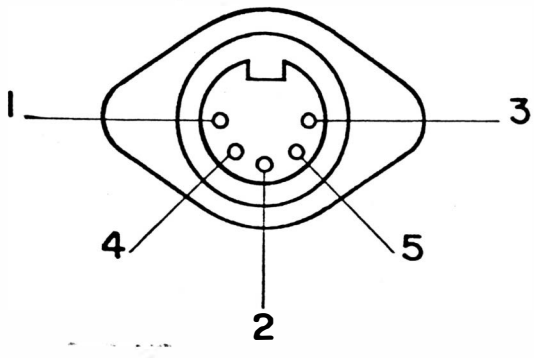


Descrição dos sinais de controle

PHI	Clock de 1,79MHz
PINT	Pedido de interrupção (processor interrupt)
PHLDA	Reconhecimento do estado HOLD do processador (processor hold acknowledge)
PHANTOM	Controle externo para bloqueio das memórias
HALT	Reconhecimento do estado HALT
PWAIT	Controle externo para ciclos de WAIT
IORQ	Acesso a dispositivos de entrada e saída (input/output request)
PHOLD	Controle externo para bloqueio do processador
WR	Controle de escrita do processador
RD	Controle de leitura do processador
CCDBS/STADBS	Controle externo para bloqueio dos barramentos de controle e status
DODBS/ADDBS	Controle externo para bloqueio dos barramentos de dados e endereços
M1	Indica que a CPU está no primeiro ciclo de máquina
RESET	Inicialização da CPU
RFSH	Controle para refrescamento de memórias
NMI	Interrupção não mascarada
MREQ	Acesso a dispositivos de memória

2. Interface para Televisão

1	-
2	-
3	-
4	Saída de vídeo composto (1,8Vpp)
5	GND



3. Interface para Gravador

1 - Remoto +
2 - Massa
3 - Remoto
4 - Entrada (Saída do gravador)
5 - Saída (Entrada do gravador)

4. Conexão CPU - INTERFACE

1 - CLOCK	17 - DO
2 - + 16 V	18 - D1
3 - PAGE	19 - D5
4 - F1	20 - D2
5 - $\overline{WR}$	21 - +5V
7 - CLOCK/2	22 - A1
8 - $\overline{RD}$	23 - A2
9 - A10	24 - AO
10 - $\overline{VID}$	25 - A3
11 - A9	26 - A5
12 - A8	27 - A4
13 - D4	28 - A7
14 - D6	29 - A6
15 - D7	30 - $\overline{IN}$
16 - D3	31 - $\overline{OUT}$
	32 - GND

5. Interface para Monitor

1 - + 24 V
2 - Massa
4 - Vídeo
5 - Sincronismo Composto

6. Conexão CPU - Teclado

1 - DK4	11 - F1
2 - DK6	12 - GND
3 - DK3	13 - AKO
4 - DK7	14 - AK1
5 - DK5	15 - AK2
6 - DK2	16 - AK3
7 - DKO	17 - AK4
8 - DK1	18 - AK5
9 - +5V	19 - AK6
10 - PAGE	20 - AK7

DESMONTAGEM E FIAÇÃO

O D-8000 foi projetado de forma modular. Ao levantarmos a tampa, notamos que o teclado e o gravador a acompanham, enquanto que as placas CPU, INTERFACE e FONTE DE ALIMENTAÇÃO são fixos na base da caixa. Os sub-conjuntos são interligados por meio de conectores, de forma que, é possível uma fácil remoção, caso seja necessário.

Lembramos, ainda, que este manual objetiva permitir ao usuário conhecer o D-8000 com o fim de adaptá-lo a uma função específica. Desta forma, não recomendamos, em nenhuma hipótese, a desmontagem e manutenção do equipamento fora do nosso departamento de Assistência Técnica, onde pessoas foram treinadas para desmontar e manusear componentes delicados que integram o seu Computador Pessoal.

RELAÇÃO DE COMPONENTES

1. Placa CPU

U1	74LS14
U2,U3	74LS05
U4	74LS367
U5	Z-80
U6	74LS367
U7, U8	74LS368
U9	74LS367
U10	ROM 3001
U11	ROM 3002
U12	ROM 3003
U13	—
U14	74LS132
U15	74LS32
U16, U17, U18, U19, U20	74LS367
U21	74LS20
U22	74LS156
U23, U 24	74LS157
U25	74LS139
U26	—
U27, U28, U29, U30, U31, U32, U33, U34	RAM 4116
U35	74LS32
U36	74LS04
U37	74LS367
U38	74LS12
U39, U40	74LS74
D1	1N4148
D2	1N4735 (ZENER 6,2V)
D3	1N5231 (ZENER 5,1V)
R1-R15	4K7,1/4W
R16	330, 1/2W
R17, R18	4K7, 1/4W
R19	330, 1/4W
C1	10μF/16V, Eletrolítico
C2, C3, C4, C5	100μF/16V, Eletrolítico
C6-C30	0,1μF Cerâmico Disco
7805	Regulador 5V
7812	Regulador 12V

Chave push-button s/trava para reset
Conector 20 pinos para placa de teclado
Conector 32 pinos para placa interligações
Conector 04 pinos para placa de fonte de alimentação
Dissipador TO-03
Dissipador TO-220

2. Placa Interligações

U101 ..... 74LS74
U102, U103, U104 .... 74LS157
U105 ..... 74LS92
U106, U107, U108,
U109 ..... 74LS93
U110 ..... 74LS04
U111, U112 ..... 74LS157
U113 ..... 74LS132
U114, U115 ..... 74LS174
U116 2513
U117 74166
U118 ..... 74LS11
U119 ..... MC4011
U120 ..... 74LS32
U121 ..... 74LS30
U122, U123, U124,
U125, U126, U127,
U128 ..... RAM 2102
U129 ..... 74LS02
U130 ..... MC4069
U131 ..... 74LS27
U132 ..... 74LS367
U133 ..... 74LS175
U134 ..... 74LS367
U135 74166
U136 ..... 74LS175
U137 ..... 74LS20
U138 ..... MC4069
D101 ..... ZENER 8,2V
D102, D103, D104,
D105, D106, D107,
D108 ..... 1N4148
R101 ..... 560, 1/4W
R102 ..... 1K, 1/4W
R103 ..... 560, 1/4W
R104, R105 ..... 4K7, 1/4W
R106 ..... 120, 1/4W
R107 ..... 10K, 1/4W
R108, R109 ..... 1K, 1/4W
R110 ..... 4K7, 1/4W
R111 ..... 330, 1/4W
R112 ..... 75, 1/4W
R113 ..... 220, 1/4W
R114 ..... 120, 1/4W
R115 ..... 680, 1/4W
R116 ..... 47, 1/4W
R117 ..... 10K, 1/4W
R118 ..... 4K7, 1/4W
R119, R120, R121,
R122, R123 ..... 10K, 1/4W
VR101 ..... 100K, Trimpot
VR102 ..... 100K, Trimpot
C101 ..... 100µF/16V, Eletrolítico
C102 ..... 10µF/16V, Eletrolítico
C103, C104 ..... 0.1µF, Cerâmico Disco
C105 ..... 100µF/16V, Eletrolítico
C106, C107 ..... 100pF, Cerâmico Disco
C108 ..... 0.1µF, Cerâmico Disco
C109 ..... 220pF, Cerâmico Disco
C110, C111, C112,
C113, C114, C115,
C116, C117, C118 .... 0.1µF, Cerâmico Disco
C119 ..... 750pF, Cerâmico Disco
C120 ..... 330pF, Cerâmico Disco
C121 ..... 0.022pF, Mylar
C122 ..... 0.05pF, Mylar
REL101, REL 102 ..... Relé 9V
Q101 ..... 9013G
Q102, Q103 ..... 9018G
Q104 ..... 9015A
Q105, Q106, Q107,
Q108 ..... 9013G
Q109 ..... TIP31
XT101 ..... Cristal 10,644MHz
Chave push-button c/trava
Conector 32 pinos para placa CPU
Conector 05 pinos para cassette #1
Conector 05 pinos DIN para cassette #2/TV
Modulador de RF - canal 3

3. Placa Amplificador de Vídeo

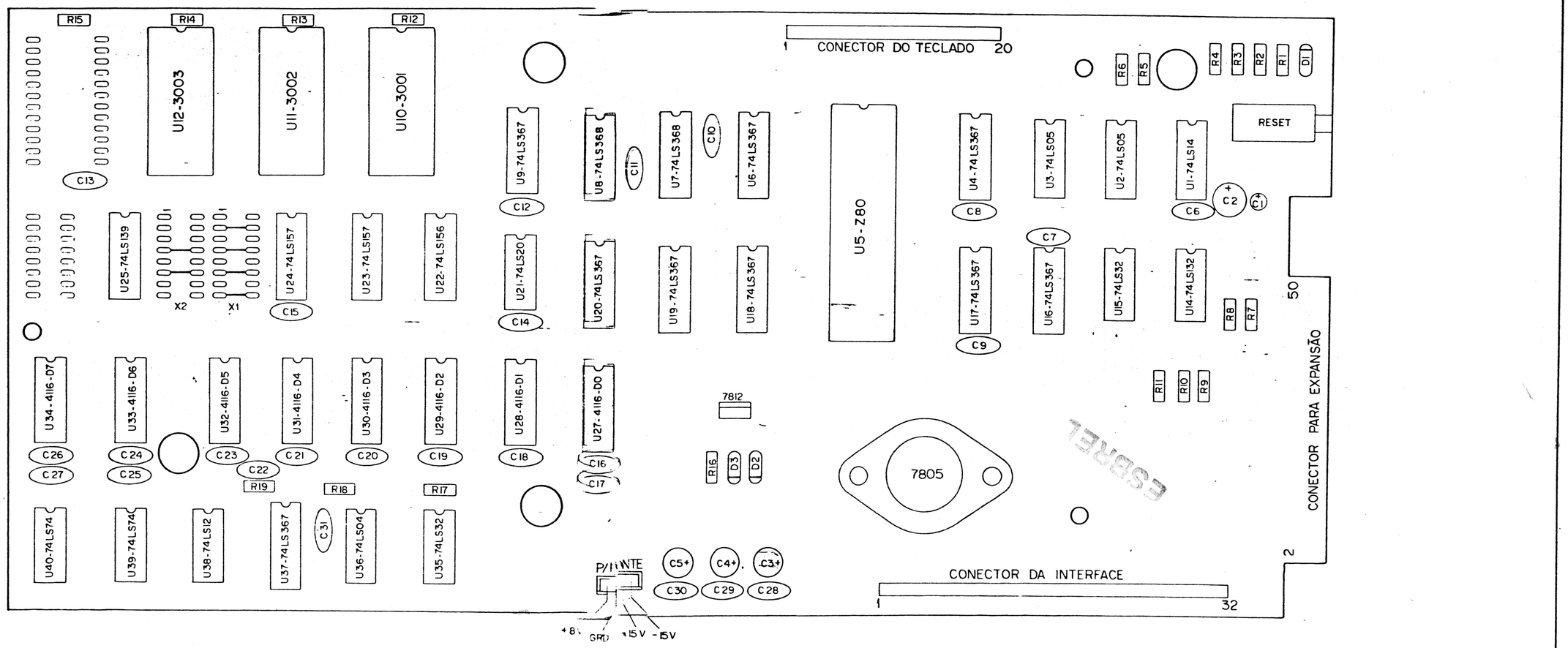
R201, R202 ..... 100K, 1/4W
R203 ..... 100, 1/4W
R204 ..... 1K2, 1/4W
R205 ..... 6K8, 1/4W
C201 ..... 100nF, Cerâmico Disco
C202 ..... 10nF, Cerâmico Disco
C203, C204 ..... 82pF, Cerâmico Disco
Q201 ..... BC557
Q202 ..... BC547
Q203 ..... BSX20
Conector 05 pinos DIN para monitor de vídeo

4. Placa Recuperador de Dados

U301, U302, U303,
U304, U305 741
U306 74121
R301 ..... 15K, 1/4W
R302 ..... 150K, 1/4W
R303 ..... 12K, 1/4W
R304 ..... 4K7, 1/4W
R305 ..... 12K, 1/4W
R306 ..... 3K9, 1/4W
R307, R308 ..... 12K, 1/4W
R309 ..... 4K7, 1/4W
R310 ..... 12K, 1/4W
R311 ..... 1K, 1/4W
R312 ..... 4K7, 1/4W
R313, R314, R315 .... 12K, 1/4W
R316 ..... 4K7, 1/4W
R317, R318, R319 .... 12K, 1/4W
R320 ..... 4K7, 1/4W
R321 ..... 3K9, 1/4W
R322, R323, R323/A .. 12K, 1/4W
R324 ..... 2K2, 1/4W
VR301 ..... 100K, Trimpot
C301, C302 ..... 1nF, Plate
C303 ..... —
C304 ..... 1nF, Plate
C305 ..... 10µF/40V, Eletrolítico
D301, D302, D303,
D304 ..... 1N914

5. Placa Fonte de Alimentação

L401, L402 ..... 20µH
C401 ..... 22000µF/16V, Eletrolítico
C402 ..... 1000µF/25V, Eletrolítico
C403 ..... 2200µF/25V, Eletrolítico
C404, C405, C406,
C407 ..... 100nF, Cerâmico Disco
D401, D402, D403,
D404 ..... 1N4001
D405, D406 ..... 1N5402
Transformador.. Primário 110/220V
Secundário 8 + 8/1A
16 + 16/1A
Porta-fusível com fusível 1A
Chave liga-desliga
Cabo de alimentação



DATA	LETRA	NIVEL	LOCAL	DESENH.	APROV.	MODIFICAÇÕES
① NÃO ESCREVER SOBRE O DESENHO						
② RETIRAR CANTOS VIVOS ELIMINAR REBARBAS						
③ REQUER DE A APROVAÇÃO DA ENGENHARIA ANTES DE COMEÇAR A PRODUÇÃO						

TOLERANCIAS NÃO ESPECIFICADAS		USADO EM:	ESCALA:
LINEAR	ENTRE FUROS ± 0,13		
0 a 6 ± 0,10			
6 a 30 ± 0,13	ENTRE CENTROS ± 0,08	ACABAMENTO	
30 a 180 ± 0,25			
180 OU MAIS ± 0,51	ANGULOS ± 1°		

	DESENHO	APROVADO	MATERIAL
DATA	20/05/82	25/05/82	
ASSIN	C. G. Campos	P. L. Guimarães	

dismac INDUSTRIAL S/A

LAY-OUT DA C.P.U. DO D-8000
1ª GERAÇÃO

DESENHO Nº

P/ INTERFACE

8V — 7805 — C3 16V 100µF — D3 5.1V ZENER IN5231 — +5V

100µF 16V C5

16V — R16 330Ω — D2 IN4735 ZENER 6.2V — −5V

16V — 7812 — C4 100µF 16V — 12V

GND — 0V

CLOCK/2 · CLOCK · PAGE · F1 · VID · D0 · D1 · D2 · D3 · D4 · D5 · D6 · D7 · NC · 5V · GND · 16V · MW · MR · OUT · IN · A0 A1 A2 A3 A4 A5 A6 A7 A8 A9 A10

74LS367 — 74LS367

VID · F1 · PAGE · D0 · D1 · D2 · D3 · D4 · D5 · D6 · D7

74LS14

5V — R7 4K7 — 25 BUSRQ

5V — R11 4K7 — 16 INT

5V — 74LS12 38 — 74LS367 — R19 330Ω — 6 Ø

74LS367 — 18 HALT

5V — RESET — R10 4K7 — R1 4K7 — 74LS132 — C1 10µF 16V — 74LS05 — R5 4K7 — 17 NMI

5V — R8 4K7 — 24 WAIT

R2 4K7 — D1 1N4148 — C2 100µF 16V — 74LS14 — 74LS05 — R6 4K7 — 26 RESET

74LS367 — 23 BUSAK

Z-80 5

M1 27 · MREQ 19 · RD 21 · WR 22 · IORQ 20 · RFSH 28

A0 30 · A1 31 · A2 32 · A3 33 · A4 34 · A5 35 · A6 36 · A7 37 · A8 38 · A9 39 · A10 40 · A11 1 · A12 2 · A13 3 · A14 4 · A15 5

VCC 11 · GND 29

74LS132 · 74LS367 · 74LS74 40 · 74LS74 40 · 74LS74 39 · 74LS74 39

74LS14 — R3 4K7 — R4 4K7

74LS367 — A15 A14 A13 A12 A11 A10 A9 A8 A7 A6 A5 A4 A3 A2 A1 A0

A0 A1 A2 A3 A4 A5 A6 A7 A8 A9 A10 A11 A12 A13 A14 A15

RAS · MWR · MRD · MUX · CAS · PHANTOM

HALT · PHLDA · NMI · PWAIT · RESET · PINT · PHOLD · PCLOCK · VCC · GND · GND · GND · GND · NC · NC · NC · NC · CCDBS/STADBS · RFSH · IORQ · WR · RD · MREQ · M1 · DBS/ADDBS

A15 A14 A13 A12 A11 A10 A9 A8 A7 A6 A5 A4 A3 A2 A1 A0

D7 D6 D5 D4 D3 D2 D1 D0 · PHANTOM

PARA PÁGINA 2/2

CONECTOR DE EXPANSÃO

DATA	LETRA	NIVEL	LOCAL	DESENHADO	APROVADO	MODIFICAÇÕES
PROJETADO			04/03/82			
DESENHADO			04/03/82			
REVISADO			04/03/82			
APROVADO			04/03/82			

dismac INDUSTRIAL S/A

UTILIZAÇÃO D 8000 - D 8000/A

PLACA C.P.U.

DESENHO Nº 1 / 2

CONEXAO DO TECLADO

AK 0 13 · AK 1 14 · AK 2 15 · AK 3 16 · AK 4 17 · AK 5 18 · AK 6 19 · AK 7 20 · F1 11 · PAGE 10 · GND 12 · +5V 9 · DK 0 7 · DK 1 8 · DK 2 6 · DK 3 3 · DK 4 1 · DK 5 5 · DK 6 2 · DK 7 4

CI 2 = 74LS05
CI 3 = 74LS05

CI 7 = 74LS368
CI 8 = 74LS368

CI 9 = 74LS367
CI 20 = 74LS367

VID
F1
PAGE
D0
D1
D2
D3
D4
D5
D6
D7

PARA PÁGINA 1/2

A0
A1
A2
A3
A4
A5
A6
A7
A8
A9
A10
A11
A12
A13
A14
A15

RAS
MWR
MRD
MUX
CAS
PHANTOM

+5V

3001 ROM 10 · 3002 ROM 11 · 3003 ROM 12

RAM 4116 27 · 28 · 29 · 30 · 31 · 32 · 33 · 34

74LS157 23 · 74LS157 24 · 74LS156 22 · 74LS139 25 · 74LS139 25

74LS367 · 74LS14 · 74LS132 14 · 74LS04 · 74LS04 · 74LS32 35 · 74LS32 35 · 74LS20 21 · 74LS20 21

R17 4K7 · R13 4K7 · R12 4K7 · R14 4K7 · R15 4K7 · R18 4K7 · R9 4K7

X1 · X2

5V · -5V · 12V

DATA	LETRA	NIVEL	LOCAL	DESENHADO	APROVADO	MODIFICAÇÕES
PROJETADO			05/03/82			
DESENHADO			05/03/82			
REVISADO			05/03/82			
APROVADO			05/03/82			

dismac INDUSTRIAL S/A

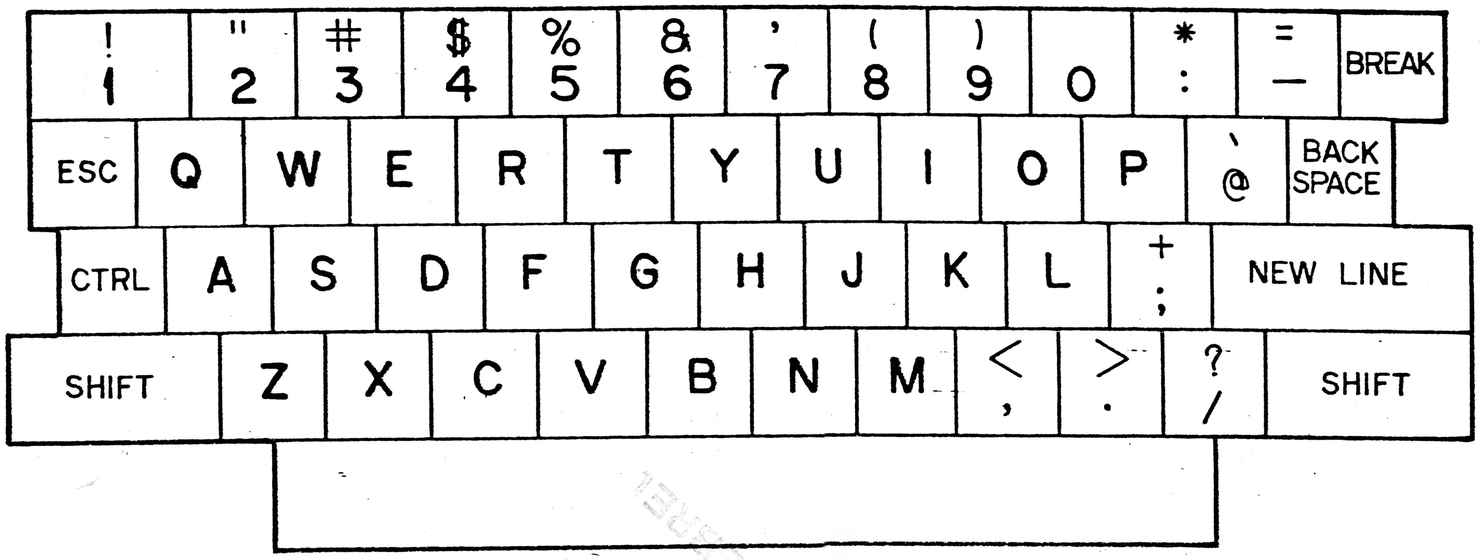
PLACA C.P.U

UTILIZAÇÃO: D8000 - D8000/A

DESENHO Nº: 2/2

LED INDICADOR
DE POWER

LED INDICADOR
DE CASSETTE #1
ACIONADO



DATA	LETRA	NIVEL	LOCAL	DESENH.	APROV.	MODIFICAÇÕES

- NÃO MEDIR SOBRE O DESENHO
- RETIRAR CANTOS VIVOS. ELIMINAR REBARBAS
- REQUER-SE A APROVAÇÃO DA ENGENHARIA ANTES DE COMEÇAR A PRODUÇÃO

TOLERÂNCIAS NÃO ESPECIFICADAS		USADO NA:	ESCALA:
LINEAR 0 .... 6 ± 0,10 6 .... 30 ± 0,15 30 .... 100 ± 0,25 100 OU MAIS ± 0,30	DIAM. FUROS ± 0,15 / 0, ENTRE CENTROS ± 010 ÂNGULOS ± ½°	ACABAMENTO:	

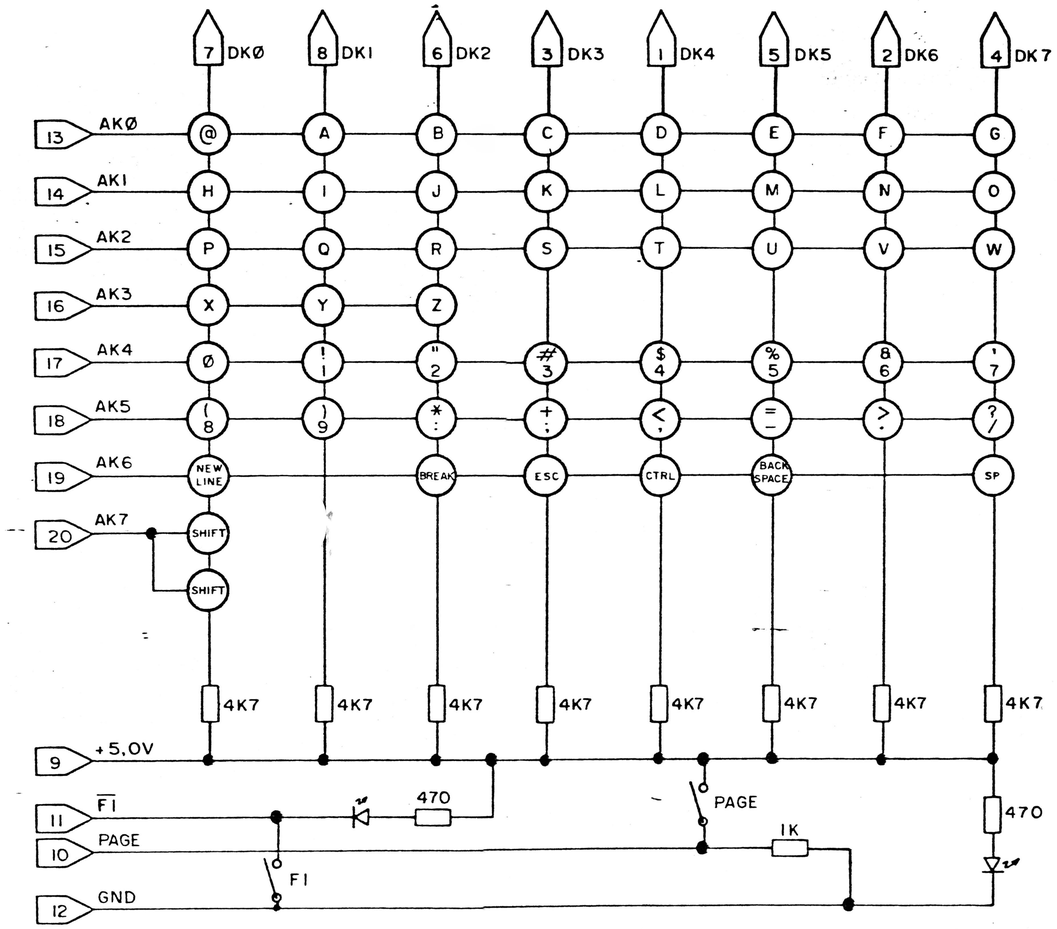
	DESENHO	APROVADO
DATA	28/05/82	01/06/82
ASSIN.		Rfisdman

MATERIAL:

dismac INDUSTRIAL S/A

LAY-OUT DO TECLADO
D-8000 - 1ª GERAÇÃO

DESENHO N.º



DATA	LETRA	NIVEL	LOCAL	DESENH	APROV.	MODIFICAÇÕES

- NÃO MEDIR SOBRE O DESENHO
- RETIRAR CANTOS VIVOS. ELIMINAR REBARBAS
- PEDIR-SE A APROVAÇÃO DA ENGENHARIA ANTES DE COMEÇAR A PRODUÇÃO

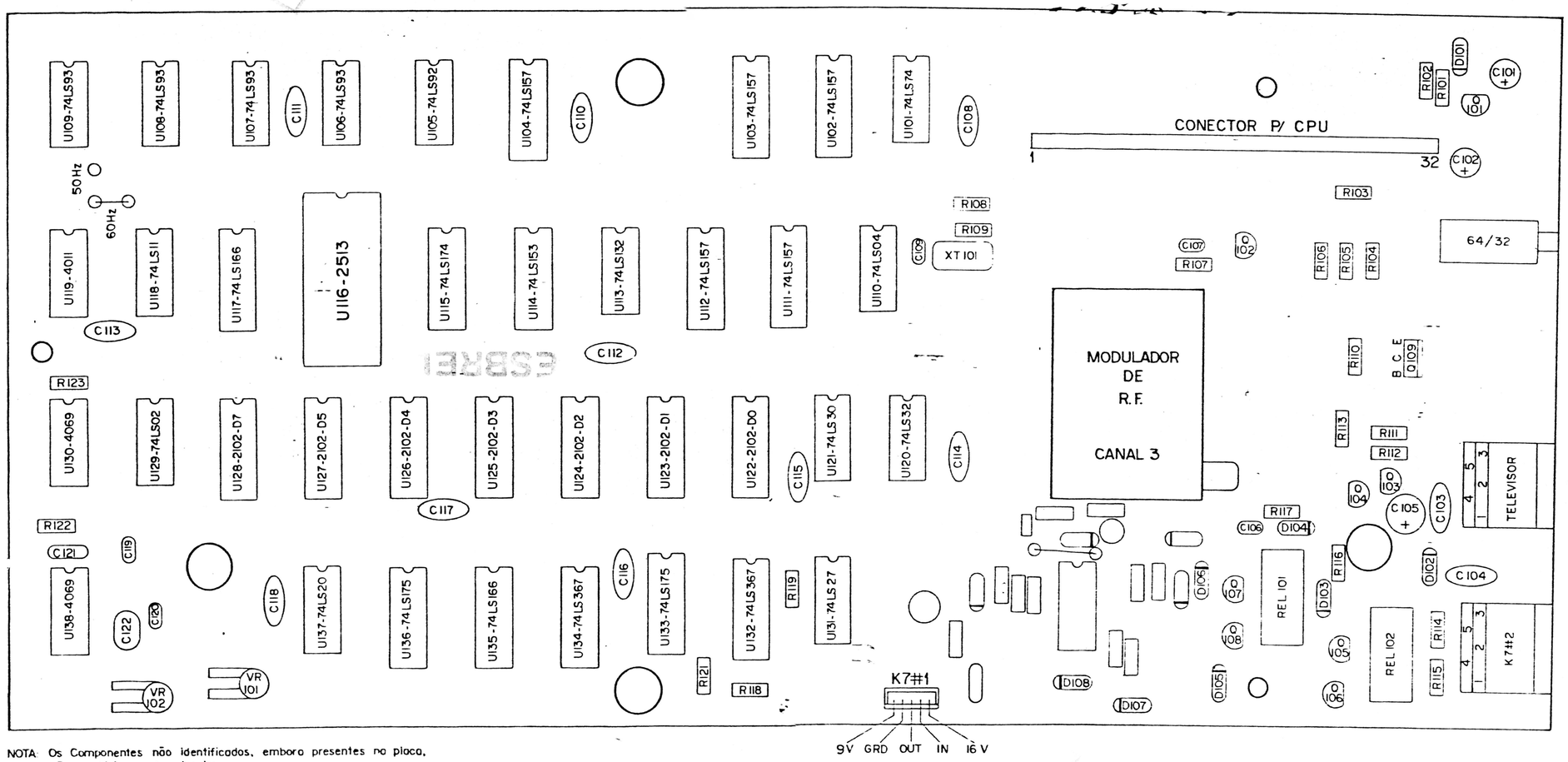
TOLERÂNCIAS NÃO ESPECIFICADAS		USADO NA:	ESCALA:
LINEAR 0 a 6 ± 0,10 6 a 30 ± 0,15 30 a 100 ± 0,20 100 EM MAIS ± 0,30	DIAM. FUROS ± 5/10 n		
	ENTRE CENTROS ± 0m	ACABAMENTO:	
	ÂNGULOS ± 1°		

	DESENHO	APROVADO	MATERIAL:
DATA	20/05/82	25/05/82	
ASSIN	Coelho	Bruno	

dismac INDUSTRIAL S/A

DIAGRAMA ESQUEMÁTICO DO TECLADO DO D-8000-1ª G.

DESENHO Nº



NOTA: Os Componentes não identificados, embora presentes na placa, não participam do circuito.

DATA	LETRA	NIVEL	LOCAL	EM	APROV.	MODIFICAÇÕES

- NÃO MEDIR ENTRE O PARAFUSO
- RETIRAR CARTÕES VIVOS PLUGADOS PARAFUSO
- REQUER SE A APROVAÇÃO DA ENGENHARIA ANTES DE COMEÇAR A PRODUÇÃO

TOLERANCIAS NÃO ESPECIFICADAS		USADO EM:	ESCALA:
LINEAR	ANG. FUROS ± 0,5°		
0 ... 6 ± 0,15	ENTRE CENTROS ±	ACABAMENTO:	
6 ... 25 ± 0,20	ÂNGULOS ± 1°		
25 ... 100 ± 0,25			
100 OU MAIS ± 0,30			

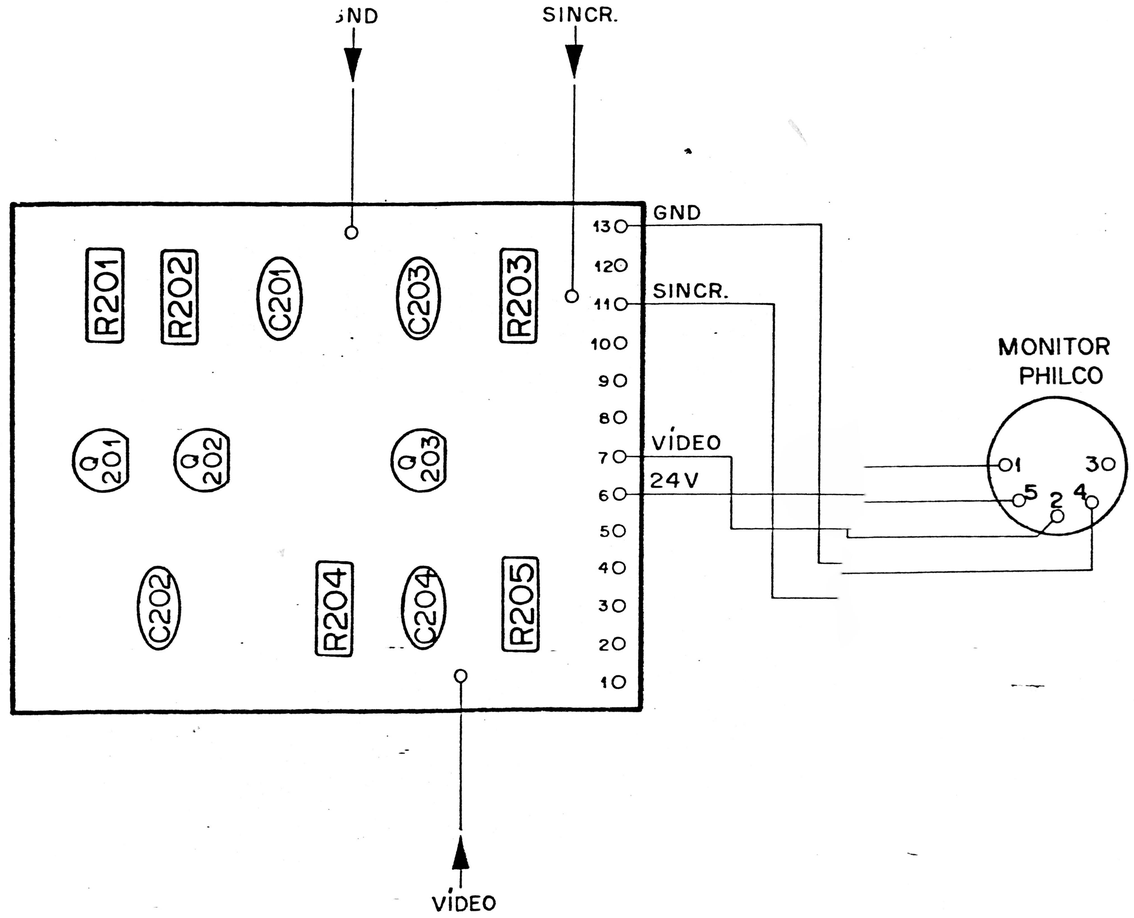
	DESENHO	APROVADO
DATA	20/05/82	25/05/82
ASSIN.		

MATERIAL:

dismac INDUSTRIAL SIA

LAY-OUT DA INTERFACE DO D-8000 1ª GERAÇÃO

Nº DESENHO Nº



DATA	LETRA	NIVEL	LOCAL	DESENH.	APROV.	MODIFICAÇÕES

- NÃO MEDIR SOBRE O DESENHO
- RETIRAR CANTOS VIVOS. ELIMINAR REBARBAS
- REQUER-SE A APROVAÇÃO DA ENGENHARIA ANTES DE COMEÇAR A PRODUÇÃO

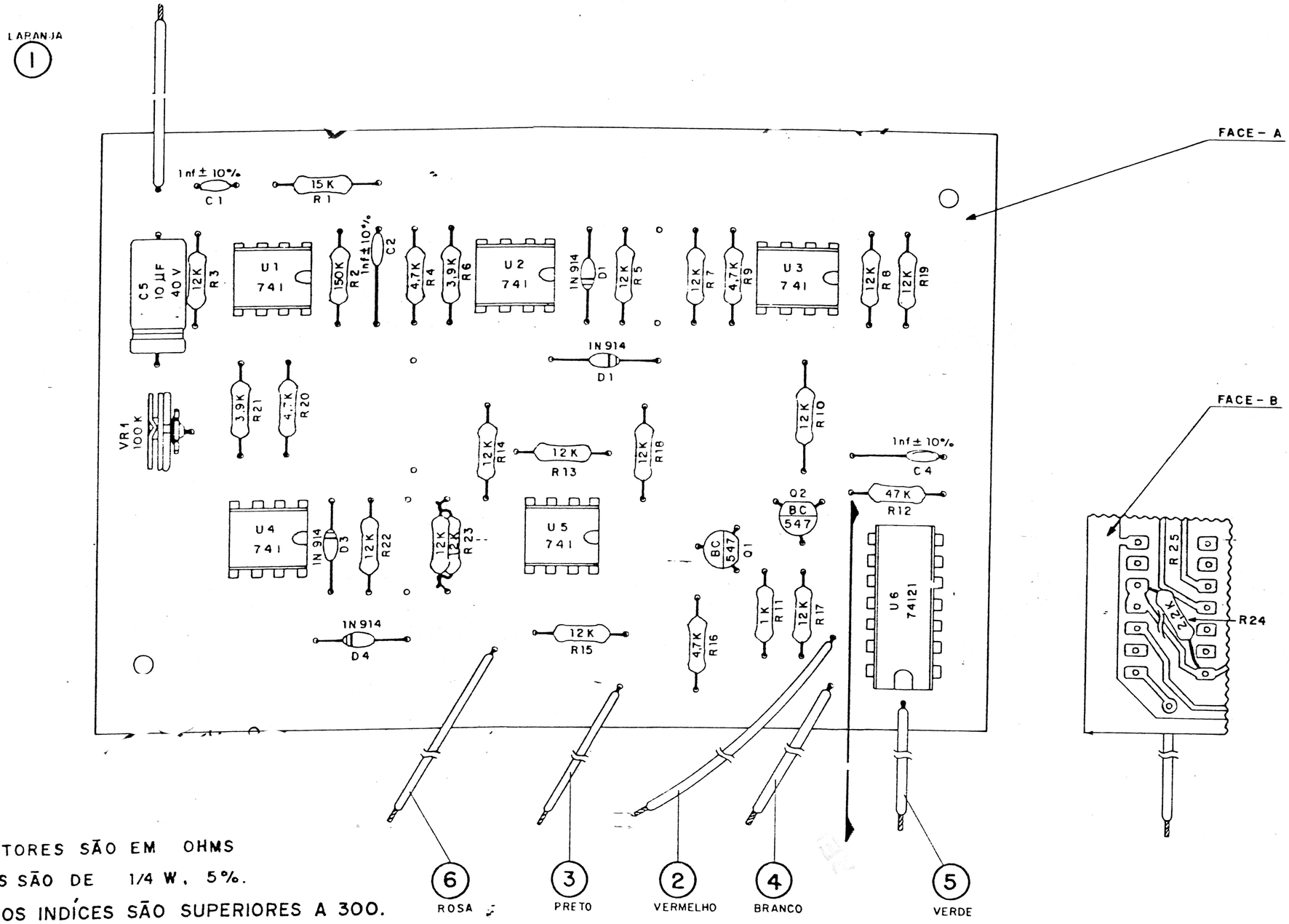
TOLERÂNCIAS NÃO ESPECIFICADAS		USADO NA:	ESCALA:
LINEAR 0 .... 6 ± 0,10 6 .... 30 ± 0,15 30 .... 100 ± 0,25 100 OU MAIS ± 0,30	DIAM. FUROS $\pm \frac{0,^{+5}}{0,}$ ENTRE CENTROS ± 010 ÂNGULOS ± ½°	ACABAMENTO:	

	DESENHO	APROVADO	MATERIAL:
DATA	24·5·1982	24·5·1982	
ASSIN.			

dismac INDUSTRIAL S/A

LAY-OUT DO AMPLIFICADOR DE VÍDEO DO D-8000 - 1ª G. MONITOR PHILCO

DESENHO N.º



NOTAS:

1- OS VALORES DOS RESISTORES SÃO EM OHMS

2- TODOS OS RESISTORES SÃO DE 1/4 W, 5%.

3- NO ESQUEMA GERAL, OS INDÍCES SÃO SUPERIORES A 300.

Nº	CÓDIGOS	DISCRIMINAÇÃO	Qtde
01	021-2138-0	CABO LARANJA C-380 mm 22 AWG	01
02	021-2139-0	CABO VERMELHO C-380 mm 22 AWG	01
03	021-2140-0	CABO PRETO C-380 mm 22 AWG	01
04	021-2141-0	CABO BRANCO C-380 mm 22 AWG	01
05	021-2142-0	CABO VERDE C-380 mm 22 AWG	01
06	021-2143-0	CABO ROSA C-380 mm 22 AWG	01

DATA	LETRA	NIVEL	LOCAL	DESENHADO	APROVADO	MODIFICAÇÕES
PROJETADO			15/01/82			
DESENHADO			15/01/82			
REVISADO			15/01/82			
APROVADO			15/01/82			

dismac INDUSTRIAL S/A

UTILIZAÇÃO: D - 8.000/A/B

PLACA RECUPERADORA DE DADOS

DESENHO Nº: 044-6017-0

10.6445 MHz
R 109
1K
R 108
1K
XT101
C 109
22Øpf
74LSØ4
74LSØ4
74LSØ4
BC547
Q110
Q109
TIP31
R 101
560Ω
R 102
1K
D101
8,2V
C101
100µF
10V
9V
R 103
560Ω
C102
10µF
16 V
12V
74LS92
105
74LS132
113
74LS11
118
C123
0.1µF
C114
0.1µF
5V
74LS93
106
74LS157
112
74LS93
107
74LS157
104
74LS93
108
74LS11
118
5V
74LS93
109
74LS11
118
50Hz
60Hz
DOT CLOCK
S101
64/32
R110
4K7 5V
74LS157
111
74LSØ2
129
74LS157
102
5V
74LS157
103
LATCH
74LSØ4
74LS367
D6
D7
D5
D4
D3
D2
D1
DØ
28
127
126
125
124
123
122
2102
74LS02
129
74LS574
101
74LS175
136
74LS174
115
74LS153
114
74LS20
137
74LS20
137
74166
117
74166
135
74LSØ4
5V
VIDEO
V DRIVE
H DRIVE
PARA
PAG. 2/2
D0
D1
D2
D4
D6
D7
OUT
IN
F1
A0
A1
A2
A3
A4
A5
A6
A7
5V
NC
16 V
GND
CLOCK/2
CLOCK
PAGE
F1
D0
D1
D2
D3
D4
D5
D6
D7
WR
RD
OUT
IN
VID
A0
A1
A2
A3
A4
A5
A6
A7
A8
A9
A10
PLACA CPU

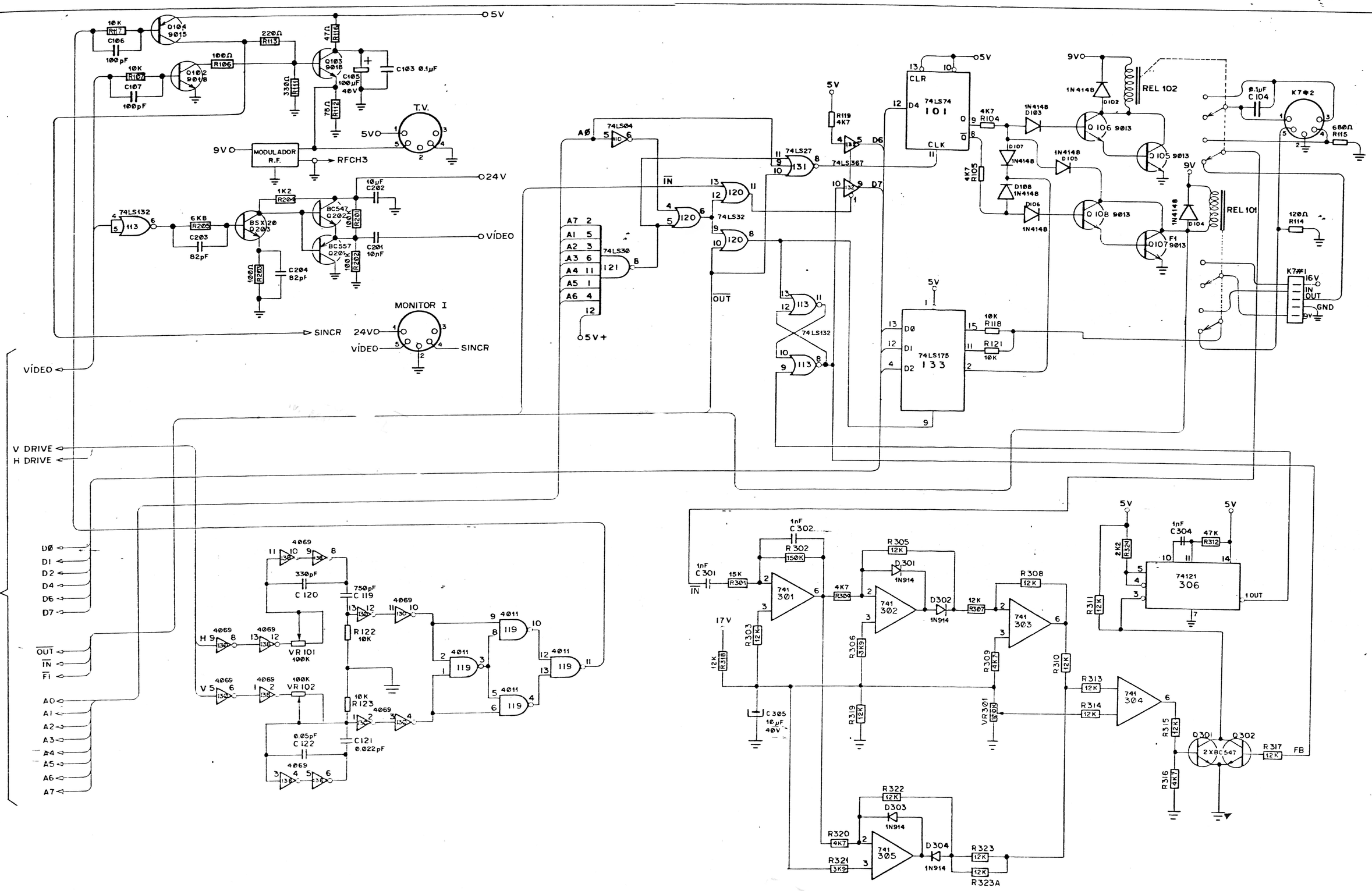
DATA	LETRA	NIVEL	LOCAL	DESENHADO	APROVADO	MODIFICAÇÕES
PROJETADO			03/03/82			
DESENHADO			03/03/82			
REVISADO			03/03/82			
APROVADO			03/03/82			

dismac INDUSTRIAL S/A

UTILIZAÇÃO
D 8000 - D 8000/A

PLACA INTERLIGAÇÕES

DESENHO Nº
1/2



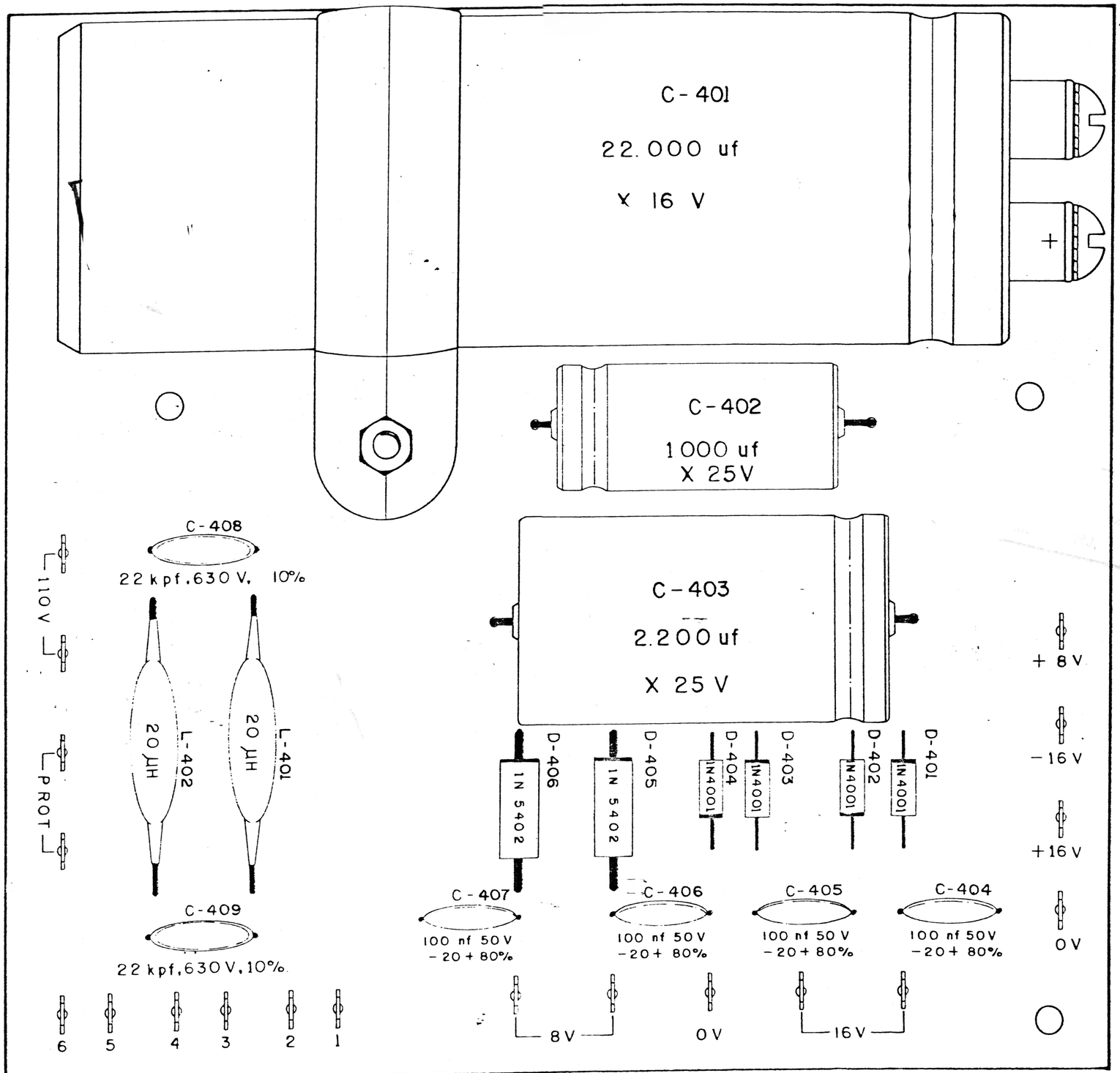
DATA	LETRA	NIVEL	LOCAL	DESENHADO	APROVADO	MODIFICAÇÕES
PROJETADO			04/03/82			
DESENHADO			04/03/82			
REVISADO			04/03/82			
APROVADO			04/03/82			

dismac INDUSTRIAL S/A

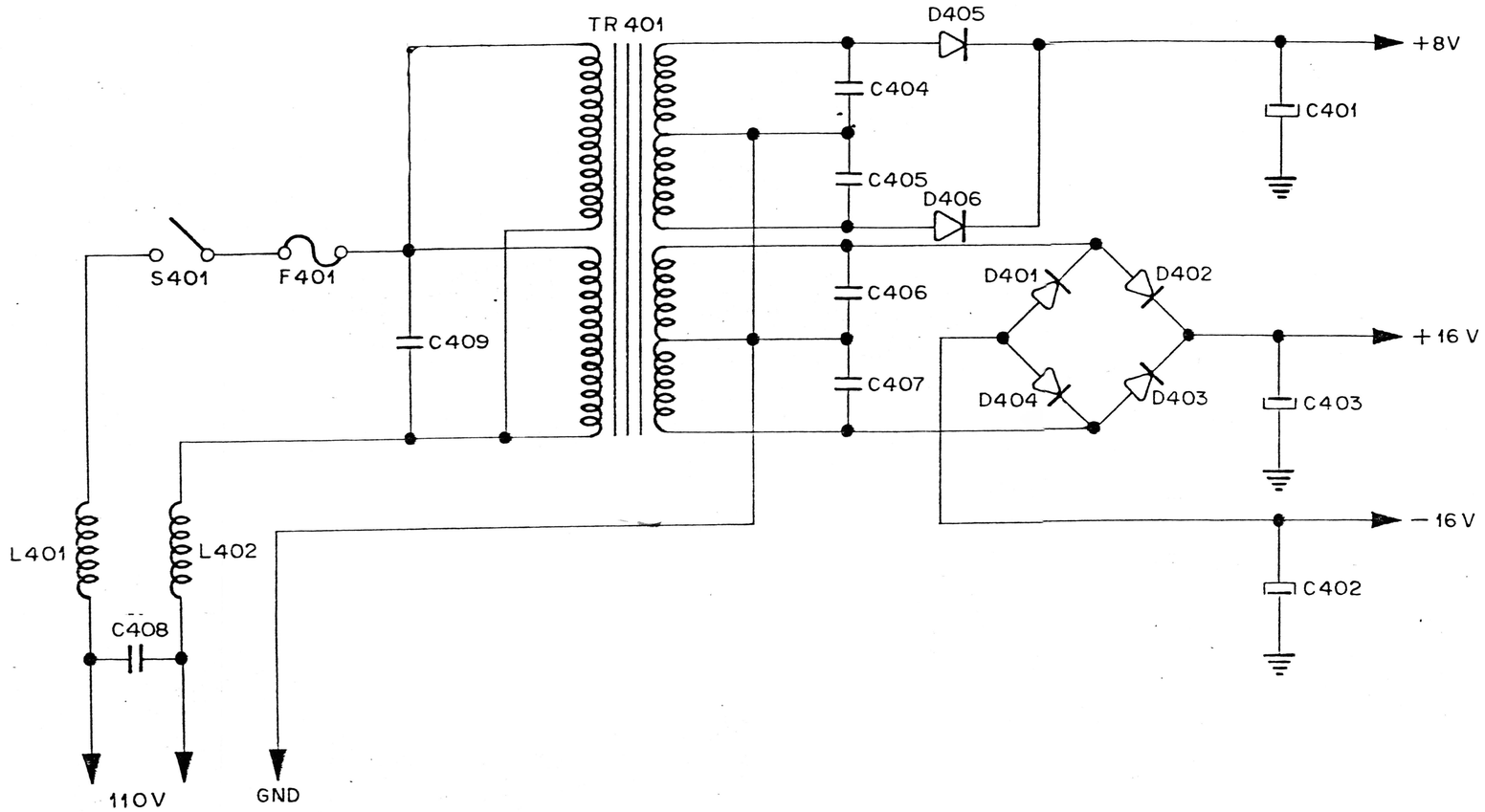
UTILIZAÇÃO: D 8000 - D 8000 A

PLACA INTERLIGAÇÕES

DESENHO Nº 2/2



DATA	LETRA	NIVEL	LOCAL	DESENHADO	APROVADO	MODIFICAÇÕES
PROJETADO			18/01/82	dismac INDUSTRIAL S/A		UTILIZAÇÃO D- 8000/A/B
DESENHADO	Furiosa Silva		18/01/82			
REVISADO			18/01/82	PLACA FONTE DE ALIMENTAÇÃO		DESENHO Nº 043-3006-1
APROVADO			18/01/82			



DATA	LETRA	NIVEL	LOCAL	DESENH.	APROV.	MODIFICAÇÕES

- NÃO MEDIR SOBRE O DESENHO
- RETIRAR CANTOS VIVOS. ELIMINAR REBARBAS
- REQUER-SE A APROVAÇÃO DA ENGENHARIA ANTES DE COMEÇAR A PRODUÇÃO

TOLERÂNCIAS NÃO ESPECIFICADAS		USADO NA:	ESCALA:
LINEAR 0 .... 6 ± 0,10 6 .... 30 ± 0,15 30 .... 100 ± 0,25 100 OU MAIS ± 0,30	DIAM. FUROS $\pm^{0,15}_{0,}$ ENTRE CENTROS ± 010 ÂNGULOS ± ½°	ACABAMENTO:	

	DESENHO	APROVADO	MATERIAL:
DATA	24-05-1982	24-05-1982	
ASSIN			

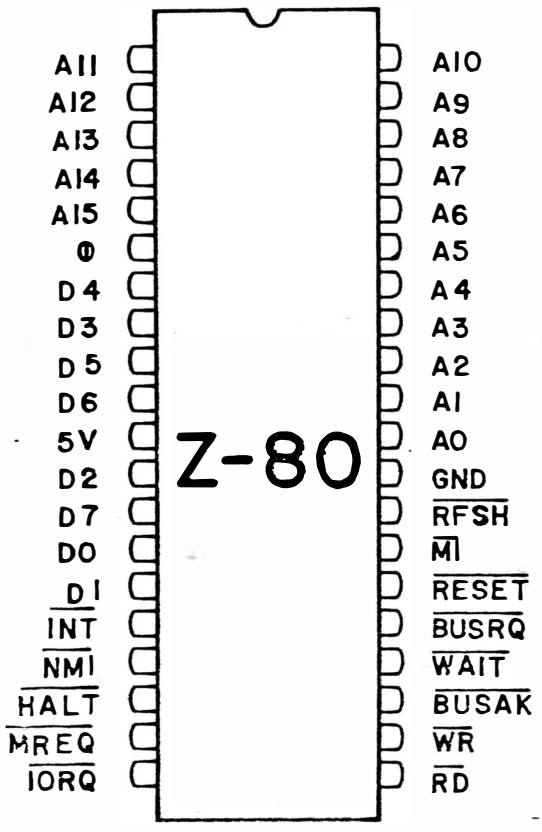
dismac INDUSTRIAL S/A

DIAGRAMA DA FONTE DE ALIMENTAÇÃO DO D-8000 1ª GERAÇÃO

DESENHO Nº

APÊNDICE
DESCRIÇÃO DOS SINAIS DA CPU Z80

A CPU Z80 é encapsulada na forma convencional para circuitos integrados de 40 pinos. A figura abaixo identifica os terminais, cujas descrições se seguem:



A0 - A15 - Linhas de Endereço

São saídas de tipo 3.º estado com lógica positiva. Constituem um barramento de 16 bits para endereçamento de memória (até 64 kbytes) e dispositivos de entrada e saída.

Nestes casos, os 8 bits menos significativos (A0 - A7) permitem a seleção de até 256 portas de entradas e 256 portas de saída. Durante os ciclos de refrescamento, os sete bits menos significativos, contém um endereço válido para esta operação.

D0 - D7 . Linhas de Dados

São entradas e saídas do tipo 3.º estado, lógica positiva. D0-D7 constituem um barramento bidirecional de dados, usados para comunicação com memória e com dispositivos de entrada e saída.

$\overline{M1}$. Primeiro Ciclo de Máquina

Saída, lógica negativa, indica que o ciclo de máquina em execução é o primeiro ciclo de instrução. Convém notar que durante a execução de instruções cujos códigos operacionais ocupam 2 bytes. $\overline{M1}$ será gerado cada vez que a CPU buscar um dos bytes. Tais instruções sempre começam com CBH, DDH, EDH ou FDH. $\overline{M1}$ também ocorre simultâneamente com $\overline{IORQ}$ para identificar um ciclo de reconhecimento de interrupção.

$\overline{MREQ}$. Acesso à Memória

Saída do tipo 3.º estado, lógica negativa, indica que o barramento de endereços contém um endereço para uma operação de leitura ou escrita em memória.

$\overline{IORQ}$. Acesso à Dispositivos de E/S

Saída do tipo 3.º estado, lógica negativa, indica que a metade menos significativa do barramento de endereços, contém um endereço para uma operação de entrada e saída de dados.

Este sinal é também gerado em conjunto com $\overline{M1}$ durante o reconhecimento de uma interrupção como indicação de que um vetor de respostas à interrupção pode ser colocado no barramento de dados. As operações de reconhecimento de interrupção sempre ocorrem durante o ciclo $\overline{M1}$, enquanto que, as operações de E/S nunca ocorrem no ciclo $\overline{M1}$.

$\overline{RD}$. Leitura de Dados

Saída do tipo 3.º estado, lógica negativa, indica que a CPU pretende ler um dado a partir da memória ou de um dispositivo de entrada e saída.

O dispositivo acessado deve usar este sinal para colocar a sua informação no barramento de dados.

$\overline{WR}$. Escrita de Dados

Saída do tipo 3.º estado, lógica negativa, indica que o barramento de dados contém uma informação para ser armazenada em memória ou num dispositivo de E/S.

$\overline{RFSH}$. Refrescamento

Saída, lógica negativa, indica que os 7 bits menos significativos do barramento de endereços contém um endereçamento para refrescar memórias dinâmicas e o sinal $\overline{MREQ}$ deve ser usado para fazer uma leitura de refrescamento em todas as memórias dinâmicas.

$\overline{HALT}$. Bloqueio

Saída lógica negativa, indica que a CPU executou uma instrução HALT e está esperando por uma interrupção não mascarada ou uma interrupção mascarada, cuja máscara esteja habilitada. Enquanto está parada, a CPU executa uma sequência de NOP's para manter os ciclos de refrescamento.

$\overline{WAIT}$. Espera

Entrada, lógica negativa, indica à CPU que a memória ou dispositivo de E/S selecionado não está pronto para a transferência de dados. A CPU permanecerá no ciclo de espera enquanto o sinal $\overline{WAIT}$ estiver ativo. Este sinal permite que dispositivos de qualquer velocidade sejam sincronizados com o CPU.

$\overline{INT}$. Interrupção

Entrada, lógica negativa, informa à CPU que algum dispositivo externo está solicitando atendimento. O pedido de interrupção será atendido no fim da presente instrução caso as interrupções estejam habilitadas e o sinal $\overline{BUSRQ}$ não esteja ativo. Quando a CPU aceita a interrupção, um sinal de reconhecimento é gerado ($\overline{IORQ}$ e $\overline{M1}$) no início do próximo ciclo de instrução. Existem 3 maneiras diferentes pelas quais a CPU pode responder ao pedido de interrupção.

$\overline{NMI}$. Interrupção não Mascarada

Entrada, pulso negativo, é um sinal com prioridade em relação ao sinal $\overline{INT}$ e é sempre reconhecido no fim da instrução corrente, independentemente de habilitações.

$\overline{NMI}$ força automaticamente a CPU a recomeçar o processamento no endereço 66H. O conteúdo do programa é guardado automaticamente no "Stack" externo, de forma a permitir que a CPU possa reassumir o processamento no ponto em que foi interrompida. Convém notar que ciclos contínuos de espera podem evitar que a instrução corrente termine e que o sinal $\overline{BUSRQ}$ ignore a interrupção não mascarada.

$\overline{RESET}$. Iniciação

Entrada, lógica negativa, faz com que o contador de programa seja zerado e inicializa a CPU, nas seguintes condições.

1 - Interrupções desabilitadas
2 - Registrador "I" zerado
3 - Registrador "R" zerado
4 - Modo 0 de interrupções

Durante a inicialização, os barramentos de endereços e dados vão para o estado de alta impedância e os sinais de controle são desativados.

$\overline{BUSAK}$. Permissão para Acesso aos Barramentos

Saída, lógica negativa, indica ao dispositivo que solicitou o uso dos barramentos, que os mesmos estão no terceiro estado e que estão disponíveis para o uso.

$\overline{BUSRQ}$. Acesso aos Barramentos

Entrada, lógica negativa, é usado para pedir à CPU o controle dos barramentos de endereço, dados e controle. Quando $\overline{BUSRQ}$ se torna ativo, a CPU coloca os barramentos no estado de alta impedância, tão logo termine o ciclo de máquina em execução.